



UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

DAVI RABELO JOCA

**TÉCNICA DE MODULAÇÃO PARA REDUÇÃO DE DHT EM INVERSOR
MULTINÍVEL COM CAPACITOR FLUTUANTE DE TRÊS NÍVEIS**

FORTALEZA

2014

DAVI RABELO JOCA

TÉCNICA DE MODULAÇÃO PARA REDUÇÃO DE DHT EM INVERSOR
MULTINÍVEL COM CAPACITOR FLUTUANTE DE TRÊS NÍVEIS

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, do Centro de Tecnologia da Universidade Federal do Ceará, como requisito para obtenção do Título de Mestre em Engenharia Elétrica. Área de concentração: Eletrônica de Potência e Acionamento de Máquinas.

Orientador: Prof. Dr. Luiz Henrique Silva Colado Barreto

Coorientador: Prof. Dr. Gustavo Alves de Lima Henn

FORTALEZA

2014

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca de Pós-Graduação em Engenharia - BPGE

-
- J59t Joca, Davi Rabelo.
Técnica de modulação para redução de DHT em inversor multinível com capacitor flutuante de três níveis / Davi Rabelo Joca. – 2014.
133 f. : il. color., enc. ; 30 cm.
- Dissertação (mestrado) – Universidade Federal do Ceará, Centro de Tecnologia, Departamento de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2014.
Área de Concentração: Sistemas de Energia Elétrica.
Orientação: Prof. Dr. Luiz Henrique Silva Colado Barreto.
Coorientação: Prof. Dr. Gustavo Alves de Lima Henn.
1. Engenharia elétrica. 2. Conversores estáticos. 3. Eletrônica de potência. 4. Processamento de sinais – Técnicas digitais. I. Título.

DAVI RABELO JOCA

**TÉCNICA DE MODULAÇÃO PARA REDUÇÃO DE DHT EM INVERSOR
MULTINÍVEL COM CAPACITOR FLUTUANTE DE TRÊS NÍVEIS**

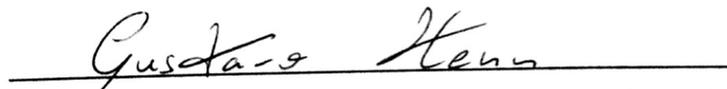
Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará, como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: Sistema de Energia Elétrica.

Aprovada em: 17/01/2014

BANCA EXAMINADORA



Prof. Luiz Henrique Silva Colado Barreto (Orientador)
Universidade Federal do Ceará (UFC)



Prof. Dr. Gustavo Alves de Lima Henn (Co-orientador)
Universidade Federal Rural do Semiárido (UFERSA)



Prof.ª Ranoyca Nayana Alencar leão e Silva
Universidade Federal do Piauí (UFPI)



Prof. Paulo Peixoto Praça
Universidade Federal do Ceará (UFC)

A Deus,

Aos meus pais, Florêncio e Cristina,

A minha irmã, Sara.

A minha namorada, Hevelane,

A todos os familiares e amigos.

AGRADECIMENTOS

A Deus, que sempre abençoou minha vida e por todas as oportunidades que me foram proporcionadas.

Aos meus pais Florêncio e Cristina, minha irmã Sara e minha namorada Hevelane, que imensamente me deram apoio e incentivo de todas as formas possíveis. Por seu amor e carinho, educação e sabedoria, compreensão e paciência.

Ao professor Dr. Luiz Henrique Barreto, por sua excelente orientação, dedicação e amizade. Agradeço pelos bons momentos, desafios ultrapassados e vitórias alcançadas.

Ao professor Dr. Gustavo Henn pela orientação, confiança depositada. Agradeço pela missão que me foi dada para conceber e realizar este trabalho.

Aos professores participantes da banca examinadora, que valorizaram e enriqueceram este trabalho com suas colaborações e sugestões.

Aos professores Demercil Oliveira e Paulo Praça, pela presença constante e disponibilidade nos momentos de dificuldades, pela experiência e pelos conhecimentos transmitidos.

Aos professores e funcionários do Departamento de Engenharia Elétrica da UFC, responsáveis diretamente ou indiretamente pela minha formação no programa de Mestrado.

Ao técnico Pedro, pela disponibilidade no auxílio da montagem do protótipo.

Aos meus amigos e colegas de doutorado (em ordem alfabética): Antônio Barbosa, Bruno Almeida, Francisco Júnior, Hermínio Miguel, Janaína Almada, Juliano Pacheco, Marcos Antônio, Ronny Cacau, Wellington Assunção e aos demais colegas de laboratório que de alguma forma contribuíram.

Aos bolsistas Allan Uchoa e Rychell Moreira que auxiliaram e contribuíram com o trabalho.

A CAPES pelo apoio financeiro com a manutenção da bolsa de auxílio.

A todas as pessoas que por motivo de esquecimento não foram citadas anteriormente.

*“A simplicidade é o último grau de
sophistication”.*

(Leonardo Da Vinci)

RESUMO

Diante da necessidade em aperfeiçoar as tecnologias existentes para a conversão de energia elétrica em sistemas de alta potência, este trabalho tem por finalidade projetar, analisar e implementar experimentalmente uma técnica de modulação com o intuito de reduzir o conteúdo harmônico da tensão de saída em um inversor multinível com capacitor flutuante de três níveis. Algumas das diversas técnicas de modulação (PSPWM, LSPWM, HE-PWM e CSV-PWM) foram analisadas e implementadas no controlador digital FPGA a fim de comparar suas características de desempenho com a técnica de modulação proposta. Além disso, foi realizado o estudo de perdas da topologia de inversor multinível com capacitor flutuante de três níveis e a análise teórica da distorção harmônica total da modulação proposta. Finalmente, o desenvolvimento digital das técnicas mostrou resultados coerentes, com formas de onda obtidas experimentalmente com alta qualidade de resolução. A comparação entre as estratégias de modulação em termos de DHT resultou positivamente à modulação proposta, cujos resultados experimentais de DHT nas tensões de linha na saída apresentaram o melhor desempenho para toda a faixa de índices de modulação comparadas às técnicas PSPWM, LSPWM-POD e CSV-PWM e uma redução de até 4,5% em relação à HE-PWM. Isto comprova o estudo teórico realizado e sua aplicação no inversor multinível com capacitor flutuante de três níveis.

Palavras-Chave: Eletrônica de potência. Inversores multiníveis. Capacitor flutuante. Técnicas de modulação. Distorção harmônica total.

ABSTRACT

Given the need to improve the existing technologies for electrical energy conversion into high power systems, this work's purpose is to design, analyze and implement a modulation technique that aims to reduce the output voltage harmonic content on the three-level flying capacitor multilevel inverter. Some of the various conventional modulation techniques (PSPWM, LSPWM, HE-PWM e CSV-PWM) have been analyzed and implemented in FPGA controller in order to compare their performance features with the proposed modulation technique. Furthermore, the losses study of the three-level flying capacitor multilevel inverter topology and the total harmonic distortion theoretical analysis of the proposed modulation technique have been made. Finally, the digital implementation of the techniques showed consistent results with experimentally obtained waveforms with high quality resolution. The comparison between the modulation strategies in the THD rates resulted positively for the proposed modulation, which THD experimental results in the line output voltage showed the best performance for all range of modulation indexes compared to techniques PSPWM, LSPWM-POD and CSV-PWM and the reduction of up to 4.5% better than HE-PWM. This proved the theoretical study done and its application in three-level flying capacitor multilevel inverter.

Keywords: Power electronics. Multilevel inverters. Flying capacitor. Modulation techniques. Total harmonic distortion.

LISTA DE ILUSTRAÇÕES

Figura 1.1 – Topologia do inversor multinível NPC de três níveis	3
Figura 1.2 – Topologia do inversor multinível FC de três níveis	4
Figura 1.3 – Duas células da topologia de inversor multinível CHB	6
Figura 1.4 – Formas de onda das portadoras da modulação PSPWM	8
Figura 1.5 – Forma de onda das moduladoras da modulação PSPWM	8
Figura 1.6 – Geração dos pulsos dos interruptores na modulação PSPWM	9
Figura 1.7 – Formas de onda das portadoras da modulação LSPWM-IPD	10
Figura 1.8 – Formas de onda das portadoras da modulação LSPWM-POD	10
Figura 1.9 – Formas de onda das portadoras da modulação LSPWM-APOD	10
Figura 1.10 – Geração dos pulsos dos interruptores na modulação LSPWM-POD com a moduladora entre 0 e $V_p/2$	11
Figura 1.11 – Geração dos pulsos dos interruptores na modulação LSPWM-POD com a moduladora entre $V_p/2$ e V_p	12
Figura 1.12 – Formas de onda das portadoras da modulação HE-PWM: (a) portadoras (b) portadora 1, (c) portadora 2	13
Figura 1.13 – Princípio de funcionamento da modulação HE-PWM com a tensão de referência entre 0 e $V_p/3$	14
Figura 1.14 – Princípio de funcionamento da modulação HE-PWM com a tensão de referência entre $V_p/3$ e $2V_p/3$	15
Figura 1.15 – Princípio de funcionamento da modulação HE-PWM com a tensão de referência entre $2V_p/3$ e V_p	15
Figura 1.16 – Espaço das tensões de saída do inversor multinível de capacitor flutuante de três níveis em coordenadas $\alpha\beta$	17
Figura 1.17 – Formas de onda das tensões cossenoidais de referência	18
Figura 1.18 – Forma de onda do <i>offset</i> de tensão V_{OFF}	19
Figura 1.19 – Formas de onda resultantes da função $V_{\cos X}'$	20
Figura 1.20 – Formas de ondas resultantes da soma $V_{\cos X} + V_{OFF} + V_p/2$	20
Figura 1.21 – Forma de onda do <i>offset</i> de tensão de modo comum V_{OFF}'	21
Figura 1.22 – Forma de onda da moduladora resultante da modulação CSV-PWM	21
Figura 1.23 – Forma de onda das três moduladoras resultantes da modulação CSV-PWM ...	22
Figura 1.24 – Forma de onda da modulação proposta: (a) portadoras, (b) moduladoras	23
Figura 2.1 – Formas de onda da modulação proposta: (a) portadora P_1 e P_2 , (b) moduladoras	

V_A , V_B e V_C	26
Figura 2.2 – Princípio de funcionamento da modulação proposta com a tensão de referência entre 0 e $V_p/3$	27
Figura 2.3 – Princípio de funcionamento da modulação proposta com a tensão de referência entre $V_p/3$ e $2V_p/3$	28
Figura 2.4 – Princípio de funcionamento da modulação proposta com a tensão de referência entre $2V_p/3$ e V_p	29
Figura 2.5 – Portadoras utilizadas nas estratégias de modulação PSPWM e CSV-PWM	30
Figura 2.6 – Diagrama geral da implementação das portadoras das modulações PSPWM e CSV-PWM	31
Figura 2.7 – Portadoras utilizadas em ambas as estratégias de modulação para os interruptores de alta frequência	32
Figura 2.8 – Diagrama geral da implementação das portadoras da modulação LSPWM-POD	32
Figura 2.9 – Representação das triangulares das modulações HE-PWM e Proposta	33
Figura 2.10 – Diagrama geral da implementação das portadoras das modulações HE-PWM e Proposta	34
Figura 2.11 – Diagrama geral da implementação das moduladoras	36
Figura 3.1 – Topologia do inversor multinível FC de três níveis	37
Figura 3.2 – Primeira etapa de operação	38
Figura 3.3 – Segunda etapa de operação	39
Figura 3.4 – Terceira etapa de operação	39
Figura 3.5 – Quarta etapa de operação	40
Figura 3.6 – Correntes nos interruptores e nos diodos para a modulação PSPWM aplicada à topologia FC	44
Figura 3.7 – Correntes nos interruptores e nos diodos para a modulação LSPWM-POD aplicada à topologia FC	48
Figura 3.8 – Correntes nos interruptores e nos diodos para a modulação HE-PWM aplicada à topologia FC	52
Figura 3.9 – Correntes nos interruptores e nos diodos para a modulação CSV-PWM aplicada à topologia FC	53
Figura 3.10 – Correntes nos interruptores e nos diodos para a modulação proposta aplicada à topologia FC	55
Figura 3.11 – Linearização da curva $I_{CE} \times V_{CE}$ dos IGBTs dos módulos	56

Figura 3.12 – Linearização da curva $I_F \times V_F$ dos diodos dos módulos	57
Figura 3.13 – Curvas da dissipação de energia durante a comutação	58
Figura 3.14 – Distribuição de perdas nos interruptores para as técnicas HE-PWM, CSV-PWM e proposta	60
Figura 4.1 – Resultados de DHT para tensão de linha com as modulações PSPWM, LSPWM-POD, CSV-PWM e proposta	62
Figura 4.2 – Resultados de DHT para tensão de linha com as modulações HE-PWM e Proposta	63
Figura 4.3 – Formas de onda das portadoras da técnica de modulação proposta: (a) ambas (b) P_1 , (c) P_2	65
Figura 4.4 – Formas de onda das moduladoras da técnica de modulação proposta	66
Figura 4.5 – Formas de onda da moduladora e das funções aproximadas	66
Figura 4.6 – Forma de onda da função aproximada	67
Figura 4.7 – Formas de onda da moduladora, da função aproximada e da diferença entre as mesmas	67
Figura 4.8 – Funções da técnica de modulação proposta com a portadora P_1 e moduladoras M_1 e M_2	68
Figura 4.9 – Funções da técnica de modulação proposta com a portadora P_2 e moduladoras M_1 e M_2	68
Figura 4.10 – Representação da célula unitária da estrutura FC com a modulação proposta ..	69
Figura 4.11 – Representação da tensão na saída através de células unitárias com frequência de chaveamento de 1080 Hz	70
Figura 4.12 – Resultado de simulação da forma de onda da tensão na saída com frequência de chaveamento de 1080 Hz	70
Figura 4.13 – Eixos x e y da célula unitária	71
Figura 4.14 – Componentes harmônicas calculadas da tensão de fase com índice de modulação 0,8 e frequência de chaveamento de 4 kHz (escala 1:200 V)	72
Figura 4.15 – Transformada rápida de <i>Fourier</i> da tensão de fase na saída com índice de modulação 0,8 e frequência de chaveamento de 4 kHz obtida através do <i>software</i> PSIM® ...	72
Figura 4.16 – Componentes harmônicas calculadas da tensão de linha com índice de modulação 0,8 e frequência de chaveamento de 4 kHz (escala 1:200 V)	72
Figura 4.17 – Transformada rápida de <i>Fourier</i> da tensão de linha na saída com índice de modulação 0,8 e frequência de chaveamento de 4 kHz obtida através do <i>software</i> PSIM® ...	73
Figura 4.18 – Transformada rápida de <i>Fourier</i> da tensão de fase na saída obtida através do	

<i>software</i> PSIM [®] , comparada com a forma de onda teórica	73
Figura 4.19 - Transformada rápida de <i>Fourier</i> da tensão de linha obtida através do <i>software</i> PSIM [®] , comparada com a forma de onda teórica	73
Figura 5.1 – FPGA ALTERA [®] da família Cyclone IV, modelo EP4CE22F17C6N	75
Figura 5.2 – Protótipo experimental de um braço do inversor	76
Figura 5.3 – Forma de onda das moduladoras das técnicas de modulação PSPWM, LSPWM-POD e HE-PWM	77
Figura 5.4 – Formas de onda das portadoras da modulação PSPWM	78
Figura 5.5 – Geração dos pulsos dos interruptores na modulação PSPWM	78
Figura 5.6 – Formas de onda das portadoras da modulação LSPWM-POD	79
Figura 5.7 – Geração dos pulsos dos interruptores na modulação LSPWM-POD com moduladora entre $V_p/2$ e V_p	80
Figura 5.8 – Geração dos pulsos dos interruptores na modulação LSPWM-POD com moduladora entre 0 e $V_p/2$	80
Figura 5.9 – Formas de onda das portadoras da modulação HE-PWM	81
Figura 5.10 – Geração dos pulsos dos interruptores na modulação HE-PWM com a moduladora entre $2V_p/3$ e V_p	82
Figura 5.11 – Geração dos pulsos dos interruptores na modulação HE-PWM com a moduladora entre $V_p/3$ e $2V_p/3$	82
Figura 5.12 – Geração dos pulsos dos interruptores na modulação HE-PWM com a moduladora entre 0 e $V_p/3$	83
Figura 5.13 – Formas de onda das moduladoras da modulação CSV-PWM	84
Figura 5.14 – Geração dos pulsos dos interruptores na modulação CSV-PWM	84
Figura 5.15 – Geração dos pulsos dos interruptores na modulação proposta com a moduladora entre $2V_p/3$ e V_p	85
Figura 5.16 – Geração dos pulsos dos interruptores na modulação proposta com a moduladora entre $V_p/3$ e $2V_p/3$	85
Figura 5.17 – Geração dos pulsos dos interruptores na modulação proposta com a moduladora entre 0 e $V_p/3$	86
Figura 5.18 – Formas de onda da tensão na fase A, tensão de linha entre fases A e B e corrente na fase A para frequência de chaveamento de 4 kHz	87
Figura 5.19 – Formas de onda da tensão na fase A, tensão de linha entre fases A e B e corrente na fase A para frequência de chaveamento de 1080 Hz	87
Figura 5.20 – Formas de onda das tensões de fase na saída do inversor FC para frequência de	

chaveamento de 4 kHz	88
Figura 5.21 – Formas de onda das tensões de fase na saída do inversor FC para frequência de chaveamento de 1080 Hz	88
Figura 5.22 – Formas de onda das tensões de linha na saída do inversor FC para frequência de chaveamento de 4 kHz	89
Figura 5.23 – Formas de onda das tensões de linha na saída do inversor FC para frequência de chaveamento de 1080 Hz	89
Figura 5.24 – Formas de onda das correntes de linha na saída do inversor FC para frequência de chaveamento de 4 kHz	90
Figura 5.25 – Formas de onda das correntes de linha na saída do inversor FC para frequência de chaveamento de 1080 Hz.....	90
Figura 5.26 – Curvas experimentais de rendimento referentes ao inversor FC para as diversas técnicas de modulação para frequência de chaveamento de 4 kHz	91
Figura 5.27 – Curvas experimentais de rendimento referentes ao inversor FC para as diversas técnicas de modulação para frequência de chaveamento de 1080 Hz	92
Figura 5.28 – Curvas experimentais de DHT referentes ao inversor FC para as diversas técnicas de modulação para frequência de chaveamento de 4 kHz	93
Figura 5.29 – Curvas experimentais de DHT referentes ao inversor FC para as diversas técnicas de modulação para frequência de chaveamento de 1080 Hz	94
Figura 5.30 – Espectros harmônicos referentes ao inversor FC para as técnicas de modulação PSPWM, LSPWM-POD e CSV-PWM para frequência de chaveamento de 4 kHz	95
Figura 5.31 – Espectros harmônicos referentes ao inversor FC para as técnicas de modulação HE-PWM e proposta para frequência de chaveamento de 4 kHz	96
Figura 5.32 – Espectros harmônicos referentes ao inversor FC para as técnicas de modulação PSPWM, LSPWM-POD e CSV-PWM para frequência de chaveamento de 1080 Hz	97
Figura 5.33 – Espectros harmônicos referentes ao inversor FC para as técnicas de modulação HE-PWM e proposta para frequência de chaveamento de 1080 Hz	98
Figura 5.34 – Portadoras da técnica proposta utilizadas para o inversor FC de cinco níveis...	99
Figura 5.35 – Formas de onda da técnica proposta aplicada à topologia FC de cinco níveis: (a) tensão na fase A, (b) tensão de linha AB e (c) corrente na fase A	99
Figura A.1 – Diagrama de blocos do programa: pll_1, pll_2 e divisores de frequência de portadora e moduladora	108
Figura A.2 – Diagrama de blocos do programa: divisores de frequência de portadora e moduladora, triangulares (portadoras superior e inferior) e moduladoras	109

Figura A.3 – Diagrama de blocos do programa: moduladoras e blocos lógicos das fases A, B e C	109
Figura C.1 – Esquemático da placa do inversor multinível com capacitor flutuante de três níveis	131
Figura C.2 – Esquemático da placa de sinais: conectores para os <i>drivers</i>	131
Figura C.3 – Esquemático da placa de sinais: conectores para os <i>drivers</i>	132
Figura C.4 – Esquemático da placa de sinais: <i>buffers</i>	132
Figura C.5 – Esquemático da placa de sinais: fonte de alimentação e FPGA	133

LISTA DE TABELAS

Tabela 1.1 – Estado de comutação, sequência de comutação e tensão de fase para um braço do inversor	5
Tabela 1.2 – Possíveis vetores de comutação no espaço $\alpha\beta$ para o inversor multinível trifásico de capacitor flutuante de três níveis	16
Tabela 3.1 – Parâmetro de projeto para um braço do inversor trifásico	41
Tabela 3.2 – Valores dos esforços de corrente nos componentes (PSPWM)	47
Tabela 3.3 – Valores dos esforços de corrente nos componentes (LSPWM-POD)	50
Tabela 3.4 – Valores dos esforços de corrente nos componentes (HE-PWM)	51
Tabela 3.5 – Valores dos esforços de corrente nos componentes (CSV-PWM)	54
Tabela 3.6 – Valores dos esforços de corrente nos componentes (proposta)	54
Tabela 3.7 – Coeficientes calculados dos polinômios de segunda ordem	58
Tabela 3.8 – Perdas totais calculadas para as diferentes modulações	59
Tabela 4.1 – Limites dos eixos x e y	70
Tabela 4.2 – Parâmetros empregados para o cálculo das componentes harmônicas.....	71
Tabela 5.1 – Parâmetro de projeto do inversor trifásico com capacitor flutuante de três níveis	76

LISTA DE SÍMBOLOS

α_{x1}	Razão cíclica do interruptor 1	-
α_{x2}	Razão cíclica do interruptor 2	-
δ_{DXY}	Função de modulação do diodo Y do braço Y do inversor	-
δ_{DA1}	Função de modulação do diodo 1 do braço A do inversor	-
δ_{DA2}	Função de modulação do diodo 2 do braço A do inversor	-
δ_{DA3}	Função de modulação do diodo 3 do braço A do inversor	-
δ_{DA4}	Função de modulação do diodo 4 do braço A do inversor	-
δ_{SXY}	Função de modulação do interruptor Y do braço Y do inversor	-
δ_{SA1}	Função de modulação do interruptor 1 do braço A do inversor	-
δ_{SA2}	Função de modulação do interruptor 2 do braço A do inversor	-
δ_{SA3}	Função de modulação do interruptor 3 do braço A do inversor	-
δ_{SA4}	Função de modulação do interruptor 4 do braço A do inversor	-
η	Rendimento	-
θ_o	Ângulo de carga	rad
ACLR	Pino de <i>reset</i> assíncrono	-
C_1	Capacitor do barramento	Faraday
C_2	Capacitor do barramento	Faraday
C_X	Capacitor flutuante em um dos braços X do inversor	Faraday
CLK_EXT	Sinal de <i>clock</i> advindo da placa de desenvolvimento do FPGA	Hertz
COMP	Bloco comparador	-
COMP2	Bloco comparador	-
COMP3	Bloco comparador	-
COUNT1	Bloco contador	-
COUNT2	Bloco contador	-
COUNTASINC	Bloco contador assíncrono	-
D	Razão cíclica	-
D_{X1}	Diodo do interruptor 1 do braço X do inversor multinível	-
D_{X2}	Diodo do interruptor 2 do braço X do inversor multinível	-
D_{X3}	Diodo do interruptor 3 do braço X do inversor multinível	-
D_{X4}	Diodo do interruptor 4 do braço X do inversor multinível	-
FP	Fator de potência da carga	-

f_s	Frequência de comutação dos interruptores	Hertz
I_{CE}	Corrente direta através do IGBT	Ampère
i_D	Função da corrente direta através do diodo	Ampère
I_F	Corrente instantânea através do diodo	Ampère
I_o	Corrente nominal através do diodo	Ampère
i_o	Função da corrente de saída	Ampère
$I_{o.eficaz}$	Corrente eficaz de saída	Ampère
$I_{o.pico}$	Corrente de pico na saída do inversor	Ampère
I_{rr}	Corrente de recuperação reversa do diodo	Ampère
i_{SXY}	Função da corrente no interruptor Y do braço X do inversor	Ampère
$I_{DXY.médio}$	Corrente média no diodo Y do braço X do inversor	Ampère
$I_{DXY.eficaz}$	Corrente eficaz no diodo Y do braço X do inversor	Ampère
$I_{SXY.médio}$	Corrente média no interruptor Y do braço X do inversor	Ampère
$I_{SXY.eficaz}$	Corrente eficaz no interruptor Y do braço X do inversor	Ampère
I_{ZX}	Corrente de fase	Ampère
$k_{0.OFF}$	Coefficiente do polinômio da equação 3.52	-
$k_{0.ON}$	Coefficiente do polinômio da equação 3.51	-
$k_{1.OFF}$	Coefficiente do polinômio da equação 3.52	-
$k_{2.ON}$	Coefficiente do polinômio da equação 3.51	-
$k_{2.OFF}$	Coefficiente do polinômio da equação 3.52	-
$k_{2.ON}$	Coefficiente do polinômio da equação 3.51	-
L_o	Indutância de carga	Henry
M_i	Índice de modulação	-
M_{imax}	Máximo índice de modulação	-
N	Estado de comutação de nível negativo	-
$N_{degraus}$	Número de degraus da triangular	-
N_{pts}	Número de pontos da tabela	-
O	Estado de comutação de nível zero	-
O_1	Estado de comutação 1	-
O_2	Estado de comutação 2	-
P	Estado de comutação de nível positivo	-
P_1	Portadora 1	-
P_2	Portadora 2	-

P_3	Portadora 3	-
P_4	Portadora 4	-
P_o	Potência ativa de saída por fase	Watt
$P_{DXY.condução}$	Perda por condução no diodo Y do braço X do inversor	Watt
P_{rr}	Perda devido à recuperação reversa no diodo	Watt
$P_{SXY.condução}$	Perda por condução no interruptor Y do braço X do inversor	Watt
$P_{SXY.OFF}$	Perda por comutação no desligamento do interruptor Y do braço X	Watt
$P_{SXY.ON}$	Perda por comutação no ligamento do interruptor Y do braço X	Watt
R_D	Resistência série equivalente intrínseca ao diodo	Ohm
R_o	Resistência de carga	Ohm
R_S	Resistência série equivalente intrínseca à interruptor	Ohm
S_o	Potência aparente na saída	VA
S_{X1}	Interruptor 1 do braço X do inversor multinível	-
S_{X2}	Interruptor 2 do braço X do inversor multinível	-
S_{X3}	Interruptor 3 do braço X do inversor multinível	-
S_{X4}	Interruptor 4 do braço X do inversor multinível	-
$\overline{S_{X1}}$	Interruptor complementar à 1 do braço X do inversor	-
$\overline{S_{X2}}$	Interruptor complementar à 2 do braço X do inversor	-
t_s	Período de comutação dos interruptores	s
t_m	Período da moduladora	s
t_p	Período da portadora	s
T_{ON}	Período de condução dos interruptores	s
V_{CC}	Tensão no barramento CC	Volt
V_{CE}	Tensão coletor-emissor do IGBT	Volt
V_{CAP}	Tensão sobre o capacitor C_F	Volt
V_{CX}	Tensão sobre o capacitor C_X	Volt
V_D	Queda de tensão direta sobre o diodo	Volt
$V_{D1.MAX}$	Tensão máxima sobre o diodo D_1	Volt
$V_{D2.MAX}$	Tensão máxima sobre o diodo D_2	Volt
V_F	Queda de tensão instantânea sobre o diodo	Volt
V_{GSX1}	Tensão entre <i>gate-source</i> no interruptor 1 do braço X	Volt
V_{GSX2}	Tensão entre <i>gate-source</i> no interruptor 2 do braço X	Volt

V_{GSX3}	Tensão entre <i>gate-source</i> no interruptor 3 do braço X	Volt
V_{GSX4}	Tensão entre <i>gate-source</i> no interruptor 4 do braço X	Volt
V_m	Tensão de pico na moduladora	Volt
V_{OFF}	Tensão de deslocamento	Volt
$V_{o.eficaz}$	Tensão eficaz de saída	Volt
$V_{o.pico}$	Tensão de pico da saída	Volt
V_p	Tensão de pico na portadora	Volt
V_{PICO}	Tensão de pico das portadoras	Volt
V_{ref}	Tensão de referência	Volt
V_{senA}	Tensão de referência senoidal da fase A	Volt
V_{senB}	Tensão de referência senoidal da fase B	Volt
V_{senC}	Tensão de referência senoidal da fase C	Volt
V_{SX1}	Tensão sobre o interruptor 1 do braço X do inversor	Volt
V_{S1MAX}	Tensão máxima sobre o interruptor S_1	Volt
V_{SX2}	Tensão sobre o interruptor 2 do braço X do inversor	Volt
V_{S2MAX}	Tensão máxima sobre o interruptor S_2	Volt
V_{SX3}	Tensão sobre o interruptor 3 do braço X do inversor	Volt
V_{S3MAX}	Tensão máxima sobre o interruptor S_3	Volt
V_{SX4}	Tensão sobre o interruptor 4 do braço X do inversor	Volt
V_{S4MAX}	Tensão máxima sobre o interruptor S_4	Volt
V_{TO}	Tensão de limiar intrínseca ao IGBT	Volt
X	Variável das fases A, B ou C	-
W_{rr}	Energia dissipada durante a recuperação reversa nos diodos	Joule
$W_{SXY.OFF}$	Energia dissipada durante o desligamento do interruptor	Joule
$W_{SXY.ON}$	Energia dissipada durante o ligamento do interruptor	Joule
Z_o	Impedância de carga	Ohm

LISTA DE ABREVIATURAS E SIGLAS

APOD	<i>Alternate Phase Opposition Disposition</i>
CA	Corrente Alternada
CC	Corrente Contínua
CHB	<i>Cascaded H-Bridge</i>
CSV-PWM	<i>Centered Space Vector - Pulse Width Modulation</i>
DHT	Distorção Harmônica Total
DSP	<i>Digital Signal Processor</i>
EMI	<i>Electromagnetic Interference</i>
FC	<i>Flying Capacitor</i>
FPGA	<i>Field Programmable Gate Array</i>
HE-PWM	<i>HE - Pulse Width Modulation</i>
IPD	<i>In-Phase Disposition</i>
LSPWM	<i>Level-Shifted Pulse Width Modulation</i>
LUT	<i>Look Up Table</i>
NPC	<i>Neutral Point Clamped</i>
POD	<i>Phase Opposition Disposition</i>
PLL	<i>Phase Locked Loop</i>
PSPWM	<i>Phase-Shifted Pulse Width Modulation</i>
PWM	<i>Pulse Width Modulation</i>
RMS	<i>Root Mean Square</i>
SVM	<i>Space Vector Modulation</i>
THD	<i>Total Harmonic Distortion</i>
UFC	Universidade Federal do Ceará
UFERSA	Universidade Federal Rural do Semi-Árido
UFPI	Universidade Federal do Piauí
VHDL	<i>Verilog Hardware Description Language</i>
WTHD	<i>Weighted Total Harmonic Distortion</i>

SUMÁRIO

1	INTRODUÇÃO GERAL	1
1.1	Introdução	1
1.2	Topologias de inversores multiníveis	3
1.3	Técnicas de modulação	6
<i>1.3.1</i>	<i>Modulação PSPWM</i>	<i>7</i>
<i>1.3.2</i>	<i>Modulação LSPWM</i>	<i>9</i>
<i>1.3.3</i>	<i>Modulação HE-PWM</i>	<i>12</i>
<i>1.3.4</i>	<i>Modulação no espaço vetorial</i>	<i>16</i>
<i>1.3.5</i>	<i>Modulação CSV-PWM</i>	<i>18</i>
1.4	Estrutura da pesquisa	22
1.5	Considerações finais	24
2	TÉCNICA DE MODULAÇÃO PROPOSTA	25
2.1	Introdução	25
2.2	Técnica de modulação proposta	26
2.3	Implementação digital das técnicas de modulação em FPGA	29
<i>2.3.1</i>	<i>Desenvolvimento digital das portadoras para as modulações PSPWM e CSV-PWM ..</i>	<i>30</i>
<i>2.3.2</i>	<i>Desenvolvimento digital das portadoras para a modulação LSPWM-POD</i>	<i>31</i>
<i>2.3.3</i>	<i>Desenvolvimento digital das portadoras para as modulações HE-PWM e proposta ...</i>	<i>33</i>
<i>2.3.4</i>	<i>Desenvolvimento digital das moduladoras</i>	<i>34</i>
2.5	Considerações finais	36
3	ANÁLISE DE PERDAS	37
3.1	Introdução	37
3.2	Princípio de operação do inversor com capacitor flutuante de três níveis	37
<i>3.2.1</i>	<i>Primeira etapa de operação</i>	<i>38</i>
<i>3.2.2</i>	<i>Segunda etapa de operação</i>	<i>38</i>
<i>3.2.3</i>	<i>Terceira etapa de operação</i>	<i>38</i>
<i>3.2.4</i>	<i>Quarta etapa de operação</i>	<i>38</i>
3.3	Estudo de perdas	41
<i>3.3.1</i>	<i>Determinação dos esforços de corrente nas chaves e diodos</i>	<i>43</i>
<i>3.3.1.1</i>	<i>Técnica de modulação PSPWM</i>	<i>43</i>

3.3.1.2	<i>Técnica de modulação LSPWM-POD</i>	47
3.3.1.3	<i>Técnica de modulação HE-PWM</i>	51
3.3.1.4	<i>Técnica de modulação CSV-PWM</i>	51
3.3.1.5	<i>Técnica de modulação proposta</i>	54
3.3.2	<i>Cálculo de perdas por condução e comutação</i>	56
3.4	Considerações finais	60
4	ANÁLISE TEÓRICA DE DHT	62
4.1	Introdução	62
4.2	Análise teórica do DHT das tensões de saída	62
4.3	Considerações finais	74
5	RESULTADOS EXPERIMENTAIS	75
5.1	Introdução	75
5.2	Resultados experimentais das diversas técnicas de modulação	76
5.2.1	<i>Moduladoras</i>	77
5.2.2	<i>Modulação PSPWM</i>	77
5.2.3	<i>Modulação LSPWM-POD</i>	79
5.2.4	<i>Modulação HE-PWM</i>	81
5.2.5	<i>Modulação CSV-PWM</i>	83
5.2.6	<i>Modulação proposta</i>	83
5.3	Resultados experimentais da técnica de modulação proposta	86
5.4	Curvas de rendimento	91
5.5	Curvas de DHT, WTHD e espectros harmônicos	92
5.6	Aplicação da modulação proposta para mais níveis	98
5.7	Considerações finais	100
6	CONCLUSÃO	102
	REFERÊNCIAS	104
	APÊNDICE A – Programa em VHDL da modulação proposta	108
A.1.1.	<i>Divisor de frequencia: divisor_portadora // divisor_moduladora</i>	110
A.1.2.	<i>Triangular: portadoras_one // portadoras_two</i>	110
A.1.3.	<i>Moduladoras_aprimoradas: senoides_apri</i>	108
A.1.4.	<i>Blocologico: faseA // faseB // faseC</i>	119
	APÊNDICE B – Equacionamento da célula unitária	122
	APÊNDICE C – Esquemáticos	131

1 INTRODUÇÃO GERAL

1.1 Introdução

Os inversores multiníveis vêm se tornando um dos ramos mais pesquisados na eletrônica de potência, devido a sua importância para solucionar problemas de acionamentos de alta potência. Esta procura se deve à elevação dos níveis de tensão e corrente das instalações e dos dispositivos eletrônicos utilizados na expansão da capacidade energética. Nestes casos, os equipamentos causam maiores esforços nos semicondutores, assim como a inevitabilidade de agregar maior qualidade à conversão de energia com a redução do conteúdo harmônico (BRÜCKNER, 2005).

No entanto, persiste a competição entre inversores de potência de topologias clássicas e multiníveis, visto que aquelas utilizam semicondutores de alta potência, que ainda estão em estudo de melhoria. Já os inversores multiníveis utilizam semicondutores de média potência, bem difundidos no mercado e com maior confiabilidade (FRANQUELO, 2008). Uma das vantagens deste tipo de utilização é que as tensões se mantêm reduzidas nos interruptores e permitem elevados valores de tensão na saída. Portanto, as aplicações dos conversores multiníveis se inserem, também, na faixa de médias tensões e potências elevadas, estando entre as soluções mais atrativas do mercado (PENG, 2010).

Diferentemente das topologias clássicas, o arranjo de semicondutores e capacitores permite aos inversores multiníveis apresentar, como principal característica, uma tensão de saída com três ou mais níveis, dependendo de sua configuração. Com o aumento do número de níveis, a forma de onda da tensão sobre a carga se torna mais próxima a uma onda senoidal, resultando na redução do seu conteúdo harmônico. Em contrapartida, acrescenta-se a isto o custo de maior complexidade na modulação, problemas de desbalanceamento de tensão nos capacitores de barramento e o aumento do número de componentes utilizados (MCGRATH, 2008). Os esforços de aprimoramento das tecnologias existentes se concentram em aperfeiçoar as topologias dos inversores multiníveis, melhorarem os índices de distorção harmônica e estratégias de modulação, balancear a tensão nos capacitores do barramento e reduzir a ondulação de corrente (KHAZRAEI, 2012). Dentre as mais comuns, três são convencionais: NPC (*Neutral Point Clamped* - Ponto Neutro Grampeado), FC (*Flying Capacitor* - Capacitor Flutuante) e CHB (*Cascade H-Bridge* - Ponte H em Cascata).

Nos anos 80, diversos pesquisadores iniciaram o desenvolvimento de novas topologias de inversores com o objetivo de elevar os valores de tensão e corrente. A primeira topologia de inversor multinível NPC de três níveis foi apresentada por Nabae (1981), a qual con-

siste na modificação da estrutura clássica de inversor de dois níveis. A partir disto, foi possível a duplicação do nível da tensão de saída, mantendo os esforços de tensão sobre os semicondutores empregados na topologia clássica de dois níveis. Assim, cada dispositivo é grampeado com metade do valor de tensão em relação aos dois níveis do barramento. Entretanto, esta estrutura apresenta grandes limitações no tocante ao controle de desbalanceamento de tensão dos capacitores de barramento, ao elevado número de semicondutores e a dificuldade de expansão para mais níveis (LIN, 2004).

Após alguns anos, duas topologias de inversores multiníveis FC e CHB surgiram com novas características, sendo, algumas, comuns entre si: a redução do número de semicondutores, adição de capacitores e redução do desbalanceamento de tensão. A CHB possui a desvantagem de necessitar de um transformador de alta potência para alimentar suas entradas, visto que precisam ser isoladas entre si, limitando sua aplicação (LEE, 2003).

Por outro lado, a estrutura FC apresenta uma importante vantagem em relação às outras topologias clássicas: a possibilidade do inversor operar com ampla variedade de modulações, ao contrário da topologia NPC, que permite apenas portadoras dispostas em níveis de tensão (HENN, 2011). Além disso, a estrutura apresenta uma facilidade de expansão para aplicações, com um maior número de níveis e um maior número de estados redundantes para os interruptores em cada braço, como também, permite um controle de carga e descarga dos capacitores flutuantes (KHAZRAEI, 2012). Assim, através da análise de suas vantagens em relação às outras duas topologias de conversores multiníveis convencionais, a topologia FC torna-se uma excelente opção para proposta deste trabalho.

Com relação às estratégias de modulação para conversores multiníveis, uma escolha adequada permite a redução do índice de DHT (Distorção Harmônica Total), caracterizando, assim, sua importância. Os algoritmos são divididos em dois grandes grupos: o domínio no espaço vetorial e o domínio do tempo. Cada domínio possui diferentes técnicas, que, por sua vez, são divididas pela frequência de operação do inversor.

A partir das técnicas tradicionais de PWM (*Pulse Width Modulation* - Modulação por Largura de Pulso), esses métodos foram estendidos aos conversores multiníveis utilizando moduladoras senoidais e comparando-as com múltiplas portadoras. Estas técnicas de PWM se enquadram no domínio de tempo e se caracterizam por sua maior simplicidade de análise e implementação (RODRÍGUEZ, 2002), (HOLTZ, 1994).

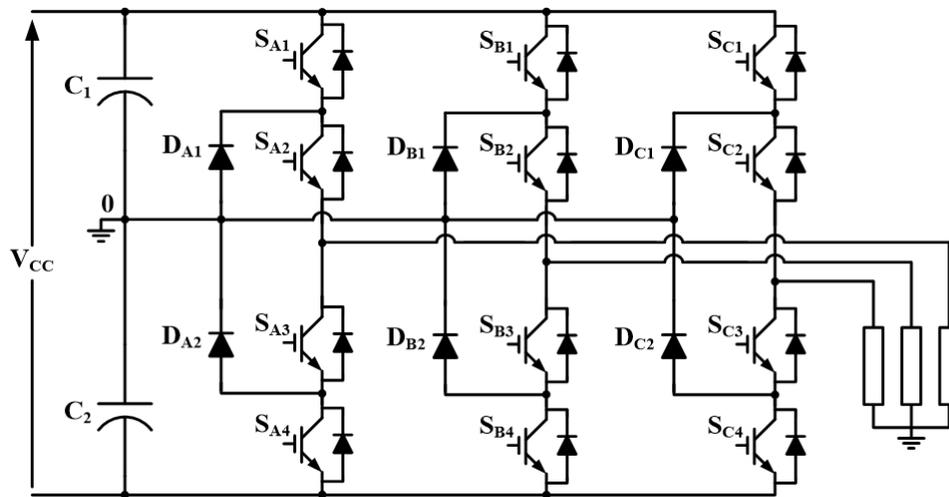
Dentro deste contexto, os inversores multiníveis adquiriram confiabilidade para aplicações de média tensão e de potências elevadas, sendo um alvo de pesquisa e de desenvolvimento mundial, entrando rapidamente no mercado industrial. A escolha da técnica de

modulação se tornou um dos itens mais importantes, juntamente com a topologia, na estratégia de melhorar a qualidade da tensão na saída e eficiência do inversor.

1.2 Topologias de inversores multiníveis

A denominação de inversor multinível surgiu com o trabalho de Bhagwat (1983). Entretanto, a primeira topologia deste tipo de inversor foi desenvolvida por Nabae (1981) e denominada, originalmente, como inversor NPC, a qual era capaz de impor à carga cinco níveis de tensão de linha. Este inversor está apresentado na figura 1.1.

Figura 1.1 – Topologia do inversor multinível NPC de três níveis.



Fonte: Elaborada pelo autor.

Diversas vantagens podem ser elencadas, tais como: redução dos efeitos de EMI (*Electromagnetic Interference* - Interferência Eletromagnética), com o aumento do número de níveis de tensão melhora-se a qualidade da forma de onda de tensão e reduz-se a DHT. Também é proporcionada uma redução dos esforços nos dispositivos à metade da tensão de barramento, evitando a utilização de transformadores e possibilitando a utilização de componentes de média tensão para aplicações de elevadas tensões (SUH, 1998). Além disto, a estrutura possui poucos capacitores e permite a compensação de reativos (LIN, 2004).

No entanto, devido à característica da topologia, a expansão para obter mais níveis de tensão na saída torna o projeto de difícil implementação, necessitando de um elevado número de diodos de grampeamento. (RODRÍGUEZ, 2002; LEE, 2006).

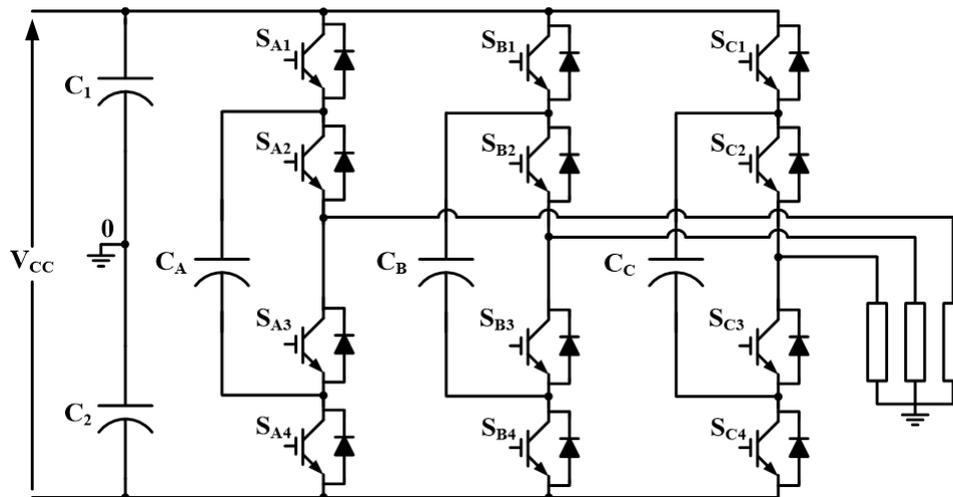
Outra desvantagem é que seu arranjo não proporciona um balanceamento de tensão adequado aos capacitores de barramento e a utilização de filtros RLC, sintonizados para

corrigir esse problema, se torna inviável, devido às perdas inerentes e ao seu elevado custo (KHAZRAEI, 2010). Além disso, o inversor NPC só possibilita a utilização de técnicas de modulação com portadoras dispostas em níveis de tensão, sendo esta uma característica limitadora para as pesquisas de aprimoramento com novas estratégias (HENN, 2011).

Uma topologia descrita por Meynard (1992) permitiu a diminuição do problema de desbalanceamento no barramento dos inversores multiníveis com a inserção de capacitores flutuantes. Isto se deve à comutação dos interruptores S_{X1} e S_{X2} operando de forma complementar aos interruptores S_{X4} e S_{X3} , respectivamente, permitindo o compartilhamento de energia entre o barramento e os capacitores flutuantes, nas quais, $X =$ fases A, B, C.

Denominado como inversor multinível FC, a topologia de três níveis segue na figura 1.2 e se mostra como uma grande contribuição pelo estudo sistemático e proposição de aplicações.

Figura 1.2 – Topologia do inversor multinível FC de três níveis.



Fonte: Elaborada pelo autor.

Por meio da figura acima, pode-se perceber a ausência dos diodos de grampeamento em relação à topologia NPC, caracterizando uma redução do número de semicondutores. A topologia FC também tem a capacidade de regular as tensões dos capacitores flutuantes, mesmo quando o número de níveis de tensão na saída é maior que três, e seus esforços de tensão nos interruptores são iguais à metade da tensão no barramento (MEYNARD, 1992; RASHID, 1999).

As seguintes características são identificadas:

- Cada braço possui três estados de condução (P, O e N);

- 27 possíveis estados de condução, dos quais 19 vetores são efetivos e 8 vetores são redundantes (RANGANATHAN, 1997).

Nos quais, P, O e N referem-se aos estados de comutação com tensões maior, igual e menor que zero, respectivamente. É possível verificar na tabela 1.1 os possíveis estados de comutação e suas respectivas tensões de fase para um braço do inversor multinível com capacitor flutuante.

Tabela 1.1 – Estado de comutação, sequência de comutação e tensão de fase para um braço do inversor com capacitor flutuante ($X = A, B, C$).

Estado de Comutação	Sequência de Comutação				Tensão de saída
	S_{X1}	S_{X2}	S_{X3}	S_{X4}	
P	1	1	0	0	$V_{CC}/2$
O	1	0	1	0	0
	0	1	0	1	
N	0	0	1	1	$-V_{CC}/2$

Fonte: Elaborada pelo autor.

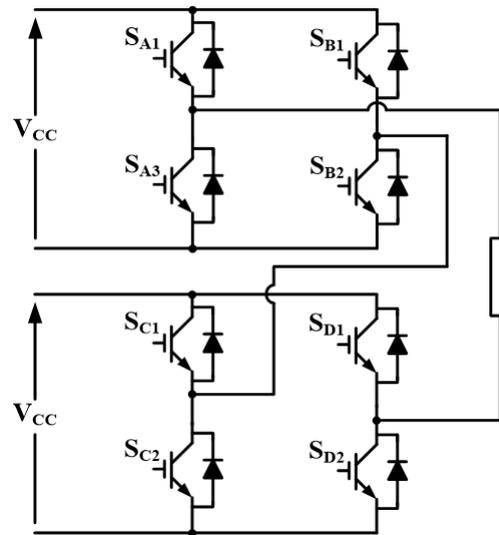
Outras vantagens podem ser mencionadas, tais como, a eliminação dos problemas associados à corrente reversa dos diodos, a possibilidade de controle de fluxo de potência ativa e reativa e redundância dos estados de comutação (RASHID, 1999; ESCALANTE, 2002).

Todavia, sua principal desvantagem é quanto ao número e o equilíbrio dos capacitores flutuantes, nos quais existem problemas na carga e descarga gerada pelas distorções na tensão de saída, na corrente de carga e baixos índices de modulação, resultando num desbalanceamento de tensão sobre os mesmos (SUH, 1997).

Outra topologia bastante conhecida e utilizada em aplicações industriais é a CHB, mostrada na figura 1.3, discutida em (MARCHESONI, 1992). Esta topologia é idêntica ao inversor clássico de dois níveis com a adição de uma ou mais células. Com isso, a construção se torna mais simplificada no caso de expansão para mais níveis, pois cada um tem a mesma estrutura e não há adição de capacitores e diodos (LAI, 1996).

A forma de acionamento dos interruptores é mais simples, pois cada estrutura é controlada independente das outras. Contudo, suas aplicações se tornam limitadas, devido à necessidade da fonte de alimentação de cada estrutura ser separada e isolada, utilizando, assim, um transformador para tal função (CARRARA, 1992).

Figura 1.3 – Duas células da topologia de inversor multinível CHB.



Fonte: Elaborada pelo autor.

1.3 Técnicas de modulação

As técnicas de modulação vêm sendo um dos principais focos de pesquisa no que se refere à questão de aprimoramento da qualidade de energia fornecida pelos conversores multiníveis. Em geral, os principais esforços na elaboração de estratégias de modulação são (BHAGWAT, 1983):

- Minimização das componentes harmônicas na carga;
- Redução das perdas;
- Distribuição uniforme das perdas;
- Manutenção das tensões nos barramentos equilibradas;

Além do mais, as estratégias deverão lidar com novas topologias, as quais tendem ao aumento do número de semicondutores ativos no circuito. Desta forma, se faz necessário o estudo para criar e escolher a melhor técnica (LEE, 2003).

As técnicas de modulação podem ser divididas em dois grupos: modulação no domínio do tempo, mais conhecida como PWM, e modulação no espaço vetorial, mais conhecida como SVM (*Space Vector Modulation* – Modulação por Vetor Espaço).

Utilizando as técnicas PWM, a tensão fundamental do inversor pode ser controlada e suas harmônicas podem ser atenuadas. Para tanto, o sinal de portadora na frequência de chaveamento f_s desejada é comparado com o sinal de moduladora, gerando os sinais de gatilho para os interruptores.

A moduladora pode ser um sinal de tensão contínuo com amplitude ajustável ou um sinal de tensão senoidal com amplitude e frequência ajustáveis. Apesar disso, a atenuação das harmônicas obtém melhor desempenho quando o formato da moduladora é senoidal (SREENIVASARAO, 2010). Similarmente, a portadora pode possuir um sinal com formato de dente de serra ou triangular, porém, os melhores benefícios do cancelamento de harmônicas são obtidos com a portadora triangular (HOLMES, 2003).

A componente de frequência fundamental da tensão de saída do conversor pode ser controlada pela amplitude índice de modulação M_i , definida na equação (1.1).

$$M_i = \frac{V_m}{V_p} \quad (1.1)$$

Sendo V_m e V_p , respectivamente, os valores de pico dos sinais de moduladora e portadora. O índice de modulação de frequência f_i é definido como:

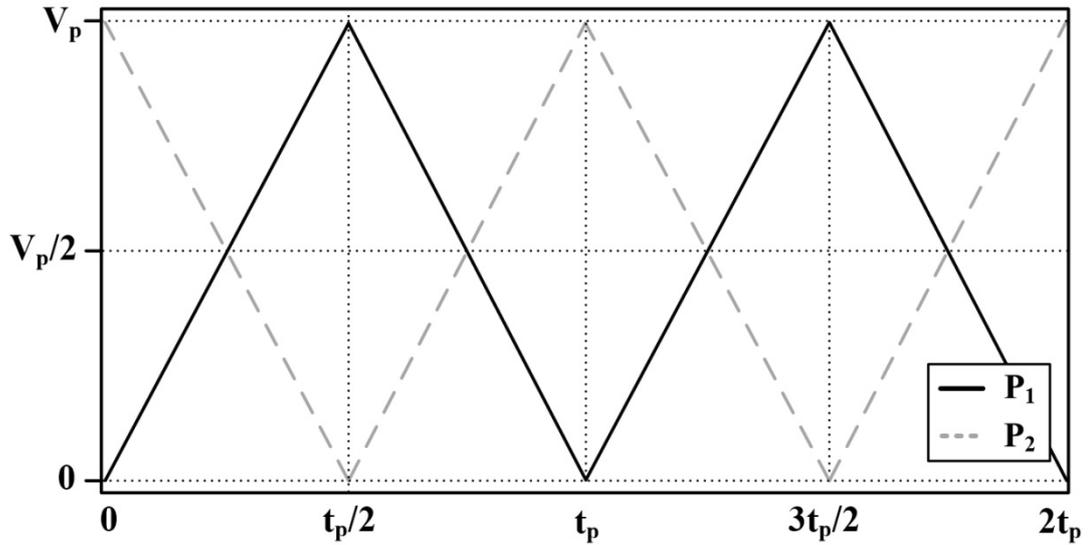
$$f_i = \frac{f_p}{f_m} \quad (1.2)$$

Na qual, f_m e f_p são as frequências dos sinais de moduladora e portadora, respectivamente. Para todas as técnicas expostas a seguir, será considerado que o inversor multinível apresenta três níveis de tensão na saída e a amplitude das portadoras e moduladoras está entre 0 e V_p .

1.3.1 Modulação PSPWM

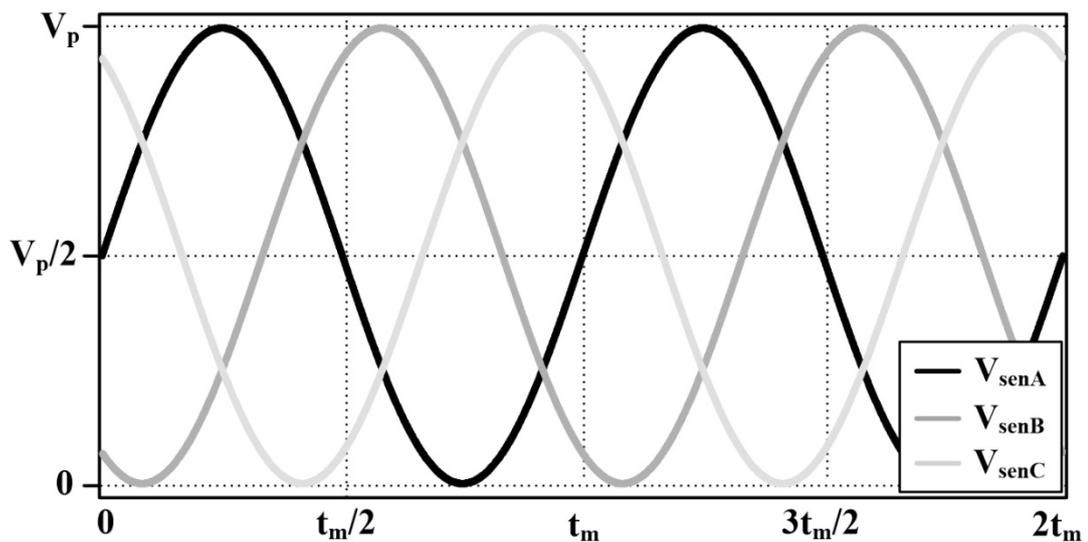
Dentro do grupo do domínio do tempo, a modulação PSPWM (*Phase-Shifted Pulse Width Modulation* – Modulação por Largura de Pulso com Deslocamento de Fase) é uma das técnicas *multicarriers* (multiportadoras) mais simples, contendo duas portadoras triangulares em alta frequência, defasadas entre si de 180 graus elétricos e três moduladoras senoidais em baixa frequência, defasadas entre si de 120 graus elétricos (HOLTZ, 1994). As portadoras e moduladoras são comparadas entre si e determinam como cada braço deve operar. As figuras 1.4 e 1.5 apresentam as formas de onda das portadoras (triangulares) e a onda moduladora (senoidal) da PSPWM, respectivamente.

Figura 1.4 - Formas de onda das portadoras da modulação PSPWM.



Fonte: Elaborada pelo autor.

Figura 1.5 - Forma de onda das moduladoras da modulação PSPWM.

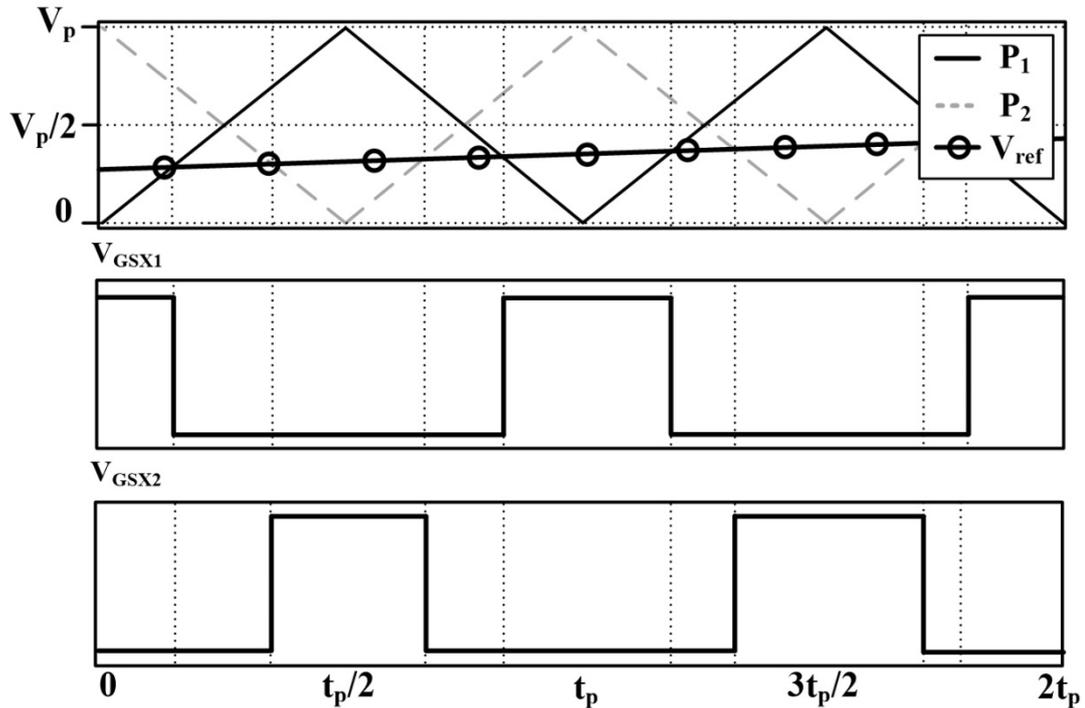


Fonte: Elaborada pelo autor.

Nas quais, t_s é o período da portadora e t_m é o período da moduladora senoidal.

A figura 1.6 mostra uma comparação entre as portadoras P_1 , P_2 e uma das moduladoras, resultando nos seus respectivos pulsos V_{GSX1} e V_{GSX2} , referentes aos interruptores S_{X1} e S_{X2} , respectivamente, para qualquer um dos três braços do inversor multinível (considerando $X = A, B, C$).

Figura 1.6 - Geração dos pulsos dos interruptores na modulação PSPWM.



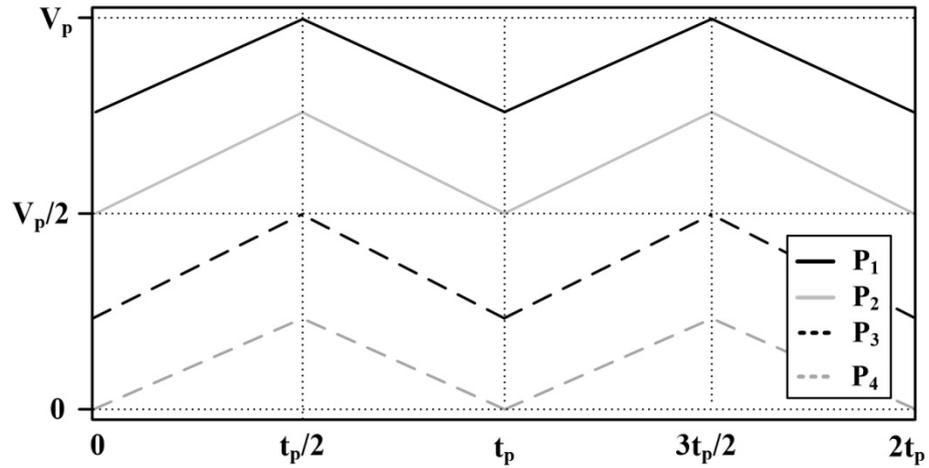
Fonte: Elaborada pelo autor.

1.3.2 Modulação LSPWM

Outra técnica bastante utilizada é a LSPWM (*Level-Shifted Pulse Width Modulation* – Modulação por Largura de Pulso com Deslocamento de Nível), a qual é caracterizada pela disposição de suas portadoras em níveis de tensão e uma moduladora senoidal para cada braço do inversor. Uma vantagem relevante da modulação LSPWM é a possibilidade de implementá-la tanto nas topologias de inversores multiníveis NPC quanto FC (LEE, 2003).

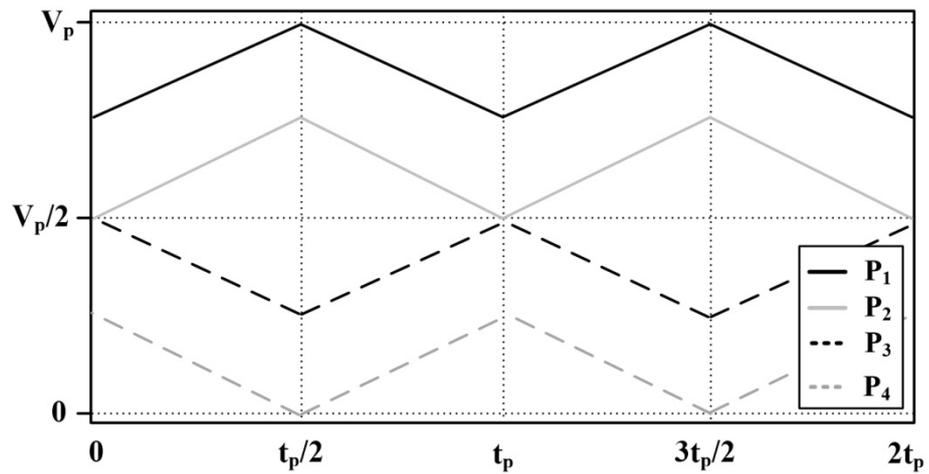
Esta estratégia possui três variações: IPD (*In-Phase Disposition* - Disposição em Fase), POD (*Phase-Opposition Disposition* - Disposição com Oposição de Fase) e APOD (*Alternate Phase-Opposition Disposition* - Disposição com Oposição de Fase em Alternância). Na IPD, as portadoras estão dispostas em fase entre si, na POD, as portadoras estão dispostas com deslocamento de 180 graus elétricos entre si e na APOD, as portadoras estão dispostas com deslocamento de 180 graus elétricos entre si com alternância, como mostrado nas figuras 1.7, 1.8 e 1.9, respectivamente. Deve-se destacar que estas estratégias estão apresentadas para a configuração de inversor multinível com cinco de níveis, pois esta característica é indispensável para a utilização da técnica APOD.

Figura 1.7 – Formas de onda das portadoras da modulação LSPWM-IPD.



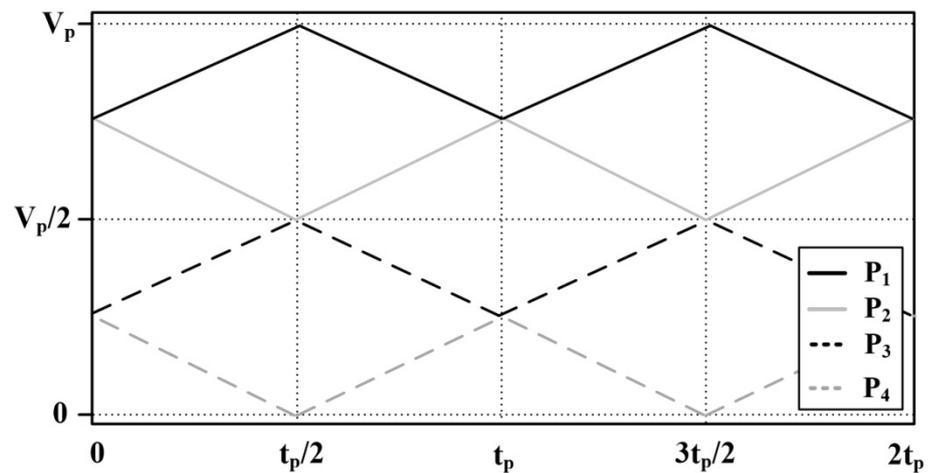
Fonte: Elaborada pelo autor.

Figura 1.8 – Formas de onda das portadoras da modulação LSPWM-POD.



Fonte: Elaborada pelo autor.

Figura 1.9 – Formas de onda das portadoras da modulação LSPWM-APOD.



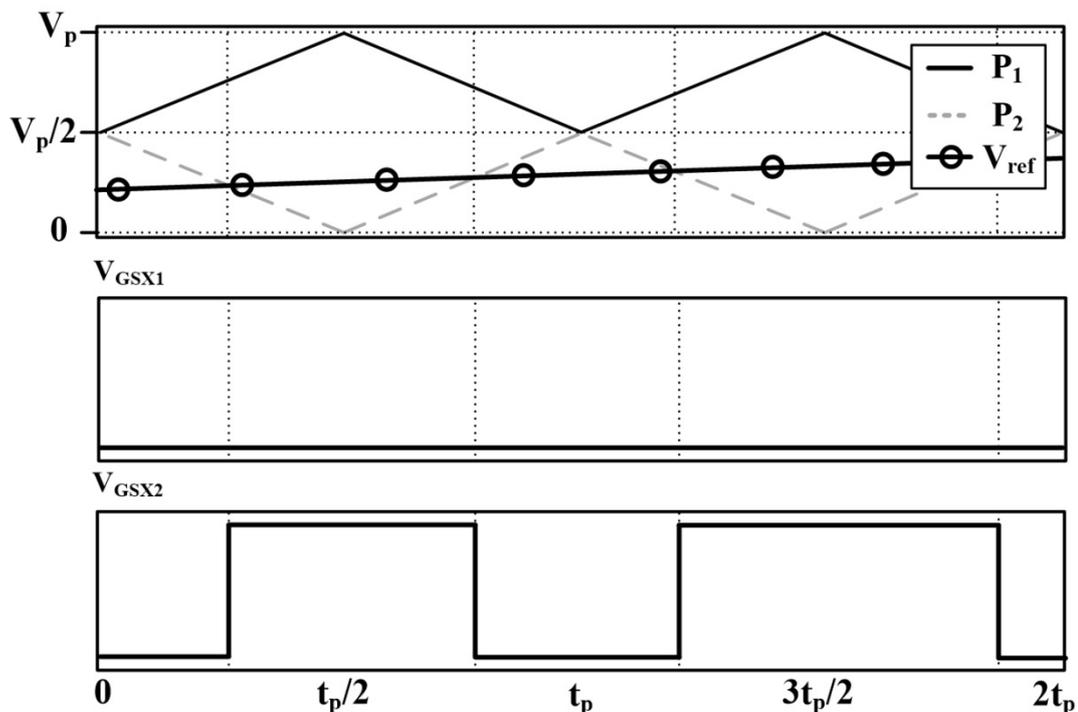
Fonte: Elaborada pelo autor.

Para fins de comparação dos capítulos seguintes, será mostrada apenas a LSPWM-POD, pois a técnica LSPWM-IPD não é aplicável na estrutura com capacitor flutuante (HENN, 2011) e a técnica LSPWM-APOD é utilizada somente em inversores com cinco ou mais níveis. Nas figuras 1.10 e 1.11 são mostradas as comparações entre as portadoras P_1 e P_2 , e uma das moduladoras, resultando nos seus respectivos pulsos V_{GSX1} e V_{GSX2} referentes aos interruptores S_{X1} e S_{X2} , respectivamente, para cada um dos dois casos possíveis e para qualquer um dos três braços do inversor multinível de três níveis.

Percebe-se que diante desta organização das portadoras, existem dois possíveis casos, em função do nível de tensão da onda moduladora:

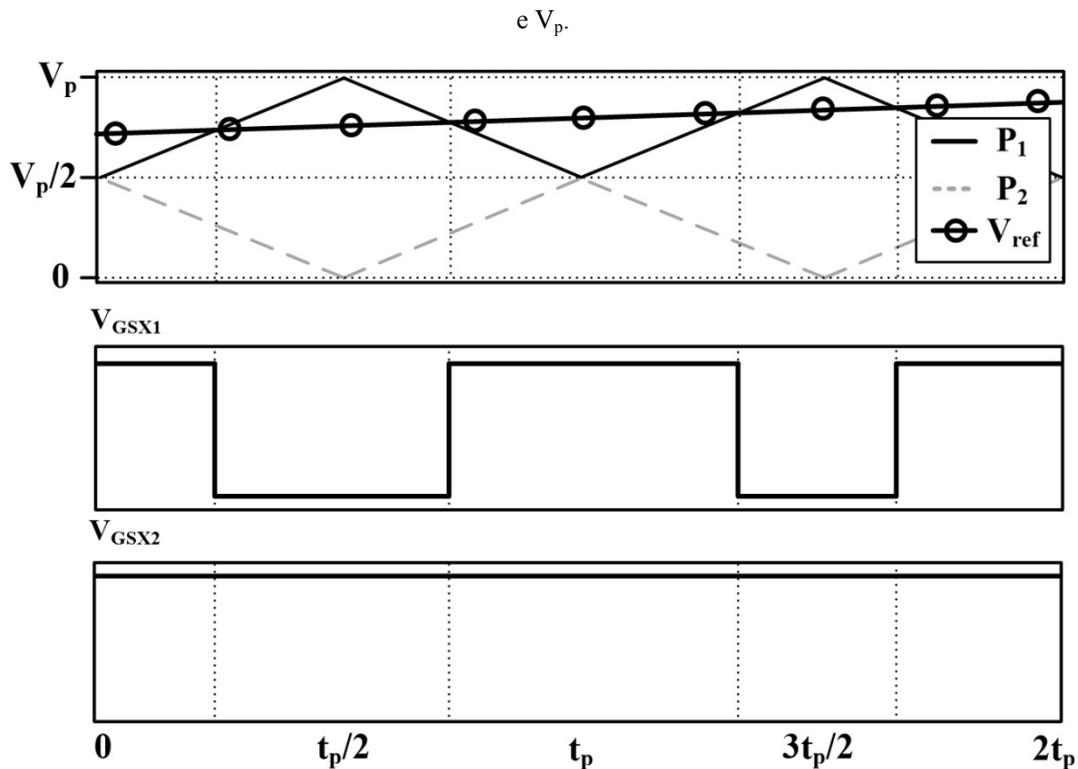
- Na figura 1.10, a moduladora está com tensão entre 0 e $V_p/2$ e é comparada apenas com a portadora P_2 , de forma que o interruptor S_{X1} está sempre desligado, $\overline{S_{X1}}$ está sempre ligado e S_{X2} e $\overline{S_{X2}}$ estão comutando.
- Na figura 1.11, a moduladora está com tensão entre $V_p/2$ e V_p e é comparada com a portadora P_1 , de modo que os interruptores S_{X1} e $\overline{S_{X1}}$ estão comutando, S_{X2} está sempre ligado e $\overline{S_{X2}}$ está sempre desligado.

Figura 1.10 – Geração dos pulsos dos interruptores na modulação LSPWM-POD com a moduladora entre 0 e $V_p/2$.



Fonte: Elaborada pelo autor.

Figura 1.11 – Geração dos pulsos dos interruptores na modulação LSPWM-POD com a moduladora entre $V_p/2$ e V_p .



Fonte: Elaborada pelo autor.

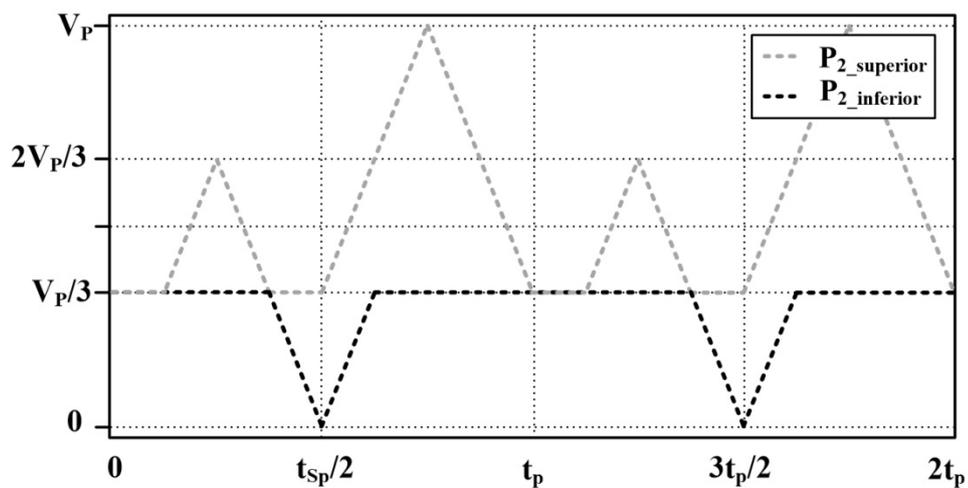
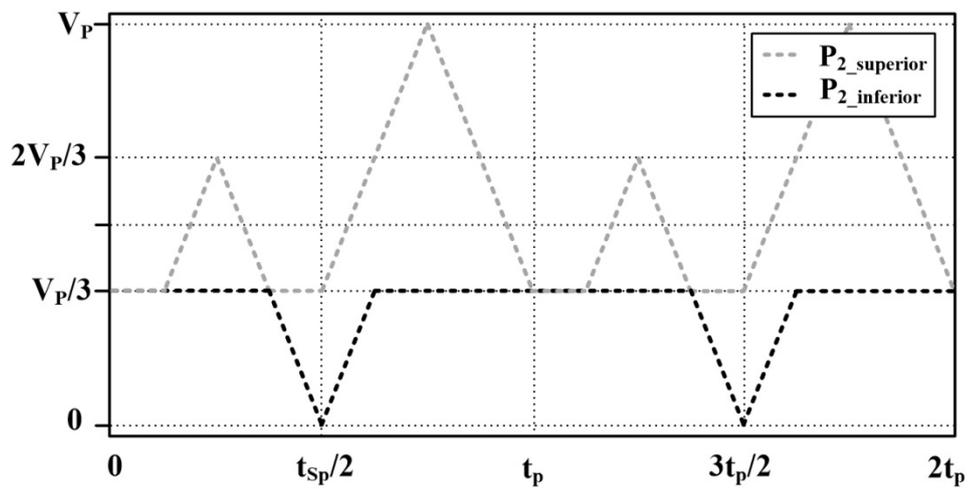
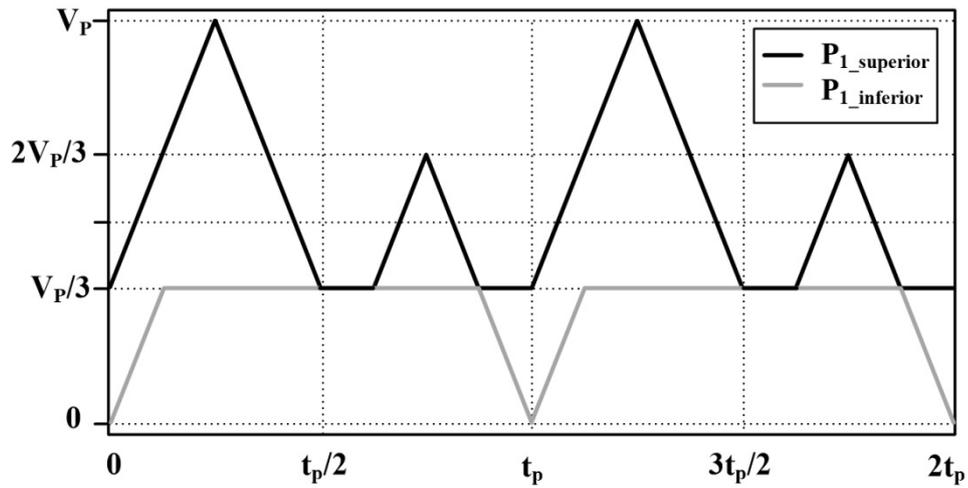
1.3.3 Modulação HE-PWM

A modulação HE-PWM é uma técnica que se mostra bastante eficiente na redução da distorção harmônica total em topologias de capacitor flutuante (HE, 2004).

A frequência utilizada em (HE, 2004) é de 4 kHz e outra característica é que o DHT se mantém praticamente constante na maior parte da faixa de valores de índice de modulação (entre 0,4 a 1). Isto se deve à configuração de suas portadoras adaptadas, sendo comparadas com uma moduladora senoidal por fase, a qual também auxilia no balanceamento de tensão nos capacitores de barramento. A figura 1.12 apresenta as formas de onda das portadoras da técnica de modulação.

Como é possível observar, são mostradas as portadoras P_1 , correspondendo ao interruptor S_{X1} e $\overline{S_{X1}}$, e P_2 , correspondente ao interruptor S_{X2} e $\overline{S_{X2}}$. Cada portadora pode ser separada em duas partes: a superior com tensão de referência entre $V_p/3$ e V_p e a inferior entre 0 e $V_p/3$, respectivamente. Cada parte é selecionada de acordo com a magnitude da tensão de referência.

Figura 1.12 – Formas de onda das portadoras da modulação HE-PWM: (a) portadoras (b) portadora 1, (c) portadora 2.



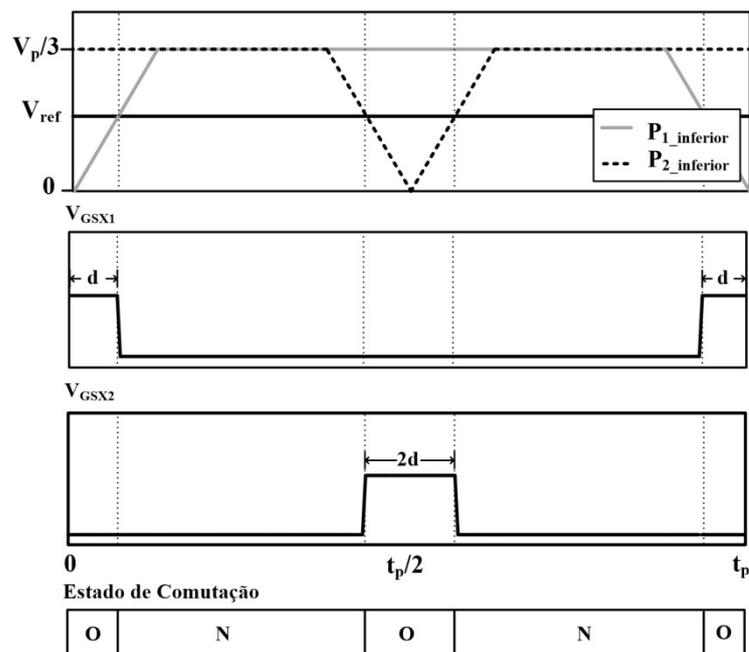
Fonte: Elaborada pelo autor.

Com base nas figuras 1.13, 1.14 e 1.15 são observadas as formas de onda da moduladora (V_{ref}), das portadoras (P_1 e P_2), dos sinais de gatilho (V_{GSX1} e V_{GSX2}) e dos estados de comutação correspondentes quando a tensão de referência está entre: (0 e $V_p/3$), ($V_p/3$ e $2V_p/3$) e ($2V_p/3$ e V_p), respectivamente, para um braço do inversor multinível de capacitor flutuante de três níveis.

Deste modo, o sinal de gatilho V_{GSX1} (referente aos interruptores S_{X1} e $\overline{S_{X1}}$) resulta da comparação entre a moduladora V_{ref} e a portadora P_1 , e o sinal de gatilho V_{GSX2} (referente aos interruptores S_{X2} e $\overline{S_{X2}}$) resulta da comparação entre a moduladora e a portadora P_2 .

Na figura 1.13 é exposto o caso em que a tensão de referência V_{ref} está entre 0 e $V_p/3$. Dessa forma, a ordem dos estados de comutação resultantes na tensão de saída do inversor é “O-N-O-N-O” e a tensão do capacitor flutuante atinge o equilíbrio ao fim desse período.

Figura 1.13 – Princípio de funcionamento da modulação HE-PWM com a tensão de referência entre 0 e $V_p/3$.

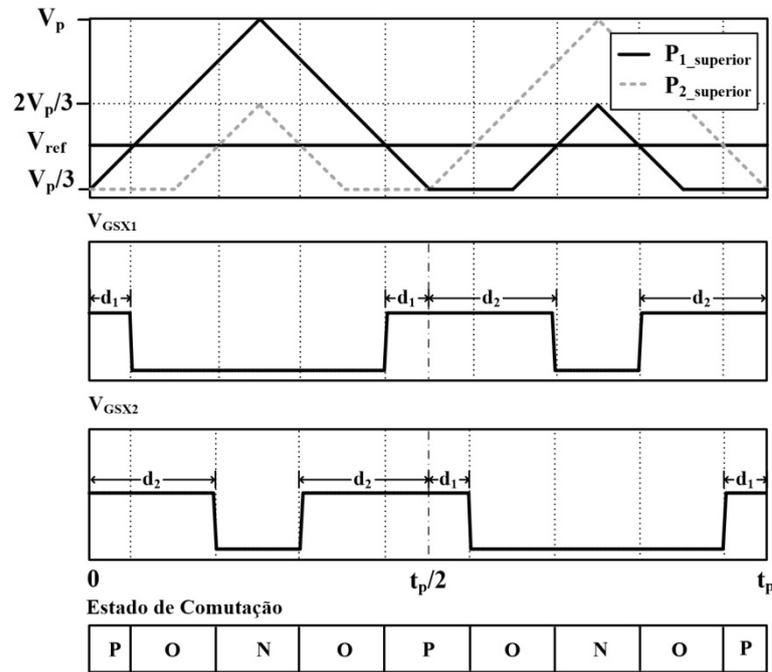


Fonte: Elaborada pelo autor.

Quando a tensão de referência está entre $V_p/3$ e $2V_p/3$, como mostrado na figura 1.14, resultando na ordem dos estados de comutação na tensão de saída do inversor “P-O-N-O-P-O-N-O-P”, e ao fim deste período, a tensão do capacitor flutuante também chega ao equilíbrio.

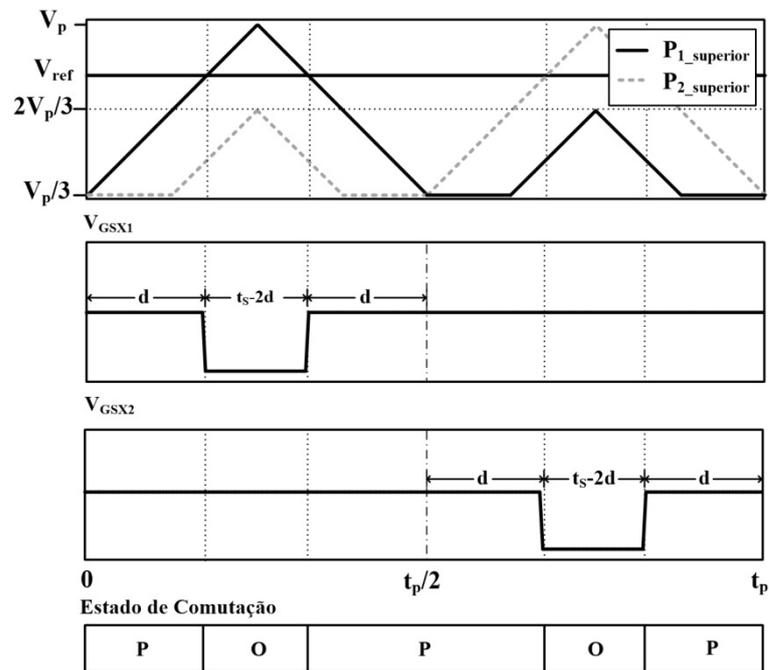
Por fim, no caso da tensão de referência estar entre $2V_p/3$ e V_p , conforme figura 1.15, os estados de comutação resultantes na tensão de saída do inversor são “P-O-P-O-P” e da mesma forma, a tensão do capacitor flutuante atinge o equilíbrio no fim do período.

Figura 1.14 – Princípio de funcionamento da modulação HE-PWM com a tensão de referência entre $V_p/3$ e $2V_p/3$.



Fonte: Elaborada pelo autor.

Figura 1.15 – Princípio de funcionamento da modulação HE-PWM com a tensão de referência entre $2V_p/3$ e V_p .



Fonte: Elaborada pelo autor.

1.3.4 Modulação no espaço vetorial

Diferentemente da modulação PWM, a modulação SVM define cada estado de chaveamento de um inversor como um ponto no espaço complexo (α, β) , tendo um fasor rotacional de referência no plano (α, β) , na frequência fundamental, exposto dentro do período de chaveamento. Posteriormente, os três estados mais próximos são selecionados com a razão cíclica calculada para sintetizar a tensão média desejada no período de comutação. Assim, as tensões de linha do inversor são diretamente controladas (LIPO, 2003).

Dentre suas vantagens estão:

- Redução do número de comutações nos interruptores;
- Diminuição do conteúdo harmônico da tensão de saída;
- Aumento do índice de modulação de amplitude do inversor (RANGANATHAN, 1997; WANG, 2000).

De forma geral, a implementação da modulação SVM para inversores de tensão pode ser dividida em etapas, nas quais se definem os possíveis vetores de comutação, identificam-se os planos de separação dos setores e os planos limites no espaço das tensões de saída. Em seguida, são geradas as matrizes de decomposição e são definidas as sequências de comutação dos interruptores (CAMARGO, 2002).

Como resultado, os possíveis vetores de comutação estão sobre um plano de coordenadas definido por essas tensões e, a partir da utilização da transformada de Clarke, as tensões de saída do inversor podem ser representadas em um espaço bidimensional (RANGANATHAN, 1997).

A tabela 1.2 apresenta os possíveis vetores de comutação no espaço complexo $\alpha\beta$ e estes são representados graficamente na figura 1.16, considerando o inversor multinível trifásico de capacitor flutuante de três níveis.

Tabela 1.2 – Possíveis vetores de comutação no espaço $\alpha\beta$ para o inversor multinível trifásico de capacitor flutuante de três níveis (continua).

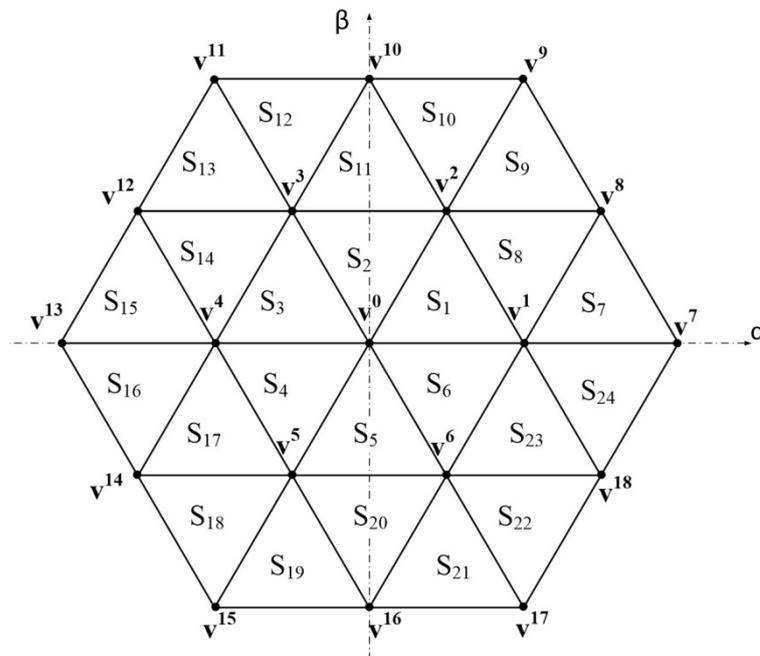
Estados de Comutação	$[\alpha \ \beta]^T$	Vetor
NNN – OOO – PPP	$[0 \ 0]$	v^0
POO – ONN	$[\sqrt{6}/3 \ 0]$	v^1
PPO – OON	$[\sqrt{6}/6 \ \sqrt{2}/2]$	v^2
OPO – NON	$[-\sqrt{6}/6 \ \sqrt{2}/2]$	v^3
OPP – NOO	$[-\sqrt{6}/3 \ 0]$	v^4
OOP – NNO	$[-\sqrt{6}/6 \ -\sqrt{2}/2]$	v^5

Tabela 1.2 – Possíveis vetores de comutação no espaço $\alpha\beta$ para o inversor multinível trifásico de capacitor flutuante de três níveis (continuação).

POP – ONO	$[\sqrt{6}/6 -\sqrt{2}/2]$	v^6
PNN	$[2\sqrt{6}/3 0]$	v^7
PON	$[\sqrt{6}/2 -\sqrt{2}/2]$	v^8
PPN	$[\sqrt{6}/3 -\sqrt{2}]$	v^9
OPN	$[0 \sqrt{2}]$	v^{10}
NPN	$[-\sqrt{6}/3 \sqrt{2}]$	v^{11}
NPO	$[-\sqrt{6}/2 \sqrt{2}/2]$	v^{12}
NPP	$[-2\sqrt{6}/3 0]$	v^{13}
NOP	$[\sqrt{6}/2 -\sqrt{2}/2]$	v^{14}
NNP	$[-\sqrt{6}/3 -\sqrt{2}]$	v^{15}
ONP	$[0 -\sqrt{2}]$	v^{16}
PNP	$[\sqrt{6}/3 -\sqrt{2}]$	v^{17}
PNO	$[\sqrt{6}/2 -\sqrt{2}/2]$	v^{18}

Fonte: Elaborada pelo autor.

Figura 1.16 – Espaço das tensões de saída do inversor multinível de capacitor flutuante de três níveis em coordenadas $\alpha\beta$.



Fonte: Elaborada pelo autor.

A partir da figura 1.16, os planos de separação dos setores (S_1 a S_{24}) e os planos limites do espaço das tensões de saída podem ser identificados para a operação na região linear. Da mesma forma, as sequências dos vetores de comutação são definidas e ajustadas para se

minimizar o número de comutações dos interruptores, bem como, reduzir a distorção harmônica total na tensão de saída.

1.3.5 Modulação CSV-PWM

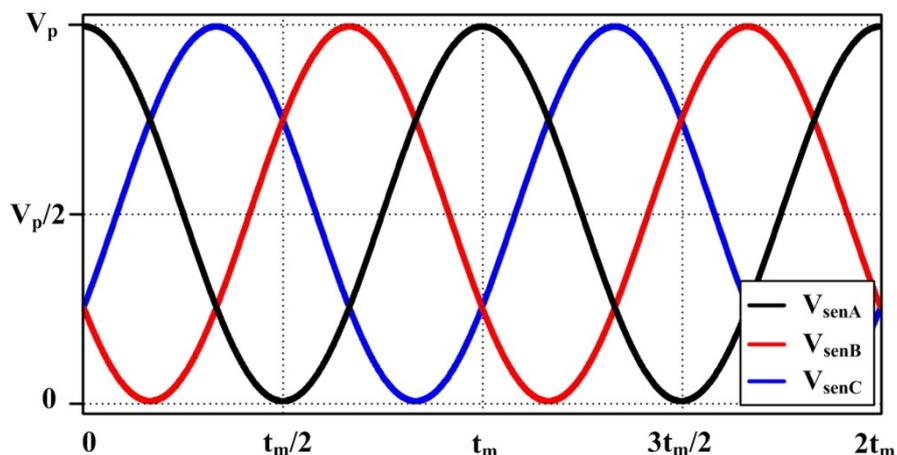
O trabalho apresentado por Lipo (2003) mostrou uma adaptação de moduladora no domínio vetorial em conjunto com portadoras triangulares no domínio do tempo, que resultou em excelentes índices de DHT. A partir da análise dos vetores de espaço no plano (α, β) , as sequências dos vetores de comutação foram aprimoradas, dentro de um período de chaveamento, a fim de se reduzir o conteúdo harmônico da tensão de saída de inversores multíniveis. Assim, foi criada uma nova moduladora para ser comparada com multiportadoras e obter uma modulação do tipo PWM, denominada CSV-PWM (*Centered Space Vector Pulse Width Modulation* – Modulação por Largura de Pulso com Vetor Espaço Centralizado).

A análise resultante dos vetores de espaço no plano complexo (α, β) e a obtenção dos três vetores mais próximos e de um *offset* (do inglês, deslocamento) de tensão comum são necessários nas referências das três fases do inversor, calculado utilizando a equação (1.3), para se centralizar os vetores ativos dentro do período de chaveamento.

$$V_{\text{OFF}} = - \frac{\max(V_{\text{cosA}}, V_{\text{cosB}}, V_{\text{cosC}}) + \min(V_{\text{cosA}}, V_{\text{cosB}}, V_{\text{cosC}})}{2} \quad (1.3)$$

Na qual, V_{cosA} , V_{cosB} , V_{cosC} são as tensões cossenoidais de referência para as respectivas fases do inversor, mostradas na figura 1.17.

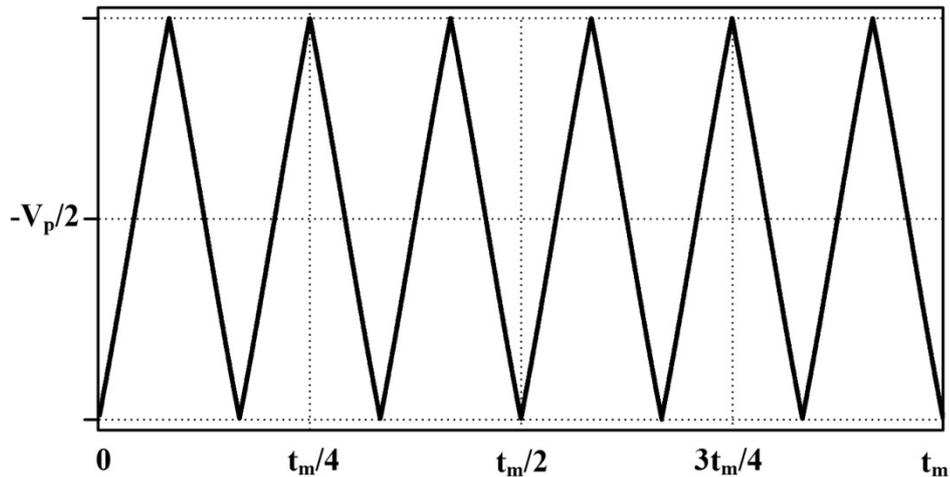
Figura 1.17 – Formas de onda das tensões cossenoidais de referência.



Fonte: Elaborada pelo autor.

A comparação feita na equação (1.3) entre os valores absolutos máximos e mínimos das tensões de fase permite a identificação de qual das referências é responsável pela comutação em cada metade do período da portadora e pode ser visualizada na figura 1.18.

Figura 1.18 – Forma de onda do *offset* de tensão V_{OFF} .



Fonte: Elaborada pelo autor.

Logo após, a função *modulus* é utilizada para se deslocar verticalmente estas tensões de referência, resultando em um ponto comum entre as interseções das portadoras. Esta função é dada em (1.4) e suas formas de onda são apresentadas na figura 1.19. Na figura 1.20 são mostradas as formas de onda resultantes da soma da referência com o *offset*.

$$V_{\text{senX}}' = \left(V_{\text{senX}} + V_{\text{OFF}} + \frac{V_P}{2} \right) \bmod \left(\frac{V_P}{N-1} \right) \quad (1.4)$$

Na qual,

X = A, B, C;

V_P : amplitude máxima das tensões senoidais de referência;

N: número de níveis de tensão nas saídas do inversor.

A função mod é desmembrada como:

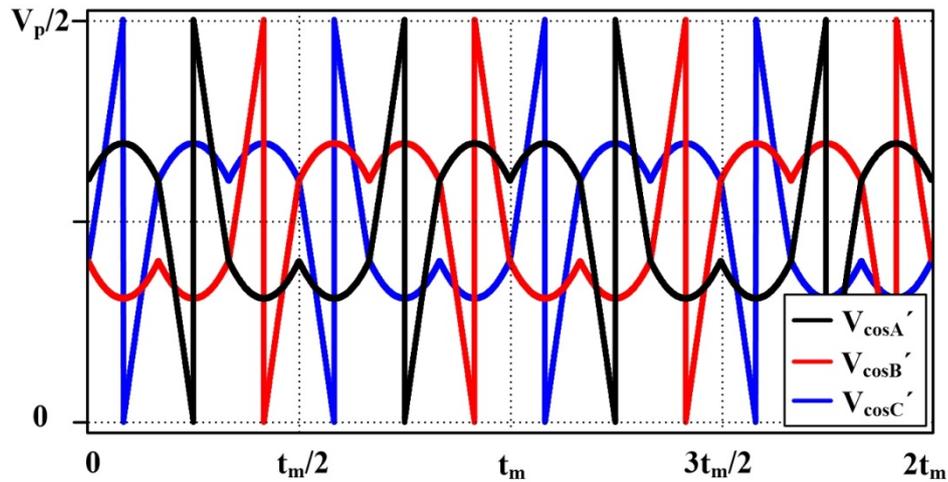
$$\text{mod}(R,S) = R - n \cdot S \quad (1.5)$$

Onde:

$$n = \text{int}\left(\frac{R}{S}\right) \quad (1.6)$$

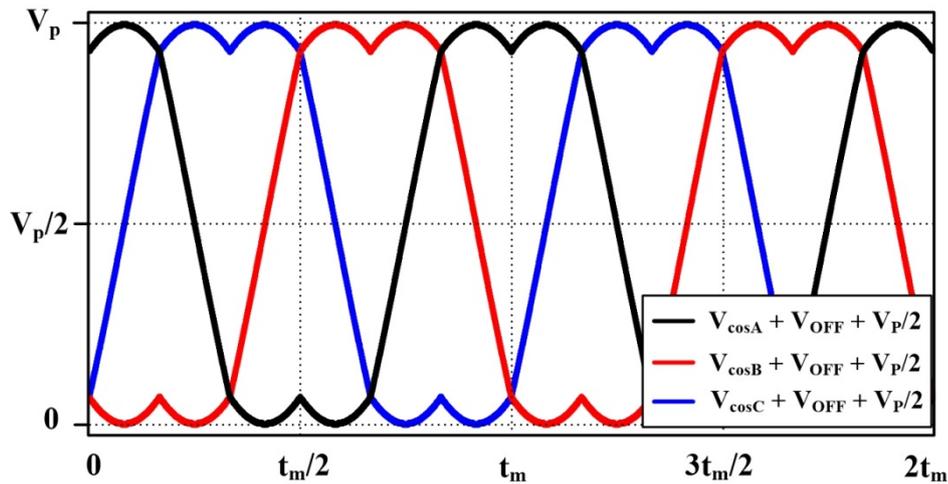
O uso da função int em (1.6) serve para arredondar o resultado da operação para o inteiro mais próximo e menor ou igual a ele.

Figura 1.19 – Formas de onda resultantes da função $V_{\cos X}$.



Fonte: Elaborada pelo autor.

Figura 1.20 – Formas de ondas resultantes da soma $V_{\cos X} + V_{\text{OFF}} + V_p/2$.

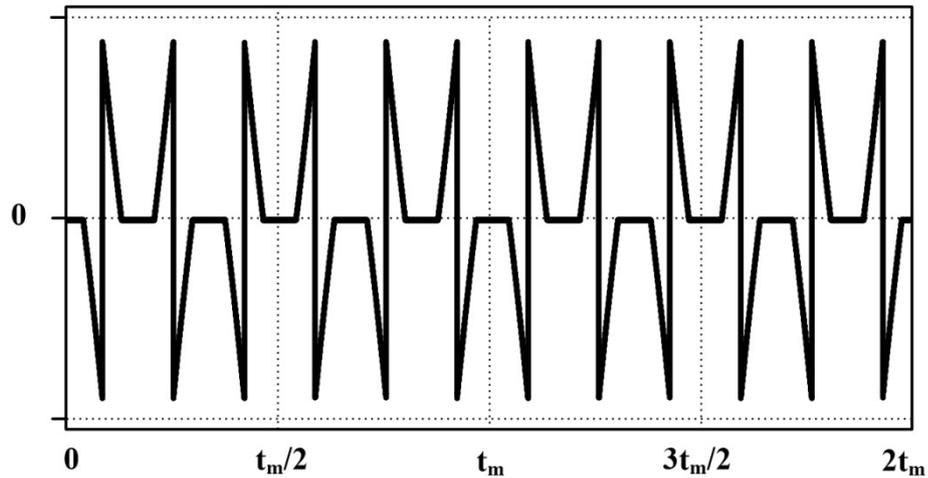


Fonte: Elaborada pelo autor.

Para evitar que a função (1.4) opere em valores negativos, onde faz a utilização de mais um *offset* de tensão de modo comum na referência. Assim, substituindo a equação (1.4) em (1.3), obtém-se o *offset*, dado pela equação (1.7) e representada em forma de onda na figura 1.21.

$$V_{OFF}' = \frac{V_P}{2 \cdot (N - 1)} \cdot \frac{\max(V_{\cos A}', V_{\cos B}', V_{\cos C}') + \min(V_{\cos A}', V_{\cos B}', V_{\cos C}')}{2} \quad (1.7)$$

Figura 1.21 – Forma de onda do *offset* de tensão de modo comum V_{OFF}' .

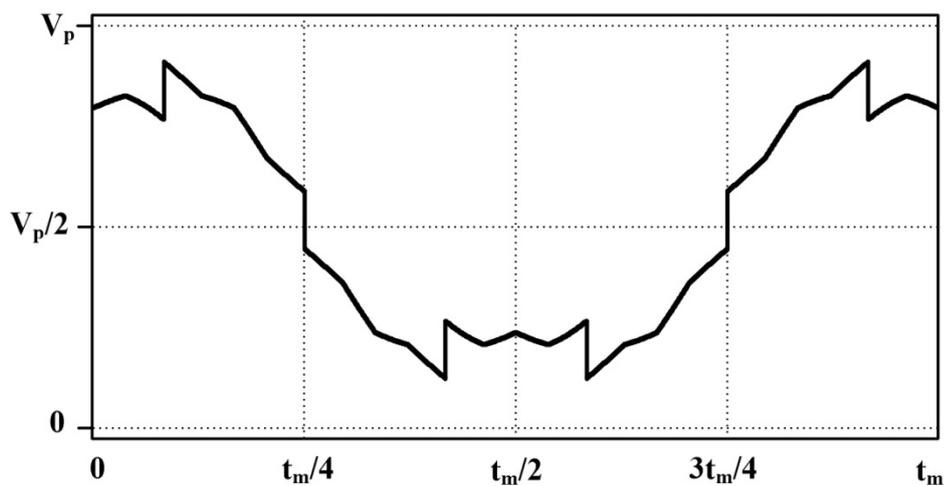


Fonte: Elaborada pelo autor.

Por fim, a função resultante para moduladora é dada pela equação (1.8) e sua forma de onda pode ser visualizada na figura 1.22. Já na figura 1.23 são apresentadas as formas de onda para o modelo trifásico (fases A, B e C).

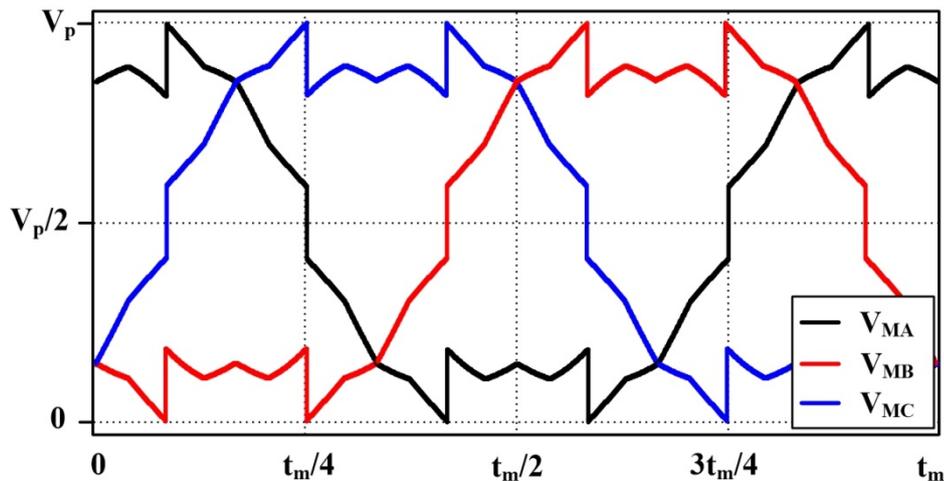
$$V_{MX} = V_{\cos X} + V_{OFF} + V_{OFF}' + \frac{V_P}{2} \quad (1.8)$$

Figura 1.22 – Forma de onda da moduladora resultante da modulação CSV-PWM.



Fonte: Elaborada pelo autor

Figura 1.23 – Forma de onda das três moduladoras resultantes da modulação CSV-PWM.



Fonte: Elaborada pelo autor.

1.4 Estrutura da pesquisa

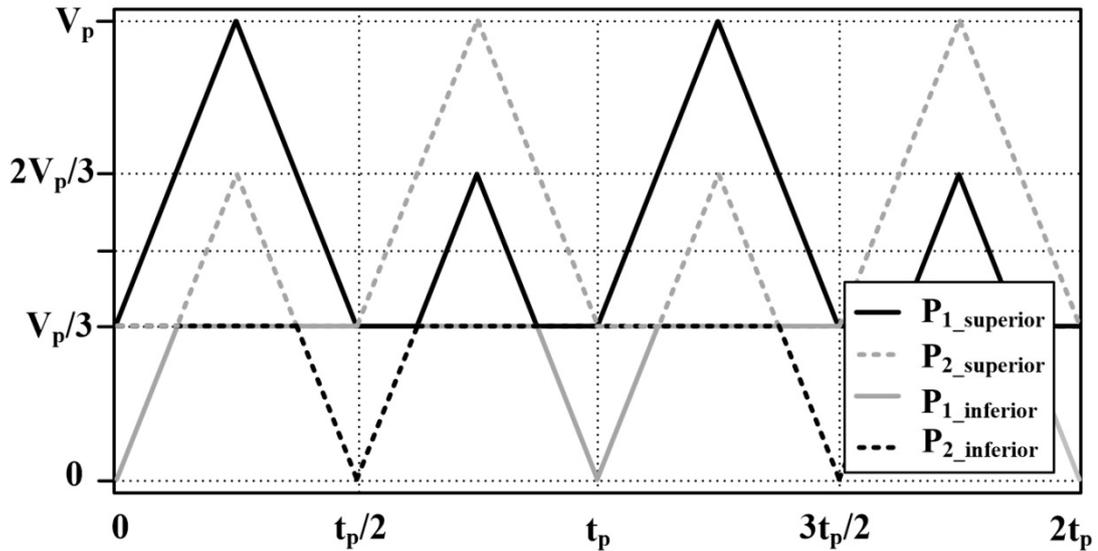
Com a finalidade de melhorar o conteúdo harmônico do inversor multinível com capacitor flutuante de três níveis, este trabalho apresenta como proposta uma técnica de modulação concebida a partir da combinação das técnicas HE-PWM e CSV-PWM, como mostrada na figura 1.24.

A modulação proposta por He (2004) se mostrou bastante eficaz quando se deseja obter baixos níveis de distorção harmônica total, mesmo quando o inversor opera com índices de modulação reduzidos. Isto se deve à configuração de suas portadoras adaptadas, sendo comparadas com uma moduladora senoidal por fase.

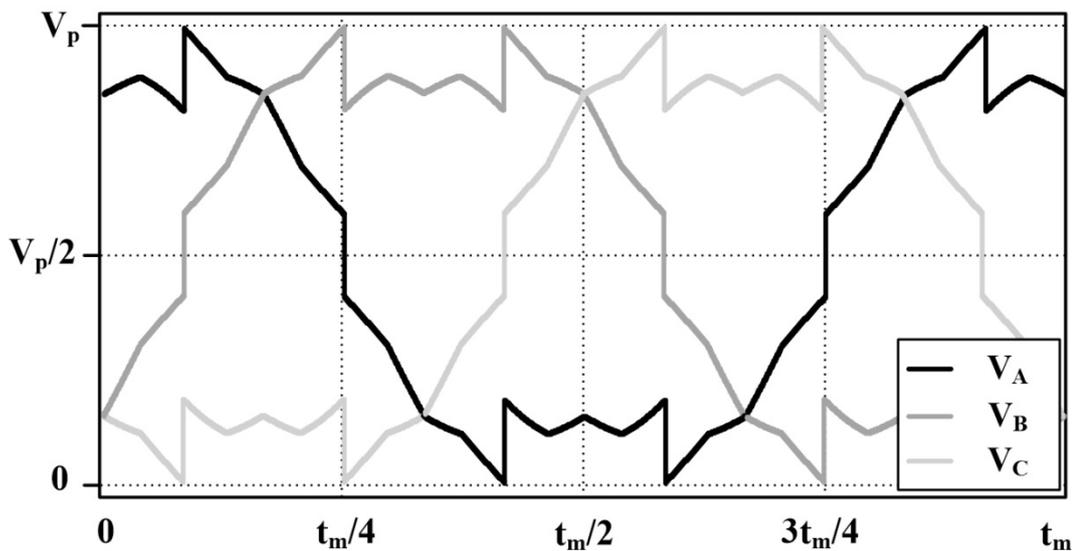
Já na técnica CSV-PWM, proposta por Lipo (2003), mostrou um aprimoramento das sequências dos vetores de espaço de comutação, na qual os estados de comutação foram analisados, buscando-se os vetores redundantes e percebeu-se que a escolha dos três vetores mais próximos reduzia a DHT de todas as formas de onda.

Neste capítulo foi apresentada uma breve revisão sobre as topologias de inversores multiníveis mais conhecidas, NPC, FC e CHB, e algumas das diversas técnicas de modulação: PSPWM, LSPWM, HE-PWM, SVM e CSV-PWM. Com isso, pôde-se avaliar as vantagens e desvantagens das características das topologias de inversores multiníveis como também as técnicas de modulação que serão implementadas por meio do processador digital FPGA (*Field Programmable Gate Array* – Arranjo de Portas Programáveis em Campo) para futuras comparações neste trabalho.

Figura 1.24 – Forma de onda da modulação proposta: (a) portadoras, (b) moduladoras.



(a)



(b)

Fonte: Elaborada pelo autor.

Um dos objetivos deste trabalho é apresentar a técnica de modulação que combina as características de HE-PWM e CSV-PWM aplicadas à topologia de inversor multinível trifásica com capacitor flutuante de três níveis. É importante mencionar que a frequência de comutação utilizada é de 4 kHz para fins de comparação com a técnica HE-PWM, pois este valor foi o valor adotado por He (2004).

1.5 Considerações finais

Este trabalho encontra-se dividido em seis capítulos. Este primeiro tratou de uma revisão bibliográfica envolvendo as principais topologias de inversores multiníveis e diversas técnicas de modulação (PSPWM, LSPWM, HE-PWM, CSV-PWM), bem como suas vantagens e desvantagens.

O segundo capítulo apresenta as características da técnica de modulação proposta, padrões de chaveamento e o detalhamento do desenvolvimento digital de algumas das diversas técnicas de modulação: PSPWM, LSPWM-POD, HE-PWM, CSV-PWM e proposta.

Já o terceiro capítulo, visa à análise de perdas da estrutura de inversor multinível com capacitor flutuante para cada uma das cinco técnicas de modulação apresentadas, a fim de compará-las.

O estudo teórico da distorção harmônica total na tensão de saída é apresentado no quarto capítulo. Esta análise é feita com o desenvolvimento da célula unitária, que permite a obtenção das formas de onda da tensão de fase na saída e das componentes harmônicas.

No quinto capítulo são apresentados os resultados experimentais relevantes, como a digitalização das técnicas de modulação, a medição de DHT e do WTHD (*Weighted Total Harmonic Distortion* – Distorção Harmônica Total Ponderada) da tensão de saída para diferentes índices de modulação e frequência de chaveamento (4000 Hz e 1080 Hz), bem como o rendimento do inversor multinível trifásico com capacitor flutuante de três níveis para cada uma das técnicas de modulação.

Por fim, o capítulo seis descreve as principais conclusões referentes a este trabalho, bem como as sugestões de trabalhos futuros a serem desenvolvidos.

2 TÉCNICA DE MODULAÇÃO PROPOSTA E IMPLEMENTAÇÃO DIGITAL

2.1 Introdução

Diversas são as técnicas de modulação que vêm sendo aplicadas em inversores, cada uma possuindo diferentes características em conceito e desempenho. Dentre algumas delas, pode-se citar a eliminação de harmônicas com o uso da PSPWM. Originalmente, esta também era caracterizada por sua simplicidade e pelos bons resultados que garantiam, sob todas as condições, tais como, a *overmodulation* (sobremodulação), entretanto, apresenta elevadas perdas e índices de distorção harmônica total. (CARRARA, 1992).

Outra técnica já citada no primeiro capítulo, LSPWM, relaciona cada nível de portadora com um nível de tensão na saída gerada pelo inversor. Esta estratégia permite reduzir as perdas do inversor e possui três variações: IPD, POD e APOD. Contudo, o desequilíbrio de tensão nos capacitores do barramento e os elevados índices de distorção harmônica se mostram como suas principais desvantagens (HENN, 2011).

Em meio a esse contexto, a técnica desenvolvida por He (2004) chama a atenção por ser bastante eficiente na redução da distorção harmônica total, mesmo com a variação do índice de modulação, quando utilizada em topologias de capacitor flutuante.

Por outro lado, as técnicas de modulação SVM têm sido muito aplicadas em inversores e a partir dessa ideia, Lipo (2003) aprimorou as sequências dos vetores de espaço de comutação e desenvolveu uma estratégia que permitiu uma maior redução da DHT na tensão de saída.

Este trabalho, então, propõe uma nova modulação para a topologia com capacitor flutuante com o objetivo de melhorar a qualidade da tensão sobre a carga, a partir da redução do seu conteúdo harmônico. O uso destas técnicas requer um elevado número de componentes com diversas entradas e saídas, portanto, a melhor solução é a utilização de dispositivos digitais, os quais possuem atualmente uma grande capacidade de lidar com processamento de dados, implementação de funções e tratamento de sinais.

Dentre os dispositivos digitais, o FPGA é o mais adaptado para aplicações que necessitem do processamento de sinais em paralelo e com alto desempenho, visto que os inversores multiníveis apresentam um elevado número de interruptores, necessitando de várias saídas PWM, e as técnicas de modulação por possuírem portadoras e/ou moduladoras alternativas.

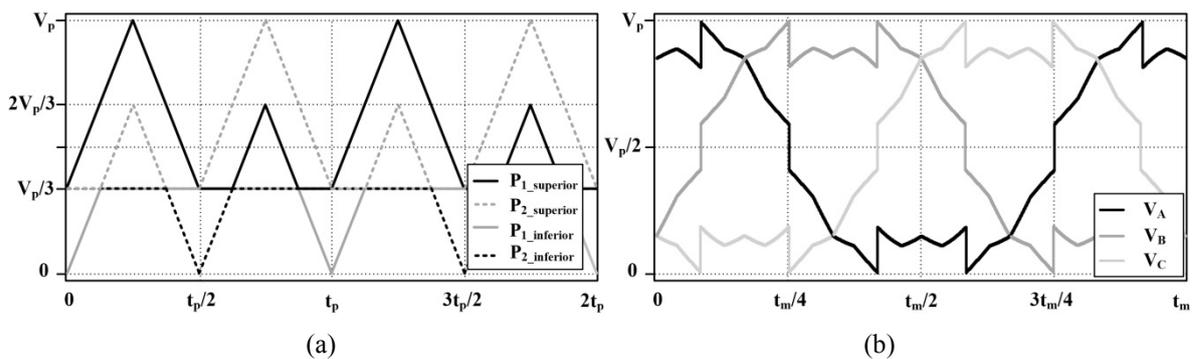
O FPGA escolhido, DE0-Nano, é o dispositivo de melhor custo-benefício, tanto por ser o modelo de menor custo, como por conter um dos *chips* mais rápidos (família *Cyclone IV*) da ALTERA®. Este modelo também possui um DSP (*Digital Signal Processor* – Processador de Sinais Digitais) interno, conversores A/D e 72 pinos configuráveis como entrada ou saída, tornando-se ideal para a aplicação sugerida neste trabalho.

Assim, neste capítulo, será apresentada e detalhada a técnica de modulação proposta, bem como sua implementação digital no FPGA, juntamente com as técnicas de modulação PSPWM, LSPWM-POD, HE-PWM e CSV-PWM. Estas quatro técnicas serão utilizadas para fins de comparação com a modulação proposta em termos de perdas e distorção harmônica, as quais serão mostradas nos capítulos 3 e 4 deste trabalho.

2.2 Técnica de modulação proposta

A técnica de modulação proposta é formada pela combinação da portadora desenvolvida em (HE, 2004) e da moduladora utilizada em (LIPO, 2003), verificada na figura 2.1. Optou-se por estas duas técnicas, pois ambas se caracterizam por reduzir a distorção harmônica total da tensão de saída quando aplicadas em inversores multiníveis com capacitor flutuante.

Figura 2.1 – Formas de onda da modulação proposta: (a) portadora P_1 e P_2 , (b) moduladoras V_A , V_B e V_C .



Fonte: Elaborada pelo autor.

Na figura 2.1 (a) são mostradas as portadoras P_1 , correspondente ao interruptor S_{X1} e a portadora P_2 , correspondente ao interruptor S_{X2} , nas quais, $X =$ fases A, B, C. Semelhante à técnica HE-PWM, cada portadora pode ser separada em duas partes: a superior com tensão de referência entre $V_p/3$ e V_p e a outra entre 0 e $V_p/3$. Cada parte é escolhida de acordo com a amplitude da tensão de referência. De forma geral, as figuras das formas de onda da moduladora (V_{ref}), das portadoras (P_1 e P_2) e dos sinais de gatilho (V_{GSX1} e V_{GSX2})

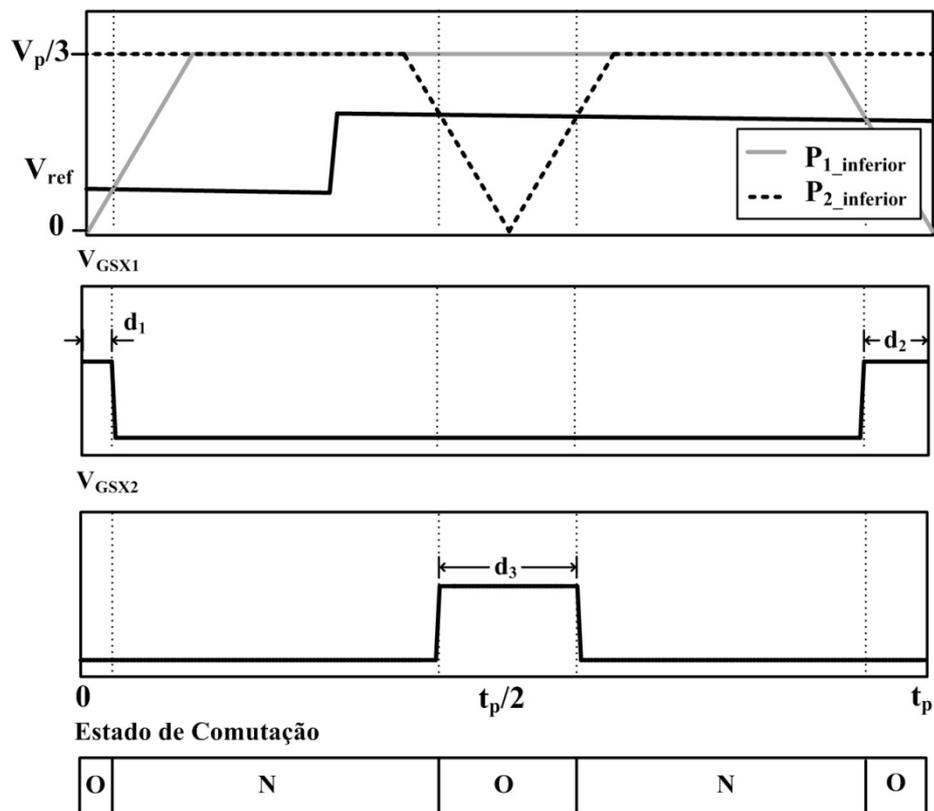
equivalentes a quando a tensão de referência está entre: $(0 \text{ e } V_p/3)$, $(V_p/3 \text{ e } 2V_p/3)$ e $(2V_p/3 \text{ e } V_p)$, seguem o mesmo padrão da modulação HE-PWM, mostrado no capítulo 1.

O diferencial em relação à HE-PWM está nos intervalos em que ocorrem não linearidades da moduladora da técnica proposta. As figuras 2.2, 2.3 e 2.4 apresentam as formas de onda resultantes das regiões não lineares, que causam uma mudança na razão cíclica e, conseqüentemente, nos processos de carga e descarga do capacitor flutuante.

O sinal de gatilho V_{GSX1} (referente ao interruptor S_{X1}) resulta da comparação entre a moduladora V_{ref} e a portadora P_1 , e o sinal de gatilho V_{GSX2} (referente ao interruptor S_{X2}) resulta da comparação entre a moduladora e a portadora P_2 .

Na figura 2.2 é mostrado o caso em que a tensão de referência V_{ref} está entre 0 e $V_p/3$. Percebe-se que a ordem dos estados de comutação resultantes na tensão de saída do inversor é “O-N-O-N-O”. Diferentemente da modulação HE-PWM, a tensão do capacitor flutuante não atinge o equilíbrio ao final desse período, por conta das regiões que causam a mudança na razão cíclica e os intervalos de carga e descarga do capacitor não serem simétricos.

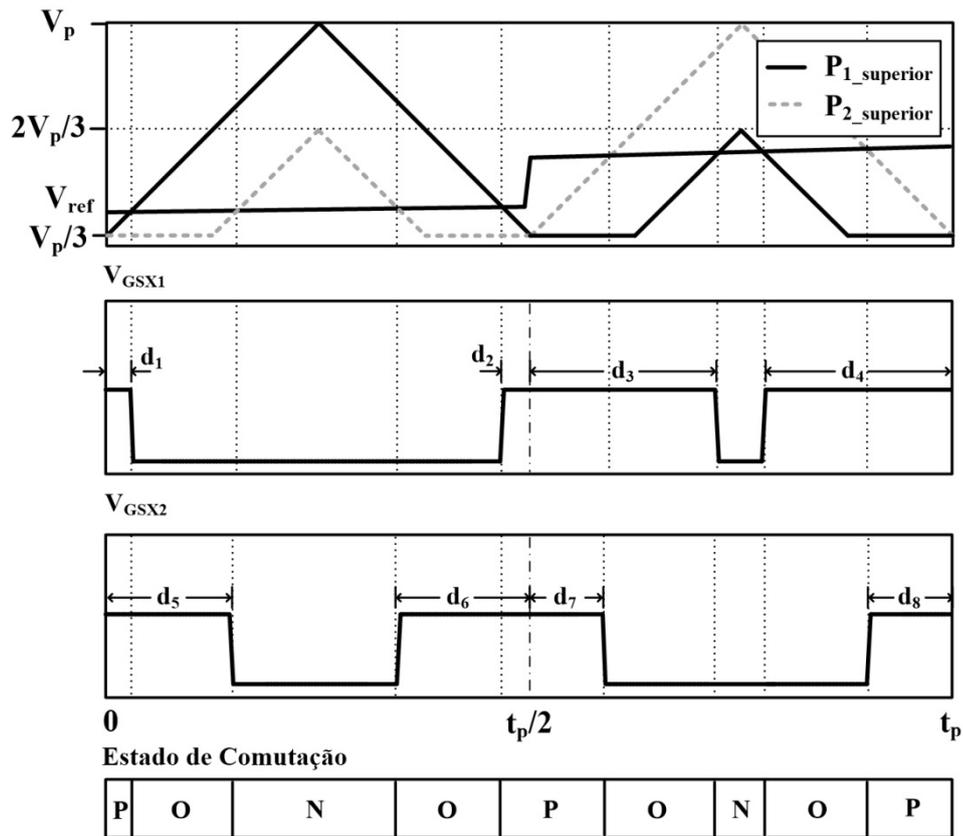
Figura 2.2 – Princípio de funcionamento da modulação proposta com a tensão de referência entre 0 e $V_p/3$.



Fonte: Elaborada pelo autor.

Quando a tensão de referência está entre $V_p/3$ e $2V_p/3$, como mostra a figura 2.3, a ordem dos estados de comutação na tensão de saída do inversor é mostrada como “P-O-N-O-P-O-N-O-P”. Por fim, no caso da tensão de referência estar entre $2V_p/3$ e V_p , como mostrado na figura 2.4, os estados de comutação resultantes na tensão de saída do inversor são "P-O-P-O-P".

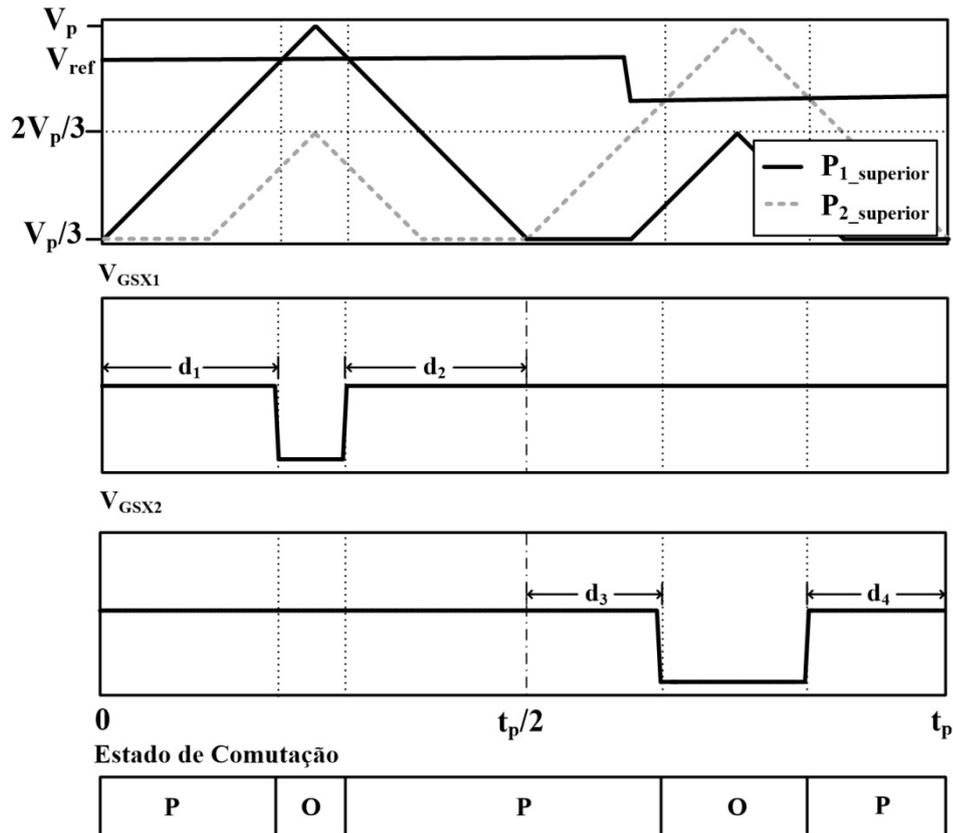
Figura 2.3 – Princípio de funcionamento da modulação proposta com a tensão de referência entre $V_p/3$ e $2V_p/3$.



Fonte: Elaborada pelo autor.

Percebe-se que, para todos os casos, ocorrem situações em que o capacitor flutuante não atinge o equilíbrio da mesma forma que a técnica de modulação HE-PWM, sendo esta, a principal desvantagem da modulação proposta. Apesar disto, numa situação experimental, esta desvantagem não é expressiva diante da utilização de uma elevada frequência de chaveamento.

Figura 2.4 – Princípio de funcionamento da modulação proposta com a tensão de referência entre $2V_p/3$ e V_p .



Fonte: Elaborada pelo autor.

2.3 Implementação digital das técnicas de modulação em FPGA

A programação digital das técnicas de modulação foi desenvolvida utilizando-se um FPGA da família Cyclone IV da fabricante Altera® e com auxílio do VHDL (*Very High Speed Integrated Circuits Hardware Description Language* – Linguagem de Descrição de Hardware VHSIC), por ser o padrão IEEE (*Institute of Electrical and Electronics Engineers* – Instituto de Engenheiros Eletricistas e Eletrônicos).

A placa utilizada, DE0-Nano, possui um oscilador embarcado na frequência de 50 MHz. A partir dele, e juntamente com circuitos PLL's (*Phase Locked Loop* – Circuito Fechado de Bloqueio de Fase), serão derivados outros *clocks* para a obtenção dos *timings* necessários para a validação das modulações propostas nesse trabalho.

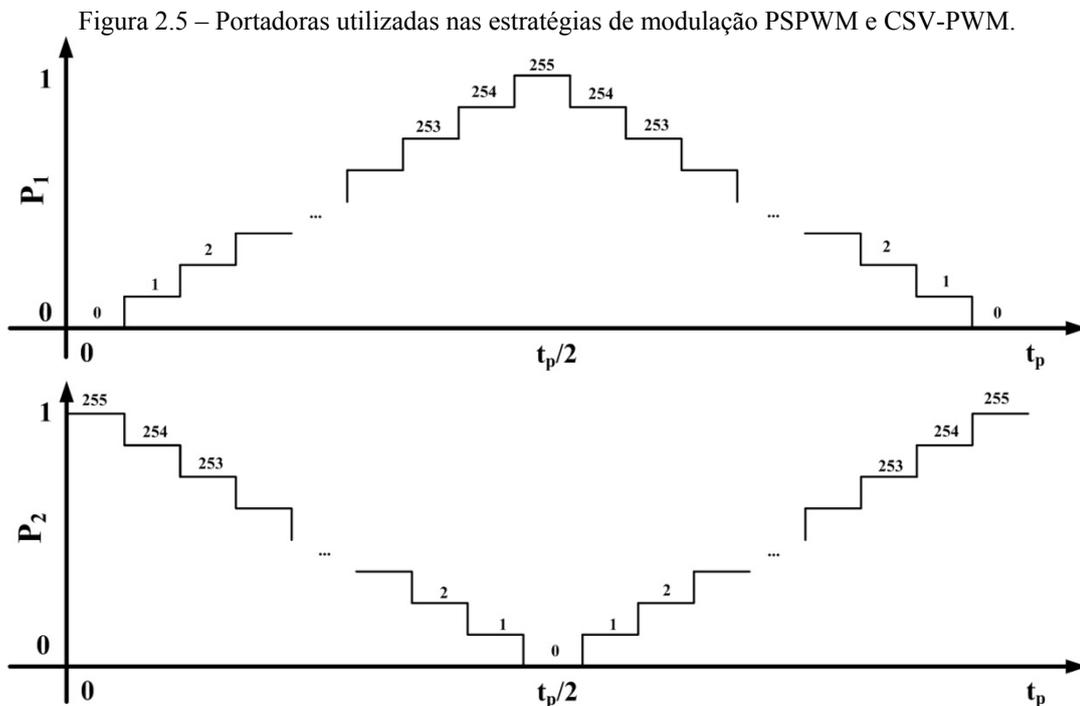
O *software* de desenvolvimento do projeto é o Quartus II® fornecido pela própria fabricante do dispositivo. Para todas as modulações, as portadoras adotadas devem ter frequência de 4 kHz e as moduladoras deverão estar com frequência de 60 Hz. O programa completo da técnica proposta em VHDL está descrito no apêndice A.

2.3.1 Desenvolvimento digital das portadoras para as modulações PSPWM e CSV-PWM

Para as duas modulações, PSPWM e CSV-PWM, as portadoras adotadas devem ter uma forma de onda triangular. Além disso, existem duas portadoras, uma defasada 180 graus elétricos em relação à outra.

Dessa forma, adotou-se 510 degraus para cada portadora, conforme mostra a figura 2.5, na qual há 255 degraus de subida e outros 255 de descida. A portadora P_1 inicia sua contagem em zero, cresce até um pico em 255 e retorna a zero, enquanto que a portadora P_2 é implementada inversamente, iniciando em 255 decrescendo a zero e retornando a 255.

A representação digital das portadoras de 8 bits será, posteriormente, comparada aos valores da moduladora.



Fonte: Elaborada pelo autor.

Como mencionado anteriormente, na placa de desenvolvimento existe um circuito de *clock* na frequência de 50 MHz, porém as portadoras possuem 4 kHz. Há, então, a necessidade da adição de um divisor de frequência para obter o resultado desejado.

Conforme apresentado em (SILVA, 2012), o divisor é constituído basicamente de um circuito *PLL* com uma frequência ideal calculada como mostra a equação (2.1).

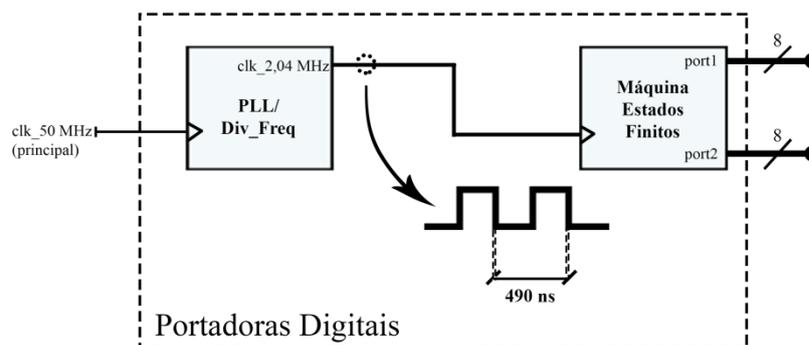
$$f_{pll} = N_{degraus} \cdot f_{portadora} = 510 \cdot 4000 = 2,04 \cdot 10^6 \text{ Hz} \quad (2.1)$$

O circuito PLL deve receber a frequência de entrada de 50 MHz e, internamente, realizar cálculos de multiplicação e divisão para entregar um sinal de saída com a frequência requerida, como visualizada na equação (2.1).

No caso das portadoras, não é necessário adicionar outro circuito, além do PLL, para completar a lógica de divisão e entregar a frequência desejada às portadoras, pois, no cálculo do *clock* ideal, f_{pll} , o resultado gerado é conveniente e pode ser diretamente conectado ao *clock* de entrada na geração digital das triangulares. As portadoras foram geradas digitalmente utilizando a lógica de uma máquina de estados finitos.

A figura 2.6 apresenta um diagrama de blocos esquemático dos circuitos PLL e da máquina de estados finitos para geração das portadoras.

Figura 2.6 – Diagrama geral da implementação das portadoras das modulações PSPWM e CSV-PWM.



Fonte: Elaborada pelo autor.

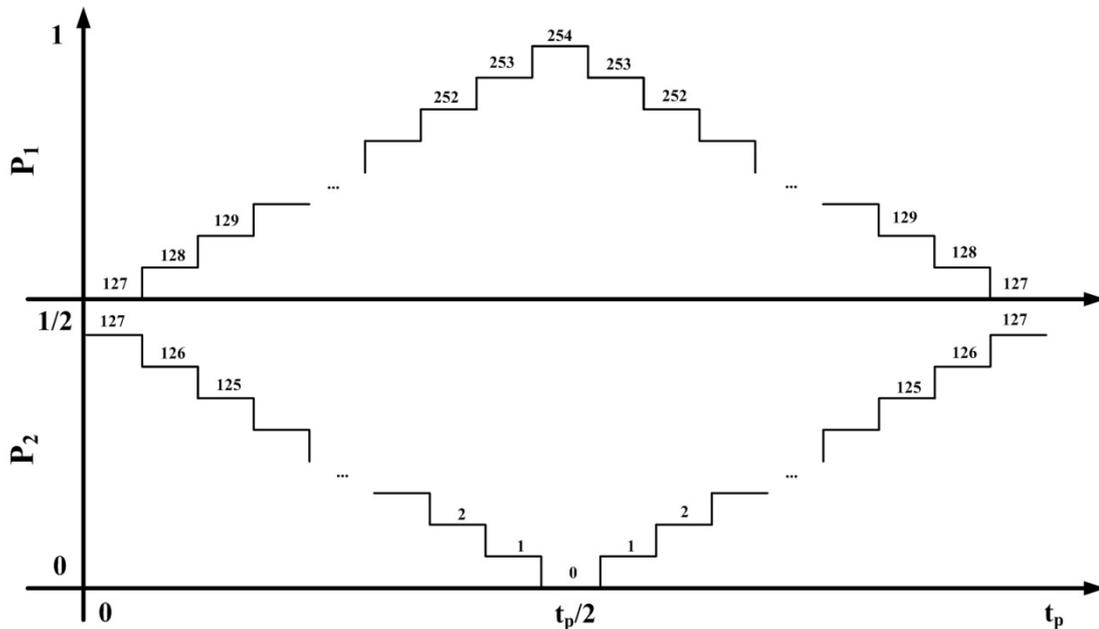
2.3.2 Desenvolvimento digital das portadoras para a modulação LSPWM-POD

Para a programação das portadoras da modulação LSPWM-POD, é utilizada a mesma lógica da máquina de estados finitos. As portadoras desta modulação são muito semelhantes às anteriores, apenas diferindo na lógica de contagem.

Conforme mostra a figura 2.7, as portadoras consistem de formas de ondas triangulares com 254 degraus cada e 4 kHz de frequência. A equação (2.2) mostra o cálculo do PLL para o divisor de frequência das triangulares.

$$f_{pll} = N_{degraus} \cdot f_{portadora} = 254 \cdot 4000 = 1,016 \cdot 10^6 \text{ Hz} \quad (2.2)$$

Figura 2.7 – Portadoras utilizadas em ambas as estratégias de modulação para os interruptores de alta frequência.

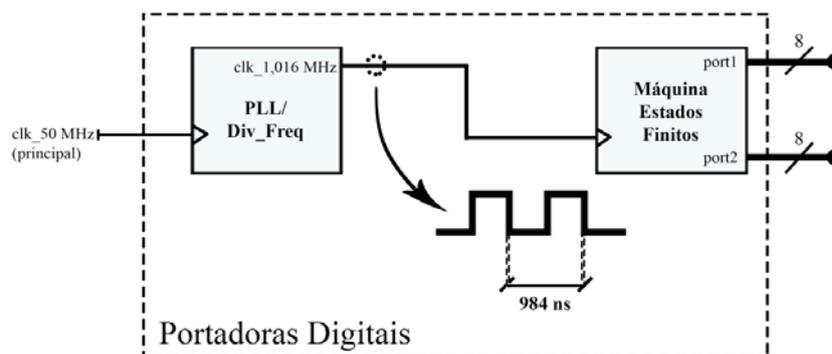


Fonte: Elaborada pelo autor.

Logo após, a máquina de estados é simulada com a seguinte lógica: um sinal contador controla o estado de contagem, crescente ou decrescente. Dentro de cada estado, um sinal varia seu valor unitariamente partindo de 127 até 254, retornando a 127 para a primeira triangular. Para a segunda triangular, tal sinal varia seu valor de 8 bits de 127, decrescendo até zero e retornando a 127.

A figura 2.8 mostra o diagrama geral do VHDL descrito para as portadoras. O diagrama da máquina de estados finitos para a modulação LSPWM-POD é o mesmo daquela mostrada nas modulações PSPWM e CSV-PWM, adaptando-se apenas o intervalo de variação dos contadores.

Figura 2.8 – Diagrama geral da implementação das portadoras da modulação LSPWM-POD.



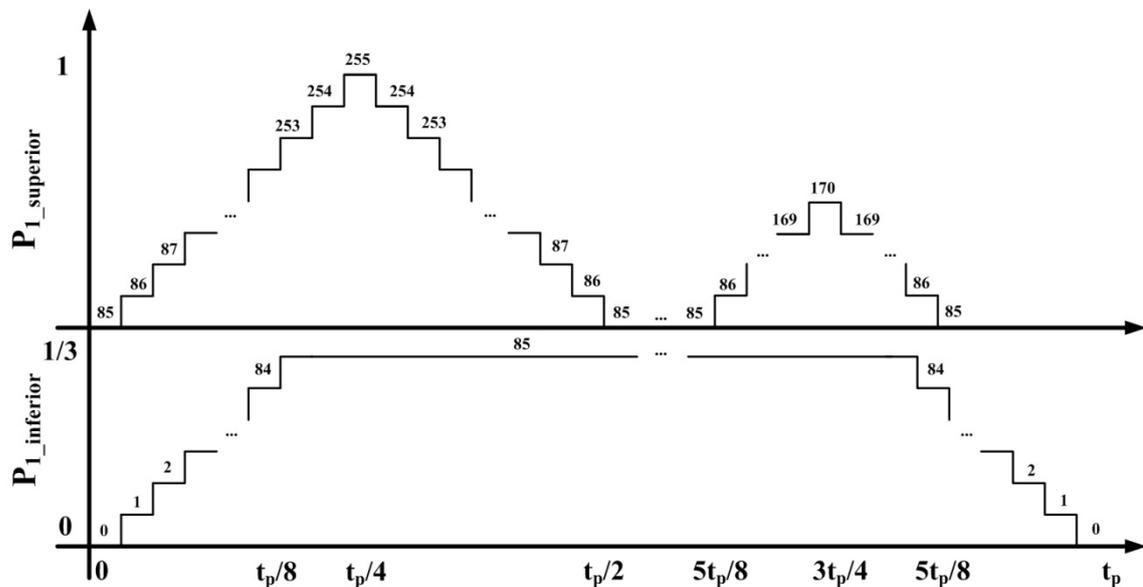
Fonte: Elaborada pelo autor.

2.3.3 Desenvolvimento digital das portadoras para as modulações HE-PWM e Proposta

Apesar das formas de ondas das portadoras destas duas modulações saírem do padrão das triangulares já apresentadas, a sua implementação digital não se difere das outras técnicas. Nas modulações HE-PWM e Proposta, as portadoras também são geradas a partir da lógica de uma máquina de estados finita, porém, mais complexa.

A máquina de estados gera uma saída com duas formas de onda, como apresenta a figura 2.9. A portadora inferior se assemelha a um trapézio em que incrementa seu valor unitariamente partindo de zero até 85, permanecendo neste valor até o instante $7t_p/8$, em que irá decrementar e retornar a zero. Já a portadora superior, tem em seu período, uma triangular que inicia no instante zero, o incremento de 85 até 255, no instante $t_p/4$, decresce até 85 e permanece nesse valor até o $5t_p/8$, onde ocorre outro incremento unitário 170, em $2t_p/4$, e decresce até 85.

Figura 2.9 – Representação das triangulares das modulações HE-PWM e Proposta.



As duas portadoras têm valores dentro de 8 bits e apresentam no total 385 passos para completar um período. A equação (2.3) mostra o cálculo da frequência do circuito PLL ideal para deixar as portadoras a uma frequência de 4 kHz.

$$f_{pll} = N_{degraus} \cdot f_{portadora} = 385 \cdot 4000 = 1,54 \cdot 10^6 \text{ Hz} \quad (2.3)$$

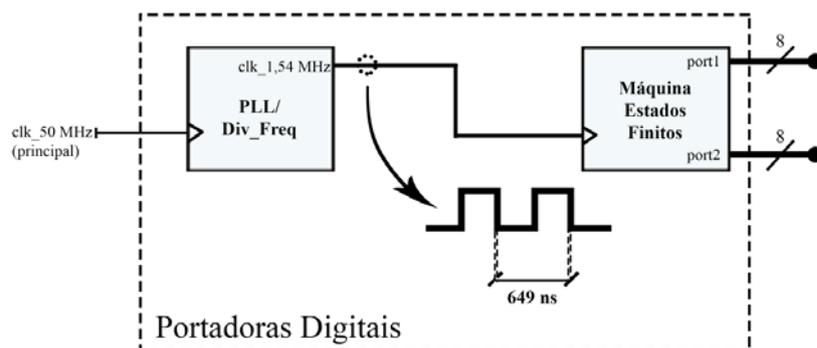
2.3.4 Desenvolvimento Digital das Moduladoras

O desenvolvimento digital das moduladoras seguiu a mesma lógica para todas as modulações. Utilizaram-se LUT's (*Look Up Table* – Tabela de Pesquisa) para a geração de um sinal senoidal de 8 bits com uma frequência de 60 Hz.

A implementação digital das moduladoras das diversas modulações diferem apenas nos valores calculados, através de um *software* externo, para serem armazenados dentro das LUT's e, assim, gerarem a forma de onda teórica sem deformações.

Para as moduladoras das modulações PSPWM, LSPWM-POD e HE-PWM, faz-se necessário desenvolver apenas uma, cuja representação digital é uma tabela com determinado número de constantes inteiras de 8 bits.

Figura 2.10 – Diagrama geral da implementação das portadoras das modulações HE-PWM e Proposta.



Fonte: Elaborada pelo autor.

O primeiro passo é definir o número de pontos para determinar a forma de onda das moduladoras. Este número deve ser divisível por “ $2n+1$ ”, para formar o semiciclo positivo e negativo de forma simétrica e deve ser divisível por três, para criar as três fases defasadas corretamente. A forma de onda da moduladora deve ter uma precisão tal, que não possua deformações, sendo assim, é adequada a escolha de um número de pontos considerável.

Conforme exposto, optou-se por 285 pontos para a tabela. Para o caso das modulações CSV-PWM e Proposta, esta escolha também se tornou conveniente, dadas as especificações descritas.

A implementação das moduladoras é feita através do armazenamento da tabela de valores criada dentro de um vetor com 285 posições. Tais valores são todos de 8 bits para que possam ser comparados digitalmente com as portadoras.

Logo após a criação do vetor que representa a LUT, é necessário completar a lógica da implementação criando um sinal contador que acessa cada posição do vetor em ordem crescente, a certa frequência, onde seu valor de contagem representa uma posição da tabela. Desse modo, obtém-se a forma de onda digital na saída do circuito.

A partir da moduladora, utilizando uma fase como referência, facilmente se consegue obter outras duas moduladores para as demais fases. Para tanto, criou-se, dentro da mesma descrição, outras duas variáveis de contagem, em que estas iniciam em um valor referente à sua correta defasagem, a qual corresponde a 1/3 de 285 e a outra, iniciando na posição correspondente a 2/3 de 285.

A frequência do sinal de *clock*, com o objetivo de gerar o incremento das variáveis de contagem para a moduladora apresentar 60 Hz, é implementada de modo semelhante à frequência das portadoras. Os valores do PLL utilizados e o divisor de frequência podem ser obtidos conforme a equação (2.4).

$$f_{\text{pll}} = N_{\text{degraus}} \cdot f_{\text{moduladora}} = 285 \cdot 60 \cdot 1000 = 17,1 \cdot 10^6 \text{ Hz} \quad (2.4)$$

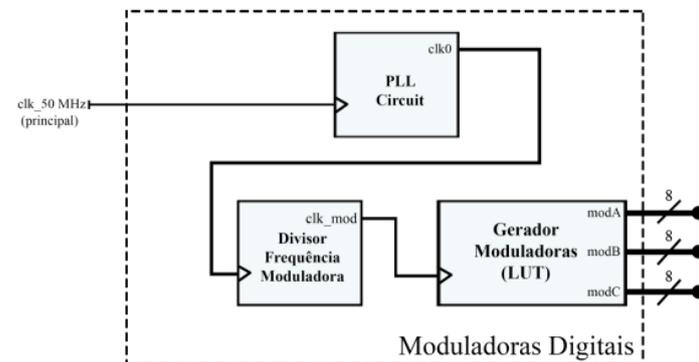
A equação (2.5) relaciona o número de pontos da moduladora com sua frequência. Visto que o resultado seria uma frequência muito baixa, optou-se, neste caso, pela implementação das moduladoras, devido a multiplicação do valor por mil, para que este ficasse na casa de MHz. O resultado da equação será o valor de saída do PLL utilizado na simulação, porém, necessita-se, ainda, da adição de outro circuito divisor de frequência com um fator de divisão X_{mod} .

Recalculando, a frequência da moduladora para um divisor predeterminado $X_{\text{mod}} = 1000$, tem-se:

$$f_{\text{moduladora}} = \frac{f_{\text{pll}}}{N_{\text{degraus}} \cdot 1000} = \frac{17,1 \cdot 10^6}{285 \cdot 1000} = 60 \text{ Hz} \quad (2.5)$$

A figura 2.11 apresenta um diagrama de bloco representativo do circuito PLL e divisores das moduladoras.

Figura 2.11 – Diagrama geral da implementação das moduladoras.



Fonte: Elaborada pelo autor.

2.5 Considerações Finais

Neste capítulo foram apresentadas as principais características, vantagens e desvantagens da técnica de modulação proposta, formada pela combinação das técnicas HE-PWM e CSV-PWM.

Após a análise teórica, composta pelo princípio de funcionamento e pelos detalhes da técnica proposta, foi apresentado o desenvolvimento digital das cinco técnicas (PSPWM, LSPWM-POD, HE-PWM, CSV-PWM e proposta) através do programa no *software* Quartus II, da ALTERA®, cuja utilização facilita a programação do dispositivo FPGA em linguagem VHDL. Assim, a técnica proposta pode ser comparada posteriormente com outras técnicas nos quanto ao rendimento (estudo de perdas) e à distorção harmônica.

3 ANÁLISE DE PERDAS

3.1 Introdução

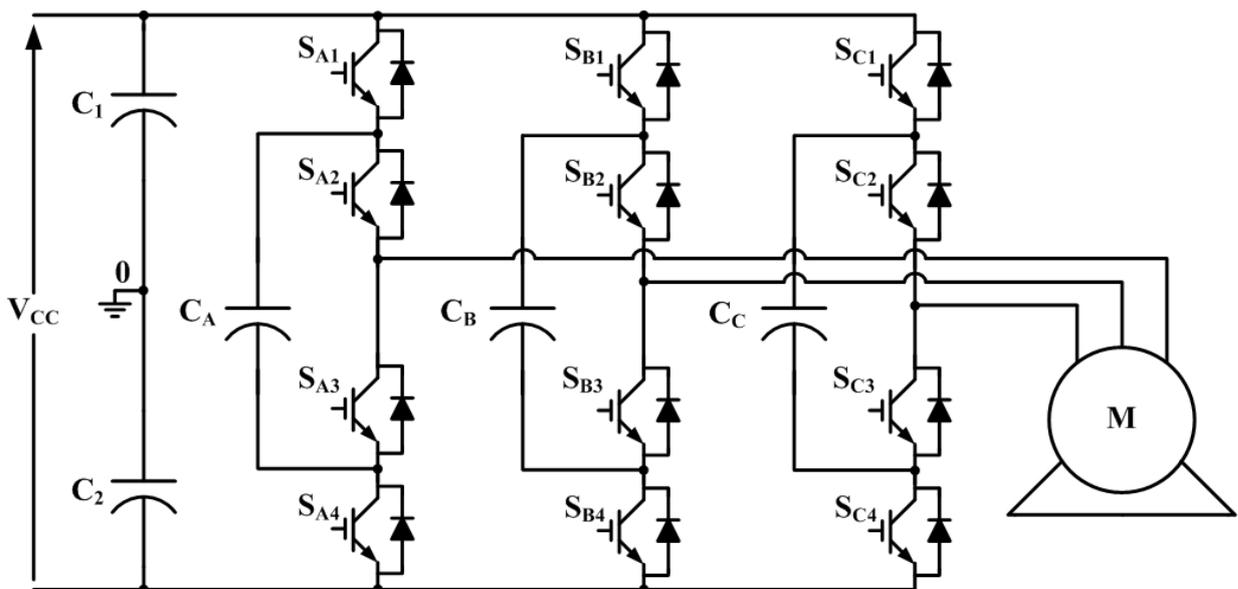
Neste capítulo será apresentado um estudo de perdas do inversor multinível com capacitor flutuante operando com cinco técnicas de modulação: PSWPM, LSPWM-POD, HE-PWM, CSV-PWM e proposta, descritas nos capítulos 1 e 2.

3.2 Princípio de operação do inversor com capacitor flutuante de três níveis

O inversor com capacitor flutuante de três níveis, mostrado na figura 3.1, possui oito etapas de operação, sendo uma topologia simétrica. Dessa forma, serão apresentadas as quatro etapas de operação referentes ao semiplano positivo de corrente de carga para um braço deste inversor.

Para a dada análise, são consideradas condições ideais de funcionamento e X representa o braço do inversor, ou seja, A, B ou C. Os capacitores de barramento C_1 e C_2 e capacitor flutuante C_X estão previamente carregados e permanecem com tensões constantes e iguais a metade da tensão de entrada V_{CC} .

Figura 3.1 – Topologia do inversor multinível FC de três níveis.



Fonte: Elaborada pelo autor.

3.2.1 Primeira etapa de operação

Nesta primeira etapa, os interruptores S_{X1} e S_{X2} estão conduzindo e, dessa forma, a tensão na carga é igual à tensão sobre o capacitor C_1 , como mostrado na figura 3.2.

3.2.2 Segunda etapa de operação

Nesta etapa de operação, os interruptores S_{X1} e S_{X3} estão ligados, como apresentado na figura 3.3. No decorrer desta etapa, a corrente está fluindo através do capacitor flutuante C_X e está carregando-o. Assim, a tensão na carga se torna nula.

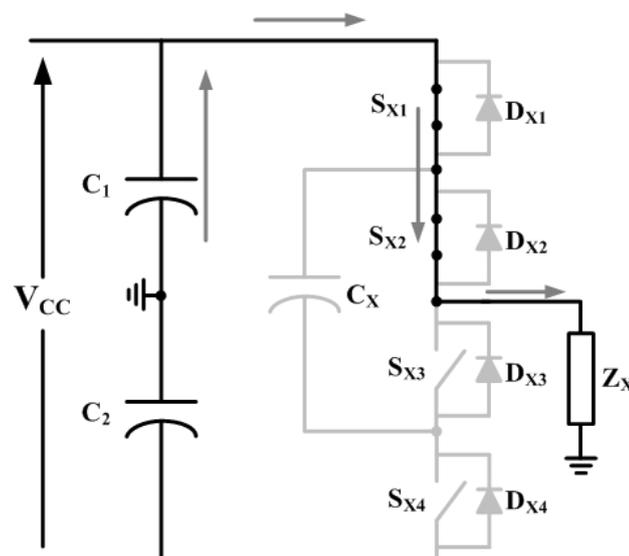
3.2.3 Terceira etapa de operação

Nesta etapa de operação, os interruptores S_{X2} e S_{X4} estão ligados e durante seu intervalo, a corrente está fluindo através do capacitor flutuante C_X , descarregando-o. A tensão produzida na carga é zero, como mostra a figura 3.4.

3.2.4 Quarta etapa de operação

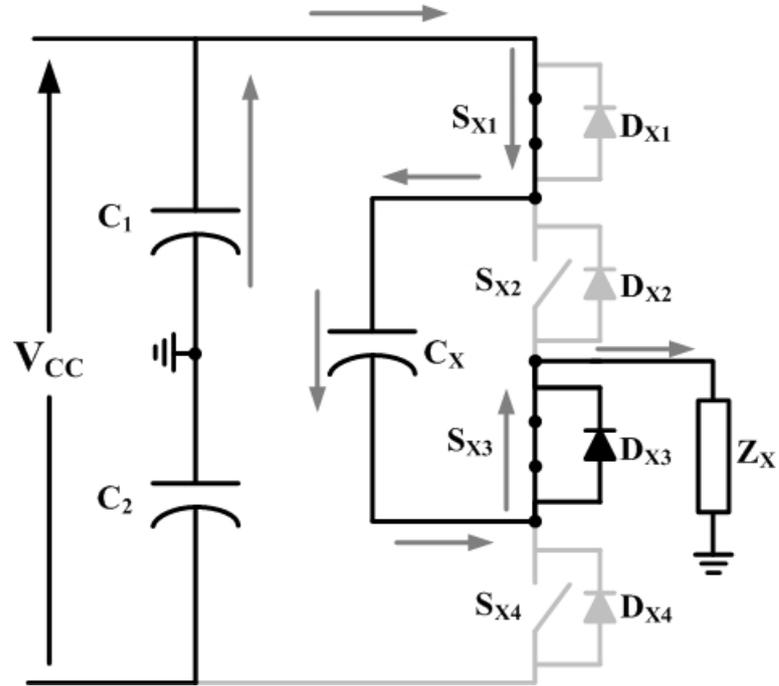
Nesta quarta etapa, os interruptores S_{X3} e S_{X4} estão conduzindo e a tensão na carga é igual à tensão sobre o capacitor C_2 , como mostrado na figura 3.5.

Figura 3.2 – Primeira etapa de operação.



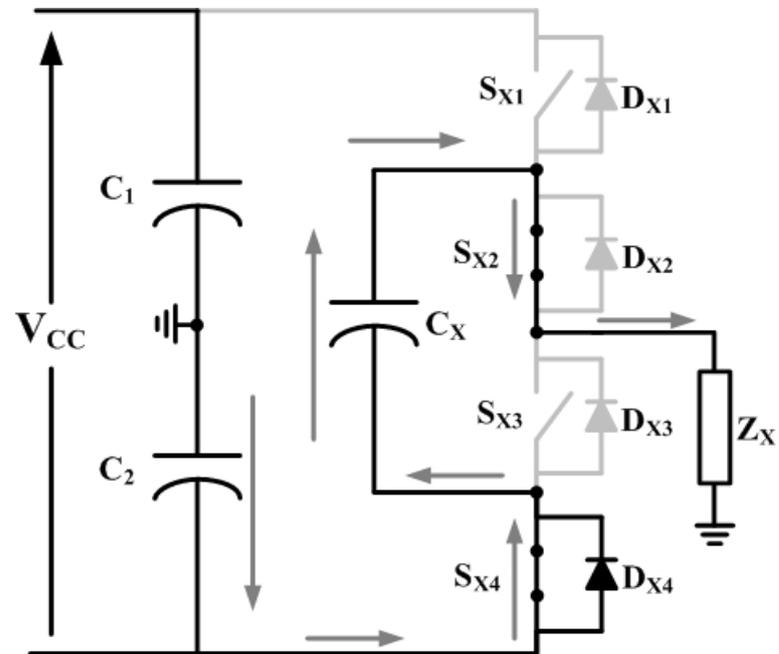
Fonte: Elaborada pelo autor.

Figura 3.3 – Segunda etapa de operação.



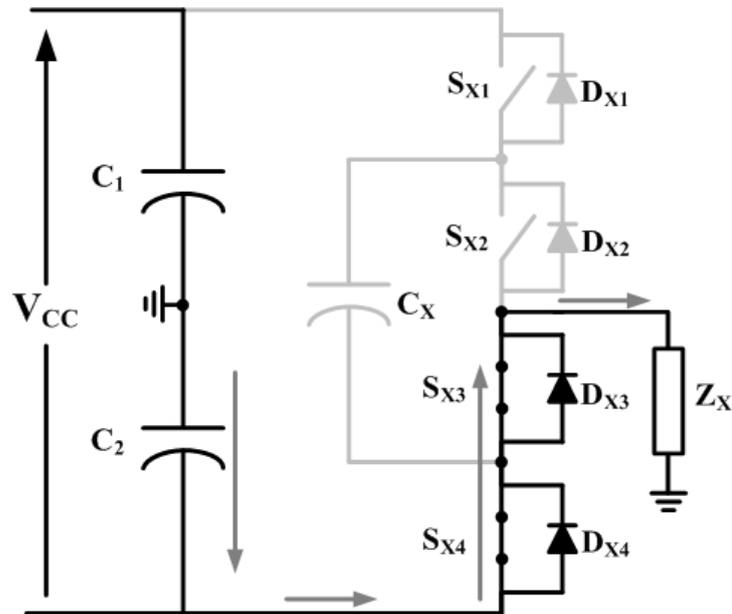
Fonte: Elaborada pelo autor.

Figura 3.4 – Terceira etapa de operação.



Fonte: Elaborada pelo autor.

Figura 3.5 – Quarta etapa de operação.



Fonte: Elaborada pelo autor.

Através da análise das quatro etapas de operação, nota-se a presença de três níveis de tensão na saída para cada estado de comutação correspondente dos interruptores, conforme visualizado na tabela 1.1 do capítulo 1.

Destaca-se a existência de dois estados redundantes, O_1 e O_2 , que produzem o nível zero na tensão de saída. A variação de tensão no capacitor flutuante é dada pela equação 3.1, na qual I_{ZX} é a corrente de fase, C_X é a capacitância do capacitor flutuante e α_{X1} e α_{X2} são as razões cíclicas dos interruptores S_{X1} e S_{X2} , respectivamente (KANG, 2004).

$$\frac{dV_{CX}}{dt} = \frac{I_{ZX}}{C_X} \cdot (\alpha_{X1} - \alpha_{X2}) \quad (3.1)$$

Quanto aos dois outros estados de comutação, P e N, não há passagem de corrente no capacitor flutuante C_X e, dessa forma, a tensão sobre o mesmo permanece constante. A variação de tensão no capacitor flutuante é dada pela equação 3.2.

$$\frac{dV_{CX}}{dt} = 0 \quad (3.2)$$

A partir das equações 3.1 e 3.2, percebe-se na condição dos valores instantâneos das razões cíclicas dos estados O_1 e O_2 serem iguais ($\alpha_{X1} = \alpha_{X2}$), a variação média de tensão

no capacitor flutuante é zero e se mantém equilibrada durante todo o período de comutação (KANG, 2004).

3.3 Estudo de perdas

Para o cálculo das perdas, inicialmente, é necessário definir os principais parâmetros de projeto, os quais serão utilizados para determinar os esforços de corrente através dos interruptores e dos diodos, como mostrado na tabela 3.1. Os valores e cálculos a seguir são considerados para o funcionamento de um dos braços do inversor trifásico.

Tabela 3.1 – Parâmetro de projeto para um braço do inversor trifásico.

Potência ativa na saída por fase (P_o)	2 kW
Tensão no barramento (V_{CC})	400 V
Frequência de chaveamento (f_s)	4 kHz
Fator de potência da carga (FP)	0,92
Rendimento do conversor (η)	0,95
Frequência da tensão de saída (f_o)	60 Hz
Máximo índice de modulação ($M_{i_{max}}$)	0,8

Fonte: Elaborada pelo autor.

É importante lembrar que a frequência de comutação utilizada é de 4 kHz para fins de comparação com a técnica HE-PWM, pois este valor foi o valor adotado em (HE, 2004). Diante disto, nas equações a seguir são apresentados os resultados dos valores de tensão de pico (3.4), tensão eficaz (3.6) e corrente eficaz de carga (3.8), bem como as propriedades da carga, como o ângulo de carga (3.12), potência aparente (3.14), impedância (3.16), resistência (3.18) e indutância (3.20) da carga por fase.

$$V_{o.pico} = \frac{V_{CC}}{2} \cdot M_{i_{max}} \quad (3.3)$$

$$V_{o.pico} = 160 \text{ V} \quad (3.4)$$

$$V_{o.eficaz} = \frac{V_{o.pico}}{\sqrt{2}} \quad (3.5)$$

$$V_{o.eficaz} = 113,14 \text{ V} \quad (3.6)$$

$$I_{o.eficaz} = \frac{P_o}{V_{o.eficaz} \cdot FP \cdot \eta} \quad (3.7)$$

$$I_{o.eficaz} = 20,23 \text{ A} \quad (3.8)$$

$$I_{o.pico} = \sqrt{2} \cdot I_{o.eficaz} \quad (3.9)$$

$$I_{o.pico} = 28,61 \text{ A} \quad (3.10)$$

$$\theta_o = \cos^{-1}(FP) \quad (3.11)$$

$$\theta_o = 0,403 \text{ rad} \quad (3.12)$$

$$S_o = \frac{P_o}{FP \cdot \eta} \quad (3.13)$$

$$S_o = 2,288 \text{ kVA} \quad (3.14)$$

$$Z_o = \frac{S_o}{I_{o.eficaz}^2} \quad (3.15)$$

$$Z_o = 5,594 \text{ } \Omega \quad (3.16)$$

$$R_o = \frac{P_o}{I_{o.eficaz}^2 \cdot \eta} \quad (3.17)$$

$$R_o = 5,144 \Omega \quad (3.18)$$

$$L_o = \frac{\sqrt{Z_o^2 - R_o^2}}{2 \cdot \pi \cdot f_o} \quad (3.19)$$

$$L_o = 5,83 \text{ mH} \quad (3.20)$$

3.3.1 Determinação dos esforços de corrente nos interruptores e diodos

A partir da análise das técnicas de modulações nos capítulos 1 e 2, percebe-se que os efeitos de cada uma delas aplicadas ao inversor multinível com capacitor flutuante de três níveis produzem diferentes valores de tensão e corrente em seus componentes.

Dessa forma, devem ser determinadas as funções da corrente ao longo de um determinado intervalo de tempo, referentes a cada interruptor e diodo de um dos braços do inversor para cada uma das técnicas de modulação através das expressões generalizadas 3.21 e 3.22, na qual δ representa a função de modulação do interruptor correspondente, enquanto S_{XY} identifica o interruptor Y do braço X, ou seja, X = A, B ou C, e Y = 1, 2, 3 ou 4 (HENN, 2011).

$$I_{S_{XY}\text{medio}} = \frac{1}{2\pi} \cdot \int_0^{2\pi} \delta_{S_{XY}}(\omega t) \cdot i_o(\omega t) \cdot d(\omega t) \quad (3.21)$$

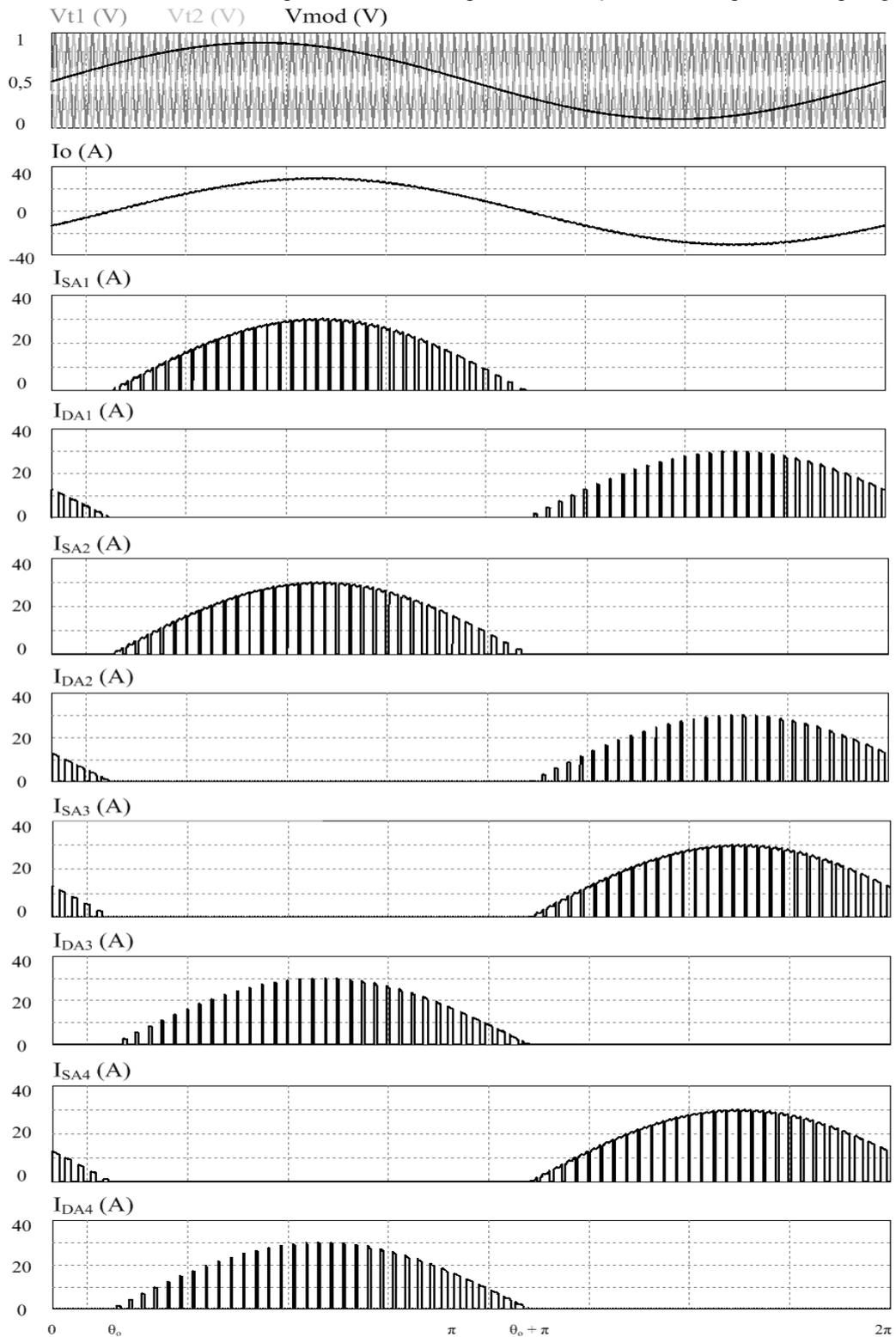
$$I_{S_{XY}\text{eficaz}} = \sqrt{\frac{1}{2\pi} \cdot \int_0^{2\pi} \delta_{S_{XY}}(\omega t) \cdot i_o(\omega t)^2 \cdot d(\omega t)} \quad (3.22)$$

3.3.1.1 Técnica de modulação PSPWM

Inicialmente, com o objetivo de se obter as funções de modulação, deve-se observar o comportamento da corrente nos interruptores e nos diodos, mostrado na figura 3.6. A partir destas funções percebe-se que, quando a moduladora apresenta valores superiores a

$V_p/2$, a função de modulação é proporcional à função seno. Caso contrário, esta se torna proporcional ao módulo da função seno.

Figura 3.6 – Correntes nos interruptores e nos diodos para a modulação PSPWM aplicada à topologia FC.



Fonte: Elaborada pelo autor.

Para o caso da função da corrente na saída, I_o , deve ser observado o comportamento da forma de onda da corrente na carga. No intervalo em que a função assumir valores positivos, esta será proporcional à função seno. Já no intervalo em que a corrente na carga é negativa, a função é proporcional ao módulo da função seno.

Na equação 3.23 é apresentada a função de modulação para o interruptor S_{A1} para cada intervalo, e a expressão 3.24 mostra a respectiva função da corrente de saída, na qual θ_o representa o ângulo do fator de potência. Vale salientar que as funções de modulação e corrente no interruptor S_{A1} são idênticas às de S_{A2} para esta técnica de modulação.

$$\delta_{S_{A1}}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ 1 - \frac{1}{3} \cdot M_{\text{imax}} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ 1 - \frac{1}{3} \cdot M_{\text{imax}} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.23)$$

$$i_o(\omega t) = \begin{cases} I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.24)$$

Nas expressões 3.25 e 3.26 são apresentadas, respectivamente, a função de modulação e a função da corrente na carga nos respectivos intervalos para o interruptor S_{A3} . Da mesma forma que os interruptores S_{A1} e S_{A2} , as funções do interruptor S_{A3} são iguais às de S_{A4} .

$$\delta_{S_{A3}}(\omega t) = \begin{cases} 1 - \frac{1}{3} \cdot M_{\text{imax}} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 - \frac{1}{3} \cdot M_{\text{imax}} \cdot |\text{sen}(\omega t)| & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.25)$$

$$i_o(\omega t) = \begin{cases} -I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \theta_o \\ -I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.26)$$

Quanto aos diodos, as funções de modulação e corrente dos diodos D_{A1} e D_{A2} são idênticas, seguindo o mesmo padrão dos interruptores, nos quais ocorrendo o mesmo com os diodos D_{A3} e D_{A4} . Na equação 3.27 é mostrada a função de modulação do diodo D_{A1} ,

enquanto a expressão 3.28 apresenta a função da corrente de saída para os respectivos intervalos.

$$\delta_{DA1}(\omega t) = \begin{cases} 1 - \frac{1}{3} \cdot M_{imax} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 - \frac{1}{3} \cdot M_{imax} \cdot |\text{sen}(\omega t)| & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.27)$$

$$i_o(\omega t) = \begin{cases} -I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \theta_o \\ -I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.28)$$

Nas equações 3.29 e 3.30 são apresentadas, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{A3} .

$$\delta_{DA3}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ \frac{1}{3} \cdot M_{imax} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ \frac{1}{3} \cdot M_{imax} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.29)$$

$$i_o(\omega t) = \begin{cases} I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.30)$$

Com a finalidade de resumir os valores calculados através das funções encontradas e os valores simulados das correntes médias e eficazes nos componentes, a tabela 3.2 apresenta a proximidade dos resultados obtidos. Os valores simulados foram obtidos com simulação no *software* PSIM®, mostrada na figura 3.6, realizada com componentes ideais e com os parâmetros de projeto utilizados foram os mesmos calculados nas equações 3.3 a 3.20.

Dentre os motivos que levam à diferença entre valores calculados e simulados, pode-se citar que para os valores calculados, considera-se que a corrente na saída é uma função perfeitamente senoidal, enquanto na simulação, as correntes possuem componentes harmônicas.

Tabela 3.2 – Valores dos esforços de corrente nos componentes (PSPWM).

	Corrente Média (A)			Corrente Eficaz (A)		
	Calculado	Simulação	Erro (%)	Calculado	Simulação	Erro (%)
S _{A1}	7,342	7,232	1,498	12,737	12,928	1,500
S _{A2}	7,342	7,232	1,498	12,737	12,928	1,500
S _{A3}	7,342	7,157	2,520	12,737	12,882	1,138
S _{A4}	7,342	7,153	2,574	12,737	12,878	1,107
D _{A1}	1,763	1,891	7,260	6,505	6,182	4,965
D _{A2}	1,763	1,886	6,977	6,505	6,176	5,058
D _{A3}	1,763	1,839	6,012	6,505	6,215	4,458
D _{A4}	1,763	1,838	5,956	6,505	6,215	4,458

Fonte: Elaborada pelo autor.

3.3.1.2 Técnica de modulação LSPWM-POD

Semelhante ao tópico anterior, o comportamento das correntes nos diversos dispositivos é observado com a finalidade de se determinar as funções de modulação e corrente para a técnica de modulação LSPWM-POD aplicada ao inversor multinível com capacitor flutuante, como mostrado na figura 3.7.

Na equação 3.31 é apresentada a função de modulação para o interruptor S_{A1} para cada intervalo, e a expressão 3.32 mostra a respectiva função da corrente de saída, na qual θ_o representa o ângulo do fator de potência.

$$\delta_{SA1}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ M_{\text{imax}} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ 0 & \text{se } \pi \leq \omega t \leq 2\pi \end{cases} \quad (3.31)$$

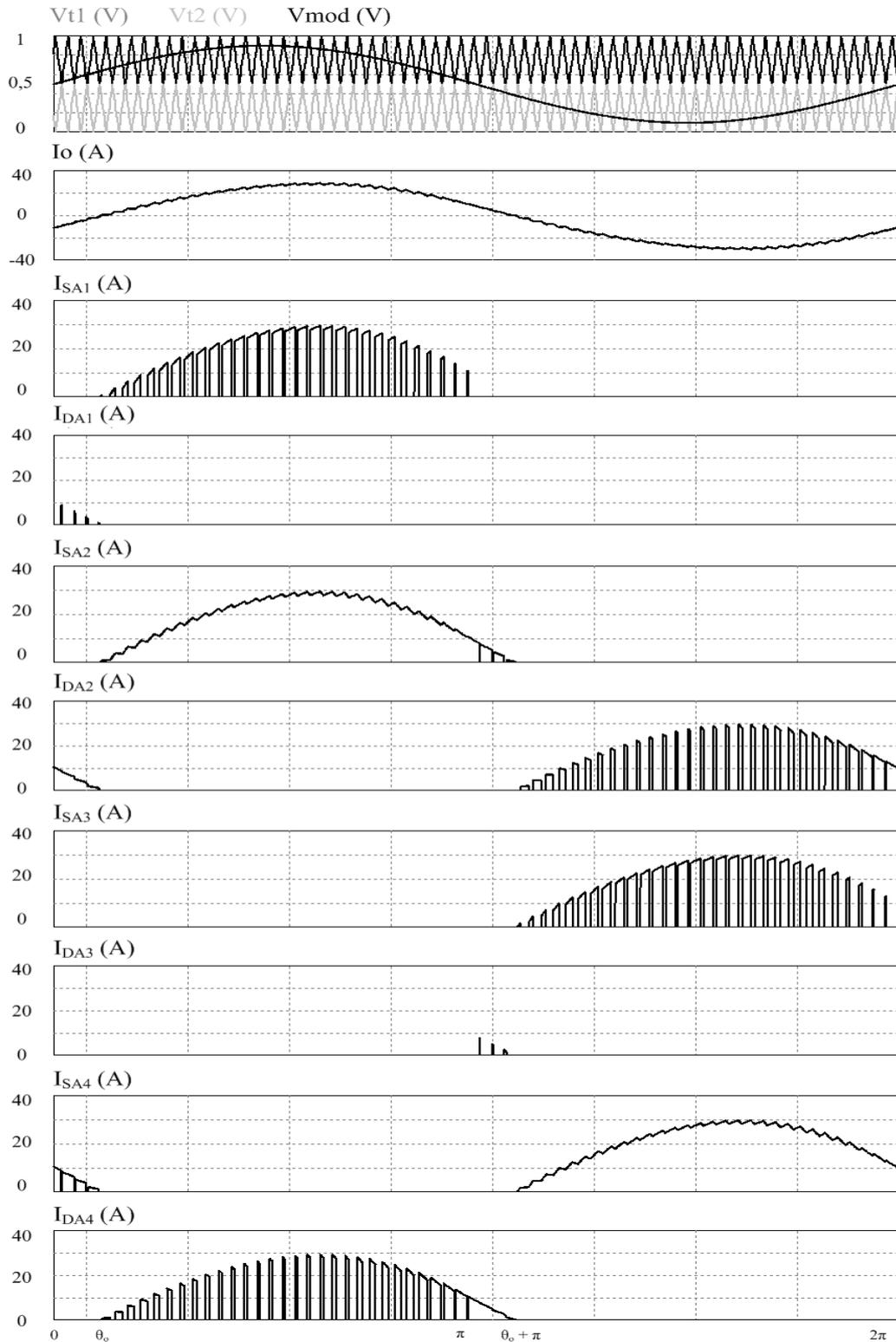
$$i_o(\omega t) = I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } \theta_o \leq \omega t \leq \pi \quad (3.32)$$

Nas equações 3.33 e 3.34 são apresentadas, respectivamente, a função de modulação e a função da corrente na carga nos respectivos intervalos para o interruptor S_{A2} .

$$\delta_{SA2}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ 1 & \text{se } \theta_o \leq \omega t \leq \pi \\ \frac{1}{3} \cdot M_{\text{imax}} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.33)$$

$$i_o(\omega t) = \begin{cases} I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.34)$$

Figura 3.7 – Correntes nos interruptores e nos diodos para a modulação LSPWM-POD aplicada à topologia FC.



Fonte: Elaborada pelo autor.

As expressões 3.35 e 3.36 apresentam a função de modulação e a função da corrente de saída nos respectivos intervalos para o interruptor S_{A3} , respectivamente.

$$\delta_{SA3}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \pi + \theta_o \\ M_{\text{imax}} \cdot |\text{sen}(\omega t)| & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.35)$$

$$i_o(\omega t) = -I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \quad (3.36)$$

Nas equações 3.37 e 3.38 são mostradas a função de modulação e a função da corrente de saída com seus respectivos intervalos para o interruptor S_{A4} , respectivamente.

$$\delta_{SA4}(\omega t) = \begin{cases} 1 - M_{\text{imax}} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 & \text{se } \pi \leq \omega t \leq 2\pi \end{cases} \quad (3.37)$$

$$i_o(\omega t) = \begin{cases} -I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \theta_o \\ -I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.38)$$

Quanto aos diodos, na equação 3.39 é mostrada a função de modulação do diodo D_{A1} , enquanto a expressão 3.40 apresenta a função da corrente de saída para os respectivos intervalos.

$$\delta_{DA1}(\omega t) = \begin{cases} M_{\text{imax}} \cdot |\text{sen}(\omega t)| & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.39)$$

$$i_o(\omega t) = -I_{o,\text{pico}} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } 0 \leq \omega t \leq \theta_o \quad (3.40)$$

Nas equações 3.41 e 3.42 são apresentadas, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{A2} .

$$\delta_{DA2}(\omega t) = \begin{cases} 1 & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 - M_{\text{imax}} \cdot \text{sen}(\omega t) & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.41)$$

$$i_o(\omega t) = \begin{cases} -I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \theta_o \\ -I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.42)$$

As expressões 3.43 e 3.44 apresentam a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{A3} , respectivamente.

$$\delta_{DA3}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \pi \\ M_{imax} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.43)$$

$$i_o(\omega t) = I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } \pi \leq \omega t \leq \pi + \theta_o \quad (3.44)$$

Nas equações 3.45 e 3.46 são mostradas a função de modulação e a função da corrente de saída com seus respectivos intervalos para o diodo D_{A4} , respectivamente.

$$\delta_{DA4}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ 1 - M_{imax} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ 1 - M_{imax} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.45)$$

$$i_o(\omega t) = \begin{cases} I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o,pico} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.46)$$

Para resumir os valores calculados através das funções encontradas e os valores simulados das correntes médias e eficazes nos componentes, a tabela 3.3 apresenta a proximidade dos resultados obtidos.

Tabela 3.3 – Valores dos esforços de corrente nos componentes (LSPWM-POD).

	Corrente Média (A)			Corrente Eficaz (A)		
	Calculado	Simulação	Erro (%)	Cálculo	Simulação	Erro (%)
S_{A1}	5,302	5,464	3,055	11,314	11,543	2,024
S_{A2}	9,066	9,098	0,353	14,294	14,404	0,770
S_{A3}	5,302	5,68	7,129	11,314	11,907	5,241
S_{A4}	9,066	9,576	5,625	14,294	14,946	4,561
D_{A1}	0,039	0,037	5,128	0,471	0,431	8,493
D_{A2}	3,803	3,9165	2,984	8,749	9,038	3,303
D_{A3}	0,039	0,036	7,692	0,471	0,426	9,554
D_{A4}	3,803	3,915	2,945	8,749	8,62	1,474

Fonte: Elaborada pelo autor.

Analisando a tabela 3.3, percebem-se os elevados valores de erro percentual referentes às correntes média e eficaz dos diodos D_{A1} e D_{A3} e estes resultados, no entanto, podem ser desprezados diante da grandeza dos valores considerados nos outros componentes.

3.3.1.3 Técnica de modulação HE-PWM

Diferentemente dos tópicos anteriores, ao analisar as formas de onda da figura 3.8, é notada uma maior complexidade para se determinar as funções de modulação da técnica de modulação HE-PWM. Dessa forma, levando em consideração a pequena diferença entre os valores calculados e simulados das técnicas PSPWM e LSPWM-POD serão mostrados apenas os resultados de simulação para esta técnica na tabela 3.4.

Tabela 3.4 – Valores dos esforços de corrente nos componentes (HE-PWM).

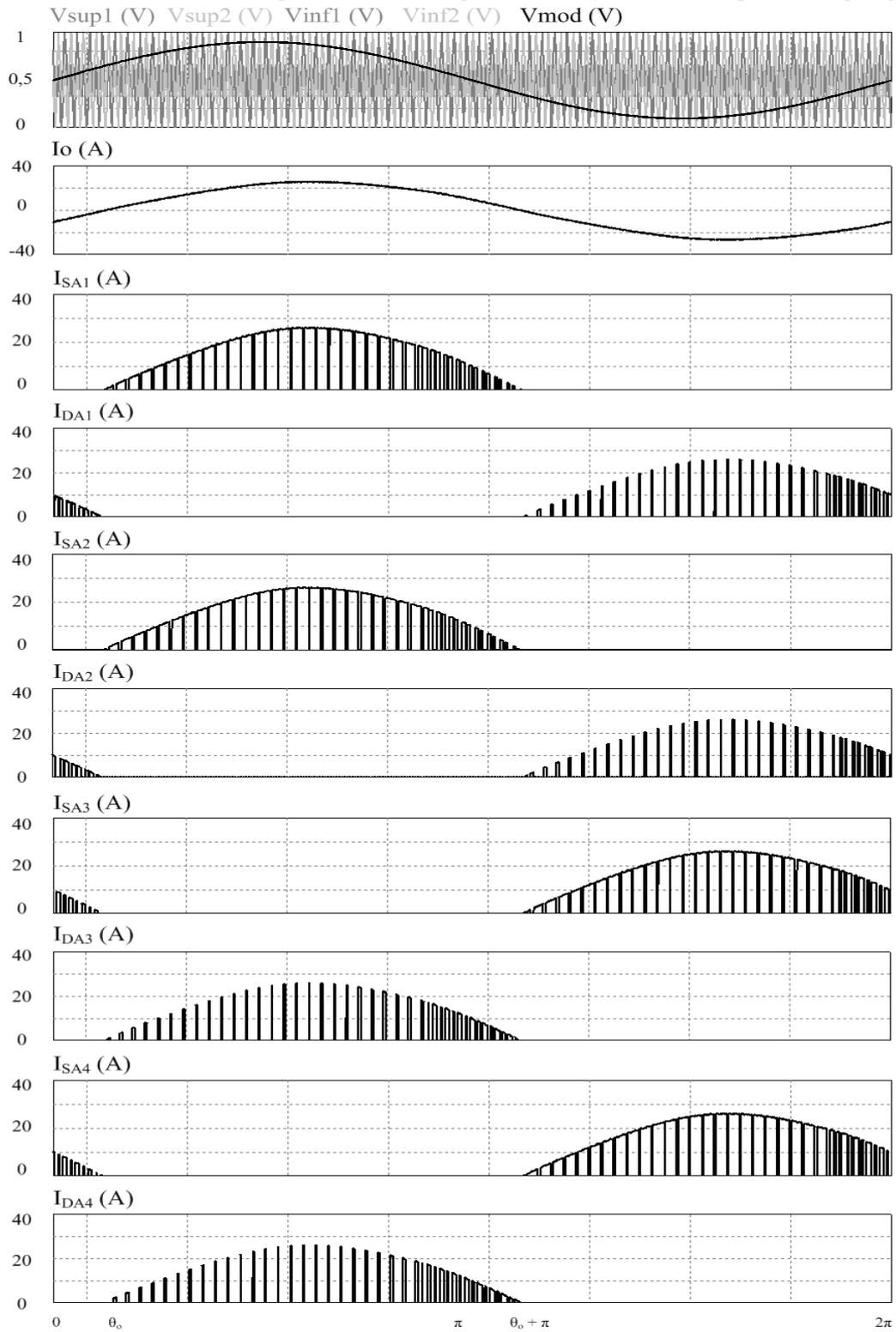
	Corrente Média (A)	Corrente Eficaz (A)
S_{A1}	8,513	14,902
S_{A2}	8,516	14,904
S_{A3}	8,495	14,884
S_{A4}	8,493	14,883
D_{A1}	1,787	6,240
D_{A2}	1,785	6,237
D_{A3}	1,787	6,240
D_{A4}	1,790	6,246

Fonte: Elaborada pelo autor.

3.3.1.4 Técnica de modulação CSV-PWM

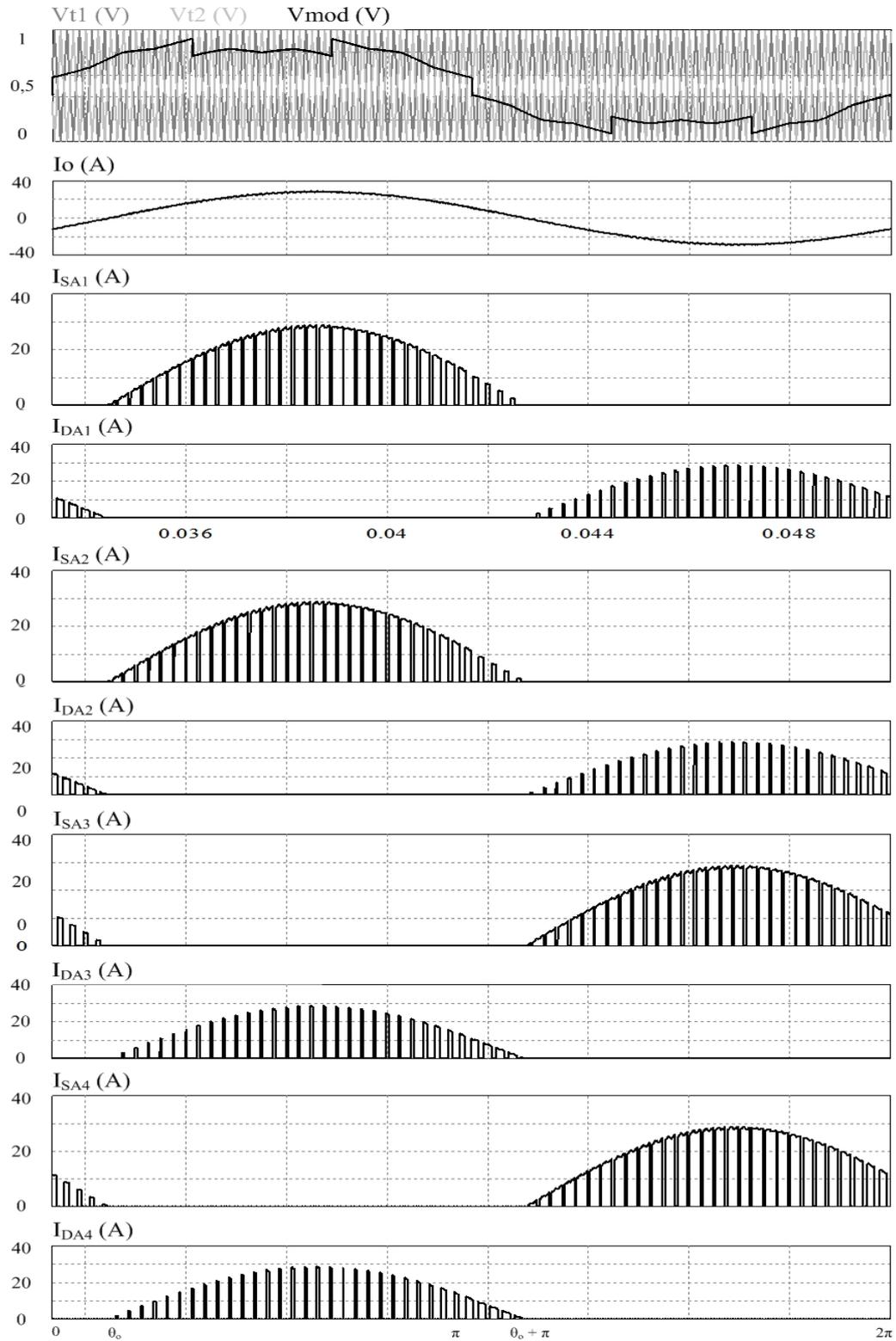
Da mesma forma que o item anterior e utilizando as mesmas considerações, a tabela 3.5 apresenta os valores simulados das correntes médias e eficazes nos diversos componentes para a modulação CSV-PWM aplicada à topologia baseada em capacitores flutuantes. Na figura 3.9 podem ser observadas as formas de onda da modulação, da corrente na saída e das correntes dos dispositivos semicondutores.

Figura 3.8 – Correntes nos interruptores e nos diodos para a modulação HE-PWM aplicada à topologia FC.



Fonte: Elaborada pelo autor.

Figura 3.9 – Correntes nos interruptores e nos diodos para a modulação CSV-PWM aplicada à topologia FC.



Fonte: Elaborada pelo autor.

Tabela 3.5 – Valores dos esforços de corrente nos componentes (CSV-PWM).

	Corrente Média (A)	Corrente Eficaz (A)
S _{A1}	6,983	12,562
S _{A2}	6,967	12,553
S _{A3}	7,097	12,724
S _{A4}	7,112	12,731
D _{A1}	1,914	6,247
D _{A2}	1,929	6,263
D _{A3}	1,897	6,188
D _{A4}	1,881	6,171

Fonte: Elaborada pelo autor.

3.3.1.5 Técnica de modulação proposta

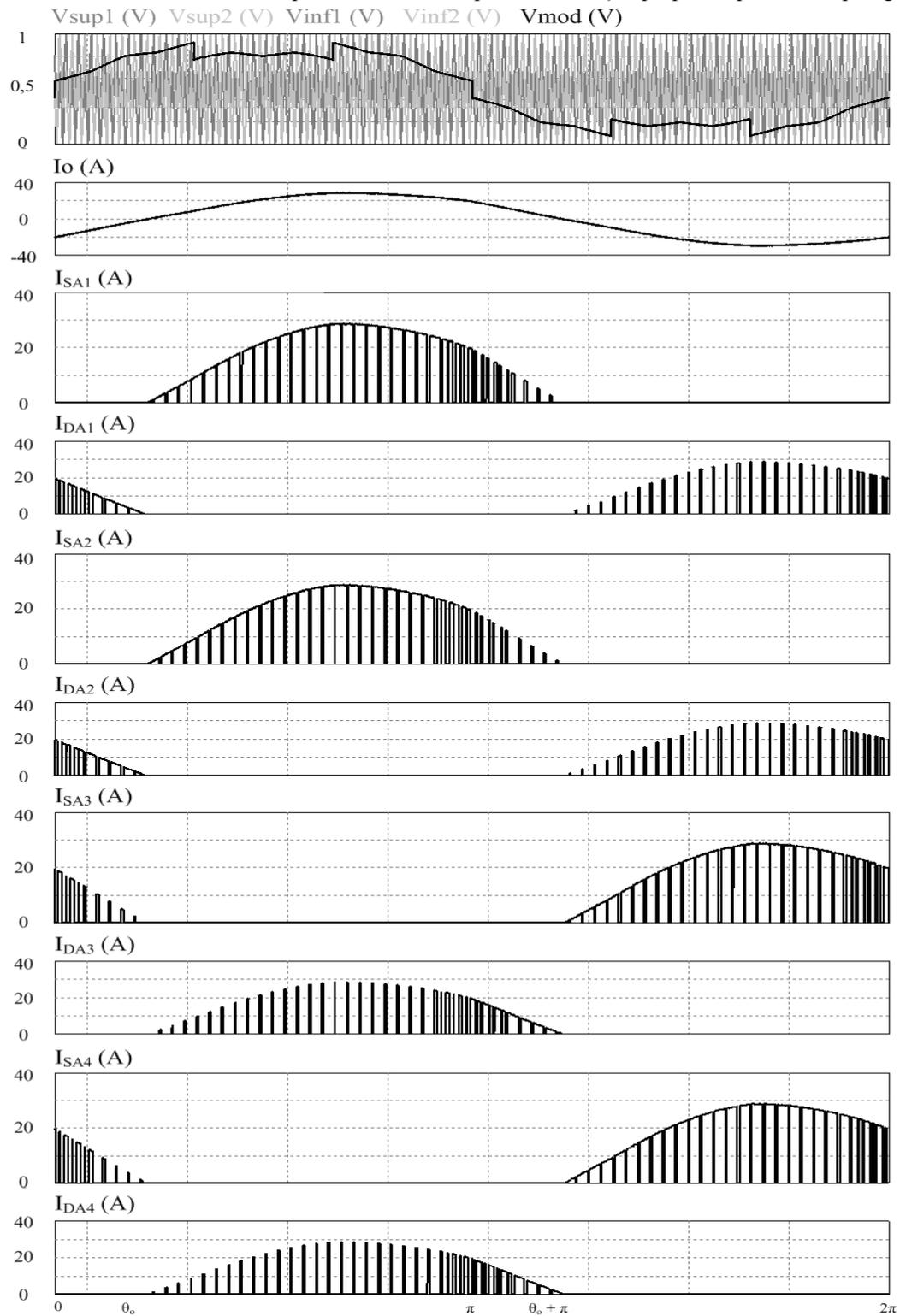
Utilizando as mesmas ponderações do item anterior, a tabela 3.6 apresenta os valores simulados das correntes médias e eficazes nos diversos componentes para a modulação proposta aplicada à topologia baseada em capacitores flutuantes. Na figura 3.10 podem ser observadas as formas de onda da modulação, da corrente na saída e das correntes dos dispositivos semicondutores.

Tabela 3.6 – Valores dos esforços de corrente nos componentes (proposta).

	Corrente Média (A)	Corrente Eficaz (A)
S _{A1}	5,638	10,557
S _{A2}	5,652	10,569
S _{A3}	5,717	10,646
S _{A4}	5,707	10,638
D _{A1}	1,971	5,685
D _{A2}	1,961	5,669
D _{A3}	1,934	5,630
D _{A4}	1,947	5,653

Fonte: Elaborada pelo autor.

Figura 3.10 – Correntes nos interruptores e nos diodos para a modulação proposta aplicada à topologia FC.



Fonte: Elaborada pelo autor.

3.3.2 Estudo de perdas por condução e comutação

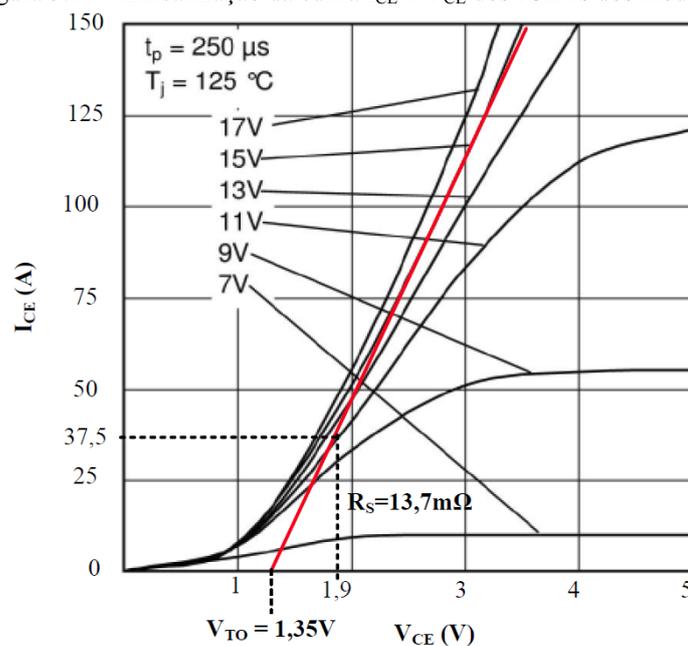
Inicialmente, para o cálculo das perdas no inversor, são definidas as equações que descrevem o comportamento das perdas por condução e por comutação. Para todo o estudo de perdas, foram utilizados os valores simulados de corrente média e eficaz. Diante disso, são apresentadas as expressões 3.47 e 3.48 que definem as equações utilizadas para o cálculo das perdas por condução nos interruptores e nos diodos, respectivamente (BATSCHAUER, 2010).

$$P_{SXY.condução} = V_{TO} \cdot I_{SXY.médio} + R_S \cdot I_{SXY.eficaz}^2 \quad (3.47)$$

$$P_{DXY.condução} = V_D \cdot I_{DXY.médio} + R_D \cdot I_{DXY.eficaz}^2 \quad (3.48)$$

Através da análise das equações acima, percebe-se a relação de perdas nos interruptores com os parâmetros V_{TO} e R_S , os quais são determinados por meio da linearização da curva da queda de tensão instantânea em função da corrente direta instantânea disponibilizada pelo fabricante, como mostrada na figura 3.11. O componente escolhido por através da análise dos esforços de corrente dos itens anteriores foi o módulo SKM75GB063D da SEMIKRON.

Figura 3.11 – Linearização da curva $I_{CE} \times V_{CE}$ dos IGBTs dos módulos.



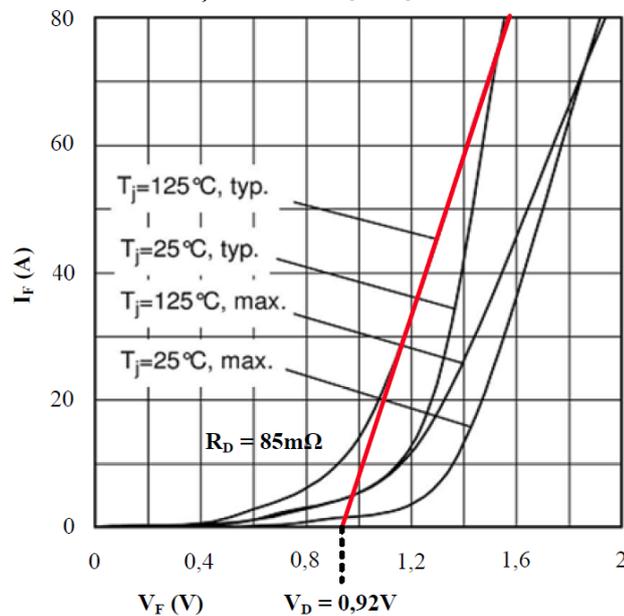
Fonte: Henn, 2012.

A curva para uma tensão de gatilho de 15 V foi escolhida para ser linearizada, com a temperatura de junção é de 125°C, por apresentar uma região com boa faixa de precisão entre 25 A e 50 A, na qual estão inseridos esforços de corrente calculados anteriormente e onde se percebe uma característica aproximadamente linear da curva.

No caso dos diodos dos módulos, o cálculo das perdas por condução é determinado de forma análoga aos parâmetros dos interruptores, através da linearização da curva de queda de tensão instantânea no diodo em função da corrente, disponibilizada pelo fabricante, como mostra a figura 3.12. Por meio desta, obtêm-se os parâmetros V_D e R_D a serem utilizados na equação 3.48.

Para o cálculo das perdas por comutação será feito a partir do método apresentado por (DROFENIK, 2005), o qual utiliza uma aproximação por polinômios de segunda ordem das curvas de energia dissipada durante a comutação do interruptor. Assim, a energia pode ser representada por três coeficientes, k_0 , k_1 e k_2 , de acordo com as equações 3.49 e 3.50.

Figura 3.12 - Linearização da curva $I_F \times V_F$ dos diodos dos módulos.



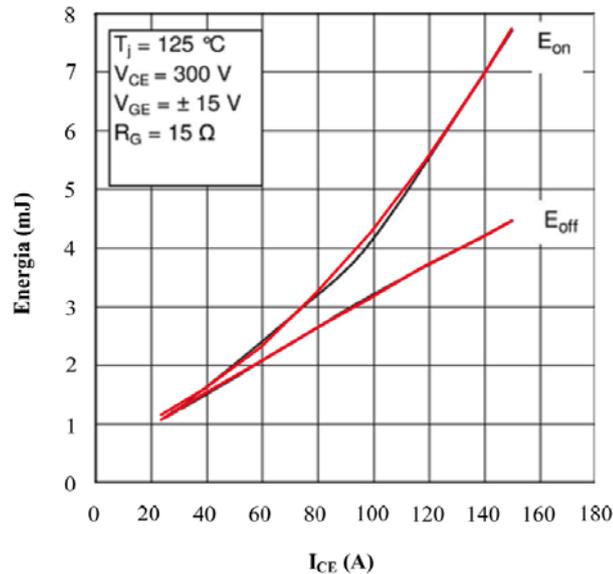
$$W_{SXY.ON} = k_{0.ON} + k_{1.ON} \cdot I_{SXY}(\omega t) + k_{2.ON} \cdot I_{SXY}^2(\omega t) \quad (3.49)$$

$$W_{SXY.OFF} = k_{0.OFF} + k_{1.OFF} \cdot I_{SXY}(\omega t) + k_{2.OFF} \cdot I_{SXY}^2(\omega t) \quad (3.50)$$

Na figura 3.13 são apresentadas as curvas de energia dissipada no ligamento e desligamento do IGBT do módulo SKM75GB063D, disponibilizadas pelo fabricante

SEMIKRON, como também as curvas geradas pelos polinômios de segunda ordem, apresentando a similaridade das mesmas e comprovando a solução da técnica.

Figura 3.13 - Curvas da dissipação de energia durante a comutação.



Fonte: Henn, 2012.

A obtenção dos coeficientes dos polinômios utilizados para a aproximação das curvas do fabricante se deu através da técnica de regressão polinomial cujos valores estão detalhados na tabela 3.7. Diante disto, as perdas por comutação na entrada em condução e no bloqueio dos interruptores pode ser encontrado por meio da integração das respectivas expressões de energia dissipada em função da frequência de comutação, conforme mostradas nas equações 3.51 e 3.52, respectivamente.

Tabela 3.7 – Coeficientes calculados dos polinômios de segunda ordem.

Coeficiente	Valor
$k_{0.ON}$	$6,839 \cdot 10^{-4} \text{ J}$
$k_{1.ON}$	$1,297 \cdot 10^{-5} \text{ J/A}$
$k_{2.ON}$	$2,286 \cdot 10^{-7} \text{ J/A}^2$
$k_{0.OFF}$	$3,14 \cdot 10^{-7} \text{ J}$
$k_{1.OFF}$	$2,934 \cdot 10^{-5} \text{ J/A}$
$k_{2.OFF}$	$-9,467 \cdot 10^{-9} \text{ J/A}^2$

Fonte: Elaborada pelo autor.

$$P_{SXY.ON} = \frac{1}{2\pi} \cdot \int_0^{2\pi} f_s \cdot W_{SXY.ON}(\omega t) \cdot d(\omega t) \quad (3.51)$$

$$P_{SXY.OFF} = \frac{1}{2\pi} \cdot \int_0^{2\pi} f_s \cdot W_{SXY.OFF}(\omega t) \cdot d(\omega t) \quad (3.52)$$

Nos diodos, a energia dissipada durante a recuperação em função da corrente direta pode ser determinada conforme a equação 3.53, na qual, I_o é a corrente nominal do diodo, t_{rr} é o tempo de recuperação reversa, e I_{rr} é a corrente de recuperação reversa.

Assim, as perdas na recuperação reversa no diodo são obtidas da mesma forma que os interruptores, ou seja, integrando a energia dissipada em função da frequência de comutação, como apresenta a equação 3.54. Todos estes dados são obtidos no *datasheet* (folha de dados) disponibilizado pelo fabricante.

$$W_{rr}(\omega t) = \frac{V_{CC}}{2} \left(0,8 + \frac{0,2 \cdot i_D(\omega t)}{I_o} \right) \cdot t_{rr} \cdot \left(0,35 \cdot I_{rr} + 0,15 \cdot \frac{I_{rr}}{I_o} \cdot i_D(\omega t) + i_D(\omega t) \right) \quad (3.53)$$

$$P_{rr} = \frac{1}{2\pi} \cdot \int_0^{2\pi} f_s \cdot W_{rr}(\omega t) \cdot d(\omega t) \quad (3.54)$$

Na tabela 3.8 é apresentada a lista de perdas totais calculadas para cada um das técnicas de modulação mencionadas neste trabalho e aplicadas ao inversor multinível com capacitor flutuante de três níveis com apenas um braço. Deve-se salientar que o método de cálculo de perdas são aproximações e não devem ser considerados como absolutos, por conta de outros fatores dinâmicos que possam influenciar nos resultados, tais como, temperatura ambiente, temperatura de operação dos semicondutores e a resistência interna dos capacitores.

Tabela 3.8 – Perdas totais calculadas para as diferentes modulações.

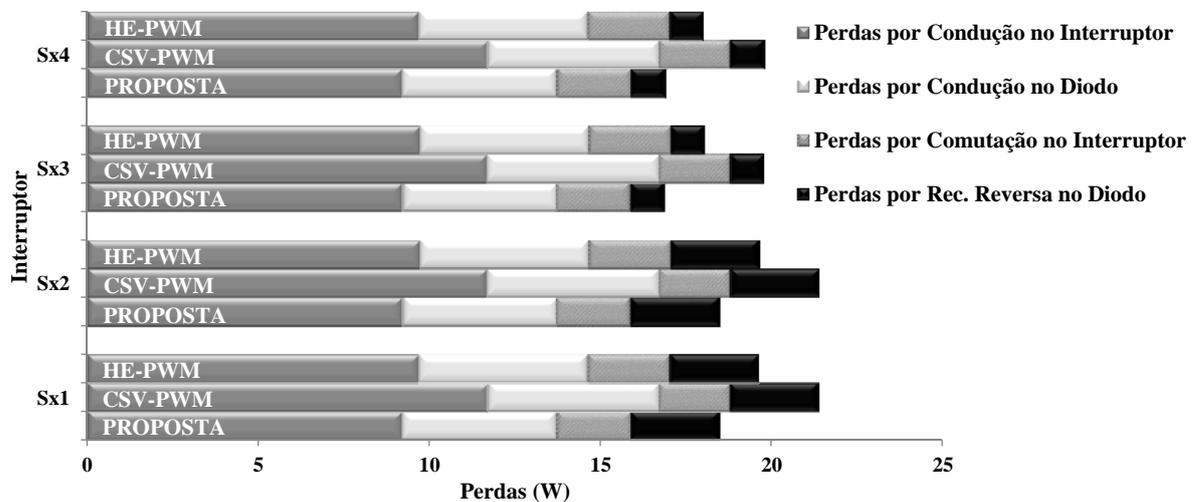
Técnica de Modulação	Perdas (W)
PSPWM	81,49
LSPWM – POD	68,80
CSV-PWM	82,34
HE-PWM	75,26
Proposta	70,71

Fonte: Elaborada pelo autor.

Analisando a tabela 3.8, percebe-se que a técnica de modulação proposta apresentou o segundo melhor resultado, perdendo apenas para a LSPWM-POD que possui intervalos em que seus interruptores estão totalmente desligados, aumentando sua eficiência.

Apesar disto, a técnica proposta apresenta um rendimento superior às estratégias em que se baseia: HE-PWM e CSV-PWM, principalmente devido à redução das perdas na condução e do número de comutações proporcionadas pela configuração de portadoras e moduladoras. Esta afirmação pode ser comprovada a partir do estudo da distribuição de perdas mostrado na figura 3.14.

Figura 3.14 – Distribuição de perdas nos interruptores para as técnicas HE-PWM, CSV-PWM e proposta.



Fonte: Elaborada pelo autor.

3.4 Considerações finais

Neste capítulo foi apresentado o estudo de perdas do inversor multinível trifásico com capacitor flutuante de três níveis utilizando as técnicas de modulação PSPWM, LSPWM-POD, HE-PWM, CSV-PWM e a técnica de modulação proposta neste trabalho.

Inicialmente, foram descritos e detalhados os modos de operação bem como seus equacionamentos e dimensionamentos. Além disso, foi apresentado todo o princípio de funcionamento da modulação proposta através dos valores de esforços de tensão e corrente nos semicondutores, capacitores e indutores, bem como formas de onda e demais resultados inerentes ao funcionamento do sistema, os quais se mostraram coerentes e condizentes com a simulação do circuito realizada através do *software* PSIM®, comprovando a validade das expressões desenvolvidas e valores obtidos.

Por fim, foi mostrada a distribuição de perdas em cada um dos interruptores comprovando a melhor eficiência da técnica proposta neste trabalho, quando esta é comparada com as técnicas de modulação HE-PWM e CSV-PWM.

4 ANÁLISE TEÓRICA DE DHT

4.1 Introdução

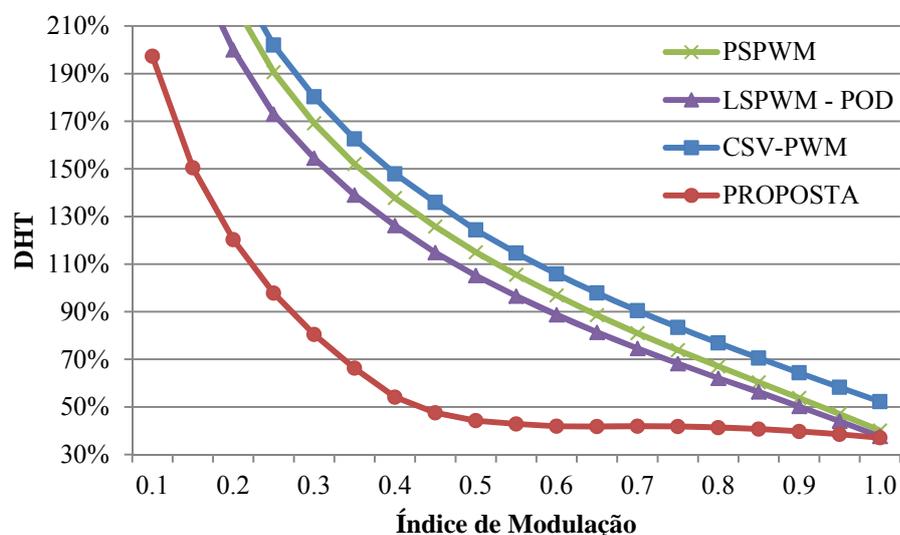
Antes de implementar experimentalmente a técnica de modulação proposta, neste capítulo será apresentada uma análise teórica de DHT do inversor multinível com capacitor flutuante para verificar a redução do conteúdo harmônico da tensão na saída. Para validar o estudo, será realizada a comparação entre a análise teórica da modulação proposta com seus resultados de simulação.

4.2 Análise teórica do DHT das tensões de saída

Com a finalidade de avaliar a distorção harmônica total da tensão de linha não-filtrada do inversor com as diferentes modulações aplicadas à topologia FC, foram realizadas simulações das diversas combinações para diferentes índices de modulação no *software* PSIM[®].

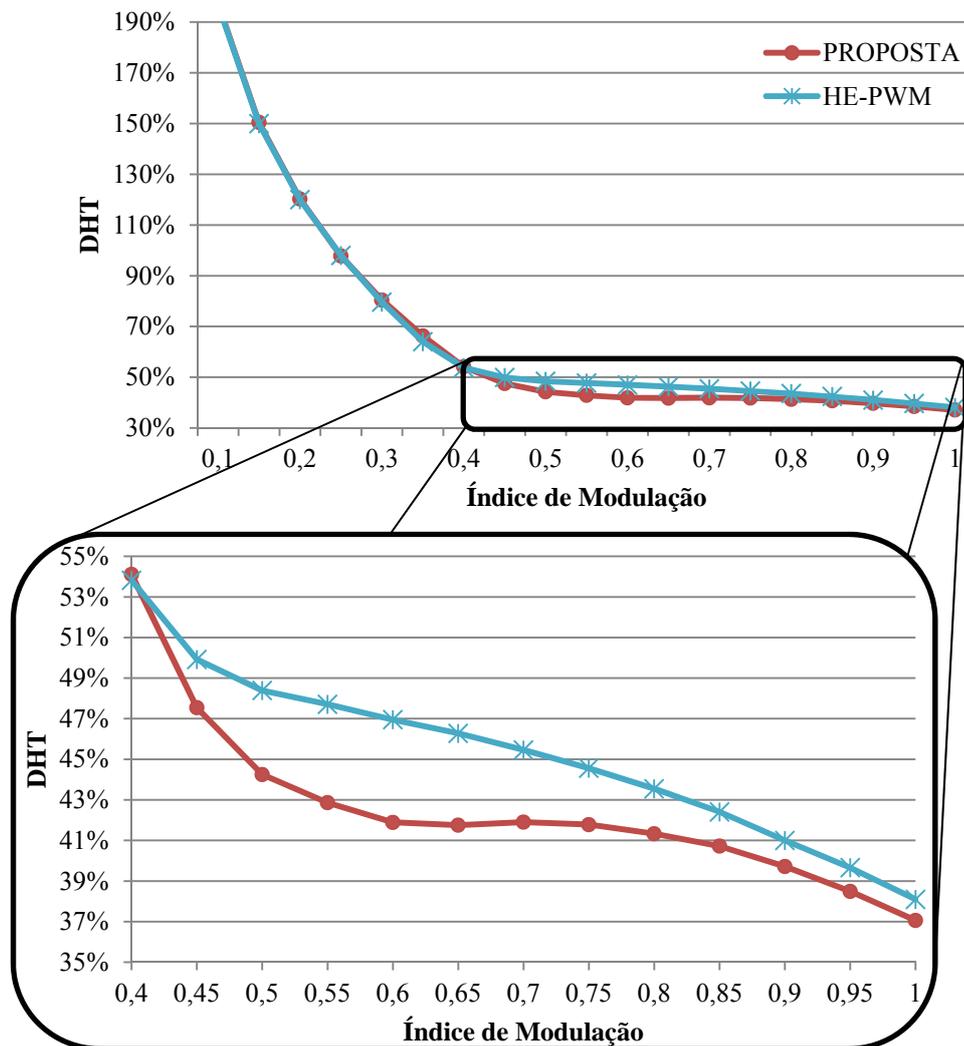
Na figura 4.1 são apresentados os resultados de simulação da DHT para as modulações PSPWM, LSPWM-POD, CSV-PWM e a modulação proposta variando os índices de modulação. Já na Fig. 4.2 é realizada uma comparação do DHT entre a HE-PWM e a modulação proposta.

Figura 4.1 – Resultados de simulação da DHT para tensão de linha com as modulações PSPWM, LSPWM - POD, CSV-PWM e proposta.



Fonte: Elaborada pelo autor.

Figura 4.2 – Resultados de simulação da DHT para tensão de linha com as modulações HE-PWM e Proposta.



Fonte: Elaborada pelo autor.

Na figura 4.1 é possível perceber que o desempenho da técnica de modulação proposta é superior para toda a faixa de índice de modulação, superando as técnicas PSPWM, LSPWM-POD e CSV-PWM. Já na figura 4.2, quando os valores de índice de modulação estão entre 0 e 0,4, ambas modulações HE-PWM e proposta apresentam o mesmo resultado, porém vale ressaltar que esta faixa não é muito utilizada em aplicações industriais. Quando os valores estão entre 0,4 e 1, a modulação proposta apresenta um nível de DHT de até 5% menor que a modulação HE-PWM, comprovando sua melhor eficácia.

Além da comparação dos índices de DHT, é interessante mostrar a eficiência da técnica de modulação proposta por meio de equações que representem a tensão de saída e contem com as componentes harmônicas de alta e baixa frequências.

A análise de tensão na saída da modulação proposta aplicada ao inversor multinível com capacitor flutuante é feita baseada em (HOLMES, 2003), a qual expressa a

tensão da saída de fase como uma função da fundamental, da portadora e suas harmônicas, e a função $f(t)$ decomposta através da série de *Fourier*. Diante disso, a tensão de fase do inversor pode ser determinada (4.1).

$$f(t) = \frac{A_{00}}{2} + \sum_{n=1}^{\infty} A_{n0} \cdot \cos(n \cdot y) + B_{n0} \cdot \text{sen}(n \cdot y) + \sum_{m=1}^{\infty} A_{m0} \cdot \cos(m \cdot x) + B_{m0} \cdot \text{sen}(m \cdot x) + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} [A_{mn} \cdot \cos(m \cdot x + n \cdot y) + B_{mn} \cdot \text{sen}(m \cdot x + n \cdot y)] \quad (4.1)$$

Na qual,

$$x = \omega_p + \theta_p;$$

$$y = \omega_m + \theta_m;$$

$$\omega_p = 2\pi \cdot f_p;$$

$$\omega_m = 2\pi \cdot f_m;$$

θ_p = ângulo de fase ou deslocamento de fase, que mede o quanto a curva da portadora está deslocada horizontalmente para a direita;

θ_m = ângulo de fase ou deslocamento de fase, que mede o quanto a curva da moduladora está deslocada horizontalmente para a direita;

$$n: -\infty, \dots, -2, -1, 0, +1, +2, \dots, +\infty;$$

$$m: 0, +1, +2, \dots, +\infty.$$

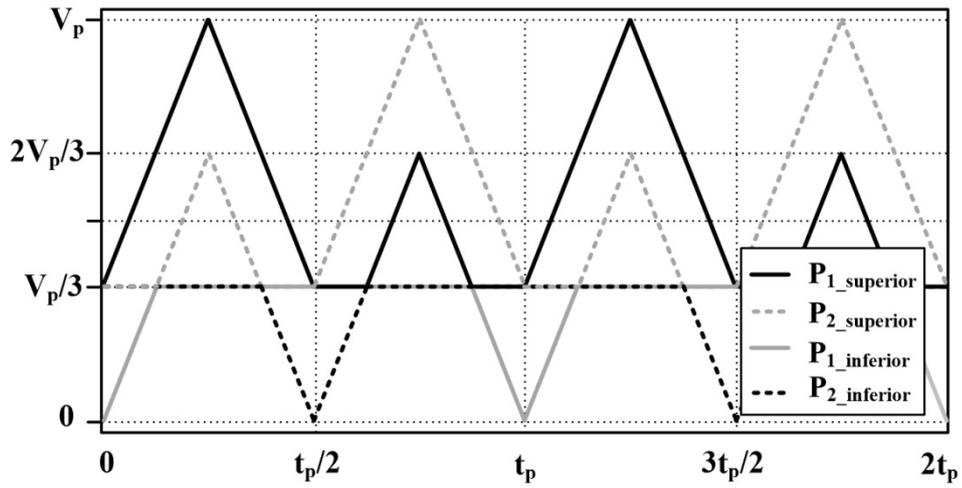
A_{0n} , B_{0n} , A_{0m} , B_{0m} são as amplitudes das funções cosseno e seno, respectivamente, da série de *Fourier*. As variáveis f_p e f_m representam a frequência da portadora e a frequência da moduladora, respectivamente, enquanto as variáveis “n” e “m” são os índices das harmônicas da frequência fundamental e da frequência de comutação, respectivamente.

Os termos A_{mn} e B_{mn} são as amplitudes de cada componente harmônica e estas componentes são encontradas por meio da integral dupla de *Fourier*, equação (4.2).

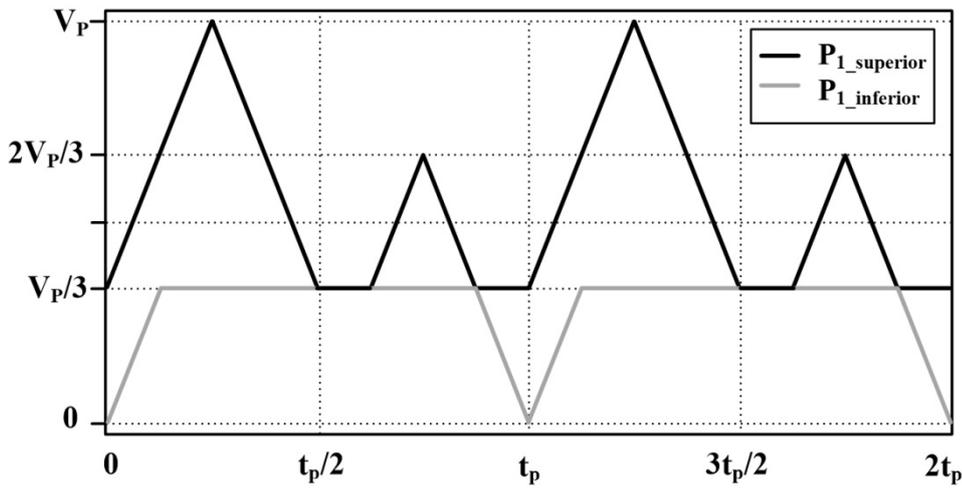
$$\overline{C_{mn}} = A_{mn} + j \cdot B_{mn} = \frac{1}{2\pi^2} \cdot \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x,y) \cdot e^{j(m \cdot x + n \cdot y)} dx dy \quad (4.2)$$

Na qual $f(x,y)$ é o nível de tensão na saída sintetizada pelo inversor. Dessa forma, estas funções $f(x,y)$ devem ser determinadas, bem como os limites de integração para toda a faixa de operação. Para esta análise, nas figuras 4.3 e 4.4 são mostradas as formas de onda das portadoras e moduladoras, respectivamente, técnica de modulação proposta.

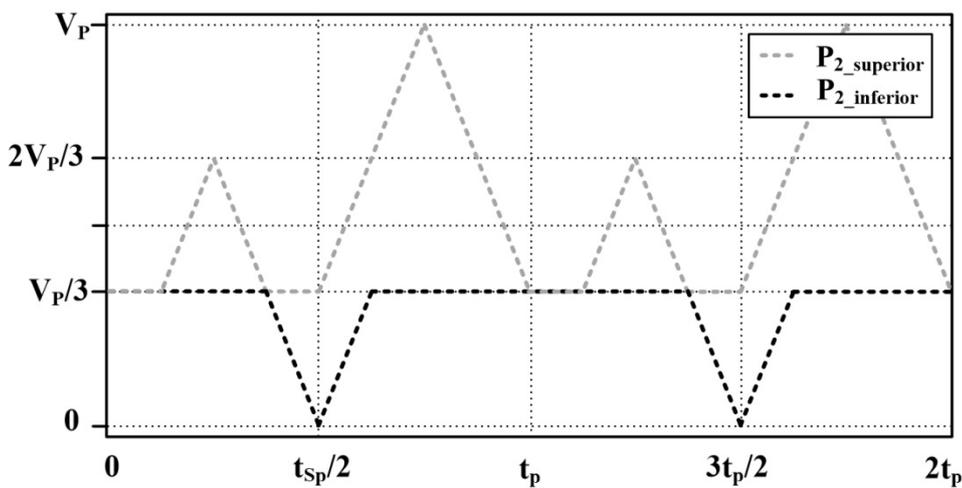
Figura 4.3 – Formas de onda das portadoras da técnica de modulação proposta: (a) ambas (b) P_1 , (c) P_2 .



(a)

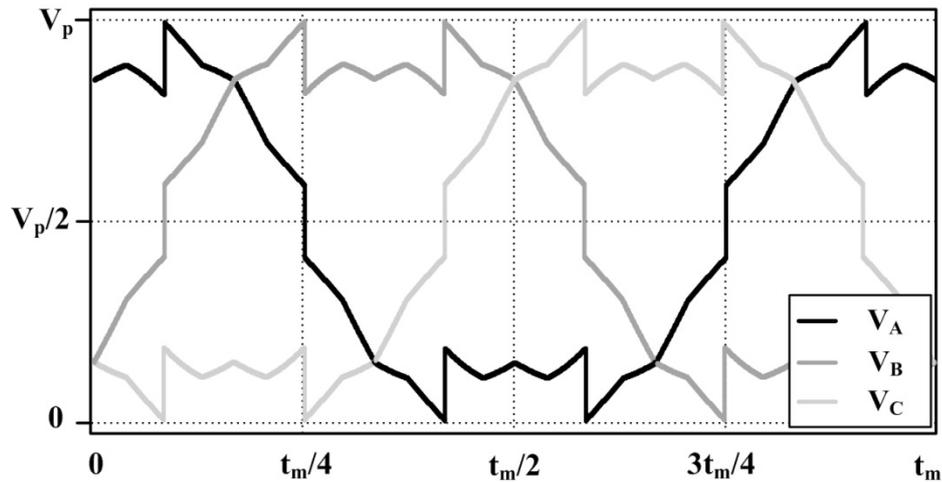


(b)



(c)

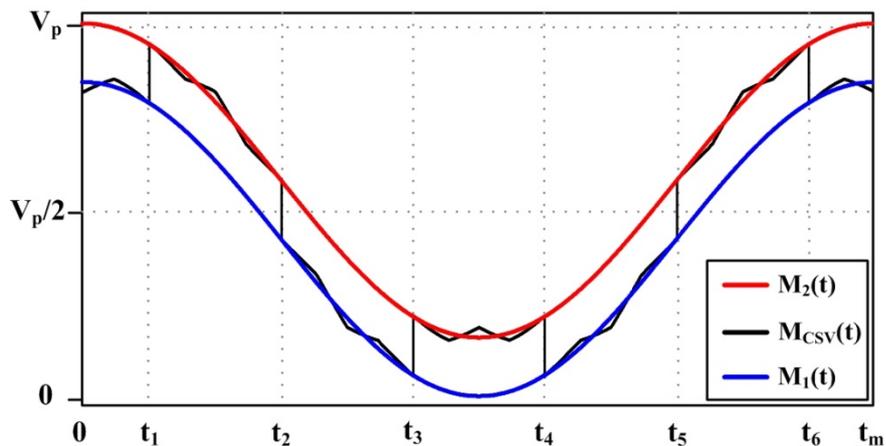
Figura 4.4 – Formas de onda das moduladoras da técnica de modulação proposta.



Fonte: Elaborada pelo autor.

Analisando as formas de onda da figura 4.4, percebe-se que a expressão da moduladora não pode ser descrita em apenas uma função matemática, por conta da função *modulus* e a interdependência das moduladoras das outras duas fases, mostradas nas equações (1.1) a (1.6). Uma solução seria utilizar equações de retas para cada trecho da moduladora, no entanto, isto criaria em outro problema de uma elevada quantidade de funções. Dessa forma, a fim de simplificar os cálculos, a forma de onda da moduladora é aproximada para duas funções cossenóides, como mostrada na figura 4.5, e descritas pelas equações 4.3 e 4.4.

Figura 4.5 – Formas de onda da moduladora e das funções aproximadas.



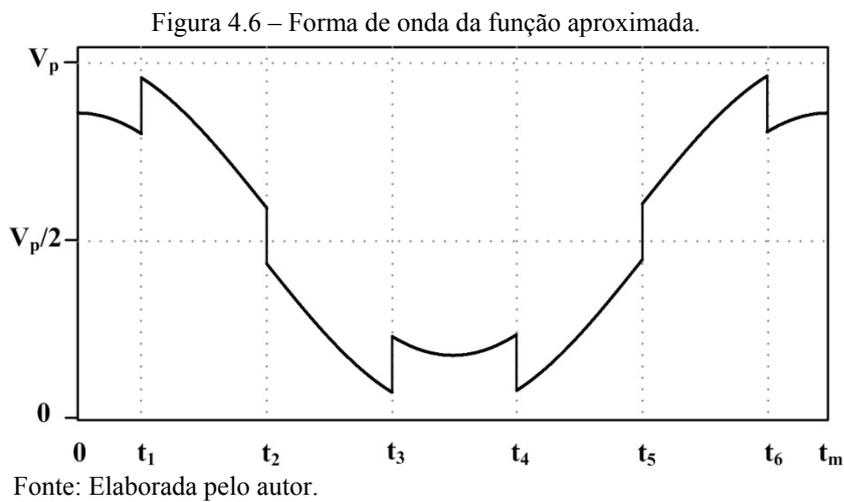
Fonte: Elaborada pelo autor.

$$M_1(t) = \frac{M_{i\max}}{2} \cdot \cos(\omega_m \cdot t) + \frac{17}{40} \quad (4.3)$$

$$M_2(t) = \frac{M_{i\max}}{2} \cdot \cos(\omega_m \cdot t) + \frac{23}{40} \quad (4.4)$$

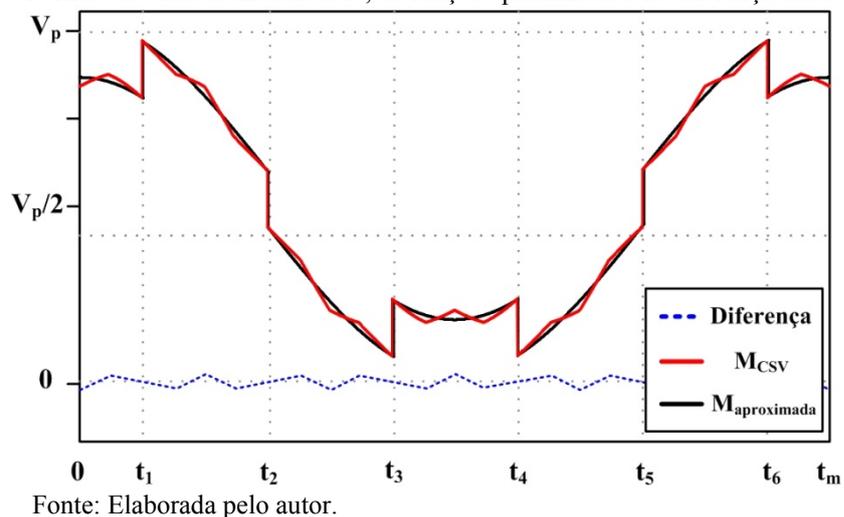
Através das equações acima, os intervalos que relacionam a aproximação das equações M_1 e M_2 com a moduladora são determinados, resultando na função 4.5, mostrada na figura 4.6.

$$M_{\text{aproximada}}(t) = \begin{cases} M_1(t) & \text{se } 0 \leq t \leq t_1 \\ M_2(t) & \text{se } t_1 \leq t \leq t_2 \\ M_1(t) & \text{se } t_2 \leq t \leq t_3 \\ M_2(t) & \text{se } t_3 \leq t \leq t_4 \\ M_1(t) & \text{se } t_4 \leq t \leq t_5 \\ M_2(t) & \text{se } t_5 \leq t \leq t_6 \\ M_1(t) & \text{se } t_6 \leq t \leq t_m \end{cases} \quad (4.5)$$



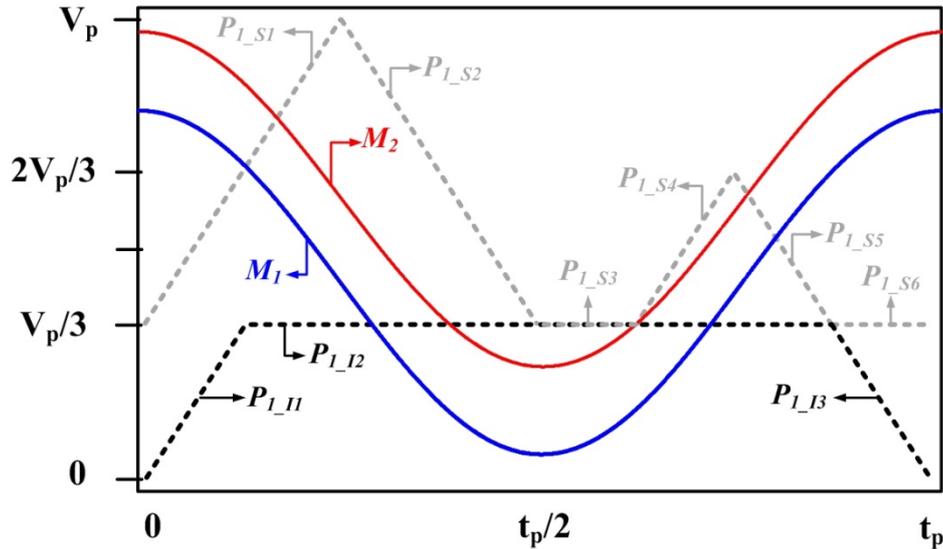
Para comprovar a similaridade das equações, na figura 4.7 são mostradas as formas de onda da moduladora original, a moduladora aproximada e o resultado da diferença entre elas. O erro encontrado é aproximadamente de 3,07% e, assim, garantindo a similaridade das mesmas para o caso de análise e obtenção da célula unitária.

Figura 4.7 – Formas de onda da moduladora, da função aproximada e da diferença entre as mesmas.



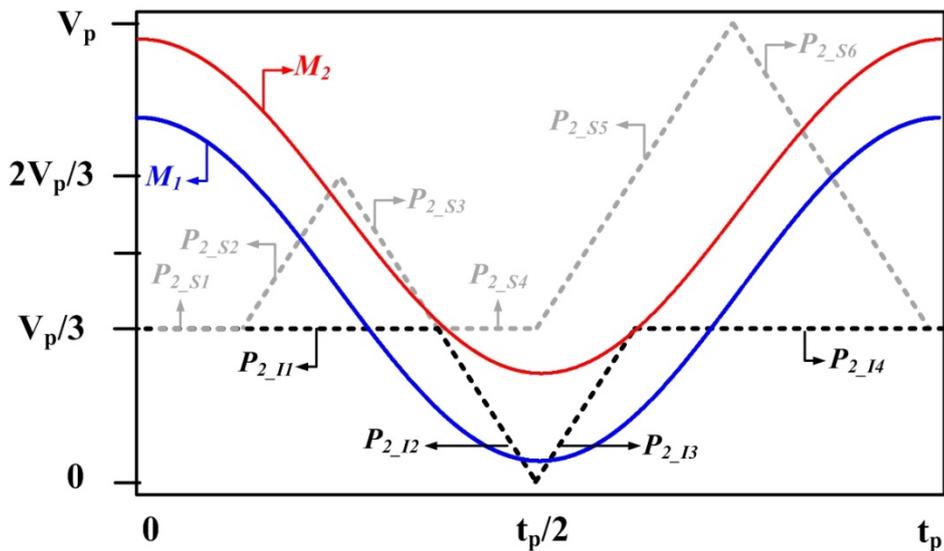
Deste modo, no apêndice B deste trabalho são mostradas as equações B.1 até B.19 que descrevem as funções $f(x,y)$ das portadoras e as expressões B.20 e B.21 apresentam os sinais das moduladoras. Estas funções podem ser observadas nas figuras 4.8 e 4.9.

Figura 4.8 – Funções da técnica de modulação proposta com a portadora P_1 e moduladoras M_1 e M_2 .



Fonte: Elaborada pelo autor.

Figura 4.9 – Funções da técnica de modulação proposta com a portadora P_2 e moduladoras M_1 e M_2 .



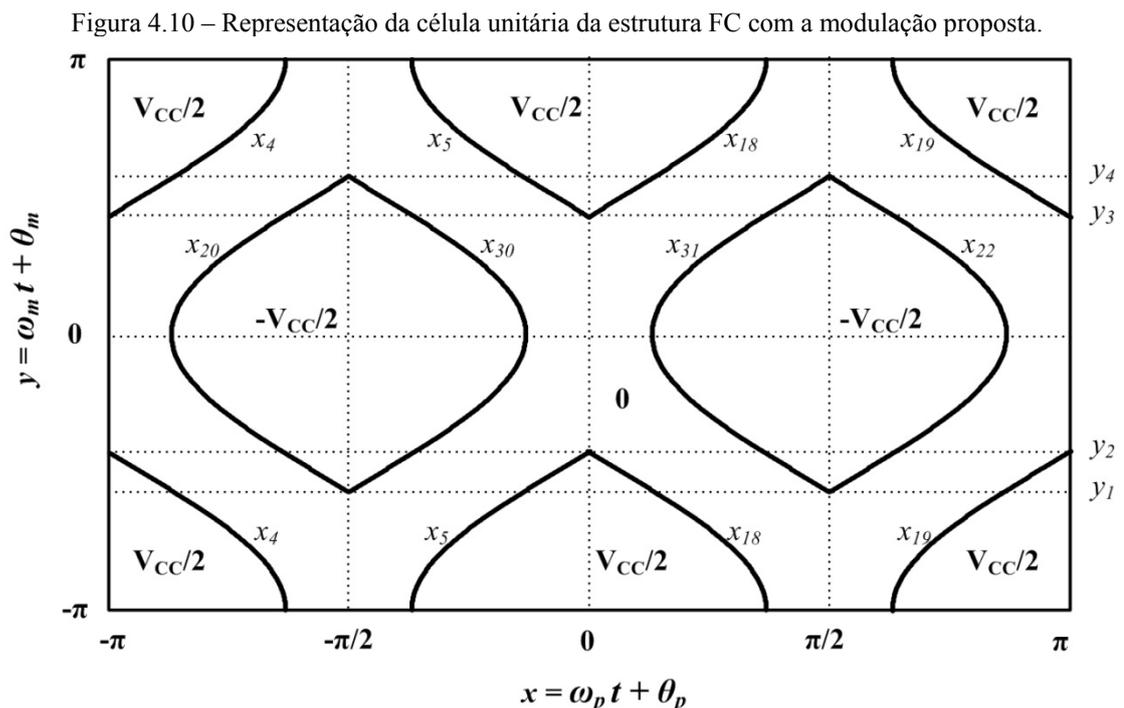
Fonte: Elaborada pelo autor.

A célula unitária é a representação gráfica em curvas de nível que mostram o comportamento da tensão de saída em função das variáveis “x” e “y”, as quais expressam os ângulos instantâneos em relação às frequências de comutação e da fundamental, respectivamente.

Assim, percebe-se que os limites de integração dos eixos “x” e “y” podem ser determinados, e por sua vez, as equações y_1 a y_{38} definem, respectivamente, os limites das funções x_1 a x_{38} , e obtém-se a célula unitária do inversor, mostrada na figura 4.10. Com isso, a comparação da referência, moduladora, é feita com cada uma das equações x_1 a x_{38} das portadoras da célula unitária e resulta na sintetização da forma de onda da tensão de saída do inversor.

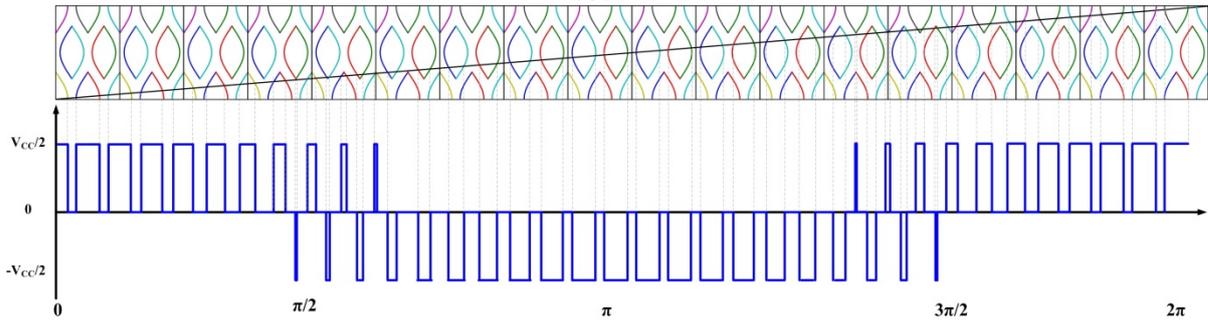
Na figura 4.11 é apresentado um diagrama simplificado no tempo, resultante da comparação entre a referência e as funções da célula unitária, onde os três níveis possíveis são delimitados por cada região que a moduladora cruzar a célula e, assim, obtendo a forma de onda da tensão de fase do inversor.

Apesar da frequência utilizada nos parâmetros mostrados na análise de perdas deste trabalho ser de 4 kHz, para uma melhor visualização da forma de onda da tensão de fase determinada através da célula unitária, a frequência adotada nesta análise é de 1080 Hz, ou seja, um valor múltiplo de 3 e 60, referentes ao modelo trifásico de inversor e da frequência da tensão na saída do mesmo, respectivamente. Para tanto, são utilizadas 18 células unitárias dispostas juntamente com uma reta representando uma evolução linear no tempo com relação às variáveis de integração (x,y). Pode-se perceber que a forma de onda de tensão de fase resultante da célula unitária está coerente quando comparada com o resultado de simulação da mesma obtida no *software* PSIM[®], figura 4.12.



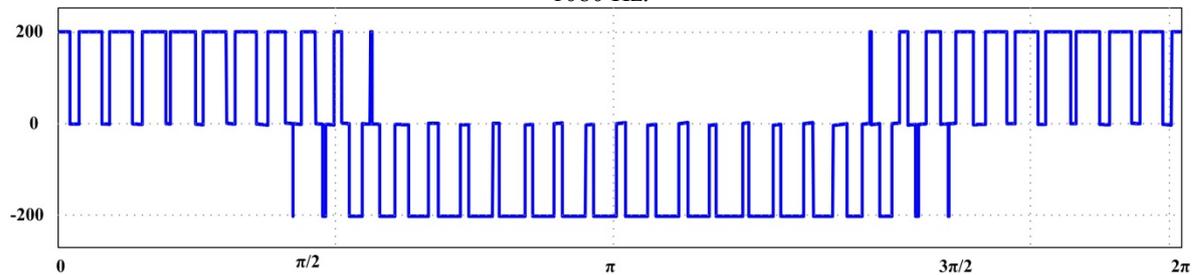
Fonte: Elaborada pelo autor.

Figura 4.11 – Representação da tensão na saída através de células unitárias com frequência de chaveamento de 1080 Hz.



Fonte: Elaborada pelo autor.

Figura 4.12 – Resultado de simulação da forma de onda da tensão na saída com frequência de chaveamento de 1080 Hz.



Fonte: Elaborada pelo autor.

A partir da análise da célula unitária e da transformada de *Fourier*, mostrada na equação 4.6, é possível determinar as equações para o cálculo das componentes harmônicas da tensão de fase para qualquer frequência de chaveamento.

$$\overline{C_{mn}} = \frac{V_{CC}}{2\pi^2} \cdot \int_{a_i}^{b_i} \int_{c_i}^{d_i} f_i(x,y) \cdot e^{j \cdot (m \cdot n + n \cdot y)} dx dy \quad (4.6)$$

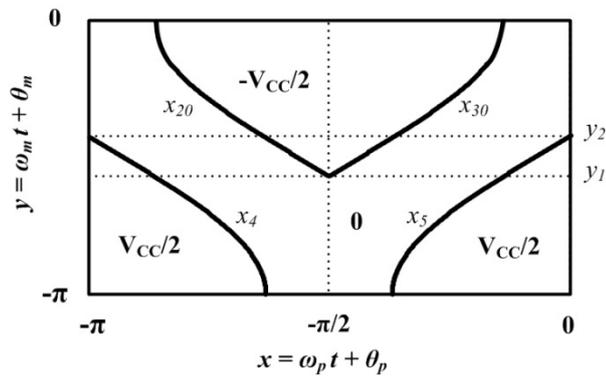
Nas quais a_i , b_i , c_i , d_i são os limites de integração mostrados da tabela 4.1 para os valores de 0 a π dos eixos x e y , conforme apresentado na figura 4.13 e $f_i(x,y)$ é o nível de tensão resultante.

Tabela 4.1 – Limites dos eixos x e y .

i	1	2	3	4	5	6	7	8	9	10
Limites										
a_1	0	0	0	0	y_1	y_2	y_1	y_1	y_1	y_2
b_1	y_2	y_1	y_1	y_2	y_2	π	π	π	y_2	π
c_1	0	x_4	$\pi/2$	x_5	x_4	0	x_{20}	$\pi/2$	x_{30}	x_{30}
d_1	x_4	$\pi/2$	x_5	π	x_{20}	x_{20}	$\pi/2$	x_{30}	x_5	π
$f_1(x,y)$	1/2	0	0	1/2	0	0	-1/2	-1/2	0	0

Fonte: Elaborada pelo autor.

Figura 4.13 – Eixos x e y da célula unitária.



Fonte: Elaborada pelo autor.

Da mesma forma para as demais, existem mais 30 limites de integração. Todas quarenta integrais são solucionadas para determinar a amplitude de cada componente harmônica. Na tabela 4.2 são mostrados todos os parâmetros utilizados na análise de DHT e espectro harmônico através da célula unitária.

Tabela 4.2 – Parâmetros empregados para o cálculo das componentes harmônicas.

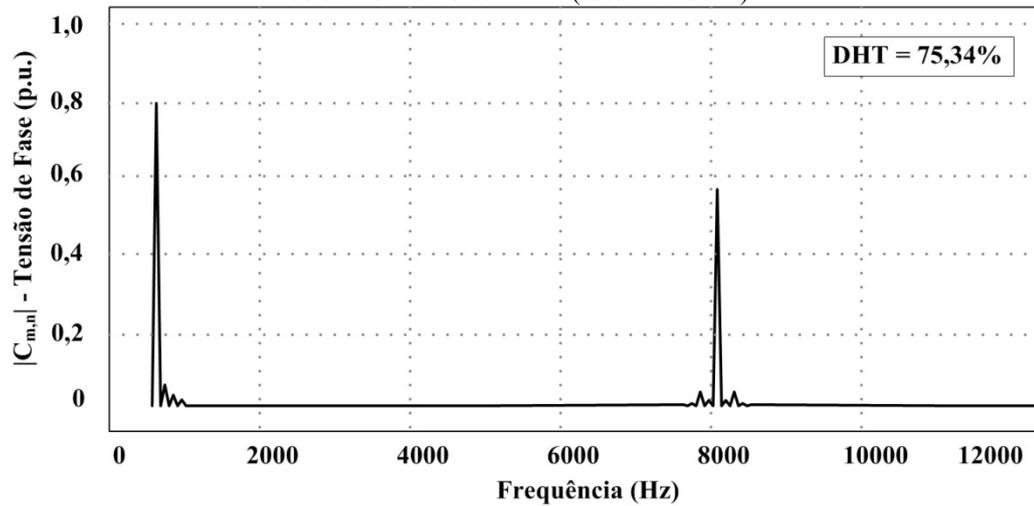
Tensão no Barramento	400 V
Índice de Modulação	0,8
Frequência de Chaveamento	4 kHz
Frequência da Fundamental	60 Hz

Fonte: Elaborada pelo autor.

Com os resultados do estudo teórico, são apresentadas as primeiras duzentas e nove harmônicas de tensão de fase e de linha, com um índice de modulação igual a 0,8 e frequência de 4 kHz, nas figuras 4.14 e 4.16, respectivamente, com a finalidade de compará-los com os resultados de simulação. Nas figuras 4.15 e 4.17, são mostradas as transformadas rápidas de *Fourier* da tensão de fase e de linha, respectivamente obtido por meio de simulação utilizando o *software* PSIM[®].

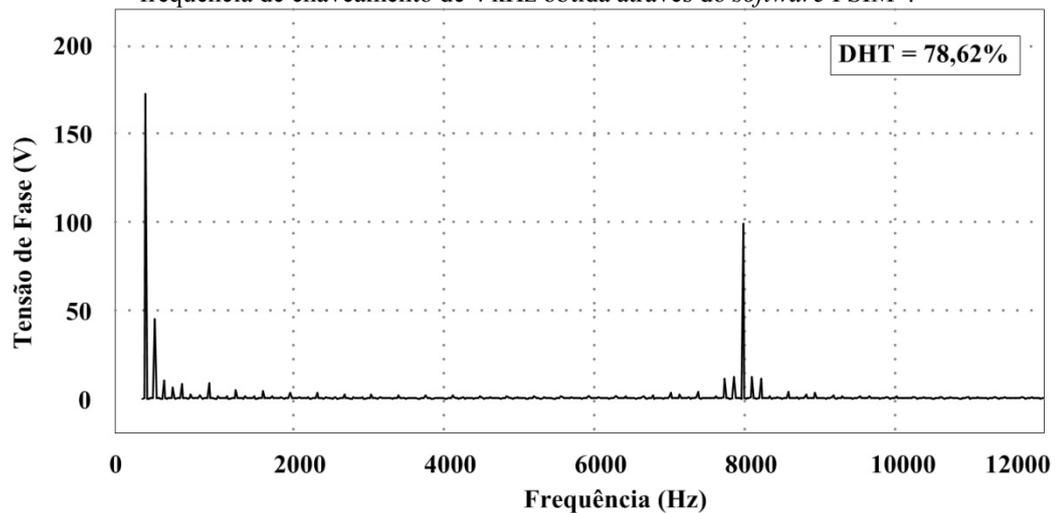
Nas figuras 4.18 e 4.19, são mostradas as comparações do estudo teórico com a simulação da tensão de fase e tensão de linha, respectivamente, onde se observa que há uma similaridade entre os resultados, validando o estudo apresentado.

Figura 4.14 – Componentes harmônicas calculadas da tensão de fase com índice de modulação 0,8 e frequência de chaveamento de 4 kHz (escala 1:200 V).



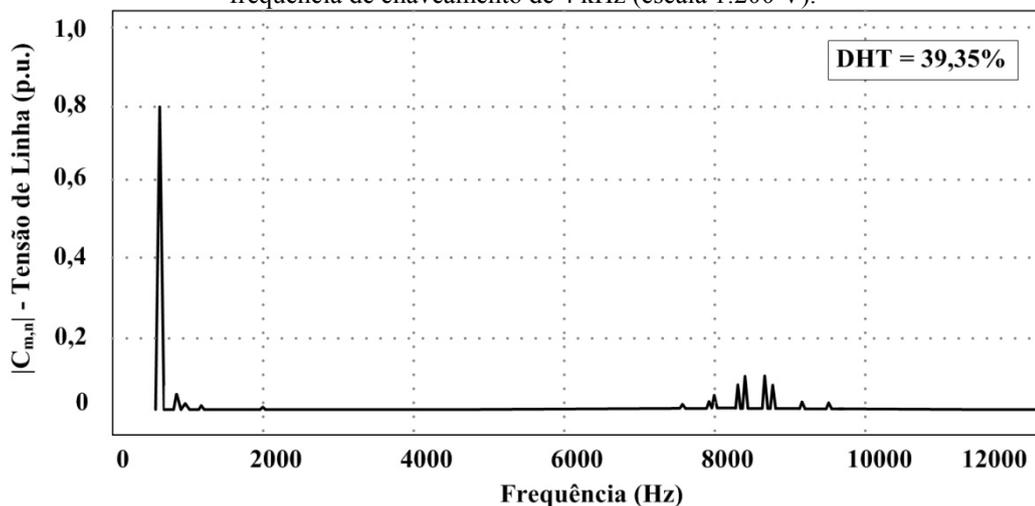
Fonte: Elaborada pelo autor.

Figura 4.15 – Transformada rápida de *Fourier* da tensão de fase na saída com índice de modulação 0,8 e frequência de chaveamento de 4 kHz obtida através do *software* PSIM[®].



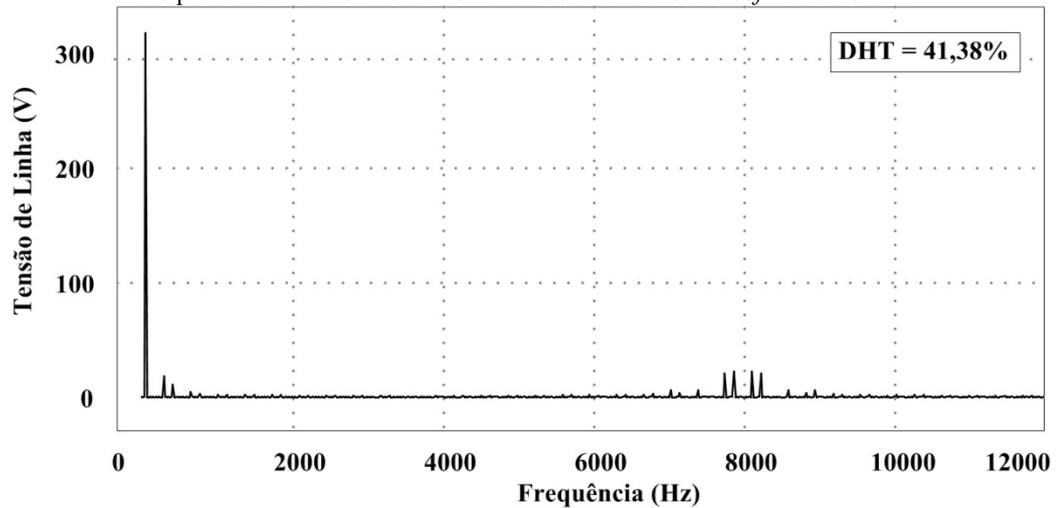
Fonte: Elaborada pelo autor.

Figura 4.16 – Componentes harmônicas calculadas da tensão de linha com índice de modulação 0,8 e frequência de chaveamento de 4 kHz (escala 1:200 V).



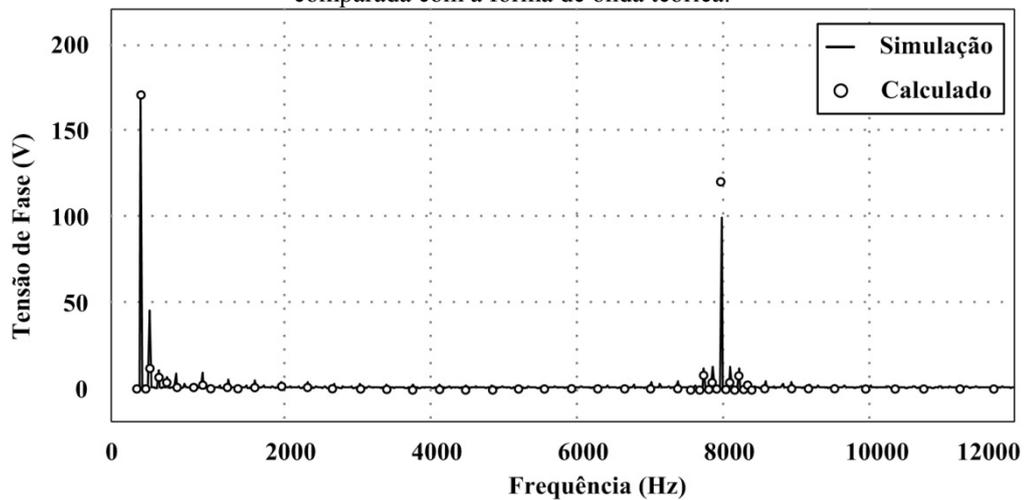
Fonte: Elaborada pelo autor.

Figura 4.17 – Transformada rápida de *Fourier* da tensão de linha na saída com índice de modulação 0,8 e frequência de chaveamento de 4 kHz obtida através do *software* PSIM®.



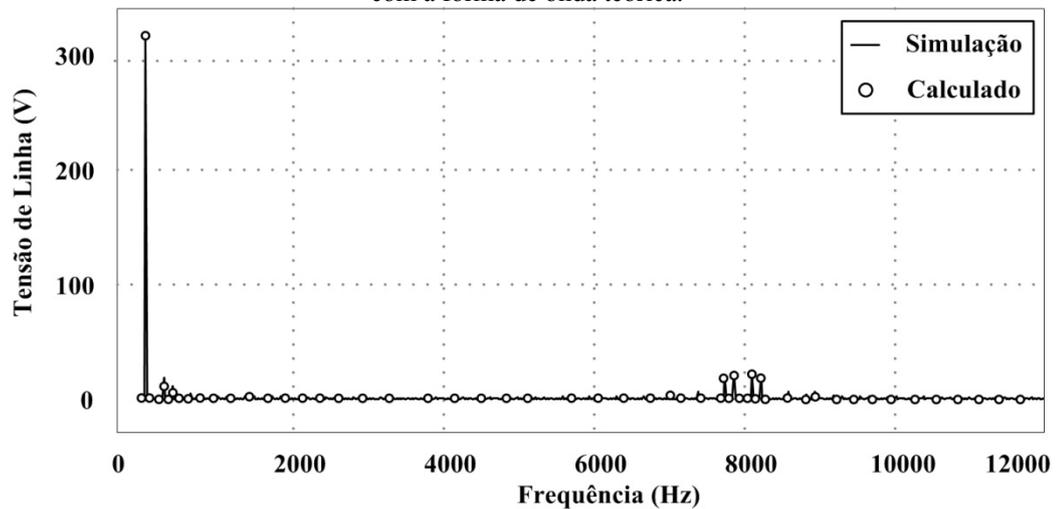
Fonte: Elaborada pelo autor.

Figura 4.18 – Transformada rápida de *Fourier* da tensão de fase na saída obtida através do *software* PSIM®, comparada com a forma de onda teórica.



Fonte: Elaborada pelo autor.

Figura 4.19 - Transformada rápida de *Fourier* da tensão de linha obtida através do *software* PSIM®, comparada com a forma de onda teórica.



Fonte: Elaborada pelo autor.

4.3 Considerações Finais

Neste capítulo foi apresentada a análise comparativa de DHT do inversor multinível trifásico com capacitor flutuante utilizando as técnicas de modulação PSPWM, LSPWM-POD, HE-PWM, CSV-PWM e a técnica de modulação proposta neste trabalho, a fim de se comprovar sua aplicação nas melhorias relativas à distorção harmônica da tensão de saída.

A análise teórica do DHT das tensões de saída foi feita utilizando-se um modelo matemático com células unitárias, a partir do estudo das portadoras e moduladoras da técnica proposta. Este estudo foi validado diante da semelhança de seus resultados obtidos com os resultados encontrados por meio da simulação via *software* PSIM[®].

5 RESULTADOS EXPERIMENTAIS

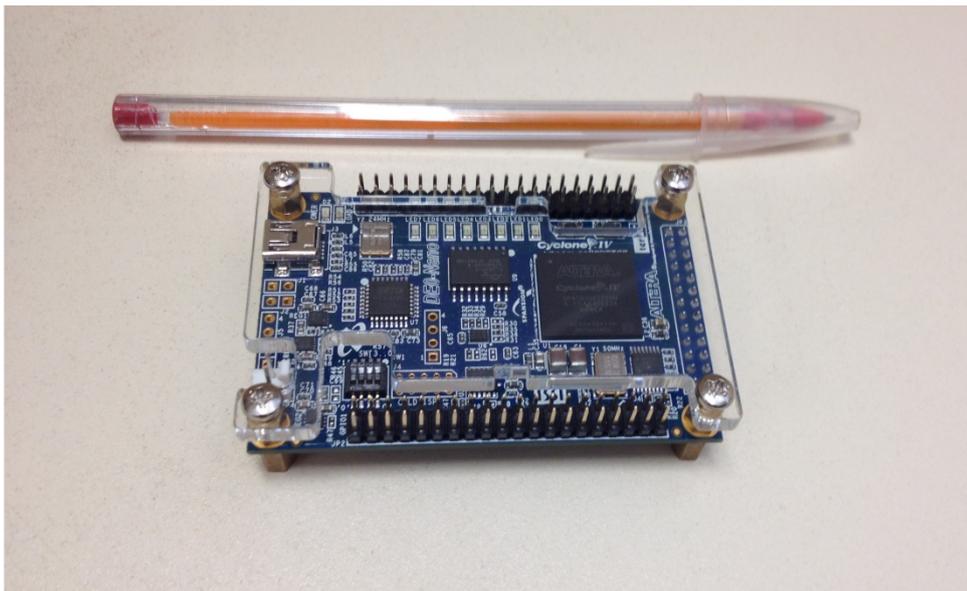
5.1 Introdução

Neste capítulo serão apresentados os resultados experimentais referentes às estratégias de modulação, ou seja, da implementação digital das portadoras e moduladoras apresentadas no capítulo 2, bem como os resultados experimentais referentes ao funcionamento da topologia de inversor multinível com capacitor flutuante de três níveis operando com a modulação proposta. As técnicas de modulação foram implementadas em um dispositivo FPGA ALTERA® da família Cyclone IV, modelo EP4CE22F17C6N, mostrado na figura 5.1.

Para a técnica de modulação proposta serão mostrados os resultados com frequência de chaveamento de 4 kHz, para comparação com a HE-PWM, e 1080 Hz, devido a maior utilização dessa ordem em aplicações industriais.

São apresentadas as principais formas de onda de tensões e correntes nos interruptores, bem como na saída, desempenho do DHT, WTHD e as curvas de rendimento para as diferentes combinações de técnicas de modulação, concluindo, assim, a análise experimental do sistema.

Figura 5.1 – FPGA ALTERA® da família Cyclone IV, modelo EP4CE22F17C6N.



Fonte: Elaborada pelo autor.

5.2 Resultados experimentais das técnicas de modulação

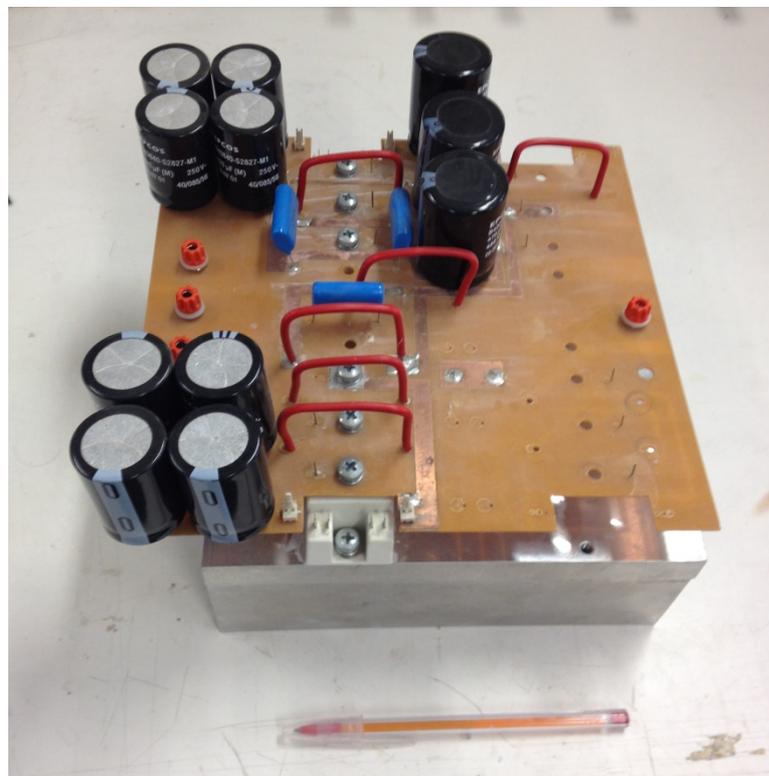
Neste tópico serão apresentados os resultados experimentais relativos à digitalização das portadoras e moduladoras discutidas nos capítulos 1 e 2. Na tabela 5.1 são apresentadas as especificações do inversor multinível trifásico com capacitor flutuante de três níveis e na figura 5.2 é mostrado o protótipo experimental de um braço do inversor.

Tabela 5.1 – Parâmetro de projeto do inversor trifásico com capacitor flutuante de três níveis.

Potência ativa na saída por fase (P_o)	2 kW
Tensão no barramento (V_{CC})	400 V
Frequência de chaveamento (f_s)	4 kHz e 1080 Hz
Fator de potência da carga (FP)	0,92
Frequência da tensão de saída (f_o)	60 Hz
Máximo índice de modulação (M_{imax})	0,8

Fonte: Elaborada pelo autor.

Figura 5.2 – Protótipo experimental de um braço do inversor.

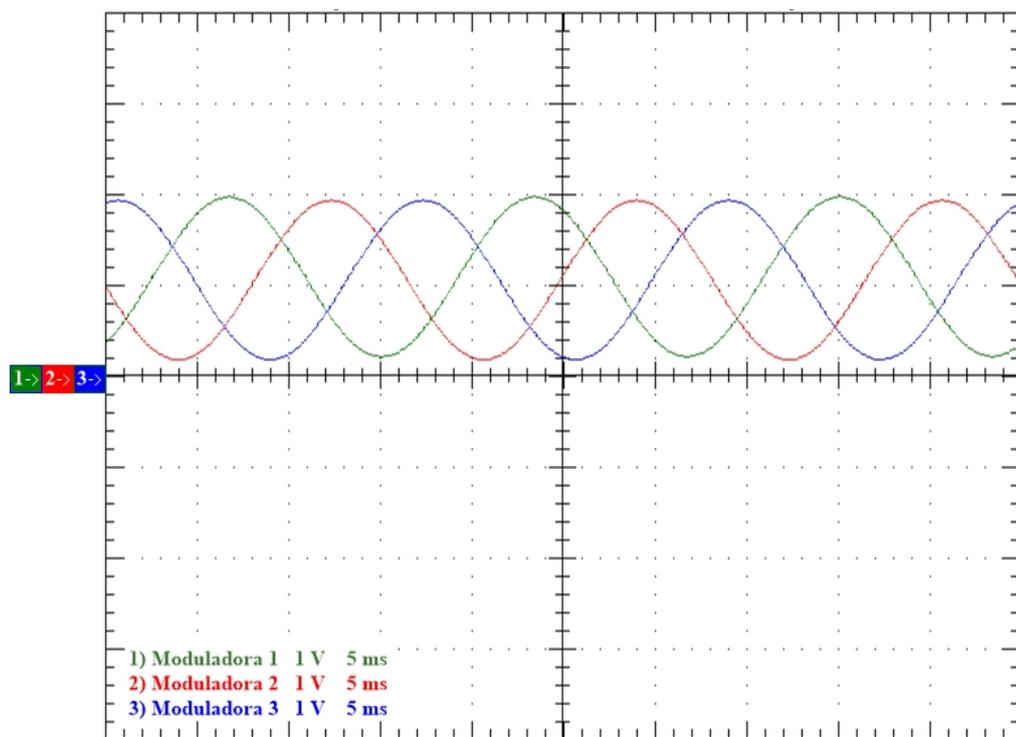


Fonte: Elaborada pelo autor.

5.2.1 Moduladoras

Na figura 5.3 são apresentadas as moduladoras utilizadas para comparação com as portadoras das modulações PSPWM, LSPWM-POD e HE-PWM, na qual pode ser observado o defasamento de 120 graus elétricos, frequência em 60 Hz e a ausência de deformações nas mesmas. Nesta forma de onda, os valores da tabela da senóide estão arbitrados para um índice de modulação igual a 0,8.

Figura 5.3 – Forma de onda das moduladoras das técnicas de modulação PSPWM, LSPWM-POD e HE-PWM.

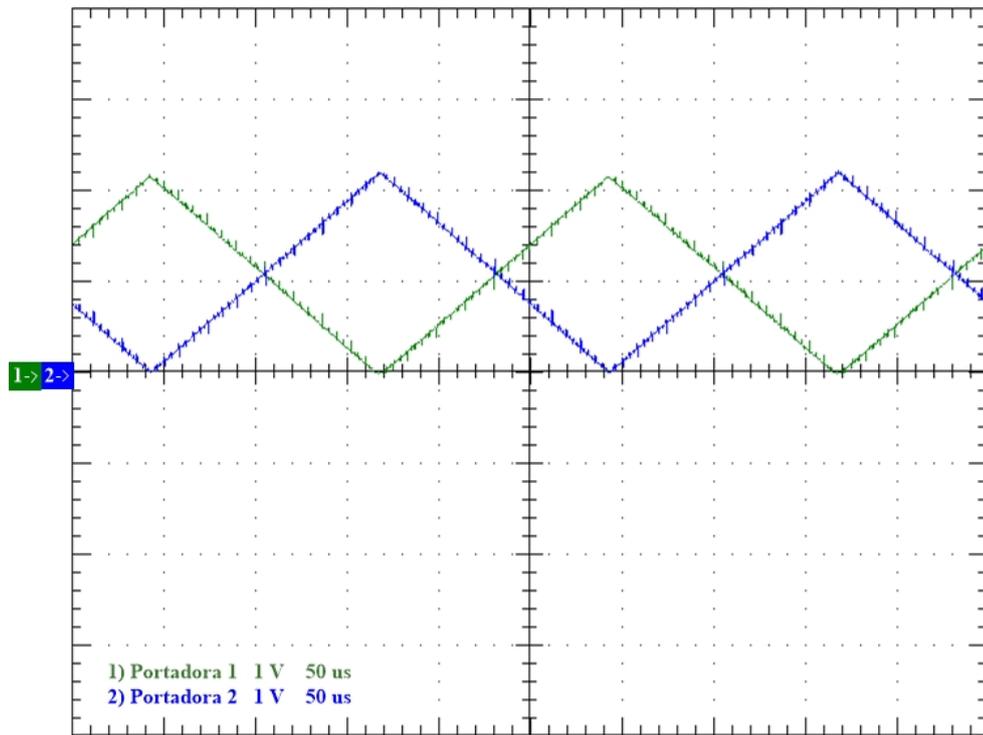


Fonte: Elaborada pelo autor.

5.2.2 Modulação PSPWM

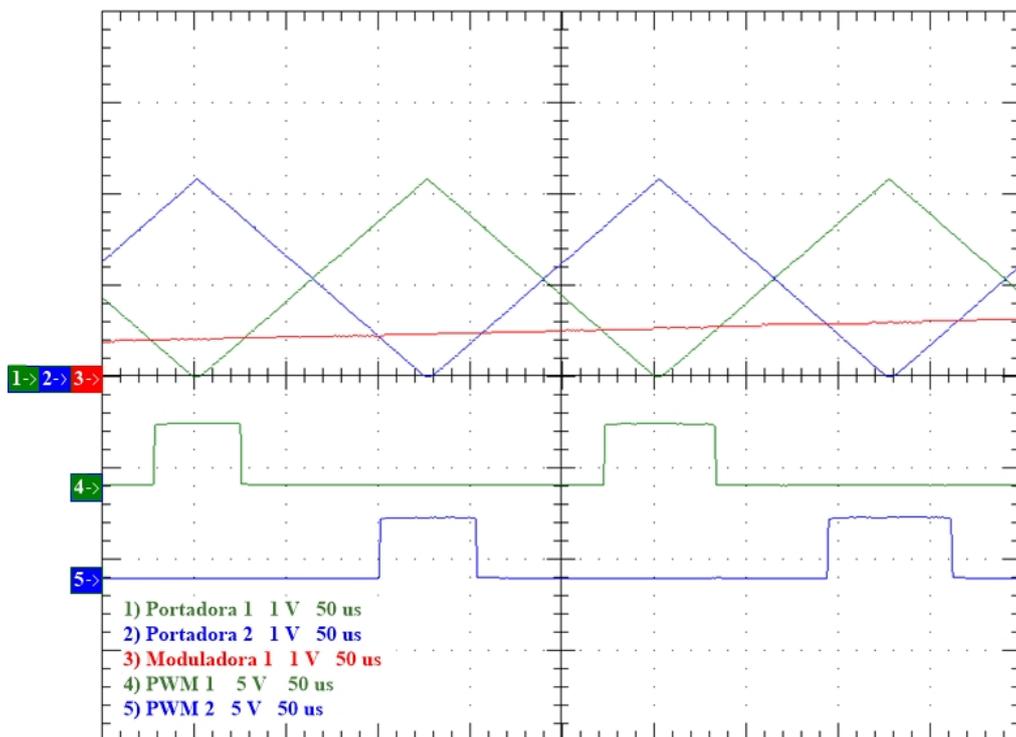
Na figura 5.4 são mostradas as portadoras utilizadas na modulação PSPWM e na figura 5.5 pode ser visualizada a geração dos pulsos relativos a um dos braços do inversor, resultantes da comparação entre as portadoras e uma das moduladoras. Além disso, na figura 5.5, o pulso do canal 4, denominado PWM 1, refere-se aos sinais dos interruptores S_{X1} e $\overline{S_{X1}}$, enquanto o canal 5, denominado PWM 2, refere-se aos sinais dos interruptores S_{X2} e $\overline{S_{X2}}$. É importante mencionar que a frequência das portadoras é de 4 kHz, como desejado.

Figura 5.4 – Formas de onda das portadoras da modulação PSPWM.



Fonte: Elaborada pelo autor.

Figura 5.5 – Geração dos pulsos dos interruptores na modulação PSPWM.



Fonte: Elaborada pelo autor.

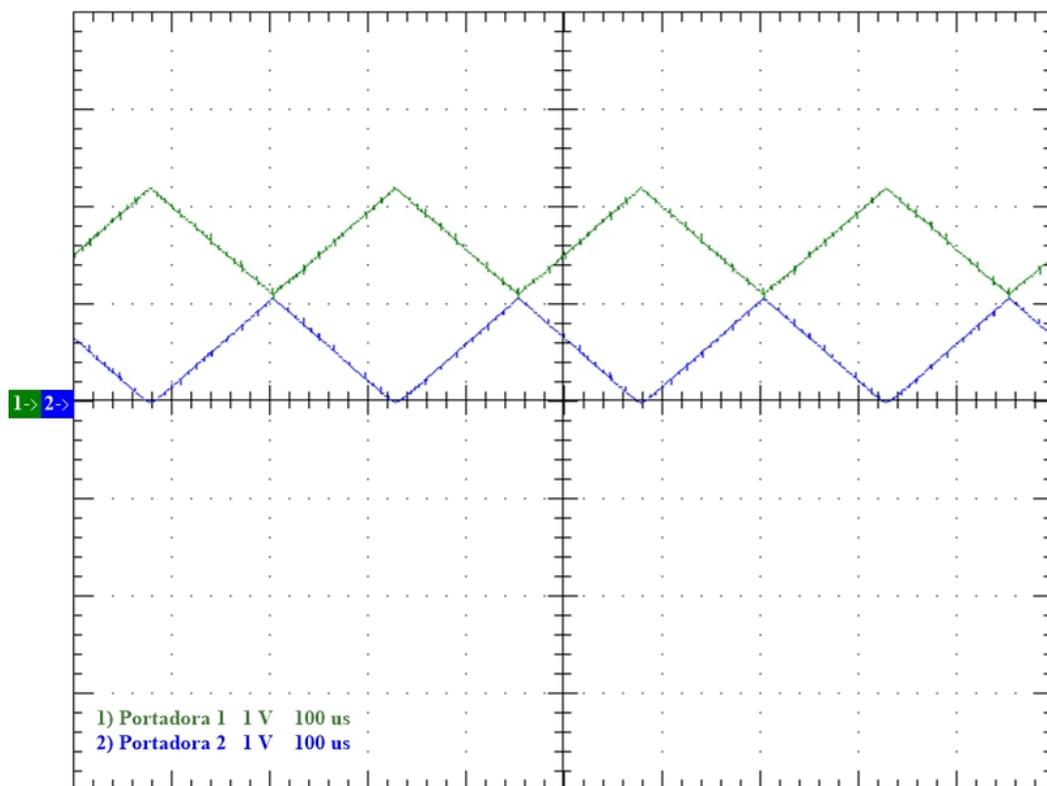
5.2.3 Modulação LSPWM-POD

Na figura 5.6 são apresentadas as formas de onda das portadoras referentes à técnica de modulação LSPWM-POD obtidas através do FPGA. Nesta figura é possível perceber a frequência de 4 kHz de cada portadora como especificado e também a disposição das mesmas em níveis de tensão. A portadora P_1 varia entre $V_P/2$ e V_P e a portadora P_2 varia entre 0 e $V_P/2$.

As figuras 5.7 e 5.8 mostram a geração dos pulsos da mesma modulação para um dos braços do inversor através da comparação das portadoras com uma das moduladoras para cada uma das duas possíveis condições. No canal 4 são mostrados os pulsos gerados para os interruptores S_{X1} e $\overline{S_{X1}}$, enquanto no canal 5 refere-se aos sinais dos interruptores S_{X2} e $\overline{S_{X2}}$.

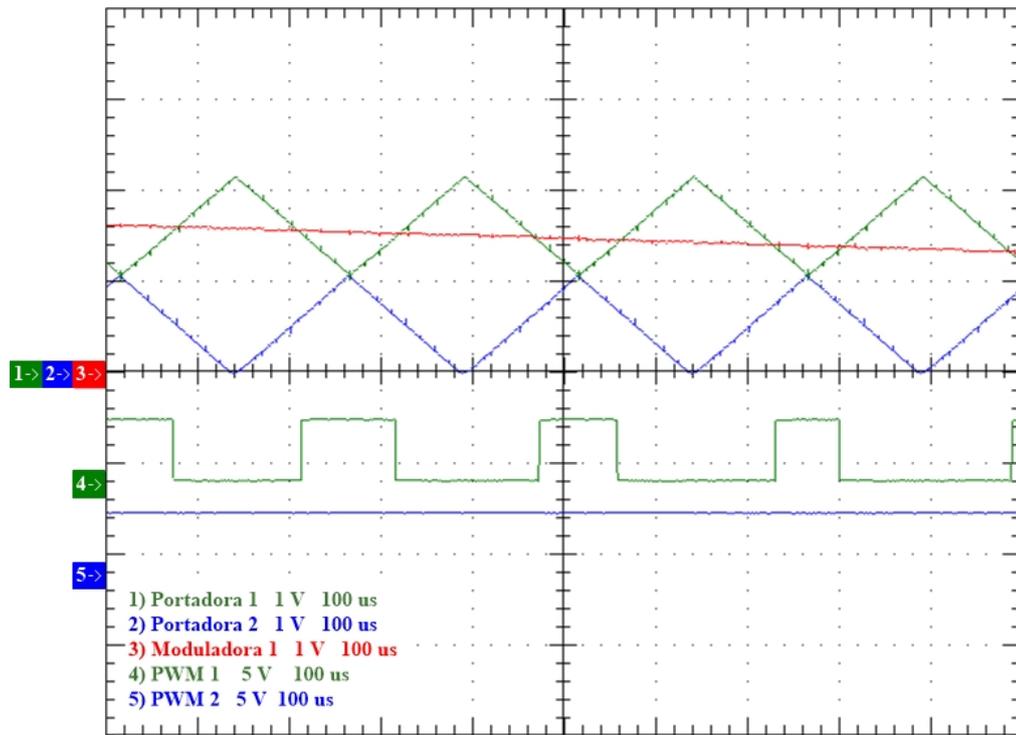
Analisando a figura 5.7, percebe-se que a moduladora cruza apenas com a portadora de cima, acarretando na comutação dos interruptores S_{X1} e $\overline{S_{X1}}$, e mantendo o interruptor S_{X2} ligado e $\overline{S_{X2}}$, desligado. Já na figura 5.8, a moduladora é comparada apenas com a portadora do canal 2, de forma que os interruptores S_{X2} e $\overline{S_{X2}}$ operam complementarmente, enquanto S_{X1} fica ligado e $\overline{S_{X1}}$, desligado.

Figura 5.6 – Formas de onda das portadoras da modulação LSPWM-POD.



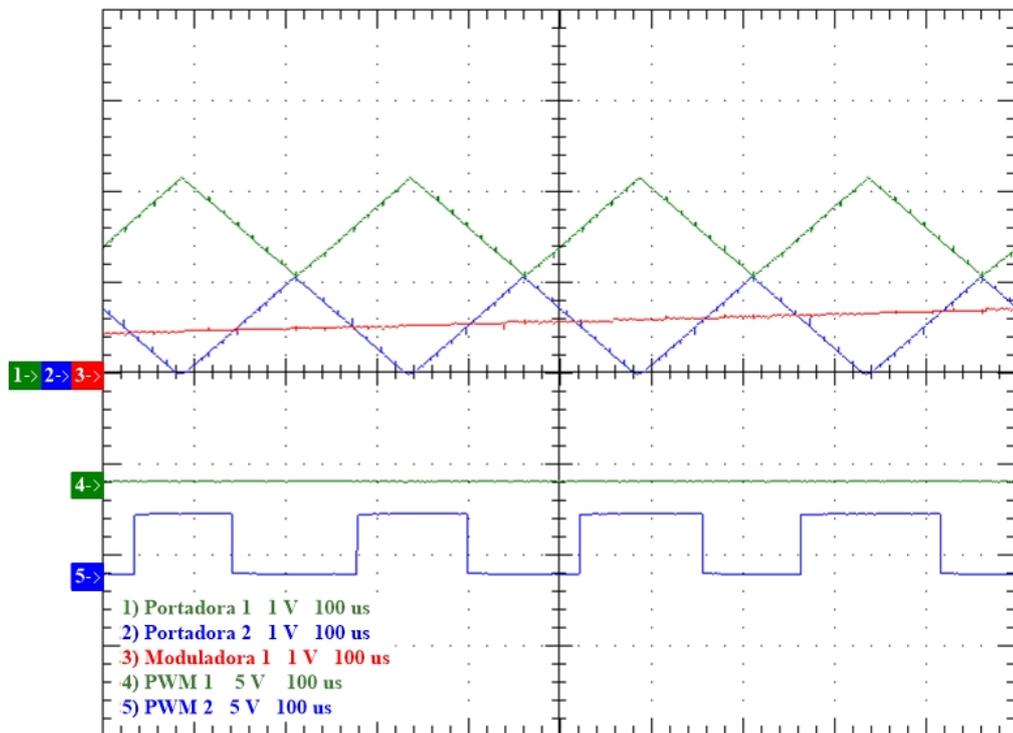
Fonte: Elaborada pelo autor.

Figura 5.7 – Geração dos pulsos dos interruptores na modulação LSPWM-POD com moduladora entre $V_p/2$ e V_p .



Fonte: Elaborada pelo autor.

Figura 5.8 – Geração dos pulsos dos interruptores na modulação LSPWM-POD com moduladora entre 0 e $V_p/2$.

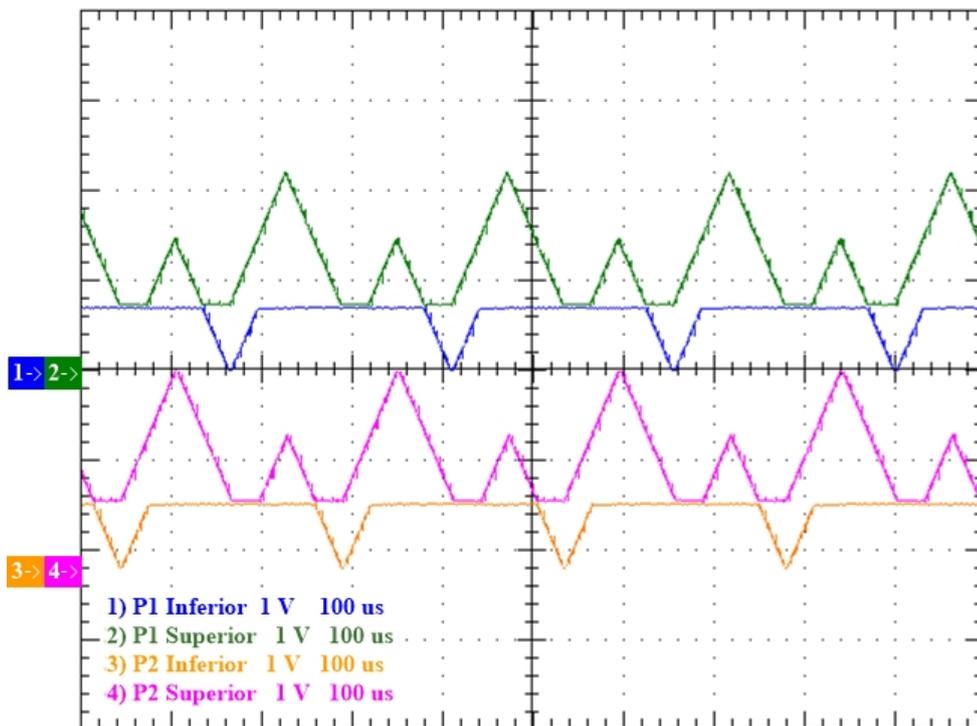


Fonte: Elaborada pelo autor.

5.2.4 Modulação HE-PWM

A figura 5.9 apresenta as formas de onda das portadoras da técnica de modulação HE-PWM geradas a partir do FPGA. Nesta figura é possível perceber a frequência de 4 kHz e a disposição em níveis de tensão de cada portadora, como também a defasagem de 120 graus elétricos entre as mesmas.

Figura 5.9 – Formas de onda das portadoras da modulação HE-PWM.



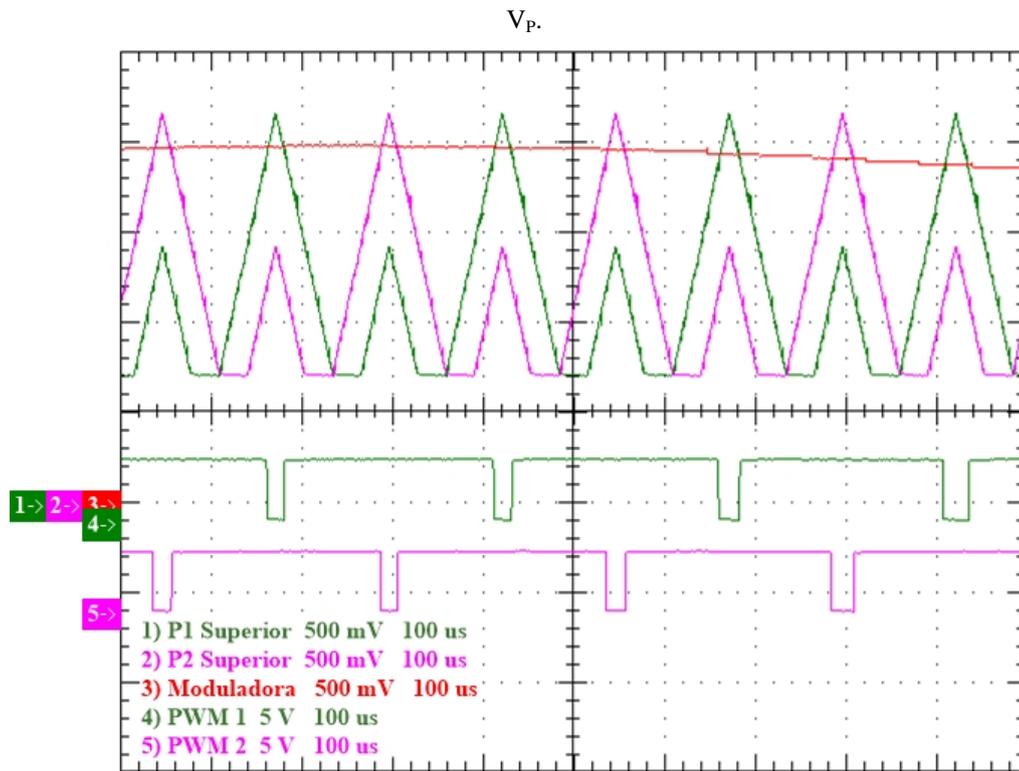
Fonte: Elaborada pelo autor.

Nas figuras 5.10, 5.11 e 5.12 é mostrada, respectivamente, a geração dos pulsos da mesma modulação para um dos braços do inversor através da comparação das portadoras com uma das moduladoras para cada uma das três possíveis condições:

- Moduladora está entre $2V_p/3$ e V_p ;
- Moduladora está entre $V_p/3$ e $2V_p/3$;
- Moduladora está entre 0 e $V_p/3$.

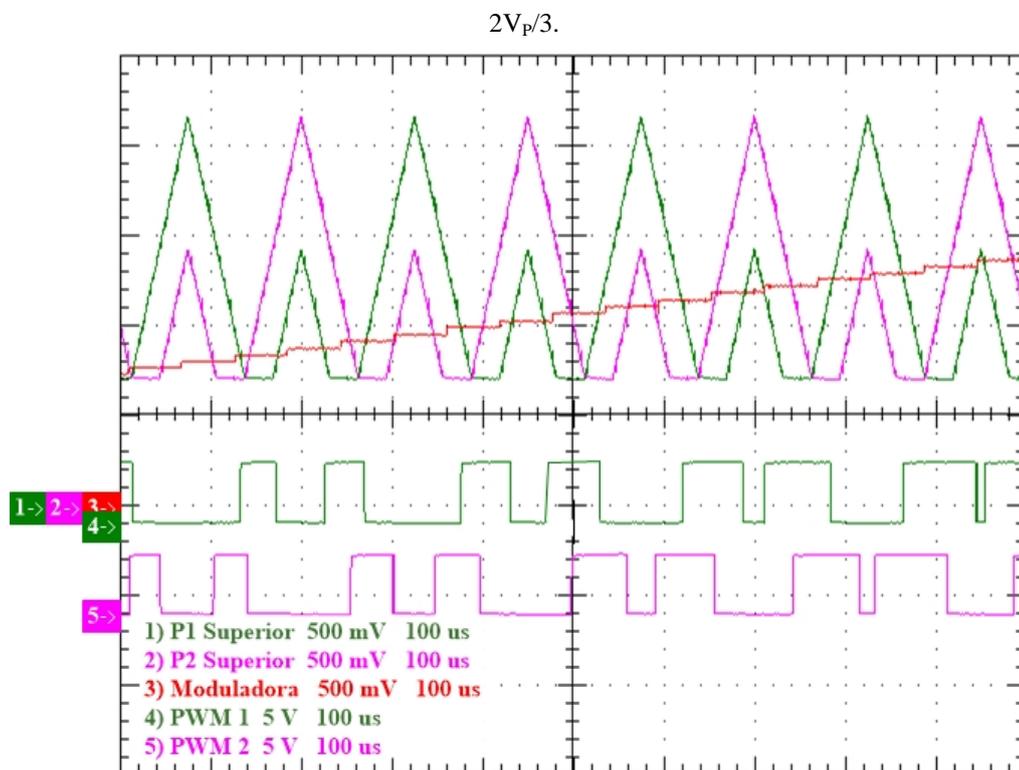
No canal 4 são mostrados os pulsos gerados para os interruptores S_{X1} e $\overline{S_{X1}}$, enquanto no canal 5 refere-se aos sinais dos interruptores S_{X2} e $\overline{S_{X2}}$.

Figura 5.10 – Geração dos pulsos dos interruptores na modulação HE-PWM com a moduladora entre $2V_p/3$ e



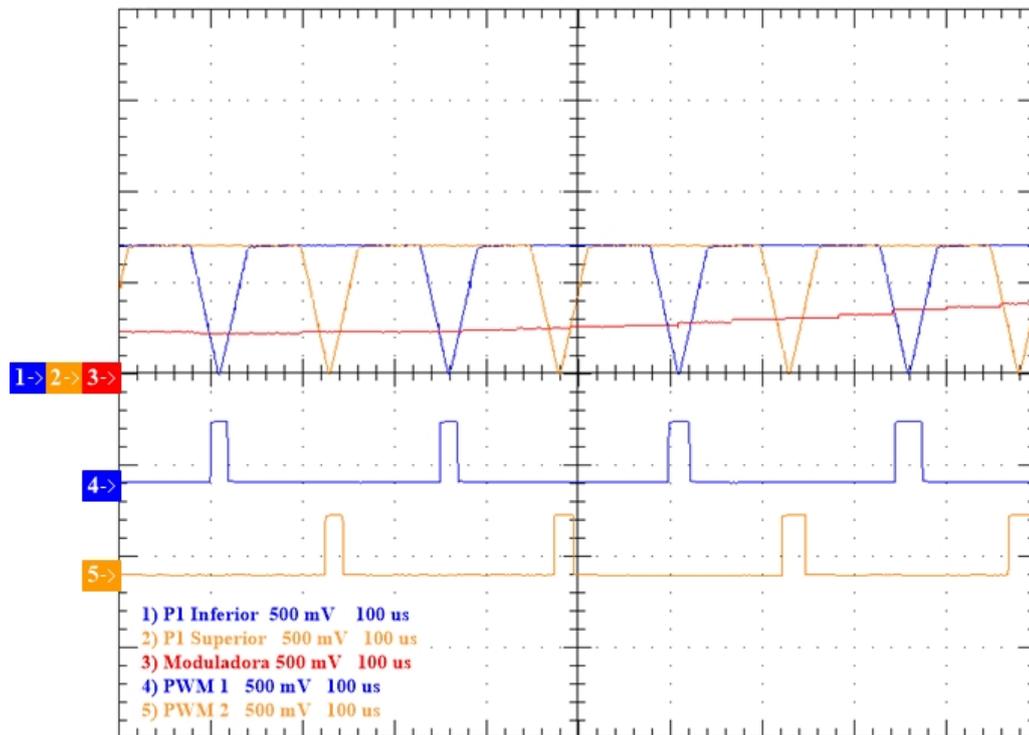
Fonte: Elaborada pelo autor.

Figura 5.11 – Geração dos pulsos dos interruptores na modulação HE-PWM com a moduladora entre $V_p/3$ e



Fonte: Elaborada pelo autor.

Figura 5.12 – Geração dos pulsos dos interruptores na modulação HE-PWM com a moduladora entre 0 e $V_p/3$.



Fonte: Elaborada pelo autor.

5.2.5 Modulação CSV-PWM

Na figura 5.13 são mostradas as moduladoras utilizadas na modulação CSV-PWM e na figura 5.14 pode ser visualizada a geração dos pulsos relativos a um dos braços do inversor, resultantes da comparação entre as portadoras e uma das moduladoras. É relevante mencionar que a portadora utilizada nesta técnica é a mesma da modulação PSPWM, com portadoras triangulares e defasadas entre si em 180 graus elétricos.

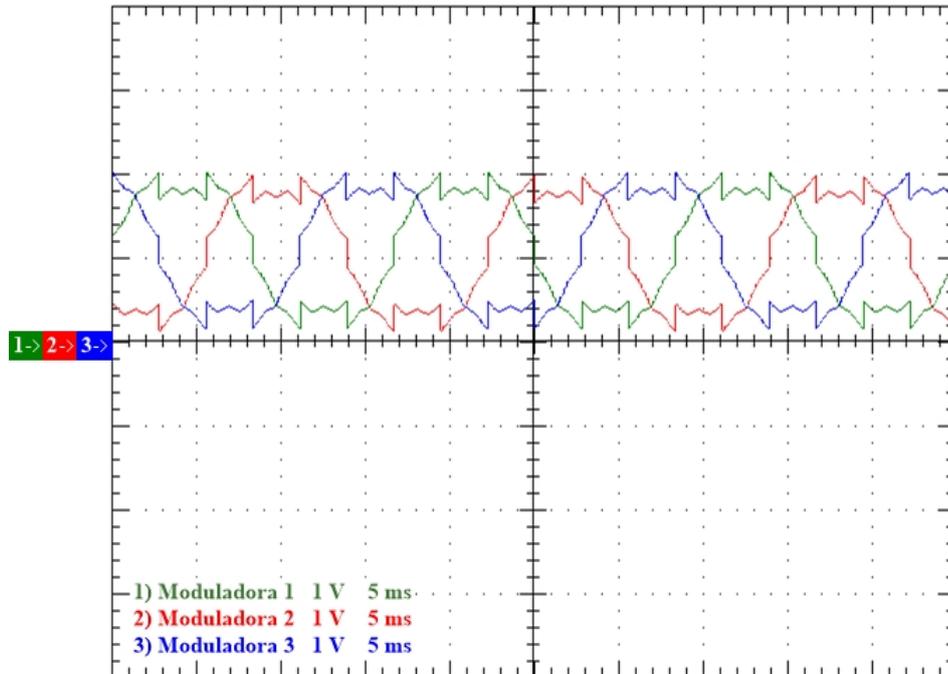
Além disso, na figura 5.14, o pulso do canal 4 refere-se aos sinais dos interruptores S_{X1} e $\overline{S_{X1}}$, enquanto o canal 5 refere-se aos sinais dos interruptores S_{X2} e $\overline{S_{X2}}$. É importante mencionar que a frequência das portadoras é de 4 kHz, como desejado.

5.2.6 Modulação proposta

As figuras das formas de onda da técnica de modulação foram suprimidas pelo fato das portadoras serem idênticas às da modulação HE-PWM, figura 5.9, e das moduladoras serem idênticas às da modulação CSV-PWM, figura 5.13. As figuras 5.15, 5.16 e 5.17 mostram a geração dos pulsos da mesma modulação para um dos braços do inversor

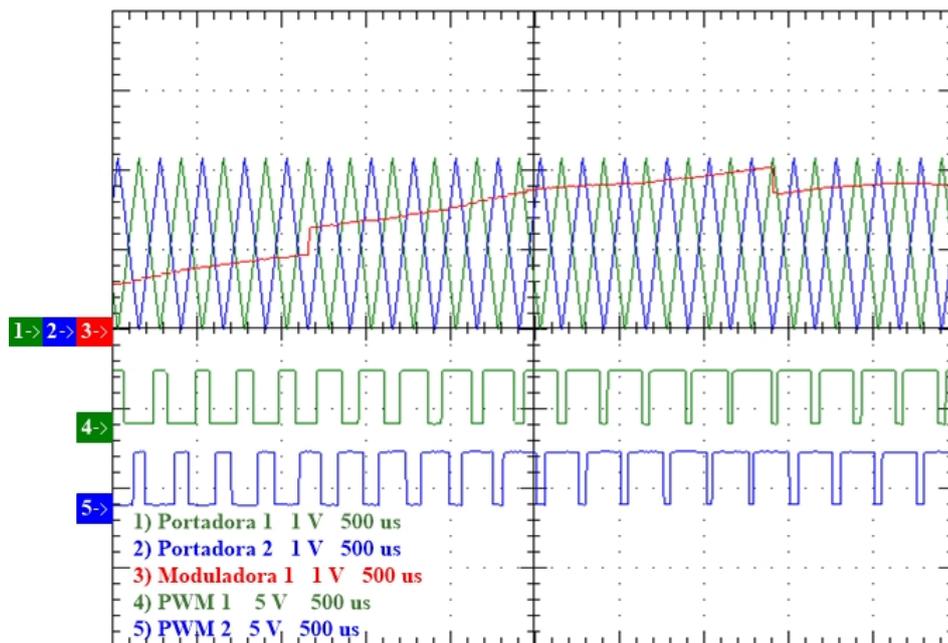
através da comparação das portadoras com uma das moduladoras para cada uma das três possíveis condições. No canal 4 são mostrados os pulsos gerados para os interruptores S_{X1} e $\overline{S_{X1}}$, enquanto no canal 5 é referido aos sinais dos interruptores S_{X2} e $\overline{S_{X2}}$.

Figura 5.13 – Formas de onda das moduladoras da modulação CSV-PWM.



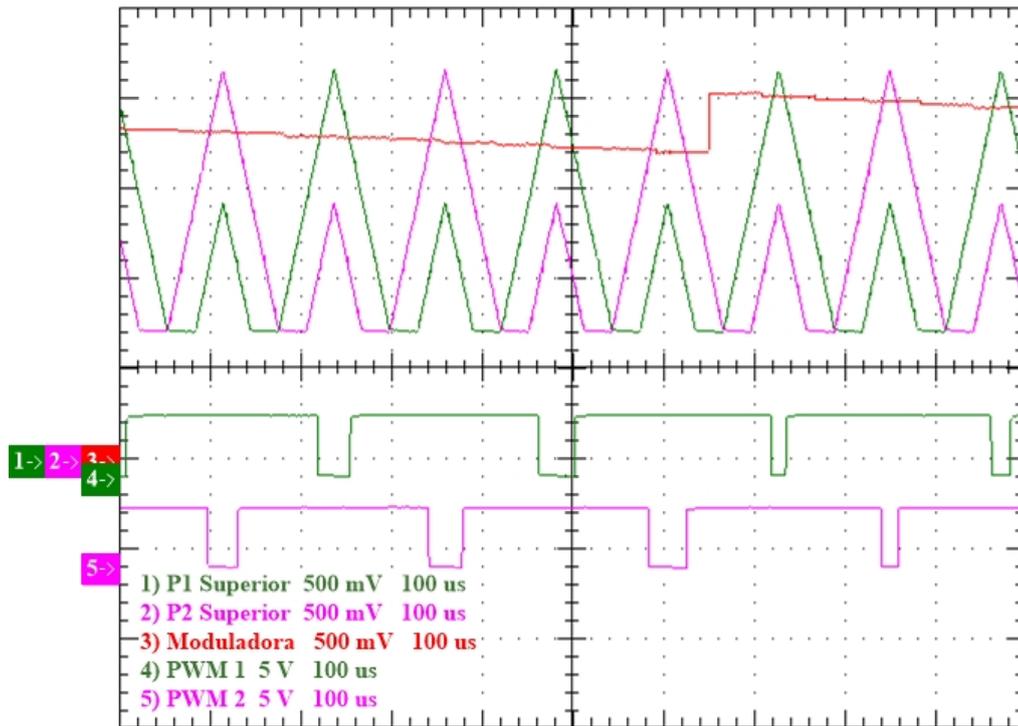
Fonte: Elaborada pelo autor.

Figura 5.14 – Geração dos pulsos dos interruptores na modulação CSV-PWM.



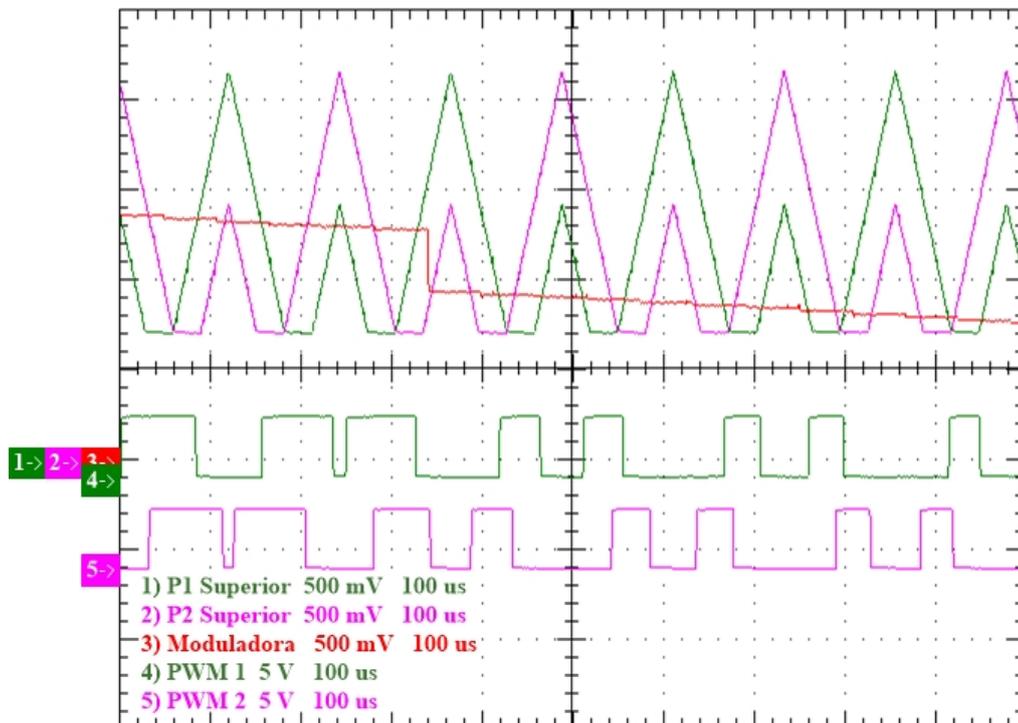
Fonte: Elaborada pelo autor.

Figura 5.15 – Geração dos pulsos dos interruptores na modulação proposta com a moduladora entre $2V_p/3$ e V_p .



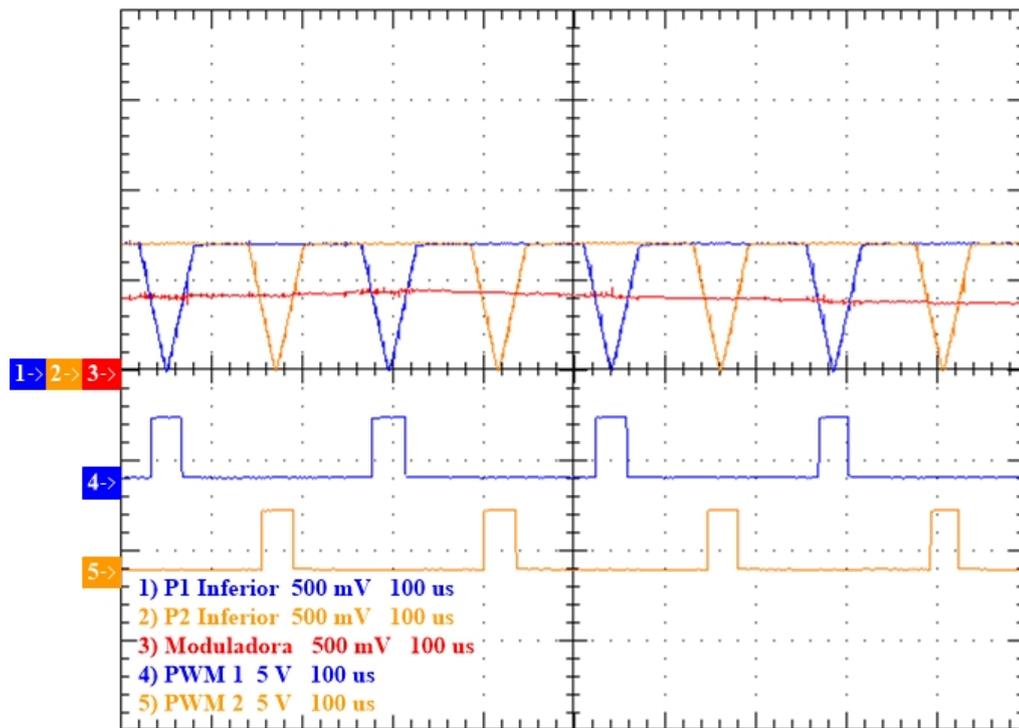
Fonte: Elaborada pelo autor.

Figura 5.16 – Geração dos pulsos dos interruptores na modulação proposta com a moduladora entre $V_p/3$ e $2V_p/3$.



Fonte: Elaborada pelo autor.

Figura 5.17 – Geração dos pulsos dos interruptores na modulação proposta com a moduladora entre 0 e $V_p/3$.



Fonte: Elaborada pelo autor.

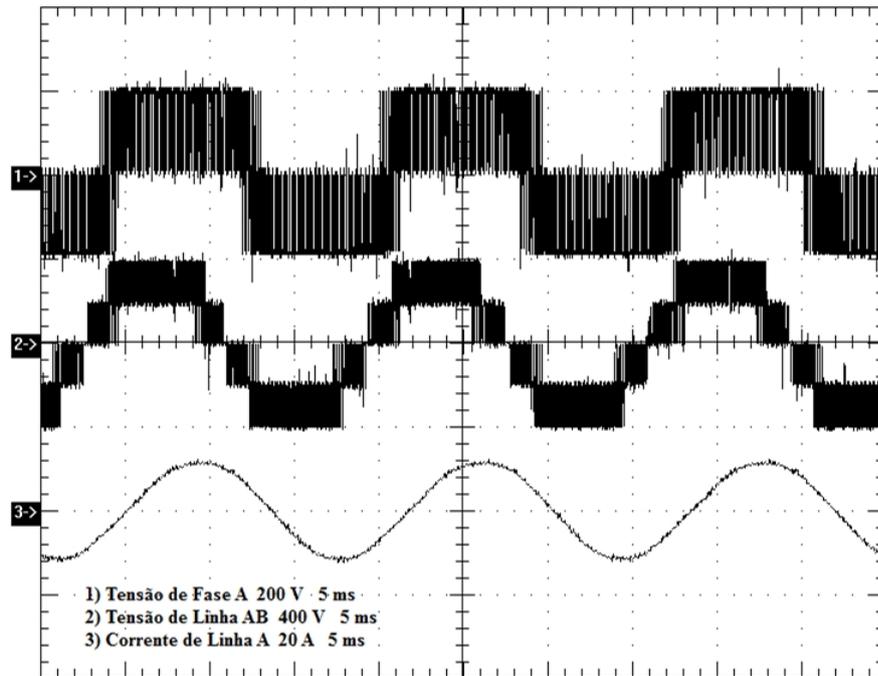
5.3 Resultados experimentais do inversor com a técnica de modulação proposta

Neste tópico são apresentados os resultados experimentais referentes ao inversor multinível trifásico de capacitor flutuante operando com a modulação proposta neste trabalho com os parâmetros mostrados na tabela 5.1 e para as duas condições de frequência de chaveamento: 4 kHz e 1080 Hz. Estes valores foram adotados, pois se pretende comparar a técnica proposta com a HE-PWM, a qual foi desenvolvida para operar em 4 kHz, já a 1080 Hz, se justifica pela maior utilização dessa ordem de frequência em aplicações industriais.

Deve-se mencionar que, para comprovar o correto funcionamento da modulação proposta na topologia com capacitor flutuante, serão mostradas as tensões de fase, as tensões de linha e as correntes de linha, como nas figuras a seguir.

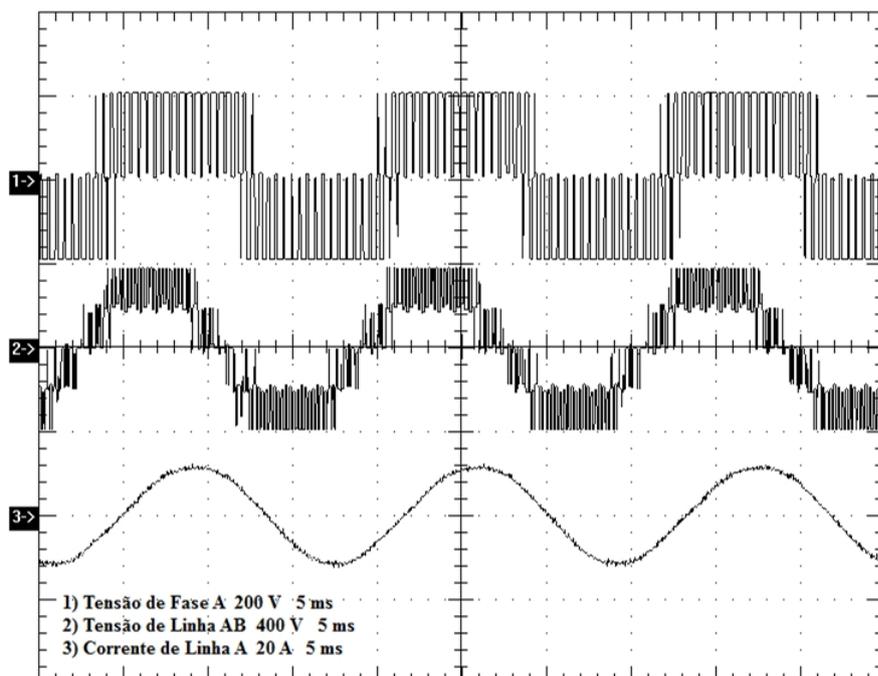
Nas figuras 5.18 e 5.19 são apresentadas as formas de tensão de saída na fase A, tensão de linha entre as fases A e B e a corrente de linha na fase A para a estrutura FC. É possível perceber a presença de três níveis na tensão de fase em ± 200 V e 0 V, cinco níveis nas tensões de linha em ± 400 V, ± 200 V e 0 V e a defasagem da corrente em, aproximadamente, 23 graus elétricos em relação a tensão de fase devido ao fator de potência da carga.

Figura 5.18 – Formas de onda da tensão na fase A, tensão de linha entre fases A e B e corrente na fase A para frequência de chaveamento de 4 kHz.



Fonte: Elaborada pelo autor.

Figura 5.19 – Formas de onda da tensão na fase A, tensão de linha entre fases A e B e corrente na fase A para frequência de chaveamento de 1080 Hz.

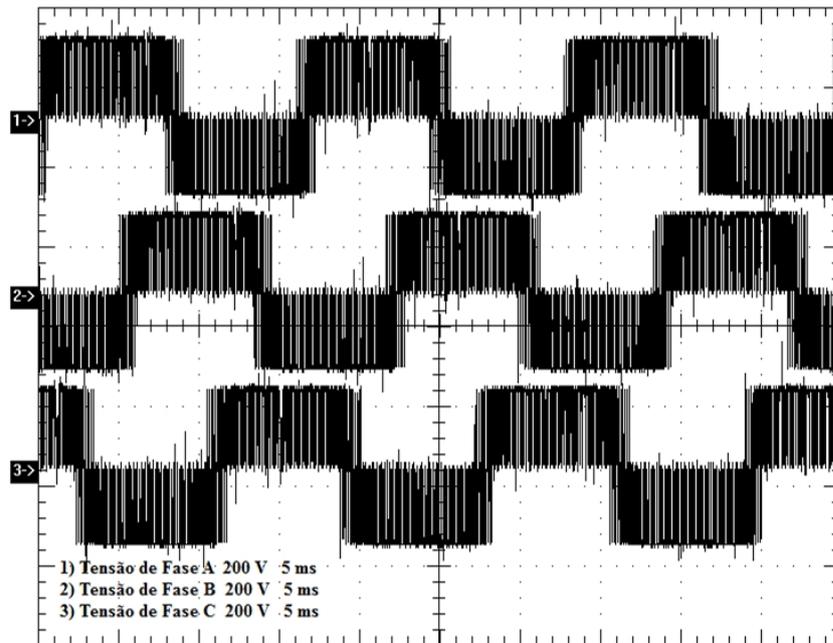


Fonte: Elaborada pelo autor.

Nas figuras 5.20 e 5.21 são mostradas as tensões nas três fases do mesmo inversor, onde se observa as formas de onda das mesmas sem deformações, assim como as

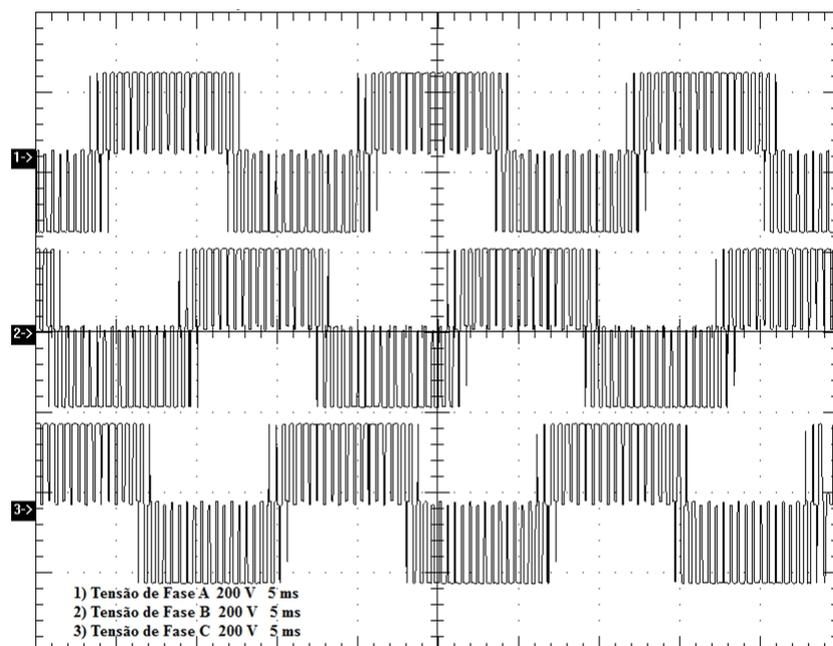
defasagens entre si em 120 graus elétricos e suas frequências em 60 Hz, além da presença dos três níveis: nível positivo de 200 V, nível zero de 0 V e o negativo em -200 V, cujos valores são equivalentes à metade do barramento.

Figura 5.20 – Formas de onda das tensões de fase na saída do inversor FC para frequência de chaveamento de 4 kHz.



Fonte: Elaborada pelo autor.

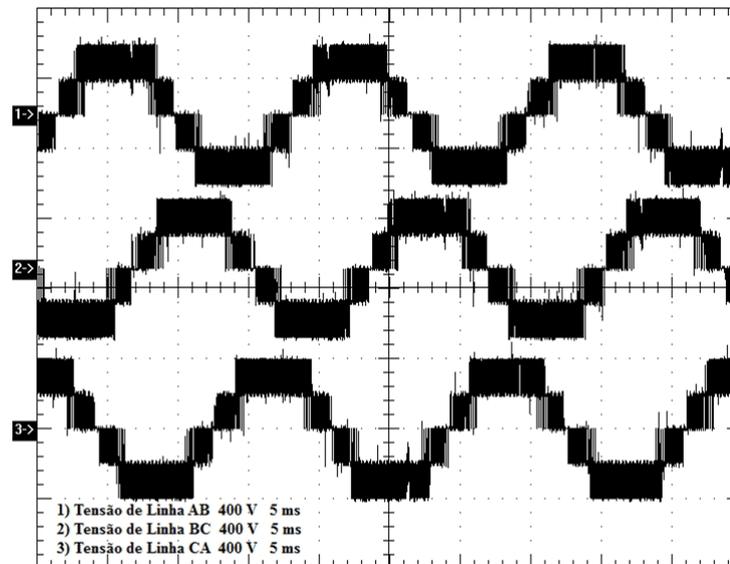
Figura 5.21 – Formas de onda das tensões de fase na saída do inversor FC para frequência de chaveamento de 1080 Hz.



Fonte: Elaborada pelo autor.

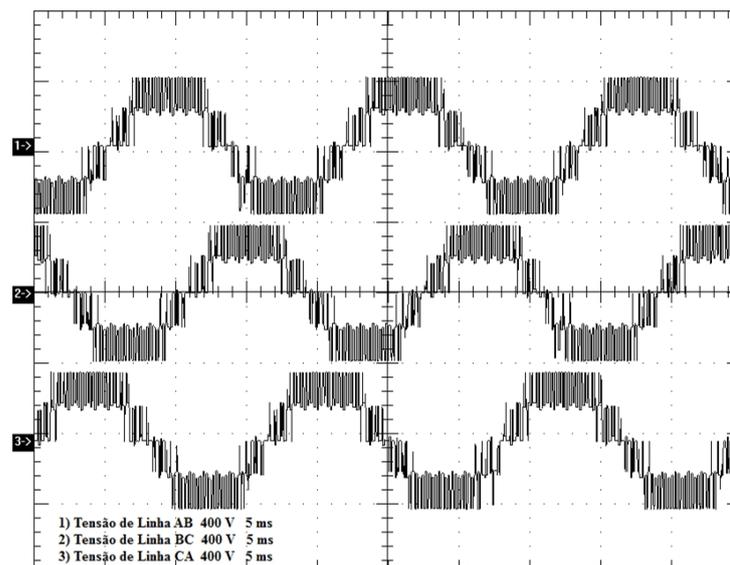
Já nas figuras 5.22 e 5.23 são mostradas as três tensões de linha do inversor FC, com um índice de modulação de 0,8, onde se observa que as formas de onda não há a presença de deformações, assim como as defasagens entre si em 120 graus elétricos e suas frequências em 60 Hz, além da presença dos cinco níveis: níveis positivos de 400 V e 200 V, nível zero de 0 V e os negativos em -200 V e -400 V, cujos valores são iguais à tensão do barramento.

Figura 5.22 – Formas de onda das tensões de linha na saída do inversor FC para frequência de chaveamento de 4 kHz.



Fonte: Elaborada pelo autor.

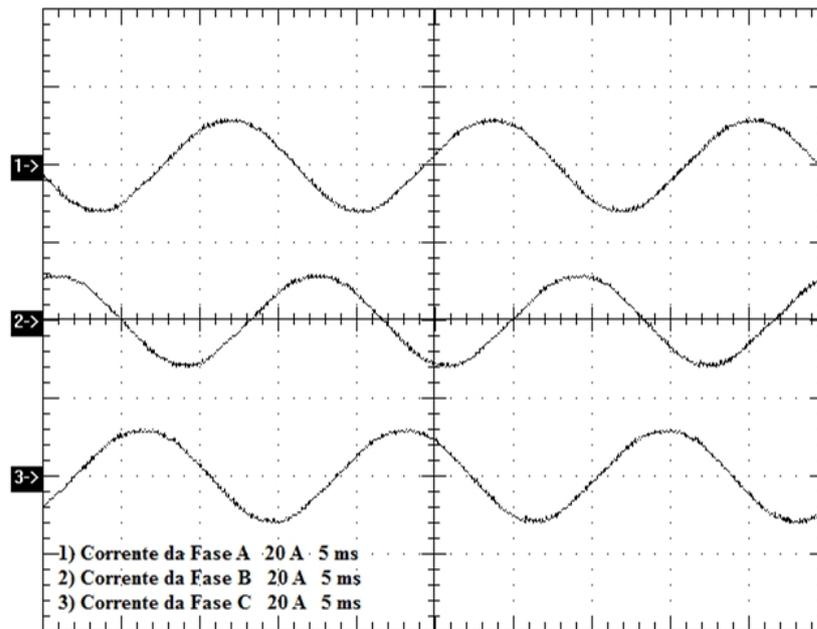
Figura 5.23 – Formas de onda das tensões de linha na saída do inversor FC para frequência de chaveamento de 1080 Hz.



Fonte: Elaborada pelo autor.

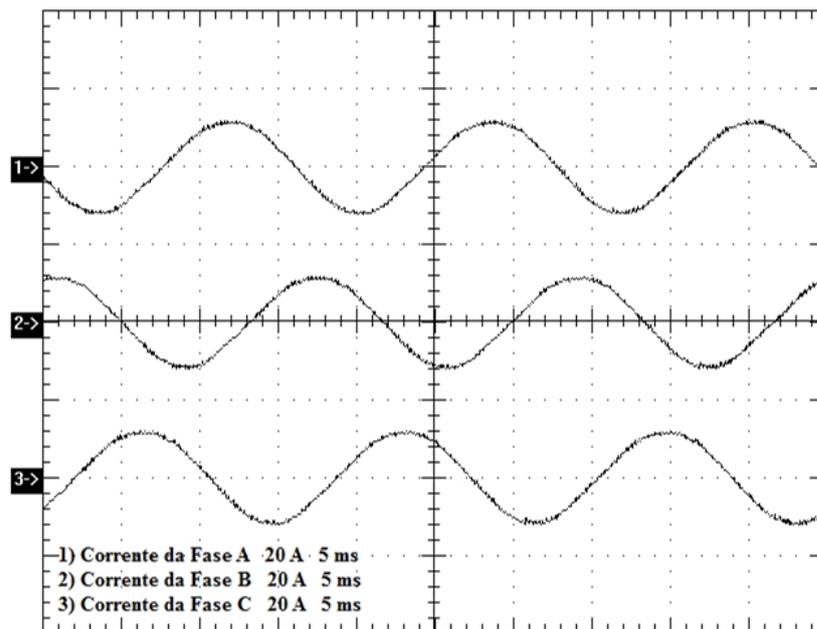
Nas figuras 5.24 e 5.25 são mostradas as três correntes de linha do inversor FC, onde se observa que as formas de onda não há a presença de deformações, além de estarem corretamente defasadas e em frequência de 60 Hz.

Figura 5.24 – Formas de onda das correntes de linha na saída do inversor FC para frequência de chaveamento de 4 kHz.



Fonte: Elaborada pelo autor.

Figura 5.25 – Formas de onda das correntes de linha na saída do inversor FC para frequência de chaveamento de 1080 Hz.



Fonte: Elaborada pelo autor.

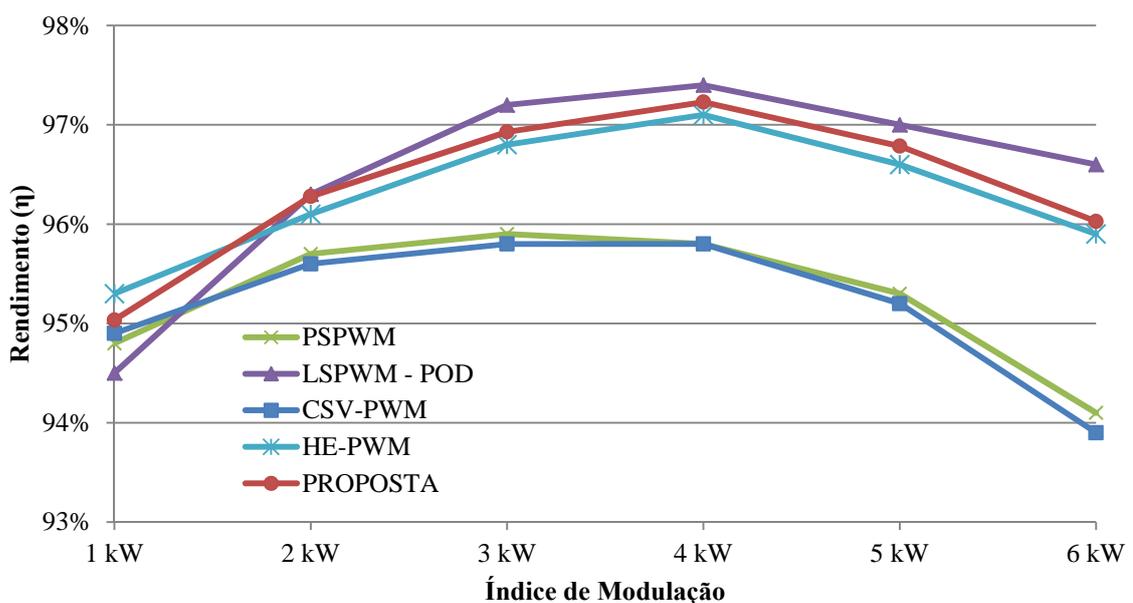
5.4 Curvas de rendimento

Neste t pico s o apresentadas as curvas de efici ncia referentes   topologia com capacitor flutuante, de modo a comparar a opera o das diversas t cnicas de modula o apresentadas neste trabalho. As curvas de rendimento foram levantadas experimentalmente utilizando o aparelho de medi o Yokogawa® WT130.

As figuras 5.26 e 5.27 mostram as curvas de rendimento, para frequ ncias de 4 kHz e 1080, respectivamente, das cinco t cnicas de modula o aplicadas   estrutura FC. De forma geral, percebe-se que   mantido o mesmo padr o das perdas desenvolvido na an lise apresentado no cap tulo tr s, no qual a t cnica LSPWM-POD apresentou a maior efici ncia por possuir intervalos em que seus interruptores est o totalmente desligados. Al m disso, a efici ncia do conversor para todas as cinco t cnicas   aumentada quando a frequ ncia de chaveamento de 1080 Hz   utilizada.

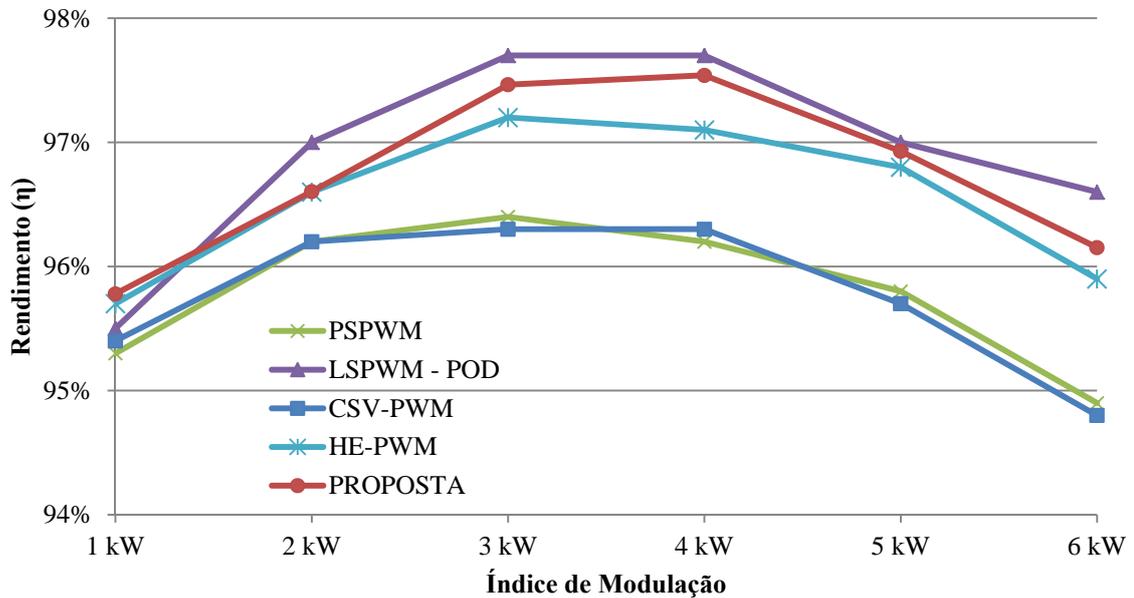
No entanto, pode-se observar o que desempenho da t cnica de modula o proposta neste trabalho resultou numa efici ncia de at  2,2% maior que  s t cnicas em que se baseia: HE-PWM e CSV-PWM. Este resultado se deve, principalmente,   redu o do n mero de comuta es por meio da moduladora adaptada da t cnica CSV-PWM e das perdas por condu o.

Figura 5.26 – Curvas experimentais de rendimento referentes ao inversor FC para as diversas t cnicas de modula o para frequ ncia de chaveamento de 4 kHz.



Fonte: Elaborada pelo autor.

Figura 5.27 – Curvas experimentais de rendimento referentes ao inversor FC para as diversas técnicas de modulação para frequência de chaveamento de 1080 Hz.



,Fonte: Elaborada pelo autor.

5.5 Curvas de DHT, WTHD e espectros harmônicos

Neste tópico serão apresentados os resultados referentes aos conteúdos harmônicos da tensão de linha aplicada sobre a carga, para a potência nominal, de modo a comparar a operação com diversos índices de modulação para cada técnica apresentada neste trabalho. As curvas de DHT foram levantadas experimentalmente utilizando o aparelho de medição Yokogawa® PZ 4000 e com a utilização das equações (5.1) e (5.2).

$$\text{DHT} = \frac{100}{a_1} \sqrt{\sum_{n=2}^{N_h} a_n^2} \quad (5.1)$$

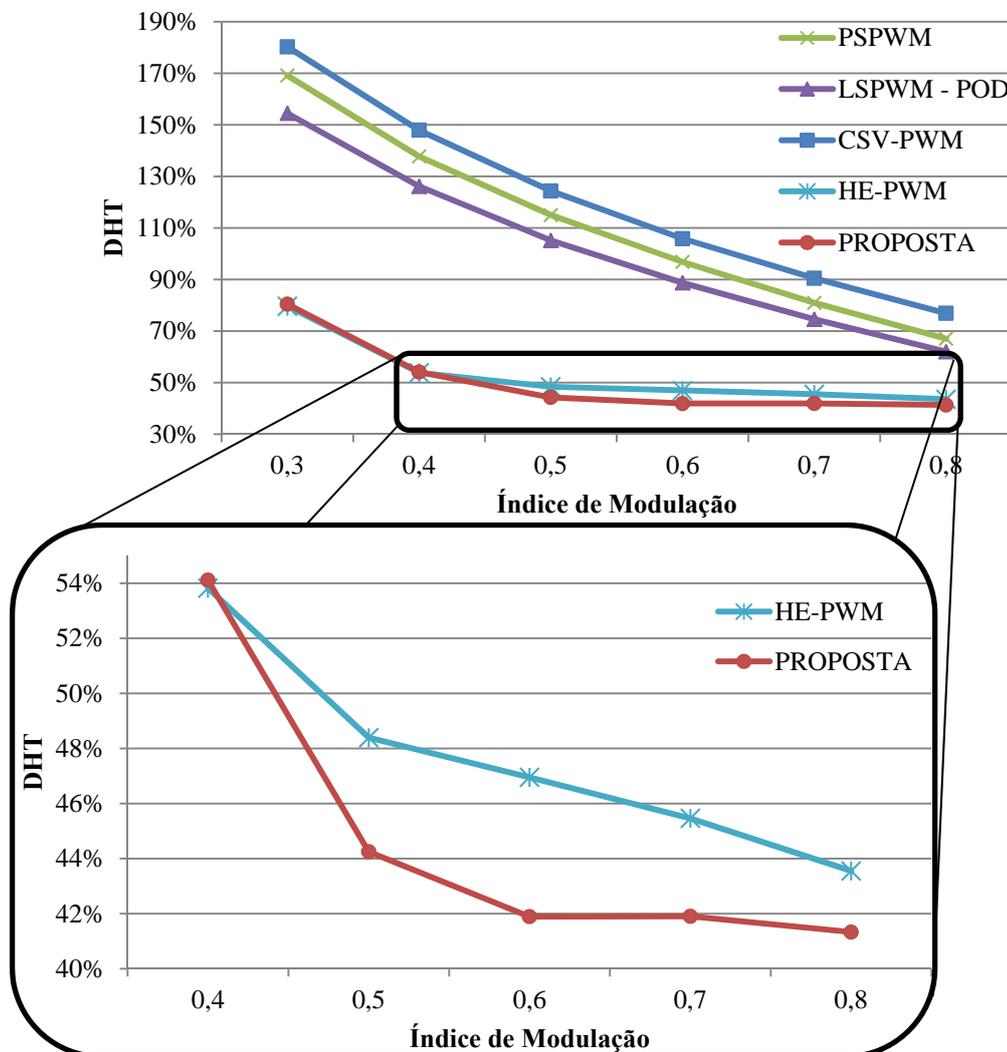
$$\text{WTHD} = \frac{100}{a_1} \sqrt{\sum_{n=2}^{N_h} \left(\frac{a_n}{h}\right)^2} \quad (5.2)$$

Nas figuras 5.28 e 5.29 são mostradas as curvas de DHT, para frequências de 4 kHz e 1080, respectivamente, variando com os índices de modulação para diversas técnicas de

modulação. Observa-se que a modulação proposta atinge o melhor desempenho de DHT para toda a faixa de índice de modulação, superando todas as outras técnicas convencionais.

Quando a técnica de modulação proposta é comparada com a HE-PWM, os valores de índice de modulação que estão entre 0 e 0,4, ambas as modulações apresentam o mesmo desempenho. Esta faixa, no entanto, não é muito utilizada na prática. Já quando os valores de índice de modulação estão entre 0,4 e 1, a modulação proposta apresenta um nível de DHT de até 4,5% menor que a modulação HE-PWM, comprovando sua melhor eficácia.

Figura 5.28 – Curvas experimentais de DHT referentes ao inversor FC para as diversas técnicas de modulação para frequência de chaveamento de 4 kHz.

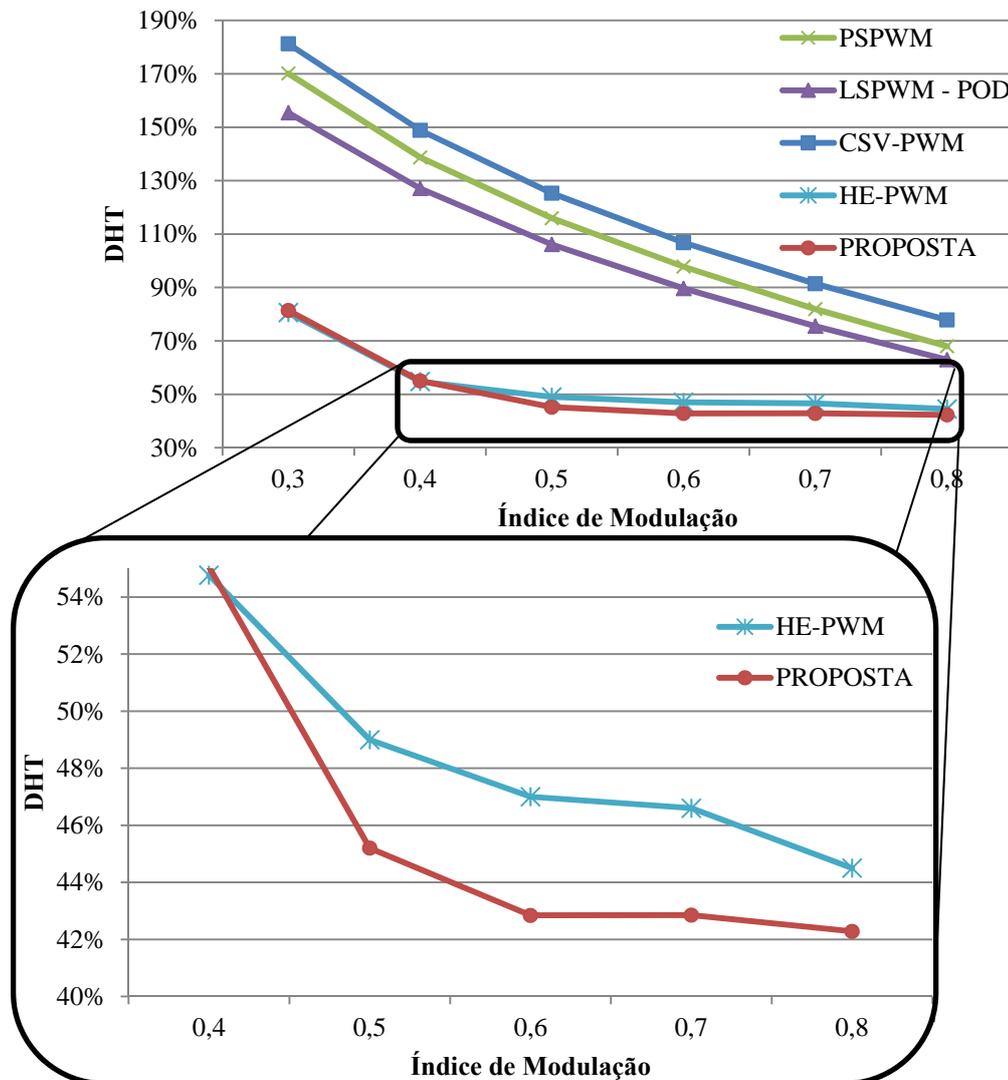


Fonte: Elaborada pelo autor.

É possível notar a semelhança entre o comportamento dos resultados obtidos experimentalmente, através das figuras 5.28 e 5.29, com aqueles encontrados por meio de

simulação, apresentados nas figuras 4.1 e 4.2, mostrando que a análise teórica desenvolvida está coerente.

Figura 5.29 – Curvas experimentais de DHT referentes ao inversor FC para as diversas técnicas de modulação para frequência de chaveamento de 1080 Hz.

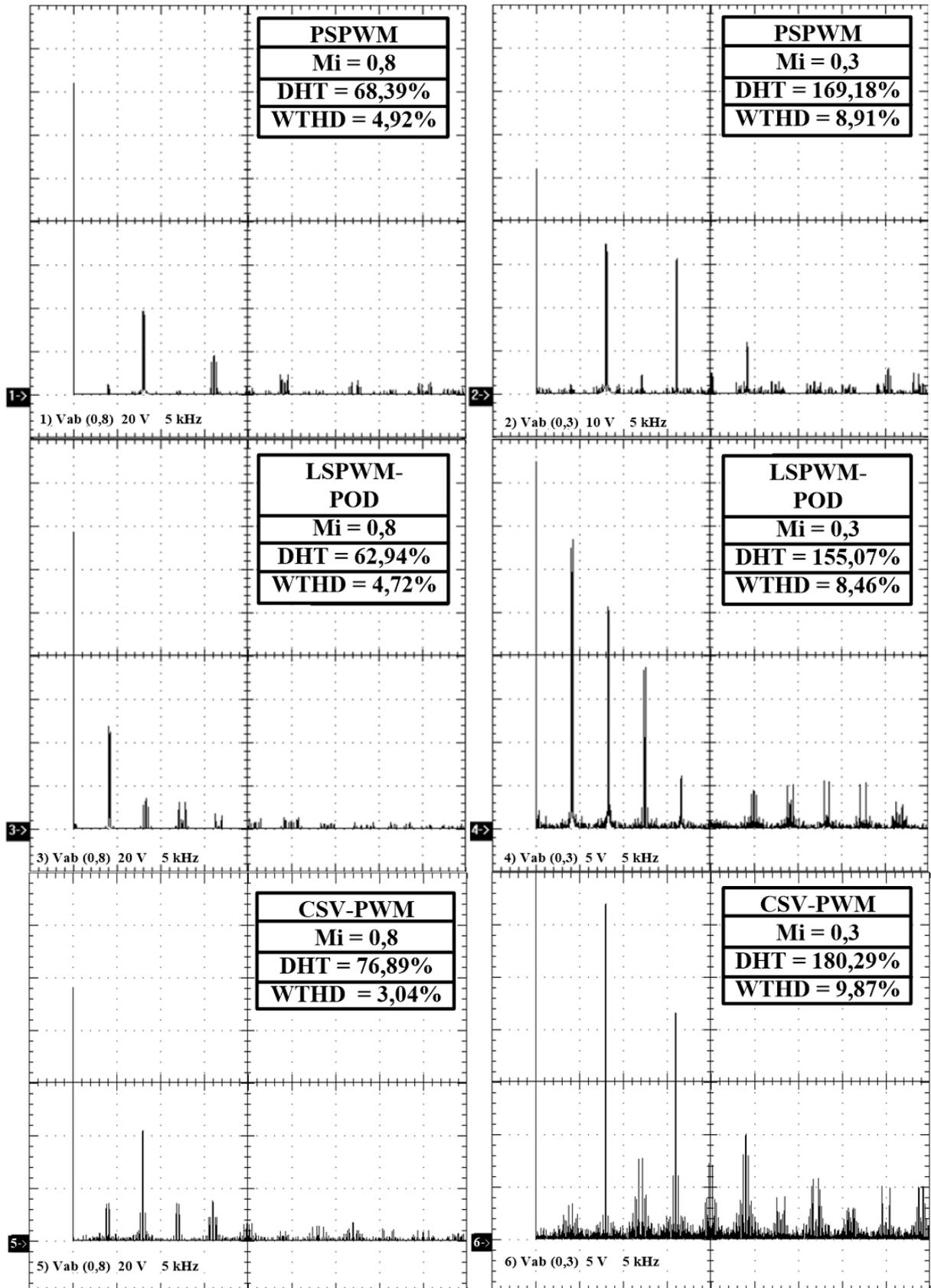


Fonte: Elaborada pelo autor.

Nas figuras 5.30 a 5.33 são apresentados os conteúdos harmônicos da tensão de linha das cinco técnicas exploradas neste trabalho aplicadas às topologias FC para frequências de chaveamento de 4 kHz e 1080 Hz.

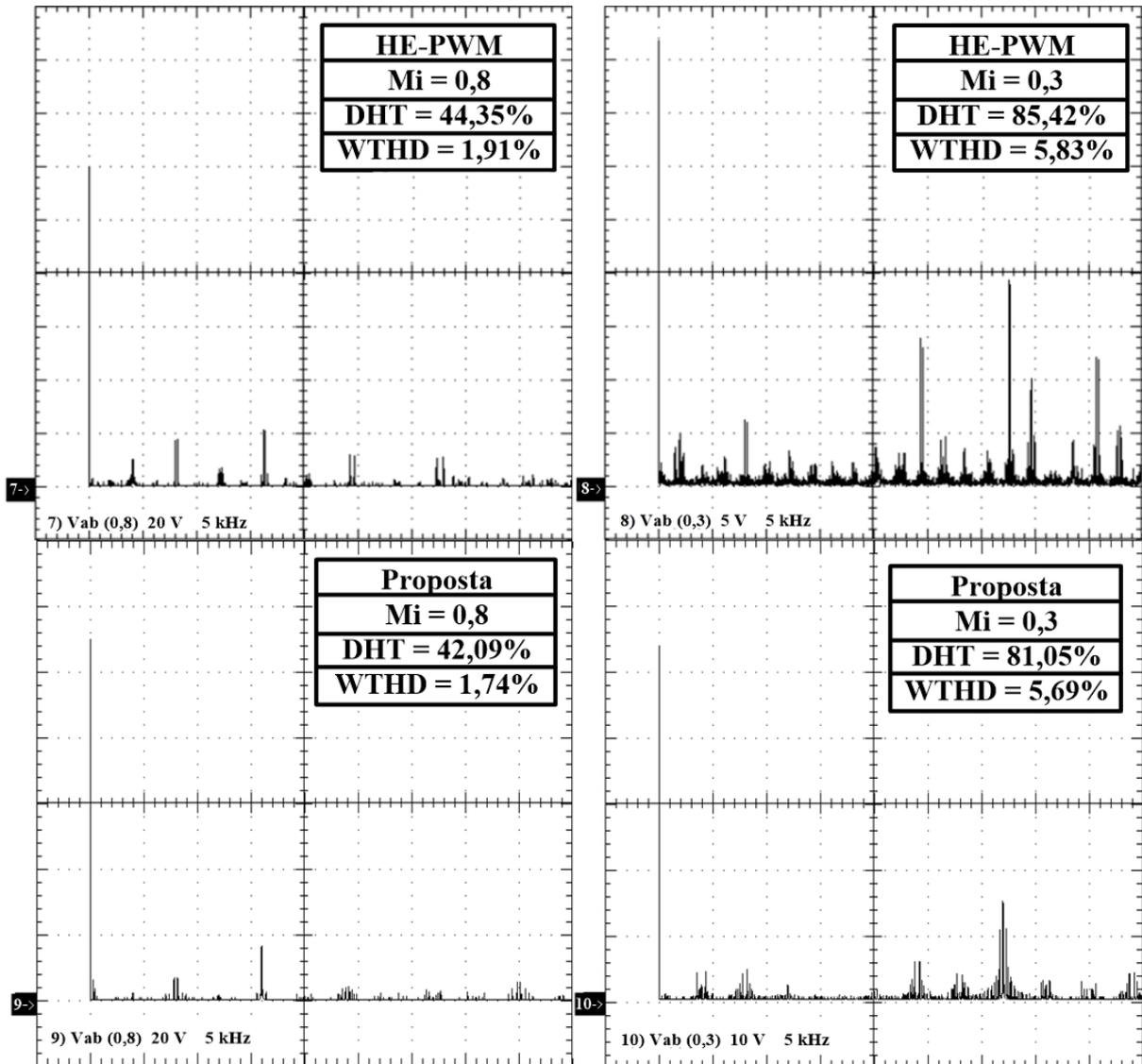
Através da análise das figuras abaixo, verifica-se o comportamento da variação da distorção harmônica total e do WTHD em função do índice de modulação, destacando o ótimo desempenho da técnica proposta para toda a faixa de índice de modulação.

Figura 5.30 – Espectros harmônicos referentes ao inversor FC para as técnicas de modulação PSPWM, LSPWM-POD e CSV-PWM para frequência de chaveamento de 4 kHz.



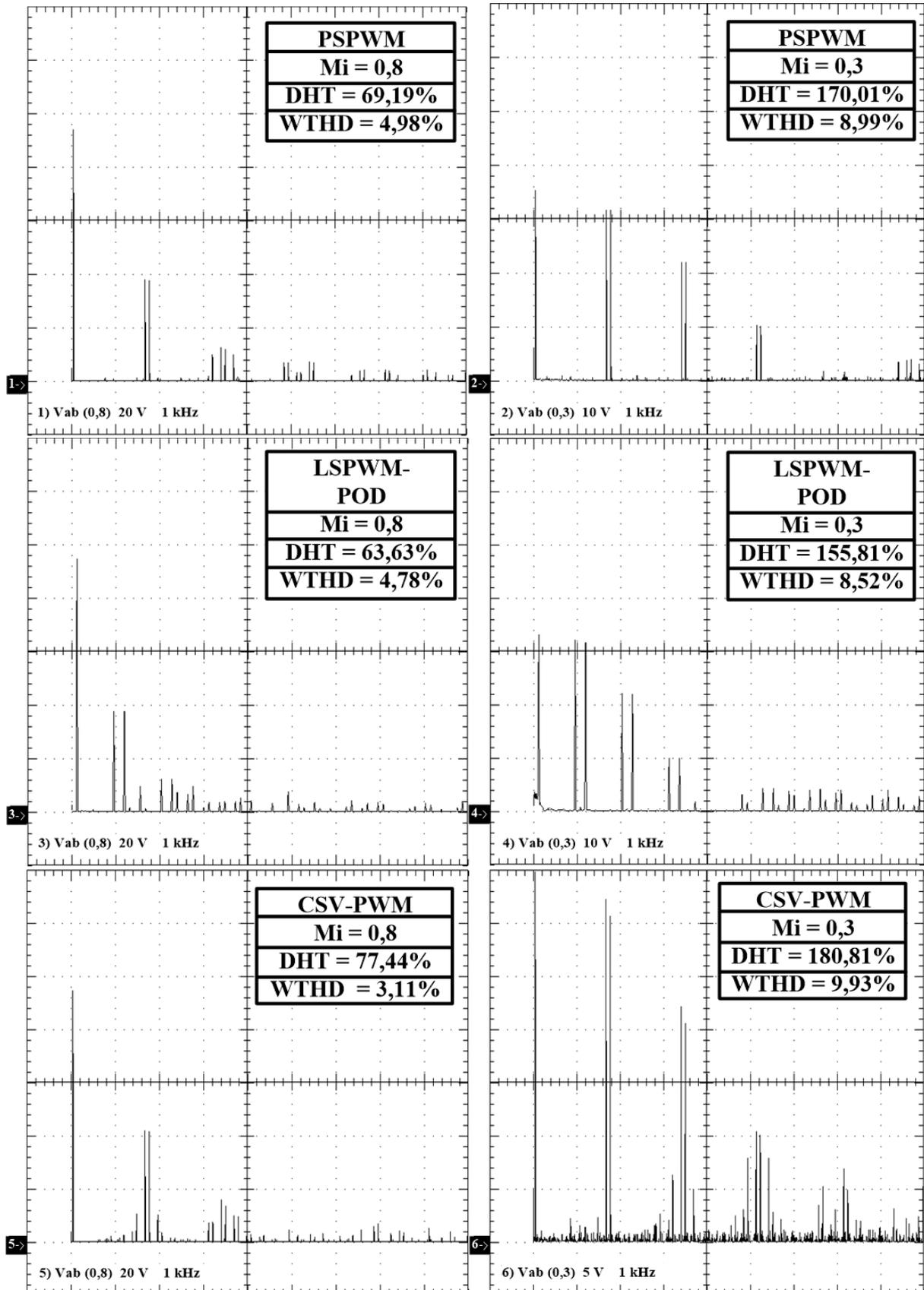
Fonte: Elaborada pelo autor.

Figura 5.31 – Espectros harmônicos referentes ao inversor FC para as técnicas de modulação HE-PWM e proposta para frequência de chaveamento de 4 kHz.



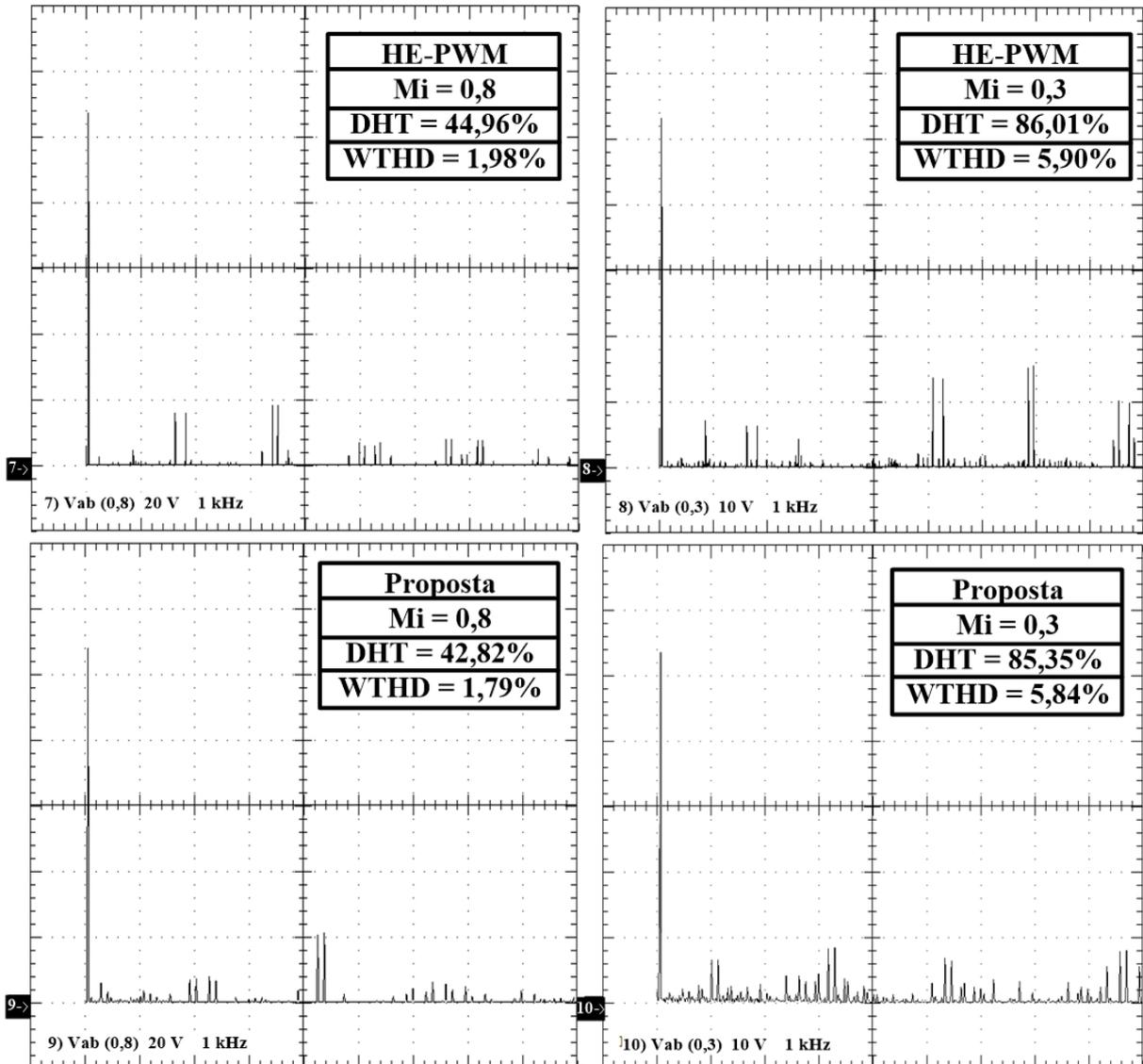
Fonte: Elaborada pelo autor.

Figura 5.32 – Espectros harmônicos referentes ao inversor FC para as técnicas de modulação PSPWM, LSPWM-POD e CSV-PWM para frequência de chaveamento de 1080 Hz.



Fonte: Elaborada pelo autor.

Figura 5.33 – Espectros harmônicos referentes ao inversor FC para as técnicas de modulação HE-PWM e proposta para frequência de chaveamento de 1080 Hz.



Fonte: Elaborada pelo autor.

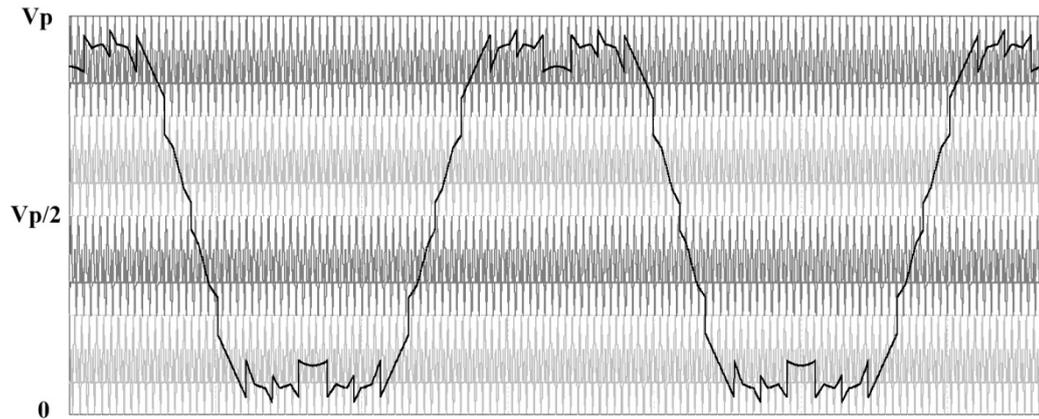
5.6 Aplicação da modulação proposta para mais níveis

Neste tópico é mostrada a possibilidade da utilização da técnica de modulação proposta neste trabalho para aplicações com mais níveis. Dessa forma, são apresentados os resultados de simulação, através do software PSIM, para um inversor FC de cinco níveis, bem como a generalização da técnica para uma aplicação para mais níveis.

Assim, a figura 5.34 apresenta as quatro portadoras, dispostas em formação de oposição de fase, a fim de gerar os pulsos necessários para que sejam obtidas as formas de onda da figura 5.35, que mostram, respectivamente, a tensão não-filtrada de linha e a corrente

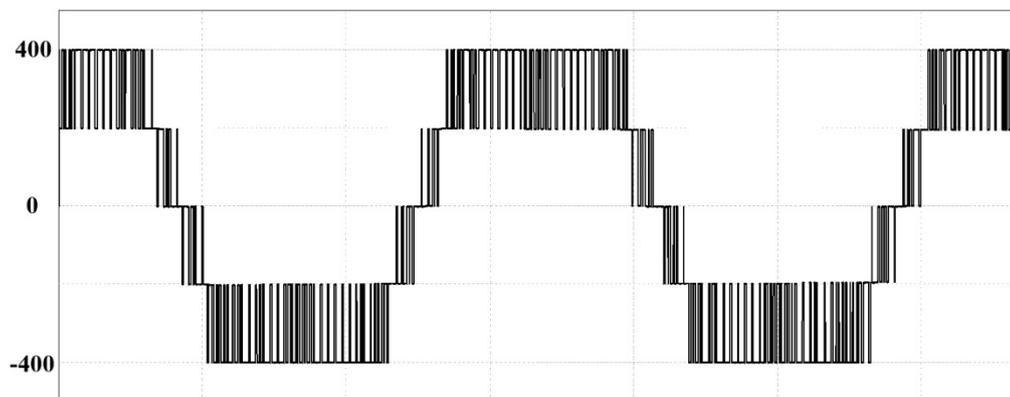
se saída. A partir das figuras 5.34 e 5.35, é possível afirmar que a utilização da técnica proposta para aplicações com mais de três níveis é totalmente plausível, devendo-se apenas obedecer aos níveis de tensão em que variam cada uma das portadoras e no algoritmo das moduladoras.

Figura 5.34 – Portadoras da técnica proposta utilizadas para o inversor FC de cinco níveis.

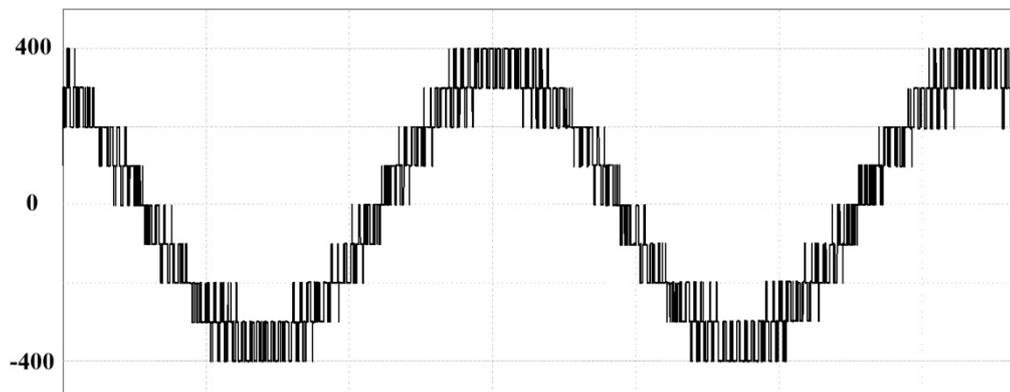


Fonte: Elaborada pelo autor.

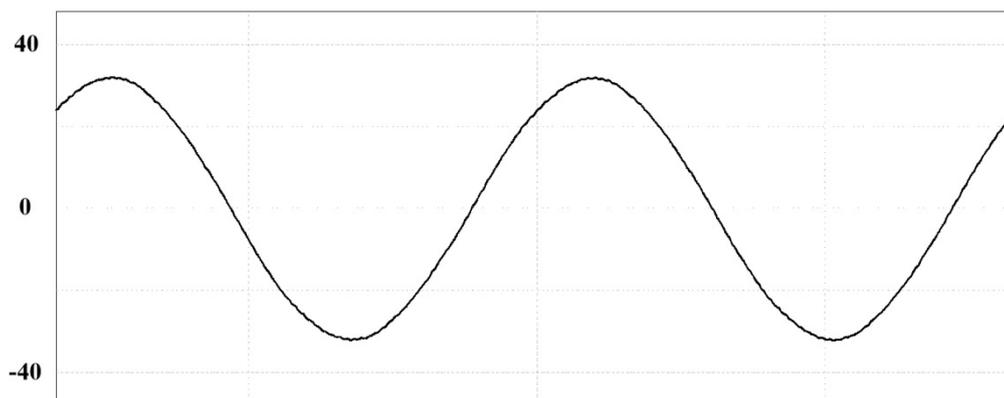
Figura 5.35 – Formas de onda da técnica proposta aplicada à topologia FC de cinco níveis: (a) tensão na fase A, (b) tensão de linha AB e (c) corrente na fase A.



(a)



(b)



(c)

Fonte: Elaborada pelo autor.

5.7 Considerações finais

Neste capítulo foram apresentados os resultados experimentais das características inerentes das técnicas de modulação: PSPWM, LSPWM-POD, HE-PWM, CSV-PWM e a proposta neste trabalho. Também foi possível comprovar o funcionamento da topologia com capacitor flutuante operando com a modulação proposta.

Inicialmente, observou-se que a digitalização das três moduladoras senoidais, utilizadas em todas as técnicas de modulação analisadas, funcionou de forma coerente. Além disso, as digitalizações das portadoras de cada uma das técnicas não possuíam nenhum tipo de distorção considerável, verificando o correto dimensionamento desenvolvido nos capítulos anteriores, e apresentando os parâmetros definidos, como frequência, amplitude e deslocamento angular.

A partir disto, a comparação entre as moduladoras com as portadoras geraram pulsos com larguras convenientes para cada uma das condições presentes nas técnicas de modulação. Dessa forma, é notável o desempenho do FPGA no processamento de sinais digitais com alta velocidade, o qual apresenta uma grande variedade de ferramentas, além de uma linguagem de programação de fácil compreensão.

Foram também apresentados os resultados referentes ao inversor multinível com capacitor flutuante operando com a técnica de modulação proposta neste trabalho, tanto para uma frequência de chaveamento de 4 kHz como para 1080 Hz. Observou-se que as formas de onda das tensões de fase, as tensões de linha e as correntes de linha apresentaram características como frequência, amplitude de cada nível e formatos bem definidos e sem distorções condizentes com o esperado e o que demonstra a empregabilidade dessa técnica nesta topologia.

Da mesma forma, para frequência de chaveamento de 4 kHz e 1080 Hz, foram apresentadas as curvas de rendimento para a topologia FC operando com cada uma das técnicas de modulação. A partir da observação das diversas curvas é possível afirmar que a modulação proposta atingiu o segundo melhor resultado, apresentando uma eficiência um pouco inferior à modulação LSPWM-POD e comprovando a análise de perdas desenvolvida no capítulo 3.

Finalmente, os resultados referentes ao conteúdo harmônico foram mostrados para as diversas técnicas de modulação e para diferentes índices de modulação. Observou-se que quando a técnica de modulação é comparada com a modulação HE-PWM, esta última apresenta um nível de DHT de até 4,5%, para frequência de chaveamento de 4 kHz, e 4,3%, para frequência de chaveamento de 1080 Hz, maior que a modulação proposta, respectivamente.

Por meio disto, verificou-se que a técnica proposta atingiu o melhor desempenho de DHT e de WTHD para toda a faixa de índice de modulação dentre todas as modulações convencionais e adaptadas. Estas características se comprovam através da análise dos espectros harmônicos apresentados a partir do desempenho de cada técnica para os índices de modulação 0,3 e 0,8.

6 CONCLUSÃO

Neste trabalho foi apresentada uma técnica de modulação aplicada em inversores multiníveis com capacitor flutuante, com o objetivo de melhorar a qualidade da tensão sobre a carga, a partir da redução de seu conteúdo harmônico.

A técnica de modulação desenvolvida baseou-se em duas outras modulações e combina as características de portadora proposta por He (2004) e a moduladora proposta por Lipo (2003), ambas conhecidas pela eficiência na redução da distorção harmônica total em topologias com capacitor flutuante.

Os resultados da modulação proposta aplicada ao inversor multinível com capacitor flutuante apresentaram ganhos em termos de rendimento em relação às duas modulações em que se baseia. A análise dos seus padrões de chaveamento e a análise de perdas foram desenvolvidas ao longo do trabalho, comprovando sua eficácia através dos resultados experimentais obtidas, nas quais percebeu-se a redução das perdas do inversor em até 2,2 % em relação às técnicas CSV-PWM e HE-PWM. Este resultado se deve à redução das perdas por condução e do número de comutações na modulação proposta em relação às duas outras técnicas.

Além disso, a maior vantagem diz respeito à distorção harmônica total, na qual os resultados absolutos de DHT da tensão de linha de saída da técnica proposta comparada às PSPWM, LSPWM-POD e CSV-PWM apresentaram o melhor desempenho para toda a faixa de índices de modulação e de até 4,5% melhor em relação à técnica HE-PWM. Através das curvas de DHT mostradas no capítulo 4, observa-se a semelhança no comportamento das diversas técnicas de modulação.

A principal desvantagem da modulação proposta se mostra na maior complexidade de implementação frente às outras técnicas de modulação. Outro ponto seria no rendimento do conversor, a qual apresenta maiores perdas comparada à técnica LSPWM-POD, porém, aquela ainda se mostra melhor que as demais técnicas comparadas. Esta desvantagem também é compensada diante da sua superioridade referente aos índices de DHT.

Por fim, a escolha do dispositivo controlador FPGA para geração dos pulsos de gatilho das chaves semicondutoras foi notável, o qual ofereceu grande velocidade de processamento, facilidade de programação e confiabilidade. Este dispositivo possibilitou também o uso de operações concorrentes e, por meio da grande quantidade de pinos de entrada e saída, era possível obter além dos pulsos de gatilho, as formas de onda das

portadoras e moduladoras, através de um conversor D/A, utilizadas nas figuras deste trabalho. Estes são os principais fatores para a escolha deste controlador, devido ao elevado número de interruptores na topologia empregada e a facilidade de obtenção de resultados experimentais.

Como trabalho futuro, propõe-se o desenvolvimento de um estudo acerca do dimensionamento adequado dos capacitores flutuantes, bem como uma técnica para o equilíbrio de tensão nos mesmos. Outra proposta é a de desenvolver uma aplicação da técnica de modulação proposta em inversores com cinco ou mais níveis de tensão na saída.

Além disso, sugere-se o estudo da técnica proposta neste trabalho aplicada em retificadores.

REFERÊNCIAS

- ALTERA. **Cyclone IV FPGA Family**. Disponível em:
<www.altera.com/devices/fpga/cyclone-iv/cyiv-index.jsp>. Acesso em 2 nov. 2012.
- AZLI, N.A.; BAKAR, M.S. **A DSP-based regular sampled pulsewidth modulation (PWM) technique for a multilevel inverter**. Power System Technology, 2004. PowerCon 2004. 2004 International Conference on, vol.2, pp.1613-1618, 21-24 nov. 2004.
- BARRETO, L. H. S. C. et. al. **Carrier-based PWM modulation for THD and losses reduction on multilevel inverters**. Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE, pp.2436-2441, 5-9 feb. 2012.
- BHAGWAT, Pradeep M.; STEFANOVIC, V.R., **Generalized Structure of a Multilevel PWM Inverter**. Industry Applications, IEEE Transactions on, vol.IA-19, no.6, pp.1057-1069, nov. 1983.
- CARRARA, G. et al. **A new multilevel PWM method: a theoretical analysis**. Power Electronics, IEEE Transactions on, vol.7, no.3, pp.497-505, jul. 1992
- CASANELLAS, F. **Losses in PWM inverters using IGBTs**. IEEE Proceedings In Electric Power Applications, vol. 141, no. 5, pp. 235-239, set. 2004.
- CHEN, Yonggang et al. **A novel hybrid modulation method for cascaded H-bridge active power filter**. Power Electronics and Motion Control Conference, 2008. EPE-PEMC 2008. 13th, pp.1981-1986, 1-3 sep. 2008.
- ESCALANTE, M.F.; VANNIER, J. -C; ARZANDÉ, A. **Flying capacitor multilevel inverters and DTC motor drive applications**. Industrial Electronics, IEEE Transactions on, vol.49, no.4, pp.809-815, aug. 2002.
- FRANQUELO, L.G. et al. **The Age of Multilevel Converters Arrives**. IEEE Industrial Electronics Magazine. vol. 2, no. 2, pp. 28-39, jun. 2008.
- HENN, G. A. L. et al. **Adapted Modulation for THD Performance Improvement and Losses Reduction on Multilevel Inverters**, Revista SOBRAEP, vol. 16, n. 2, pp. 103-109. 2011.
- HENN, G. A. L. **Técnica De Modulação Aplicada Às Estruturas De Inversores Multiníveis Com Neutro Grampeado E Capacitor Flutuante Para Redução De Perdas E Distorção Harmônica**. 120 f. Tese (Doutorado em Engenharia Elétrica) - Universidade Federal do Ceará. Coordenação de Aperfeiçoamento de Pessoal de Nível Superior. 2012.
- HOLMES, D.G.; LIPO, T.A. **Pulse width modulation for power converters - principles and practice**. IEEE Press/John Wiley & Sons Ed. 1, Piscataway, NJ, USA, 2003.

HOLTZ, J., **Pulsewidth modulation for electronic power conversion**. Proceedings of the IEEE, vol.82, no.8, pp.1194-1214, aug. 1994.

KANG, D.-W et al. **Carrier-rotation strategy for voltage balancing in flying capacitor multilevel inverter**. Electric Power Applications, IEEE Proceedings, vol.151, no.2, pp.239-248, mar. 2004.

KANG, Dae-Wook et al. **A symmetric carrier technique of CRPWM for voltage balance method of flying-capacitor multilevel inverter**. Industrial Electronics, IEEE Transactions on, vol.52, no.3, pp.879-888, jun. 2005.

KHAZRAEI, M. et al. **A generalized capacitor voltage balancing scheme for flying capacitor multilevel converters**. Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE, pp.58-62, 21-25 feb. 2010.

KHAZRAEI, M. et al. **Active Capacitor Voltage Balancing in Single-Phase Flying-Capacitor Multilevel Power Converters**. Industrial Electronics, IEEE Transactions on, vol.59, no.2, pp.769-778, Feb. 2012.

KIM, Young-Seok et al. **A new n-level high voltage inversion system**. Industrial Electronics, Control, and Instrumentation, 1993. Proceedings of the IECON '93, International Conference on, pp.1252-1257 vol.2, 15-19 nov. 1993.

LAI, Jih-Sheng; PENG, Fang Zheng. **Multilevel converters-a new breed of power converters**. Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., Conference Record of the 1995 IEEE, vol.3, pp.2348-2356, 8-12 oct. 1995.

LEE, Sang-Gil et al. **The carrier-based PWM method for voltage balance of flying capacitor multilevel inverter**. Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual, vol.1, pp.126-131, 2001.

LEE, Won-Kyo et al. **A carrier-rotation strategy for voltage balancing of flying capacitors in flying capacitor multi-level inverter**. Industrial Electronics Society, 2003. IECON '03. The 29th Annual Conference of the IEEE , vol.3, pp.2173-2178, 2-6 nov. 2003.

LEE, Won-kyo et al. **A comparison of the carrier-based PWM techniques for voltage balance of flying capacitor in the flying capacitor multilevel inverter**. Applied Power Electronics Conference and Exposition, 2006. APEC '06. Twenty-First Annual IEEE, pp.6, 19-23 mar. 2006.

LEGA, Alberto. **Multilevel Converters: Dual Two-Level Inverter Scheme**. 2007. 230 f. Tese (Ph.D in Electrical Engineering) - Faculty of Engineering, University of Bologna. 2007.

LIN, Bor-Ren; WEI, Ta Chang. **A novel NPC inverter for harmonics elimination and reactive power compensation**. Power Delivery, IEEE Transactions on, vol.19, no.3, pp.1449-1456, jul. 2004.

- MARCHESONI, M. **High performance current control techniques for applications to multilevel high power voltage source inverters**. Power Electronics Specialists Conference, 1989. PESC '89 Record, 20th Annual IEEE, vol.2, pp.672-682, 26-29 jun. 1989.
- MARTINS, A.P.; MEIRELES, E.C.; CARVALHO, A.S. **PWM-based control of a cascaded three-phase multilevel inverter**. Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on, pp.1-10, Aug. 30 2011-Sep. 1 2011.
- MCGRATH, B.P.; HOLMES, D.G. **Natural capacitor voltage balancing for a flying capacitor converter induction motor drive**. Power Electronics Specialists Conference, 2008. PESC 2008. IEEE , pp.1681-1687, 15-19 jun. 2008.
- MCGRATH, B.P.; HOLMES, D.G. **Multicarrier PWM strategies for multilevel inverters**. Industrial Electronics, IEEE Transactions on, vol.49, no.4, pp.858-867, aug. 2002.
- MCGRATH, B.P.; HOLMES, D.G.; Lipo, T. **Optimized space vector switching sequences for multilevel inverters**. Power Electronics, IEEE Transactions on, vol.18, no.6, pp.1293-1301, nov. 2003.
- MEYNARD, T. A.; FOCH, H. **Multi-level conversion: high voltage choppers and voltage-source inverters**. Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE, vol.1, pp.397-403, 29 jun-3 jul. 1992.
- MICROCHIP. **16-bit Product Guide**. Disponível em: <www.microchip.com/stellent/groups/dspic_sg/documents/devedoc/en012562.pdf>. Acesso em: 2 nov. 2012.
- MURALIDHARA, B. et al. **Experimental investigation and measurement of the bearing current in a multilevel inverter-fed induction motor drive**. Electronics Computer Technology (ICECT), 2011 3rd International Conference on, vol.4, pp.444-448, 8-10 apr. 2011.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. **A New Neutral-Point-Clamped PWM Inverter**. Industry Applications, IEEE Transactions on, vol.IA-17, no.5, pp.518-523, sep. 1981.
- PATEL, D. et al. **Design and implementation of three level CHB inverter with phase shifted SPWM using TMS320F24PQ**. Power Electronics (IICPE), 2010 India International Conference on, pp.1-6, 28-30 jan. 2011.
- PENG, F.Z.; QIAN, Wei; CAO, Dong. **Recent advances in multilevel converter/inverter topologies and applications**. Power Electronics Conference (IPEC), 2010 International, pp.492-501, 21-24 jun. 2010.
- RASHID, M. H. **Eletrônica de Potência: circuitos, dispositivos e aplicações**. Makron Books, Ed. 1, São Paulo, Brasil, 1999.

RODRIGUEZ, J.; LAI, Jih-Sheng; PENG, Fang Zheng. **Multilevel inverters: a survey of topologies, controls, and applications**. Industrial Electronics, IEEE Transactions on, vol.49, no.4, pp.724-738, aug. 2002.

SILVA, R. N. A. L. **Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis Baseado nas Topologias Half-Bridge e ANPC**. 120 f. Tese (Doutorado em Engenharia Elétrica) - Universidade Federal do Ceará. Coordenação de Aperfeiçoamento de Pessoal de Nível Superior. 2013.

SILVA, R.N. A. L. et al. **Digital implementation of a modulation technique for a multilevel inverter on FPGA**. Industry Applications (INDUSCON), 2012 10th IEEE/IAS International Conference on, pp.1-6, 5-7 nov. 2012.

SNEINEH, Anees Abu; WANG, Ming-yan; TIAN, Kai. **A New Topology of Capacitor-Clamp Cascade Multilevel Converters**. Power Electronics and Motion Control Conference, 2006. IPERC 2006. CES/IEEE 5th International, vol.2, pp.1-5, 14-16 aug. 2006.

SREENIVASARAO, D.; AGARWAL, P.; DAS, B. **A carrier-transposed modulation technique for multilevel inverters**. Power Electronics, Drives and Energy Systems (PEDES) & 2010 Power India, 2010 Joint International Conference on, pp.1-7, 20-23 Dec. 2010.

Suh, Bum-Seok et al. **Multilevel Power Conversion - An Overview Of Topologies And Modulation Strategies**. Optimization of Electrical and Electronic Equipments, 1998. OPTIM '98. Proceedings of the 6th International Conference on, vol.2, pp.11-24, 14-15 may. 1998.

TEIXEIRA, C. A.; MCGRATH, B.P.; HOLMES, D.G. **Topologically reduced multilevel converters using complementary unidirectional phase-legs**. Industrial Electronics (ISIE), 2012 IEEE International Symposium on, pp.2007-2012, 28-31 may. 2012.

TOCCI, Ronald J.; Widmer, NEAL S.; L. MOSS, Gregory. **Sistemas Digitais - Princípios e Aplicações**. Cap. 13, pp. 727-731, Ed. 10, Pearson - Prentice Hall, 2007.

TOLBERT, L.M.; PENG, Fang Zheng; HABELTLER, T.G., **Multilevel converters for large electric drives**. Industry Applications, IEEE Transactions on, vol.35, no.1, pp.36-44, jan/feb. 1999.

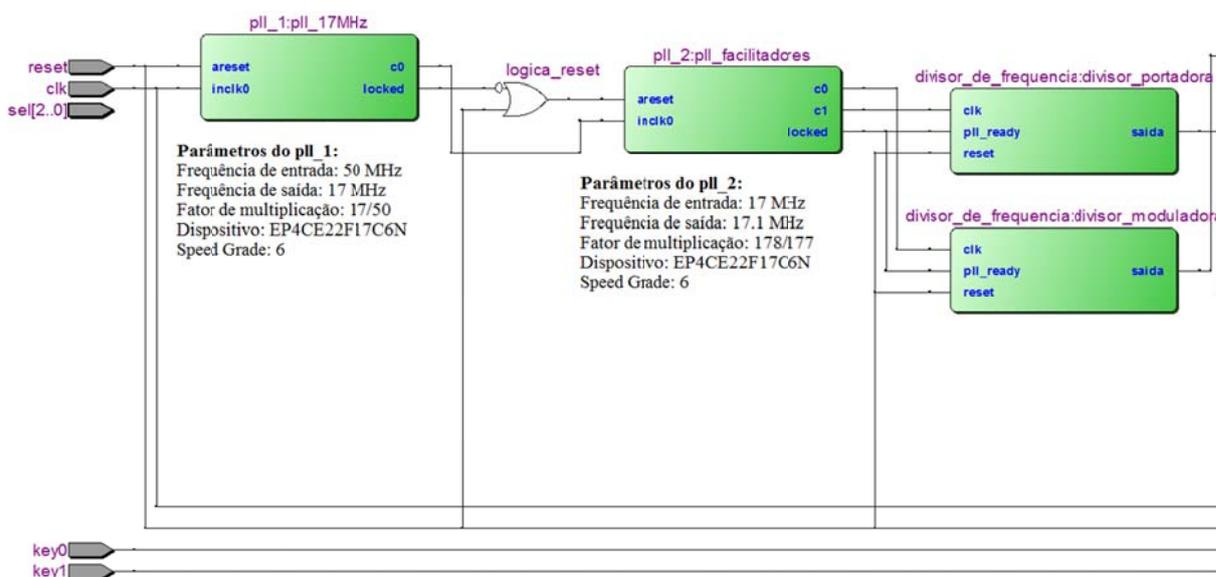
WANG, Hongyan; DENG, Yan; HE, Xiangning. **Novel carrier-based PWM method with voltage balance for flying capacitor multilevel inverters**. Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual, vol.6, pp.4423-4427, 20-25 jun. 2004.

APÊNDICE A – Programa em VHDL da modulação proposta

Nas figuras A.1 a A.3 são mostrados os diagramas de blocos do programa em VHDL da modulação proposta. Na figura A.1, existem quatro blocos de códigos: *pll_1:pll_17MHz*, *pll_2:pll_facilitadores*, *divisor_de_frequencia:divisor_portadora* e *divisor_de_frequencia:divisor_moduladora*.

Os blocos *pll_1* e *pll_2* possuem códigos não serão descritos por serem megafunções do Quartus II e necessitarem apenas dos parâmetros de entrada e saída. Semelhante a estes, os códigos de divisores de frequência de portadora e moduladora também são idênticos, diferenciando-se apenas em seus parâmetros internos, e serão apresentados no tópico A.1.1.

Figura A.1 – Diagrama de blocos do programa: *pll_1*, *pll_2* e divisores de frequência de portadora e moduladora.

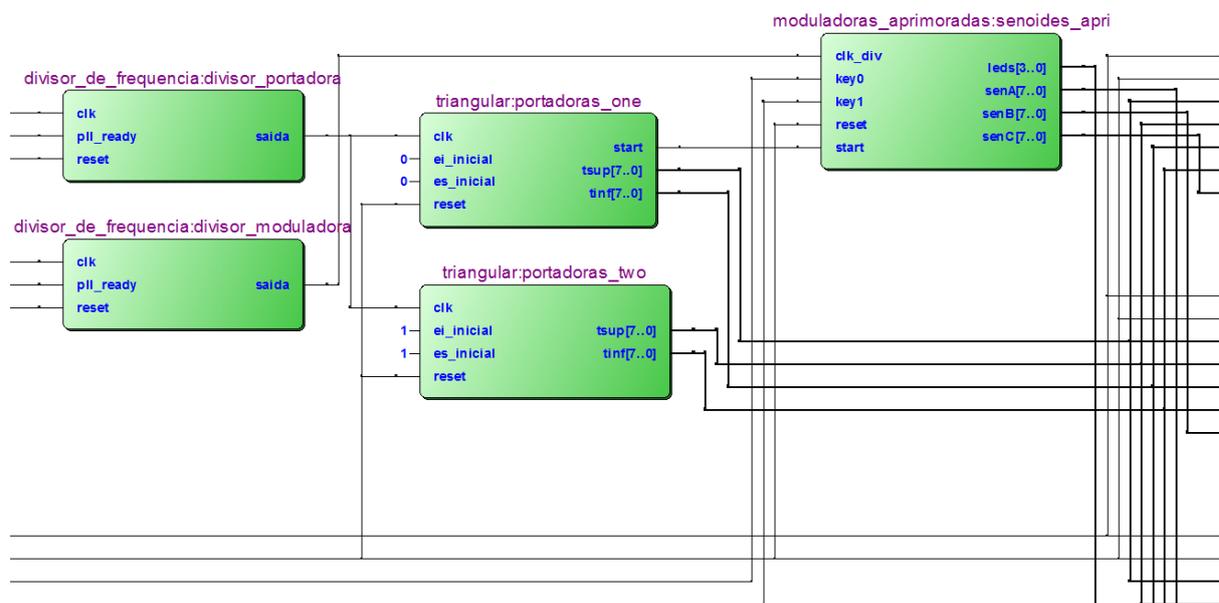


Fonte: Elaborada pelo autor.

Na figura A.2 são mostrados os blocos: *triangular:portadoras_one*, *triangular:portadoras_two*, *moduladoras_aprimoradas:senoides_apri*, referentes às portadoras P₁, P₂ e moduladoras, respectivamente. Os códigos de programa serão mostrados nos tópicos A.1.2 e A.1.3.

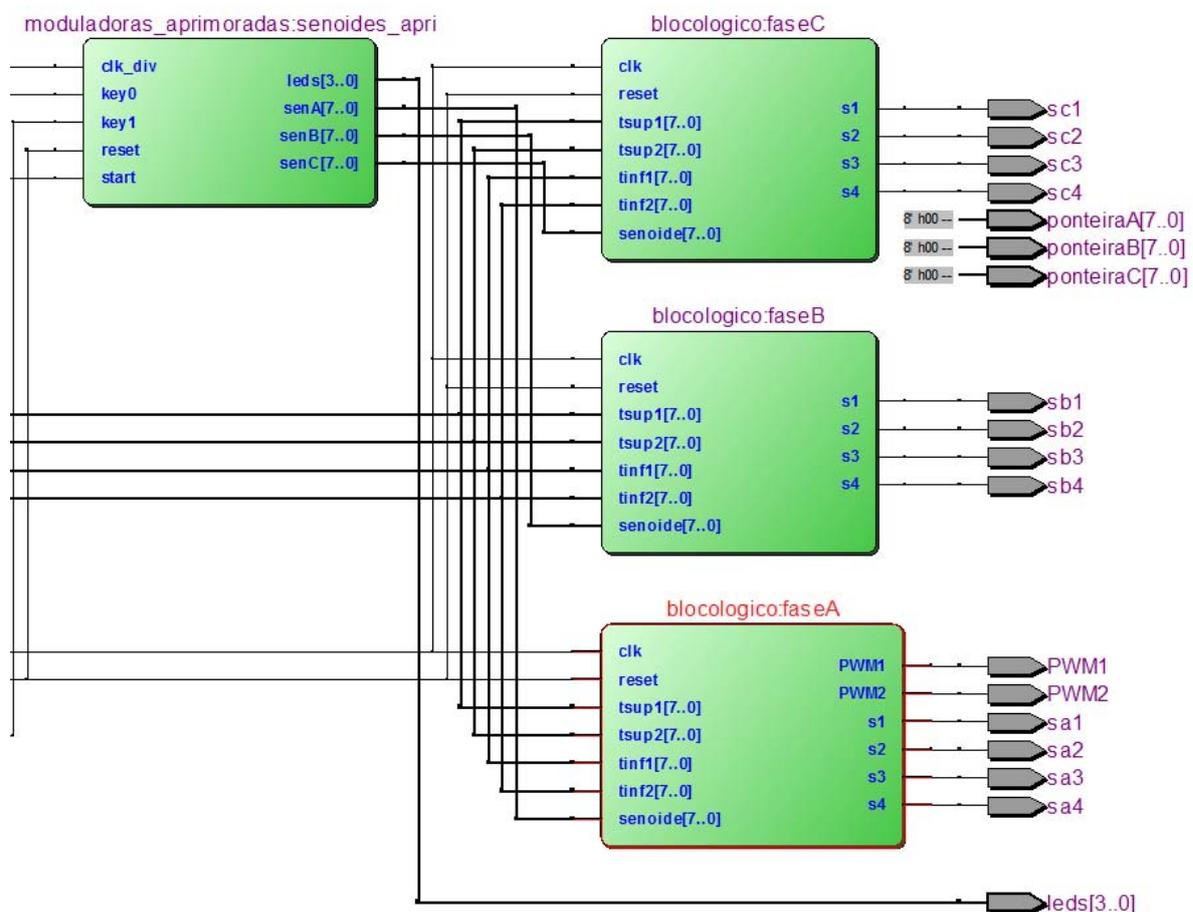
Por fim, na figura A.3 são apresentados os blocos *blocologico:faseA*, *blocologico:faseB* e *blocologico:faseC*, referentes às fases A, B e C, respectivamente, nos quais ocorrem as comparações advindas dos blocos de portadoras e moduladoras e o defasamento angular das fases. Os códigos desses blocos são descritos no tópico A.1.4.

Figura A.2 – Diagrama de blocos do programa: divisores de frequência de portadora e moduladora, triangulares (portadoras superior e inferior) e moduladoras.



Fonte: Elaborada pelo autor.

Figura A.3 – Diagrama de blocos do programa: moduladoras e blocos lógicos das fases A, B e C.



Fonte: Elaborada pelo autor.

A.1.1. Divisor_de_frequencia: divisor_portadora // divisor_moduladora

Os códigos são idênticos para portadora e moduladora, modificando apenas os parâmetros na entrada do bloco.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity divisor_de_frequencia is
    generic (limite : integer := 1000);
    port (clk, reset : in std_logic; -- espera-se uma entrada vinda de um PLL
          pll_ready : in std_logic;
          saida : out std_logic);
end divisor_de_frequencia;
architecture codigo of divisor_de_frequencia is

    signal c_reg, c_next : unsigned (9 downto 0);

begin

    process (clk, reset, pll_ready)
    begin
        if (reset = '1') then
            c_reg <= (others => '0');
        elsif (pll_ready = '1') then -- teste se a multiplicação do pll já foi concluída
            if rising_edge(clk) then
                c_reg <= c_next;
            end if;
        end if;
    end process;

    -- lógica próximo estado

    c_next <= (others => '0') when c_reg >= limite-1 else
              c_reg + 1;

    saida <= clk when (limite <= 1 and pll_ready = '1') else
              '1' when c_reg = limite-1 else
              '0';

    -- saida <= clock_pll when pll_ready = '1' else
    -- saida <= '0'; -- seguidor de sinal
end codigo;

```

A.1.2. Triangular: portadoras_one // portadoras_two

```

library ieee;
use ieee.std_logic_1164.all;

```

```

use ieee.numeric_std.all;

entity triangular is
  generic (load : unsigned (7 downto 0) := "01010101"); -- 85 decimal
  port (clk, reset : in std_logic;
        es_inicial, ei_inicial : in std_logic; -- '0'-> 0°
        -- '1'-> 180°
        start : out std_logic;
        tsup, tinf : out unsigned (7 downto 0));
end triangular;

architecture codigo of triangular is

  type maquina_superior is (idle, inc_1, dec_1, delay_1, inc_2, dec_2, delay_2);
  signal s_reg, s_next : maquina_superior;
  signal c_reg, c_next : unsigned (7 downto 0);
  signal delay_reg, delay_next : unsigned (7 downto 0);
  signal decremente : std_logic;
  signal start_buff : std_logic;

  type maquina_inferior is (idle, inc, delay, dec);
  signal i_reg, i_next : maquina_inferior;
  signal b_reg, b_next : unsigned (7 downto 0);

begin

  process (clk, reset)
  begin
    if (reset = '1') then
      s_reg <= idle;
      c_reg <= (others => '0');
      delay_reg <= (others => '0');
      i_reg <= idle;
      b_reg <= (others => '0');
    elsif rising_edge(clk) then
      s_reg <= s_next;
      c_reg <= c_next;
      delay_reg <= delay_next;
      i_reg <= i_next;
      b_reg <= b_next;
    end if;
  end process;

  -- Lógica do sinal "Start"
  -- antecipando a saída "start"
  process (s_next)
  begin
    start_buff <= '0';
    case s_next is

```

```

when idle =>
when inc_1 =>
    start_buff <= '1'; -- caso de es,ei_inicial = '0'
when dec_1 =>
when delay_1 =>
    start_buff <= '1'; -- caso de es,ei_inicial = '1'
when inc_2 =>
when dec_2 =>
when delay_2 =>
    end case;
end process;

-- FSM para geracao das portadoras superiores
process (s_reg, c_reg, c_next, delay_reg, delay_next, es_inicial)
begin
    s_next <= s_reg;
    c_next <= c_reg;
    delay_next <= delay_reg;
    decremente <= '0';
    case s_reg is
        when idle =>
            c_next <= load; -- contagem inicia em 85
            if (es_inicial = '0') then
                s_next <= inc_1;
            else -- se es_inicial = '1' -> corresponde a 180° de defasagem
                delay_next <= "01010101";
                s_next <= delay_1;
            end if;
        when inc_1 =>
            c_next <= c_reg + 1;
            if c_next = 255 then -- pico da triangular MAIOR da Portadora
                s_next <= dec_1;
            end if;
        when dec_1 =>
            c_next <= c_reg - 1;
            if c_next = 85 then
                delay_next <= c_next; -- receber 85
                s_next <= delay_1;
            end if;
        when delay_1 =>
            delay_next <= delay_reg - 1;
            if delay_next = 0 then
                c_next <= "01010101"; -- 85 decimal
                s_next <= inc_2;
            end if;
        when inc_2 =>
            c_next <= c_reg + 1;

```

que significa:

Superior

```

superior
    if c_next = 170 then -- pico da triangular MENOR da portadora
        s_next <= dec_2;
    end if;
when dec_2 =>
    c_next <= c_reg - 1;
    if c_next = 85 then
        delay_next <= c_next;
        decremente <= '1';
        s_next <= delay_2;
    end if;
when delay_2 =>
    delay_next <= delay_reg - 1;
    if delay_next = 0 then
        c_next <= "01010101"; -- 85 decimal
        s_next <= inc_1; -- retorna ao inicio
    end if;
end case;
end process;

-- FSM para geração das portadoras inferiores
process (i_reg, b_reg, b_next, ei_inicial, start_buff, decremente)
begin
    i_next <= i_reg;
    b_next <= b_reg;
    case i_reg is
        when idle =>
            if start_buff = '1' then
                if (ei_inicial = '0') then
                    b_next <= (others => '0');
                    i_next <= inc;
                else -- i.e. ei_inicial = '1' -> vai pra metade do delay
                    b_next <= "01010101";
                    i_next <= delay;
                end if;
            end if;
        when inc =>
            b_next <= b_reg + 1;
            if b_next = 85 then
                i_next <= delay;
            end if;
        when delay => -- ver na simulação qual o valor que b_reg esta entrando
            -- se for 85, ok. se for 86, o timing do
            -- ta errado...
            if (decremente = '1') then
                i_next <= dec;
            end if;
        when dec =>

```

```

        b_next <= b_reg - 1;
        if b_next = 0 then
            i_next <= inc;
        end if;
    end case;
end process;

tsup <= c_reg;
tinf <= b_reg;
start <= start_buff;

end codigo;

```

A.1.3. Moduladoras_aprimoradas: senoides_apri

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

ENTITY moduladoras_aprimoradas IS

PORT (clk_div, reset : IN std_logic;
      start : in std_logic;
      key0, key1 : in std_logic;
      leds : out std_logic_vector(3 downto 0); -- leds de interface para as tabelas
      senA, senB, senC : OUT unsigned (7 downto 0));
--disp : OUT BIT_VECTOR (6 DOWNT0 0)); -- DE0 nano não tem display

END moduladoras_aprimoradas;

```

```

ARCHITECTURE codigo OF moduladoras_aprimoradas IS
    TYPE tabela IS ARRAY(INTEGER RANGE<>) OF NATURAL;
    CONSTANT dados8 : tabela (0 TO 284) :=
(108, 149, 150, 152, 154, 156, 158, 159, 161, 163, 165, 167, 169, 171,
174, 177, 180, 184, 187, 190, 193, 196, 199, 202, 204, 205, 206, 207,
208, 209, 209, 210, 211, 211, 212, 213, 215, 217, 219, 220, 222, 224,
226, 228, 229, 231, 233, 235, 197, 199, 200, 202, 203, 205, 206, 207,
208, 209, 210, 211, 212, 212, 211, 211, 210, 209, 209, 208, 207, 206,
205, 204, 205, 206, 207, 207, 208, 209, 210, 210, 211, 212, 212, 212,
211, 210, 209, 208, 206, 205, 204, 202, 201, 199, 198, 196, 234, 232,
230, 229, 227, 225, 223, 221, 219, 218, 216, 214, 212, 212, 211, 210,
210, 209, 208, 207, 207, 206, 205, 203, 200, 197, 194, 191, 188, 185,
182, 179, 176, 172, 170, 168, 166, 164, 162, 160, 158, 157, 155, 153,
151, 150, 148, 107, 105, 104, 102, 100, 98, 97, 95, 93, 91, 89, 87, 85,
83, 79, 76, 73, 70, 67, 64, 61, 58, 55, 52, 50, 49, 48, 48, 47, 46, 45,
45, 44, 43, 43, 41, 39, 37, 36, 34, 32, 30, 28, 26, 25, 23, 21, 20, 57,
56, 54, 53, 51, 50, 49, 47, 46, 45, 44, 43, 43, 43, 44, 45, 45, 46, 47,
48, 48, 49, 50, 51, 50, 49, 48, 47, 46, 46, 45, 44, 44, 43, 43, 44, 45,
46, 47, 48, 49, 50, 52, 53, 55, 56, 58, 20, 22, 24, 26, 27, 29, 31, 33,

```

35, 36, 38, 40, 42, 43, 44, 44, 45, 46, 46, 47, 48, 49, 50, 51, 53, 56,
59, 62, 65, 68, 71, 75, 78, 81, 84, 86, 88, 90, 92, 94, 96, 97, 99, 101,
103, 104, 106);

CONSTANT dados7 : tabela (0 TO 284) :=

(102, 154, 156, 157, 159, 160, 162, 163, 165, 167, 168, 170, 171, 173,
175, 176, 178, 180, 181, 183, 185, 187, 190, 193, 195, 195, 196, 197,
198, 200, 202, 204, 205, 207, 209, 210, 212, 214, 215, 217, 218, 220,
222, 223, 225, 226, 228, 229, 180, 182, 183, 185, 186, 187, 188, 189,
190, 191, 192, 193, 194, 194, 195, 195, 196, 196, 197, 197, 197, 196,
195, 195, 195, 196, 197, 197, 197, 197, 196, 196, 195, 195, 194, 193,
192, 192, 191, 190, 189, 188, 186, 185, 184, 183, 181, 180, 228, 227,
225, 224, 222, 221, 219, 218, 216, 214, 213, 211, 209, 208, 206, 204,
203, 201, 199, 198, 197, 196, 195, 194, 191, 189, 186, 184, 182, 181,
179, 177, 176, 174, 172, 171, 169, 167, 166, 164, 163, 161, 159, 158,
156, 155, 153, 102, 100, 99, 97, 96, 94, 92, 91, 89, 88, 86, 84, 83,
81, 79, 78, 76, 74, 73, 71, 69, 66, 64, 61, 60, 59, 58, 57, 56, 54,
52, 51, 49, 47, 46, 44, 42, 41, 39, 37, 36, 34, 33, 31, 30, 28, 27,
25, 74, 72, 71, 70, 69, 67, 66, 65, 64, 63, 63, 62, 61, 60, 60, 59,
59, 58, 58, 58, 58, 59, 60, 60, 60, 59, 58, 58, 58, 59, 59, 60, 60,
61, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 72, 73, 75, 26, 27, 29,
30, 32, 33, 35, 37, 38, 40, 41, 43, 45, 46, 48, 50, 51, 53, 55, 57,
58, 59, 60, 60, 62, 65, 68, 70, 72, 74, 75, 77, 79, 80, 82, 84, 85,
87, 88, 90, 92, 93, 95, 96, 98, 99, 101);

CONSTANT dados6 : tabela (0 TO 284) :=

(97, 159, 161, 162, 163, 165, 166, 167, 169, 170, 171, 173, 174, 175,
176, 177, 178, 179, 180, 181, 182, 183, 184, 184, 185, 188, 190, 192,
194, 196, 198, 200, 202, 204, 206, 208, 209, 210, 212, 213, 214, 216,
217, 219, 220, 221, 222, 224, 164, 165, 166, 167, 168, 169, 170, 171,
172, 173, 174, 174, 175, 176, 177, 178, 179, 180, 181, 182, 182, 183,
184, 185, 184, 184, 183, 182, 181, 180, 179, 178, 177, 176, 175, 175,
174, 173, 172, 172, 171, 170, 169, 168, 167, 166, 164, 163, 223, 222,
221, 219, 218, 217, 215, 214, 212, 211, 210, 208, 207, 205, 203, 201,
199, 197, 195, 193, 191, 189, 187, 185, 184, 183, 182, 182, 181, 180,
179, 178, 177, 176, 175, 174, 172, 171, 169, 168, 167, 165, 164, 163,
161, 160, 159, 96, 95, 94, 92, 91, 90, 88, 87, 86, 84, 83, 81, 80, 79,
78, 77, 76, 75, 74, 73, 73, 72, 71, 70, 68, 66, 64, 62, 60, 58, 56, 54,
52, 50, 48, 47, 45, 44, 43, 41, 40, 38, 37, 36, 34, 33, 32, 31, 91, 89,
88, 87, 86, 85, 84, 83, 83, 82, 81, 80, 80, 79, 78, 77, 76, 75, 74, 73,
72, 71, 71, 70, 71, 72, 73, 73, 74, 75, 76, 77, 78, 79, 80, 81, 81, 82,
83, 84, 85, 86, 87, 88, 89, 90, 91, 31, 33, 34, 35, 36, 38, 39, 41, 42,
43, 45, 46, 47, 49, 51, 53, 55, 57, 59, 61, 63, 65, 67, 70, 71, 71, 72,
73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 84, 85, 86, 88, 89, 90, 92, 93,
94, 96);

CONSTANT dados5 : tabela (0 TO 284) :=

(100, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 167,
168, 169, 170, 171, 171, 172, 173, 174, 174, 175, 176, 178, 179, 181,
183, 185, 186, 188, 190, 191, 193, 194, 196, 197, 199, 200, 201, 203,

204, 205, 206, 208, 209, 210, 156, 157, 158, 159, 160, 161, 162, 163, 164, 164, 165, 166, 167, 168, 169, 170, 170, 171, 172, 173, 173, 174, 175, 175, 175, 174, 174, 173, 172, 171, 171, 170, 169, 168, 167, 167, 166, 165, 164, 163, 162, 161, 160, 159, 158, 157, 156, 155, 209, 208, 207, 206, 205, 203, 202, 201, 199, 198, 196, 195, 193, 192, 190, 189, 187, 185, 184, 182, 180, 178, 177, 175, 175, 174, 173, 173, 172, 171, 170, 170, 169, 168, 167, 166, 165, 164, 164, 163, 162, 161, 160, 159, 158, 157, 156, 99, 98, 97, 96, 95, 94, 93, 92, 91, 91, 90, 89, 88, 87, 86, 85, 85, 84, 83, 82, 82, 81, 80, 80, 78, 77, 75, 73, 71, 70, 68, 66, 65, 63, 62, 60, 59, 57, 56, 54, 53, 52, 50, 49, 48, 47, 46, 45, 99, 98, 97, 96, 95, 94, 93, 92, 91, 90, 89, 88, 88, 87, 86, 85, 84, 84, 83, 82, 81, 81, 80, 80, 80, 81, 82, 82, 83, 84, 85, 85, 86, 87, 88, 89, 90, 91, 91, 92, 93, 94, 95, 96, 97, 98, 99, 45, 46, 47, 49, 50, 51, 52, 54, 55, 56, 58, 59, 61, 62, 64, 65, 67, 69, 70, 72, 74, 76, 77, 79, 80, 81, 81, 82, 83, 84, 84, 85, 86, 87, 88, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99);

CONSTANT dados4 : tabela (0 TO 284) :=

(105, 150, 151, 152, 153, 154, 154, 155, 156, 157, 157, 158, 159, 159, 160, 161, 161, 162, 163, 163, 164, 164, 165, 165, 166, 168, 169, 170, 172, 173, 174, 176, 177, 178, 180, 181, 182, 183, 184, 185, 187, 188, 189, 190, 191, 192, 192, 193, 150, 151, 152, 152, 153, 154, 155, 156, 156, 157, 158, 158, 159, 160, 160, 161, 162, 162, 163, 164, 164, 165, 165, 166, 165, 165, 164, 164, 163, 163, 162, 161, 161, 160, 159, 159, 158, 157, 157, 156, 155, 154, 154, 153, 152, 151, 150, 150, 193, 192, 191, 190, 189, 188, 187, 186, 185, 184, 183, 181, 180, 179, 178, 176, 175, 174, 172, 171, 170, 168, 167, 166, 165, 165, 164, 164, 163, 162, 162, 161, 160, 160, 159, 158, 158, 157, 156, 156, 155, 154, 153, 152, 152, 151, 150, 105, 104, 103, 103, 102, 101, 100, 99, 99, 98, 97, 97, 96, 95, 95, 94, 93, 93, 92, 91, 91, 90, 90, 89, 88, 87, 85, 84, 83, 81, 80, 79, 77, 76, 75, 74, 72, 71, 70, 69, 68, 67, 66, 65, 64, 63, 62, 61, 105, 104, 103, 102, 101, 101, 100, 99, 98, 98, 97, 96, 96, 95, 94, 94, 93, 92, 92, 91, 91, 90, 90, 89, 90, 90, 91, 91, 92, 93, 93, 94, 95, 95, 96, 97, 97, 98, 99, 99, 100, 101, 102, 103, 103, 104, 105, 62, 63, 63, 64, 65, 66, 67, 68, 70, 71, 72, 73, 74, 75, 77, 78, 79, 81, 82, 83, 85, 86, 87, 89, 90, 90, 91, 91, 92, 92, 93, 94, 94, 95, 96, 96, 97, 98, 98, 99, 100, 101, 101, 102, 103, 104, 105);

CONSTANT dados3 : tabela (0 TO 284) :=

(111, 145, 145, 146, 147, 147, 148, 148, 149, 149, 150, 150, 151, 151, 152, 152, 153, 153, 154, 154, 155, 155, 156, 156, 156, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 168, 169, 170, 171, 172, 173, 173, 174, 175, 176, 176, 177, 144, 145, 146, 146, 147, 147, 148, 149, 149, 150, 150, 151, 151, 152, 152, 153, 153, 154, 154, 155, 155, 155, 156, 156, 156, 156, 155, 155, 154, 154, 153, 153, 152, 152, 151, 151, 150, 150, 149, 149, 148, 148, 147, 147, 146, 145, 145, 144, 177, 176, 175, 174, 174, 173, 172, 171, 171, 170, 169, 168, 167, 166, 165, 164, 163, 162, 161, 160, 159, 158, 157, 156, 156, 155, 155, 155, 154, 154, 153, 153, 152, 152, 151, 151, 150, 150, 149, 149, 148, 147, 147, 146, 146, 145, 144, 111, 110, 109, 109, 108, 108, 107, 106, 106, 105, 105,

```

104, 104, 103, 103, 102, 102, 101, 101, 100, 100, 100, 99, 99, 98, 97,
96, 95, 94, 93, 92, 91, 90, 89, 88, 87, 86, 85, 84, 84, 83, 82, 81, 81,
80, 79, 78, 78, 110, 110, 109, 108, 108, 107, 107, 106, 106, 105, 105,
104, 104, 103, 103, 102, 102, 101, 101, 100, 100, 99, 99, 99, 99, 100,
100, 100, 101, 101, 102, 102, 103, 103, 104, 104, 105, 105, 106, 106,
107, 108, 108, 109, 109, 110, 111, 78, 79, 79, 80, 81, 82, 82, 83, 84,
85, 86, 87, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 99, 99, 99, 100,
100, 101, 101, 102, 102, 103, 103, 104, 104, 105, 105, 106, 106, 107,
107, 108, 108, 109, 110, 110 );

```

```

signal dados : tabela (0 TO 284);

```

```

signal A_reg, A_next, B_reg, B_next, C_reg, C_next : unsigned (8 downto 0); --
0~511(284)

```

```

type state is (preparar, vai);
signal s_reg, s_next : state;
signal contagem_habilitada : std_logic;

```

```

----- Sinais de controle das tabelas -----

```

```

type maquina is (idle, inc, dec, zero);
signal state_reg, state_next : maquina;
signal controle_reg, controle_next : unsigned (3 downto 0);
constant limite_inferior : unsigned (3 downto 0) := "0011"; -- 3
constant limite_superior : unsigned (3 downto 0) := "1000"; -- 8
-----

```

```

BEGIN

```

```

process (reset, clk_div)
begin
    if (reset = '1') then
        s_reg <= preparar;
        a_reg <= (others => '0');
        b_reg <= "010111110"; -- 190
        c_reg <= "001011111"; -- 95
        state_reg <= idle;
        controle_reg <= limite_inferior;
    elsif rising_edge(clk_div) then
        s_reg <= s_next;
        a_reg <= a_next;
        b_reg <= b_next;
        c_reg <= c_next;
        state_reg <= state_next;
        controle_reg <= controle_next;
    end if;
end process;

```

```

process (s_reg, start)
begin
    s_next <= s_reg;

```

```

contagem_habilitada <= '0';
case s_reg is
  when preparar =>
    if (start = '1') then
      s_next <= vai;
    else
      s_next <= preparar;
    end if;
  when vai =>
    contagem_habilitada <= '1';
end case;
end process;

a_next <= (others => '0') when a_reg >= 284 else
  a_reg + 1 when contagem_habilitada = '1' else
  a_reg;
b_next <= (others => '0') when b_reg >= 284 else
  b_reg + 1 when contagem_habilitada = '1' else
  b_reg;
c_next <= (others => '0') when c_reg >= 284 else
  c_reg + 1 when contagem_habilitada = '1' else
  c_reg;

```

----- Logica botoes de controle das tabelas -----

```

process (state_reg, key0, key1, controle_reg)
begin
  controle_next <= controle_reg;
  state_next <= state_reg;
  case state_reg is
    when idle =>
      if (key0 = '0') then
        state_next <= inc;
      elsif (key1 = '0') then
        state_next <= dec;
      end if;
    when inc =>
      state_next <= zero;
      if (controle_reg >= limite_superior) then
        controle_next <= limite_inferior;
      else
        controle_next <= controle_reg + 1;
      end if;
    when dec =>
      state_next <= zero;
      if (controle_reg <= limite_inferior) then
        controle_next <= limite_superior;
      else
        controle_next <= controle_reg - 1;
      end if;
    when zero =>

```

```

        if (key0 = '1' and key1 = '1') then
            state_next <= idle;
        end if;
    end case;
end process;

leds <= std_logic_vector(controle_reg);

with controle_reg select
    dados <=
        dados3 when "0011", -- Tabela 3
        dados4 when "0100", -- Tabela 4
        dados5 when "0101", -- Tabela 5
        dados6 when "0110", -- Tabela 6
        dados7 when "0111", -- Tabela 7
        dados8 when others; -- Tabela 8
-----

senA <= to_unsigned(dados(to_integer(a_reg)),8);
senB <= to_unsigned(dados(to_integer(b_reg)),8);
senC <= to_unsigned(dados(to_integer(c_reg)),8);

```

END codigo;

A.1.4. Blocologico: faseA // faseB // faseC

```

library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.all;

```

```

entity blocologico is
    port (clk, reset : in std_logic;
          tsup1, tsup2, tinf1, tinf2 : in unsigned (7 downto 0);
          senoide : in unsigned (7 downto 0);
          s1, s2, s3, s4 : out std_logic;
          PWM1, PWM2 : out std_logic);
end blocologico;

```

architecture codigo of blocologico is

```

    signal moduladora_maorigual_tsup1 : std_logic; -- moduladora é "a"; portadora é "b"
    signal moduladora_maorigual_tsup2 : std_logic;
    signal moduladora_maorigual_tinf1 : std_logic;
    signal moduladora_maorigual_tinf2 : std_logic;
    signal senoide_maorigual_85 : std_logic;
    signal sx_buffer1, sx_buffer2 : std_logic;
    signal s1_reg, s2_reg, s3_reg, s4_reg : std_logic;
    constant limite : integer := 5;

```

```

begin

-- Instancia de componentes
----- instacia dos blocos de tempo morto -----
sx1 : entity work.tempo_morto(codigo)
      generic map (limite => limite)
      port map (clk => clk,
                reset => reset,
                chave => s1_reg,
                ch_out => s1);

sx2 : entity work.tempo_morto(codigo)
      generic map (limite => limite)
      port map (clk => clk,
                reset => reset,
                chave => s2_reg,
                ch_out => s2);

sx3 : entity work.tempo_morto(codigo)
      generic map (limite => limite)
      port map (clk => clk,
                reset => reset,
                chave => s3_reg,
                ch_out => s3);

sx4 : entity work.tempo_morto(codigo)
      generic map (limite => limite)
      port map (clk => clk,
                reset => reset,
                chave => s4_reg,
                ch_out => s4);
-----

----- geracao dos sinais das comparacoes -----
senoide_maorigual_85 <= '1' when senoide >= 85 else
                                                                '0';
moduladora_maorigual_tsup1 <= '1' when senoide >= tsup1 else
                                                                '0';
moduladora_maorigual_tsup2 <= '1' when senoide >= tsup2 else
                                                                '0';
moduladora_maorigual_tinf1 <= '1' when senoide >= tinf1 else
                                                                '0';
moduladora_maorigual_tinf2 <= '1' when senoide >= tinf2 else
                                                                '0';

----- logica dos semicondutores -----

sx_buffer1 <= ((moduladora_maorigual_tsup1 and senoide_maorigual_85) or
(moduladora_maorigual_tinf1 and (not senoide_maorigual_85)));

```

```
    sx_buffer2 <= ((moduladora_maorigual_tsup2 and senoide_maorigual_85) or  
(moduladora_maorigual_tinf2 and (not senoide_maorigual_85)));
```

```
    s1_reg <= sx_buffer1;  
    s4_reg <= not sx_buffer1;  
    s2_reg <= sx_buffer2;  
    s3_reg <= not sx_buffer2;
```

```
    PWM1 <= moduladora_maorigual_tsup1;  
    PWM2 <= moduladora_maorigual_tinf1;
```

```
end codigo;
```

Apêndice B – Equacionamento da célula unitária

As equações B.1 a B.19 descrevem as funções $f(x,y)$ das portadoras e as expressões B.20 e B.21 apresentam os sinais das moduladoras.

$$P_{1_I1}(t) = \frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t \quad (\text{B.1})$$

$$P_{1_I2}(t) = \frac{1}{3} \quad (\text{B.2})$$

$$P_{1_I3}(t) = -\frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t + \frac{8}{3} \quad (\text{B.3})$$

$$P_{1_S1}(t) = \frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t + \frac{1}{3} \quad (\text{B.4})$$

$$P_{1_S2}(t) = -\frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t + \frac{5}{3} \quad (\text{B.5})$$

$$P_{1_S3}(t) = \frac{1}{3} \quad (\text{B.6})$$

$$P_{1_S4}(t) = \frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t - \frac{4}{3} \quad (\text{B.7})$$

$$P_{1_S5}(t) = -\frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t + \frac{8}{3} \quad (\text{B.8})$$

$$P_{1_S6}(t) = \frac{1}{3} \quad (\text{B.9})$$

$$P_{2_I1}(t) = \frac{1}{3} \quad (\text{B.10})$$

$$P_{2_I2}(t) = -\frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t + \frac{4}{3} \quad (\text{B.11})$$

$$P_{2_I3}(t) = \frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t - \frac{4}{3} \quad (\text{B.12})$$

$$P_{2_I4}(t) = \frac{1}{3} \quad (\text{B.13})$$

$$P_{2_S1}(t) = \frac{1}{3} \quad (\text{B.14})$$

$$P_{2_S2}(t) = \frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t \quad (\text{B.15})$$

$$P_{2_S3}(t) = -\frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t + \frac{4}{3} \quad (\text{B.16})$$

$$P_{2_S4}(t) = \frac{1}{3} \quad (\text{B.17})$$

$$P_{2_S5}(t) = \frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t - 1 \quad (\text{B.18})$$

$$P_{2_S6}(t) = -\frac{4}{3} \cdot \frac{\omega_p}{\pi} \cdot t + 3 \quad (\text{B.19})$$

$$M_1(t) = \frac{M_{\text{imax}}}{2} \cdot \cos(\omega_m t) + \frac{17}{40} \quad (\text{B.20})$$

$$M_2(t) = \frac{M_{\text{imax}}}{2} \cdot \cos(\omega_m t) + \frac{23}{40} \quad (\text{B.21})$$

Nas quais,

P_{1_I1} é a função com derivada positiva da portadora inferior 1;

P_{1_I2} é a função constante da portadora inferior 1;

P_{1_I3} é a função com derivada negativa da portadora inferior 1;

P_{1_S1} é a função com maior derivada positiva da portadora superior 1;

P_{1_S2} é a função com maior derivada negativa da portadora superior 1;

P_{1_S3} é a função constante da portadora superior 1;

P_{1_S4} é a função com menor derivada positiva da portadora superior 1;

P_{1_S5} é a função com menor derivada negativa da portadora superior 1;

P_{1_S6} é a função constante da portadora superior 1;

P_{2_I1} é a função constante da portadora inferior 2;

P_{2_I2} é a função com derivada negativa da portadora inferior 2;

P_{2_I3} é a função com derivada positiva da portadora inferior 2;

P_{2_I4} é a função constante da portadora inferior 2;

P_{2_S1} é a função constante da portadora superior 2;

P_{2_S2} é a função com menor derivada positiva da portadora superior 2;

P_{2_S3} é a função com menor derivada negativa da portadora superior 2;

P_{2_S4} é a função constante da portadora superior 2;

P_{2_S5} é a função com menor derivada positiva da portadora superior 2;

P_{2_S6} é a função com menor derivada negativa da portadora superior 2;

Os limites de integração são obtidos igualando as funções que definem o sinal de referência com as expressões que representam as portadoras. Na condição de que os interruptores são acionados quando a moduladora possui um valor superior que a portadora, a análise se dá conforme as inequações a seguir.

Comparando M_1 com P_{1_I1} :

$$x_1 < \frac{3\pi}{160} \cdot [20 \cdot M_{\text{imax}} \cdot \cos(y) + 17] \quad (\text{B.22})$$

$$y_1 > \text{acos}\left(\frac{160x - 51\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.23})$$

Comparando M_1 com P_{1_12} :

$$x_2 < 0 \quad (\text{B.24})$$

$$y_2 > \text{acos}\left(\frac{-11}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.25})$$

Comparando M_1 com P_{1_13} :

$$x_3 < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 269] \quad (\text{B.26})$$

$$y_3 > \text{acos}\left(\frac{269\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.27})$$

Comparando M_1 com P_{1_s1} :

$$x_4 < \frac{\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) + 11] \quad (\text{B.28})$$

$$y_4 > \text{acos}\left(\frac{160x - 11\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.29})$$

Comparando M_1 com P_{1_s2} :

$$x_5 < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 149] \quad (\text{B.30})$$

$$y_5 > \text{acos}\left(\frac{149\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.31})$$

Comparando M_1 com P_{1_s3} :

$$x_6 < 0 \quad (\text{B.32})$$

$$y_6 > \arccos\left(\frac{-11}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.33})$$

Comparando M_1 com P_{1_s4} :

$$x_7 < \frac{\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) + 211] \quad (\text{B.34})$$

$$y_7 > \arccos\left(\frac{160x - 211\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.35})$$

Comparando M_1 com P_{1_s5} :

$$x_8 < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 269] \quad (\text{B.36})$$

$$y_8 > \arccos\left(\frac{269\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.37})$$

Comparando M_1 com P_{1_s6} :

$$x_9 < 0 \quad (\text{B.38})$$

$$y_9 > \arccos\left(\frac{-11}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.39})$$

Comparando M_1 com P_{2_11} :

$$x_{10} < 0 \quad (\text{B.40})$$

$$y_{10} > \arccos\left(\frac{-11}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.41})$$

Comparando M_1 com P_{2_12} :

$$x_{11} < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 109] \quad (\text{B.42})$$

$$y_{11} > \arccos\left(\frac{109\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.43})$$

Comparando M_1 com P_{2_13} :

$$x_{12} < \frac{\pi}{160} \cdot [60 \cdot M_{i\max} \cdot \cos(y) + 211] \quad (\text{B.44})$$

$$y_{12} > \text{acos}\left(\frac{160x - 211\pi}{60\pi \cdot M_{i\max}}\right) \quad (\text{B.45})$$

Comparando M_1 com P_{2_14} :

$$x_{13} < 0 \quad (\text{B.46})$$

$$y_{13} > \text{acos}\left(\frac{-11}{60 \cdot M_{i\max}}\right) \quad (\text{B.47})$$

Comparando M_1 com P_{2_s1} :

$$x_{14} < 0 \quad (\text{B.48})$$

$$y_{14} > \text{acos}\left(\frac{-11}{60 \cdot M_{i\max}}\right) \quad (\text{B.49})$$

Comparando M_1 com P_{2_s2} :

$$x_{15} < \frac{3\pi}{160} \cdot [20 \cdot M_{i\max} \cdot \cos(y) + 17] \quad (\text{B.50})$$

$$y_{15} > \text{acos}\left(\frac{160x - 51\pi}{60\pi \cdot M_{i\max}}\right) \quad (\text{B.51})$$

Comparando M_1 com P_{2_s3} :

$$x_{16} < \frac{-\pi}{160} \cdot [60 \cdot M_{i\max} \cdot \cos(y) - 109] \quad (\text{B.52})$$

$$y_{16} > \text{acos}\left(\frac{109\pi - 160x}{60\pi \cdot M_{i\max}}\right) \quad (\text{B.53})$$

Comparando M_1 com P_{2_s4} :

$$x_{17} < 0 \quad (\text{B.54})$$

$$y_{17} > \arccos\left(\frac{-11}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.55})$$

Comparando M_1 com P_{2_s5} :

$$x_{18} < \frac{3\pi}{160} \cdot [20 \cdot M_{\text{imax}} \cdot \cos(y) + 57] \quad (\text{B.56})$$

$$y_{18} > \arccos\left(\frac{160X - 171\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.57})$$

Comparando M_1 com P_{2_s6} :

$$x_{19} < \frac{-3\pi}{160} \cdot [20 \cdot M_{\text{imax}} \cdot \cos(y) - 103] \quad (\text{B.58})$$

$$y_{19} > \arccos\left(\frac{309\pi - 160X}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.59})$$

Comparando M_2 com P_{1_11} :

$$x_{20} < \frac{3\pi}{160} \cdot [20 \cdot M_{\text{imax}} \cdot \cos(y) + 23] \quad (\text{B.60})$$

$$y_{20} > \arccos\left(\frac{160x - 69\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.61})$$

Comparando M_2 com P_{1_12} :

$$x_{21} < 0 \quad (\text{B.62})$$

$$y_{21} > \arccos\left(\frac{-29}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.63})$$

Comparando M_2 com P_{1_13} :

$$x_{22} < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 251] \quad (\text{B.64})$$

$$y_{22} > \arccos\left(\frac{251\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.65})$$

Comparando M_2 com P_{1_s1} :

$$x_{23} < \frac{\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) + 29] \quad (\text{B.66})$$

$$y_{23} > \text{acos}\left(\frac{160x - 29\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.67})$$

Comparando M_2 com P_{1_s2} :

$$x_{24} < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 131] \quad (\text{B.68})$$

$$y_{24} > \text{acos}\left(\frac{131\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.69})$$

Comparando M_2 com P_{1_s3} :

$$x_{25} < 0 \quad (\text{B.70})$$

$$y_{25} > \text{acos}\left(\frac{-29}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.71})$$

Comparando M_2 com P_{1_s4} :

$$x_{26} < \frac{\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) + 229] \quad (\text{B.72})$$

$$y_{26} > \text{acos}\left(\frac{160x - 229\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.73})$$

Comparando M_2 com P_{1_s5} :

$$x_{27} < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 251] \quad (\text{B.74})$$

$$y_{27} > \text{acos}\left(\frac{251\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.75})$$

Comparando M_2 com P_{1_s6} :

$$x_{28} < 0 \quad (\text{B.76})$$

$$y_{28} > \arccos\left(\frac{-29}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.77})$$

Comparando M_2 com P_{2_11} :

$$x_{29} < 0 \quad (\text{B.78})$$

$$y_{29} > \arccos\left(\frac{-29}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.79})$$

Comparando M_2 com P_{2_12} :

$$x_{30} < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 91] \quad (\text{B.80})$$

$$y_{30} > \arccos\left(\frac{91\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.81})$$

Comparando M_2 com P_{2_13} :

$$x_{31} < \frac{\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) + 229] \quad (\text{B.82})$$

$$y_{31} > \arccos\left(\frac{160x - 229\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.83})$$

Comparando M_2 com P_{2_14} :

$$x_{32} < 0 \quad (\text{B.84})$$

$$y_{32} > \arccos\left(\frac{-29}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.85})$$

Comparando M_1 com P_{2_s1} :

$$x_{33} < 0 \quad (\text{B.86})$$

$$y_{33} > \arccos\left(\frac{-29}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.87})$$

Comparando M_2 com P_{2_s2} :

$$x_{34} < \frac{3\pi}{160} \cdot [20 \cdot M_{\text{imax}} \cdot \cos(y) + 23] \quad (\text{B.88})$$

$$y_{34} > \text{acos}\left(\frac{160x - 69\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.89})$$

Comparando M_2 com P_{2_s3} :

$$x_{35} < \frac{-\pi}{160} \cdot [60 \cdot M_{\text{imax}} \cdot \cos(y) - 91] \quad (\text{B.90})$$

$$y_{35} > \text{acos}\left(\frac{91\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.91})$$

Comparando M_2 com P_{2_s4} :

$$x_{36} < 0 \quad (\text{B.92})$$

$$y_{36} > \text{acos}\left(\frac{-29}{60 \cdot M_{\text{imax}}}\right) \quad (\text{B.93})$$

Comparando M_2 com P_{2_s5} :

$$x_{37} < \frac{3\pi}{160} \cdot [20 \cdot M_{\text{imax}} \cdot \cos(y) + 63] \quad (\text{B.94})$$

$$y_{37} > \text{acos}\left(\frac{160x - 189\pi}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.95})$$

Comparando M_2 com P_{2_s6} :

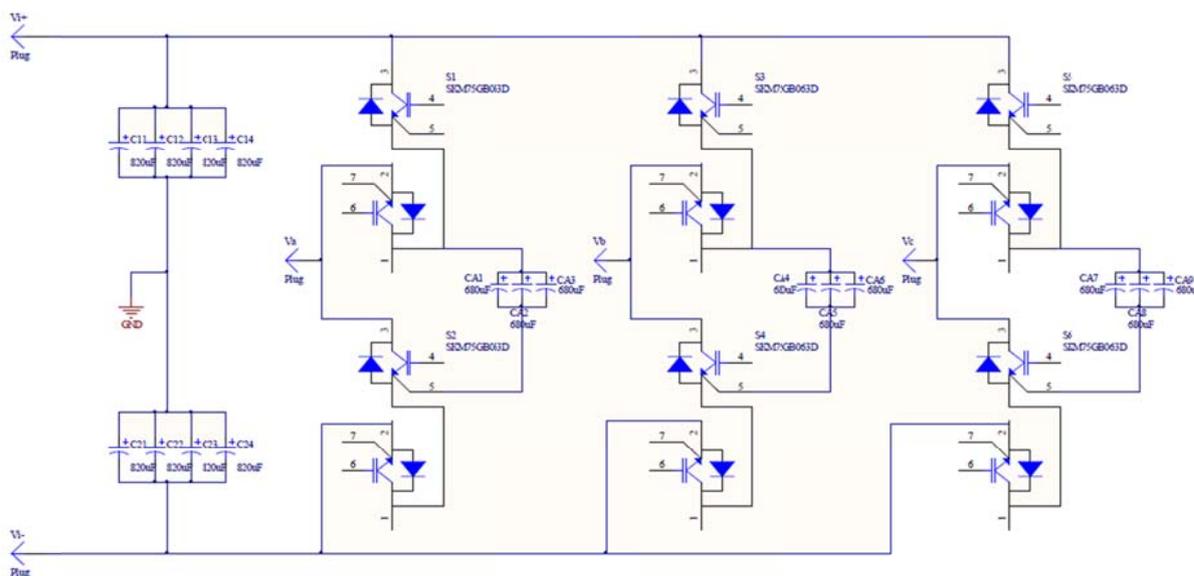
$$x_{38} < \frac{-3\pi}{160} \cdot [20 \cdot M_{\text{imax}} \cdot \cos(y) - 97] \quad (\text{B.96})$$

$$y_{38} > \text{acos}\left(\frac{291\pi - 160x}{60\pi \cdot M_{\text{imax}}}\right) \quad (\text{B.97})$$

Apêndice C – Esquemáticos

A figura C.1 apresenta o esquemático da placa do inversor multinível com capacitor flutuante de três níveis.

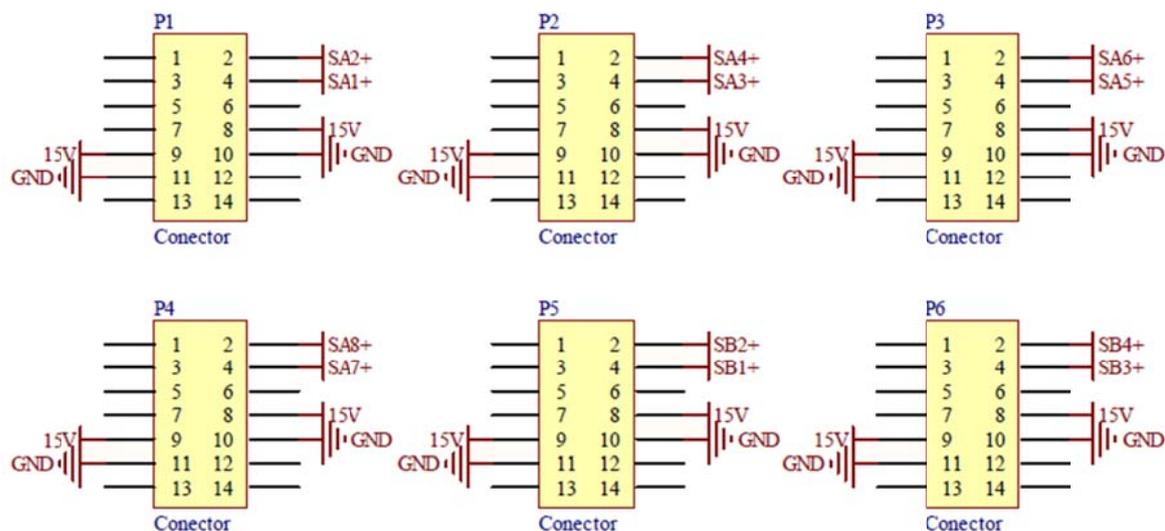
Figura C.1 – Esquemático da placa do inversor multinível com capacitor flutuante de três níveis.



Fonte: Elaborada pelo autor.

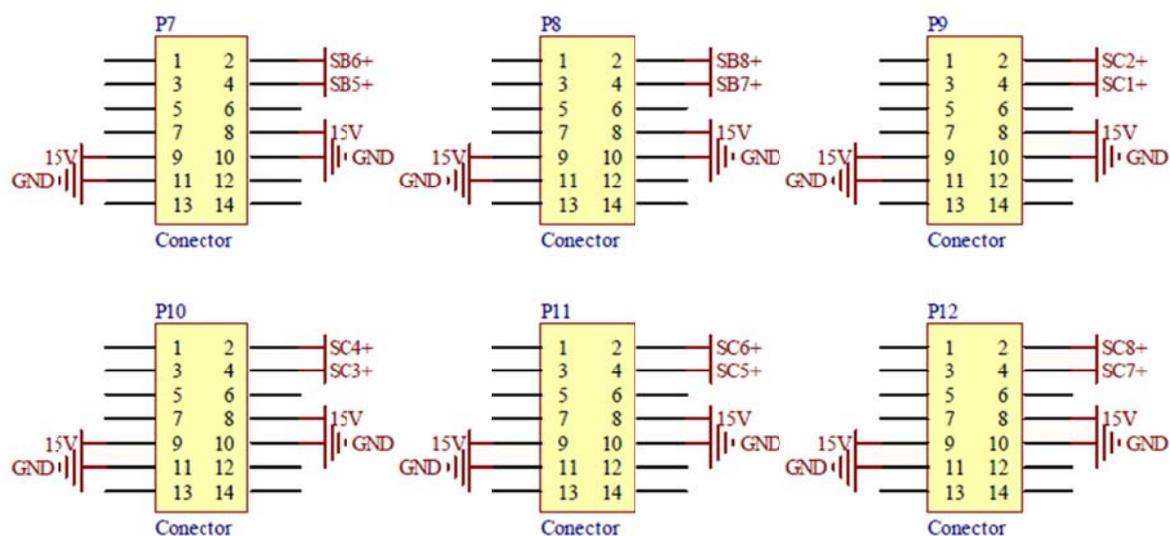
Nas figuras C.2 a C.5 são mostrados os esquemáticos da placa dos sinais de gatilho do inversor.

Figura C.2 – Esquemático da placa de sinais: conectores para os *drivers*.



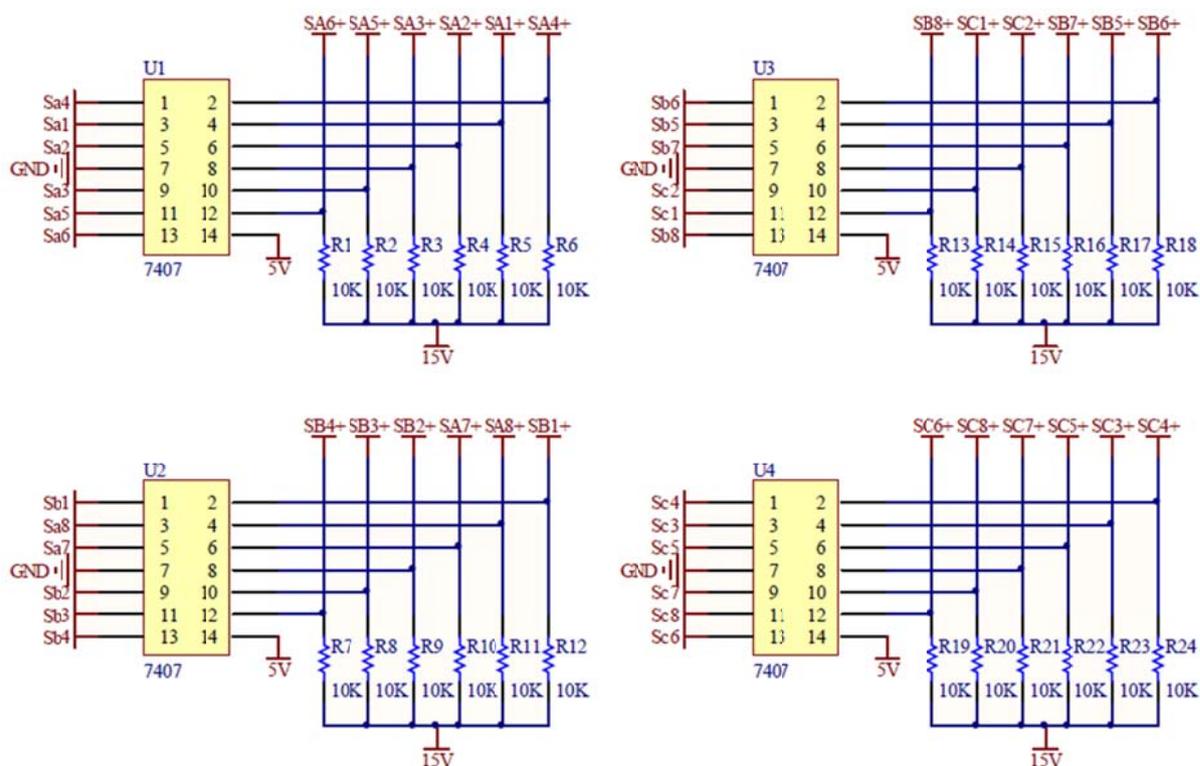
Fonte: Elaborada pelo autor.

Figura C.3 – Esquemático da placa de sinais: conectores para os *drivers*.



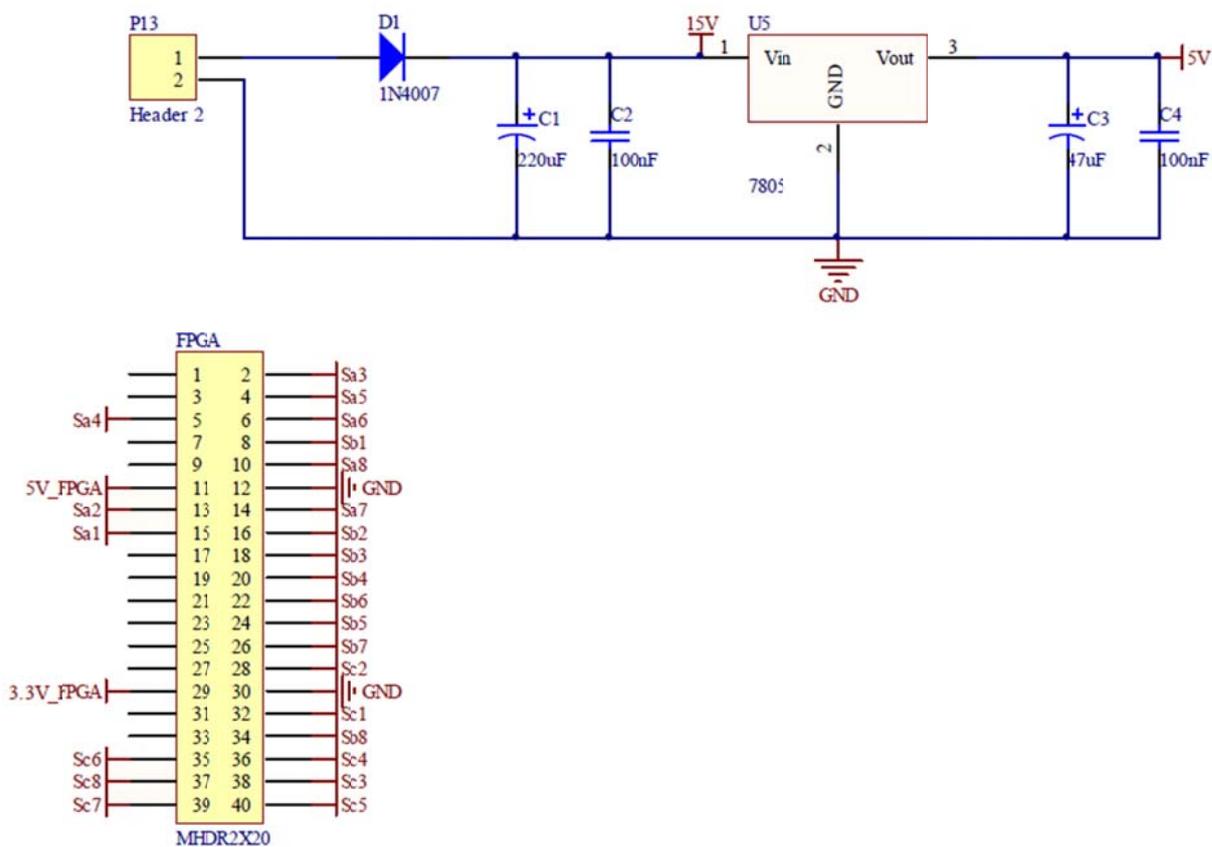
Fonte: Elaborada pelo autor.

Figura C.4 – Esquemático da placa de sinais: *buffers*.



Fonte: Elaborada pelo autor.

Figura C.5 – Esquemático da placa de sinais: fonte de alimentação e FPGA.



Fonte: Elaborada pelo autor.