



UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
DOUTORADO EM ENGENHARIA ELÉTRICA

LUAN CARLOS DOS SANTOS MAZZA

CONVERSORES CA-CC ISOLADOS BIDIRECIONAIS COM ESTÁGIO
INTEGRADO PARA APLICAÇÕES EM TRANSFORMADORES DE ESTADO
SÓLIDO

FORTALEZA

2019

LUAN CARLOS DOS SANTOS MAZZA

CONVERSORES CA-CC ISOLADOS BIDIRECIONAIS COM ESTÁGIO INTEGRADO
PARA APLICAÇÕES EM TRANSFORMADORES DE ESTADO SÓLIDO

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Tecnologia da Universidade Federal do Ceará, como requisito parcial à obtenção do título de doutor em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica

Orientador: Prof. Dr. Demercil de Souza Oliveira Júnior

Coorientador: Prof. PhD. Fernando Luiz Marcelo Antunes

FORTALEZA

2019

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Sistema de Bibliotecas
Gerada automaticamente pelo módulo Catalog, mediante os dados fornecidos pelo(a) autor(a)

M429c Mazza, Luan Carlos dos Santos.

Conversores CA-CC Isolados Bidirecionais com Estágio Integrado para Aplicações em Transformadores de Estado Sólido / Luan Carlos dos Santos Mazza. – 2019.
238 f. : il. color.

Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2019.

Orientação: Prof. Dr. Demercil de Souza Oliveira Júnior.

Coorientação: Prof. Dr. Fernando Luiz Marcelo Antunes.

1. Comutação suave ZVZCS. 2. Conversor DAB. 3. Conversor NPC-3L. 4. Célula de comutação de três estados. 5. Transformador de estado sólido. I. Título.

CDD 621.3

LUAN CARLOS DOS SANTOS MAZZA

CONVERSORES CA-CC ISOLADOS BIDIRECIONAIS COM ESTÁGIO INTEGRADO
PARA APLICAÇÕES EM TRANSFORMADORES DE ESTADO SÓLIDO

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Tecnologia da Universidade Federal do Ceará, como requisito parcial à obtenção do título de doutor em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica

Aprovada em: 10/12/2019

BANCA EXAMINADORA

Prof. Dr. Demercil de Souza Oliveira
Júnior (Orientador)
Universidade Federal do Ceará (UFC)

Prof. PhD. Fernando Luiz Marcelo
Antunes (Coorientador)
Universidade Federal do Ceará (UFC)

Prof. Dr. Carlos Alberto Canesin
Universidade Estadual Paulista (UNESP)

Dr. Kefas Damazio Coelho
ABB Switzerland Ltd (Suíça)

Prof. Dr. Nustenil Segundo de Moraes Lima
Marinus
Instituto Federal do Ceará (IFCE)

Prof. Dr. Paulo Peixoto Praça
Universidade Federal do Ceará (UFC)

À Deus.

À minha família e minha companheira Thays.

AGRADECIMENTOS

Agradeço ao laboratório GPEC por disponibilizar equipamentos e materiais para o desenvolvimento e implementação do projeto de pesquisa do doutorado.

Aos meus orientadores Prof. Dr. Demercil Oliveira e Prof. PhD. Fernando Antunes, pela orientação e confiança no desenvolvimento deste trabalho.

Aos membros da banca examinadora, Prof. Dr. Carlos Alberto Canesin, Dr. Kefas Damazio, Prof. Dr. Nustenil Marinus e Prof. Dr. Paulo Praça, que dispuseram e dedicaram seu tempo em ler e realizar suas considerações para a melhoria do documento final de tese. Aos professores, Dr. Cícero Marcos, Dra. Ruth Saraiva, Dr. Paulo Carvalho, Dr. René Bascopé, Dr. Fabrício Nogueira e Dr. Luiz Henrique, aos técnicos do Departamento de Engenharia Elétrica, em especial ao Pedro, e ao Programa de Pós-Graduação em Engenharia Elétrica – PPGEE da Universidade Federal do Ceará – UFC.

Ao meu amigo Nonato Oliveira pelas conversas, incentivos e contribuições ao trabalho.

Aos meus amigos Rodnei, Welton, Deivid, Marcello Anderson e Josias pelas conversas e momentos vividos nessa caminhada.

Aos meus colegas e amigos da pós-graduação, Fernando, Samuel, Janiere, Davi, Esio, Jorge Wattes, Juliano, Débora, Pedro Henrique, Dalton, Guilherme, Janaína, Antônio, Caio, Bruno, Bruno Almeida, Samanta, dentre outros. Enfim, todos os amigos que contribuíram nas discussões e melhorias deste trabalho, além disso, a boa convivência no laboratório.

Ao IFCE, em especial aos campi Cedro e Tabuleiro do Norte, por permitir essa capacitação e espero corresponder com retorno a sociedade.

A minha família, meus pais, Raimunda Lucineide e Raimundo Jaerdes, meus irmãos, Luiz Carlos, Pedro Lucas e Milly. Aos meus avós e a todos que sempre demonstraram muito incentivo nessa longa trajetória.

Agradeço em especial a minha companheira Thays, pois sempre me incentivou e participou ativamente desse trabalho, além disso, compreendeu a minha ausência em diversos momentos importantes de nossas vidas e sempre demonstrou muito amor e carinho.

Por fim, agradeço imensamente a todos que contribuíram de alguma forma para a conclusão deste ciclo em minha vida, no âmbito profissional e acadêmico.

Muito obrigado a todos.

“Ainda que eu andasse pelo vale da sombra da morte, não temeria mal algum, porque tu estás comigo; a tua vara e o teu cajado me consolam.”

(Salmo 23:3)

RESUMO

Nos últimos anos, a estrutura topológica dos Transformadores de Estado Sólido (TES) tem avançado bastante devido ao grande esforço dos pesquisadores na área acadêmica e industrial. Em vista desta situação, este trabalho apresenta um estudo sobre conversores CA-CC isolados bidirecionais com estágio integrado para aplicação em TES. As topologias propostas são baseadas nos conversores *Dual Active Bridge* (DAB) e *Neutral Point Clamped - Three Level* (NPC-3L) e na utilização das Células de Comutação de Três Estados (CCTE). Realiza-se um estudo das topologias implementáveis em TES através de uma revisão bibliográfica das principais estruturas publicadas recentemente. Em termos topológicos do conversor, apresenta-se o princípio de funcionamento, o mapa vetorial decorrente da análise dos vetores de espaço dos estados de chaveamento, a análise do autotransformador da CCTE, do transformador isolador da característica DAB da estrutura e do fluxo do potência através dos modelos fundamental e por etapas de operação, neste último considerando todos os harmônicos. Logo após, mostra-se as estratégias de modulação adotadas para o trabalho, assim como realiza-se a modelagem matemática do circuito de potência e as estratégias de controle implementadas. A análise de comutação dos interruptores de potência é desenvolvida visando obter as regiões de operação para comutação suave *Zero Voltage Switching* (ZVS) e *Zero Current Switching* (ZCS). Aborda-se no trabalho o estudo das perdas elétricas das topologias monofásicas e trifásicas, tanto perda por condução como em comutação, e compara-se a estrutura trifásica proposta com outras presentes na literatura. Os resultados de simulações numéricas são desenvolvidas objetivando comprovar as análises teóricas. Um protótipo monofásico foi implementado para coleta de resultados experimentais, validando o estudo teórico.

Palavras-chave: Comutação suave ZVZCS. Conversor DAB. Conversor NPC-3L. Célula de comutação de três estados. Transformador de estado sólido.

ABSTRACT

In recent years, the topological technology of Solid State Transformers (SST) has advanced greatly due to the great effort of researchers in the academic and industrial area. In view of this situation, this work presents a study of bidirectional isolated CA-CC converters with integrated stage for TES application. The proposed topologies are based on the three-level Dual Active Bridge (DAB) and three-level Neutral Point Clamped (NPC) converters and on the use of the Three State Switching Cells (3SSC). A study of the implementable topologies in SST is carried out through a bibliographical review of the main recently published structures. In the topological terms of the converter, the operating principle is presented, the vector map derived from the analysis of the space vectors of the switching states, the autotransformer analysis of the TSSC and the transformer isolating the DAB characteristic of the structure. Next, we show the modulation strategies adopted for the work, as well as the mathematical modeling of the power circuit and the control strategies implemented. Switching analysis of power switches is developed in order to obtain the Zero Voltage Switching (ZVS) and Zero Current Switching (ZCS) switching regions. In this work, the study of the electrical losses of the topology, both conduction and switching losses, is discussed. Finally, the proposed structure is compared with others present in the power electronics literature. The results of numerical simulations are developed in order to prove the theoretical analysis. A single phase prototype was implemented to collect experimental results, validating the theoretical study.

Keywords: Soft switching ZVZCS. DAB converter. NPC three level converter. Three state switching cell. Solid State Transformer.

LISTA DE FIGURAS

Figura 1	– Modelo do transformador de estado sólido (TES)	31
Figura 2	– Estudos iniciais sobre os TES: (a) TES CA-CA <i>buck</i> ; (b) Conversor CA-CA <i>Step Down</i> ; (c) TES CA-CA <i>Step Up/Down</i> e (d) Chave bidirecional em tensão e corrente implementada nas topologias em (a), (b) e (c).	32
Figura 3	– Classificação dos TES em relação ao número de estágios de conversão: (a) Estágio único de conversão; (b) Dois estágios de conversão com barramento CC de baixa tensão; (c) Dois estágios de conversão com barramento CC em alta tensão e (d) Três estágios de conversão.	34
Figura 4	– Circuitos propostos por (CHEN, 2008): (a) Estrutura básica do circuito; (b) Circuito de potência da topologia no modo monofásico de quatro quadrante; (c) Circuito da topologia no modo <i>Push-Pull</i> ; (d) Circuito da topologia no modo <i>Half-Bridge</i> e (e) Circuito da topologia no modo <i>Full-Bridge</i>	35
Figura 5	– Conversor CA-CA proposto em (SABAHI <i>et al.</i> , 2010).	36
Figura 6	– Conversor CA-CA bidirecional isolado proposto em (FAN; LI, 2011), com dois estágios de conversão com barramento CC de alta tensão	36
Figura 7	– Conversor CA-CA bidirecional isolado proposto em (BASU; MOHAN, 2014), com dois estágios de conversão com barramento CC de alta tensão	38
Figura 8	– Conversor CA-CA bidirecional isolado proposto em (BASU <i>et al.</i> , 2015), com dois estágios de conversão com barramento CC de alta tensão	39
Figura 9	– Classificação dos TES em relação ao arranjo dos conversores: (a) Conversores não modular nos lados primário e secundário; (b) Conversores conectados em série no primário com acesso à níveis intermediários e conversores conectados em série no primário sem acesso à níveis intermediários e conversor não modular no lado secundário; (d) Conversores conectados em série no primário com acesso à níveis intermediários e conversores em paralelo no secundário e (e) Conversores conectados em série no primário sem acesso à níveis intermediários e conversores em paralelo no secundário.	40
Figura 10	– Conversor CC-CC bidirecional isolado: (a) <i>dual half bridge</i> (DHB); (b) <i>dual active bridge</i> (DAB) monofásico e (c) DAB trifásico.	41
Figura 11	– Conversor CC-CC bidirecional isolado proposto por (HONORIO <i>et al.</i> , 2016).	41
Figura 12	– Conversor CA-CA bidirecional isolado proposto por (QIN; KIMBALL, 2013).	42

Figura 13 – Conversor CA-CA bidirecional isolado proposto por (MADHUSOODHANAN <i>et al.</i> , 2015).	44
Figura 14 – Conversor CA-CA bidirecional isolado proposto por (WANG <i>et al.</i> , 2016).	45
Figura 15 – Conversor CA-CA bidirecional isolado proposto por (CHEN <i>et al.</i> , 2016) e (CHEN <i>et al.</i> , 2017).	45
Figura 16 – Conversor CA-CC bidirecional isolado proposto por (FALCONES <i>et al.</i> , 2013).	46
Figura 17 – Conversor CA-CC bidirecional isolado proposto por (JOCA <i>et al.</i> , 2015).	47
Figura 18 – Conversor CA-CC bidirecional isolado proposto por (PACHECO <i>et al.</i> , 2015).	48
Figura 19 – Conversor CC-CC bidirecional isolado proposto por (WANG; LI, 2012) e (WANG; LI, 2013).	49
Figura 20 – Conversor CC-CC bidirecional isolado proposto por (OLIVEIRA FILHO <i>et al.</i> , 2016).	50
Figura 21 – Conversor CC-CC bidirecional isolado proposto por (LEIBL <i>et al.</i> , 2017).	50
Figura 22 – Conversor CC-CC bidirecional isolado proposto por (de Oliveira <i>et al.</i> , 2019).	51
Figura 23 – Conversor CC-CC bidirecional isolado proposto em (MAZZA <i>et al.</i> , 2015).	51
Figura 24 – Versão primitiva do conversor CC-CC bidirecional isolado proposto em (MAZZA <i>et al.</i> , 2015).	52
Figura 25 – Conversor CA-CC monofásico isolado com estrutura no secundário alimentada em tensão, proposto para aplicação em TES.	52
Figura 26 – Conversor CA-CC trifásico bidirecional de único estágio com correção de fator de potência e isolado em alta frequência.	52
Figura 27 – Conversor CA-CC trifásico bidirecional de único estágio isolado com transformadores monofásicos.	53
Figura 28 – Estrutura monofásica genérica do conversor I2NDF1.	57
Figura 29 – Esquemático do NPC-3L do conversor I2NDF1 apresentando o sentido das correntes.	58
Figura 30 – Estados de chaveamento do NPC-3L do conversor monofásico CA-CC I2NDF1: (a) Etapa de operação no estado de chaveamento [0011]; (b) Etapa de operação no estado de chaveamento [0110]; (c) Etapa de operação no estado de chaveamento [1001] e (d) Etapa de operação no estado de chaveamento [1100].	59

Figura 31 – Esquemático do FB monofásico do conversor I2NDF1 apresentando o sentido das correntes.	60
Figura 32 – Estados de chaveamento do FB monofásico do conversor CA-CC I2NDF1 com $i_S > 0$: (a) Etapa de operação no estado de chaveamento [0011]; (b) Etapa de operação no estado de chaveamento [0110]; (c) Etapa de operação no estado de chaveamento [1001] e (d) Etapa de operação no estado de chaveamento [1100].	61
Figura 33 – Estados de chaveamento do FB monofásico do conversor CA-CC I2NDF1 com $i_S < 0$: (a) Etapa de operação no estado de chaveamento [0011]; (b) Etapa de operação no estado de chaveamento [0110]; (c) Etapa de operação no estado de chaveamento [1001] e (d) Etapa de operação no estado de chaveamento [1100].	62
Figura 34 – Estratégia de modulação no lado primário do conversor I2NDF1: (a) Circuito modulador e (b) Formas de onda da moduladora e das portadoras triangulares.	64
Figura 35 – Estratégia de modulação no lado secundário do conversor I2NDF1: (a) Circuito modulador e (b) Formas de onda da moduladora e das portadoras triangulares.	66
Figura 36 – Mapa vetorial de $v_1 \times v_{m12}$ no lado primário do conversor I2NDF1.	71
Figura 37 – Circuitos genéricos equivalentes dos pontos no espaço de estados de chaveamento no lado primário do conversor I2NDF1: (a) $\vec{p}m_0$; (b) $\vec{p}m_1$; (c) $\vec{p}m_2$; (d) $\vec{p}m_3$; (e) $\vec{p}m_4$; (f) $\vec{p}m_5$; (g) $\vec{p}m_6$; (h) $\vec{p}m_7$ e (i) $\vec{p}m_8$	72
Figura 38 – Mapa do espaço de estados de chaveamento de $v_{e13} \times v_{e12}$ no lado secundário do conversor I2NDF1.	73
Figura 39 – Circuitos genéricos equivalentes dos pontos do espaço de estados de chaveamento no lado secundário do conversor I2NDF1: (a) $\vec{s}m_0$; (b) $\vec{s}m_1$; (c) $\vec{s}m_2$ e (d) $\vec{s}m_3$	73
Figura 40 – Estrutura do autotransformador: (a) Conexão dos enrolamentos e (b) modelo elétrico simplificado.	75
Figura 41 – Estrutura do transformador: (a) Conexão dos enrolamentos e (b) modelo elétrico simplificado.	76
Figura 42 – Tensão v_1 sintetizada pelo conversor I2NDF1 para uma faixa de operação λ qualquer.	77

Figura 43 – Modelo elétrico para análise do conversor operando com correção do fator de potência na porta 1.	78
Figura 44 – Função de chaveamento do conversor I2NDF1.	80
Figura 45 – Modelo elétrico para análise do conversor operando com correção do fator de potência na porta 1.	81
Figura 46 – Circuito elétrico para análise da ondulação da corrente Δi_1 na porta 1.	84
Figura 47 – Circuito elétrico para análise do fluxo de potência no transformador T_m : (a) Modelo completo e (b) Modelo fundamental.	85
Figura 48 – Formas de onda da tensão v_{m12} e v_{e12} com a representação do <i>Phase Shift</i> (PS).	86
Figura 49 – Potência ativa em p.u. no transformador para $\delta = 1$	92
Figura 50 – Potência reativa em p.u. no transformador para $\delta = 1$	92
Figura 51 – Fator de potência no transformador T_m	93
Figura 52 – Estrutura básica de controle aplicada ao conversor I2NDF1.	94
Figura 53 – Diagrama de blocos da estratégia de controle aplicada no primário do conversor I2NDF1.	96
Figura 54 – Modelo por <i>gyrator</i> na porta 3 da topologia I2NDF1.	97
Figura 55 – Diagrama de blocos da estratégia de controle <i>Phase Shift</i> (PS) aplicada no secundário da topologia I2NDF1.	98
Figura 56 – Mapeamento das regiões de operação para análise do fluxo de potência em I2NDF1.	99
Figura 57 – Formas de onda de v'_{m12} , v_{e12} e i_S na região R_{1+}	99
Figura 58 – Formas de onda de v'_{m12} , v_{e12} e i_S na região R_{2+}	102
Figura 59 – Formas de onda de v'_{a12} , v_{r12} e i_S na região $R_2 - M_1$	104
Figura 60 – Formas de onda de v'_{a12} , v_{r12} e i_S na região $R_2 - M_1$	106
Figura 61 – Mapa das regiões de operação do conversor I2NDF1.	109
Figura 62 – Análise da comutação suave, considerando os instantes de chaveamento dos interruptores da topologia I2NDF1, nas regiões de operação: (a) $R_1 - M_1$ com $m_m > 0$; (b) $R_1 - M_1$ com $m_m < 0$; (c) $R_1 - M_2$ com $m_m > 0$; (d) $R_1 - M_2$ com $m_m < 0$; (e) $R_1 - M_3$ com $m_m > 0$; (f) $R_1 - M_3$ com $m_m < 0$; (g) $R_1 - M_4$ com $m_m > 0$ e (h) $R_1 - M_4$ com $m_m < 0$	111

Figura 63 – Análise da comutação suave, considerando os instantes de chaveamento dos interruptores da topologia I2NDF1, nas regiões de operação: (a) $R_2 - M_1$ com $m_m > 0$; (b) $R_2 - M_1$ com $m_m < 0$; (c) $R_2 - M_2$ com $m_m > 0$; (d) $R_2 - M_2$ com $m_m < 0$; (e) $R_2 - M_3$ com $m_m > 0$; (f) $R_2 - M_3$ com $m_m < 0$; (g) $R_2 - M_4$ com $m_m > 0$ e (h) $R_2 - M_4$ com $m_m < 0$	112
Figura 64 – Análise da comutação suave, considerando os instantes de chaveamento dos interruptores da topologia I2NDF1, nas regiões de operação: (a) $R_3 - M_1$ com $m_m > 0$; (b) $R_3 - M_1$ com $m_m < 0$; (c) $R_3 - M_2$ com $m_m > 0$; (d) $R_3 - M_2$ com $m_m < 0$; (e) $R_3 - M_3$ com $m_m > 0$; (f) $R_3 - M_3$ com $m_m < 0$; (g) $R_3 - M_4$ com $m_m > 0$ e (h) $R_3 - M_4$ com $m_m < 0$	113
Figura 65 – Análise da comutação suave, considerando os instantes de chaveamento dos interruptores da topologia I2NDF1, nas regiões de operação: (a) $R_4 - M_1$ com $m_m > 0$; (b) $R_4 - M_1$ com $m_m < 0$; (c) $R_4 - M_2$ com $m_m > 0$; (d) $R_4 - M_2$ com $m_m < 0$; (e) $R_4 - M_3$ com $m_m > 0$; (f) $R_4 - M_3$ com $m_m < 0$; (g) $R_4 - M_4$ com $m_m > 0$ e (h) $R_4 - M_4$ com $m_m < 0$	114
Figura 66 – Curva de comutação dos interruptores Q_{esp} , sendo demonstrado a corrente $i_{Qa11,on,pu}$	114
Figura 67 – Curva de comutação dos interruptores Q_{isp} , sendo demonstrado a corrente $i_{Qa12,on,pu}$	115
Figura 68 – Curva de comutação dos interruptores Q_{ss} , sendo demonstrado a corrente $i_{Qr11,on,pu}$	115
Figura 69 – Curva de comutação dos interruptores Q_{is} , sendo demonstrado a corrente $i_{Qr21,on,pu}$	115
Figura 70 – Semicondutores que compõem a topologia I2NDF1.	116
Figura 71 – Modelo das chaves de potência do conversor I2NDF1.	117
Figura 72 – Resultados de simulação no conversor I2NDF1 em regime permanente no MOR: v_g, i_1, v_{21}, v_{22} e v_3	138
Figura 73 – Resultados de simulação no conversor I2NDF1 em regime dinâmico: v_g, i_1, v_{21}, v_{22} e v_3	139
Figura 74 – Resultados de simulação no conversor I2NDF1 em ensaio bidirecional: v_g, i_1, v_{21}, v_{22} e v_3	140
Figura 75 – Fotografia da bancada experimental de testes do TES monofásico.	141

Figura 76 – Fotografia do protótipo do conversor I2NDF1.	142
Figura 77 – Circuito de aquisição, condicionamento e filtragem da tensão v_g	142
Figura 78 – Circuito de aquisição, condicionamento e filtragem das correntes i_{m1} e i_{m2}	145
Figura 79 – Circuito de aquisição, condicionamento e filtragem das tensões v_{21} e v_{22}	147
Figura 80 – Circuito de aquisição, condicionamento e filtragem da tensão v_3	148
Figura 81 – Resultados experimentais em regime permanente (i_1 : 2,5 A/div; v_g : 100 V/div; t : 10 ms/div): (a) MOR; (b) MOI.	150
Figura 82 – Resultados experimentais em regime permanente (i_S : 5 A/div; v_{m12} , v_{e12} : 100 V/div; t : 20 μ s/div): (a) MOR; (b) MOI.	151
Figura 83 – Resultados experimentais em regime dinâmico no MOR (i_1 : 5 A/div; v_{21} , v_{22} : 25 V/div; v_3 : 100 V/div): (a) Degrau de carga de 40% a 100% (t : 40 ms/div); (b) Degrau de carga de 100% a 40% (t : 60 ms/div).	151
Figura 84 – Resultados experimentais em regime dinâmico no MOI (i_1 : 5 A/div; v_{21} , v_{22} : 25 V/div; v_3 : 100 V/div; t : 40 ms/div): (a) Degrau de carga de 100% a 50%; (b) Degrau de carga de 50% a 100%.	152
Figura 85 – Resultados experimentais de bidirecionalidade (v_{21} , v_{22} : 25 V/div; v_3 : 100 V/div; t : 40 ms/div): (a) MOI para MOR (i_1 : 2,5 A/div); (b) MOR para MOI (i_1 : 5 A/div).	153
Figura 86 – Resultados de simulação e experimental para o FP_g	153
Figura 87 – Resultados de simulação e experimental para o THD_{i1}	153
Figura 88 – Resultados de simulação e experimental para o rendimento η (%).	154
Figura 89 – Identificação de perdas elétricas em condições de carga nominal para o MOR e MOI.	154
Figura 90 – Estrutura trifásica genérica do conversor I2NDF3: (a) Topologia genérica; (b) Configuração da rede elétrica em estrela; (c) Configuração da rede elétrica em delta; (d) Célula de Comutação de Três Estados (CCTE); (e) <i>Neutral Point Clamped - Three Level</i> (NPC-3L) e (f) <i>Half-Bridge</i> (HB);	156
Figura 91 – Mapa vetorial no plano $\alpha\beta$ em I2NDF3.	158
Figura 92 – Estratégia de modulação SPWM no conversor I2NDF3.	160
Figura 93 – Estratégia de modulação SV2L no conversor I2NDF3.	161
Figura 94 – Estratégia de modulação STHI no conversor I2NDF3.	162

Figura 95 – Estratégia de controle no conversor I2NDF3: (a) Lado primário e (b) Lado secundário.	163
Figura 96 – Resultados de simulação em regime permanente no conversor I2NDF3.	165
Figura 97 – Resultados de simulação em regime dinâmico no conversor I2NDF3.	166
Figura 98 – Resultados de simulação do ensaio bidirecional no conversor I2NDF3.	167
Figura 99 – Microrrede genérica para aplicação do TES I2NDF3.	167
Figura 100 – Modelo do transformador de estado sólido (TES)	173
Figura 101 – Modelo do transformador de estado sólido (TES)	174

LISTA DE TABELAS

Tabela 1 – Definição dos estados de chaveamento no lado primário do conversor do conversor I2NDF1 com a tensão v_{m10}	58
Tabela 2 – Definição dos estados de comutação no lado secundário do conversor do conversor I2NDF1 com a tensão v_{e12}	60
Tabela 3 – Estados de chaveamento no lado primário do conversor I2NDF1.	69
Tabela 4 – Designação do espaço de estados de chaveamento no lado primário do conversor I2NDF1 com as tensões v_{m10} , v_{m20} , v_{m12} e v_1	70
Tabela 5 – Fronteira das regiões de operação para análise do fluxo de potência em I2NDF1.	98
Tabela 6 – Limites das fronteiras entre as regiões de operação da topologia Intercado Dual NPC-3L DAB FB monofásico (I2NDF1) considerando a função de chaveamento $d_{1\phi}$ e o ângulo de PS (ϕ). Legenda: R = Regiões de operação; M = Modos de operação.	110
Tabela 7 – Especificações de projeto do conversor I2NDF1 para simulação.	137
Tabela 8 – Parâmetros assumidos para projeto do conversor I2NDF1.	137
Tabela 9 – Componentes utilizados no circuito de simulação do conversor I2NDF1.	138
Tabela 10 – Especificações de projeto experimental do conversor I2NDF1.	140
Tabela 11 – Componentes utilizados no circuito de simulação e protótipo experimental do conversor I2NDF1.	141
Tabela 12 – Parâmetros e especificações de componentes do circuito de aquisição, condicionamento e filtragem da tensão v_g	144
Tabela 13 – Parâmetros e especificações de componentes do circuito de aquisição, condicionamento e filtragem das correntes i_{m1} e i_{m2}	146
Tabela 14 – Parâmetros e especificações de componentes do circuito de aquisição, condicionamento e filtragem das tensões v_{21} e v_{22}	148
Tabela 15 – Parâmetros e especificações de componentes do circuito de aquisição, condicionamento e filtragem da tensão v_3	150
Tabela 16 – Estados de chaveamento no lado primário do conversor I2NDF3.	156
Tabela 17 – Estados de chaveamento no lado primário do conversor I2NDF3.	157
Tabela 18 – Vetores no lado primário da topologia I2NDF3.	159
Tabela 19 – Especificações de projeto do conversor I2NDF3 para simulação.	164
Tabela 20 – Parâmetros assumidos para projeto do conversor I2NDF3.	164

Tabela 21 – Componentes utilizados no circuito de simulação do conversor I2NDF3. . .	165
Tabela 22 – Características dos interruptores de potência no lado primário expostas em (KADAVELUGU <i>et al.</i> , 2013) e (KADAVELUGU <i>et al.</i> , 2015).	168
Tabela 23 – Características dos interruptores de potência no lado secundário explanadas em (HAZRA <i>et al.</i> , 2013), (MADHUSOODHANAN <i>et al.</i> , 2015) e (HAZRA <i>et al.</i> , 2016).	169
Tabela 24 – Estudo comparativo de perdas elétricas em várias topologias.	170

LISTA DE ABREVIATURAS E SIGLAS

APOD	<i>Alternate Phase Opposition Disposition</i>
CA	Corrente Alternada
CC	Corrente Contínua
CCTE	Célula de Comutação de Três Estados
DAB	<i>Dual Active Bridge</i>
DHB	<i>Dual Half Bridge</i>
FB	<i>Full-Bridge</i>
FC	<i>Flying Capacitor</i>
HB	<i>Half-Bridge</i>
HVAC	<i>High Voltage Alternating Current</i>
I2NDF1	Intercado Dual NPC-3L DAB FB monofásico
I2NDF3	Intercado Dual NPC-3L DAB FB trifásico
IEEE	<i>Institute of Electrical and Electronic Engineers</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IPD	<i>In Phase Disposition</i>
LSPWM	<i>Level-Shifted Pulse Width Modulation</i>
LVAC	<i>Low Voltage Alternating Current</i>
MMC	<i>Modular Multilevel Converter</i>
MOI	Modo de Operação Inversor
MOR	Modo de Operação Retificador
MOSFET	<i>Metal Oxide Semiconductor Field Effect</i>
NPC-3L	<i>Neutral Point Clamped - Three Level</i>
PFC	<i>Power Factor Correction</i>
POD	<i>Phase Opposition Disposition</i>
PS	<i>Phase Shift</i>
PSPWM	<i>Phase-Shifted Pulse Width Modulation</i>
PWM	<i>Pulse Width Modulation</i>
QAB	<i>Quad Active Bridge</i>
SiC	<i>Silicon Carbide</i>
SPWM	<i>sinusoidal pulse-width modulation</i>
STHI	<i>Sinusoidal Third Harmonic Injection</i>

SV2L	<i>Space Vector 2-Level</i>
TES	Transformador de Estado Sólido
THD	<i>Total Harmonic Distortion</i>
VEQI	Valor Eficaz Quase Instantâneo
VMQI	Valor Médio Quase Instantâneo
ZCS	<i>Zero Current Switching</i>
ZVS	<i>Zero Voltage Switching</i>

LISTA DE SÍMBOLOS

a_{AT_m}	Relação de transformação no autotransformador AT_m do conversor I2NDF1
a_{AT_p}	Relações de transformação nos autotransformadores AT_p do conversor I2NDF3, com $p = \{a, b, c\}$
a_{T_m}	Relação de transformação no transformador T_m do conversor I2NDF1
a_{T_p}	Relações de transformação nos transformadores T_p do conversor I2NDF3, com $p = \{a, b, c\}$
AT_m	Autotransformador no conversor I2NDF1, com $p = \{a, b, c\}$
AT_p	Autotransformadores no conversor I2NDF3
T_m	Transformador no conversor I2NDF1
T_p	Transformadores no conversor I2NDF3, com $p = \{a, b, c\}$
S_{mxy}	Interruptores de potência no lado primário do conversor I2NDF1, com $x = \{1, 2\}$ e $y = \{1, 2, 3, 4\}$
s_{mxy}	Estado de chaveamento dos interruptores de potência no lado primário do conversor I2NDF1, com $x = \{1, 2\}$ e $y = \{1, 2, 3, 4\}$
D_{mxy}	Diodos de potência em paralelo com os interruptores S_{mxy} no lado primário do conversor I2NDF1, com $x = \{1, 2\}$ e $y = \{1, 2, 3, 4\}$
D_{xhm}	Diodos de potência de grampeamento no lado primário do conversor I2NDF1, com $x, h = \{1, 2\}$
S_{exh}	Interruptores de potência no lado secundário do conversor I2NDF1, com $x, h = \{1, 2\}$
s_{exh}	Estado de chaveamento dos interruptores de potência no lado secundário do conversor I2NDF1, com $x, h = \{1, 2\}$
D_{exh}	Diodos de potência em paralelo com os interruptores S_{exh} no lado secundário do conversor I2NDF1, com $x, h = \{1, 2\}$
C_{2x}	Capacitores no lado primário dos conversores I2NDF1 e I2NDF3, com $x = \{1, 2\}$ [F]
C_3	Capacitor no lado secundário dos conversores I2NDF1 e I2NDF3 [F]

S_{pxy}	Interruptores de potência no lado primário do conversor I2NDF3, com $p = \{a, b, c\}$, $x = \{1, 2\}$ e $y = \{1, 2, 3, 4\}$
D_{pxy}	Diodos de potência em paralelo com os interruptores S_{pxy} no lado primário do conversor I2NDF3, com $p = \{a, b, c\}$, $x = \{1, 2\}$ e $y = \{1, 2, 3, 4\}$
D_{xhp}	Diodos de potência de grampeamento no lado primário do conversor I2NDF3, com $x, h = \{1, 2\}$ e $p = \{a, b, c\}$
S_{fxh}	Interruptores de potência no lado secundário do conversor I2NDF3, com $f = \{r, s, t\}$ e $x, h = \{1, 2\}$
D_{fxh}	Diodos de potência em paralelo com os interruptores S_{fxh} no lado secundário do conversor I2NDF3, com $f = \{r, s, t\}$ e $x, h = \{1, 2\}$
L_1	Indutor de filtro na porta I do conversor I2NDF1 [H]
L_e	Indutor de transferência de potência no conversor I2NDF1 [H]
L_{1p}	Indutores de filtro na porta I do conversor I2NDF3, com $p = \{a, b, c\}$ [H]
L_f	Indutores de transferência de potência no conversor I2NDF3, com $f = \{r, s, t\}$ [H]
N_{wmx}	Número de espiras nos enrolamentos w_{mx} do autotransformador AT_m , com $x = \{1, 2\}$
N_p	Número de espiras no enrolamento w_p
N_s	Número de espiras no enrolamento w_s
w_p	Enrolamento no lado primário do transformador T_m
w_s	Enrolamento no lado secundário do transformador T_m
w_{mx}	Enrolamentos no autotransformador AT_m , com $x = \{1, 2\}$
v_g	Tensão elétrica na rede elétrica monofásica [V]
v_{2x}	Tensões elétricas nos capacitores C_{2x} na porta II dos conversores I2NDF1 e I2NDF3 [V]
v_3	Tensão elétrica na porta III dos conversores I2NDF1 e I2NDF3 [V]
T_g	Período da tensão na rede elétrica [s]
T_s	Período de chaveamento [s]
f_g	Frequência da tensão na rede elétrica [Hz]

f_s	Frequência de chaveamento [Hz]
t	Variável tempo [s]
θ	Fase instantânea [rad]
ω_g	Frequência angular da tensão na rede elétrica [rad/s]
ω_s	Frequência angular de chaveamento [rad/s]
$P_{1\phi}$	Potência ativa na rede elétrica monofásica [W]
$S_{1\phi}$	Potência aparente na rede elétrica monofásica [W]
$Q_{1\phi}$	Potência reativa na rede elétrica monofásica [W]
$P_{3\phi}$	Potência ativa na rede elétrica trifásica [W]
$S_{3\phi}$	Potência aparente na rede elétrica trifásica [W]
$Q_{3\phi}$	Potência reativa na rede elétrica trifásica [W]
P_3	Potência ativa na porta III [W]
p_{T_m}	Potência ativa no transformador T_m a cada T_s [W]
P_{T_m}	Potência ativa no transformador T_m dentro de T_g [W]
p_{T_m}	Potência reativa no transformador T_m a cada T_s [W]
P_{T_m}	Potência reativa no transformador T_m dentro de T_g [W]
δ	Razão entre os valores eficazes $V_{e12,rms}$ e $V'_{m12,rms}$, em I2NDF1 ou $V_{f12,rms}$ e $V'_{p12,rms}$, em I2NDF3 na respectiva fase de cada transformador T_p , com $f = \{r, s, t\}$ e $p = \{a, b, c\}$
γ	Largura angular da parte positiva ou negativa da onda retangular em v'_{m12} ou v'_{e12} , em I2NDF1 ou v'_{p12} ou v'_{f12} , em I2NDF3, com $p = \{a, b, c\}$ e $f = \{r, s, t\}$ [rad]

SUMÁRIO

1	INTRODUÇÃO GERAL	30
1.1	Contextualização e Motivação	30
1.2	Topologias Implementáveis em TES	31
1.2.1	Conversor CA-CA com Isolação em Alta Frequência	31
1.2.2	TES CA-CA Step Down e Step Up/Down	32
1.2.3	Classificação dos TES	33
1.2.3.1	Estágios de conversão	33
1.2.3.2	Arranjo dos Conversores	39
1.2.4	Topologias CA-CA	42
1.2.4.1	Conversor CA-CA proposto por (QIN; KIMBALL, 2013)	42
1.2.4.2	Conversor CA-CA proposto por (MADHUSOODHANAN et al., 2015)	43
1.2.4.3	Conversor CA-CA proposto por (WANG et al., 2016)	43
1.2.4.4	Conversor CA-CA proposto por (CHEN et al., 2016) e (CHEN et al., 2017)	43
1.2.5	Topologias CA-CC	44
1.2.5.1	Conversor CA-CC proposto por (FALCONES et al., 2013)	45
1.2.5.2	Conversor CA-CC proposto por (JOCA et al., 2015)	46
1.2.5.3	Conversor CA-CC proposto por (PACHECO et al., 2015)	47
1.2.6	Topologias CC-CC	48
1.2.6.1	Conversor CC-CC proposto por (WANG; LI, 2012) e (WANG; LI, 2013)	48
1.2.6.2	Conversor CC-CC proposto por (OLIVEIRA FILHO et al., 2016)	49
1.2.6.3	Conversor CC-CC proposto por (LEIBL et al., 2017)	49
1.2.6.4	Conversor CC-CC proposto por (de Oliveira et al., 2019)	50
1.3	Concepção das Topologias Propostas	51
1.3.1	Versão Monofásica	51
1.3.2	Versão Trifásica	52
1.4	Objetivos, Contribuições e Metodologia	53
1.5	Estrutura da Tese	54
1.6	Publicações	55
2	ESTUDO DO CONVERSOR I2NDF1	56
2.1	PRINCÍPIO DE FUNCIONAMENTO DO CONVERSOR I2NDF1	56

2.1.1	<i>Descrição da Topologia Genérica</i>	56
2.1.2	<i>Funcionamento dos Submódulos</i>	57
2.1.2.1	<i>NPC-3L</i>	57
2.1.2.2	<i>FB monofásico</i>	60
2.2	ESTRATÉGIA DE MODULAÇÃO	62
2.2.1	<i>Modulação no lado primário</i>	63
2.2.2	<i>Modulação no lado secundário</i>	65
2.3	TENSÕES SINTETIZADAS PELO CONVERTOR I2NDF1	66
2.3.1	<i>Lado primário</i>	66
2.3.2	<i>Lado secundário</i>	68
2.4	ANÁLISE DO ESPAÇO DE ESTADOS DE CHAVEAMENTO	70
2.4.0.1	<i>Lado primário</i>	70
2.4.0.2	<i>Lado secundário</i>	71
2.5	ANÁLISE DO AUTOTRANSFORMADOR E TRANSFORMADOR	73
2.5.1	<i>Autotransformador</i>	74
2.5.2	<i>Transformador</i>	75
2.6	PARÂMETROS IMPORTANTES DO CONVERTOR I2NDF1	76
2.7	FUNÇÃO DE CHAVEAMENTO DO CONVERTOR	77
2.8	ONDULAÇÃO DA CORRENTE NA PORTA 1	80
2.9	ONDULAÇÃO DA TENSÃO NAS PORTAS 2 E 3	83
2.9.1	<i>Capacitâncias C_{21} e C_{22}</i>	83
2.9.2	<i>Capacitância C_3</i>	83
2.10	FLUXO DE POTÊNCIA	84
2.10.1	<i>Modelo completo</i>	84
2.10.2	<i>Modelo fundamental</i>	85
2.10.2.1	<i>Valor eficaz da tensão v_{m12} e v_{e12}</i>	87
2.10.2.2	<i>Potência no transformador</i>	89
2.11	MODELAGEM E CONTROLE DO CONVERTOR I2NDF1	93
2.11.1	<i>Modelo e controle da corrente i_1</i>	93
2.11.2	<i>Modelo e controle da tensão v_2</i>	95
2.11.3	<i>Balanceamento da tensão v_{21} e v_{22}</i>	95
2.11.4	<i>Controle da corrente de magnetização i_{mag}</i>	95

2.11.5	Modelo e controle da tensão v_3	96
2.12	FLUXO DE POTÊNCIA NO CONVERSOR I2NDF1	98
2.12.1	Mapeamento das Regiões de Operação	98
2.12.2	Região de Operação R_{1+}	99
2.12.2.1	Etapa de operação $[\theta_0, \theta_1], R_{1+}$	100
2.12.2.2	Etapa de operação $[\theta_1, \theta_2], R_{1+}$	100
2.12.2.3	Etapa de operação $[\theta_2, \theta_3], R_{1+}$	100
2.12.2.4	Etapa de operação $[\theta_3, \theta_4], R_{1+}$	101
2.12.3	Região de Operação R_{2+}	101
2.12.3.1	Etapa de operação $[\theta_0, \theta_1], R_{2+}$	101
2.12.3.2	Etapa de operação $[\theta_1, \theta_2], R_{2+}$	102
2.12.3.3	Etapa de operação $[\theta_2, \theta_3], R_{2+}$	103
2.12.3.4	Etapa de operação $[\theta_3, \theta_4], R_{2+}$	103
2.12.4	Região de Operação R_{3+}	103
2.12.4.1	Etapa de operação $[\theta_0, \theta_1], R_{3+}$	104
2.12.4.2	Etapa de operação $[\theta_1, \theta_2], R_{3+}$	104
2.12.4.3	Etapa de operação $[\theta_2, \theta_3], R_{3+}$	105
2.12.4.4	Etapa de operação $[\theta_3, \theta_4], R_{3+}$	105
2.12.5	Região de Operação R_{4+}	106
2.12.5.1	Etapa de operação $[\theta_0, \theta_1], R_{4+}$	106
2.12.5.2	Etapa de operação $[\theta_1, \theta_2], R_{4+}$	106
2.12.5.3	Etapa de operação $[\theta_2, \theta_3], R_{4+}$	107
2.12.5.4	Etapa de operação $[\theta_3, \theta_4], R_{4+}$	107
2.12.6	Fluxo de Potência no Transformador T_m	108
2.13	ANÁLISE DA COMUTAÇÃO NO CONVERSOR I2NDF1	108
2.13.1	Diagrama das Regiões de Operação para Análise da Comutação	108
2.13.1.1	Análise da comutação em $R_1 - M_1, M_2, M_3, M_4$	110
2.13.1.2	Análise da comutação em $R_2 - M_1, M_2, M_3, M_4$	110
2.13.1.3	Análise da comutação em $R_3 - M_1, M_2, M_3, M_4$	111
2.13.1.4	Análise da comutação em $R_4 - M_1, M_2, M_3, M_4$	111
2.13.2	Curvas de Comutação Suave	112
2.13.2.1	Interruptores Q_{esp}	112

2.13.2.2	<i>Interruptores Q_{isp}</i>	113
2.13.2.3	<i>Interruptores Q_{ss}</i>	113
2.13.2.4	<i>Interruptores Q_{is}</i>	115
2.14	ANÁLISE DE PERDAS ELÉTRICAS	116
2.14.1	<i>Esforços de Corrente nos Semicondutores</i>	116
2.14.1.1	<i>Interruptor Q_{a11}</i>	117
2.14.1.2	<i>Interruptor Q_{a12}</i>	118
2.14.1.3	<i>Interruptor Q_{a13}</i>	119
2.14.1.4	<i>Interruptor Q_{a14}</i>	120
2.14.1.5	<i>Diodo D_{11a}</i>	121
2.14.1.6	<i>Diodo D_{12a}</i>	122
2.14.1.7	<i>Interruptor Q_{a21}</i>	122
2.14.1.8	<i>Interruptor Q_{a22}</i>	123
2.14.1.9	<i>Interruptor Q_{a23}</i>	124
2.14.1.10	<i>Interruptor Q_{a24}</i>	125
2.14.1.11	<i>Diodo D_{21a}</i>	126
2.14.1.12	<i>Diodo D_{22a}</i>	127
2.14.1.13	<i>Interruptor Q_{r11}</i>	127
2.14.1.14	<i>Interruptor Q_{r12}</i>	128
2.14.1.15	<i>Interruptor Q_{r21}</i>	129
2.14.1.16	<i>Interruptor Q_{r22}</i>	130
2.14.2	<i>Esforços de Tensão nos Semicondutores</i>	131
2.14.2.1	<i>Lado primário da topologia I2NDF1</i>	131
2.14.2.2	<i>Lado secundário da topologia I2NDF1</i>	131
2.14.3	<i>Perdas Elétricas por Condução (P_{con})</i>	132
2.14.3.1	<i>Lado primário do conversor I2NDF1</i>	132
2.14.3.2	<i>Lado secundário do conversor I2NDF1</i>	134
2.14.4	<i>Perdas Elétricas por Comutação (P_{sw})</i>	134
2.14.4.1	<i>Lado primário do conversor I2NDF1</i>	134
2.14.4.2	<i>Lado secundário do conversor I2NDF1</i>	135
3	RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS EM I2NDF1	137
3.1	Resultados de Simulação em I2NDF1	137

3.1.1	<i>Descrição do Circuito de Simulação</i>	137
3.1.2	<i>Regime Permanente</i>	138
3.1.3	<i>Regime Dinâmico</i>	139
3.1.4	<i>Ensaio Bidirecional</i>	139
3.2	Resultados Experimentais em I2NDF1	140
3.2.1	<i>Descrição do protótipo do conversor I2NDF1</i>	140
3.2.1.1	<i>Aquisição, condicionamento e filtragem da tensão v_g</i>	142
3.2.1.2	<i>Aquisição, condicionamento e filtragem das correntes i_{m1} e i_{m2}</i>	144
3.2.1.3	<i>Aquisição, condicionamento e filtragem das tensões v_{21} e v_{22}</i>	147
3.2.1.4	<i>Aquisição, condicionamento e filtragem da tensão v_3</i>	148
3.2.2	<i>Regime Permanente</i>	150
3.2.3	<i>Regime Dinâmico</i>	151
3.2.4	<i>Ensaio Bidirecional</i>	152
3.2.5	<i>Análise de Desempenho</i>	152
4	ESTUDO DO CONVERSOR I2NDF3	155
4.1	PRINCÍPIO DE FUNCIONAMENTO DO CONVERSOR I2NDF3	155
4.1.1	<i>Descrição da Topologia Genérica</i>	155
4.1.2	<i>Estados de Chaveamento em I2NDF3</i>	155
4.2	ANÁLISE DO ESPAÇO VETORIAL EM I2NDF3	157
4.3	ESTRATÉGIAS DE MODULAÇÃO EM I2NDF3	157
4.3.1	<i>Modulação SPWM</i>	158
4.3.2	<i>Modulação SV2L</i>	160
4.3.3	<i>Modulação STHI</i>	161
4.4	CONTROLE EM I2NDF3	162
4.5	RESULTADOS DE SIMULAÇÃO EM I2NDF3	164
4.5.1	<i>Descrição do Circuito de Simulação</i>	164
4.5.2	<i>Regime Permanente</i>	164
4.5.3	<i>Regime Dinâmico</i>	165
4.5.4	<i>Ensaio Bidirecional</i>	166
4.5.5	<i>Proposta de Aplicação do TES I2NDF3</i>	166
4.5.6	<i>Estudo de Caso</i>	167
4.5.6.1	<i>Chave no primário da topologia I2NDF3</i>	168

4.5.6.2	<i>Chave no secundário da topologia I2NDF3</i>	168
4.5.6.3	<i>Perdas elétricas no estudo de caso</i>	168
4.5.7	<i>Comparativo de perdas com outras topologias</i>	169
5	CONCLUSÕES E TRABALHOS FUTUROS	171
5.1	Conclusões	171
5.2	Recomendações de Trabalhos Futuros	172
	REFERÊNCIAS	175
	APÊNDICES	179
	APÊNDICE A – Circuito de Simulação do TES I2NDF1	179
	APÊNDICE B – Circuito de Simulação - Código C (DSP TMS320F28379D)	183
	APÊNDICE C – Circuito de Simulação - Código C (DSP TMS320F28379D)	
	- EMULADOR DO EPWM	188
	APÊNDICE D – Projeto dos Controladores do Circuito de Simulação do	
	TES I2NDF1	190
	APÊNDICE E – Diagramas Esquemáticos do Protótipo do TES I2NDF1 .	205
	APÊNDICE F – Código em C no DSP TMS320F28377D (Protótipo Expe-	
	perimental do TES I2NDF1)	215
	APÊNDICE G – Circuito de Simulação do TES I2NDF3	235

1 INTRODUÇÃO GERAL

Nos últimos anos, a Eletrônica de Potência obteve grande destaque na área de processamento da energia elétrica. Sua evolução deve-se ao fato do enorme avanço tecnológico nos dispositivos semicondutores e na tecnologia empregada no controle dos circuitos eletrônicos de potência. Tendo como característica marcante os elevados níveis de tensão e da corrente em que os semicondutores suportam, além de operarem (diversos interruptores) em alta frequência. Outro aspecto de mérito nesta área de estudo é o grande número de novas topologias desenvolvidas no final do século XX e início do século XXI até o presente momento.

Várias são as contribuições da Eletrônica de Potência em diversas aplicações. Uma maneira de comprovar o avanço nos circuitos eletrônicos de potência é considerando a grande evolução nas topologias estudadas na academia e aplicadas no meio industrial, sendo muitos focos de estudo nas técnicas de controle e modulação, nos circuitos de acionamento dos interruptores de potência, nos sensores, no condicionamento de sinais, dentre outros.

1.1 Contextualização e Motivação

Considerando inicialmente o modelo atual do sistema elétrico de potência (geração, transmissão, distribuição e o consumo), os Transformadores de Potência são os responsáveis pelo ajuste dos níveis de tensão entre os sistemas supracitados, além da isolação galvânica, dentre outras funções. Basicamente estes dispositivos são formados por dois ou mais enrolamentos.

O problema relacionado com transformadores de potência é o nível de frequência que normalmente eles operam (50/60 Hz), pois operando em faixas com baixa frequência tornam-se um elemento muito volumoso.

Estudos recentes propõem a inserção dos Transformador de Estado Sólido (TES) nas redes de distribuição em Corrente Alternada (CA) e Corrente Contínua (CC). Realizando a operação dos TES em média ou alta frequência é possível reduzir abruptamente o volume destes dispositivos em comparação com os transformadores de potência convencionais que operam em baixa frequência, normalmente 50/60 Hz.

Outras características indesejáveis e inerentes aos transformadores de potência tradicionais estão relacionadas com a vulnerabilidade a problemas na qualidade de energia, como variações de frequência e afundamentos ou elevações de tensão que são transferidos diretamente para o sistema alimentado. Além do mais, dependendo da natureza da carga elétrica

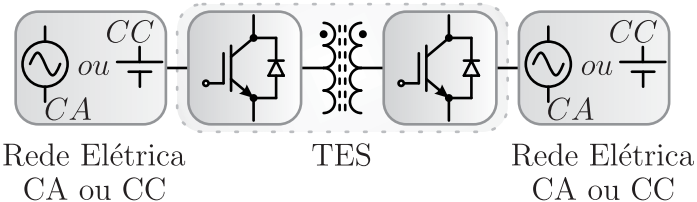
alimentada, ocorre interferência da mesma no fator de potência do sistema. Outro problema é a ocorrência da reflexão de harmônicos na corrente drenada da rede elétrica por uma carga não linear. Considera-se que a regulação de tensão é inadequada e outros problemas relacionados com o regime de operação do transformador, se o mesmo está a vazio ou com baixo fator de carga, ocasionando elevadas perdas e conseqüentemente redução na eficiência.

A maioria dos problemas supracitados podem ser solucionados através da utilização dos TES. Pois as topologias empregadas e o controle são responsáveis por mitigar as características indesejáveis presentes no transformador tradicional. Justificando assim o estudo em torno desta nova tecnologia, em que a estrutura básica é mostrada na Figura 1.

Entretanto a tecnologia dos transformadores tradicionais já é bastante consolidada, já a do TES ainda está em estudo para aplicações industriais. Mas no meio acadêmico é possível perceber o grande esforço através de diversos trabalhos publicados na base de pesquisa do *Institute of Electrical and Electronic Engineers (IEEE)*.

Portanto o TES está em grande foco atualmente, podendo inclusive substituir em muitos casos a função dos filtros ativos, e além disso é um elemento muito importante nas redes inteligentes (*smartgrids*).

Figura 1 – Modelo do transformador de estado sólido (TES)



Fonte: o autor.

1.2 Topologias Implementáveis em TES

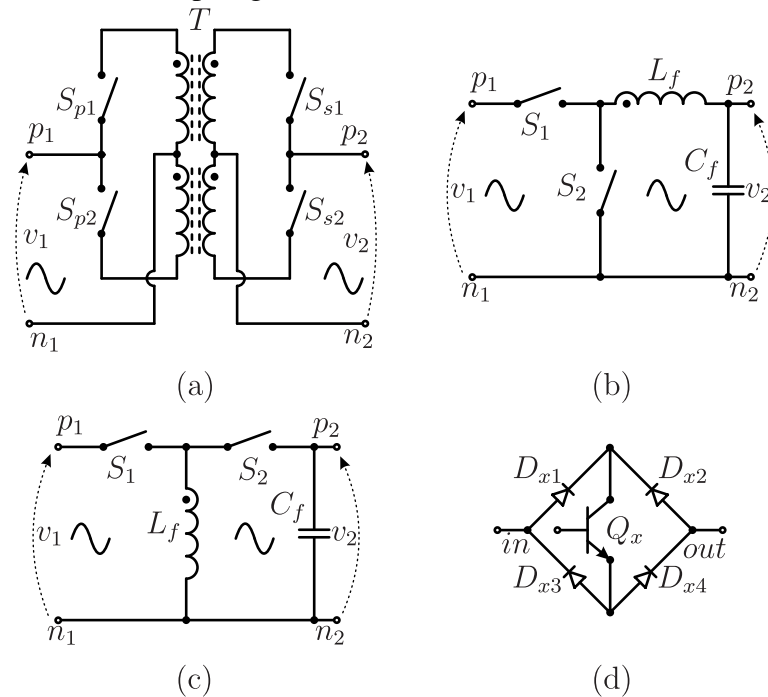
Dentro da tecnologia de TES é necessário diversos elementos para compor a sua estrutura, nesta seção serão estudadas possíveis topologias implementáveis na parte de potência do circuito.

1.2.1 Conversor CA-CA com Isolação em Alta Frequência

Esta tecnologia não é uma novidade tão recente, a primeira topologia implementável em TES foi proposta inicialmente por (MCMURRAY, 1970). A estrutura do circuito de potência

é apresentada na Figura 2 (a). A topologia é um conversor CA-CA *buck* formada pelas chaves S_{px} e S_{sx} , com p e s referentes a primário e secundário, respectivamente, e $x \in \{1, 2\}$. O circuito opera com isolamento em alta frequência através de um transformador T . Embora esta seja a topologia implementável mais antiga de TES, o conceito ainda não tinha sido abordado na literatura.

Figura 2 – Estudos iniciais sobre os TES: (a) TES CA-CA *buck*; (b) Conversor CA-CA *Step Down*; (c) TES CA-CA *Step Up/Down* e (d) Chave bidirecional em tensão e corrente implementada nas topologias em (a), (b) e (c).



Fonte: o autor.

1.2.2 TES CA-CA *Step Down* e *Step Up/Down*

Os primeiros TES foram propostos por pesquisadores da marinha dos Estados Unidos da América (EUA) em (NIENHAUS *et al.*, 1978) e (BOWERS *et al.*, 1980). O conceito definido de TES somente ocorreu no último trabalho (1980), pois o primeiro foi desenvolvido para aplicação como filtro ativo. Iniciando a análise pelo estudo de (NIENHAUS *et al.*, 1978), basicamente a topologia era um conversor CA-CA *step-down*, Figura 2 (b). A estrutura era composta por duas portas, dois interruptores bidirecionais, um filtro indutivo (L_f) e capacitivo (C_f). A porta 1 possui os terminais p_1 e n_1 e a porta 2 os terminais p_2 e n_2 , aplica-se uma onda sinusoidal na porta 1 e obtém-se na porta 2 outra onda sinusoidal (característica CA-CA). As chaves bidirecionais S_x , com $x \in \{1, 2\}$ são implementadas através de um *Bipolar Junction*

Transistor (BJT), Q_x , e quatro diodos D_{xy} , com x já definido e $y \in \{1, \dots, 4\}$.

A estrutura do transformador de potência eletrônico proposta em (BOWERS *et al.*, 1980) consistia em um conversor CA-CA *Step Up/Down*, Figura 2 (c). Os componentes físicos são os mesmos da topologia descrita anteriormente. A diferença entre ambos é que o *Step Up/Down* pode elevar ou reduzir o valor eficaz da tensão sinusoidal na porta 2, já com o *Step Down* é possível apenas reduzir o valor eficaz da tensão na porta 2.

1.2.3 Classificação dos TES

Devido ao grande número de topologias implementáveis em TES, nesta seção será apresentada uma classificação baseada nos trabalhos de (FALCONES *et al.*, 2010) e (KOLAR; ORTIZ, 2014). Basicamente as duas classificações estão relacionadas aos estágios de conversão e quanto ao arranjo dos conversores presentes nas topologias.

1.2.3.1 Estágios de conversão

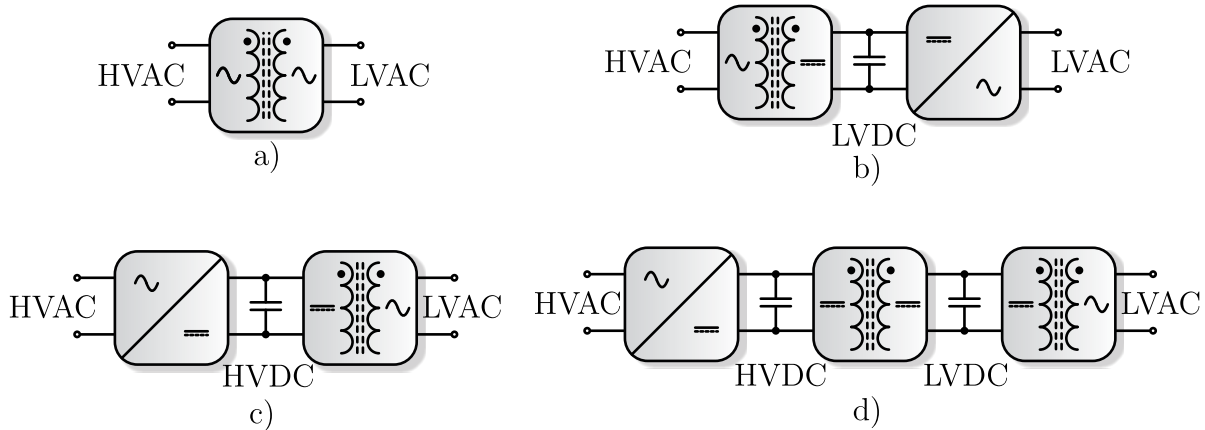
Considerando o número de estágios de conversão da topologia, o TES é classificado conforme a Figura 3. Esta classificação foi apresentada em (FALCONES *et al.*, 2010). A Figura 3 (a) apresenta a configuração com estágio único de conversão CA-CA, sendo inserido um transformador isolador para adequar os níveis de tensão entre as portas de *High Voltage Alternating Current* (HVAC) e *Low Voltage Alternating Current* (LVAC). A estrutura apresentada em (CHEN, 2008), *e.g.*, pode ser classificada como de estágio único. Neste trabalho originou-se uma família de topologias, sendo sua estrutura básica mostrada na Figura 4 (a). Todas as outras topologias propostas em (CHEN, 2008) são mostradas nas Figuras 4 (b), (c), (d) e (e).

A Figura 4 (a) apresenta a estrutura geral da família de conversores CA/CA, proposta por (CHEN, 2008), mostrando as diversas possibilidades topológicas com isolamento em alta frequência, baseando-se no conversor *flyback*. O conversor proposto pode assumir os modos *power switch*, *push-pull*, *half-bridge* e *full-bridge* (CHEN, 2008).

As características principais da família de conversores expostas por Chen (2008) são as seguintes:

- Isolação elétrica com estágio em alta frequência com conversor baseado no *flyback*;
- Dois estágios de conversão (*Low Voltage Alternating Current* (LVAC)/*High Voltage Alternating Current* (HVAC)/LVAC);
- Fluxo bidirecional de potência entre as portas;

Figura 3 – Classificação dos TES em relação ao número de estágios de conversão: (a) Estágio único de conversão; (b) Dois estágios de conversão com barramento CC de baixa tensão; (c) Dois estágios de conversão com barramento CC em alta tensão e (d) Três estágios de conversão.



Fonte: Adaptado de (FALCONES *et al.*, 2010).

- Topologia simples, adaptável e com alto rendimento;
- Baixo *Total Harmonic Distortion* (THD) da tensão na saída.

A Figura 5 mostra a topologia proposta em (SABAHI *et al.*, 2010). Esta estrutura é baseada na Figura 3 (b) da classificação de (FALCONES *et al.*, 2010) e (KOLAR; ORTIZ, 2014), i.e., com dois estágios de conversão com barramento CC de baixa tensão.

A topologia possui fluxo de potência bidirecional e é composto por um retificador (CA-CC) ativo no modo *Full-Bridge* (FB), um inversor (CC-CA) FB com barramento CC, um transformador de isolamento em alta frequência e um conversor CA-CA (cicloconversor) na saída.

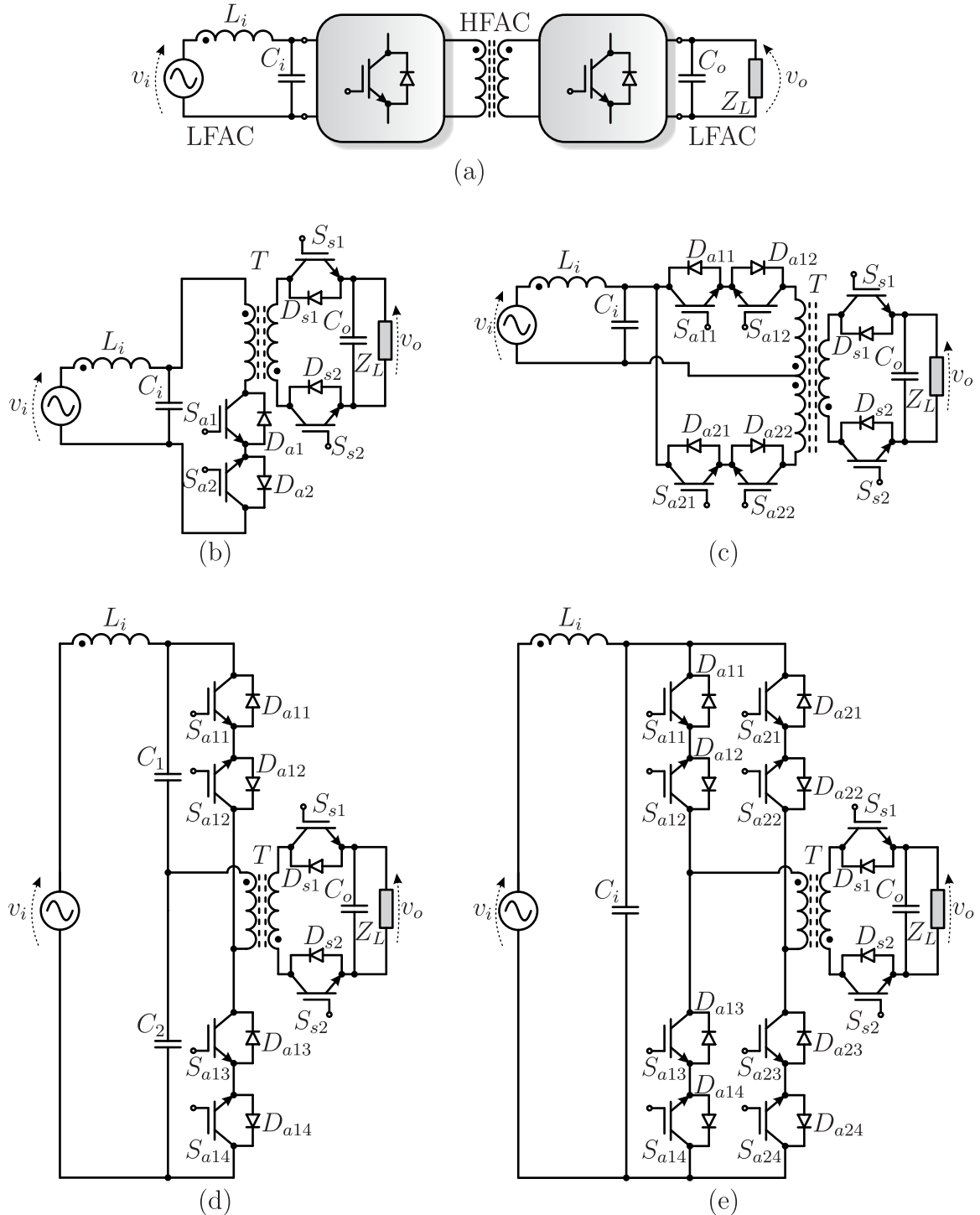
Através da modulação implementada, o chaveamento de S_a e S_b permite a operação em comutação *Zero Voltage Switching* (ZVS) nas chaves do inversor (S_1 a S_4) e os capacitores C_1 a C_4 são utilizados visando a operação em ZVS durante o bloqueio das chaves (SABAHI *et al.*, 2010).

O capacitor C_d e o filtro indutivo L_f são utilizados, respectivamente, para amenizar o efeito de oscilação da comutação e permitir a operação em ZVS nas chaves S_r e S_s . Devido a frequência de ressonância de C_d e L_f ser muito baixa em comparação com a frequência de chaveamento dos interruptores, seus efeitos sobre a tensão na saída em baixa frequência podem ser desprezados.

As principais vantagens apresentadas em Sabahi *et al.* (2010) são as seguintes:

- Operação das chaves em ZVS na condição de potência nominal;
- Volume reduzido, uma vez que a operação da estrutura topológica ocorre em altas frequências;

Figura 4 – Circuitos propostos por (CHEN, 2008): (a) Estrutura básica do circuito; (b) Circuito de potência da topologia no modo monofásico de quatro quadrante; (c) Circuito da topologia no modo *Push-Pull*; (d) Circuito da topologia no modo *Half-Bridge* e (e) Circuito da topologia no modo *Full-Bridge*.

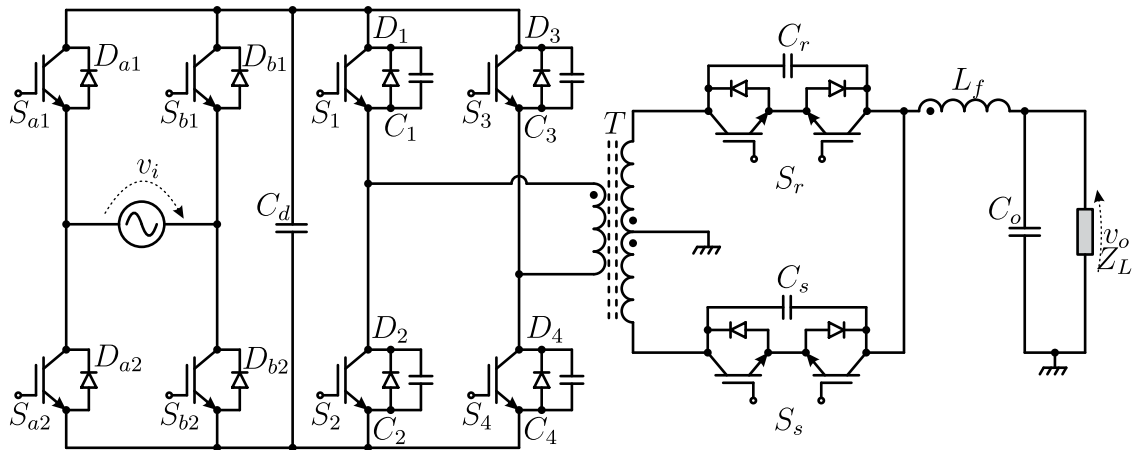


Fonte: Adaptado de (CHEN, 2008).

- Melhor eficiência quando comparado com outros conversores;
- Topologia com implementação de média complexidade;

Na topologia proposta por Fan e Li (2011), Figura 6, o transformador de alta

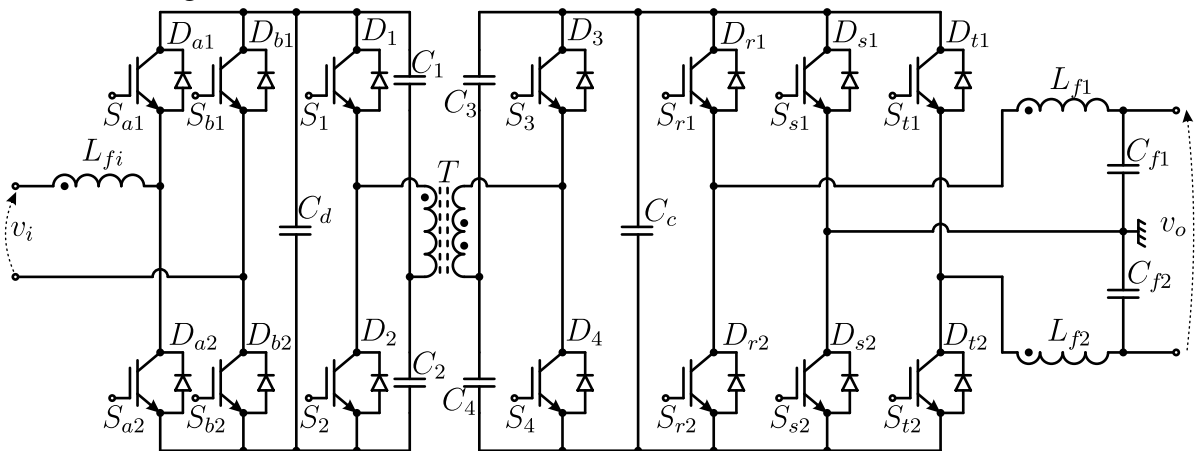
Figura 5 – Conversor CA-CA proposto em (SABAHI *et al.*, 2010).



Fonte: Adaptado de (SABAHI *et al.*, 2010).

frequência, T , tem como função garantir o isolamento galvânico entre os lados primário e secundário da topologia, além de ser importante na determinação do rendimento e na densidade de potência na implementação do TES.

Figura 6 – Conversor CA-CA bidirecional isolado proposto em (FAN; LI, 2011), com dois estágios de conversão com barramento CC de alta tensão



Fonte: Adaptado de (FAN; LI, 2011).

Visualizando a Figura 6, a topologia é implementada através de um retificador (CA/CC) na entrada da estrutura, um conversor CC/CC isolado em alta frequência no estágio intermediário e um inversor (CC/CA) trifásico na saída do circuito. A correção fator de potência durante a conversão é realizada pelo retificador, já o conversor CC/CC é responsável pela isolamento galvânica em alta frequência e também pelo interfaceamento para cargas CC, e por último, o inversor fornece a tensão na saída com valores adequados para uma determinada aplicação (FAN; LI, 2011).

Em Fan e Li (2011) são apresentadas duas estratégias para suprir o barramento de

média tensão na conversão CC/CC. Uma delas consiste em criar dispositivos semicondutores ou interligar os dispositivos em série, aumentando a capacidade de tensão enquanto são utilizadas as topologias tradicionais. Entretanto, essa alternativa possui desvantagens em relação ao custo de implementação de novos semicondutores e também das altas perdas de comutação quando a frequência de chaveamento normalmente ultrapassa 20 kHz. De acordo com Fan e Li (2011), a outra alternativa é a adoção de novas estruturas topológicas, multiníveis ou modulares, com a utilização dos dispositivos semicondutores existentes, ou seja, tradicionais. Sendo que as estruturas topológicas que utilizam conversores modulares apresentam as seguintes vantagens:

- Aumento na confiabilidade da estrutura topológica;
- Padronização dos componentes, implicando assim diretamente na redução de custos e tempo de produção;
- Alto rendimento, com valores de 97,2% para cargas operando com frequências de até 50 kHz.

Através da implementação dos módulos individuais com conversores *Dual Half Bridge* (DHB), possibilita-se a operação com isolamento galvânico, fluxo bidirecional de potência entre as portas da estrutura e também comutação suave ZVS em todos os interruptores da topologia, diminuindo assim as perdas elétricas por comutação e fornecendo a característica de alta densidade de potência (FAN; LI, 2011).

Em Basu e Mohan (2014) foi proposta uma topologia CA/CA trifásica, conforme mostrada na Figura 7. A topologia possui fluxo bidirecional de potência e o conversor no lado secundário é chaveado com comutação suave em toda faixa de operação de carga (BASU; MOHAN, 2014).

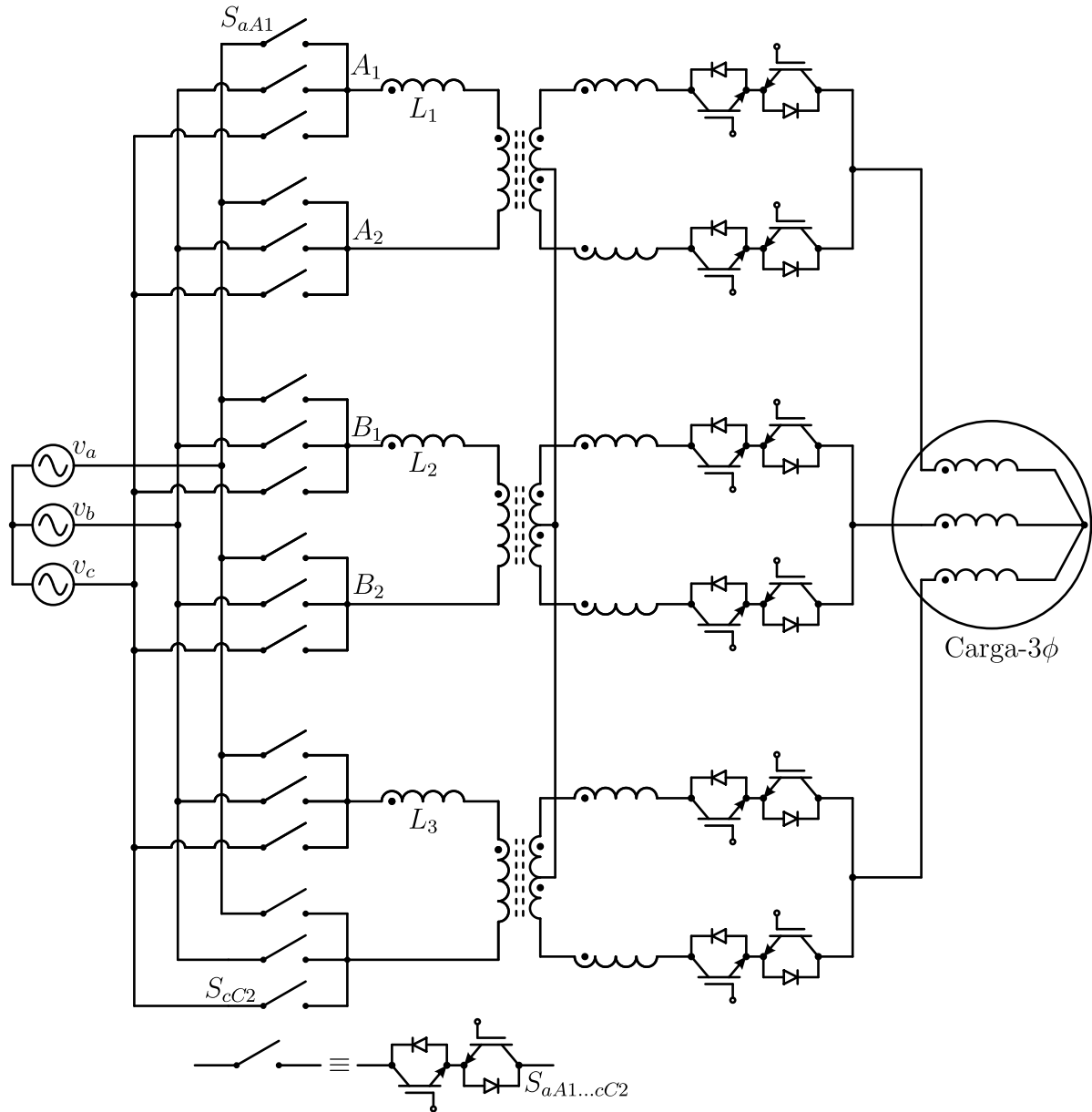
Considerando a análise experimental, a estrutura topológica apresentou as seguintes vantagens (BASU; MOHAN, 2014):

- Correção do fator de potência na entrada e alta capacidade de processamento de corrente;
- Comutação *Zero Current Switching* (ZCS) em todos os interruptores no lado secundário da topologia;
- Tensão e corrente de saída com baixo THD;

Entretanto, uma das desvantagens dessa topologia é a utilização de um elevado número de dispositivos semicondutores, especificamente, 48 interruptores do tipo *Insulated Gate Bipolar Transistor* (IGBT) (BASU; MOHAN, 2014).

A topologia estudada por Basu *et al.* (2015) é mostrada na Figura 8, a mesma

Figura 7 – Conversor CA-CA bidirecional isolado proposto em (BASU; MOHAN, 2014), com dois estágios de conversão com barramento CC de alta tensão



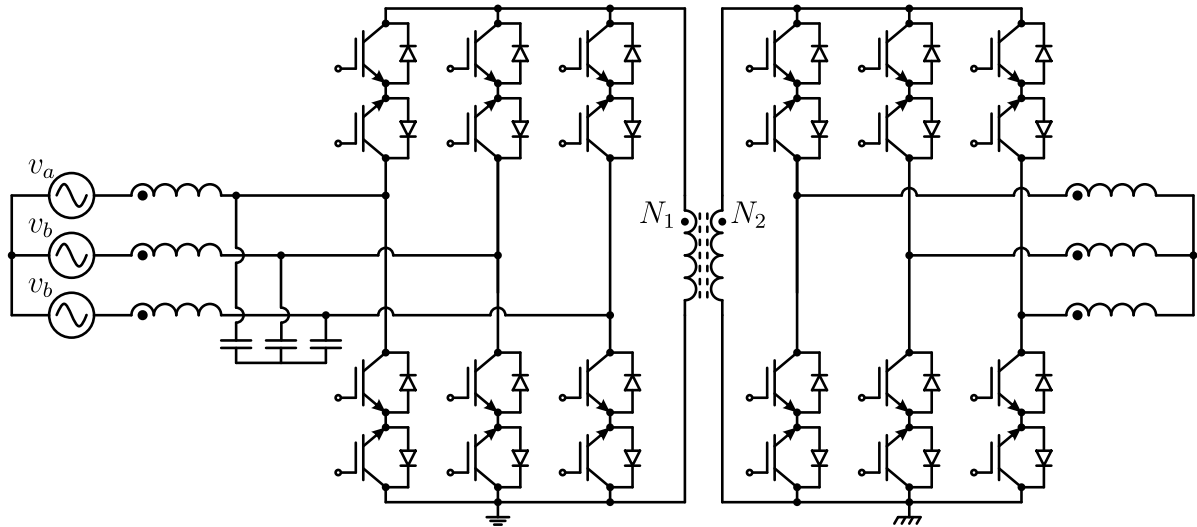
Fonte: Adaptado de (BASU; MOHAN, 2014).

apresenta metade das chaves requeridas pela topologia proposta anteriormente.

De acordo com Basu *et al.* (2015) as vantagens dessa topologia são as seguintes:

- Utilização de menor quantidade de cobre no transformador de alta frequência da topologia;
- Alta densidade de potência devido ao número reduzido de chaves e correção do fator de potência na entrada;
- Isolamento galvânico em alta frequência no transformador, reduzindo o volume do magnético;
- Estágio único de conversão e fluxo bidirecional de potência entre as portas da estrutura

Figura 8 – Conversor CA-CA bidirecional isolado proposto em (BASU *et al.*, 2015), com dois estágios de conversão com barramento CC de alta tensão



Fonte: Adaptado de (BASU *et al.*, 2015).

topológica;

- Comutação suave no lado secundário da topologia.

1.2.3.2 Arranjo dos Conversores

Outra classificação foi apresentada em (KOLAR; ORTIZ, 2014). Nesta considera-se o arranjo dos conversores, conforme pode ser visto na Figura 9.

Dentro da classificação dos conversores com arranjo similar ao da Figura 9 (a), têm-se o DHB, conforme mostrado na Figura 10 (a), sendo esta estrutura alimentada em tensão.

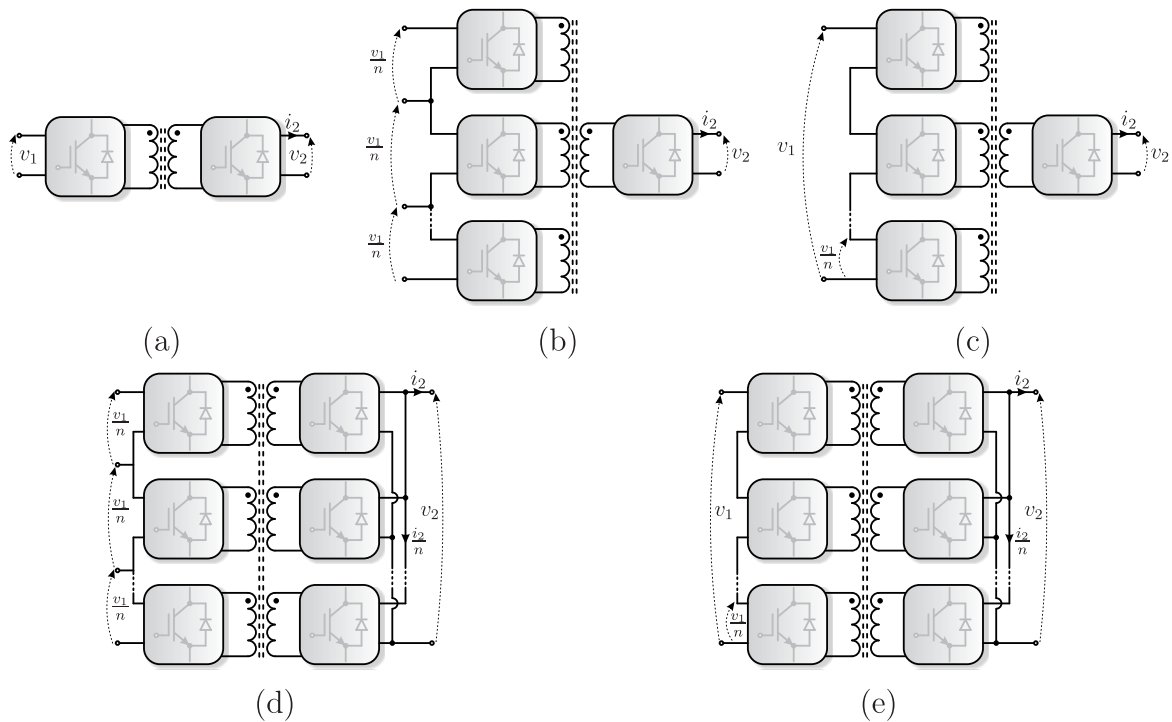
Basicamente a topologia é composta por duas chaves de potência no primário, um transformador isolador de alta frequência e o secundário apresenta a mesma estrutura do primário. A topologia não é frequentemente utilizada devido aos altos níveis de estresses que os filtros capacitivos estão submetidos (IRFAN *et al.*, 2017).

Também sendo da mesma classificação, e sendo grande destaque atualmente em várias aplicações, pode-se citar as versões monofásica e trifásica do conversor *Dual Active Bridge* (DAB), conforme mostrado nas Figuras 10 (b) e 10 (c), respectivamente.

O conversor DAB é composto por duas pontes ativas, tanto monofásica quanto trifásica, intercaladas por um transformador isolador de alta frequência. As estruturas topológicas foram propostas por (DONCKER *et al.*, 1991) e (KHERALUWALA *et al.*, 1992).

Na Figura 9 (b) é mostrada estrutura topológica conectada em série no primário com acesso à níveis intermediários e conversor não modular no lado secundário. Enquanto que na

Figura 9 – Classificação dos TES em relação ao arranjo dos conversores: (a) Conversores não modular nos lados primário e secundário; (b) Conversores conectados em série no primário com acesso à níveis intermediários e conversores conectados em série no primário sem acesso à níveis intermediários e conversor não modular no lado secundário; (d) Conversores conectados em série no primário com acesso à níveis intermediários e conversores em paralelo no secundário e (e) Conversores conectados em série no primário sem acesso à níveis intermediários e conversores em paralelo no secundário.



Fonte: Adaptado de (KOLAR; ORTIZ, 2014).

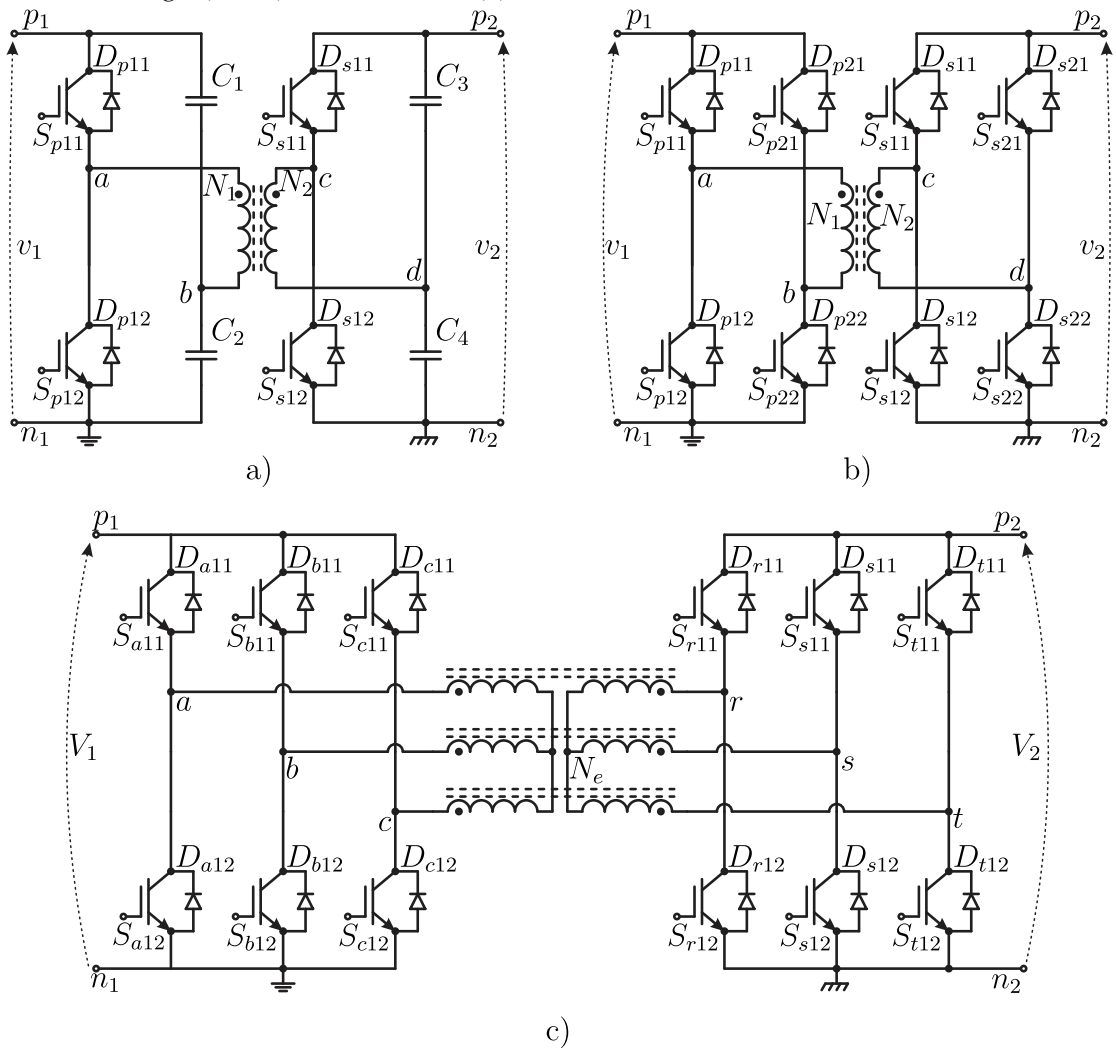
Figura 9 (c) é apresentado conversores conectados em série sem acesso à níveis intermediários e conversor não modular no lado secundário.

As outras duas classificações são de topologias cascadeadas tanto no primário como secundário, sendo apresentadas nas Figuras 9 (d) e 9 (e). Como exemplo de topologia classificada na Figura 9 (d) pode-se citar a proposta por (HONORIO *et al.*, 2016), conforme pode ser visto na Figura 11. Onde o lado primário é interligado com conexão em série, enquanto que o lado secundário é conectado em paralelo.

A estrutura proposta por Honorio *et al.* (2016) trata-se de um conversor multinível cascadeado construído a partir da configuração da entrada em série e da saída em paralelo.

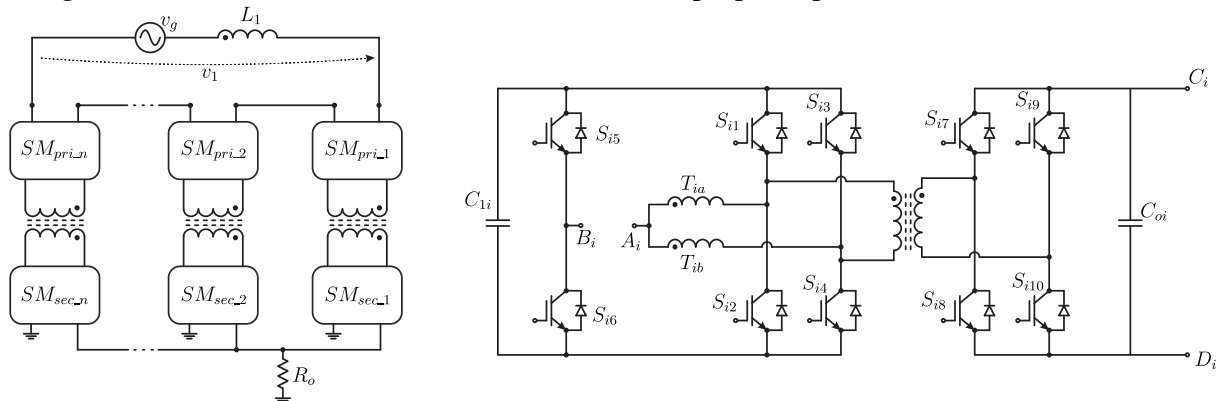
Assim, essa topologia torna-se uma alternativa em aplicações que envolvem altas potências e tensão, pois oferece flexibilidade e modularidade, além de oferecer boa distribuição das perdas e baixo conteúdo harmônico (HONORIO *et al.*, 2016).

Figura 10 – Conversor CC-CC bidirecional isolado: (a) *dual half bridge* (DHB); (b) *dual active bridge* (DAB) monofásico e (c) DAB trifásico.



Fonte: Adaptado de (DONCKER *et al.*, 1991) e (KHERALUWALA *et al.*, 1992).

Figura 11 – Conversor CC-CC bidirecional isolado proposto por (HONORIO *et al.*, 2016).



Fonte: Adaptado de (HONORIO *et al.*, 2016).

1.2.4 Topologias CA-CA

Os TES apresentem várias características adicionais para a aplicação em sistemas elétricos de geração, transmissão e distribuição. Eles podem realizar o interfaceamento entre redes elétricas CA-CA, CA-CC e CC-CC. Para tanto, adiante mostra-se algumas estruturas propícias para aplicação como TES, diferenciado da abordagem de classificação realizada anteriormente. Sendo claro que é muito grande o número de estruturas possíveis e que o seu estudo ainda está em grande parte nos moldes da pesquisa científica.

Nesta subsecção serão apresentados algumas topologias implementáveis em TES para redes elétricas CA-CA.

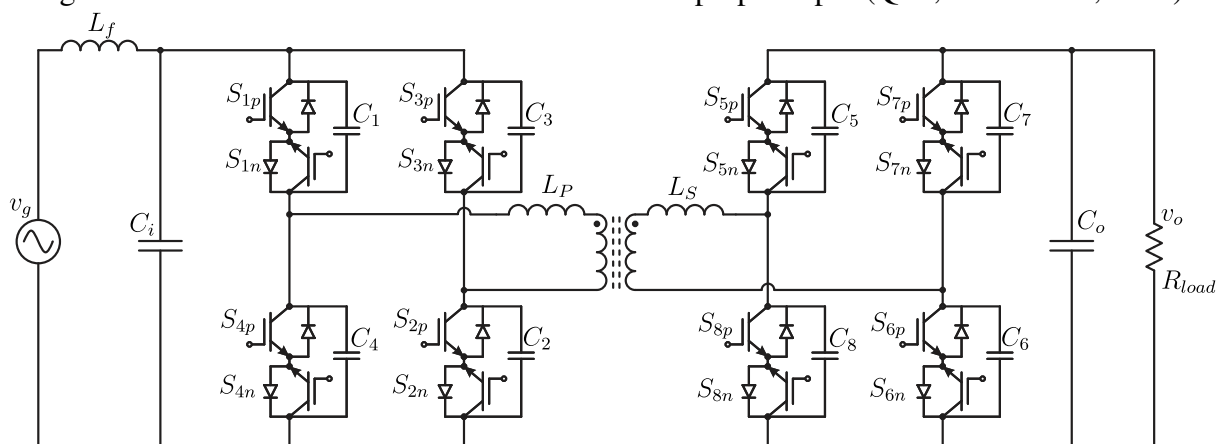
1.2.4.1 Conversor CA-CA proposto por (QIN; KIMBALL, 2013)

O estudo em Qin e Kimball (2013) propõe a utilização da estrutura DAB na implementação de um conversor CA/CA, conforme é mostrado na Figura 12.

O conversor proposto possui as seguintes características:

- Fluxo bidirecional de potência entre as portas do conversor;
- Estágio único na conversão CA/CA;
- Comutação suave nos interruptores, aumentando o rendimento da topologia;
- Configuração topológica facilmente implementável.

Figura 12 – Conversor CA-CA bidirecional isolado proposto por (QIN; KIMBALL, 2013).



Fonte: Adaptado de (QIN; KIMBALL, 2013).

1.2.4.2 *Conversor CA-CA proposto por (MADHUSOODHANAN et al., 2015)*

A topologia proposta por Madhusoodhanan *et al.* (2015), Figura 13, é composta através de três estágios: um conversor CA/CC do tipo NPC-3L trifásico com barramento em média tensão, um conversor DAB CC/CC e conversor CC/CA de baixa tensão.

A estrutura DAB é responsável pela interface em alta frequência dos barramentos em CA e CC, realizando assim o isolamento galvânico através de um transformador trifásico com um enrolamento no lado primário em Y e dois enrolamentos no lado secundário em Y/Δ .

O último estágio é implementado por três conversores FB trifásicos interligados em paralelo no lado de baixa tensão. Essa topologia alcança níveis elevados de rendimento (cerca de 97,75%), realiza compensação de reativos, possui fluxo bidirecional de potência e capacidade de integração com fontes renováveis de energia (MADHUSOODHANAN *et al.*, 2015).

1.2.4.3 *Conversor CA-CA proposto por (WANG et al., 2016)*

Em Wang *et al.* (2016) é proposta a topologia da Figura 14. Basicamente a topologia é implementada por um estágio CA/CC na entrada, segundo estágio CC/CC, com característica DAB em alta tensão, e um último estágio composto por FB cascadeados, com a finalidade de gerar o barramento CA.

Através dessa topologia é possível conectar diversas fontes de energia elétrica, realizando o paralelismo do barramento CC, com isso é incrementado a potência ativa processada pelo conversor.

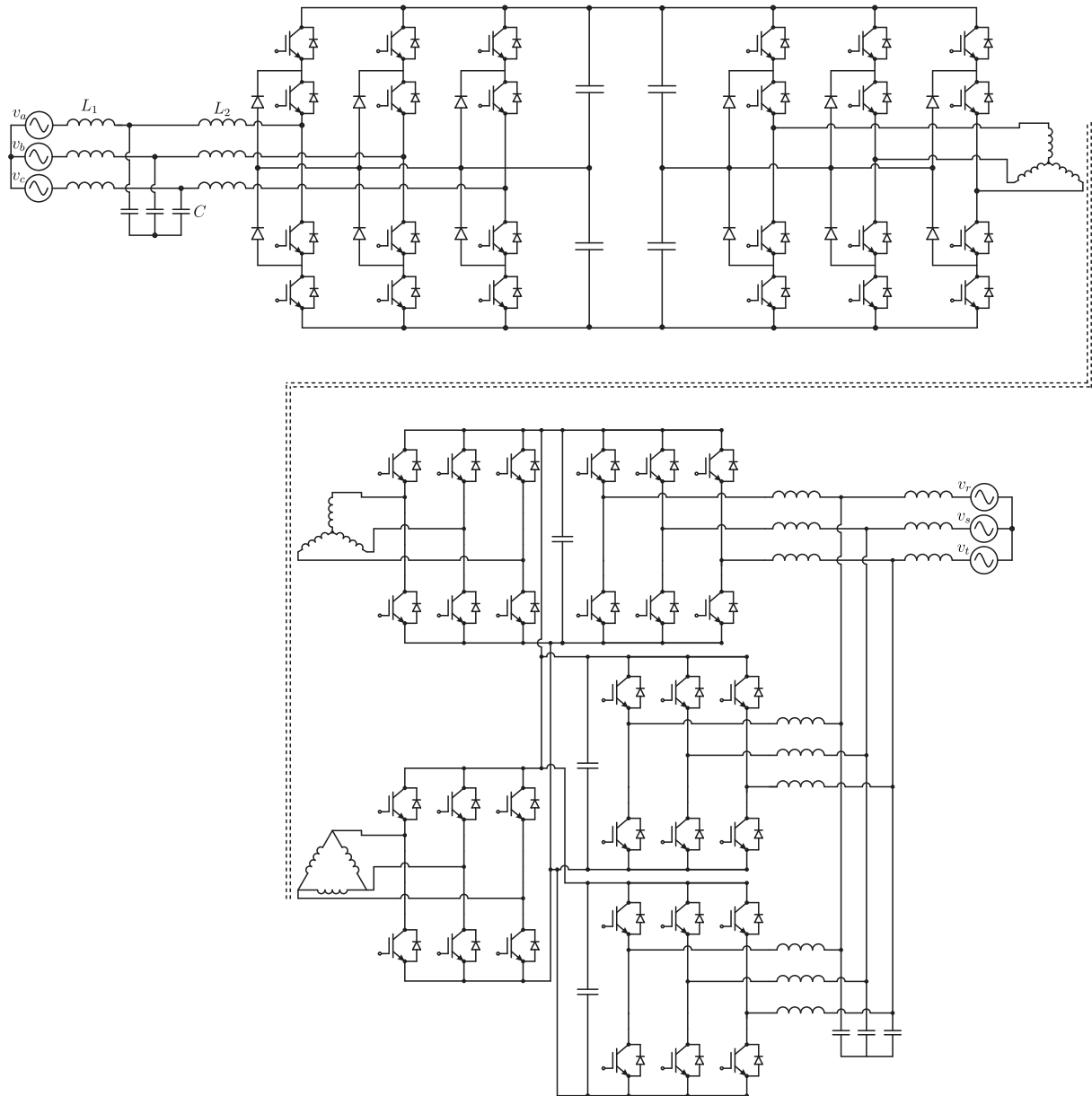
1.2.4.4 *Conversor CA-CA proposto por (CHEN et al., 2016) e (CHEN et al., 2017)*

A topologia proposta por Chen *et al.* (2016) e Chen *et al.* (2017), Figura 15, baseia-se na forma mínima para a obtenção de uma topologia de um TES trifásico, sendo mais conhecida por *Dyna - C*. Devido a utilização de dois estágios de processamento de potência, espera-se um aumento no rendimento se comparado com estruturas de três estágios e com mais interruptores de potência.

O *Dyna - C* é composto basicamente por pontes trifásicas com características de fonte de corrente, o transformador de alta frequência é responsável pela isolamento galvânica e a transferência de potência entre as portas da estrutura topológica (CHEN *et al.*, 2017).

Um aspecto de destaque mencionado em Chen *et al.* (2017) é a ausência de capacitores

Figura 13 – Conversor CA-CA bidirecional isolado proposto por (MADHUSOODHANAN *et al.*, 2015).



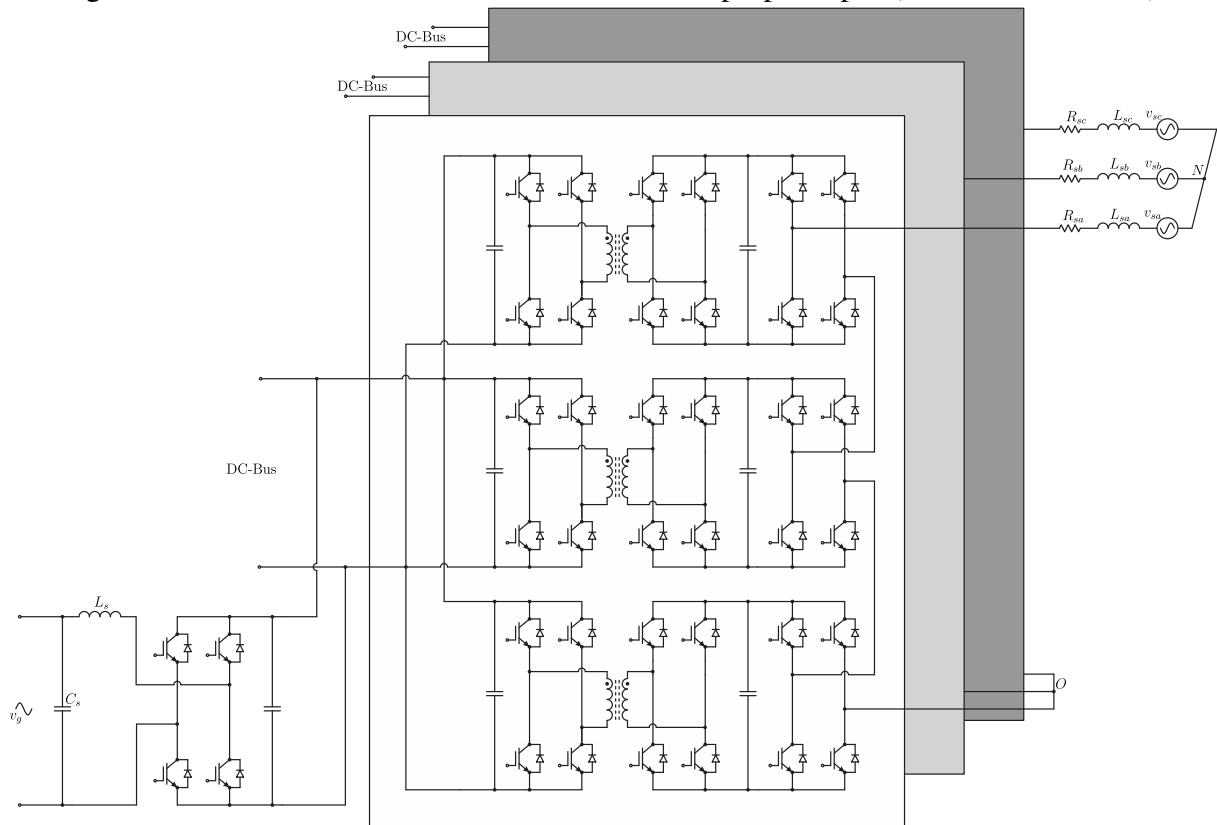
Fonte: Adaptado de (MADHUSOODHANAN *et al.*, 2015).

res eletrolíticos na implementação da topologia, tornando-a mais robusta, com menor custo na construção topológica e no aumento da vida útil da estrutura.

1.2.5 Topologias CA-CC

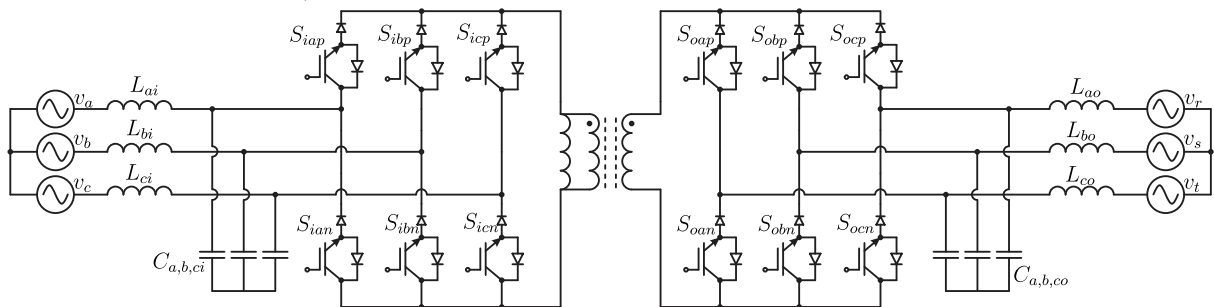
Nesta subsecção serão mostradas algumas estruturas implementáveis em TES para redes elétricas CA-CC.

Figura 14 – Conversor CA-CA bidirecional isolado proposto por (WANG *et al.*, 2016).



Fonte: Adaptado de (WANG *et al.*, 2016).

Figura 15 – Conversor CA-CA bidirecional isolado proposto por (CHEN *et al.*, 2016) e (CHEN *et al.*, 2017).

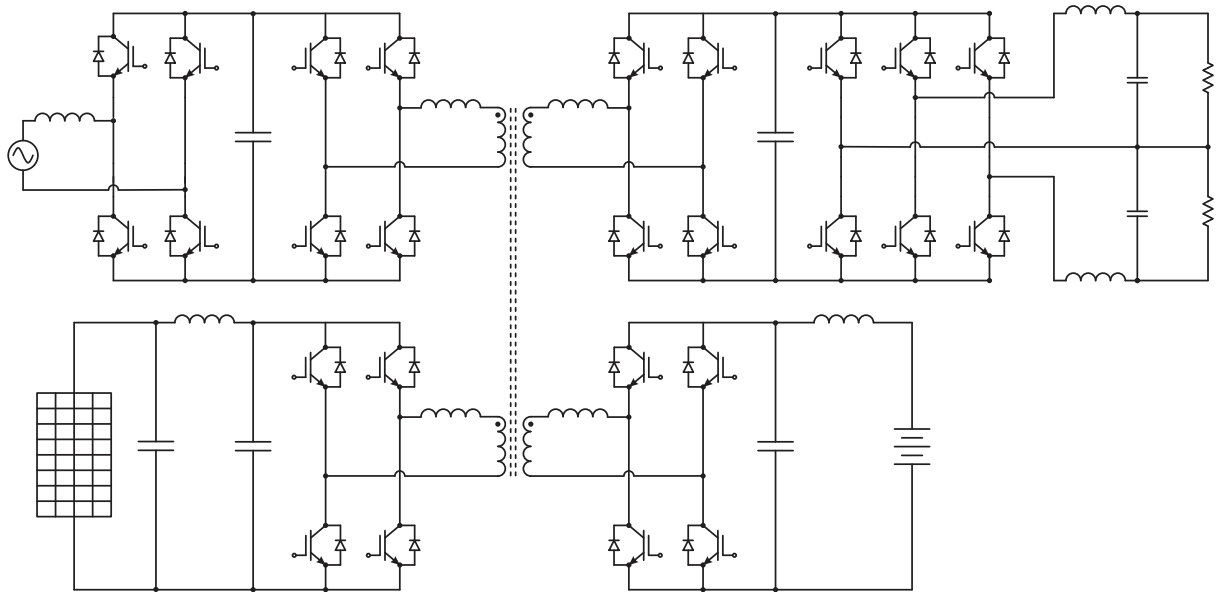


Fonte: Adaptado de (CHEN *et al.*, 2016) e (CHEN *et al.*, 2017).

1.2.5.1 Conversor CA-CC proposto por (FALCONES *et al.*, 2013)

A topologia proposta por Falcones *et al.* (2013) é baseado no conversor de quatro pontes ativas, *Quad Active Bridge* (QAB), conforme é mostrado na Figura 16. A topologia apresenta um transformador com quatro enrolamentos, isolamento galvânica em alta frequência ao banco de baterias, à carga e ao sistema de geração distribuída implementado em seu trabalho.

Figura 16 – Conversor CA-CC bidirecional isolado proposto por (FALCONES *et al.*, 2013).



Fonte: Adaptado de (FALCONES *et al.*, 2013).

1.2.5.2 Conversor CA-CC proposto por (JOCA *et al.*, 2015)

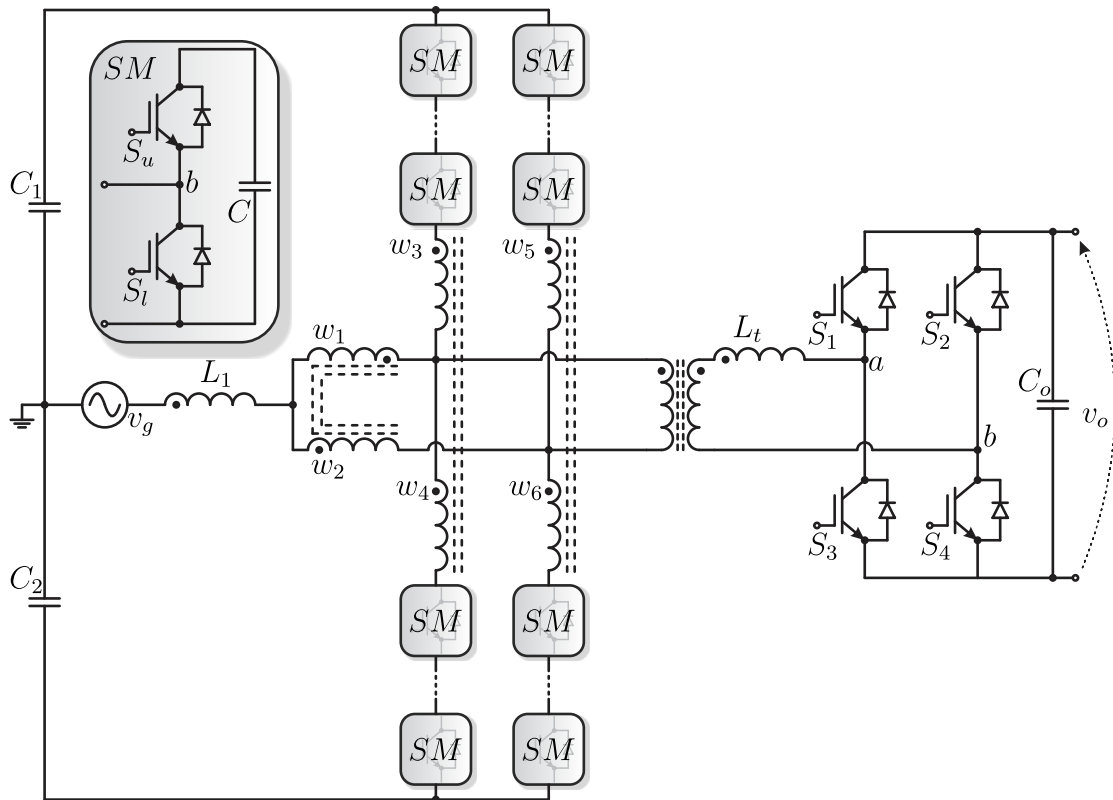
A estrutura topológica proposta por Joca *et al.* (2015) é baseada nos *Modular Multilevel Converter* (MMC), que faz parte dos conversores multiníveis, e nos últimos anos está sendo profundamente estudada e implementada por possuir alto rendimento, versatilidade e modularidade. O conversor pode ser empregado em diferentes níveis de tensão dependendo da aplicação. Portanto, trata-se de uma topologia implementável em TES CA/CC.

A topologia proposta por Joca *et al.* (2015) também apresenta em sua construção uma CCTE, visando reduzir os estresses de corrente sobre os interruptores, reduzindo assim as perdas por condução. A versão da estrutura de Joca *et al.* (2015) é monofásica e com isolamento galvânica em alta frequência, buscando diminuir peso e volume.

Sobre a topologia é possível destacar as seguintes características (JOCA *et al.*, 2015):

- A implementação pode ser realizada de forma modular;
- Os elementos utilizados em todos os submódulos da topologia proposta são idênticos ;
- Fluxo bidirecional de potência controlado entre as portas do conversor;
- Alto fator de potência na fonte CA, assim como também no transformador de alta frequência da topologia.
- Baixa complexidade na implementação dos submódulos.

Figura 17 – Conversor CA-CC bidirecional isolado proposto por (JOCA *et al.*, 2015).



Fonte: Adaptado de (JOCA *et al.*, 2015).

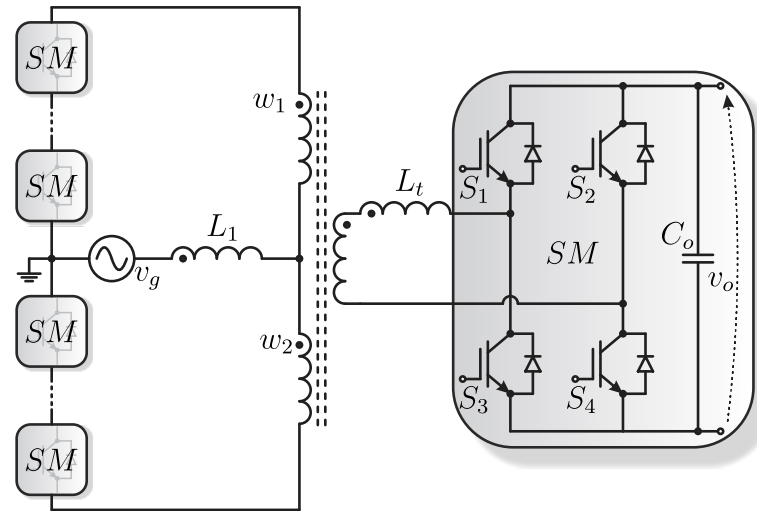
1.2.5.3 Conversor CA-CC proposto por (PACHECO *et al.*, 2015)

A topologia proposta em Pacheco *et al.* (2015) é baseada em conversores MMC, como pode ser visto na 18. A topologia é composta pela CCTE no lado CA da estrutura, sendo que o MMC possui submódulos em ponte completa. Na implementação, ocorreu a interligação do transformador e auto-transformador em um único núcleo (PACHECO *et al.*, 2015). A topologia tem algumas similaridades com o conversor proposto por Joca *et al.* (2015), com isso é uma proposta também para o TES CA/CC.

As principais características da topologia são:

- Redução nas perdas elétricas dos interruptores;
- Alto fator de potência na fonte CA e no transformador em alta frequência;
- Peso e volume reduzidos na implementação da topologia;
- Baixo THD na corrente de entrada;

Figura 18 – Conversor CA-CC bidirecional isolado proposto por (PACHECO *et al.*, 2015).



Fonte: Adaptado de (PACHECO *et al.*, 2015).

1.2.6 Topologias CC-CC

Por último, serão demonstrados alguns circuitos de potência implementáveis em TES para redes elétricas CC-CC. Analisando os conversores CC-CC implementáveis em TES é indiscutível a utilização do conversor DAB, tanto a versão monofásica quanto a trifásica. Estas topologias foram estudadas em (DONCKER *et al.*, 1991) e (KHERALUWALA *et al.*, 1992). As estruturas já foram mostradas nas Figuras 10 (b) e 10 (c).

1.2.6.1 Conversor CC-CC proposto por (WANG; LI, 2012) e (WANG; LI, 2013)

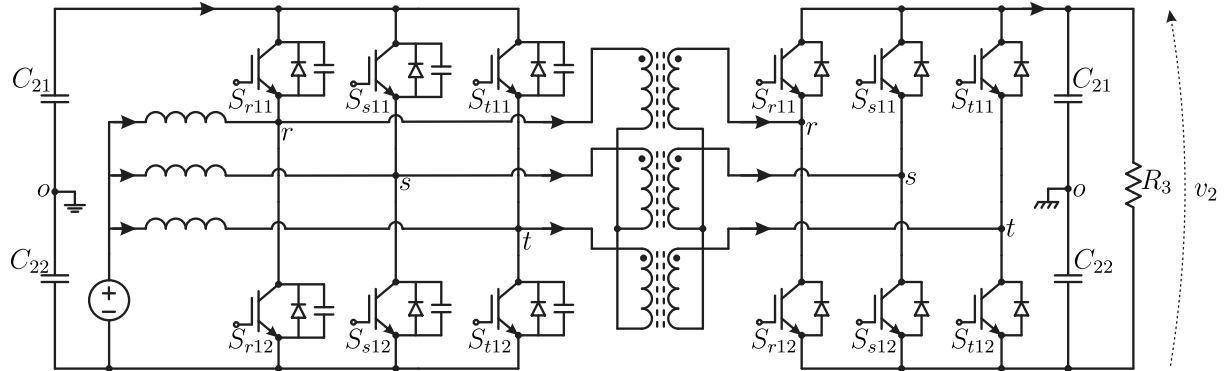
A topologia proposta por Wang e Li (2012) é mostrada na Figura 19. A estrutura é composta por um conversor DAB trifásico alimentado em corrente no lado primário da fonte de tensão, através da utilização de três indutores para cada fase.

A operação básica do conversor pode ser no modo *buck* ou *boost*. A operação em modo *boost* ocorre com o fluxo de potência do lado da fonte de baixa tensão para o lado da fonte de alta tensão, e o modo *buck* tem o sentido de fluxo de potência invertido (WANG; LI, 2012).

Com a utilização de uma estrutura DAB, a topologia possui fluxo bidirecional de potência e isolamento galvânico em alta frequência entre lados primário e secundário da estrutura. A porta 1 da estrutura topológica é implementada para a conexão de um sistema fotovoltaico, enquanto que a porta 2 emprega um sistema de armazenamento de energia através de banco de baterias e por último, porta 3 é utilizada para a conexão da carga CC ou como um barramento CC (WANG; LI, 2013).

As principais características da topologia são a possibilidade de operação em ZVS, alto rendimento e baixas perdas nos interruptores (WANG; LI, 2012).

Figura 19 – Conversor CC-CC bidirecional isolado proposto por (WANG; LI, 2012) e (WANG; LI, 2013).



Fonte: Adaptado de (WANG; LI, 2012) e (WANG; LI, 2013).

1.2.6.2 Conversor CC-CC proposto por (OLIVEIRA FILHO *et al.*, 2016)

A topologia CC/CC proposta em Oliveira Filho *et al.* (2016) originalmente foi desenvolvida para aplicação em conversores CC/CC para *smart-grids*, veículos elétricos e sistemas de distribuição CC, ou seja, essa estrutura detém as características necessárias para um TES CC/CC, conforme pode ser visto na Figura 20.

A topologia é composta por duas pontes ativas trifásicas no lado primário e uma ponte ativa trifásica no lado secundário. A isolamento galvânica em alta frequência é realizada por três transformadores monofásicos interligados em Δ aberto-Y (OLIVEIRA FILHO *et al.*, 2016).

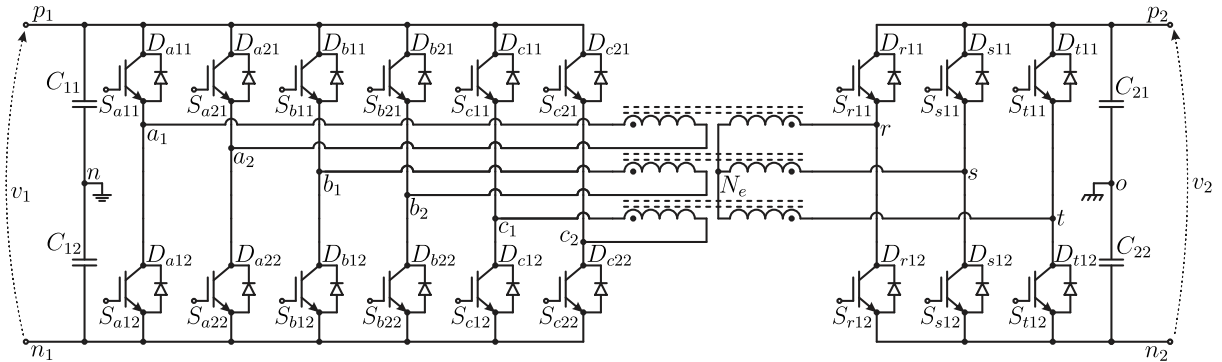
A topologia possui alto rendimento, podendo atingir 96% em carga nominal, comutação suave nos interruptores de potência e alto fator de potência no transformador de alta frequência, utilizando um ângulo adequado de *Phase Shift* (PS).

1.2.6.3 Conversor CC-CC proposto por (LEIBL *et al.*, 2017)

A topologia mostrada na Figura 21 é um conversor CC-CC isolado bidirecional que foi proposta por (LEIBL *et al.*, 2017). A estrutura apresenta um conversor NPC-3L no lado primário, enquanto que no lado secundário tem-se um conversor FB.

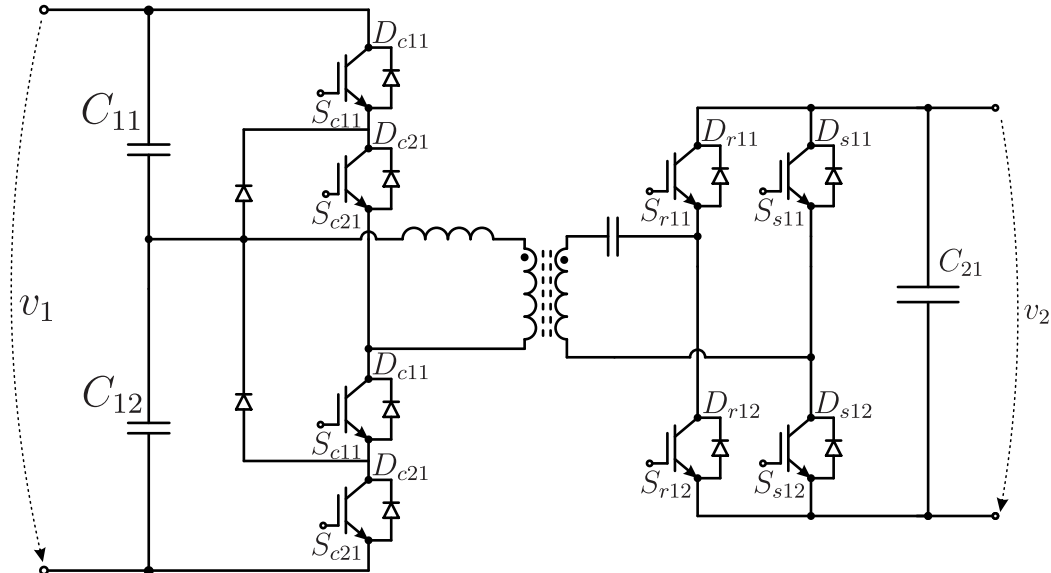
A topologia foi implementada através de um protótipo de 166 kW/20 kHz. Com o protótipo construído, obteve-se um rendimento de 99,4% com uma densidade de potência de 44 kW/dm³.

Figura 20 – Conversor CC-CC bidirecional isolado proposto por (OLIVEIRA FILHO *et al.*, 2016).



Fonte: Adaptado de (OLIVEIRA FILHO *et al.*, 2016).

Figura 21 – Conversor CC-CC bidirecional isolado proposto por (LEIBL *et al.*, 2017).



Fonte: Adaptado de (LEIBL *et al.*, 2017).

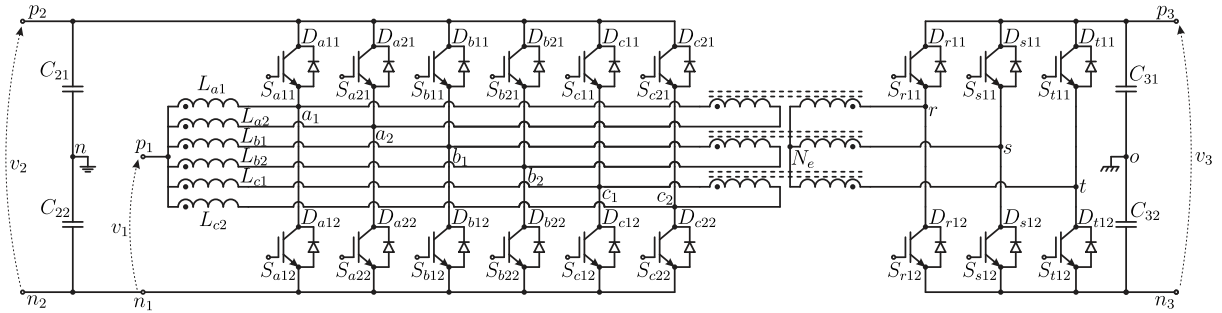
1.2.6.4 Conversor CC-CC proposto por (de Oliveira *et al.*, 2019)

O conversor proposto em (de Oliveira *et al.*, 2019) possui como diferencial a possibilidade de aplicação com três portas, mas deve-se salientar que entre as portas I e II não há isolamento elétrico, conforme visto na Figura 22.

A topologia foi implementada para aplicação em sistemas fotovoltaicos (porta II) com banco de baterias (porta III), interligados a uma rede elétrica CC (porta III). Uma característica atrativa dessa estrutura é a divisão da corrente proveniente da porta I, no qual cada braço de HB está submetido a 1/6 da corrente nominal do banco de baterias, que normalmente é elevado para aplicações de alta potência.

Uma desvantagem da estrutura topológica é o elevado número dos interruptores de potência, acarretando um sistema de controle complexo e uma redução no rendimento.

Figura 22 – Conversor CC-CC bidirecional isolado proposto por (de Oliveira *et al.*, 2019).



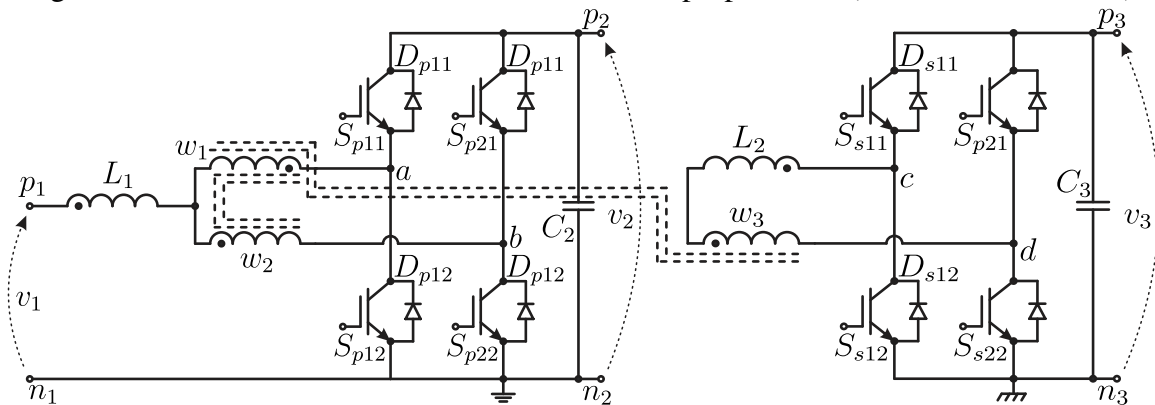
Fonte: Adaptado de (de Oliveira *et al.*, 2019).

1.3 Concepção das Topologias Propostas

1.3.1 Versão Monofásica

O conversor proposto para aplicação no TES, versão monofásica, é baseado na topologia apresentada em (MAZZA, 2014) e (MAZZA *et al.*, 2015), conforme é mostrado na Figura 23.

Figura 23 – Conversor CC-CC bidirecional isolado proposto em (MAZZA *et al.*, 2015).

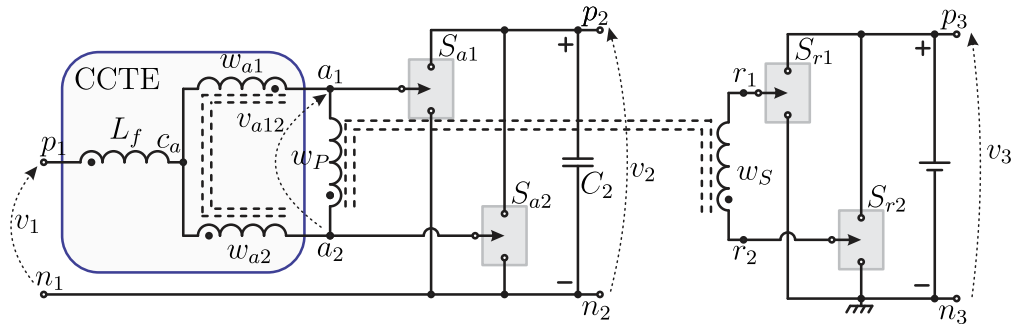


Fonte: Adaptado de (MAZZA *et al.*, 2015).

Outra forma de visualizar a topologia anterior é através da análise de sua estrutura primitiva. Os braços do conversor são substituídos por uma chave de dois estados, podendo ser visualizado na Figura 24. Com esta abordagem, verifica-se rapidamente o número de estados de chaveamento possíveis em cada braço do conversor.

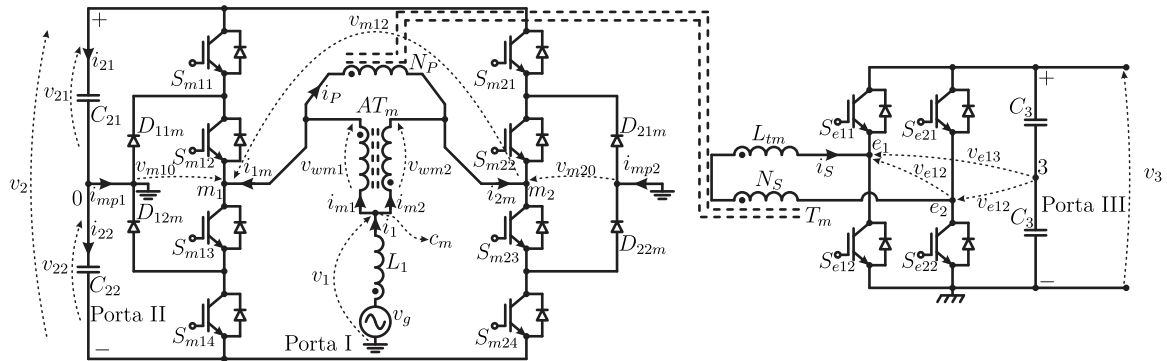
Assim, a topologia proposta neste trabalho é apresentado na Figura 25, versão monofásica. O primário da topologia é baseado em dois braços com três estados e o secundário possui dois braços com dois estados de chaveamento. A estrutura topológica monofásica proposta será chamada de I2NDF1 no decorrer deste trabalho.

Figura 24 – Versão primitiva do conversor CC-CC bidirecional isolado proposto em (MAZZA *et al.*, 2015).



Fonte: o autor.

Figura 25 – Conversor CA-CC monofásico isolado com estrutura no secundário alimentada em tensão, proposto para aplicação em TES.

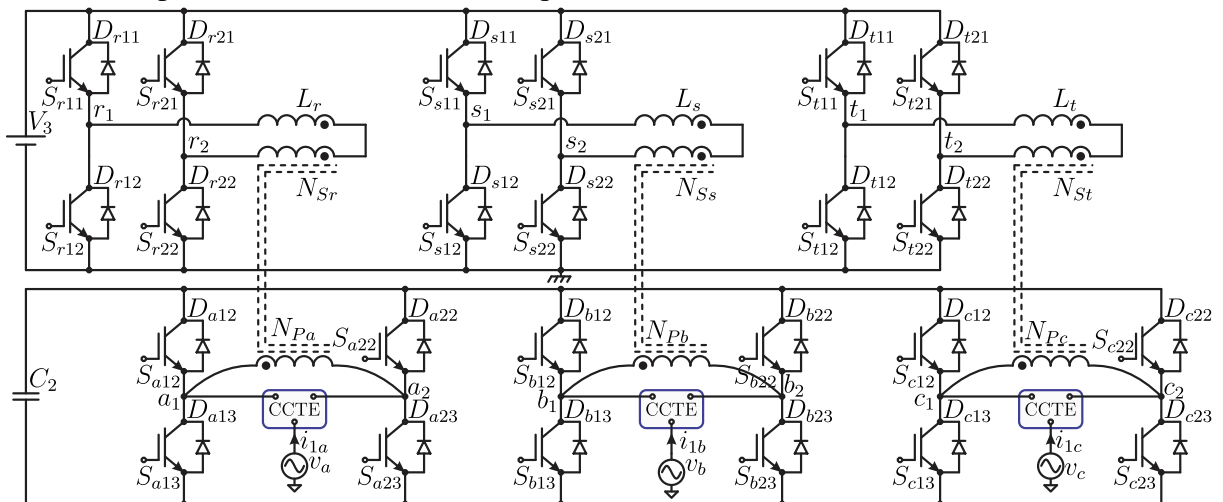


Fonte: o autor.

1.3.2 Versão Trifásica

A versão trifásica da topologia proposta neste trabalho é baseado no estudo realizado em (ALMEIDA; OLIVEIRA JR., 2016). A Figura 26 mostra a estrutura trifásica.

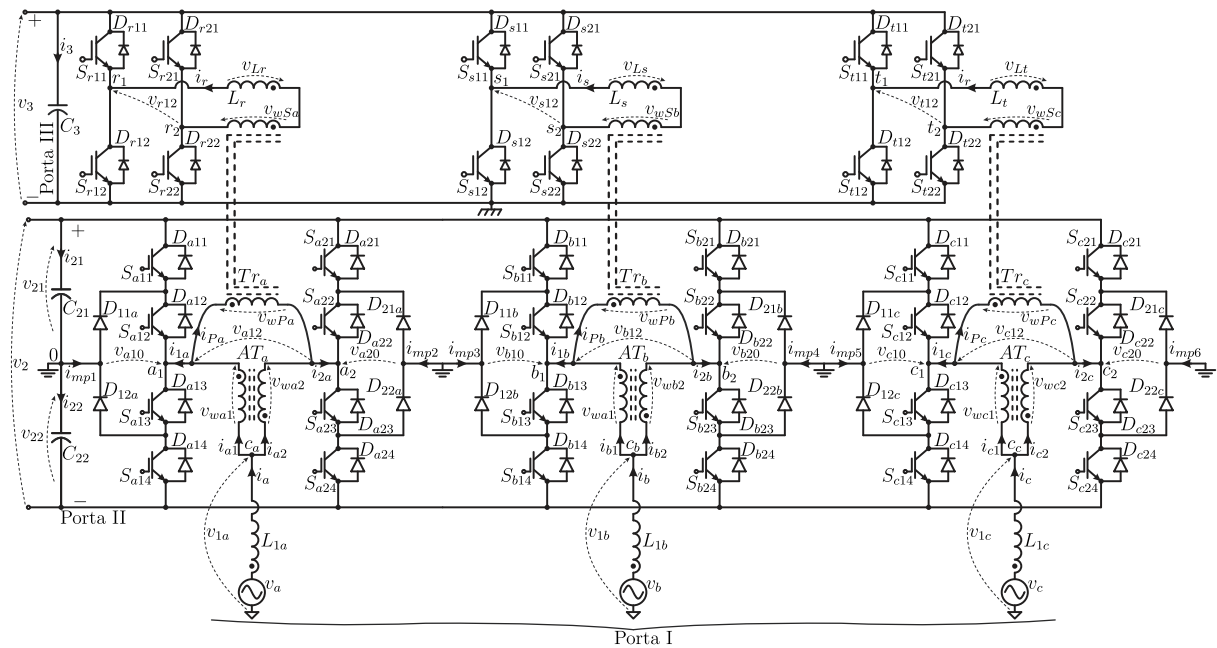
Figura 26 – Conversor CA-CC trifásico bidirecional de único estágio com correção de fator de potência e isolado em alta frequência.



Fonte: Adaptado de (ALMEIDA; OLIVEIRA JR., 2016).

A Figura 27 mostra a versão trifásica proposta neste trabalho. Percebe-se que o secundário é o mesmo adotado no trabalho de (ALMEIDA; OLIVEIRA JR., 2016), mas no lado primário modifica-se os braços por conversores NPC-3L. A estrutura topológica trifásica proposta será designada de Intercado Dual NPC-3L DAB FB trifásico (I2NDF3) no decorrer deste documento de tese.

Figura 27 – Conversor CA-CC trifásico bidirecional de único estágio isolado com transformadores monofásicos.



Fonte: o autor.

1.4 Objetivos, Contribuições e Metodologia

O objetivo do presente trabalho é estudar conversores bidirecionais CA-CC monofásico e trifásico para aplicação em TES. Será realizado a análise de perdas dos conversores e também o estudo da comutação nos interruptores de potência das topologias.

Compreende-se em suma que as principais contribuições desta tese são:

- Estudo de novas topologias de conversores CA-CC para aplicação em TES;
- Apresenta-se a modelagem e o controle dos conversores propostos;
- Realiza-se a análise da comutação suave nos interruptores de potência das topologias;
- Estudo de perdas elétricas nas estruturas propostas e comparativo com outras topologias;
- Proposição de novas estratégias de modulação no secundário do conversor.

Em termos de metodologia, optou-se por iniciar o estudo com a versão monofásica

dos conversores propostos com o secundário alimentado em tensão. Tomando um estudo vetorial da versão monofásica, é possível mostrar as principais etapas de operação do conversor. De forma genérica, o trabalho foi realizado em vista de estudos analíticos da versão monofásica e simulações numéricas e obtenção de resultados experimentais.

Por último estuda-se a topologia trifásica, seguindo como base as análises obtidas da estrutura monofásica.

1.5 Estrutura da Tese

O primeiro capítulo apresenta uma introdução geral. Nela está contida a contextualização e motivação, onde está demonstrado a importância dos transformadores de estado sólido e a relação com as topologias implementáveis. Além da realização de uma revisão bibliográfica de topologias implementáveis em TES. Logo após este estudo inicial, mostra-se a concepção das topologias propostas, com a origem das duas topologias propostas para este trabalho. No fim, traça-se os objetivos que serão trabalhados e colocados na qualificação, bem como as contribuições e metodologia adotada. Além do trabalho já publicação sobre a versão monofásica da topologia proposta.

No capítulo 2 é realizado um estudo da versão monofásica da estrutura proposta. Primeiramente é mostrado uma análise genérica e depois as estratégias de modulação aplicadas no conversor. O estudo vetorial do conversor é feito para futura aplicação da modulação por espaço vetorial. Através do modelo fundamental, obtém-se as principais equações que regem o funcionamento da topologia. Realiza-se uma análise do transformador e autotransformador, com vistas para um estudo do modelo real desses magnéticos. Além disso, estuda-se a ondulação de corrente no indutor da porta I e a de tensão nas portas II e III. Também é realizado a modelagem e o controle da versão monofásica da estrutura proposta. Por último realiza-se o estudo da comutação suave dos interruptores de potência do projeto proposto.

No terceiro capítulo se encontra o estudo. Além disso, realiza-se um comparativo com outras topologias.

O capítulo 3 é dedicado a apresentação das simulações realizadas, para comprovação da análise teórica da topologia e também a análise de perdas da versão monofásica.

O capítulo 4 é apresentado a fundamentação teórica da versão trifásica proposta. Os resultados de simulação para uma aplicação numa microrrede é demonstrada no final do capítulo.

Finalizando o texto, o quinto capítulo mostra as conclusões e os trabalhos futuros

propostos. Dando ênfase a duas novas topologias oriundas desse trabalho de doutorado.

1.6 Publicações

O trabalho foi apresentado no *18th European Conference on Power Electronics and Applications* (EPE 2016), que ocorreu de 5 a 9 de Setembro de 2016 em Karlsruhe, Alemanha. O título do trabalho foi: *Bidirectional Converter with High Frequency Isolation Feasible to Solid State Transformer Applications*.

O trabalho foi publicado na *Revista Eletrônica de Potência* da SOBRAEP em 2019. O título do trabalho foi: *Transformador de Estado Sólido CA-CC Monofásico 5 Níveis Baseado no Intercalamento de Braços NPC*.

2 ESTUDO DO CONVERSOR I2NDF1

Neste capítulo será apresentado o TES monofásico CA-CC bidirecional multiportas multinível, baseado na CCTE e no NPC-3L. A análise da topologia terá como foco a obtenção das principais relações matemáticas entre as variáveis do circuito de potência. Mostra-se o princípio de funcionamento através de uma análise do espaço de estados de chaveamento com vistas à obtenção dos estados de chaveamento que descrevem a topologia em estudo, inclusive demonstrando algumas restrições de comutação no lado primário do conversor.

A estratégia de modulação no lado primário e secundário da topologia I2NDF1 é apresentada com os circuitos moduladores e as principais formas de onda das funções de modulação e portadoras, sendo que será realizado um estudo genérico para obtenção da moduladora do lado secundário. Além disso, as principais tensões sintetizadas pela estrutura topológica são obtidas em função das funções de chaveamento dos interruptores.

A análise do transformador e autotransformador do conversor I2NDF1 é mostrada. Assim como os parâmetros importantes, e.g., a delimitação das faixas de operação e o número de níveis da tensão multinível em função do índice de modulação em amplitude. Também é demonstrado a obtenção da função de chaveamento da topologia I2NDF1.

As ondulações de corrente na porta I e tensão nas portas II e III são apresentadas para o projeto dos componentes magnéticos e capacitivos. O estudo do fluxo de potência através do modelo fundamental e do completo baseado nas etapas de operação, a modelagem e o controle da estrutura, a análise da comutação dos interruptores e das perdas elétricas no conversor I2NDF1.

2.1 PRINCÍPIO DE FUNCIONAMENTO DO CONVERSOR I2NDF1

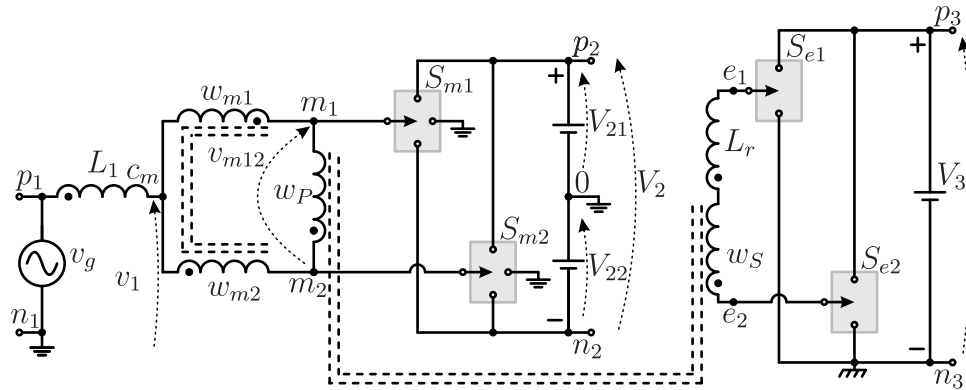
2.1.1 Descrição da Topologia Genérica

A topologia genérica em estudo é mostrada na Figura 28. O conversor é composto por uma fonte de alimentação de tensão sinusoidal v_g entre os terminais p_1 e n_1 (porta I), um indutor L_1 , o autotransformador (AT_m) da CCTE (não isolado), um transformador (T_m) monofásico de média ou alta frequência (isolado), as fontes de alimentação de tensão contínua, representando os capacitores do barramento em CC entre os terminais p_2 e n_2 (porta II).

O lado secundário da topologia é formado pela fonte de alimentação de tensão contínua V_3 inserida entre os terminais p_3 e n_3 (porta 3). Este conversor possui dois braços no

primário do tipo NPC-3L. Já no secundário do conversor também estão presentes dois braços do tipo HB, formando assim um FB monofásico. Cada braço do lado primário possui um interruptor bidirecional genérico de quatro terminais S_{xy} , com $x \in \{1, 2\}$ e $y \in \{1, 2, 3, 4\}$. A implementação física desta chave já foi demonstrada no capítulo anterior, tratando-se da topologia NPC-3L.

Figura 28 – Estrutura monofásica genérica do conversor I2NDF1.



Fonte: o autor.

2.1.2 Funcionamento dos Submódulos

A topologia é composta por dois submódulos básicos. No primário utiliza-se o submódulo NPC-3L, já no secundário está presente o submódulo FB monofásico.

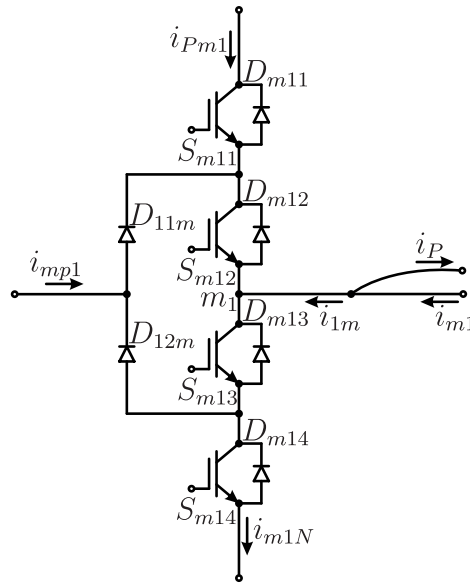
2.1.2.1 NPC-3L

O lado primário do conversor apresenta dois submódulos NPC-3L interligados em paralelo. O submódulo NPC-3L é apresentado na Figura 29, onde percebe-se o sentido das correntes adotado neste trabalho. As correntes elétricas da chave genérica S_{m1} são: i_{mp1} , i_{Pm1} , i_{m1N} e i_{1m} . Sendo que esta última corrente é dada por $i_{1m} = i_{m1} - i_P = i_1/2 - i_P$. Claramente, como já foi colocado anteriormente, trata-se da topologia NPC-3L, com a diferença da corrente resultante i_{m1} .

A Tabela 1 apresenta os estados de comutação do NPC-3L juntamente com as tensões sintetizadas em v_{m10} . A tensão v_{m10} sintetizada pelo NPC-3L depende dos estados de comutação dos interruptores de potência que compõe a estrutura. Analisando os estados da Tabela 1, percebe-se que o estado ($[s_{m11}s_{m12}s_{m13}s_{m14}] = [1001]$) não é permitido.

A Figura 30 mostra as etapas genéricas para cada estado de comutação. Devido ao elevado número de possibilidades de caminho para as correntes elétricas percorrerem, apresenta-

Figura 29 – Esquemático do NPC-3L do conversor I2NDF1 apresentando o sentido das correntes.



Fonte: o autor.

se apenas as chaves no estado em condução ($s_{m1y} = 1$) ou em bloqueio ($s_{m1y} = 0$), com $y \in \{1, 2, 3, 4\}$.

A seguir, serão descritos os estados de chaveamento e algumas possibilidades para a corrente elétrica i_{1m} .

Tabela 1 – Definição dos estados de chaveamento no lado primário do conversor do conversor I2NDF1 com a tensão v_{m10} .

Estados de Chaveamento ($[s_{m11}s_{m12}s_{m13}s_{m14}]$)	v_{m10}
[0011]	$-\frac{V_2}{2}$
[0110]	0
[1001]	$+\frac{V_2}{2} (i_{1m} > 0)$ ou $-\frac{V_2}{2} (i_{1m} < 0)$
[1100]	$+\frac{V_2}{2}$

Fonte: o autor.

Estado de chaveamento [0011] - NPC-3L

Neste estado de chaveamento, Figura 30 (a), as chaves S_{m11} e S_{m12} estão no estado aberto, $s_{m11} = 0$ e $s_{m12} = 0$. A tensão instantânea v_{m10} assume o valor $-V_2/2$. Para analisar os semicondutores em condução, é necessário considerar o sentido da corrente i_{1m} em regime permanente. Para o caso de $i_{1m} > 0$, os interruptores S_{a13} e S_{a14} estarão em condução. Já com $i_{1m} < 0$, os diodos D_{m13} e D_{m14} é que irão conduzir a corrente elétrica.

Estado de chaveamento [0110] - NPC-3L

O estado de chaveamento [0110] é mostrado na Figura 30 (b). O interruptor S_{m11}

está aberto e o S_{m12} está fechado, ou seja, $s_{m11} = 0$ e $s_{m12} = 1$. Quando a corrente $i_{1m} > 0$, as chaves em condução são S_{m13} e D_{12m} . Enquanto que, se $i_{1m} < 0$, os interruptores em condução são S_{m12} e D_{11m} . O valor instantâneo da tensão v_{m10} será nulo.

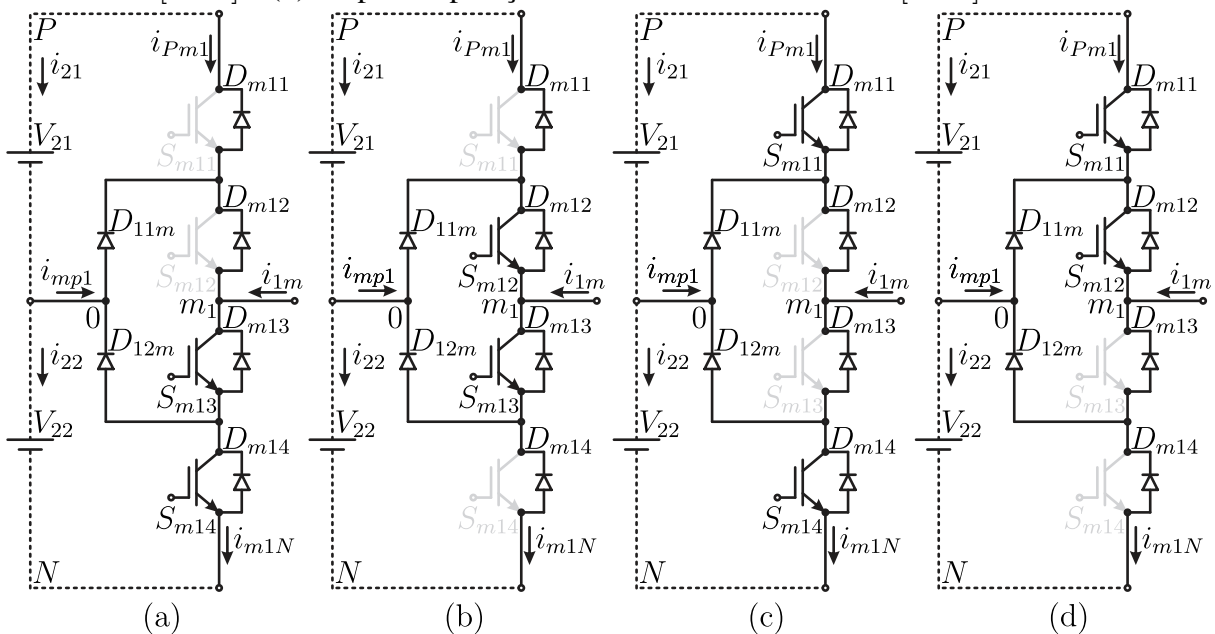
Estado de chaveamento [1001] - NPC-3L

A operação neste estado de chaveamento, [1001], não é interessante. Caso a corrente $i_{1m} > 0$, a tensão $v_{m10} = +V_2/2$, e caso $i_{1m} < 0$, $v_{m10} = -V_2/2$. Logo percebe-se que o valor da tensão produzida em v_{m10} depende do sentido da corrente i_{1m} , sendo esta uma característica indesejável. Portanto, o mesmo será desprezado das análises subsequentes. Apresenta-se o estado na Figura 30 (c).

Estado de chaveamento [1100] - NPC-3L

Por último, o estado de chaveamento [1100] é apresentado na Figura 30 (d). Nele, as chaves S_{m11} e S_{m12} estão no estado fechado, $s_{m11} = 1$ e $s_{m12} = 1$. A tensão sintetizada pelo braço é $v_{m10} = +V_2/2$. Se a corrente $i_{1m} > 0$, então os diodos D_{m11} e D_{m12} estão em condução. No sentido inverso de i_{1m} , as chaves em condução são S_{m11} e S_{m12} .

Figura 30 – Estados de chaveamento do NPC-3L do conversor monofásico CA-CC I2NDF1: (a) Etapa de operação no estado de chaveamento [0011]; (b) Etapa de operação no estado de chaveamento [0110]; (c) Etapa de operação no estado de chaveamento [1001] e (d) Etapa de operação no estado de chaveamento [1100].



Fonte: o autor.

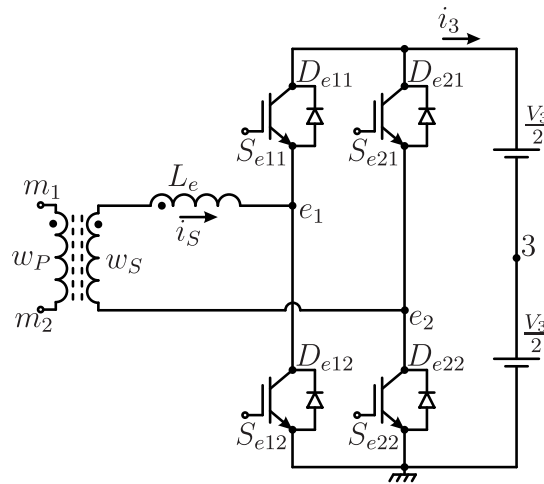
2.1.2.2 FB monofásico

O lado secundário do conversor é composto por um submódulo FB monofásico, conforme mostrado na Figura 31.

A Tabela 2 apresenta os estados de comutação do FB monofásico juntamente com as tensões sintetizadas em v_{m12} . A tensão v_{m12} sintetizada pelo FB monofásico não há restrição em relação aos estados de chaveamento, podendo assim aproveitar todos os estados de comutação.

Adiante, serão descritos os estados de chaveamento e as possibilidades para a corrente elétrica i_S .

Figura 31 – Esquemático do FB monofásico do conversor I2NDF1 apresentando o sentido das correntes.



Fonte: o autor.

Tabela 2 – Definição dos estados de comutação no lado secundário do conversor do conversor I2NDF1 com a tensão v_{e12} .

Estados de Comutação ($[s_{e11}s_{e21}s_{e12}s_{e22}]$)	v_{e13}	v_{e23}	v_{e12}
[0011]	$-\frac{V_3}{2}$	$-\frac{V_3}{2}$	0
[0110]	$-\frac{V_3}{2}$	$\frac{V_3}{2}$	$-V_3$
[1001]	$\frac{V_3}{2}$	$-\frac{V_3}{2}$	V_3
[1100]	$\frac{V_3}{2}$	$\frac{V_3}{2}$	0

Fonte: o autor.

Estado de chaveamento [0011] e $i_S > 0$ - FB monofásico

O estado de chaveamento [0011] com $i_S > 0$ é mostrado na Figura 32 (a). A corrente

i_S irá percorrer os semicondutores S_{e12} e D_{e22} . Neste estado de chaveamento, a tensão v_{e12} é nula.

Estado de chaveamento [0110] e $i_S > 0$ - FB monofásico

O estado de chaveamento [0110] com $i_S > 0$ é visualizado na Figura 32 (b). As chaves S_{e12} e S_{e21} estão conduzindo a corrente i_S nesta etapa de operação. Já a tensão sintetizada v_{e12} é $-V_3$.

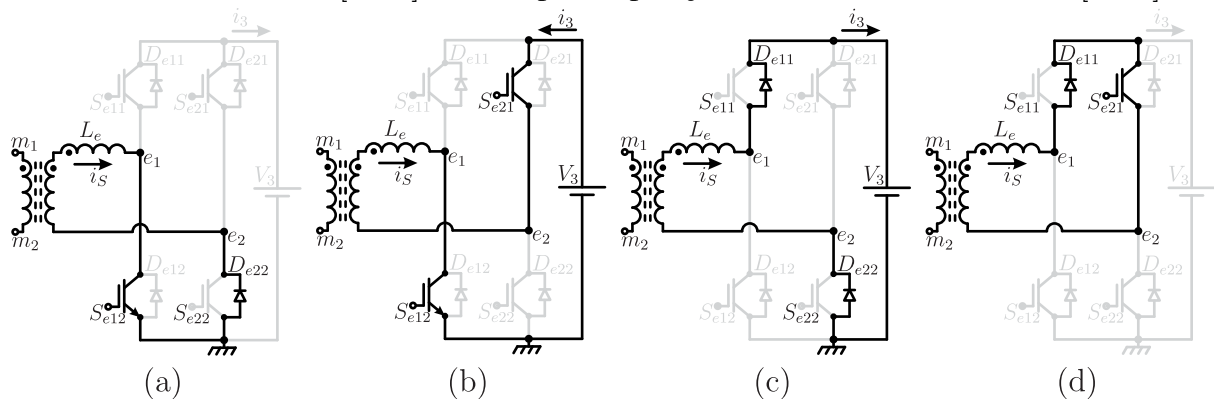
Estado de chaveamento [1001] e $i_S > 0$ - FB monofásico

O estado de chaveamento [1001] com $i_S > 0$ é apresentado na Figura 32 (c). A corrente i_S é conduzida pelos diodos D_{e11} e D_{e22} nesta etapa de operação. A tensão instantânea v_{e12} é V_3 .

Estado de chaveamento [1100] e $i_S > 0$ - FB monofásico

O estado de chaveamento [1100] com $i_S > 0$ é mostrado na Figura 32 (d). O diodo D_{e11} e a chave S_{e21} estão conduzindo a corrente i_S . A tensão v_{e12} é nula nesta etapa de operação.

Figura 32 – Estados de chaveamento do FB monofásico do conversor CA-CC I2NDF1 com $i_S > 0$: (a) Etapa de operação no estado de chaveamento [0011]; (b) Etapa de operação no estado de chaveamento [0110]; (c) Etapa de operação no estado de chaveamento [1001] e (d) Etapa de operação no estado de chaveamento [1100].



Fonte: o autor.

Estado de chaveamento [0011] e $i_S < 0$ - FB monofásico

O estado de chaveamento [0011] com $i_S < 0$ é mostrado na Figura 33 (a). A corrente i_S irá percorrer os semicondutores D_{e12} e S_{e22} . Neste estado de chaveamento, a tensão v_{e12} é nula.

Estado de chaveamento [0110] e $i_S < 0$ - FB monofásico

O estado de chaveamento [0110] com $i_S < 0$ é apresentado na Figura 33 (b). Os diodos D_{e12} e D_{e21} estão conduzindo a corrente i_S nesta etapa de operação. Já a tensão sintetizada v_{e12} é $-V_3$.

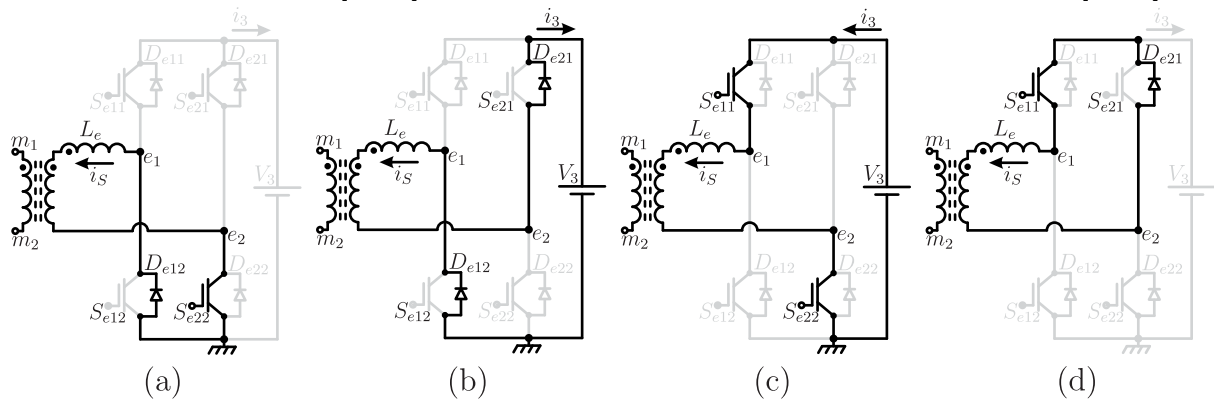
Estado de chaveamento [1001] e $i_S < 0$ - FB monofásico

O estado de chaveamento [1001] com $i_S < 0$ é visualizado na Figura 33 (c). A corrente i_S é conduzida pelas chaves S_{e11} e S_{e22} nesta etapa de operação. A tensão instantânea v_{e12} é V_3 .

Estado de chaveamento [1100] e $i_S < 0$ - FB monofásico

O estado de chaveamento [1100] com $i_S < 0$ é mostrado na Figura 33 (d). O diodo D_{e21} e a chave S_{e11} estão conduzindo a corrente i_S . A tensão v_{e12} é nula nesta etapa de operação.

Figura 33 – Estados de chaveamento do FB monofásico do conversor CA-CC I2NDF1 com $i_S < 0$: (a) Etapa de operação no estado de chaveamento [0011]; (b) Etapa de operação no estado de chaveamento [0110]; (c) Etapa de operação no estado de chaveamento [1001] e (d) Etapa de operação no estado de chaveamento [1100].



Fonte: o autor.

2.2 ESTRATÉGIA DE MODULAÇÃO

A estratégia de modulação proposta para o primário do conversor é bastante difundida na literatura, sendo que a mesma é definida na Seção 2.2.1. Já no secundário propõe-se modulações específicas para garantir o mesmo Valor Médio Quase Instantâneo (VMQI) entre as tensões v_{m12} e v_{e12} .

Por definição, adota-se que o VMQI de uma variável x qualquer para uma modulação *Pulse Width Modulation* (PWM) com frequência constante é dado por (2.1).

$$\langle x \rangle_{T_s} = \frac{1}{T_s} \int_{t-T_s}^t x(t) d\tau \quad (2.1)$$

Onde T_s é a duração de um período de comutação.

2.2.1 Modulação no lado primário

A modulação adotada no lado primário da topologia foi a *sinusoidal pulse-width modulation* (SPWM), do tipo *Level-Shifted Pulse Width Modulation* (LSPWM) com característica *In Phase Disposition* (IPD). Outras técnicas de modulação baseadas em portadora também são possíveis na implementação da topologia, como *Alternate Phase Opposition Disposition* (APOD) e *Phase Opposition Disposition* (POD), mas como já mencionado anteriormente, optou-se pela utilização da técnica IPD.

Os circuitos de modulação e as formas de onda da estratégia de modulação IPD aplicada ao conversor I2NDF1 são mostrados nas Figuras 34 (a) e 34 (b), respectivamente.

A função de chaveamento de um interruptor de potência genérico no primário é dado por (2.2), onde $x \in \{1, 2\}$ e $y \in \{1, 2, 3, 4\}$. O sinal m_m representa a função de modulação do conversor I2NDF1 em função do ângulo θ_g e c_{mx1} , c_{mx2} fornece a função da portadora que será comparada com m_m para se obter os estados de chaveamento de cada chave, em que θ_{cmx1} é o ângulo de uma determinada portadora. Adota-se que o circuito modulador envia o sinal de comando para o interruptor, seguindo a lógica de que se $m_m \geq c_{ax1}$, então o estado lógico será $d_{mxy} = 1$. A outra condição possível é para o caso $m_m < c_{mx1}$, sendo o estado lógico $d_{mxy} = 0$. Considerando o conversor operando dentro de um período da fonte CA de alimentação (rede elétrica), a mudança destes estados fornece a função de chaveamento dos interruptores do lado primário do conversor.

$$d_{mxy} = \begin{cases} 1 \Leftrightarrow m_m(\theta_g) \geq c_{mx1}(\theta_{mx1}) \\ 0 \Leftrightarrow m_m(\theta_g) < c_{mx1}(\theta_{mx1}) \end{cases} \quad (2.2)$$

A função de modulação m_m é dada por (2.3),

$$m_m = M \sin(\omega_g t). \quad (2.3)$$

Sendo M o índice de modulação de amplitude (2.4) e ω_g é a frequência angular da rede elétrica em rad/s (2.5), e f_g é a frequência da rede elétrica em Hz .

$$M = \frac{2\hat{V}_g}{V_2} \quad (2.4)$$

$$\omega_g = 2\pi f_g \quad (2.5)$$

Já as portadoras são dadas pelas eq. (2.6) a (2.9). A Portadora c_{m11} é expressa pela eq. (2.6),

$$c_{m11} = \frac{1}{2} + \sum_{n=1,3,\dots}^{\infty} \left[\frac{2[\cos(n\pi) - 1]}{(n\pi)^2} \right] \left[\cos\left(\frac{n2\pi}{\theta_s} \theta\right) \right]. \quad (2.6)$$

A portadora c_{m12} está deslocada em nível e está relacionada com c_{a11} conforme eq. (2.7),

$$c_{m12} = c_{m11} - 1 = -\frac{1}{2} + \sum_{n=1,3,\dots}^{\infty} \left[\frac{2[\cos(n\pi) - 1]}{(n\pi)^2} \right] \left[\cos\left(\frac{n2\pi}{\theta_s} \theta\right) \right]. \quad (2.7)$$

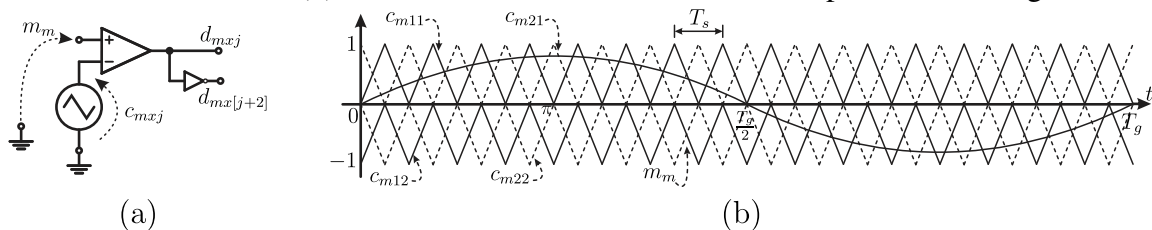
As portadoras do braço 2 do primário da topologia I2NDF1 são c_{m21} , eq. (2.8),

$$c_{m21} = -c_{m11} + 1 = \frac{1}{2} - \sum_{n=1,3,\dots}^{\infty} \left[\frac{2[\cos(n\pi) - 1]}{(n\pi)^2} \right] \left[\cos\left(\frac{n2\pi}{\theta_s} \theta\right) \right], \quad (2.8)$$

e c_{m22} , eq. (2.9), onde todas estão relacionadas com c_{m11} . Estas portadoras c_{m21} e c_{m22} estão deslocadas em nível entre si.

$$c_{m22} = -c_{m11} = -\frac{1}{2} - \sum_{n=1,3,\dots}^{\infty} \left[\frac{2[\cos(n\pi) - 1]}{(n\pi)^2} \right] \left[\cos\left(\frac{n2\pi}{\theta_s} \theta\right) \right] \quad (2.9)$$

Figura 34 – Estratégia de modulação no lado primário do conversor I2NDF1: (a) Circuito modulador e (b) Formas de onda da moduladora e das portadoras triangulares.



Fonte: o autor.

2.2.2 Modulação no lado secundário

A função de chaveamento no lado secundário é definida por (2.10).

$$d_{ex} = \begin{cases} 1 \Leftrightarrow m_e(\theta_g) \geq c_{eh1}(\theta_{rh1}) \\ 0 \Leftrightarrow m_e(\theta_g) < c_{eh1}(\theta_{rh1}) \end{cases} \quad (2.10)$$

As funções das portadoras do lado secundário são definidas por (2.11) e (2.12). As portadoras estão deslocadas em fase de 180° . Esta técnica de modulação é conhecida como *Phase-Shifted Pulse Width Modulation* (PSPWM). Novamente coloca-se as portadoras em função de c_{m11} , pois adiante será mostrado o método para encontrar a função de modulação do secundário m_e .

$$c_{e11} = c_{a11} = \frac{1}{2} + \sum_{n=1,3,\dots}^{\infty} \left[\frac{2[\cos(n\pi) - 1]}{(n\pi)^2} \right] \left[\cos\left(\frac{n2\pi}{\theta_s}\theta\right) \right] \quad (2.11)$$

$$c_{e21} = -c_{a11} + 1 = \frac{1}{2} - \sum_{n=1,3,\dots}^{\infty} \left[\frac{2[\cos(n\pi) - 1]}{(n\pi)^2} \right] \left[\cos\left(\frac{n2\pi}{\theta_s}\theta\right) \right] \quad (2.12)$$

A Figura 35 (a) mostra o circuito modulador do lado secundário da topologia I2NDF1. Como as portadoras já foram definidas, resta-se agora encontrar o valor instantâneo da função de modulação do lado secundário m_e .

Considerando as tensões v_{m12} e v_{e12} iguais, é possível encontrar uma expressão para determinar m_e . Conforme será mostrado adiante na Seção 2.3, os valores instantâneos de v_{m12} e v_{e12} são dados por (2.13) e (2.14), respectivamente.

$$v_{m12} = \frac{(d_{m11} - d_{m13} + d_{m12} - d_{m14} - d_{m21} + d_{m23} - d_{m22} + d_{m24}) V_2}{4} \quad (2.13)$$

$$v_{e12} = (d_{e11} - d_{e21}) V_3 \quad (2.14)$$

Onde V_2 e V_3 são os valores médio das tensões nos barramentos das portas 2 e 3, respectivamente. Desconsiderando os ganhos de tensão e analisando apenas as componentes

harmônicas presentes nas tensões, faz-se $v_{m12} = v_{e12}$. Realizando as devidas simplificações matemáticas e colocando todas as portadoras em função de c_{m11} , obtém-se a expressão (2.15).

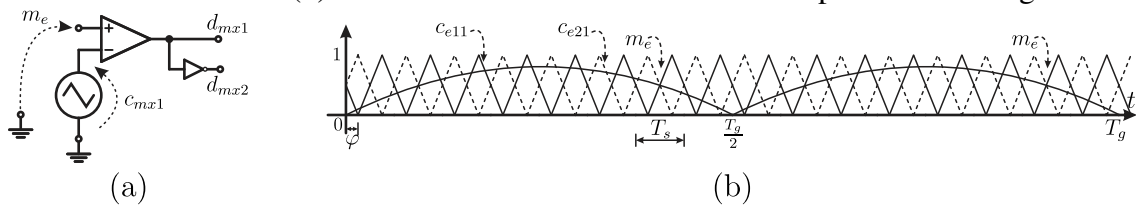
$$\frac{|A_d|}{A_d} - \frac{|A_s|}{A_s} + \frac{|A_d + 1|}{A_d + 1} - \frac{|A_s - 1|}{A_s - 1} = -\frac{|B_d| - B_s|B_d| + B_d|B_s - 1|}{2B_d(B_s - 1)} \quad (2.15)$$

Sendo $A_d = m_m - c_{m11}$, $A_s = m_m + c_{m11}$, $B_d = m_e - c_{m11}$ e $B_s = m_e + c_{m11}$. Resolvendo a eq. (2.15), obtém-se o valor instantâneo do sinal da moduladora do secundário da topologia m_e , conforme eq. (2.16),

$$m_e = |m_m| = |M \sin(\omega_g t)| = M |\sin(\omega_g t)|. \quad (2.16)$$

Portanto, a moduladora do secundário, m_e , é igual ao módulo da função de modulação do primário, m_m , sendo as formas de onda das portadoras e moduladora do secundário mostradas na Figura 35 (b).

Figura 35 – Estratégia de modulação no lado secundário do conversor I2NDF1: (a) Circuito modulador e (b) Formas de onda da moduladora e das portadoras triangulares.



Fonte: o autor.

2.3 TENSÕES SINTETIZADAS PELO CONVERSOR I2NDF1

2.3.1 Lado primário

Através da análise dos estados de comutação ($s = 0$, chave aberta e $s = 1$, chave fechada), pode-se obter os valores instantâneos das tensões v_{m10} (2.17), v_{m20} (2.18), v_{m12} (2.19), que simplificando em relação aos estados de comutação obtém-se (2.20), e v_1 (2.21).

A tensão v_{a10} , eq. (2.17), é produzida pelo braço 1 do lado primário, no qual possui característica do NPC-3L de três níveis.

$$v_{m10} = \frac{(d_{m1i} + d_{m1p}) V_2}{4} = \frac{(d_{m11} + d_{m12} - 1) V_2}{2} \quad (2.17)$$

A tensão v_{m20} , eq. (2.18), é produzida pelo braco 2 do lado primário, no qual também possui característica NPC-3L.

$$v_{m20} = \frac{(d_{m2i} + d_{m2p}) V_2}{4} = \frac{(d_{m21} + d_{m22} - 1) V_2}{2} \quad (2.18)$$

Já a tensão v_{m12} , vista pelo primário do transformador, é a diferença entre as tensões instantâneas v_{m10} e v_{m20} , sendo expressa por

$$v_{m12} = v_{m10} - v_{m20}, \quad (2.19)$$

onde colocando em função das funções de chaveamento, obtém-se

$$v_{m12} = \frac{(d_{m1i} + d_{m1p} - d_{m2i} - d_{m2p}) V_2}{4} = \frac{[d_{m11} + d_{m12} - (d_{m21} + d_{m22})] V_2}{2}. \quad (2.20)$$

Por último no primário, a eq. (2.21) expressa o valor instantâneo de v_1 , que é a tensão vista pela indutância L_1 e a rede elétrica, v_g .

$$v_1 = \frac{(d_{m1i} + d_{m1p} + d_{m2i} + d_{m2p}) V_2}{8} = \frac{(d_{m11} + d_{m12} + d_{m21} + d_{m22} - 2) V_2}{4} \quad (2.21)$$

As funções de chaveamento presentes nas tensões são dadas por (2.22), (2.23), (2.24) e (2.25).

A função de chaveamento d_{m1i} , onde $i \in \{1, 3\}$, é a diferença entre as funções de chaveamento d_{m11} e d_{m13} , eq. (2.22).

$$d_{m1i} = d_{m11} - d_{m13} = 2d_{m11} - 1 \quad (2.22)$$

A função de chaveamento d_{m1p} , onde $p \in \{2, 4\}$, é a diferença entre as funções de chaveamento d_{m12} e d_{m14} , eq. (2.23).

$$d_{m1p} = d_{m12} - d_{m14} = 2d_{m12} - 1 \quad (2.23)$$

A função de chaveamento d_{m2i} , onde $i \in \{1, 3\}$, é a diferença entre as funções de chaveamento d_{m21} e d_{m23} , eq. (2.24).

$$d_{m2i} = d_{m21} - d_{m23} = 2d_{m21} - 1 \quad (2.24)$$

A função de chaveamento d_{m2p} , onde $p \in \{2, 4\}$, é a diferença entre as funções de chaveamento d_{m22} e d_{m24} , eq. (2.25).

$$d_{m2p} = d_{m22} - d_{m24} = 2d_{m22} - 1 \quad (2.25)$$

Os valores possíveis das combinações de estados são $d_{m1i}, d_{m1p}, d_{m2i}, d_{m2p} \in \{-1, 1\}$, respectivamente. Também pode-se definir as funções de chaveamento do interruptor genérico de três estados, como apresentado em (2.26) e (2.27). Sendo estas as funções de chaveamento de cada braço do lado primário do conversor I2NDF1.

$$d_{m1} = d_{m1i} + d_{m1p} = 2d_{m11} + 2d_{m12} - 2 \quad (2.26)$$

$$d_{m2} = d_{m2i} + d_{m2p} = 2d_{m21} + 2d_{m22} - 2 \quad (2.27)$$

A Tabela 3 mostra os estados de comutação e suas combinações, conforme já explanado anteriormente. Já os possíveis valores instantâneos das tensões sintetizadas são $v_{m10}, v_{m20} \in \left\{ \frac{V_2}{2}, 0, -\frac{V_2}{2} \right\}$, $v_{m12} \in \left\{ V_2, \frac{V_2}{2}, 0, -\frac{V_2}{2}, -V_2 \right\}$ e $v_1 \in \left\{ \frac{V_2}{2}, \frac{V_2}{4}, 0, -\frac{V_2}{4}, -\frac{V_2}{2} \right\}$.

2.3.2 Lado secundário

Considerando agora o lado secundário da topologia, é possível obter as tensões v_{e12} , v_{e13} e v_{e23} . A tensão vista entre os pontos e_1 e e_2 é dado pela eq. (2.28), pois se trata de uma topologia FB monofásico,

$$v_{e12} = d_{e11} - d_{e21}. \quad (2.28)$$

Tabela 3 – Estados de chaveamento no lado primário do conversor I2NDF1.

Estados de Comutação ($[d_{m11}d_{m12}d_{m21}d_{m22}]$)	d_{m1}	d_{m1i}	d_{m1p}	d_{m2}	d_{m2i}	d_{m2p}
[0000]	$-\frac{1}{2}$	-1	-1	$-\frac{1}{2}$	-1	-1
[0001]	$-\frac{1}{2}$	-1	-1	0	-1	1
[0011]	$-\frac{1}{2}$	-1	-1	$\frac{1}{2}$	1	-1
[0100]	0	-1	1	$-\frac{1}{2}$	-1	1
[0101]	0	-1	1	0	-1	-1
[0111]	0	-1	1	$\frac{1}{2}$	1	-1
[1100]	$\frac{1}{2}$	1	1	$-\frac{1}{2}$	-1	1
[1101]	$\frac{1}{2}$	1	1	0	-1	-1
[1111]	$\frac{1}{2}$	1	1	$\frac{1}{2}$	1	-1

Fonte: o autor.

Enquanto que as tensões entre os pontos e_1 e o ponto 3, v_{e13} , e os pontos e_2 e o ponto 3, v_{e23} , são dados respectivamente por (2.29) e (2.30).

$$v_{e13} = 2d_{e11} - 1 \quad (2.29)$$

$$v_{e23} = 2d_{e21} - 1 \quad (2.30)$$

Por último, define-se as funções de chaveamento de cada braço do secundário através das eq. (2.31) e (2.32).

$$d_{e1} = d_{e11} - d_{e12} \quad (2.31)$$

$$d_{e2} = d_{e21} - d_{e22} \quad (2.32)$$

O ponto 3 no secundário é o ponto central do barramento da porta III, sendo analisado desta maneira por conveniência e para facilitar a análise no espaço de estados de chaveamento, conforme será mostrado na próxima Seção 2.4.

2.4 ANÁLISE DO ESPAÇO DE ESTADOS DE CHAVEAMENTO

Visando obter as principais características do conversor I2NDF1, será analisado os estados de chaveamento gerados pela combinação dos estados das chaves. Buscando simplificar a análise, divide-se o estudo do espaço de estados de chaveamento em relação ao lado primário da topologia e posteriormente será analisado o lado secundário. A análise realizada neste trabalho baseia-se em (DE FREITAS *et al.*, 2017).

2.4.0.1 Lado primário

Os pontos no espaço de estados que engloba todos os estados de chaveamento no lado primário são apresentados na Tabela 4, sendo possível verificar os valores instantâneos da tensões v_{m10} , v_{m20} , v_{m12} e v_1 .

Tabela 4 – Designação do espaço de estados de chaveamento no lado primário do conversor I2NDF1 com as tensões v_{m10} , v_{m20} , v_{m12} e v_1 .

Pontos no Espaço de Estados	Estados de Chaveamento ($[d_{m11}d_{m12}d_{m21}d_{m22}]$)	v_{m10}	v_{m20}	v_1	v_{m12}
$\vec{p}m_0$	[0101]	0	0	0	0
$\vec{p}m_1$	[1111]	$\frac{V_2}{2}$	$\frac{V_2}{2}$	$\frac{V_2}{2}$	0
$\vec{p}m_2$	[1101]	$\frac{V_2}{2}$	0	$\frac{V_2}{4}$	$\frac{V_2}{2}$
$\vec{p}m_3$	[1100]	$\frac{V_2}{2}$	$-\frac{V_2}{2}$	0	V_2
$\vec{p}m_4$	[0100]	0	$-\frac{V_2}{2}$	$-\frac{V_2}{4}$	$\frac{V_2}{2}$
$\vec{p}m_5$	[0000]	$-\frac{V_2}{2}$	$-\frac{V_2}{2}$	$-\frac{V_2}{2}$	0
$\vec{p}m_6$	[0001]	$-\frac{V_2}{2}$	0	$-\frac{V_2}{4}$	$-\frac{V_2}{2}$
$\vec{p}m_7$	[0011]	$-\frac{V_2}{2}$	$\frac{V_2}{2}$	0	$-V_2$
$\vec{p}m_8$	[0111]	0	$\frac{V_2}{2}$	$\frac{V_2}{4}$	$-\frac{V_2}{2}$

Fonte: Elaborado pelo autor.

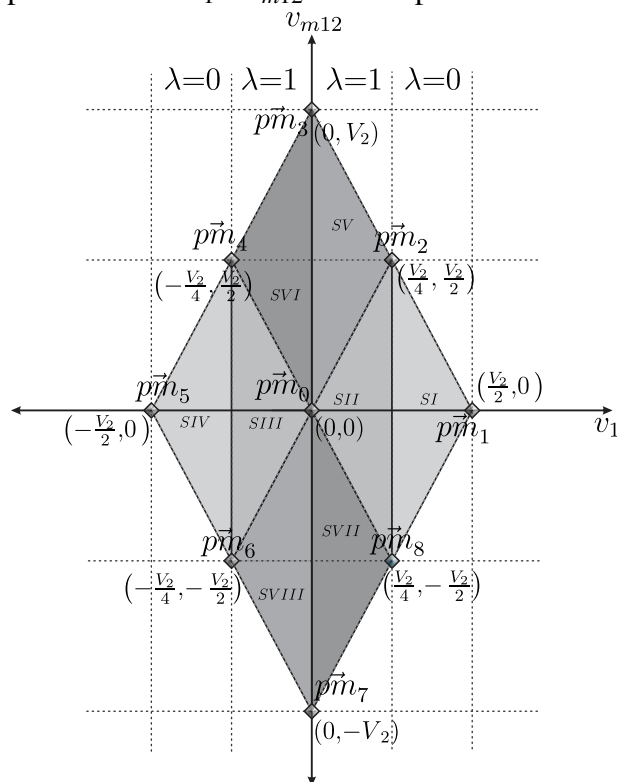
A Figura 36 apresenta o mapa do espaço de estados de chaveamento do lado primário do conversor I2NDF1, explicitando v_1 no eixo x e v_{m12} no eixo y . Um ponto qualquer no plano do espaço de estados de chaveamento é representado por $\vec{p}m_z$, onde $z \in \{0, 1, 2, \dots, 8\}$.

As tensões $\begin{bmatrix} v_1 & v_{m12} \end{bmatrix}^T$ estão relacionadas com as tensões de polo de cada NPC-3L

$\begin{bmatrix} v_{m10} & v_{m20} \end{bmatrix}^T$ através da matriz de transformação T_{mp} , expressão (2.33).

$$\begin{bmatrix} v_1 \\ v_{m12} \end{bmatrix} = \underbrace{\begin{bmatrix} 0,5 & 0,5 \\ 1 & -1 \end{bmatrix}}_{T_{mp}} \begin{bmatrix} v_{m10} \\ v_{m20} \end{bmatrix} \quad (2.33)$$

Figura 36 – Mapa vetorial de $v_1 \times v_{m12}$ no lado primário do conversor I2NDF1.



Fonte: o autor.

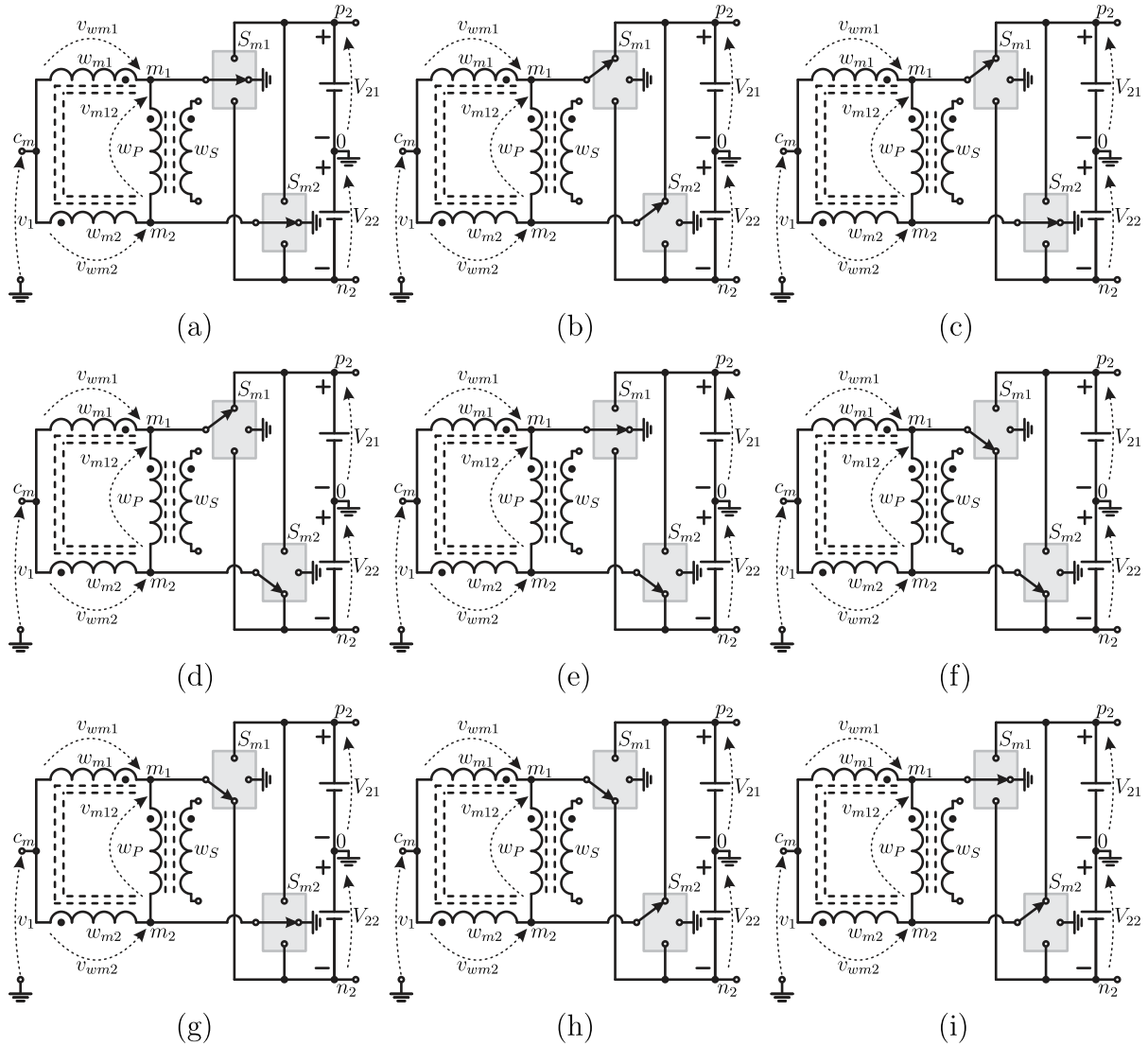
A Figura 37 mostra os circuitos primitivos para cada ponto no espaço de estados de chaveamento do lado primário no conversor I2NDF1.

2.4.0.2 Lado secundário

Nesta seção, estuda-se o espaço de estados de chaveamento do lado secundário da topologia. Devido a simplicidade deste lado, pois trata-se de uma estrutura FB monofásica, tem-se uma quantidade menor de pontos no espaço de estados de chaveamento quando comparado ao lado primário.

A Figura 38 apresenta o mapa do espaço de estados de chaveamento do lado secundário do conversor I2NDF1, explicitando v_{e13} na parte real e v_{e12} na parte imaginária. Um vetor

Figura 37 – Circuitos genéricos equivalentes dos pontos no espaço de estados de chaveamento no lado primário do conversor I2NDF1: (a) $\vec{p}\vec{m}_0$; (b) $\vec{p}\vec{m}_1$; (c) $\vec{p}\vec{m}_2$; (d) $\vec{p}\vec{m}_3$; (e) $\vec{p}\vec{m}_4$; (f) $\vec{p}\vec{m}_5$; (g) $\vec{p}\vec{m}_6$; (h) $\vec{p}\vec{m}_7$ e (i) $\vec{p}\vec{m}_8$.



Fonte: o autor.

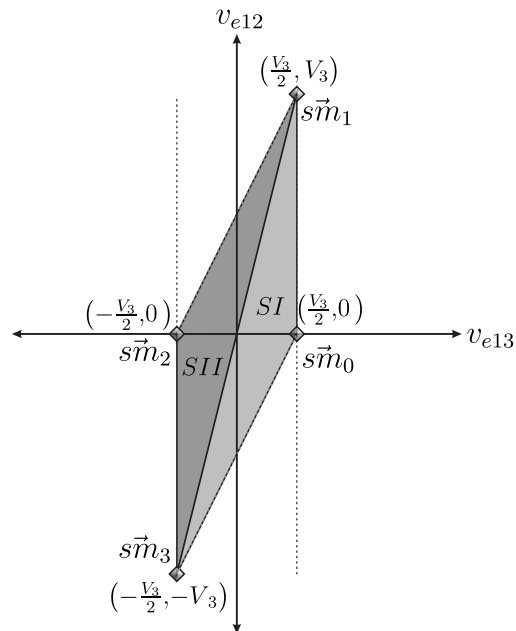
qualquer no plano do espaço vetorial é representado por $\vec{s}\vec{m}_y$, onde $y \in \{0, 1, 2, 3\}$.

A tensão v_{e12} está relacionada com as tensões $\begin{bmatrix} v_{e13} & v_{e23} \end{bmatrix}^T$ através da matriz de transformação T_{ms} , conforme expressão (2.34).

$$[v_{e12}] = \underbrace{\begin{bmatrix} 1 & -1 \end{bmatrix}}_{T_{ms}} \begin{bmatrix} v_{e13} \\ v_{e23} \end{bmatrix} \quad (2.34)$$

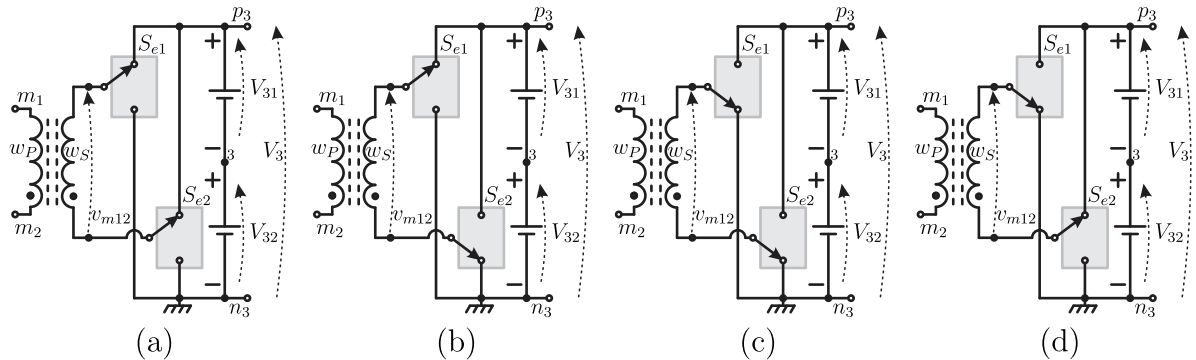
A Figura 39 mostra os circuitos primitivos para cada ponto do espaço de estados de chaveamento do lado secundário no conversor I2NDF1.

Figura 38 – Mapa do espaço de estados de chaveamento de v_{e13} x v_{e12} no lado secundário do conversor I2NDF1.



Fonte: o autor.

Figura 39 – Circuitos genéricos equivalentes dos pontos do espaço de estados de chaveamento no lado secundário do conversor I2NDF1: (a) \vec{s}_{m0} ; (b) \vec{s}_{m1} ; (c) \vec{s}_{m2} e (d) \vec{s}_{m3} .



Fonte: o autor.

2.5 ANÁLISE DO AUTOTRANSFORMADOR E TRANSFORMADOR

Nesta seção são apresentadas as principais figuras de mérito do autotransformador e transformador que compõem a topologia I2NDF1.

Para a análise do autotransformador e transformador realiza-se as seguintes considerações:

- Os núcleos magnéticos são simétricos;
- As Resistências são nulas nos enrolamentos;
- Em todos os enrolamentos, as indutâncias próprias possuem o mesmo valor.

Para realização da análise matemática do autotransformador e transformador, adota-

se a literatura de (ERICKSON; MAKSIMOVIC, 2001).

2.5.1 Autotransformador

O autotransformador é um elemento que compõe a CCTE. A configuração básica é mostrada na Figura 40 (a), sendo possível visualizar as conexões das espiras do autotransformador, enquanto que o modelo elétrico é apresentado na Figura 40 (b).

A tensão no enrolamento w_{m1} pode ser escrita de acordo com a eq. (2.35),

$$v_{wm1} = L_{wm1} \frac{di_{m1}}{dt} + M_{ca} \frac{di_{m2}}{dt}, \quad (2.35)$$

enquanto que a tensão no enrolamento w_{m2} é escrita de acordo com a eq. (2.36),

$$v_{wm2} = -M_{ca} \frac{di_{m1}}{dt} + L_{wm2} \frac{di_{m2}}{dt}. \quad (2.36)$$

Onde L_{wm1} e L_{wm2} são as indutâncias próprias dos enrolamentos w_{m1} e w_{m2} , respectivamente. Já M_{cm} é a indutância mútua entre os enrolamentos w_{m1} e w_{m2} . Em geral, as expressões (2.35) e (2.36) podem ser escritas de forma matricial, conforme (2.37).

$$\begin{bmatrix} v_{wm1} \\ v_{wm2} \end{bmatrix} = \begin{bmatrix} L_{wm1} & M_{cm} \\ -M_{cm} & L_{wm2} \end{bmatrix} \cdot \begin{bmatrix} \frac{di_{m1}}{dt} \\ \frac{di_{m2}}{dt} \end{bmatrix} \quad (2.37)$$

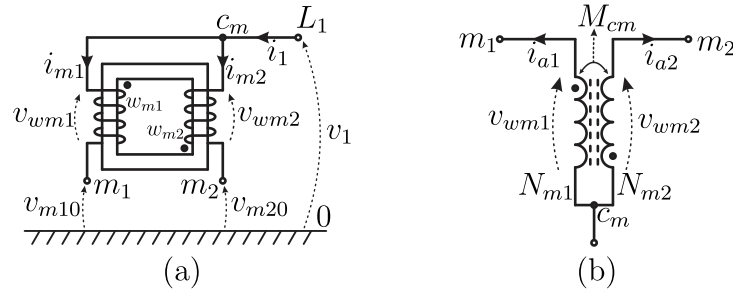
A relação de transformação efetiva, a_{ea} , é dada por

$$a_{ea} = \sqrt{\frac{L_{wm2}}{L_{wm1}}}. \quad (2.38)$$

Outra figura de mérito importante é o coeficiente de acoplamento do autotransformador, k_a , sendo este obtido através da eq. (2.39).

$$k_a = \frac{M_{cm}}{\sqrt{L_{wm1}L_{wm2}}} \quad (2.39)$$

Figura 40 – Estrutura do autotransformador: (a) Conexão dos enrolamentos e (b) modelo elétrico simplificado.



Fonte: o autor.

2.5.2 Transformador

O transformador é o responsável pela isolação e adequação dos níveis de tensão entre os dois lados do conversor I2NDF1. A configuração básica é mostrada na Figura 41 (a), enquanto que o modelo elétrico é apresentado na Figura 41 (b).

A tensão no enrolamento w_P pode ser escrita de acordo com a eq. (2.40),

$$v_P = L_P \frac{di_P}{dt} + M_{ta} \frac{di_S}{dt}, \quad (2.40)$$

enquanto que a tensão no enrolamento w_S é escrita de acordo com a eq. (2.36),

$$v_S = -M_{ta} \frac{di_P}{dt} + L_S \frac{di_S}{dt}. \quad (2.41)$$

Onde L_P e L_S são as indutâncias próprias dos enrolamentos w_P e w_S , respectivamente. Já M_{ta} é a indutância mútua entre os enrolamentos w_P e w_S . Assim como no autotransformador, pode-se escrever as expressões (2.35) e (2.36) de maneira matricial, conforme (2.42).

$$\begin{bmatrix} v_P \\ v_S \end{bmatrix} = \begin{bmatrix} L_P & M_{ta} \\ -M_{ta} & L_S \end{bmatrix} \cdot \begin{bmatrix} \frac{di_P}{dt} \\ \frac{di_S}{dt} \end{bmatrix} \quad (2.42)$$

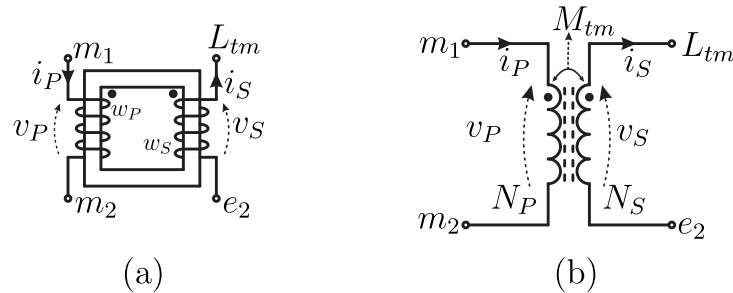
A relação de transformação efetiva do transformador, a_{et} , é dada por

$$a_{et} = \sqrt{\frac{L_S}{L_P}}. \quad (2.43)$$

Também é possível encontrar o coeficiente de acoplamento do autotransformador, k_a , através da eq. (2.44).

$$k_t = \frac{M_{ta}}{\sqrt{L_P L_S}} \quad (2.44)$$

Figura 41 – Estrutura do transformador: (a) Conexão dos enrolamentos e (b) modelo elétrico simplificado.



Fonte: o autor.

2.6 PARÂMETROS IMPORTANTES DO CONVERSOR I2NDF1

Inicialmente é importante destacar as faixas de operação do conversor, λ , definidas em (2.45),

$$\lambda = \text{floor}(2D_{1\phi}), \quad (2.45)$$

onde $\text{floor}(x)$ é uma função que retorna o menor número inteiro da variável "x". Enquanto que $D_{1\phi}$ é a função de chaveamento do conversor I2NDF1, sendo neste caso, num ponto específico de operação. As faixas de operação são mostradas na Figura 42.

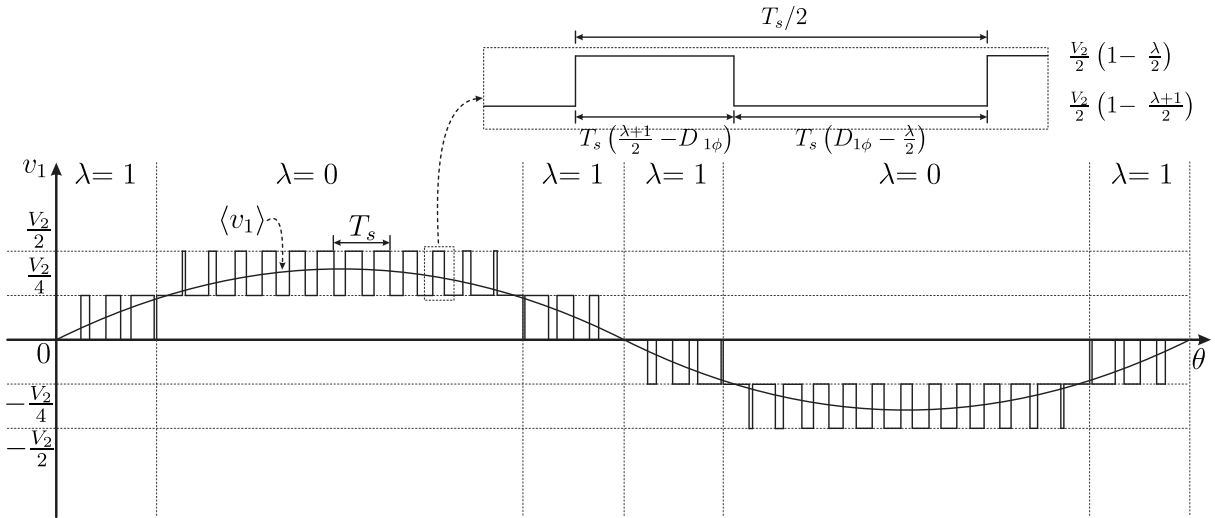
Outra figura de mérito é o número de níveis possível na tensão v_1 sintetizada pelo conversor, N_{v1} ,

$$N_{v1} = 2(2 - \lambda_{\min}) + 1, \quad (2.46)$$

onde

$$\lambda_{\min} = \text{floor}[2(1 - M)]. \quad (2.47)$$

Figura 42 – Tensão v_1 sintetizada pelo conversor I2NDF1 para uma faixa de operação λ qualquer.



Fonte: o autor.

Portanto, o conversor I2NDF1 pode operar com no máximo cinco níveis na tensão produzida em v_1 . Em consequência disso, para se obter o máximo número de níveis de tensão na operação do conversor é necessário respeitar a restrição dada em (2.48) para o índice de modulação mínimo.

$$M_{\min} = \frac{1}{2} \quad (2.48)$$

Outro detalhe importante é que o sinal modulante, m_p , definido em (2.3), influenciará nos ângulos de mudança nos níveis de tensão em v_1 , para $0 < \theta < \frac{\pi}{2}$ com simetria de 1/4 de onda. Estes ângulos são mostrados na eq. (2.49).

$$\theta_j = \arcsin\left(\frac{j}{2M}\right), j \in \{0, 1\} \quad (2.49)$$

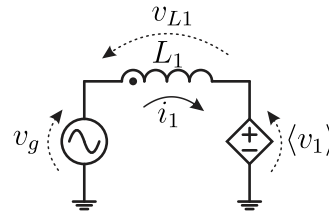
2.7 FUNÇÃO DE CHAVEAMENTO DO CONVERSOR

Visando a obtenção da função de chaveamento do conversor, utiliza-se o modelo apresentado na Figura 43.

No modelo em análise, considera-se a tensão da rede elétrica v_g senoidal (2.50).

$$v_g = \hat{V}_g \sin(\omega_g t) \quad (2.50)$$

Figura 43 – Modelo elétrico para análise do conversor operando com correção do fator de potência na porta 1.



Fonte: o autor.

Sendo que a fonte de tensão $\langle v_1 \rangle$, no qual representa o VMQI dentro de um sub-período de chaveamento ($T_s/2$). Tomando como base a Figura 43, é possível determinar a função de chaveamento do conversor $D_{1\phi}$. Mas antes, é necessário calcular o VMQI da tensão v_1 (2.51),

$$\langle v_1 \rangle = \frac{2}{T_s} \left[\int_0^{T_s(\frac{\lambda+1}{2}-D_{1\phi})} \frac{V_2}{2} \left(1 - \frac{\lambda}{2}\right) dt + \int_{T_s(\frac{\lambda+1}{2}-D_{1\phi})}^{\frac{T_s}{2}} \frac{V_2}{2} \left(1 - \frac{\lambda+1}{2}\right) dt \right]. \quad (2.51)$$

Efetuada o cálculo da expressão (2.51) e realizando as devidas simplificações, obtém-se a eq. (2.52).

$$\langle v_1 \rangle = \frac{V_2}{2} (1 - D_{1\phi}) \text{sign}(i_1) \quad (2.52)$$

A função $\text{sign}(x)$, dada em (2.53), foi inserida na expressão (2.52) para realizar a mudança de polaridade conforme a corrente instantânea na porta 1, i_1 , muda de sentido.

$$\text{sign}(x) = \begin{cases} 1, & \text{se } x > 0, \\ 0, & \text{se } x = 0, \\ -1, & \text{se } x < 0. \end{cases} \quad (2.53)$$

Sendo que a corrente instantânea na porta 1 é dada pela eq. (2.54). Onde \hat{I}_1 é o valor de pico da corrente na porta 1 do conversor I2NDF1.

$$i_1 = \hat{I}_1 \sin(\omega_g t + \phi) \quad (2.54)$$

Para obtenção da função de chaveamento do conversor I2NDF1, ela irá variar de acordo com o sinal variante no tempo $d_{1\phi}$, logo a eq. (2.52) pode ser re-escrita, apresentando o

formato da eq. (2.55).

$$\langle v_1 \rangle = \frac{V_2}{2} (1 - d_{1\phi}) \text{sign}(i_1) \quad (2.55)$$

Aplicando a Lei de *Kirchhoff* das tensões no circuito elétrico da Figura ??, obtém-se a expressão

$$\langle v_1 \rangle = v_g - v_{L1}. \quad (2.56)$$

Como o conversor irá operar com fator de potência unitário, logo a corrente i_1 está em fase com a tensão da rede elétrica v_g . Fazendo com que o ângulo de fase da corrente i_1 , ϕ expressa em (2.54) é nulo. Decorrente disso, pode-se calcular a tensão instantânea sobre a indutância L_1 , v_{L1} , dada em (2.57),

$$v_{L1} = L_1 \frac{di_1}{dt}. \quad (2.57)$$

Substituindo a eq. (2.54), com $\phi = 0$, em (2.57) e realizando o cálculo da derivada, obtém-se a tensão instantânea no indutor L_1 ,

$$v_{L1} = \hat{I}_1 \omega_g L_1 \cos(\omega_g t). \quad (2.58)$$

Substituindo as eq. (2.50) e (2.58) em (2.56), obtém-se a eq. (2.59).

$$\langle v_1 \rangle = \hat{V}_g \sin(\omega_g t) - \hat{I}_1 \omega_g L_1 \cos(\omega_g t) \quad (2.59)$$

Realizando as devidas simplificações na eq. (2.59), é possível obter a expressão (2.60).

$$\langle v_1 \rangle = \hat{V}_g \sin(\omega_g t + \phi) \quad (2.60)$$

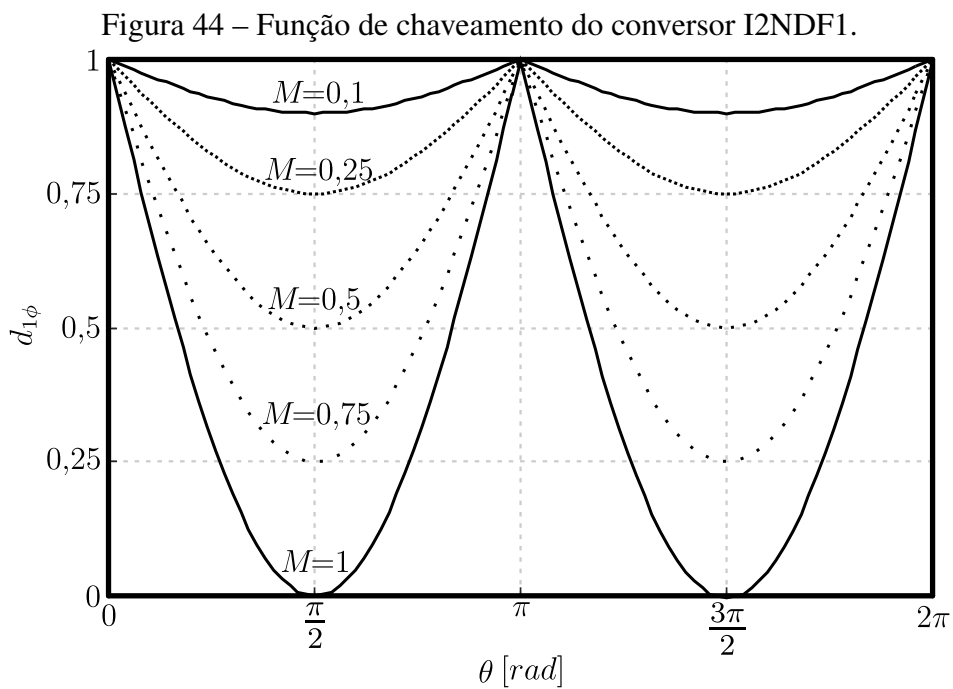
Onde o ângulo ϕ é obtido através da eq. (2.61).

$$\phi = \arctan\left(\frac{-\hat{I}_1 \omega_g L}{\hat{V}_g}\right) \quad (2.61)$$

Por último, obtém-se a função de chaveamento do conversor I2NDF1 variante no tempo, dada em (2.62).

$$d_{1\phi} = 1 - M |\sin(\omega_g t + \phi)| \quad (2.62)$$

A função de chaveamento do conversor I2NDF1 variando de forma angular é mostrado na Figura 44. Percebe-se o valor mínimo da função de chaveamento $d_{1\phi}$ diminui com o incremento do índice de modulação em amplitude (M).



Fonte: o autor.

2.8 ONDULAÇÃO DA CORRENTE NA PORTA 1

Inicialmente, para determinação da ondulação da corrente na porta 1 do conversor I2NDF1, considera-se a tensão instantânea sobre o indutor L_1 , v_{L1} ,

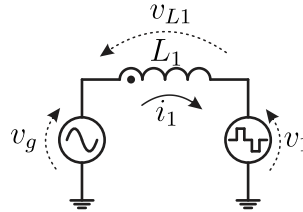
$$v_{L1} = L_1 \frac{di_1}{dt}. \quad (2.63)$$

Novamente através da Lei de *Kirchhoff* das tensões aplicada no circuito elétrico da

Figura 45, obtém-se

$$v_{L1} = v_g - v_1. \quad (2.64)$$

Figura 45 – Modelo elétrico para análise do conversor operando com correção do fator de potência na porta 1.



Fonte: o autor.

Como dentro de um período de chaveamento, T_s , o valor instantâneo da tensão v_g pode ser considerado constante juntamente com a tensão v_1 , logo v_{L1} também será constante. Assim, é possível determinar a ondulação de corrente na porta 1 através da expressão (2.65).

$$\Delta i_1 = \frac{v_{L1} \Delta t_y}{L_1} \quad (2.65)$$

Onde Δt_y é o tempo de armazenamento de energia na indutância L_1 . Como já foi explicitado na Figura 42, a tensão instantânea v_1 é dada por

$$v_1 = \frac{V_2}{2} \left(1 - \frac{\lambda + 1}{2} \right), \quad (2.66)$$

onde λ é o valor instantâneo da faixa de operação do conversor, dado por

$$\theta_{\lambda k} = \begin{cases} 0, & \text{se } (\theta_{\lambda 1} < \theta \leq \theta_{\lambda 2}) \vee (\theta_{\lambda 4} < \theta \leq \theta_{\lambda 5}), \\ 1, & \text{se } (\theta_{\lambda 0} \leq \theta \leq \theta_{\lambda 1}) \vee (\theta_{\lambda 2} < \theta \leq \theta_{\lambda 4}) \vee (\theta_{\lambda 5} < \theta \leq \theta_{\lambda 6}) \end{cases}. \quad (2.67)$$

Os ângulos de transição, $\theta_{\lambda k}$, entre os níveis da tensão v_1 são obtidos através da

expressão (2.68), onde $k \in \{0, 1, \dots, 6\}$.

$$\theta_{\lambda k} = \begin{cases} \theta_{\lambda 0} = 0, \\ \theta_{\lambda 1} = \sin^{-1}\left(\frac{1}{2M}\right), \\ \theta_{\lambda 2} = \pi - \sin^{-1}\left(\frac{1}{2M}\right), \\ \theta_{\lambda 3} = \pi, \\ \theta_{\lambda 4} = \pi + \sin^{-1}\left(\frac{1}{2M}\right), \\ \theta_{\lambda 5} = 2\pi - \sin^{-1}\left(\frac{1}{2M}\right), \\ \theta_{\lambda 6} = 2\pi. \end{cases} \quad (2.68)$$

O intervalo de tempo Δt_y é encontrado através de

$$\Delta t_y = T_s \left(d_{1\phi} - \frac{\lambda}{2} \right). \quad (2.69)$$

Substituindo a eq. (2.66) em (2.64) e logo depois utilizando este resultado na eq. (2.65) juntamente com a eq. (2.69), obtém-se a expressão da ondulação de corrente no indutor L_1 da porta 1,

$$\Delta i_1 = \left[v_g - \frac{V_2}{2} \left(1 - \frac{\lambda + 1}{2} \right) \right] \left(d_{1\phi} - \frac{\lambda}{2} \right) \frac{T_s}{L_1}. \quad (2.70)$$

Para se realizar um estudo mais genérico, realiza-se a parametrização da ondulação de corrente, conforme expresso em (2.71).

$$\overline{\Delta i_1} = \Delta i_1 \frac{f_s L_1}{V_2} \quad (2.71)$$

Realizando a substituição da eq. (2.70) por (2.71), obtém-se a ondulação de corrente parametrizada em sua forma geral.

$$\overline{\Delta i_1} = -\frac{1}{8} [[2M \sin(\theta)] - 1 + \lambda] [[2M \sin(\theta)] - 2 + \lambda] \quad (2.72)$$

Visando obter a máxima ondulação de corrente na porta 1 do conversor, aplica-se a derivada na eq. (2.72) em relação a θ , conforme a eq. (2.73).

$$\overline{\Delta i_{1,\max}} = \frac{d\overline{\Delta i_1}}{d\theta} = 0 \quad (2.73)$$

Assim, encontra-se a máxima ondulação de corrente através da eq. (2.74), onde pode ser visto que a mesma possui duas soluções, em que depende do índice de modulação M do conversor.

$$\overline{\Delta i}_{1,\max} = \begin{cases} \frac{1}{32}, & \text{se } \frac{1}{4} < M < 1, \\ \frac{M}{4}(1 - 2M), & \text{se } 0 < M < \frac{1}{4} \end{cases} \quad (2.74)$$

2.9 ONDULAÇÃO DA TENSÃO NAS PORTAS 2 E 3

2.9.1 Capacitâncias C_{21} e C_{22}

As capacitâncias C_{21} e C_{22} do barramento da porta 2 do conversor I2NDF1, conforme exposto em (ORTMANN *et al.*, 2012), são dadas por

$$C_{21} = C_{22} = \frac{\hat{V}_g \hat{I}_1}{4\omega_g V_2 \Delta V_2}. \quad (2.75)$$

Já o valor eficaz da corrente nos capacitores pode ser encontrado através das eq. (2.76) e (2.77)

$$I_{C21,rms} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} \langle i_{C21} \rangle^2 d\theta}, \quad (2.76)$$

$$I_{C22,rms} = \sqrt{\frac{1}{2\pi} \int_{\pi}^{2\pi} \langle i_{C22} \rangle^2 d\theta}. \quad (2.77)$$

2.9.2 Capacitância C_3

As capacitâncias C_{21} e C_{22} do barramento da porta 2 do conversor DC 1, conforme exposto em (ORTMANN *et al.*, 2012), é dado por

$$C_3 = \frac{\hat{V}_g \hat{I}_1}{2\omega_g V_3 \Delta V_3} \quad (2.78)$$

Sendo que o valor eficaz da corrente no capacitor C_3 pode ser obtido através da eq.

(2.76)

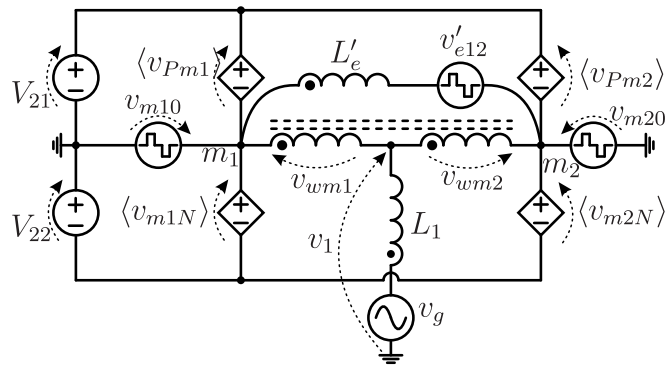
$$I_{C3,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} \langle i_{C3} \rangle^2 d\theta} \quad (2.79)$$

2.10 FLUXO DE POTÊNCIA

2.10.1 Modelo completo

O modelo completo da topologia I2NDF1 é mostrado na Figura 46. Devido a complexidade em analisar todo o modelo ao mesmo tempo, propõe-se dividir os circuitos para simplificar a análise.

Figura 46 – Circuito elétrico para análise da ondulação da corrente Δi_1 na porta 1.



Fonte: o autor.

Antes de iniciar a análise mais aprofundada, é possível obter algumas expressões matemáticas da Figura 46. Como as relações de tensão dadas por

$$v_1 = v_{m10} - v_{wm1}, \quad (2.80)$$

$$v_1 = v_{m20} - v_{wm2}. \quad (2.81)$$

Considerando todos os elementos ideais, pode-se afirmar que a tensão v_{wm1} está relacionada com v_{wm2} através da eq. (2.81).

$$v_{wm1} = -v_{wm2} \quad (2.82)$$

Somando a eq. (2.79) com (2.80) e substituindo a eq. (2.81) no resultado obtido, é possível escrever a seguinte expressão,

$$v_1 = \frac{v_{m10} + v_{m20}}{2}. \quad (2.83)$$

Pode-se também relacionar as tensões v_1 e v_{m12} , através das expressões (2.83) e (2.84), sendo as mesmas obtidas da substituição da relação entre v_{m12} com v_{m10} e v_{m20} , conforme eq. (2.19).

$$v_1 = v_{m10} - \frac{v_{m12}}{2} \quad (2.84)$$

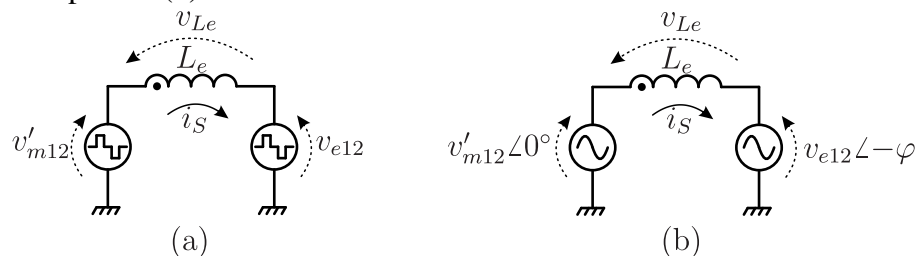
$$v_1 = v_{m20} + \frac{v_{m12}}{2} \quad (2.85)$$

Estas relações demonstram claramente a dependência das tensões no primário do conversor I2NDF1.

2.10.2 Modelo fundamental

Para obtenção do fluxo de potência no transformador isolador do TES em estudo, necessita-se estudar o modelo mostrado na Figura 47 (a). Logo depois, adota-se o modelo fundamental apresentado na Figura 47 (b), onde se considera apenas o harmônico fundamental presente nas tensões v'_{m12} e v_{e12} .

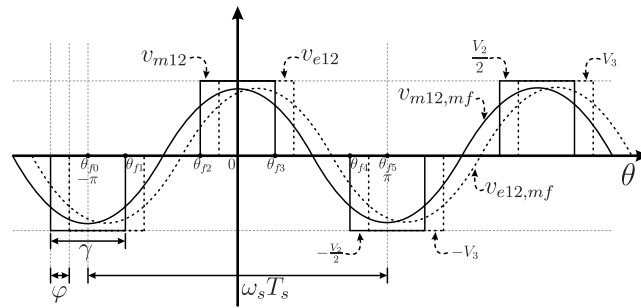
Figura 47 – Circuito elétrico para análise do fluxo de potência no transformador T_m : (a) Modelo completo e (b) Modelo fundamental.



Fonte: o autor.

Primeiramente é necessário determinar as expressões para v'_{m12} e v_{e12} . A Figura 48 mostra a forma de onda em v_{m12} , sendo que a mesma será utilizada como referência para realizar o PS entre as duas fontes de tensão do modelo adotado.

Figura 48 – Formas de onda da tensão v_{m12} e v_{e12} com a representação do *Phase Shift* (PS).



Fonte: o autor.

A tensão v_{e12} pode ser expressa através da série de *Fourier*, conforme eq. (2.86),

$$v_{m12} = \frac{a_0}{2} + \sum_{n=1}^{\infty} a_n \cos(n\omega_s\theta) + b_n \sin(n\omega_s\theta) \quad (2.86)$$

Como o período fundamental T_s na análise é 2π , logo a frequência fundamental será $\omega_s = \frac{2\pi}{T_s} = 1$. Assim, resta apenas determinar os coeficientes de *Fourier*: a_0 , a_n e b_n , nos quais são dados pelas eq. (2.87), (2.88) e (2.89), respectivamente.

$$a_0 = \frac{1}{\pi} \int_0^{2\pi} v_{a12} d\theta, \quad (2.87)$$

$$a_n = \frac{1}{\pi} \int_0^{2\pi} v_{a12} \cos(n\theta) d\theta, \quad n = 1, 2, \dots, \infty \quad (2.88)$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} v_{a12} \sin(n\theta) d\theta, \quad n = 1, 2, \dots, \infty \quad (2.89)$$

Através da Figura 48 encontra-se os ângulos e os valores instantâneos de v_{m12} para obtenção da série de *Fourier*, em que os mesmos estão designados na eq. (2.90).

$$\theta_{fk} = \begin{cases} \theta_{f0} = -\pi, \\ \theta_{f1} = -\left(\pi - \frac{\gamma}{2}\right), \\ \theta_{f2} = -\frac{\gamma}{2}, \\ \theta_{f3} = \frac{\gamma}{2}, \\ \theta_{f4} = \left(\pi - \frac{\gamma}{2}\right), \\ \theta_{f5} = \pi. \end{cases} \quad (2.90)$$

Substituindo os valores de ângulos e instantâneos da tensão v_{m12} nos coeficientes de *Fourier*, eq. (2.87), (2.88) e (2.89), obtêm-se os seguintes coeficientes,

$$a_0 = 0, \quad (2.91)$$

$$a_n = \frac{V_2 \left[\sin \left(n\pi - \frac{n\gamma}{2} \right) + \sin \left(\frac{n\gamma}{2} \right) \right]}{n\pi}, \quad (2.92)$$

$$b_n = 0, \quad (2.93)$$

Por último, substitui-se os coeficientes na eq. (2.86), obtendo a expressão (2.94).

$$v_{a12} = \sum_{n=1}^{\infty} \frac{V_2 \left[\sin \left(n\pi - \frac{n\gamma}{2} \right) + \sin \left(\frac{n\gamma}{2} \right) \right]}{n\pi} \cos(\theta) \quad (2.94)$$

Devido a complexidade em analisar todos os harmônicos presentes na tensão v_{m12} , adota-se o modelo fundamental, ou seja, apenas $n = 1$ será considerado no estudo. Fazendo esta mudança na eq. (2.94), obtêm-se a expressão para utilizar no modelo fundamental, conforme eq. (2.95).

$$v_{a12,mf} = \frac{V_2 \left[\sin \left(\pi - \frac{\gamma}{2} \right) + \sin \left(\frac{\gamma}{2} \right) \right]}{\pi} \cos(\theta) \quad (2.95)$$

Através de propriedades trigonométricas, simplifica-se a eq. (2.95), obtendo a eq. (2.96).

$$v_{m12,mf} = \frac{2V_2 \sin(\gamma/2)}{\pi} \cos(\theta) \quad (2.96)$$

2.10.2.1 Valor eficaz da tensão v_{m12} e v_{e12}

Visando a obtenção do fluxo de potência no transformador, é necessário o cálculo do valor eficaz da tensão em v_{m12} e v_{e12} . Assim, determina-se o valor eficaz em qualquer das duas

tensões, já que possuem o mesmo formato instantâneo, conforme eq. (2.97).

$$V_{m12,rms} = \sqrt{\frac{1}{2\pi} \int_{-\pi}^{\pi} \left[\frac{2V_2 \sin(\gamma/2)}{\pi} \cos(\theta) \right]^2 d\theta} \quad (2.97)$$

Calculando e simplificando a eq. (2.97), é possível escrever a eq. (2.98),

$$V_{m12,rms} = \frac{\sqrt{2}V_2 \sin(\gamma/2)}{\pi} \quad (2.98)$$

Para obter o valor eficaz da tensão v_{a12} refletida para o secundário, $V'_{a12,rms}$, é necessário apenas realizar o produto de $V_{a12,rms}$ com a relação de transformação, a_t , do transformador, conforme eq. (2.99).

$$V'_{m12,rms} = V_{m12,rms} a_{Tm} \quad (2.99)$$

Onde $a_{Tm} = N_S/N_P$. Sendo que a_t é a relação de transformação do transformador, já N_P e N_S são o número de espiras dos enrolamentos primário e secundário do transformador, respectivamente.

Para traçar o perfil do Valor Eficaz Quase Instantâneo (VEQI) dentro do período de chaveamento do conversor da tensão $v_{a12,mf}$ é necessário obter a expressão do valor instantâneo da função de chaveamento angular do conversor I2NDF1, visualizada pela indutância de transferência de potência, (γ). O valor instantâneo dessa função γ depende da função de chaveamento do conversor I2NDF1 ($d_{1\phi}$), que é dado pela expressão (2.100).

$$\gamma = \begin{cases} d_{1\phi} 2\pi, & \text{se } d_{1\phi} \leq 0,5, \\ (1 - d_{1\phi}) 2\pi, & \text{se } d_{1\phi} > 0,5. \end{cases} \quad (2.100)$$

Como o conversor opera também com parâmetros em baixa frequência, substitui-se o valor de γ do conversor variante no tempo, conforme eq. (2.100), na eq. (2.98), obtendo assim o Valor Eficaz Quase Instantâneo (VEQI) dentro do período de chaveamento do conversor da tensão $v_{a12,mf}$,

$$V_{m12,rms}(\theta) = \begin{cases} \frac{\sqrt{2}V_2 \sin(d_{1\phi}\pi)}{\pi}, & \text{se } d_{1\phi} \leq 0,5, \\ \frac{\sqrt{2}V_2 \sin[(1-d_{1\phi})\pi]}{\pi}, & \text{se } d_{1\phi} > 0,5. \end{cases} \quad (2.101)$$

Portanto o VEQI da tensão $V_{a12,rms}$ refletido para o secundário, pode ser dado por

$$V'_{m12,rms}(\theta) = \begin{cases} \frac{\sqrt{2}V_2 a_t \sin(d_1 \phi \pi)}{\pi}, & \text{se } d_1 \phi \leq 0,5, \\ \frac{\sqrt{2}V_2 a_{Tm} \sin[(1-d_1 \phi)\pi]}{\pi}, & \text{se } d_1 \phi > 0,5. \end{cases} \quad (2.102)$$

O mesmo procedimento pode ser aplicado na tensão $v_{r12,mf}$, com isso obtém-se o VEQI desta tensão, conforme eq. (2.103).

$$V_{e12,rms}(\theta) = \begin{cases} \frac{2\sqrt{2}V_3 \sin(d_1 \phi \pi)}{\pi}, & \text{se } d_1 \phi \leq 0,5, \\ \frac{2\sqrt{2}V_3 \sin[(1-d_1 \phi)\pi]}{\pi}, & \text{se } d_1 \phi > 0,5. \end{cases} \quad (2.103)$$

2.10.2.2 Potência no transformador

A potência elétrica aparente no transformador, S_t , pode ser obtida através da eq. (2.104), na forma complexa.

$$s_t = \overrightarrow{V'_{m12}} \overleftarrow{I_S} \quad (2.104)$$

Onde $\overrightarrow{V'_{m12}}$ e $\overleftarrow{I_S}$ são a tensão fasorial da fonte v'_{m12} e o conjugado da corrente fasorial do modelo fundamental, respectivamente.

A corrente fasorial $\overrightarrow{I_S}$ é dada por

$$\overrightarrow{I_S} = \frac{V'_{m12,rms} \angle 0 - V_{e12,rms} \angle -\varphi}{j\omega_s L_e}, \quad (2.105)$$

já o conjugado da corrente fasorial é obtida através da expressão,

$$\overleftarrow{I_S} = \frac{V_{e12,rms} \sin(\varphi) - j \left(V_{e12,rms} \cos(\varphi) - V'_{m12,rms} \right)}{\omega_s L_e}. \quad (2.106)$$

Para se determinar a potência aparente na frequência fundamental, realiza-se o produto mostrado na eq. (2.104), obtendo assim a eq. (2.107).

$$s_t = p_t + jq_t = \frac{V'_{m12,rms} V_{e12,rms} \sin(\varphi) + j \left[\left(V'_{m12,rms} \right)^2 - \left(V'_{m12,rms} V_{e12,rms} \cos(\varphi) \right) \right]}{\omega_s L_e} \quad (2.107)$$

A partir da eq. (2.106) percebe-se claramente a potência ativa, P_t e a reativa, Q_t , sendo a parte real, $\Re\{S_t\} = P_t$ e imaginária, $\Im\{S_t\} = Q_t$, respectivamente. As potências P_t e Q_t são dadas pelas eq. (2.108) e (2.109), respectivamente.

$$P_t = \frac{V'_{m12,rms} V_{e12,rms} \sin(\varphi)}{\omega_s L_e} \quad (2.108)$$

$$Q_t = \frac{\left(V'_{m12,rms}\right)^2 - \left(V'_{m12,rms} V_{e12,rms} \cos(\varphi)\right)}{\omega_s L_e} \quad (2.109)$$

Substituindo as equações (2.102) e (2.103) na equação (2.108), é obtida a potência ativa variante no tempo, conforme eq. (2.110).

$$P_t = \frac{4V_2 a_{Tm} V_3 \sin^2(\gamma/2) \sin(\varphi)}{\pi^2 \omega_s L_e} \quad (2.110)$$

De forma similar, pode-se obter a potência reativa variante no tempo, conforme eq. (2.111).

$$Q_t = \frac{2V_2 a_{Tm} \sin^2(\gamma/2) [V_2 a_{Tm} - 2V_3 \cos(\varphi)]}{\pi^2 \omega_s L_e} \quad (2.111)$$

Para simplificar a análise, adota-se as seguintes grandezas de base, para estudo em por unidade (p.u.),

$$V_{base} = \frac{V_2 a_{Tm}}{2}, \quad (2.112)$$

$$I_{base} = \frac{V_2 a_{Tm}}{2\omega_s L_e}, \quad (2.113)$$

$$P_{base} = V_{base} I_{base} = \frac{(V_2 a_{Tm})^2}{4\omega_s L_e}. \quad (2.114)$$

Realizando a mudança das potências nas eq. (2.110) e (2.111) para p.u., obtém-se as expressões:

$$P_{t,pu} = \frac{16V_3 \sin^2(\gamma/2) \sin(\varphi)}{\pi^2 V_2 a_t} \quad (2.115)$$

$$Q_{t,pu} = \frac{8 \sin^2(\gamma/2) [V_2 a_t - 2V_3 \cos(\varphi)]}{\pi^2 V_2 a_{Tm}} \quad (2.116)$$

Visando generalizar o estudo, realiza-se a introdução da razão entre as tensões $V_{e12,rms}$ e $V'_{m12,rms}$, δ , em que é definido pela eq. (2.117).

$$\delta = \frac{V_{e12,rms}}{V'_{m12,rms}} = \frac{2V_3}{V_2 a_{Tm}} \quad (2.117)$$

Através da eq. (2.117), é possível simplificar as eq. (2.115) e (2.116), obtendo assim as eq. (2.118) e (2.119), que estão em função do ganho estático no transformador, δ .

$$P_{t,pu} = \frac{8\delta \sin^2(\gamma/2) \sin(\varphi)}{\pi^2} \quad (2.118)$$

$$Q_{t,pu} = \frac{8 \sin^2(\gamma/2) [1 - \delta \cos(\varphi)]}{\pi^2} \quad (2.119)$$

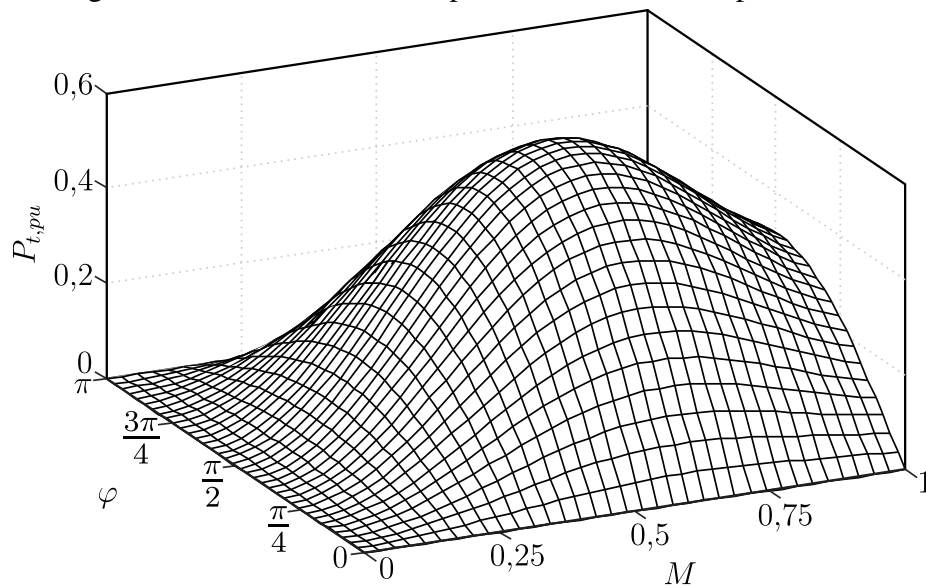
O VMQI da potência ativa, $P_{t,pu}$, e reativa, $Q_{t,pu}$, no transformador, em p.u., são dadas pelas eq. (2.120) e (2.121).

$$P_{t,pu} = \frac{8\delta \sin(\varphi)}{\pi^3} \left[\int_0^\pi \sin^2(\gamma/2) d\theta \right] \quad (2.120)$$

$$Q_{t,pu} = \frac{8 [1 - \delta \cos(\varphi)]}{\pi^3} \left[\int_0^\pi \sin^2(\gamma/2) d\theta \right] \quad (2.121)$$

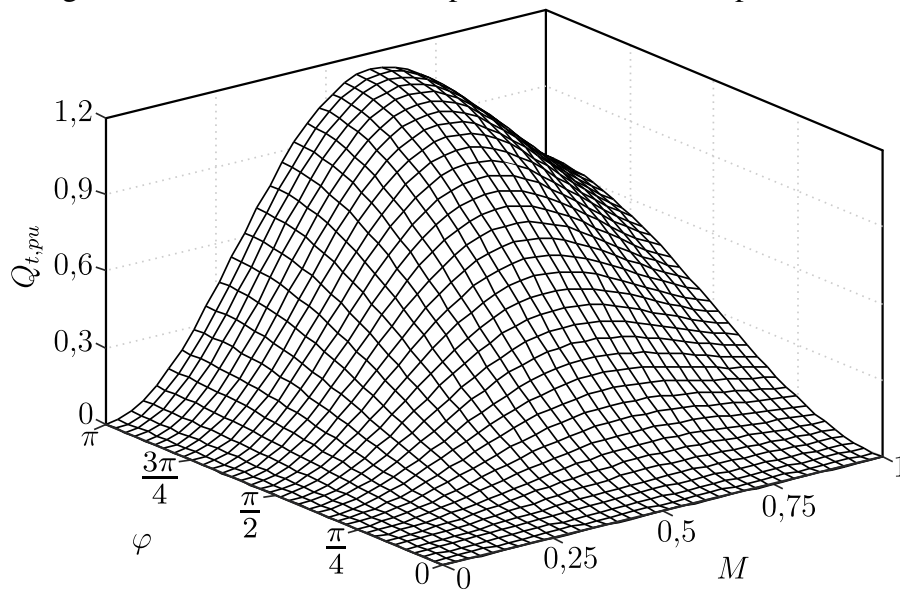
O VMQI da potência ativa em p.u. no transformador é apresentado na Figura 49. O valor máximo de potência ocorre para $M = 0,6$ e $\varphi = \pi/2$ rad.

Figura 49 – Potência ativa em p.u. no transformador para $\delta = 1$.



Fonte: o autor.

Figura 50 – Potência reativa em p.u. no transformador para $\delta = 1$.



Fonte: o autor.

O VMQI da potência reativa em p.u. no transformador é apresentado na Figura 50. O valor máximo de potência ocorre para $M = 0,6$ e $\varphi = \pi$ rad.

O fator de potência no transformador (FP_T) no modelo fundamental é dado pela equação (2.122), sendo que α representa o ângulo de deslocamento de fase da corrente em relação à tensão nos enrolamentos do transformador monofásico da topologia I2NDF1.

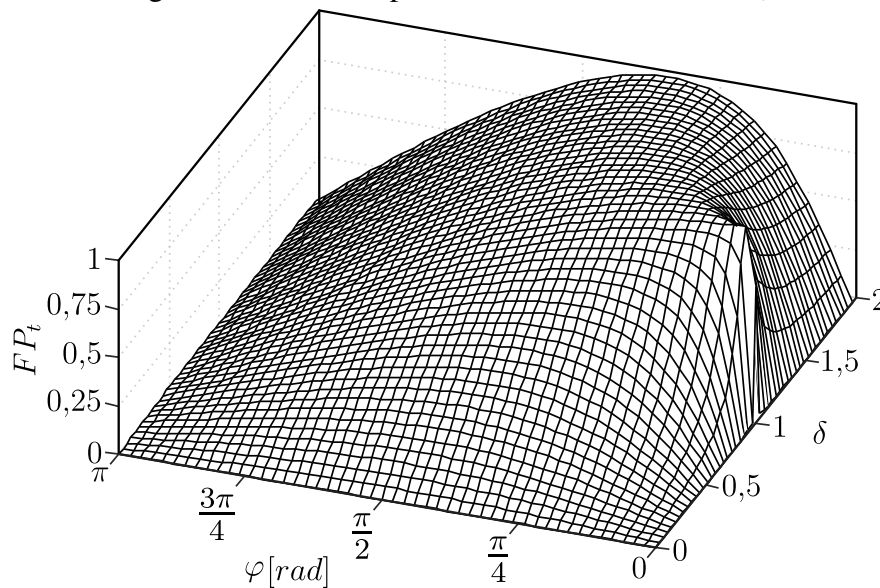
$$FP_{Tm} = \cos(\alpha) = \frac{P_{t,pu}}{\sqrt{(P_{t,pu})^2 + (Q_{t,pu})^2}} \quad (2.122)$$

Substituindo a parte real, $\Re(\vec{I}_S)$, e imaginária, $\Im(\vec{I}_S)$, da corrente fasorial \vec{I}_S na equação (2.122), obtém-se a expressão (2.123) para o FP_t .

$$FP_{Tm} = \frac{\delta \sin(\varphi)}{\sqrt{\delta^2 - 2\delta \cos(\varphi) + 1}} \quad (2.123)$$

O Fator de Potência no Transformador (FP_t) é mostrado na Figura 51. Para pequenos ângulos de PS, percebe-se que o ideal é operar com $\delta = 1$.

Figura 51 – Fator de potência no transformador T_m .



Fonte: o autor.

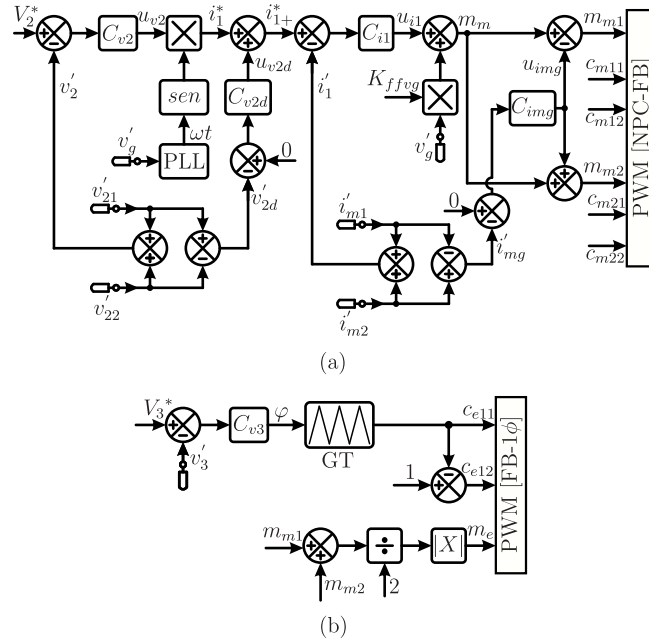
2.11 MODELAGEM E CONTROLE DO CONVERSOR I2NDF1

O conversor I2NDF1 possui a estrutura de controle mostrada na Figura 52 (a), para o lado primário e 52 (b), para o lado secundário. Na porta I do conversor, visa-se controlar a corrente i_1 a fim de realizar a correção do fator de potência, *Power Factor Correction* (PFC). A estrutura de controle adotada neste trabalho é baseada em (ORTMANN *et al.*, 2012).

2.11.1 Modelo e controle da corrente i_1

Para garantir o FP_g unitário, utiliza-se uma malha de controle da corrente que circula pelo indutor L_1 , i_1 , que é a corrente drenada/injetada da rede elétrica, v_g . Conseqüentemente, realiza-se o controle de $\langle v_1 \rangle$, que é a tensão gerada pelo conversor, visando $FP_g=1$.

Figura 52 – Estrutura básica de controle aplicada ao conversor I2NDF1.



Fonte: o autor.

O VMQI da tensão v_1 é dado pela expressão (2.124).

$$\langle v_1 \rangle = \frac{V_2}{2} (1 - d_{1\phi}) \text{sign}(i_1) \quad (2.124)$$

A equação (2.125) é obtida substituindo as equações (2.122) e (2.63) na expressão (2.56).

$$L_1 \frac{di_1}{dt} = v_g - \frac{V_2}{2} (1 - d_{1\phi}) \frac{|i_1|}{i_1} \quad (2.125)$$

Perturbando a corrente i_1 e a função de chaveamento $d_{1\phi}$, e sabendo que $f_s \gg f_g$, consequentemente f_g pode ser considerada constante dentro do período de chaveamento T_s , obtém-se a equação (2.126), desconsiderando neste momento a influência da função $\text{sign}(i_1)$.

$$L_1 \frac{d(I_1 + \tilde{i}_1)}{dt} = V_g - \frac{V_2}{2} [1 - (D_{1\phi} + d_{1\phi})] \quad (2.126)$$

Aplicando a transformada de Laplace na equação (2.128), obtém-se a expressão (2.127).

$$L_1 s \tilde{i}_1(s) = V_g - \frac{V_2}{2} (1 - D_{1\phi}) + \frac{V_2}{2} \tilde{d}_{1\phi}(s) \quad (2.127)$$

Por último, relaciona-se $\tilde{i}_1(s)$ e $\tilde{d}_{1\phi}(s)$, obtendo assim a função de transferência $G_{i1}(s)$, quando $V_g = V_2(1 - D_{1\phi})/2$, conforme equação (2.128).

$$G_{i1}(s) = \frac{\tilde{i}_1(s)}{\tilde{d}_{1\phi}(s)} = \frac{V_2}{2sL_1} \quad (2.128)$$

2.11.2 Modelo e controle da tensão v_2

Com o controle da corrente i_1 sendo realizada pela malha de corrente, garantindo assim $FP_g = 1$, é necessário também controlar a tensão v_2 , sendo que neste trabalho será adotado o mesmo procedimento realizado em (MARINUS *et al.*, 2017).

A função de transferência $Z(s)$, que relaciona a tensão na porta 2, $\tilde{v}_2(s)$, e a corrente na porta 1, $\tilde{i}_1(s)$, é dada pela expressão (2.129).

$$Z(s) = \frac{\tilde{v}_2(s)}{\tilde{i}_1(s)} = \frac{V_{g,rms}}{sC_2V_2} = \frac{\hat{V}_g}{s\sqrt{2}C_2V_2} \quad (2.129)$$

Onde a capacitância C_2 é dada pela equação (2.130).

$$C_2 = \frac{C_{21}}{2} = \frac{C_{22}}{2} \quad (2.130)$$

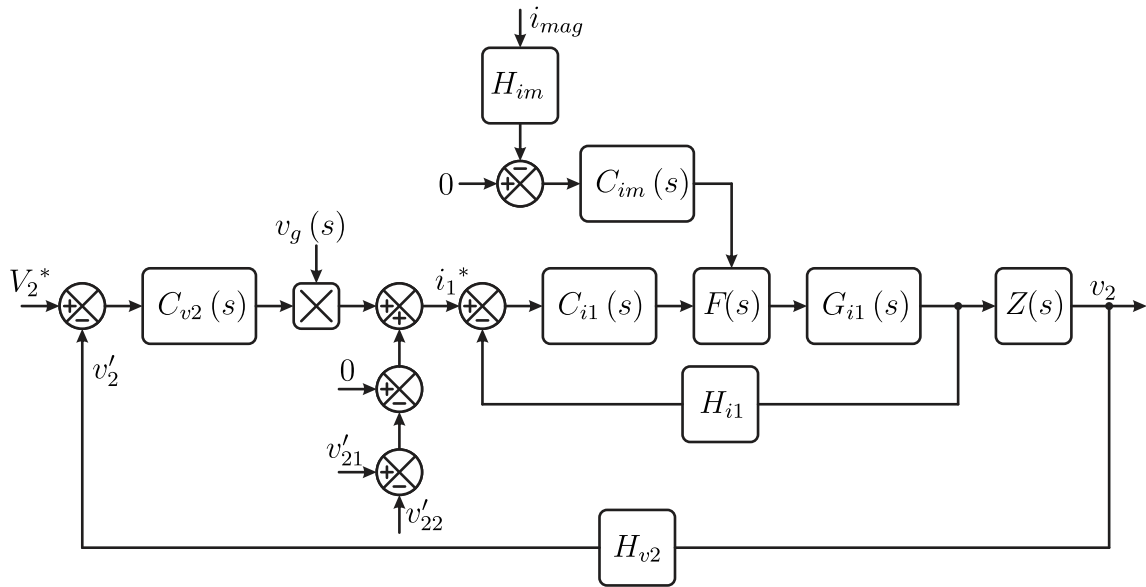
2.11.3 Balanceamento da tensão v_{21} e v_{22}

O controle da tensão v_{21} e v_{22} é realizado por uma malha de balanceamento. Como pode ser visto na Figura 53, realiza-se a leitura de v_{21} e v_{22} e depois a subtração entre ambas, o valor obtido é comparado com a referência que é nula. Com o valor de erro, o controlador atua para anulá-lo, assim o compensador injeta um sinal de incremento na malha de controle, para balancear as tensões nos capacitores C_{21} e C_{22} .

2.11.4 Controle da corrente de magnetização i_{mag}

O controle da corrente de magnetização, i_{mag} , é realizado através da leitura das correntes i_{a1} e i_{a2} , conforme pode ser visto na Figura 53. Com o valor de erro obtido, o controlador irá atuar para anular esse erro, gerando assim um sinal que irá incrementar a função de modulação $m_p(s)$ para cada braço no lado primário do conversor I2NDF1.

Figura 53 – Diagrama de blocos da estratégia de controle aplicada no primário do conversor I2NDF1.



Fonte: o autor.

A função de transferência que relaciona $\widetilde{i}_{mag}(s)$ e $\widetilde{m}_m(s)$ é dada pela expressão (2.131).

$$G_{imag}(s) = \frac{\widetilde{i}_{mag}(s)}{\widetilde{m}_m(s)} = \frac{V_2}{4L_{mag}s} \quad (2.131)$$

2.11.5 Modelo e controle da tensão v_3

A tensão na porta 3 é mantida constante através da malha de tensão PS. Mas para efetuar o controle, inicialmente realiza-se a modelagem da planta, nesse caso adota-se o modelo por *gyrator* devido a sua simplicidade. A estrutura básica é mostrada na Figura 54.

A modelagem por *gyrator* explanada neste texto é baseada em (SANTOS *et al.*, 2011). O valor médio da corrente na porta 3, I_3 , é obtido através da equação (2.132).

$$I_3 = \frac{P_t}{V_3} = \frac{16V_2a_{Tm} \sin(\varphi) \left[\int_0^{\pi} \sin^2(\gamma/2) d\theta \right]}{\pi^3 \omega_s L_r} \quad (2.132)$$

Com o conversor operando em um determinado ponto de equilíbrio angular (φ_0), lineariza-se a equação (2.132) e realizando a derivado em relação ao ponto de equilíbrio, resultado

na equação (2.133).

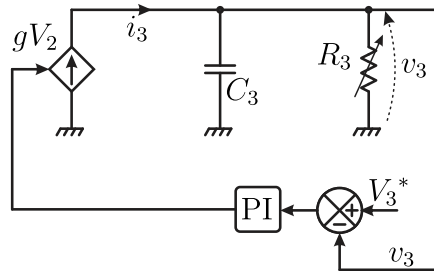
$$\frac{\partial I_3}{\partial \varphi_0} = G = \frac{16V_2 a_{Tm} \cos(\varphi_0) \left[\int_0^{\pi} \sin^2(\gamma/2) d\theta \right]}{\pi^3 \omega_s L_r} \quad (2.133)$$

Através da variação angular de ($\tilde{\varphi}$) é possível controlar a corrente \tilde{I}_3 , conforme a equação (2.134).

$$\tilde{I}_3 = G \cdot \tilde{\varphi} \quad (2.134)$$

Para obtenção da função de transferência da tensão pela corrente na porta 3 utiliza-se o circuito mostrado na Figura 54. Através da equação diferencial (2.135) é possível encontrar a função de transferência desejada.

Figura 54 – Modelo por *gyrator* na porta 3 da topologia I2NDF1.



Fonte: o autor.

$$\tilde{I}_3 = C_3 \frac{dV_3}{dt} + \frac{V_3}{R_3} \quad (2.135)$$

Aplicando a transformada de Laplace na equação (2.135) e realizando as devidas simplificações, obtém-se a função de transferência dada pela expressão (2.136).

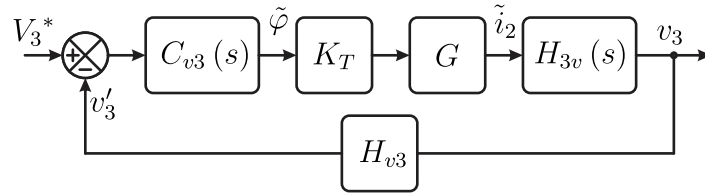
$$\frac{V_3(s)}{\tilde{I}_3(s)} = H_{v3}(s) = \frac{R_3}{R_3 C_3 s + 1} \quad (2.136)$$

Por último, apresenta-se na Figura 55 o diagrama de blocos que representa a estratégia de controle PS aplicada no lado secundário do conversor I2NDF1.

Analisando a Figura 55, é possível designar os blocos:

- V_3^* é o valor de referência para o controle;

Figura 55 – Diagrama de blocos da estratégia de controle *Phase Shift* (PS) aplicada no secundário da topologia I2NDF1.



Fonte: o autor.

- $C_{v3}(s)$ é o controlador de tensão na porta 3 em Laplace;
- $H_{3v}(s)$ é a função de transferência da planta em Laplace;
- K_T é o ganho total de laço aberto do sistema;
- H_{v3} é a função de transferência do sensor de tensão na porta 3;
- G é o ganho de transferência da corrente na porta 3 dado pela equação (2.135).

2.12 FLUXO DE POTÊNCIA NO CONVERSOR I2NDF1

2.12.1 Mapeamento das Regiões de Operação

O mapeamento das regiões de operação para análise do fluxo de potência é realizado para obtenção de resultados próximos aos obtidos em simulações com componentes reais e experimentos.

Inicialmente é necessário identificar as fronteiras das regiões de operação R_{y+} , com $y = \{1, 2, 3, 4\}$, sendo que isso é demonstrado na Tabela 5. As fronteiras das regiões R_{y-} são dispensáveis na análise devido a simetria existente no mapa das regiões de operação.

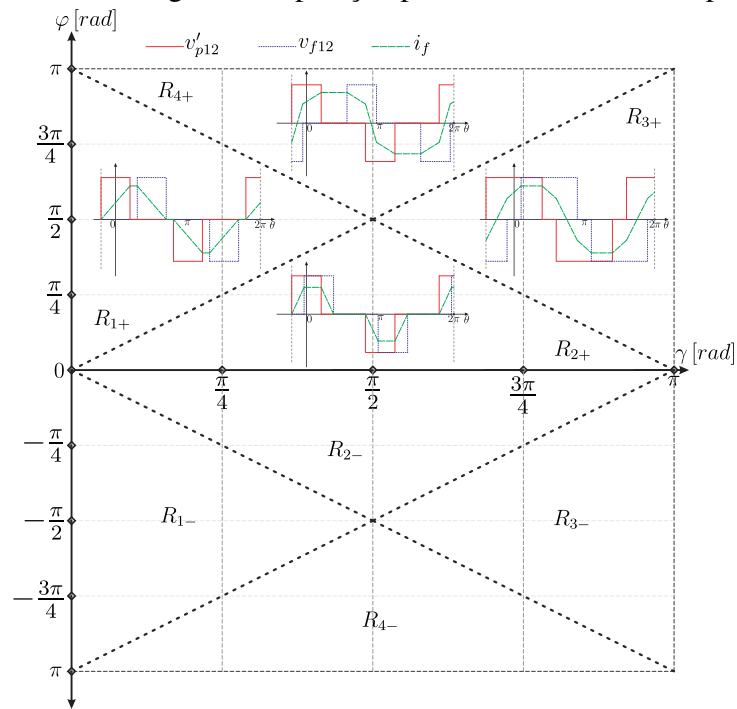
Tabela 5 – Fronteira das regiões de operação para análise do fluxo de potência em I2NDF1.

R_{y+}	Fronteiras
R_{1+}	$(0 \leq \gamma \leq \frac{\pi}{2}) \wedge (\gamma \leq \varphi \leq \pi - \gamma)$
R_{2+}	$[(0 \leq \gamma \leq \frac{\pi}{2}) \wedge (0 \leq \varphi \leq \gamma)] \vee [(\frac{\pi}{2} \leq \gamma \leq \pi) \wedge (0 \leq \varphi \leq \pi - \gamma)]$
R_{3+}	$(\frac{\pi}{2} \leq \gamma \leq \pi) \wedge (\pi - \gamma \leq \varphi \leq \gamma)$
R_{4+}	$[(0 \leq \gamma \leq \frac{\pi}{2}) \wedge (\pi - \gamma \leq \varphi \leq \pi)] \vee [(\frac{\pi}{2} \leq \gamma \leq \pi) \wedge (\gamma \leq \varphi \leq \pi)]$

Fonte: o autor.

O mapa das regiões de operação para análise do fluxo de potência em I2NDF1 é mostrado na Figura 56. Trata-se de um plano composto pela função γ no eixo x e φ no eixo y .

Figura 56 – Mapeamento das regiões de operação para análise do fluxo de potência em I2NDF1.

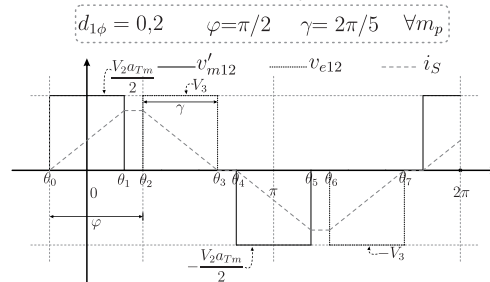


Fonte: o autor.

2.12.2 Região de Operação R_{1+}

Considerando o modelo completo por etapas de operação no período de chaveamento (T_s), percebe-se na Figura 57 que a região R_{1+} possui oito etapas de operação para análise, mas somente se focará o estudo em quatro etapas, pois a forma de onda da corrente i_s é simétrica em metade do período de chaveamento.

Figura 57 – Formas de onda de v'_{m12} , v_{e12} e i_s na região R_{1+} .



Fonte: o autor.

2.12.2.1 Etapa de operação $[\theta_0, \theta_1], R_{1+}$

A primeira etapa de operação é compreendida entre os ângulos dados por (2.137).

$$[\theta_0, \theta_1] = [-\gamma/2, \gamma/2] \quad (2.137)$$

A corrente instantânea i_S é expressa pela equação (2.138).

$$i_S(\theta) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) (\theta + \gamma/2) + i_S(-\gamma/2) \quad (2.138)$$

Substituindo o ângulo final desta etapa na equação (2.138), obtém-se (2.139).

$$i_S(\gamma/2) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) \gamma + i_S(-\gamma/2) \quad (2.139)$$

2.12.2.2 Etapa de operação $[\theta_1, \theta_2], R_{1+}$

A segunda etapa de operação é compreendida entre os ângulos dados por (2.140).

$$[\theta_1, \theta_2] = [\gamma/2, \varphi] \quad (2.140)$$

A corrente instantânea i_S é expressa pela equação (2.141).

$$i_S(\theta) = i_S(\gamma/2) \quad (2.141)$$

Logo, a corrente instantânea no ângulo final desta etapa é dada pela equação (2.142).

$$i_S(\varphi) = i_S(\gamma/2) \quad (2.142)$$

2.12.2.3 Etapa de operação $[\theta_2, \theta_3], R_{1+}$

A terceira etapa de operação é compreendida entre os ângulos dados por (2.143).

$$[\theta_2, \theta_3] = [\varphi, \varphi + \gamma] \quad (2.143)$$

A corrente instantânea i_S é expressa pela equação (2.144).

$$i_S(\theta) = \left(\frac{-V_3}{\omega_s L_e} \right) (\theta - \varphi) + i_S(\varphi) \quad (2.144)$$

Substituindo o ângulo final desta etapa na equação (2.144), obtém-se (2.145).

$$i_S(\gamma/2) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) \gamma + i_S(-\gamma/2) \quad (2.145)$$

2.12.2.4 Etapa de operação $[\theta_3, \theta_4]$, R_{1+}

A quarta etapa de operação é compreendida entre os ângulos dados por (2.146).

$$[\theta_3, \theta_4] = [\varphi + \gamma, \pi - \gamma/2] \quad (2.146)$$

A corrente instantânea i_S é expressa pela equação (2.147).

$$i_S(\theta) = i_S(\varphi + \gamma) \quad (2.147)$$

Logo, a corrente instantânea no ângulo final desta etapa é dada pela equação (2.148).

$$i_S(\pi - \gamma/2) = i_S(\varphi + \gamma) \quad (2.148)$$

2.12.3 Região de Operação R_{2+}

A operação da topologia I2NDF1 na região R_{2+} é mostrada na Figura 58.

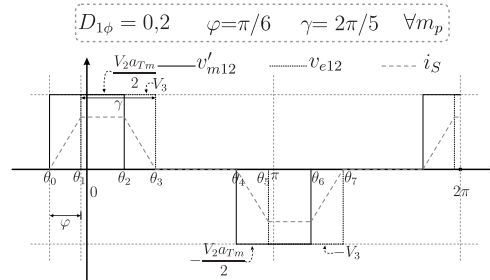
Assim como a região de operação anterior, devido o perfil das tensões e correntes serem a mesma em toda a trajetória angular na região R_{2+} , considera-se metade do período de chaveamento para análise das correntes instantâneas.

2.12.3.1 Etapa de operação $[\theta_0, \theta_1]$, R_{2+}

A primeira etapa de operação é compreendida entre os ângulos dados por (2.149).

$$[\theta_0, \theta_1] = [-\gamma/2, \varphi - \gamma/2] \quad (2.149)$$

Figura 58 – Formas de onda de v'_{m12} , v_{e12} e i_S na região R_{2+} .



Fonte: o autor.

A corrente instantânea i_S é expressa pela equação (2.150).

$$i_S(\theta) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) (\theta + \gamma/2) + i_S(-\gamma/2) \quad (2.150)$$

Substituindo o ângulo final desta etapa na equação (2.150), obtém-se (2.151).

$$i_S(\varphi - \gamma/2) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) (\varphi) + i_S(-\gamma/2) \quad (2.151)$$

2.12.3.2 Etapa de operação $[\theta_1, \theta_2]$, R_{2+}

A segunda etapa de operação é compreendida entre os ângulos dados por (2.152).

$$[\theta_1, \theta_2] = [\varphi - \gamma/2, \gamma/2] \quad (2.152)$$

A corrente instantânea i_S é expressa pela equação (2.153).

$$i_S(\theta) = \left(\frac{V'_{m12} - V_3}{\omega_s L_e} \right) [\theta - (\varphi - \gamma/2)] + i_S(\varphi - \gamma/2) \quad (2.153)$$

Substituindo o ângulo final desta etapa na equação (2.153), obtém-se (2.154).

$$i_S(\gamma/2) = \left(\frac{V'_{m12} - V_3}{\omega_s L_e} \right) (\gamma - \varphi) + i_S(\varphi - \gamma/2) \quad (2.154)$$

2.12.3.3 Etapa de operação $[\theta_2, \theta_3]$, R_{2+}

A terceira etapa de operação é compreendida entre os ângulos dados por (2.155).

$$[\theta_2, \theta_3] = [\gamma/2, \varphi + \gamma/2] \quad (2.155)$$

A corrente instantânea i_S é expressa pela equação (2.156).

$$i_S(\theta) = \left(\frac{-V_3}{\omega_s L_e} \right) (\theta - \gamma/2) + i_S(\gamma/2) \quad (2.156)$$

Substituindo o ângulo final desta etapa na equação (2.156), obtém-se (2.157).

$$i_S(\varphi + \gamma/2) = \left(\frac{-V_3}{\omega_s L_e} \right) (\varphi) + i_S(\gamma/2) \quad (2.157)$$

2.12.3.4 Etapa de operação $[\theta_3, \theta_4]$, R_{2+}

A quarta etapa de operação é compreendida entre os ângulos dados por (2.158).

$$[\theta_3, \theta_4] = [\varphi + \gamma/2, \pi - \gamma/2] \quad (2.158)$$

A corrente instantânea i_S é expressa pela equação (2.159).

$$i_S(\theta) = i_S(\varphi + \gamma/2) \quad (2.159)$$

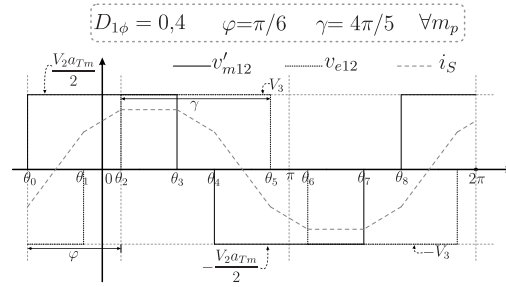
Logo, a corrente instantânea no ângulo final desta etapa é dada pela equação (2.160).

$$i_S(\pi - \gamma/2) = i_S(\varphi + \gamma/2) \quad (2.160)$$

2.12.4 Região de Operação R_{3+}

A operação da topologia I2NDF1 na região R_{3+} é ilustrada na Figura 59.

Figura 59 – Formas de onda de v'_{a12} , v_{r12} e i_S na região $R_2 - M_1$.



Fonte: o autor.

2.12.4.1 Etapa de operação $[\theta_0, \theta_1]$, R_{3+}

A primeira etapa de operação é compreendida entre os ângulos dados por (2.161).

$$[\theta_0, \theta_1] = [-\gamma/2, \varphi + \gamma/2 - \pi] \quad (2.161)$$

A corrente instantânea i_S é expressa pela equação (2.162).

$$i_S(\theta) = \left(\frac{V'_{m12} + V_3}{\omega_s L_e} \right) (\theta + \gamma/2) + i_S(-\gamma/2) \quad (2.162)$$

Substituindo o ângulo final desta etapa na equação (2.162), obtém-se (2.163).

$$i_S(\varphi + \gamma/2 - \pi) = \left(\frac{V'_{m12} + V_3}{\omega_s L_e} \right) (\varphi + \gamma - \pi) + i_S(-\gamma/2) \quad (2.163)$$

2.12.4.2 Etapa de operação $[\theta_1, \theta_2]$, R_{3+}

A segunda etapa de operação é compreendida entre os ângulos dados por (2.164).

$$[\theta_1, \theta_2] = [\varphi + \gamma/2 - \pi, \varphi - \gamma/2] \quad (2.164)$$

A corrente instantânea i_S é expressa pela equação (2.165).

$$i_S(\theta) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) [\theta - (\varphi + \gamma/2 - \pi)] + i_S(\varphi + \gamma/2 - \pi) \quad (2.165)$$

Substituindo o ângulo final desta etapa na equação (2.165), obtém-se (2.166).

$$i_S(\varphi - \gamma/2) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) (\pi - \gamma) + i_S(\varphi + \gamma/2 - \pi) \quad (2.166)$$

2.12.4.3 Etapa de operação $[\theta_2, \theta_3]$, R_{3+}

A terceira etapa de operação é compreendida entre os ângulos dados por (2.167).

$$[\theta_2, \theta_3] = [\varphi - \gamma/2, \gamma/2] \quad (2.167)$$

A corrente instantânea i_S é expressa pela equação (2.168).

$$i_S(\theta) = \left(\frac{V'_{m12} - V_3}{\omega_s L_e} \right) [\theta - (\varphi - \gamma/2)] + i_S(\varphi - \gamma/2) \quad (2.168)$$

Substituindo o ângulo final desta etapa na equação (2.168), obtém-se (2.169).

$$i_S(\gamma/2) = \left(\frac{V'_{m12} - V_3}{\omega_s L_e} \right) (\gamma - \varphi) + i_S(\varphi - \gamma/2) \quad (2.169)$$

2.12.4.4 Etapa de operação $[\theta_3, \theta_4]$, R_{3+}

A quarta etapa de operação é compreendida entre os ângulos dados por (2.170).

$$i_S(\theta) = \left(\frac{-V_3}{\omega_s L_e} \right) (\theta - \gamma/2) + i_S(\gamma/2) \quad (2.170)$$

A corrente instantânea i_S é expressa pela equação (2.171).

$$i_S(\theta) = \left(\frac{-V_3}{\omega_s L_e} \right) (\theta - \gamma/2) + i_S(\gamma/2) \quad (2.171)$$

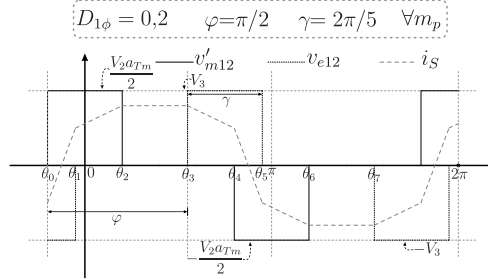
Substituindo o ângulo final desta etapa na equação (2.171), obtém-se (2.172).

$$i_S(\pi - \gamma/2) = \left(\frac{-V_3}{\omega_s L_e} \right) (\pi - \gamma) + i_S(\gamma/2) \quad (2.172)$$

2.12.5 Região de Operação R_{4+}

A operação da topologia I2NDF1 na região R_{4+} é apresentada na Figura 60.

Figura 60 – Formas de onda de v'_{a12} , v_{r12} e i_S na região $R_2 - M_1$.



Fonte: o autor.

2.12.5.1 Etapa de operação $[\theta_0, \theta_1]$, R_{4+}

A primeira etapa de operação é compreendida entre os ângulos dados por (2.173).

$$[\theta_0, \theta_1] = [-\gamma/2, \varphi + \gamma/2 - \pi] \quad (2.173)$$

A corrente instantânea i_S é expressa pela equação (2.174).

$$i_S(\theta) = \left(\frac{V'_{m12} + V_3}{\omega_s L_e} \right) (\theta + \gamma/2) + i_S(-\gamma/2) \quad (2.174)$$

Substituindo o ângulo final desta etapa na equação (2.174), obtém-se (2.175).

$$i_S(\varphi + \gamma/2 - \pi) = \left(\frac{V'_{m12} + V_3}{\omega_s L_e} \right) (\varphi + \gamma - \pi) + i_S(-\gamma/2) \quad (2.175)$$

2.12.5.2 Etapa de operação $[\theta_1, \theta_2]$, R_{4+}

A segunda etapa de operação é compreendida entre os ângulos dados por (2.176).

$$[\theta_1, \theta_2] = [\varphi + \gamma/2 - \pi, \gamma/2] \quad (2.176)$$

A corrente instantânea i_S é expressa pela equação (2.177).

$$i_S(\theta) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) [\theta - (\varphi + \gamma/2 - \pi)] + i_S(\varphi + \gamma/2 - \pi) \quad (2.177)$$

Substituindo o ângulo final desta etapa na equação (2.177), obtém-se (2.178).

$$i_S(\gamma/2) = \left(\frac{V'_{m12}}{\omega_s L_e} \right) (\pi - \varphi) + i_S(\varphi + \gamma/2 - \pi) \quad (2.178)$$

2.12.5.3 Etapa de operação $[\theta_2, \theta_3]$, R_{4+}

A terceira etapa de operação é compreendida entre os ângulos dados por (2.179).

$$[\theta_2, \theta_3] = [\gamma/2, \varphi - \gamma/2] \quad (2.179)$$

A corrente instantânea i_S é expressa pela equação (2.180).

$$i_S(\theta) = i_S(\gamma/2) \quad (2.180)$$

Logo, a corrente instantânea no ângulo final desta etapa é dada pela equação (2.181).

$$i_S(\varphi - \gamma/2) = i_S(\gamma/2) \quad (2.181)$$

2.12.5.4 Etapa de operação $[\theta_3, \theta_4]$, R_{4+}

A quarta etapa de operação é compreendida entre os ângulos dados por (2.182).

$$[\theta_3, \theta_4] = [\varphi - \gamma/2, \pi - \gamma/2] \quad (2.182)$$

A corrente instantânea i_S é expressa pela equação (2.183).

$$i_S(\theta) = \left(\frac{-V_3}{\omega_s L_e} \right) [\theta - (\varphi - \gamma/2)] + i_S(\varphi - \gamma/2) \quad (2.183)$$

Substituindo o ângulo final desta etapa na equação (2.183), obtém-se (2.184).

$$i_S(\pi - \gamma/2) = \left(\frac{-V_3}{\omega_s L_e} \right) (\pi - \varphi) + i_S(\varphi - \gamma/2) \quad (2.184)$$

2.12.6 Fluxo de Potência no Transformador T_m

A potência ativa na forma genérica no transformador T_m é dada pela expressão (2.185).

$$p_{Ry+} = \frac{1}{2\pi} \int_0^{2\pi} v'_{m12} i_S d\theta \quad (2.185)$$

A potência aparente processada pelo transformador T_m é expressa em (2.186).

$$s_{Ry+} = V'_{m12,rms} I_{S,rms} \quad (2.186)$$

O valor eficaz $V'_{m12,rms}$ é dado por (2.187). Substituindo (2.187) em (2.186) é obtida uma expressão expandida da potência aparente no transformador T_m (2.188).

$$V'_{m12,rms} = \frac{V_2 a_{Tm}}{2} \sqrt{\frac{\gamma}{\pi}} \quad (2.187)$$

$$s_{Ry+} = \frac{V_2 a_{Tm}}{2} \sqrt{\frac{\gamma}{\pi}} I_{SRy+,rms} \quad (2.188)$$

Através das potências aparente e ativa é obtida a potência reativa para cada região de operação, conforme a expressão (2.189).

$$q_{Ry+} = \sqrt{(s_{Ry+})^2 - (p_{Ry+})^2} \quad (2.189)$$

2.13 ANÁLISE DA COMUTAÇÃO NO CONVERSOR I2NDF1

2.13.1 Diagrama das Regiões de Operação para Análise da Comutação

Embora seja possível realizar toda a análise da comutação suave através do modelo fundamental, esta não é a situação ideal, pois é desprezado os harmônicos presentes na tensão e

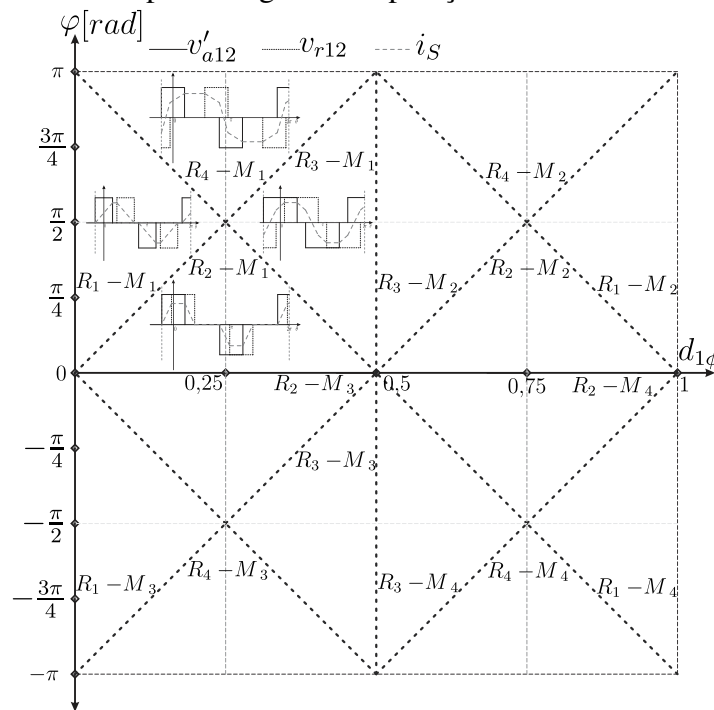
corrente que circulam pelo transformador. Para contornar esta situação, será visto adiante um estudo considerando o modelo completo, com uma análise de todas as etapas de operação.

Para a obtenção do diagrama das regiões de operação é necessário designar as fronteiras. As variáveis que definem as regiões de operação para análise da comutação são φ e $d_{1\phi}$. A Tabela 6 apresenta os limites para região de funcionamento do conversor. As expressões das fronteiras são regidas por (2.190).

$$\beta_h = \begin{cases} \beta_0 = 0, \\ \beta_1 = d_{1\phi} 2\pi, \\ \beta_2 = (1 - 2d_{1\phi}) \pi, \\ \beta_3 = (2 - 2d_{1\phi}) \pi, \\ \beta_4 = (2d_{1\phi} - 1) \pi, \\ \beta_5 = \pi. \end{cases} \quad (2.190)$$

Já na Figura 61 é mostrado graficamente como se comporta a fronteira de cada região do conversor I2NDF1 para análise da comutação.

Figura 61 – Mapa das regiões de operação do conversor I2NDF1.



Fonte: o autor.

Tabela 6 – Limites das fronteiras entre as regiões de operação da topologia I2NDF1 considerando a função de chaveamento $d_{1\phi}$ e o ângulo de PS (φ). Legenda: R = Regiões de operação; M = Modos de operação.

(R)	(M)	Função de chaveamento ($d_{1\phi}$)	Intervalo <i>Phase Shift</i> (φ)
R_1	M_1	$d_{1\phi} < 0,25$	$\beta_1 < \varphi \leq \beta_2$
	M_2	$0,75 \leq d_{1\phi} < 1$	$\beta_3 < \varphi \leq \beta_4$
	M_3	$d_{1\phi} < 0,25$	$\beta_1 < \varphi \leq \beta_2$
	M_4	$0,75 \leq d_{1\phi} < 1$	$\beta_3 < \varphi \leq \beta_4$
R_2	M_1	$(d_{1\phi} < 0,25) \cup [0,25 \leq d_{1\phi} < 0,5]$	$(\beta_0 < \varphi \leq \beta_1) \cup [\beta_0 < \varphi \leq \beta_2]$
	M_2	$(0,5 \leq d_{1\phi} < 0,75) \cup [0,75 \leq d_{1\phi} < 1]$	$(\beta_0 < \varphi \leq \beta_4) \cup [\beta_0 < \varphi \leq \beta_3]$
	M_3	$(d_{1\phi} < 0,25) \cup [0,25 \leq d_{1\phi} < 0,5]$	$(\beta_0 < \varphi \leq \beta_1) \cup [\beta_0 < \varphi \leq \beta_2]$
	M_4	$(0,5 \leq d_{1\phi} < 0,75) \cup [0,75 \leq d_{1\phi} < 1]$	$(\beta_0 < \varphi \leq \beta_4) \cup [\beta_0 < \varphi \leq \beta_3]$
R_3	M_1	$0,25 \leq d_{1\phi} < 0,5$	$\beta_2 < \varphi \leq \beta_1$
	M_2	$0,5 \leq d_{1\phi} < 0,75$	$\beta_4 < \varphi \leq \beta_3$
	M_3	$0,25 \leq d_{1\phi} < 0,5$	$\beta_2 < \varphi \leq \beta_1$
	M_4	$0,5 \leq d_{1\phi} < 0,75$	$\beta_4 < \varphi \leq \beta_3$
R_4	M_1	$(d_{1\phi} < 0,25) \cup [0,25 \leq d_{1\phi} < 0,5]$	$(\beta_2 < \varphi \leq \beta_5) \cup [\beta_1 < \varphi \leq \beta_5]$
	M_2	$(0,5 \leq d_{1\phi} < 0,75) \cup [0,75 \leq d_{1\phi} < 1]$	$(\beta_3 < \varphi \leq \beta_5) \cup [\beta_4 < \varphi \leq \beta_5]$
	M_3	$(d_{1\phi} < 0,25) \cup [0,25 \leq d_{1\phi} < 0,5]$	$(\beta_2 < \varphi \leq \beta_5) \cup [\beta_1 < \varphi \leq \beta_5]$
	M_4	$(0,5 \leq d_{1\phi} < 0,75) \cup [0,75 \leq d_{1\phi} < 1]$	$(\beta_3 < \varphi \leq \beta_5) \cup [\beta_4 < \varphi \leq \beta_5]$

Fonte: o autor.

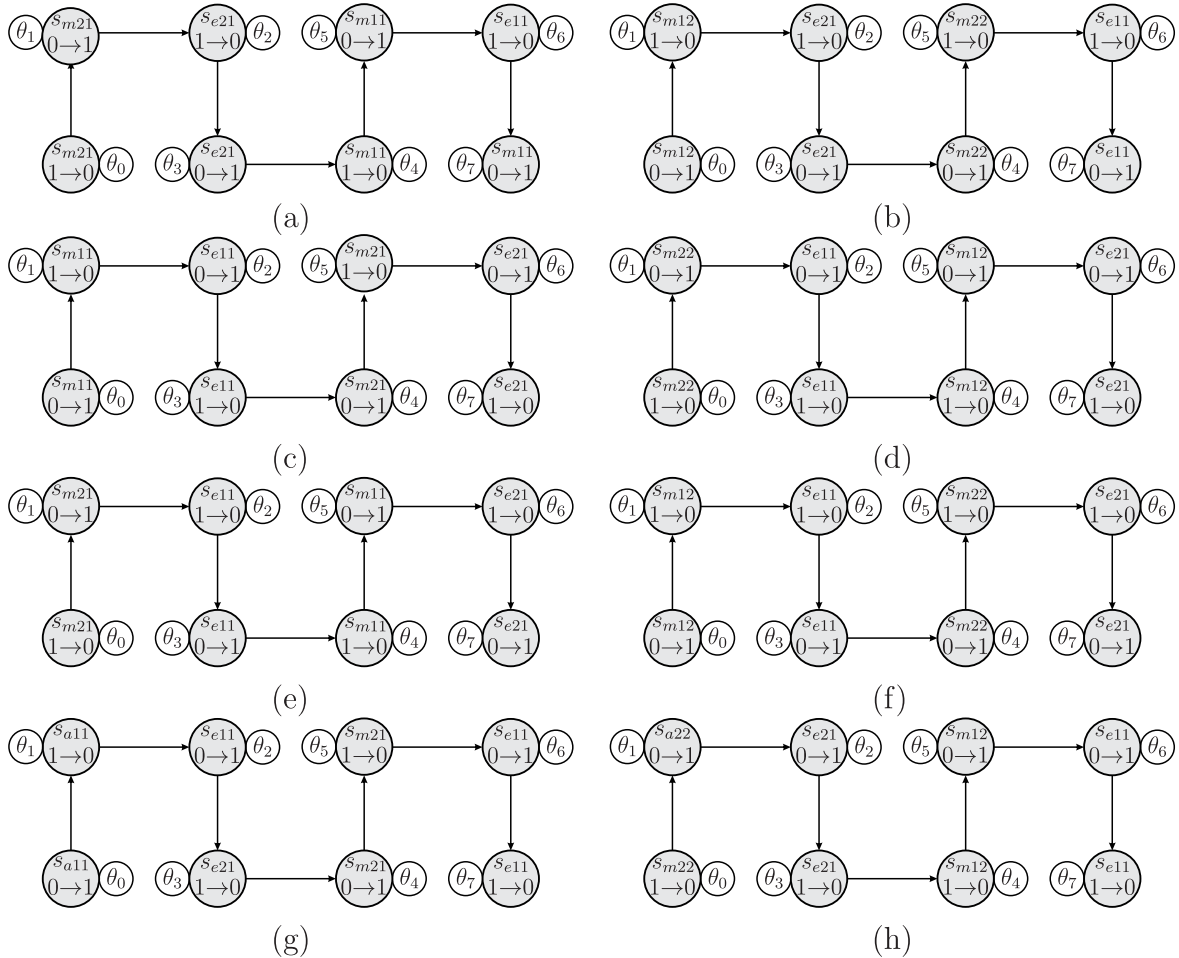
2.13.1.1 Análise da comutação em $R_1 - M_1, M_2, M_3, M_4$

A análise da comutação suave dos interruptores operando nas regiões $R_1 - M_y$, com $y = \{1, 2, 3, 4\}$, é dividido em dois intervalos: $m_m > 0$ e $m_m < 0$. Isso é decorrente das mudanças de interruptores que estão comutando num determinado instante, sendo necessário para tanto fazer a análise de forma particular para cada caso. Em suma, adota-se as configurações mostradas na Figura 62 para representação da comutação dos interruptores nessa região.

2.13.1.2 Análise da comutação em $R_2 - M_1, M_2, M_3, M_4$

A análise da comutação suave dos interruptores operando nas regiões $R_2 - M_y$, com $y = \{1, 2, 3, 4\}$, é dividido em dois intervalos: $m_m > 0$ e $m_m < 0$. As configurações mostradas na Figura 63 são adotadas para representação da comutação dos interruptores nessa região.

Figura 62 – Análise da comutação suave, considerando os instantes de chaveamento dos interruptores da topologia I2NDF1, nas regiões de operação: (a) $R_1 - M_1$ com $m_m > 0$; (b) $R_1 - M_1$ com $m_m < 0$; (c) $R_1 - M_2$ com $m_m > 0$; (d) $R_1 - M_2$ com $m_m < 0$; (e) $R_1 - M_3$ com $m_m > 0$; (f) $R_1 - M_3$ com $m_m < 0$; (g) $R_1 - M_4$ com $m_m > 0$ e (h) $R_1 - M_4$ com $m_m < 0$.



Fonte: o autor.

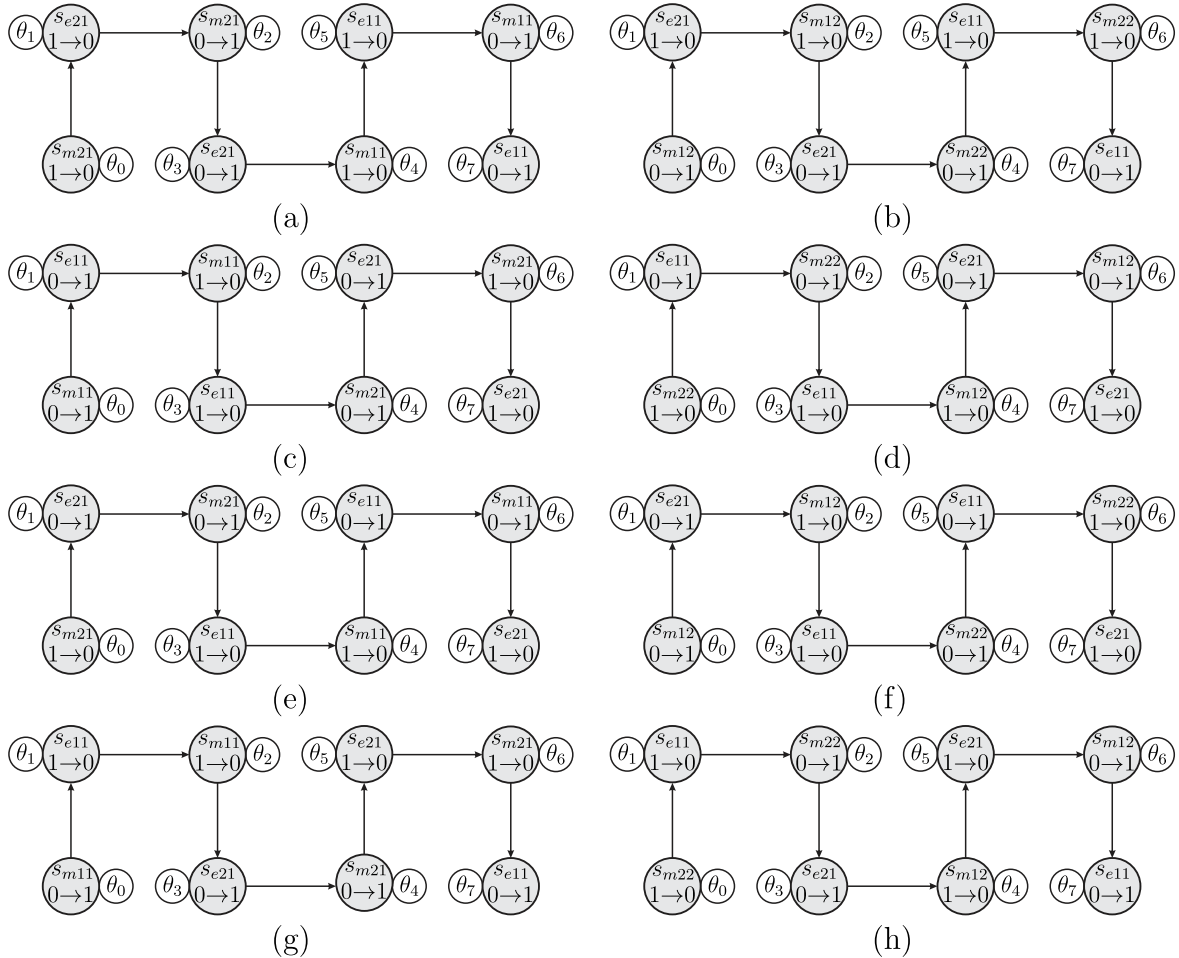
2.13.1.3 Análise da comutação em $R_3 - M_1, M_2, M_3, M_4$

A análise da comutação suave dos interruptores operando nas regiões $R_3 - M_y$, com $y = \{1, 2, 3, 4\}$, é dividido em dois intervalos: $m_m > 0$ e $m_m < 0$. As configurações ilustradas na Figura 64 são adotadas para representação da comutação dos interruptores operando nessa região.

2.13.1.4 Análise da comutação em $R_4 - M_1, M_2, M_3, M_4$

A análise da comutação suave dos interruptores operando nas regiões $R_4 - M_y$, com $y = \{1, 2, 3, 4\}$, é dividido em dois intervalos: $m_m > 0$ e $m_m < 0$. As configurações apresentadas na Figura 65 são adotadas para representação da comutação dos interruptores nessa região.

Figura 63 – Análise da comutação suave, considerando os instantes de chaveamento dos interruptores da topologia I2NDF1, nas regiões de operação: (a) $R_2 - M_1$ com $m_m > 0$; (b) $R_2 - M_1$ com $m_m < 0$; (c) $R_2 - M_2$ com $m_m > 0$; (d) $R_2 - M_2$ com $m_m < 0$; (e) $R_2 - M_3$ com $m_m > 0$; (f) $R_2 - M_3$ com $m_m < 0$; (g) $R_2 - M_4$ com $m_m > 0$ e (h) $R_2 - M_4$ com $m_m < 0$.



Fonte: o autor.

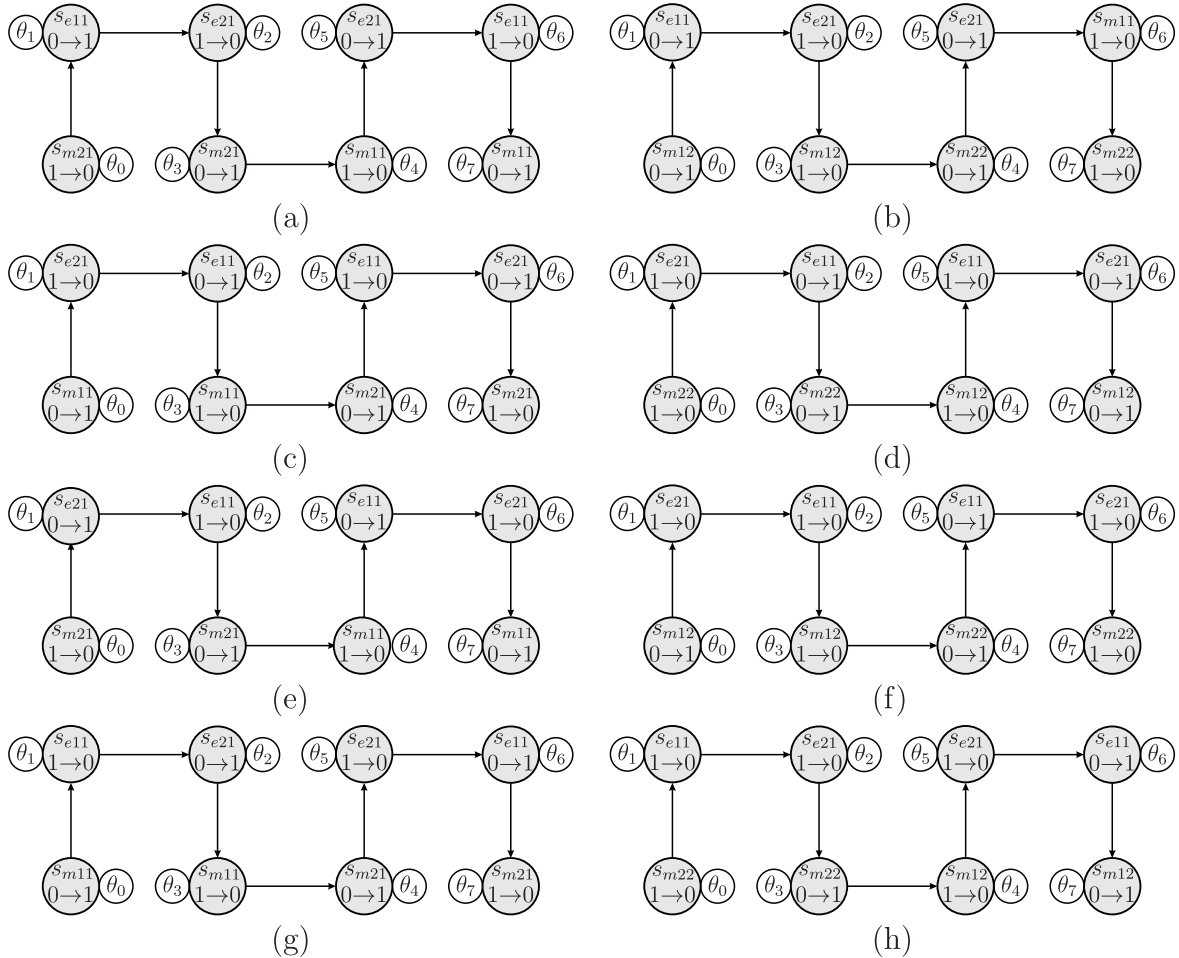
2.13.2 Curvas de Comutação Suave

Os gráficos das correntes nas chaves são plotados para caracterizar as regiões de comutação suave, almejando assim incrementar o rendimento da topologia I2NDF1.

2.13.2.1 Interruptores Q_{esp}

As chaves Q_{esp} possuem a curva de comutação mostrada na Figura 66, onde demonstra-se o sentido da corrente na transição do estado aberto para fechado ($0 \rightarrow 1$). Ocorre comutação suave ZVS em apenas uma área de operação.

Figura 64 – Análise da comutação suave, considerando os instantes de chaveamento dos interruptores da topologia I2NDF1, nas regiões de operação: (a) $R_3 - M_1$ com $m_m > 0$; (b) $R_3 - M_1$ com $m_m < 0$; (c) $R_3 - M_2$ com $m_m > 0$; (d) $R_3 - M_2$ com $m_m < 0$; (e) $R_3 - M_3$ com $m_m > 0$; (f) $R_3 - M_3$ com $m_m < 0$; (g) $R_3 - M_4$ com $m_m > 0$ e (h) $R_3 - M_4$ com $m_m < 0$.



Fonte: o autor.

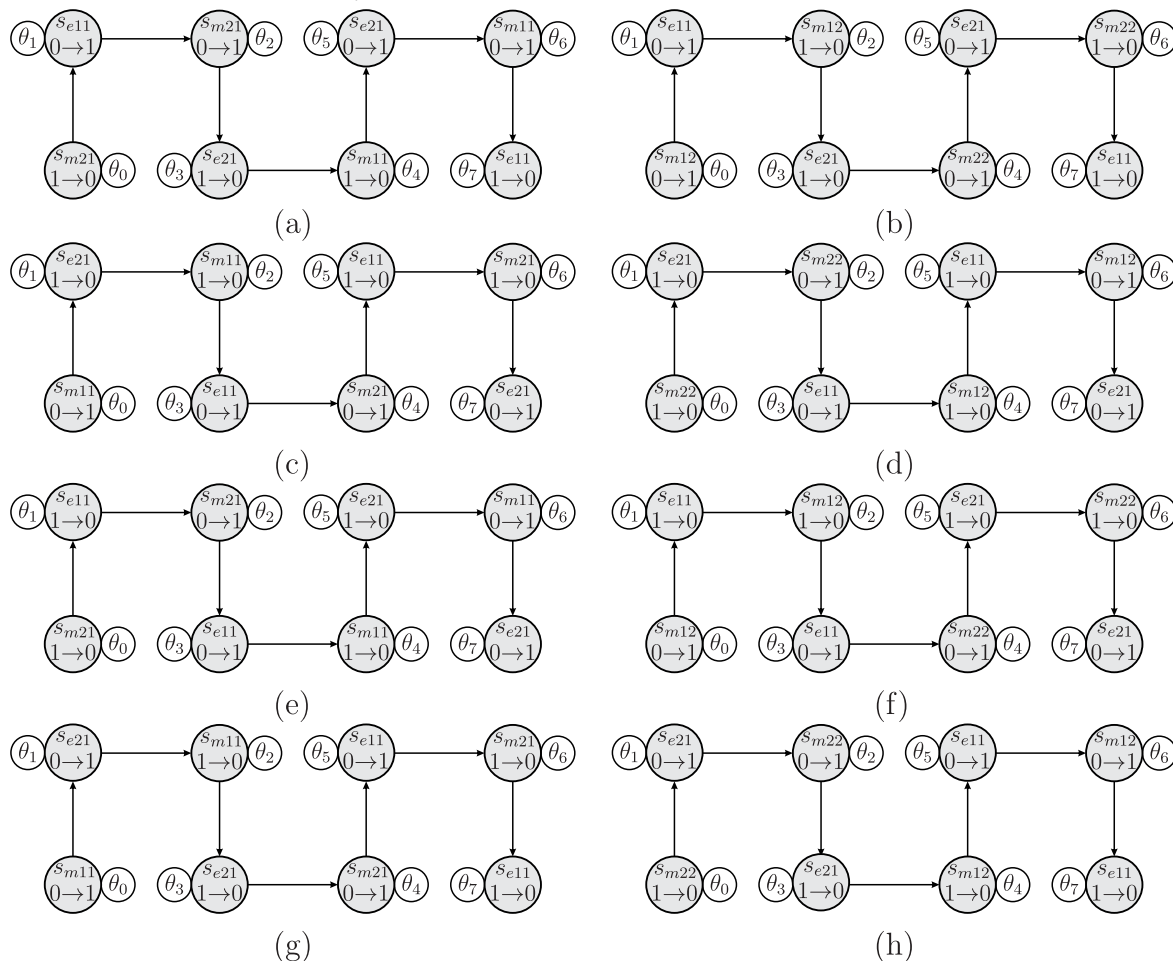
2.13.2.2 Interruptores Q_{isp}

A Figura 67 apresenta a curva de comutação suave para os interruptores Q_{isp} . Percebe-se claramente uma única área de operação em que ocorre comutação suave ZVS.

2.13.2.3 Interruptores Q_{ss}

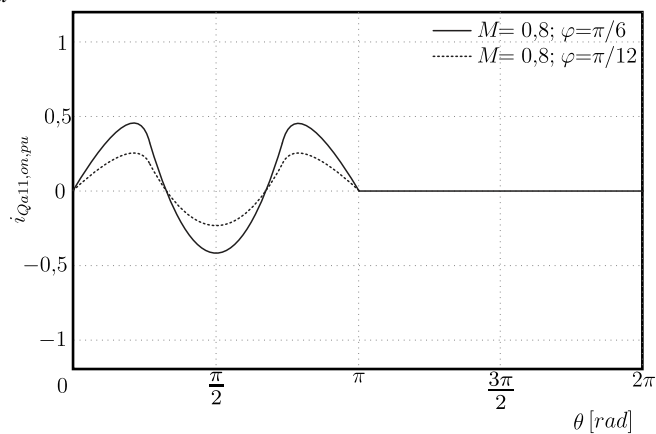
A curva de comutação suave é mostrado na Figura 68. Visualiza-se claramente que em toda a trajetória angular ocorre comutação suave ZVS.

Figura 65 – Análise da comutação suave, considerando os instantes de chaveamento dos interruptores da topologia I2NDF1, nas regiões de operação: (a) $R_4 - M_1$ com $m_m > 0$; (b) $R_4 - M_1$ com $m_m < 0$; (c) $R_4 - M_2$ com $m_m > 0$; (d) $R_4 - M_2$ com $m_m < 0$; (e) $R_4 - M_3$ com $m_m > 0$; (f) $R_4 - M_3$ com $m_m < 0$; (g) $R_4 - M_4$ com $m_m > 0$ e (h) $R_4 - M_4$ com $m_m < 0$.



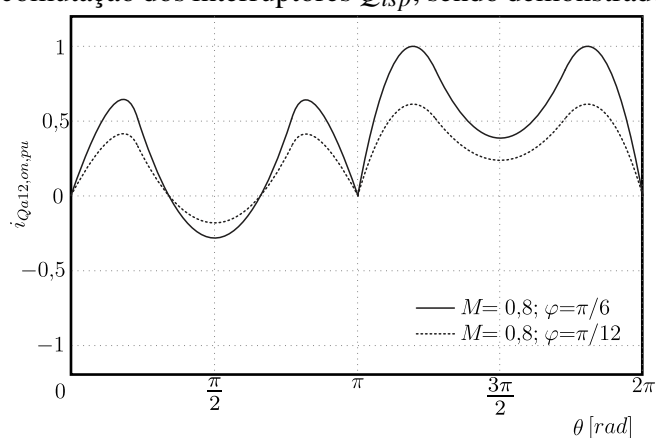
Fonte: o autor.

Figura 66 – Curva de comutação dos interruptores Q_{esp} , sendo demonstrado a corrente $i_{Qa11,on,pu}$.



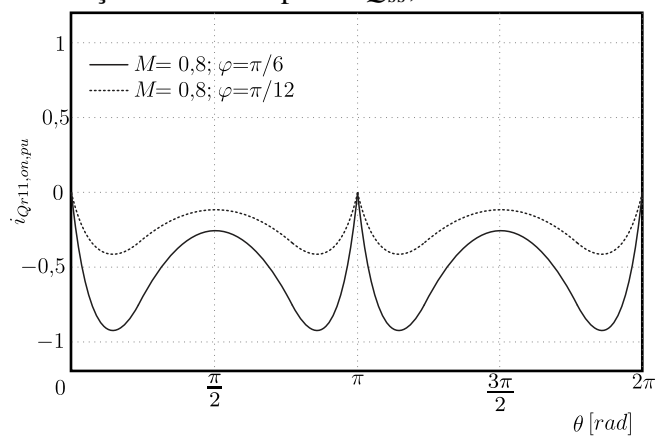
Fonte: o autor.

Figura 67 – Curva de comutação dos interruptores Q_{isp} , sendo demonstrado a corrente $i_{Qa12,on,pu}$.



Fonte: o autor.

Figura 68 – Curva de comutação dos interruptores Q_{ss} , sendo demonstrado a corrente $i_{Qr11,on,pu}$.

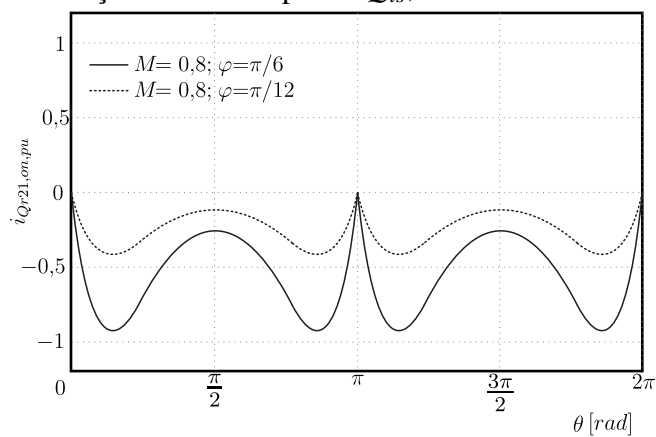


Fonte: o autor.

2.13.2.4 Interruptores Q_{is}

Os interruptores Q_{is} apresentam comutação suave ZVS em toda a trajetória angular para as condições mostradas na Figura 69.

Figura 69 – Curva de comutação dos interruptores Q_{is} , sendo demonstrado a corrente $i_{Qr21,on,pu}$.



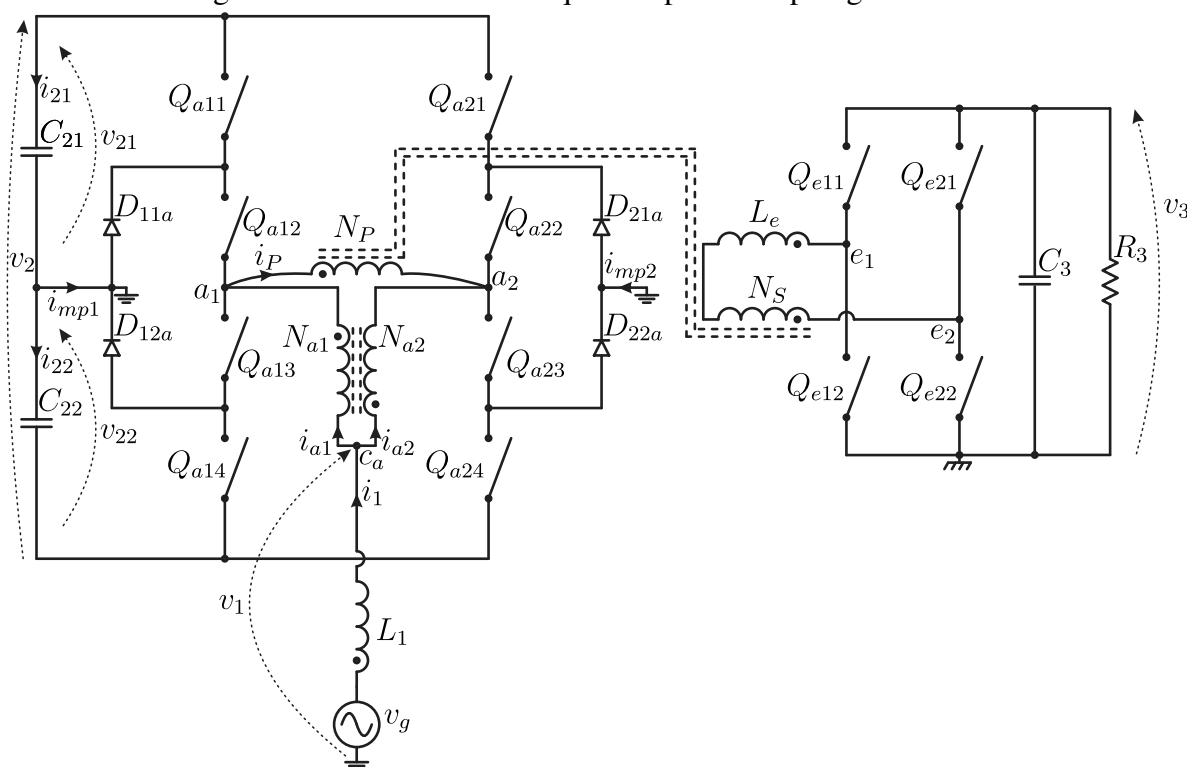
Fonte: o autor.

2.14 ANÁLISE DE PERDAS ELÉTRICAS

A análise de perdas elétricas do conversor I2NDF1 é de suma importância para determinar o seu rendimento. Além disso, é indispensável para a implementação física da topologia, visando sempre alta densidade de potência e alto rendimento.

Buscando generalizar o estudo, utiliza-se o modelo elétrico de chave genérica na estrutura do conversor I2NDF1, como é mostrado na Figura 70.

Figura 70 – Semicondutores que compõem a topologia I2NDF1.



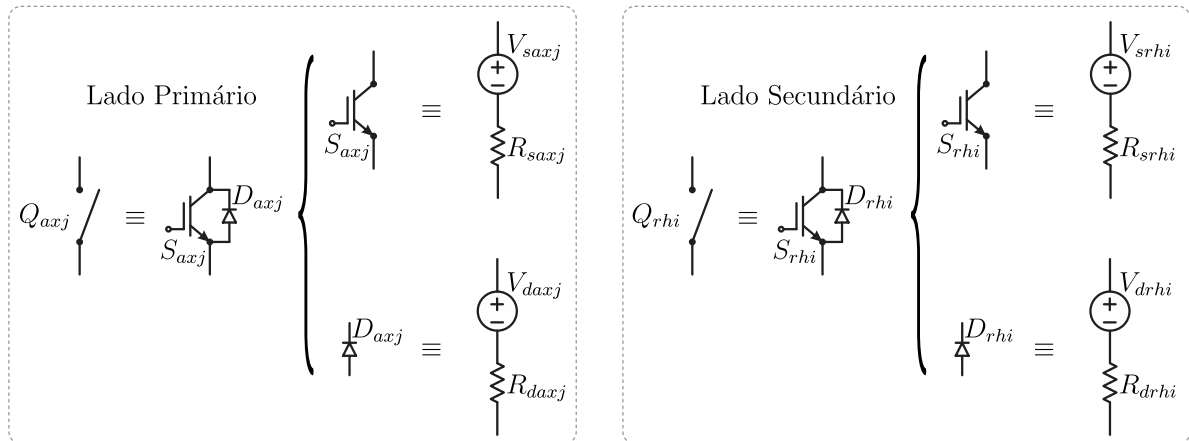
Fonte: o autor.

O modelo elétrico dos interruptores de potência no lado primário e secundário da topologia I2NDF1 é apresentado na Figura 71. Percebe-se claramente que é uma fonte de tensão ideal em série com uma resistência elétrica.

2.14.1 Esforços de Corrente nos Semicondutores

Os esforços de corrente nos semicondutores da topologia I2NDF1 são apresentados no decorrer desta seção. Para fins de análise, considera-se que $FP_g = 1$ e que a corrente i_1 e a função de modulação no lado primário, m_m , estão em fase. Outra consideração é que o ângulo de fase de m_m é nulo, ou seja, $\phi_{mm} = 0$. Além disso, em todas as análises teóricas o tempo morto

Figura 71 – Modelo das chaves de potência do conversor I2NDF1.



Fonte: o autor.

entre os interruptores é considerado nulo.

2.14.1.1 Interruptor Q_{a11}

O interruptor Q_{a11} é composto pela chave S_{a11} e o diodo D_{a11} , sendo assim necessário obter as expressões instantâneas para ambas.

Os valores instantâneos da corrente na chave S_{a11} , i_{Sa11} , e no diodo D_{a11} , i_{Da11} , são definidos pelas expressões (2.191) e (2.192), respectivamente.

$$i_{Sa11} = \begin{cases} 0, & \text{se } [(d_{a11} = 0)] \vee [(i_{m1} > 0) \wedge (d_{a11} = 1)] \vee \dots \\ \dots [(i_{m1} < 0) \wedge (i_{mp1} > 0) \wedge (d_{a11} = 1)], & \\ i_{m1}, & \text{se } [(i_{m1} < 0) \wedge (i_{mp1} = 0) \wedge (d_{a11} = 1)]. \end{cases} \quad (2.191)$$

$$i_{Da11} = \begin{cases} 0, & \text{se } [(d_{a11} = 0)] \vee [(i_{m1} < 0) \wedge (d_{a11} = 1)], \\ i_{m1}, & \text{se } [(i_{m1} > 0) \wedge (i_{mp1} = 0) \wedge (d_{a11} = 1)]. \end{cases} \quad (2.192)$$

Com os valores instantâneos obtidos, pode-se determinar o valor médio da corrente na chave S_{a11} , $i_{Sa11,avg}$ e no diodo D_{a11} , $i_{Da11,avg}$, através das equações (2.193) e (2.194), respectivamente.

$$I_{Sa11,avg} = \frac{1}{2\pi} \int_0^{\pi} \langle i_{Sa11} \rangle d\omega t \quad (2.193)$$

$$I_{Da11,avg} = \frac{1}{2\pi} \int_{\theta_{\lambda 2}}^{\theta_{\lambda 1}} \langle i_{Da11} \rangle d\theta = \frac{1}{2\pi} \int_{\pi - \sin^{-1}(\frac{1}{2M})}^{\sin^{-1}(\frac{1}{2M})} \langle i_{Da11} \rangle d\omega t \quad (2.194)$$

Assim como é possível também obter as expressões para o valor eficaz da corrente na chave S_{a11} , $i_{Sa11,rms}$ e no diodo D_{a11} , $i_{Da11,rms}$, resolvendo as equações (2.195) e (2.196), respectivamente.

$$I_{Sa11,rms} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} \langle i_{Sa11} \rangle^2 d\omega t} \quad (2.195)$$

$$I_{Da11,rms} = \sqrt{\frac{1}{2\pi} \int_{\theta_{\lambda 2}}^{\theta_{\lambda 1}} \langle i_{Da11} \rangle^2 d\theta} = \sqrt{\frac{1}{2\pi} \int_{\pi - \sin^{-1}(\frac{1}{2M})}^{\sin^{-1}(\frac{1}{2M})} \langle i_{Da11} \rangle^2 d\omega t} \quad (2.196)$$

2.14.1.2 Interruptor Q_{a12}

O interruptor Q_{a12} é composto pela chave S_{a12} e o diodo D_{a12} .

Os valores instantâneos da corrente na chave S_{a12} , i_{Sa12} , e no diodo D_{a12} , i_{Da12} , são obtidos através das equações (2.197) e (2.198), respectivamente.

$$i_{Sa12} = \begin{cases} 0, & \text{se } [(d_{a12} = 0)] \vee [(i_{m1} > 0) \wedge (d_{a12} = 1)], \\ i_{m1}, & \text{se } [(i_{m1} < 0) \wedge (d_{a12} = 1)]. \end{cases} \quad (2.197)$$

$$i_{Da12} = \begin{cases} 0, & \text{se } [(d_{a12} = 0)] \vee [(i_{m1} < 0) \wedge (d_{a12} = 1)], \\ i_{m1}, & \text{se } [(i_{m1} > 0) \wedge (d_{a11} = 1) \wedge (d_{a12} = 1)]. \end{cases} \quad (2.198)$$

Os valores médio, $i_{Sa12,avg}$, e eficaz, $i_{Sa12,rms}$, da corrente na chave S_{a12} são dados por (2.199) e (2.200), respectivamente.

$$I_{Sa12,avg} = \frac{1}{2\pi} \left[\int_0^{\pi} \langle i_{Sa12}^+ \rangle d\omega t + \int_{\pi}^{2\pi} \langle i_{Sa12}^- \rangle d\omega t \right] \quad (2.199)$$

$$I_{Sa12,rms} = \sqrt{\frac{1}{2\pi} \left[\int_0^{\pi} \langle i_{Sa12}^+ \rangle^2 d\omega t + \int_{\pi}^{2\pi} \langle i_{Sa12}^- \rangle^2 d\omega t \right]} \quad (2.200)$$

Em relação ao diodo D_{a12} , obtém-se os valores médio, $i_{Da12,avg}$, e eficaz, $i_{Da12,rms}$, da corrente nesse dispositivo através das equações (2.201) e (2.202), respectivamente.

$$I_{Da12,avg} = \frac{1}{2\pi} \int_{\theta_{\lambda 2}}^{\theta_{\lambda 1}} \langle i_{Da12} \rangle d\theta = \frac{1}{2\pi} \int_{\pi - \sin^{-1}(\frac{1}{2M})}^{\sin^{-1}(\frac{1}{2M})} \langle i_{Da12} \rangle d\omega t \quad (2.201)$$

$$I_{Da12,rms} = \sqrt{\frac{1}{2\pi} \int_{\theta_{\lambda 2}}^{\theta_{\lambda 1}} \langle i_{Da12} \rangle^2 d\theta} = \sqrt{\frac{1}{2\pi} \int_{\pi - \sin^{-1}(\frac{1}{2M})}^{\sin^{-1}(\frac{1}{2M})} \langle i_{Da12} \rangle^2 d\omega t} \quad (2.202)$$

2.14.1.3 Interruptor Q_{a13}

O interruptor Q_{a13} é composto pela chave S_{a13} e o diodo D_{a13} .

O valor instantâneo da corrente na chave S_{a13} , i_{Sa13} é dado por

$$i_{Sa13} = \begin{cases} 0, & \text{se } [(d_{a13} = 0)] \vee [(i_{m1} < 0) \wedge (d_{a13} = 1)], \\ i_{m1}, & \text{se } [(i_{m1} > 0) \wedge (d_{a13} = 1)]. \end{cases} \quad (2.203)$$

Já o valor instantâneo da corrente no diodo D_{a13} , i_{Da13} , é encontrado através da equação (2.204).

$$i_{Da13} = \begin{cases} 0, & \text{se } [(d_{a13} = 0)] \vee [(i_{m1} > 0) \wedge (d_{a13} = 1)], \\ i_{m1}, & \text{se } [(i_{m1} < 0) \wedge (d_{a12} = 0) \wedge (d_{a13} = 1)]. \end{cases} \quad (2.204)$$

O valor médio da corrente na chave S_{a13} é dado pela equação (2.205),

$$I_{Sa13,avg} = \frac{1}{2\pi} \left[\int_0^{\pi} \langle i_{Sa13}^+ \rangle d\omega t + \int_{\pi}^{2\pi} \langle i_{Sa13}^- \rangle d\omega t \right]. \quad (2.205)$$

Enquanto que o valor eficaz da corrente na chave S_{a13} é obtido através da equação (2.206),

$$I_{Sa13,rms} = \sqrt{\frac{1}{2\pi} \left[\int_0^{\pi} \langle i_{Sa13}^+ \rangle^2 d\omega t + \int_{\pi}^{2\pi} \langle i_{Sa13}^- \rangle^2 d\omega t \right]}. \quad (2.206)$$

Em relação ao diodo D_{a13} , obtém-se os valores médio, $i_{Da13,avg}$, e eficaz, $i_{Da13,rms}$, da corrente nesse semiconductor através das expressões (2.207) e (2.208), respectivamente.

$$I_{Da13,avg} = \frac{1}{2\pi} \int_{\theta_{\lambda 4}}^{\theta_{\lambda 5}} \langle i_{Da13} \rangle d\theta = \frac{1}{2\pi} \int_{\pi + \sin^{-1}(\frac{1}{2M})}^{2\pi - \sin^{-1}(\frac{1}{2M})} \langle i_{Da13} \rangle d\omega t \quad (2.207)$$

$$I_{Da13,rms} = \sqrt{\frac{1}{2\pi} \int_{\theta_{\lambda 4}}^{\theta_{\lambda 5}} \langle i_{Da13} \rangle^2 d\theta} = \sqrt{\frac{1}{2\pi} \int_{\pi + \sin^{-1}(\frac{1}{2M})}^{2\pi - \sin^{-1}(\frac{1}{2M})} \langle i_{Da13} \rangle^2 d\omega t} \quad (2.208)$$

2.14.1.4 Interruptor Q_{a14}

O interruptor Q_{a14} é composto pela chave S_{a14} e o diodo D_{a14} .

O valor instantâneo da corrente na chave S_{a14} , i_{Sa14} é encontrado através da equação (2.209).

$$i_{Sa14} = \begin{cases} 0, & \text{se } [(d_{a14} = 0)] \vee [(i_{m1} < 0) \wedge (d_{a14} = 1)], \\ i_{m1}, & \text{se } [(i_{m1} > 0) \wedge (d_{a11} = 0) \wedge (d_{a14} = 1)]. \end{cases} \quad (2.209)$$

O valor médio da corrente na chave S_{a14} é obtido pela equação (2.210),

$$I_{Sa14,avg} = \frac{1}{2\pi} \int_{\pi}^{2\pi} \langle i_{Sa14} \rangle d\omega t. \quad (2.210)$$

Enquanto que o valor eficaz da corrente na chave S_{a14} é obtido através da equação (2.211),

$$I_{Sa14,rms} = \sqrt{\frac{1}{2\pi} \int_{\pi}^{2\pi} \langle i_{Sa14} \rangle^2 d\omega t}. \quad (2.211)$$

Já o valor instantâneo da corrente no diodo D_{a14} , i_{Da14} , é obtido pela expressão (2.212).

$$i_{Da14} = \begin{cases} 0, & \text{se } [(d_{a14} = 0)] \vee [(i_{m1} > 0) \wedge (d_{a14} = 1)], \\ i_{m1}, & \text{se } [(i_{m1} < 0) \wedge (d_{a14} = 1)]. \end{cases} \quad (2.212)$$

O valor médio da corrente no diodo D_{a14} , $i_{Da14,avg}$, é dado pela equação (2.213).

$$I_{Da14,avg} = \frac{1}{2\pi} \int_{\theta_{\lambda 4}}^{\theta_{\lambda 5}} \langle i_{Da14} \rangle d\theta = \frac{1}{2\pi} \int_{\pi + \sin^{-1}(\frac{1}{2M})}^{2\pi - \sin^{-1}(\frac{1}{2M})} \langle i_{Da14} \rangle d\omega t \quad (2.213)$$

O valor eficaz da corrente no diodo D_{a14} , $i_{Da14,rms}$, é dado pela equação (2.214).

$$I_{Da14,rms} = \sqrt{\frac{1}{2\pi} \int_{\theta_{\lambda 2}}^{\theta_{\lambda 1}} \langle i_{Da14} \rangle^2 d\theta} = \sqrt{\frac{1}{2\pi} \int_{\pi + \sin^{-1}(\frac{1}{2M})}^{2\pi - \sin^{-1}(\frac{1}{2M})} \langle i_{Da14} \rangle^2 d\omega t} \quad (2.214)$$

2.14.1.5 Diodo D_{11a}

O valor instantâneo da corrente no diodo de grameamento D_{11a} é obtido pela equação (2.215).

$$i_{D11a} = \begin{cases} 0, & \text{se } [(i_{m1} > 0) \wedge (d_{a11} = 0) \wedge (d_{a12} = 1)], \\ -i_{m1}, & \text{se } [(i_{m1} < 0) \wedge (d_{a11} = 0) \wedge (d_{a12} = 1)]. \end{cases} \quad (2.215)$$

Através das expressões (2.216) e (2.217) são obtidos os valores médio, $i_{D11a,avg}$, e eficaz, $i_{D11a,rms}$, da corrente no diodo D_{11a} , respectivamente.

$$I_{D11a,avg} = \frac{1}{2\pi} \left[\int_0^{\sin^{-1}(\frac{1}{2M})} \langle i_{D11a}^{+1} \rangle d\omega t + \int_{\pi - \sin^{-1}(\frac{1}{2M})}^{\pi} \langle i_{D11a}^{+2} \rangle d\omega t + \int_{\pi}^{2\pi} \langle i_{D11a}^{-} \rangle d\omega t \right] \quad (2.216)$$

$$I_{D11a,rms} = \sqrt{\frac{1}{2\pi} \left[\int_0^{\sin^{-1}(\frac{1}{2M})} \langle i_{D11a}^{+1} \rangle^2 d\omega t + \int_{\pi - \sin^{-1}(\frac{1}{2M})}^{\pi} \langle i_{D11a}^{+2} \rangle^2 d\omega t + \int_{\pi}^{2\pi} \langle i_{D11a}^{-} \rangle^2 d\omega t \right]} \quad (2.217)$$

2.14.1.6 Diodo D_{12a}

O valor instantâneo da corrente no diodo de grampeamento D_{12a} é obtido pela equação (2.218).

$$i_{D12a} = \begin{cases} 0, & \text{se } [(i_{m1} < 0) \wedge (d_{a11} = 0) \wedge (d_{a12} = 1)], \\ i_{m1}, & \text{se } [(i_{m1} > 0) \wedge (d_{a11} = 0) \wedge (d_{a12} = 1)]. \end{cases} \quad (2.218)$$

Já o valor médio da corrente no diodo D_{12a} , $i_{D12a,avg}$, é dado pela expressão (2.219).

$$I_{D12a,avg} = \frac{1}{2\pi} \left[\int_0^{\pi} \langle i_{D12a}^+ \rangle d\omega t + \int_{\pi}^{\pi+\sin^{-1}(\frac{1}{2M})} \langle i_{D12a}^{-1} \rangle d\omega t + \int_{2\pi-\sin^{-1}(\frac{1}{2M})}^{\pi} \langle i_{D12a}^{-2} \rangle d\omega t \right] \quad (2.219)$$

Enquanto que o valor eficaz da corrente no diodo D_{12a} , $i_{D12a,rms}$, é encontrado pela equação (2.220).

$$I_{D12a,rms} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} \langle i_{D12a}^+ \rangle^2 d\omega t + \int_{\pi}^{\pi+\sin^{-1}(\frac{1}{2M})} \langle i_{D12a}^{-1} \rangle^2 d\omega t + \int_{2\pi-\sin^{-1}(\frac{1}{2M})}^{\pi} \langle i_{D12a}^{-2} \rangle^2 d\omega t} \quad (2.220)$$

2.14.1.7 Interruptor Q_{a21}

O interruptor Q_{a21} é composto pela chave S_{a21} e o diodo D_{a21} .

Os valores instantâneos da corrente na chave S_{a21} , i_{sa21} , e no diodo D_{a21} , i_{Da21} , são definidos pelas expressões (2.221) e (2.222), respectivamente.

$$i_{Sa21} = \begin{cases} 0, & \text{se } [(d_{a21} = 0) \vee [(i_{B2} > 0) \wedge (d_{a21} = 1)] \vee \dots \\ \dots [(i_{B2} < 0) \wedge (i_{mp1} > 0) \wedge (d_{a21} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} < 0) \wedge (i_{mp2} = 0) \wedge (d_{a21} = 1)]. \end{cases} \quad (2.221)$$

$$i_{Da21} = \begin{cases} 0, & \text{se } [(d_{a21} = 0) \vee [(i_{B2} < 0) \wedge (d_{a21} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} > 0) \wedge (i_{mp2} = 0) \wedge (d_{a21} = 1)]. \end{cases} \quad (2.222)$$

Com os valores instantâneos obtidos, pode-se determinar o valor médio da corrente na chave S_{a21} , $i_{Sa21,avg}$ e no diodo D_{a21} , $i_{Da21,avg}$, através das equações (2.223) e (2.224), respectivamente.

$$i_{sa11,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{sa11} d\omega t \quad (2.223)$$

$$i_{da11,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{da11} d\omega t \quad (2.224)$$

Assim como é possível também obter as expressões para o valor eficaz da corrente na chave S_{a11} , $i_{sa11,rms}$ e no diodo D_{a11} , $i_{da11,rms}$, resolvendo as equações (2.225) e (2.226), respectivamente.

$$i_{sa11,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{sa11})^2 d\omega t} \quad (2.225)$$

$$i_{da11,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{da11})^2 d\omega t} \quad (2.226)$$

2.14.1.8 Interruptor Q_{a22}

O interruptor Q_{a22} é composto pela chave S_{a22} e o diodo D_{a22} .

Os valores instantâneos da corrente na chave S_{a22} , i_{sa22} , e no diodo D_{a22} , i_{da22} , são obtidos através das equações (2.227) e (2.228), respectivamente.

$$i_{sa22} = \begin{cases} 0, & \text{se } [(d_{a22} = 0)] \vee [(i_{B2} > 0) \wedge (d_{a22} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} < 0) \wedge (d_{a22} = 1)]. \end{cases} \quad (2.227)$$

$$i_{da22} = \begin{cases} 0, & \text{se } [(d_{a22} = 0)] \vee [(i_{B2} < 0) \wedge (d_{a22} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} > 0) \wedge (d_{a21} = 1) \wedge (d_{a22} = 1)]. \end{cases} \quad (2.228)$$

Os valores médio, $i_{sa22,avg}$, e eficaz, $i_{sa22,rms}$, da corrente na chave S_{a22} são dados por (2.229) e (2.230), respectivamente.

$$i_{sa22,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{sa22} d\omega t \quad (2.229)$$

$$i_{sa22,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{sa22})^2 d\omega t} \quad (2.230)$$

Em relação ao diodo D_{a22} , obtém-se os valores médio, $i_{da22,avg}$, e eficaz, $i_{da22,rms}$, da corrente nesse dispositivo através das equações (2.231) e (2.232), respectivamente.

$$i_{da22,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{da22} d\omega t \quad (2.231)$$

$$i_{da22,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{da22})^2 d\omega t} \quad (2.232)$$

2.14.1.9 Interruptor Q_{a23}

O interruptor Q_{a23} é composto pela chave S_{a23} e o diodo D_{a23} .

O valor instantâneo da corrente na chave S_{a23} , i_{sa23} é dado por

$$i_{sa23} = \begin{cases} 0, & \text{se } [(d_{a23} = 0)] \vee [(i_{B2} < 0) \wedge (d_{a23} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} > 0) \wedge (d_{a23} = 1)]. \end{cases} \quad (2.233)$$

Já o valor instantâneo da corrente no diodo D_{a23} , i_{da23} , é encontrado através de

$$i_{da23} = \begin{cases} 0, & \text{se } [(d_{a23} = 0)] \vee [(i_{B2} > 0) \wedge (d_{a23} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} < 0) \wedge (d_{a22} = 0) \wedge (d_{a23} = 1)]. \end{cases} \quad (2.234)$$

O valor médio da corrente na chave S_{a23} é dado pela equação (2.235),

$$i_{sa23,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{sa23} d\omega t. \quad (2.235)$$

Enquanto que o valor eficaz da corrente na chave S_{a23} é obtido através da equação (2.236),

$$i_{sa23,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{sa23})^2 d\omega t}. \quad (2.236)$$

Em relação ao diodo D_{a23} , obtém-se os valores médio, $i_{da23,avg}$, e eficaz, $i_{da23,rms}$, da corrente nesse semicondutor através das expressões (2.237) e (2.238), respectivamente.

$$i_{da23,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{da23} d\omega t \quad (2.237)$$

$$i_{da23,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{da23})^2 d\omega t} \quad (2.238)$$

2.14.1.10 Interruptor Q_{a24}

O interruptor Q_{a24} é composto pela chave S_{a24} e o diodo D_{a24} .

O valor instantâneo da corrente na chave S_{a24} , i_{sa24} é encontrado através da equação (2.239).

$$i_{sa24} = \begin{cases} 0, & \text{se } [(d_{a24} = 0)] \vee [(i_{B2} < 0) \wedge (d_{a24} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} > 0) \wedge (d_{a21} = 0) \wedge (d_{a24} = 1)]. \end{cases} \quad (2.239)$$

O valor médio da corrente na chave S_{a13} é obtido pela equação (2.240),

$$i_{sa24,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{sa24} d\omega t. \quad (2.240)$$

Enquanto que o valor eficaz da corrente na chave S_{a13} é obtido através da equação (2.241),

$$i_{sa24,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{sa24})^2 d\omega t}. \quad (2.241)$$

Já o valor instantâneo da corrente no diodo D_{a24} , i_{da24} , é obtido pela expressão (2.242).

$$i_{da24} = \begin{cases} 0, & \text{se } [(d_{a24} = 0)] \vee [(i_{B2} > 0) \wedge (d_{a24} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} < 0) \wedge (d_{a24} = 1)]. \end{cases} \quad (2.242)$$

O valor médio da corrente no diodo D_{a24} , $i_{da24,avg}$, é dado pela equação (2.243).

$$i_{da24,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{da24} d\omega t \quad (2.243)$$

O valor eficaz da corrente no diodo D_{a24} , $i_{da24,rms}$, é dado pela equação (2.244).

$$i_{da24,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{da24})^2 d\omega t} \quad (2.244)$$

2.14.1.11 Diodo D_{21a}

O valor instantâneo da corrente no diodo de grameamento D_{11a} é obtido pela equação (2.245).

$$i_{d21a} = \begin{cases} 0, & \text{se } [(i_{B2} > 0) \wedge (d_{a21} = 0) \wedge (d_{a22} = 1)], \\ -i_{B2}, & \text{se } [(i_{B2} < 0) \wedge (d_{a21} = 0) \wedge (d_{a22} = 1)]. \end{cases} \quad (2.245)$$

Através das expressões (2.246) e (2.247) são obtidos os valores médio, $i_{d21a,avg}$, e eficaz, $i_{d21a,rms}$, da corrente no diodo D_{21a} , respectivamente.

$$i_{d21a,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{d21a} d\omega t \quad (2.246)$$

$$i_{d21a,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{d21a})^2 d\omega t} \quad (2.247)$$

2.14.1.12 Diodo D_{22a}

O valor instantâneo da corrente no diodo de grampeamento D_{22a} é obtido pela equação (2.248).

$$i_{d22a} = \begin{cases} 0, & \text{se } [(i_{B2} < 0) \wedge (d_{a21} = 0) \wedge (d_{a22} = 1)], \\ i_{B2}, & \text{se } [(i_{B2} > 0) \wedge (d_{a21} = 0) \wedge (d_{a22} = 1)]. \end{cases} \quad (2.248)$$

Já o valor médio da corrente no diodo D_{22a} , $i_{d22a,avg}$, é dado pela expressão (2.249).

$$i_{d22a,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{d22a} d\omega t \quad (2.249)$$

Enquanto que o valor eficaz da corrente no diodo D_{22a} , $i_{d22a,rms}$, é encontrado pela equação (2.250).

$$i_{d22a,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{d22a})^2 d\omega t} \quad (2.250)$$

2.14.1.13 Interruptor Q_{r11}

O interruptor Q_{r11} é composto pela chave S_{r11} e o diodo D_{r11} .

O valor instantâneo da corrente na chave S_{r11} , i_{sr11} é dado por

$$i_{sr11} = \begin{cases} 0, & \text{se } [(d_{r11} = 0)] \vee [(i_S > 0) \wedge (d_{r11} = 1)], \\ i_S, & \text{se } [(i_S < 0) \wedge (d_{r11} = 1)]. \end{cases} \quad (2.251)$$

Já o valor instantâneo da corrente no diodo D_{a13} , i_{da13} , é encontrado através de

$$i_{da12} = \begin{cases} 0, & \text{se } [(i_S < 0) \wedge (d_{r11} = 1)], \\ i_S, & \text{se } [(i_S > 0) \wedge (d_{r11} = 1)]. \end{cases} \quad (2.252)$$

O valor médio da corrente na chave S_{r11} é dado pela equação (2.253),

$$i_{sr11,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{sr11} d\omega t. \quad (2.253)$$

Enquanto que o valor eficaz da corrente na chave S_{r11} é obtido através da equação (2.254),

$$i_{sr11,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{sr11})^2 d\omega t}. \quad (2.254)$$

Em relação ao diodo D_{r11} , obtém-se os valores médio, $i_{dr11,avg}$, e eficaz, $i_{dr11,rms}$, da corrente nesse semicondutor através das expressões (2.255) e (2.256), respectivamente.

$$i_{dr11,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{dr11} d\omega t \quad (2.255)$$

$$i_{dr11,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{dr11})^2 d\omega t} \quad (2.256)$$

2.14.1.14 Interruptor Q_{r12}

O interruptor Q_{r12} é composto pela chave S_{r12} e o diodo D_{r12} .

O valor instantâneo da corrente na chave S_{r12} , i_{sr12} é encontrado através da equação (2.257).

$$i_{sr12} = \begin{cases} 0, & \text{se } [(d_{r12} = 0)] \vee [(i_S < 0) \wedge (d_{r12} = 1)], \\ i_S, & \text{se } [(i_S > 0) \wedge (d_{r12} = 1)]. \end{cases} \quad (2.257)$$

O valor médio da corrente na chave S_{r12} é obtido pela equação (2.258),

$$i_{sr12,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{sr12} d\omega t. \quad (2.258)$$

Enquanto que o valor eficaz da corrente na chave S_{r12} é obtido através da equação (2.259),

$$i_{sr12,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{sr12})^2 d\omega t}. \quad (2.259)$$

Já o valor instantâneo da corrente no diodo D_{r12} , i_{dr12} , é obtido pela expressão (2.260).

$$i_{da14} = \begin{cases} 0, & \text{se } [(i_S > 0) \wedge (d_{r12} = 1)], \\ i_S, & \text{se } [(i_S < 0) \wedge (d_{r12} = 1)]. \end{cases} \quad (2.260)$$

O valor médio da corrente no diodo D_{r12} , $i_{dr12,avg}$, é dado pela equação (2.261).

$$i_{dr12,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{dr12} d\omega t \quad (2.261)$$

O valor eficaz da corrente no diodo D_{r12} , $i_{dr12,rms}$, é dado pela equação (2.262).

$$i_{dr12,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{dr12})^2 d\omega t} \quad (2.262)$$

2.14.1.15 Interruptor Q_{r21}

O interruptor Q_{r21} é composto pela chave S_{r21} e o diodo D_{r21} .

Os valores instantâneos da corrente na chave S_{r21} , i_{sr21} , e no diodo D_{r21} , i_{dr21} , são obtidos através das equações (2.263) e (2.264), respectivamente.

$$i_{sr21} = \begin{cases} 0, & \text{se } [(d_{r21} = 0)] \vee [(i_S < 0) \wedge (d_{r21} = 1)], \\ i_S, & \text{se } [(i_S > 0) \wedge (d_{r21} = 1)]. \end{cases} \quad (2.263)$$

$$i_{dr21} = \begin{cases} 0, & \text{se } [(i_S > 0) \wedge (d_{r21} = 1)], \\ i_S, & \text{se } [(i_S < 0) \wedge (d_{r21} = 1)]. \end{cases} \quad (2.264)$$

Os valores médio, $i_{sr21,avg}$, e eficaz, $i_{sr21,rms}$, da corrente na chave S_{r21} são dados por (2.265) e (2.266), respectivamente.

$$i_{sr21,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{sr21} d\omega t \quad (2.265)$$

$$i_{sr21,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{sr21})^2 d\omega t} \quad (2.266)$$

Em relação ao diodo D_{r21} , obtém-se os valores médio, $i_{dr21,avg}$, e eficaz, $i_{dr21,rms}$, da corrente nesse dispositivo através das equações (2.267) e (2.268), respectivamente.

$$i_{dr21,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{dr21} d\omega t \quad (2.267)$$

$$i_{dr21,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{dr21})^2 d\omega t} \quad (2.268)$$

2.14.1.16 Interruptor Q_{r22}

O interruptor Q_{r22} é composto pela chave S_{r22} e o diodo D_{r22} .

Os valores instantâneos da corrente na chave S_{r22} , i_{sr22} , e no diodo D_{r22} , i_{dr22} , são definidos pelas expressões (2.269) e (2.270), respectivamente.

$$i_{sr22} = \begin{cases} 0, & \text{se } [(d_{r22} = 0)] \vee [(i_S > 0) \wedge (d_{r22} = 1)], \\ i_S, & \text{se } [(i_S < 0) \wedge (d_{r22} = 1)]. \end{cases} \quad (2.269)$$

$$i_{dr22} = \begin{cases} 0, & \text{se } [(i_S < 0) \wedge (d_{r22} = 1)], \\ i_S, & \text{se } [(i_S > 0) \wedge (d_{r22} = 1)]. \end{cases} \quad (2.270)$$

Com os valores instantâneos obtidos, pode-se determinar o valor médio da corrente na chave S_{r22} , $i_{sr22,avg}$ e no diodo D_{r22} , $i_{dr22,avg}$, através das equações (2.271) e (2.272), respectivamente.

$$i_{sr22,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{sr22} d\omega t \quad (2.271)$$

$$i_{dr22,avg} = \frac{1}{2\pi} \int_0^{2\pi} i_{dr22} d\omega t \quad (2.272)$$

Assim como é possível também obter as expressões para o valor eficaz da corrente na chave S_{r22} , $i_{sr22,rms}$ e no diodo D_{r22} , $i_{dr22,rms}$, resolvendo as equações (2.273) e (2.274), respectivamente.

$$i_{sr22,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{sr22})^2 d\omega t} \quad (2.273)$$

$$i_{dr22,rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_{dr22})^2 d\omega t} \quad (2.274)$$

2.14.2 Esforços de Tensão nos Semicondutores

Os esforços de tensão nos semicondutores da topologia I2NDF1 são apresentados no decorrer desta seção. A análise é conduzida em situação ideal, mas no caso prático deve-se levar em consideração a ondulação de tensão nos elementos capacitivos das portas 2 e 3.

2.14.2.1 Lado primário da topologia I2NDF1

Os interruptores no lado primário da topologia I2NDF1 apresentam as tensões máximas dada pela expressão (2.275).

$$V_{xy,max} = \frac{V_2}{2} \quad (2.275)$$

Os diodos também apresentam a mesma tensão máxima dos interruptores, conforme (2.276).

$$V_{xxa,max} = \frac{V_2}{2} \quad (2.276)$$

2.14.2.2 Lado secundário da topologia I2NDF1

Em relação ao lado secundário, o valor máximo que os semicondutores estão expostos é dado pela equação (2.277).

$$V_{ahi,max} = V_3 \quad (2.277)$$

2.14.3 Perdas Elétricas por Condução (P_{con})

Considerando uma chave genérica Q_g , modelada por uma fonte de tensão ideal (V_{qg}) em série com uma resistência elétrica (R_{qg}), é possível determinar as perdas por condução quando a mesma está conduzindo uma corrente genérica i_{qg} . A potência elétrica instantânea dissipada pela chave é dada pela equação (2.278).

$$p_{qg}(t) = V_{qg}i_{qg}(t) + R_{qg}i_{qg}(t)^2 \quad (2.278)$$

Para determinar a potência média dissipada pela chave dentro de um período aplica-se as definições na equação (2.278), obtendo assim a expressão (2.279).

$$P_{qg} = \frac{V_{qg}}{T} \int_0^T i_{qg}(t) dt + \frac{R_{qg}}{T} \int_0^T (i_{qg}(t))^2 dt \quad (2.279)$$

Simplificando a equação (2.279), obtém-se (2.280). Sendo possível assim determinar as perdas por condução numa chave qualquer, apenas é necessário conhecer os parâmetros V_{qg} e R_{qg} do modelo da chave. Além é claro dos valores médio e eficaz da corrente nos interruptores.

$$P_{qg} = V_{qg}I_{qg,avg} + R_{qg}I_{qg,rms}^2 \quad (2.280)$$

2.14.3.1 Lado primário do conversor I2NDF1

O lado primário do conversor I2NDF1 apresenta dois submódulos NPC-3L, sendo que cada NPC-3L possui quatro chaves bidirecionais em corrente de tecnologia IGBT, podendo também ser adotado o *Metal Oxide Semiconductor Field Effect* (MOSFET), caso necessário. Além de dois diodos para grampeamento da tensão.

A perda por condução numa chave do braço 1 ou 2 da topologia I2NDF1 é definida por,

$$P_{con,saxy} = V_{saxy}I_{saxy,avg} + R_{saxy}I_{saxy,rms}^2, \quad (2.281)$$

onde $x \in \{1, 2\}$ e $y \in \{1, 2, 3, 4\}$.

Já a perda por condução no diodo em antiparalelo dos interruptores do braço 1 ou 2 do conversor I2NDF1 é dada pela equação (2.282).

$$P_{con,daxy} = V_{daxy}I_{daxy,avg} + R_{daxy}I_{daxy,rms}^2 \quad (2.282)$$

Em relação ao diodo de grampeamento, a perda por condução é obtida através da equação (2.283).

$$P_{con,dxxa} = V_{dxxa}I_{dxxa,avg} + R_{dxxa}I_{dxxa,rms}^2 \quad (2.283)$$

Considerando apenas o braço 1 (B_{m1}) da topologia, pode-se encontrar as perdas por condução através da equação (2.284).

$$P_{con,bm1} = \left[\sum_{y=1}^4 (P_{con,sa1y} + P_{con,da1y}) \right] + \left[\sum_{x=1}^2 P_{con,d1xa} \right] \quad (2.284)$$

Já no braço 2 (B_{m2}) da topologia, as perdas por condução é encontrada pela expressão (2.285).

$$P_{con,bm2} = \left[\sum_{y=1}^4 (P_{con,sa2y} + P_{con,da2y}) \right] + \left[\sum_{x=1}^2 P_{con,d2xa} \right] \quad (2.285)$$

Por último, obtém-se as perdas por condução no lado primário da topologia I2NDF1, conforme a equação (2.286).

$$P_{con,lp} = P_{con,bm1} + P_{con,bm2} \quad (2.286)$$

Expandindo a equação (2.286), pode-se obter a expressão (2.287).

$$P_{con,lp} = \left[\sum_{y=1}^4 (P_{con,sa1y} + P_{con,da1y} + P_{con,sa2y} + P_{con,da2y}) \right] + \left[\sum_{x=1}^2 (P_{con,d1xa} + P_{con,d2xa}) \right] \quad (2.287)$$

2.14.3.2 Lado secundário do conversor I2NDF1

O lado secundário da topologia é composto por um submódulo FB monofásico. Para tanto, as perdas por condução são obtidas através da equação (2.288).

$$P_{con,ls} = \left[\sum_{i=1}^2 (P_{con,sr1i} + P_{con,dr1i} + P_{con,sr2i} + P_{con,dr2i}) \right] \quad (2.288)$$

Onde $i \in \{1, 2\}$.

2.14.4 Perdas Elétricas por Comutação (P_{sw})

O cálculo das perdas por comutação é obtido através dos dados de energia na comutação dos interruptores, sendo que os dados estão contidos nos *datasheet* (folha de dados) dos fabricantes dos componentes. Visando a obtenção de maior fidelidade nos resultados, pode-se realizar ensaios para encontrar curvas mais próximas da realidade.

A metodologia adotada neste trabalho envolve as energias de comutação ($E_{sw,on}$ e $E_{sw,off}$). Com os valores numéricos envolvidos, obtém-se uma função polinomial de segunda ordem, permitindo assim encontrar outros pontos de operação para as energias de comutação.

2.14.4.1 Lado primário do conversor I2NDF1

De forma genérica, as energias de comutação para a entrada em condução, $E_{sw,on,saxy}$, e em bloqueio, $E_{sw,off,saxy}$, das chaves no lado primário do conversor I2NDF1 são dadas pelas equações (2.289) e (2.290).

$$E_{sw,on,saxy} = k_{0p,on} + k_{1p,on}i_{saxy} + k_{2p,on}i_{saxy}^2 \quad (2.289)$$

$$E_{sw,off,saxy} = k_{0p,off} + k_{1p,off}i_{saxy} + k_{2p,off}i_{saxy}^2 \quad (2.290)$$

As perdas por comutação dos interruptores, tanto na entrada em condução ($P_{sw,on,saxy}$) como bloqueio ($P_{sw,off,saxy}$), no lado primário da topologia I2NDF1 podem ser calculadas através

das expressões (2.291) e (2.292).

$$P_{sw,on,saxy} = \frac{1}{2\pi} \int_0^{2\pi} E_{sw,on,saxy} d\theta \quad (2.291)$$

$$P_{sw,off,saxy} = \frac{1}{2\pi} \int_0^{2\pi} E_{sw,off,saxy} d\theta \quad (2.292)$$

As perdas por comutação no braço 1 do conversor I2NDF1 são encontradas pela equação (2.293).

$$P_{sw,bm1} = \sum_{y=1}^4 P_{sw,on,sa1y} \quad (2.293)$$

Já no braço 2, pode-se obter as perdas por comutação através da equação (2.294).

$$P_{sw,bm2} = \sum_{y=1}^4 P_{sw,on,sa2y} \quad (2.294)$$

As perdas totais por comutação no lado primário da topologia I2NDF1 é obtida pela expressão (2.295).

$$P_{sw,lp} = P_{sw,bm1} + P_{sw,bm2} = \sum_{y=1}^4 (P_{sw,on,sa1y} + P_{sw,off,sa2y}) \quad (2.295)$$

2.14.4.2 Lado secundário do conversor I2NDF1

As energias de comutação para a entrada em condução, $E_{sw,on,srhi}$, e em bloqueio, $E_{sw,off,srhi}$, das chaves no lado secundário do conversor I2NDF1 são dadas pelas equações (2.296) e (2.297).

$$E_{sw,on,srhi} = k_{0s,on} + k_{1s,on} i_{srhi} + k_{2s,on} i_{srhi}^2 \quad (2.296)$$

$$E_{sw,off,srhi} = k_{0s,off} + k_{1s,off} i_{srhi} + k_{2s,off} i_{srhi}^2 \quad (2.297)$$

As perdas por comutação dos interruptores, tanto na entrada em condução ($P_{sw,on,srhi}$) como bloqueio ($P_{sw,off,srhi}$), no lado secundário da topologia I2NDF1 podem ser calculadas através das expressões (2.298) e (2.299).

$$P_{sw,on,srhi} = \frac{1}{2\pi} \int_0^{2\pi} E_{sw,on,srhi} d\theta \quad (2.298)$$

$$P_{sw,off,srhi} = \frac{1}{2\pi} \int_0^{2\pi} E_{sw,off,srhi} d\theta \quad (2.299)$$

Onde $h \in \{1, 2\}$ e $i \in \{1, 2\}$.

As perdas totais por comutação no lado secundário da topologia I2NDF1 é obtida pela expressão (2.300).

$$P_{sw,ls} = \sum_{i=1}^2 (P_{sw,on,sr1i} + P_{sw,off,sr1i} + P_{sw,on,sr2i} + P_{sw,off,sr2i}) \quad (2.300)$$

3 RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS EM I2NDF1

Neste capítulo serão apresentados os resultados de simulações, Seção 3.1, e experimentais, Seção 3.2, para validação dos estudos teóricos. Em ambos são mostrados os resultados em regime permanente, dinâmico e o ensaio bidirecional. Além disso, uma análise de desempenho é desenvolvida em 3.2.5.

3.1 Resultados de Simulação em I2NDF1

3.1.1 Descrição do Circuito de Simulação

O circuito elétrico da topologia I2NDF1, utilizado para obtenção dos resultados de simulação, é mostrado no Apêndice A. O código em C aplicado no DSP e no bloco *EPWM* na simulação são apresentados nos Apêndices B e C, respectivamente.

As especificações e os parâmetros assumidos para projeto do conversor I2NDF1 são apresentados nas Tabelas 7 e 8, respectivamente. Com base nesses dados, obteve-se os componentes do circuito de potência utilizados na simulação do conversor I2NDF1, conforme Tabela 9. O *script* para projeto dos controladores do circuito de simulação é mostrado no Apêndice D.

Tabela 7 – Especificações de projeto do conversor I2NDF1 para simulação.

Tensão na rede elétrica, $V_{g,rms}$	220 V
Frequência na rede elétrica, f_g	60 Hz
Tensão na porta II, V_2	700 V
Tensão na porta III, V_3	380 V
Potência na porta III, P_3	1,5 kW

Fonte: o autor.

Tabela 8 – Parâmetros assumidos para projeto do conversor I2NDF1.

Ângulo <i>phase shift</i> , φ	$\pi/6$ rad
Frequência de chaveamento, f_s	21 kHz
Ondulação máxima de corrente na porta I, $\Delta_{iL1,max}$	10%
Ondulação de tensão na porta II, Δ_{v2}	5%
Ondulação de tensão na porta III, Δ_{v3}	2%
Razão entre as tensões $V_{e12,rms}$ e $V'_{m12,rms}$, δ	1

Fonte: o autor.

Tabela 9 – Componentes utilizados no circuito de simulação do conversor I2NDF1.

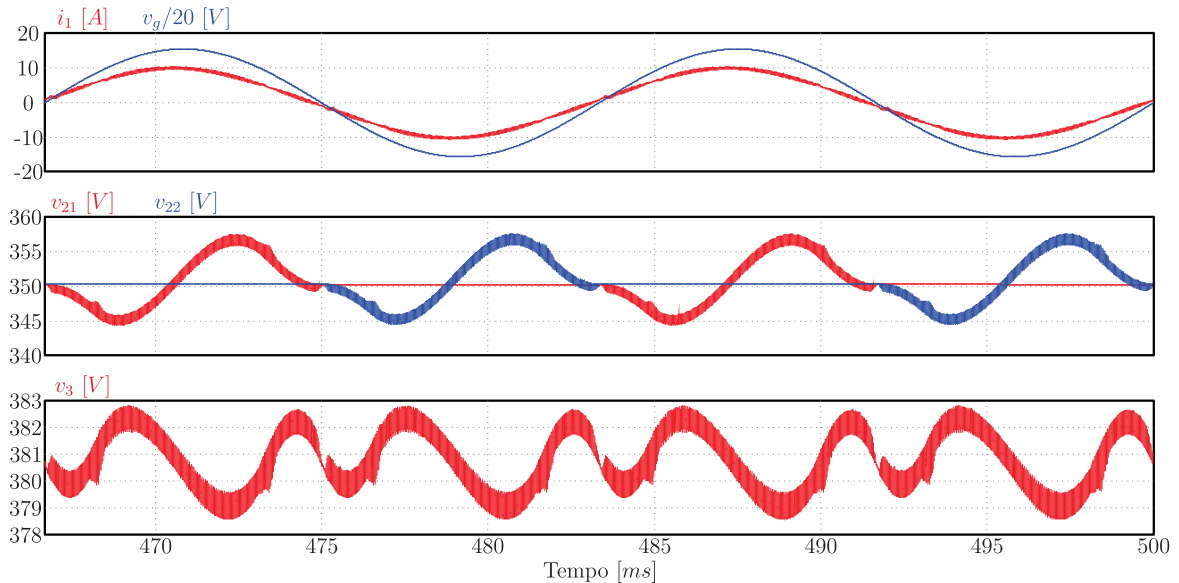
Capacitor eletrolítico na porta II, C_{21}	3 x 470 μ F/450V em paralelo
Capacitor eletrolítico na porta II, C_{22}	3 x 470 μ F/450V em paralelo
Capacitor eletrolítico na porta III, C_3	3 x 470 μ F/450V em paralelo
Indutor na porta I	$L_1=1,1$ mH, Núcleo Toroidal Magmattec MMT034T7725 (pó de ferro), $N_{L1}=160$ espiras
Auto transformador AT_m	Núcleo Toroidal Magmattec MMT140T5020 (ferrite), $N_{wm1}, N_{wm2}=72$ espiras
Transformador T_m	Núcleo Toroidal Magmattec MMT140T5020 (ferrite), $N_p=49$ espiras, $N_s=54$ espiras
Indutor de transferência de potência	$L_e=144\mu$ H, Núcleo Toroidal Magmattec MMT002T7713 (pó de ferro), $N_{Lm}=113$ espiras

Fonte: o autor.

3.1.2 Regime Permanente

Os resultados de simulação do conversor I2NDF1 para o Modo de Operação Retificador (MOR) são mostrados na Figura 72. O fator de potência na rede elétrica, FP_g , é de 0,998. As tensões v_{21} e v_{22} estão equilibradas, e mantidas em torno do valor médio de 350 V, enquanto que a tensão v_3 é mantida em 380 V.

Figura 72 – Resultados de simulação no conversor I2NDF1 em regime permanente no MOR: v_g , i_1 , v_{21} , v_{22} e v_3 .



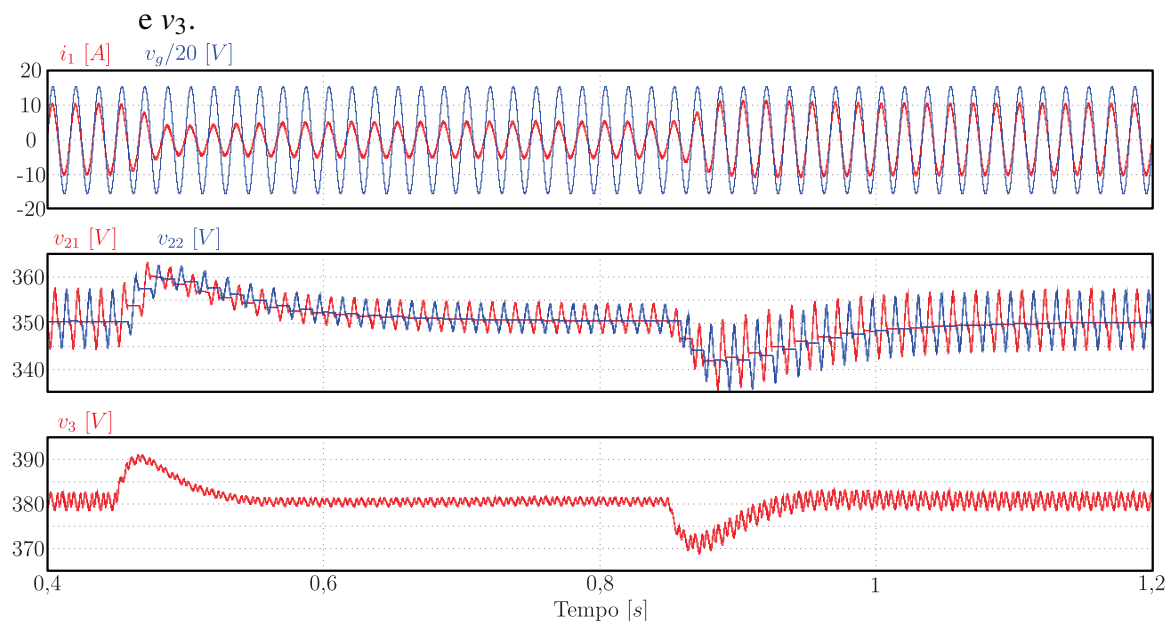
Fonte: o autor.

3.1.3 Regime Dinâmico

Os resultados de simulação no conversor I2NDF1 em regime dinâmico são ilustrados na Figura 73. No instante $t = 0,45$ s foi aplicado um degrau de carga de 100% para 50%, as respostas das tensões v_{21} , v_{22} e v_3 e da corrente i_1 foram rápidas e apresentaram baixo sobressinal.

No instante $t = 0,85$ s foi aplicado um degrau de carga de 50% para 100%, percebe-se que rapidamente as tensões retornam para o estado em regime permanente, sem apresentar sobressinal considerável.

Figura 73 – Resultados de simulação no conversor I2NDF1 em regime dinâmico: v_g , i_1 , v_{21} , v_{22} e v_3 .



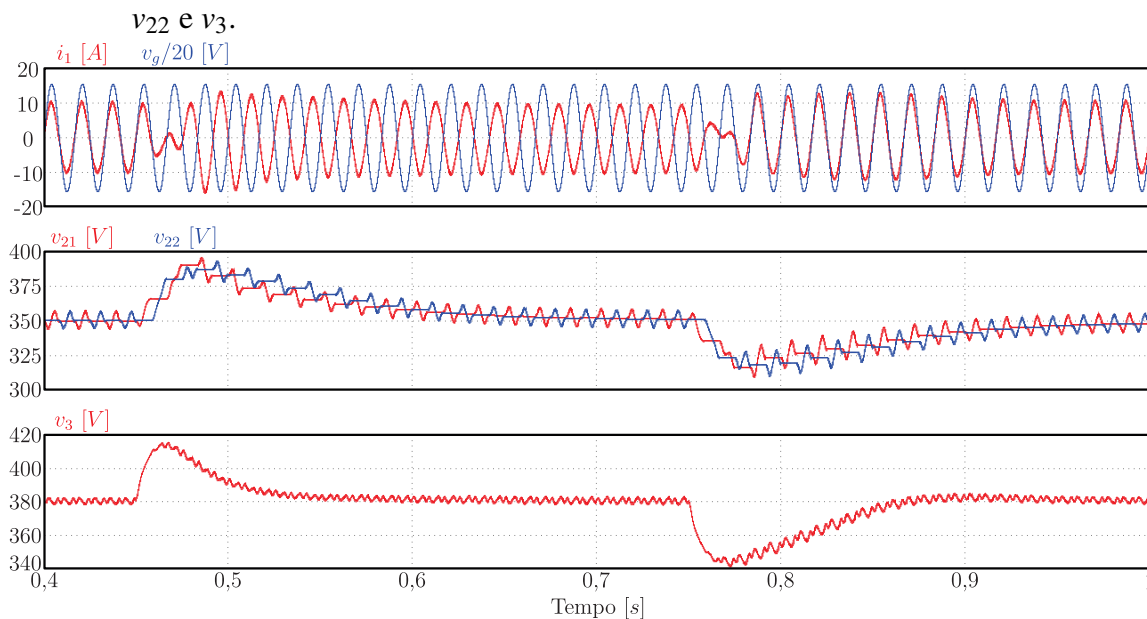
Fonte: o autor.

3.1.4 Ensaio Bidirecional

Os resultados de simulação no conversor I2NDF1 em ensaio bidirecional são apresentados na Figura 74. No instante $t = 0,45$ s foi aplicado um degrau de carga bidirecional de 100% para -100%, ou seja, mudando do MOR para o Modo de Operação Inversor (MOI), as respostas das tensões v_{21} , v_{22} e v_3 e da corrente i_1 foram rápidas e apresentaram também baixo sobressinal.

Assim como no degrau anterior, os resultados para o degrau de -100% para 100% também o foram com respostas rápidas e baixo sobressinal em i_1 , no instante $t = 0,75$ s.

Figura 74 – Resultados de simulação no conversor I2NDF1 em ensaio bidirecional: v_g , i_1 , v_{21} , v_{22} e v_3 .



Fonte: o autor.

3.2 Resultados Experimentais em I2NDF1

3.2.1 Descrição do protótipo do conversor I2NDF1

As principais especificações para montagem do protótipo são apresentadas na Tabela 10. Os parâmetros escolhidos para o projeto do experimento da topologia I2NDF1 são os mesmos assumidos para o projeto da parte de potência do circuito de simulação, como exposto na Tabela 8. Os esquemáticos das placas do protótipo são apresentados no Apêndice E. Enquanto que o código em C desenvolvido no DSP é mostrado no Apêndice F.

Tabela 10 – Especificações de projeto experimental do conversor I2NDF1.

Tensão na rede elétrica, $V_{g,rms}$	127 V
Frequência na rede elétrica, f_g	60 Hz
Tensão na porta II, V_2	400 V
Tensão na porta III, V_3	215 V
Potência na porta III, P_3	800 W

Fonte: o autor.

Os principais componentes da topologia I2NDF1 são listados na Tabela 11. Os elementos capacitivos e magnéticos, exceto o indutor L_e , são idênticos aos apresentados na Tabela 9.

A fotografia da bancada experimental em laboratório do TES monofásico I2NDF1

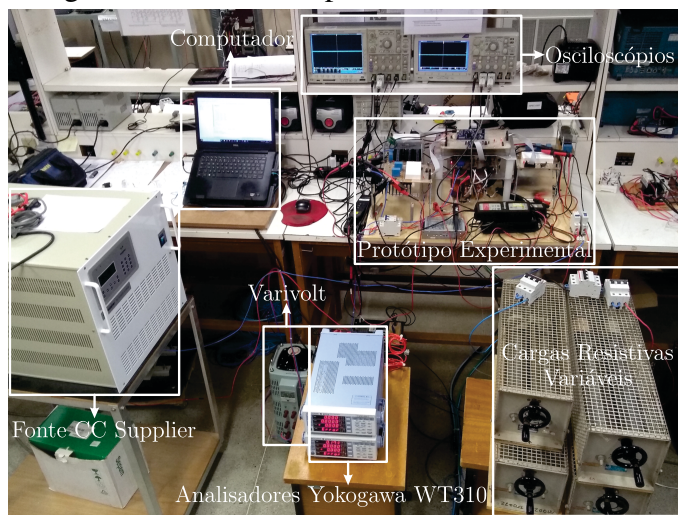
Tabela 11 – Componentes utilizados no circuito de simulação e protótipo experimental do conversor I2NDF1.

Capacitor eletrolítico na porta II, C_{21}	3 x 470 μ F/450V em paralelo
Capacitor eletrolítico na porta II, C_{22}	3 x 470 μ F/450V em paralelo
Capacitor eletrolítico na porta III, C_3	3 x 470 μ F/450V em paralelo
Indutor na porta I	$L_1=1,1$ mH, Núcleo Toroidal Magmattec MMT034T7725 (pó de ferro), $N_{L1}=160$ espiras
Auto transformador AT_m	Núcleo Toroidal Magmattec MMT140T5020 (ferrite), $N_{wm1}, N_{wm2}=72$ espiras
Transformador T_m	Núcleo Toroidal Magmattec MMT140T5020 (ferrite), $N_p=49$ espiras, $N_s=54$ espiras
Indutor de transferência de potência	$L_{Lm}=81\mu$ H, Núcleo Toroidal Magmattec MMT002T7713 (pó de ferro), $N_{Lm}=89$ espiras
Chaves nos lados primário e secundário	12 x IRGP50B60PD
Diodos no lado primário	4 x SCS230AE2
Circuitos de <i>Drivers</i>	3 x SKHI61R

Fonte: o autor.

é mostrada na Figura 75. A rede elétrica de alimentação na porta I é obtida pelo *varivolt* e a porta III era composta por cargas resistivas variáveis ou fonte CC da *Supplier* de 600 V/20 A, dependendo do tipo de ensaio realizado. Para comunicação com o DSP TMS320F28379D da fabricante *Texas Instruments* foi utilizado um computador e para obtenção das formas de onda foram utilizados dois osciloscópios da fabricante *Tektronix* (modelos: DPO 3014 e MSO 5034). Além disso, também foi utilizado os analisadores *Yokogawa* WT310 para leitura do rendimento, fator de potência na rede elétrica e THD na corrente i_1 . Por último, percebe-se o protótipo experimental.

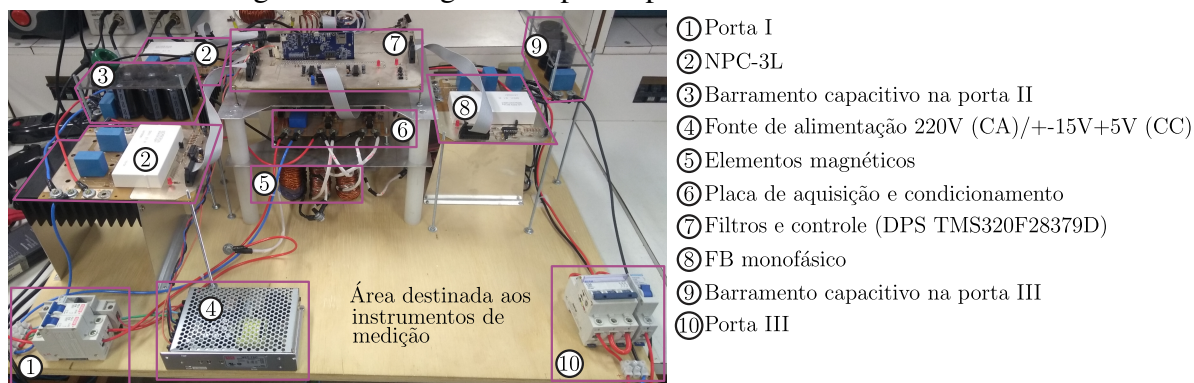
Figura 75 – Fotografia da bancada experimental de testes do TES monofásico.



Fonte: o autor.

A fotografia do protótipo experimental do conversor I2NDF1 é apresentada na Figura 76. Todos os componentes do protótipo são enumerados de 1 a 10. Deve-se atentar para a inclusão de proteção nas portas I e III do TES I2NDF1.

Figura 76 – Fotografia do protótipo do conversor I2NDF1.

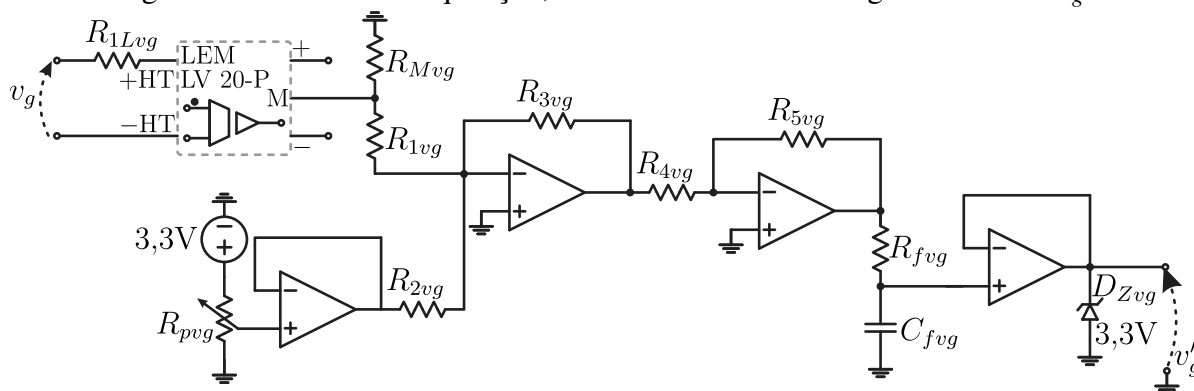


Fonte: o autor.

3.2.1.1 Aquisição, condicionamento e filtragem da tensão v_g

A aquisição do sinal v_g é obtida através do sensor de tensão LEM LV 20-P (corrente e tensão nominais no primário são de 10 mA e de 10...500 V). O circuito de aquisição, condicionamento e filtragem de v_g é mostrado na Figura 77.

Figura 77 – Circuito de aquisição, condicionamento e filtragem da tensão v_g .



Fonte: o autor.

O sinal de leitura v'_g , entrada no conversor Analógico/Digital (AD) do DSP, é obtido através da expressão (3.1).

$$v'_g = K_{sgdv_g} K_{fv_g} K_{54v_g} (K_{31v_g} K_{LEMv_g} K_{M1v_g} v_g + K_{32v_g} V_{refv_g}) \quad (3.1)$$

Os ganhos expostos em (3.1) são dados por

$$K_{LEMvg} = 2,5, \quad (3.2)$$

$$K_{sgdvg} = 1, \quad (3.3)$$

$$K_{fvg} = 1, \quad (3.4)$$

$$K_{M1vg} = \frac{R_{Mvg}}{R_{1Lvg}}, \quad (3.5)$$

$$K_{31vg} = \frac{R_{3vg}}{R_{1vg}}, \quad (3.6)$$

$$K_{32vg} = \frac{R_{3vg}}{R_{2vg}}, \quad (3.7)$$

$$K_{54vg} = \frac{R_{5vg}}{R_{4vg}}. \quad (3.8)$$

Já a tensão de referência V_{refvg} é de 1,65 V, no qual é a tensão 0 de referência para a entrada no AD do DSP.

A função de transferência do filtro *anti-aliasing*, $G_{fvg}(s)$, utilizado no sinal v'_g é dado por (3.9).

$$G_{fvg}(s) = K_{fgv} \frac{1}{(s + \omega_{cfvg})} \quad (3.9)$$

Onde K_{fgv} e $\omega_{cfvg} = 2\pi f_{cfvg}$ são o ganho e a frequência angular de corte do filtro, respectivamente.

A frequência angular de corte do filtro ω_{cfvg} está relacionada com o resistor R_{fvg} e o capacitor C_{fvg} através da expressão (3.10).

$$\omega_{cfvg} = \frac{1}{R_{fvg}C_{fvg}} \quad (3.10)$$

A Tabela 12 mostra os parâmetros e especificações que compõem o sistema de aquisição, condicionamento e filtragem de v_g .

Tabela 12 – Parâmetros e especificações de componentes do circuito de aquisição, condicionamento e filtragem da tensão v_g .

Parâmetros	Especificações
Resistor com potência de 3 W (R_{1Lvg})	2 x 15 k Ω em série
Ganho do sensor de tensão LEM (K_{LEMvg})	2,5
Potenciômetro de 200 Ω (R_{Mvg})	180 Ω
Resistor com precisão de 1% (R_{1vg})	20 k Ω
Potenciômetro R_{pvg}	2 k Ω
Resistor com precisão de 1% (R_{2vg})	5,1 k Ω
Resistor com precisão de 1% (R_{3vg})	5,1 k Ω
Resistor com precisão de 1% (R_{4vg})	10 k Ω
Resistor com precisão de 1% (R_{5vg})	10 k Ω
Resistor com precisão de 1% (R_{fvg})	5,1 k Ω
Capacitor do tipo cerâmico (C_{fvg})	2,2 nF
Diodo zener 3,3 V (D_{Zvg})	1 x 1N4728
Amplificadores operacionais (4 unidades)	1 x LF347

Fonte: o autor.

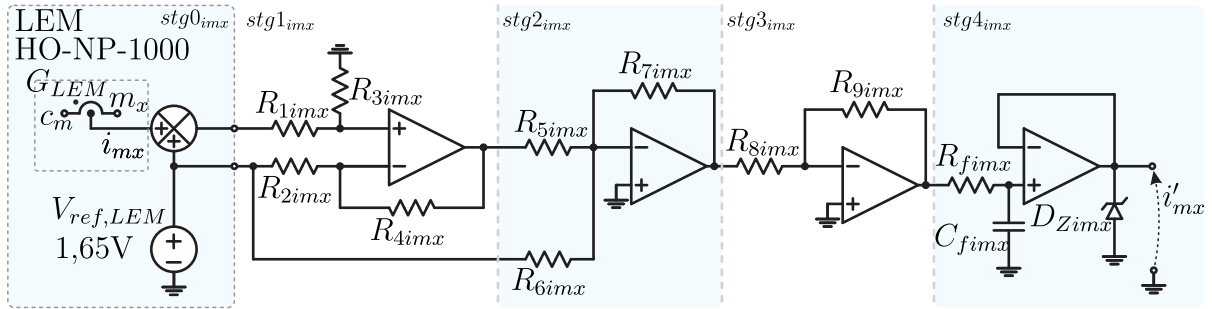
3.2.1.2 Aquisição, condicionamento e filtragem das correntes i_{m1} e i_{m2}

A aquisição das correntes i_{mx} , com $x = \{1, 2\}$, é obtida através do sensor de corrente LEM HO 25-NP/SP33. O circuito de aquisição, condicionamento e filtragem de i_{mx} é ilustrado na Figura 78.

Os sinais de leitura v'_{imx} , com $x = \{1, 2\}$ são obtidos através da expressão (3.11).

$$i'_{mx} = K_{98imx} (K_{75imx} K_{LEMimx} K_{31imx} i_{mx} + K_{76imx} V_{refimx}) \quad (3.11)$$

Figura 78 – Circuito de aquisição, condicionamento e filtragem das correntes i_{m1} e i_{m2} .



Fonte: o autor.

Os ganhos expostos em (3.11) são dados por

$$K_{LEMimx} = 0,0552, \quad (3.12)$$

$$K_{sgdimx} = 1, \quad (3.13)$$

$$K_{fimx} = 1, \quad (3.14)$$

$$K_{31imx} = \frac{R_{3imx}}{R_{1imx}}, \quad (3.15)$$

$$K_{75imx} = \frac{R_{7imx}}{R_{5imx}}, \quad (3.16)$$

$$K_{76imx} = \frac{R_{7imx}}{R_{6imx}}, \quad (3.17)$$

$$K_{98imx} = \frac{R_{9imx}}{R_{8imx}}, \quad (3.18)$$

Já a tensão de referência V_{refimx} é de 1,65 V, no qual é a tensão 0 de referência para a entrada no AD do DSP, sendo que este valor já é proveniente do próprio sensor de corrente.

A função de transferência do filtro *anti-aliasing*, $G_{fv}(s)$, utilizado no sinal i'_x é dado por (3.19).

$$G_{fmx}(s) = K_{fmx} \frac{1}{(s + \omega_{cfmx})} \quad (3.19)$$

Onde K_{fmx} e $\omega_{cfmx} = 2\pi f_{cfmx}$ são o ganho e a frequência angular de corte do filtro, respectivamente.

A frequência angular de corte do filtro ω_{cfmx} está relacionada com o resistor R_{fmx} e o capacitor C_{fmx} através da expressão (3.20).

$$\omega_{cfmx} = \frac{1}{R_{fmx} C_{fmx}} \quad (3.20)$$

Os parâmetros e especificações que compõem o sistema de aquisição, condicionamento e filtragem das correntes i_{mx} são apresentados na Tabela 13.

Tabela 13 – Parâmetros e especificações de componentes do circuito de aquisição, condicionamento e filtragem das correntes i_{m1} e i_{m2} .

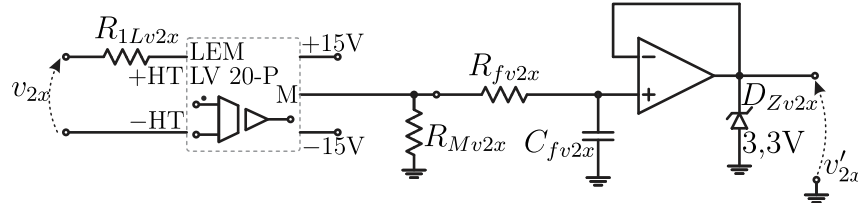
Parâmetros	Especificações
Ganho do sensor de corrente LEM (K_{LEMmx})	0,0552
Resistor com precisão de 1% (R_{1mx})	10 k Ω
Resistor com precisão de 1% (R_{2mx})	10 k Ω
Resistor com precisão de 1% (R_{3mx})	30 k Ω
Resistor com precisão de 1% (R_{4mx})	30 k Ω
Resistor com precisão de 1% (R_{5mx})	10 k Ω
Resistor com precisão de 1% (R_{6mx})	10 k Ω
Resistor com precisão de 1% (R_{7mx})	10 k Ω
Resistor com precisão de 1% (R_{8mx})	10 k Ω
Resistor com precisão de 1% (R_{9mx})	10 k Ω
Resistor com precisão de 1% (R_{fmx})	5,1 k Ω
Capacitor do tipo cerâmico (C_{fmx})	1,5 nF
Amplificadores operacionais (8 unidades)	2 x LF347
Diodo zener 3,3 V (D_{Zmx})	1 x 1N4728

Fonte: o autor.

3.2.1.3 Aquisição, condicionamento e filtragem das tensões v_{21} e v_{22}

A aquisição das tensões v_{2x} , com $x = \{1, 2\}$, é obtida através do sensor de tensão LEM LV 20-P. O circuito de aquisição, condicionamento e filtragem das tensões v_{2x} é mostrado na Figura 79.

Figura 79 – Circuito de aquisição, condicionamento e filtragem das tensões v_{21} e v_{22} .



Fonte: o autor.

Os sinais de leitura v'_{2x} , com $x = \{1, 2\}$ são obtidos através da expressão (3.21).

$$v'_{2x} = K_{M1v2x} K_{LEMv2x} K_{fv2x} K_{sgdv2x} v_{2x} \quad (3.21)$$

Os ganhos expostos em (3.21) são dados por

$$K_{LEMv2x} = 2,5, \quad (3.22)$$

$$K_{sgdv2x} = 1, \quad (3.23)$$

$$K_{fv2x} = 1, \quad (3.24)$$

$$K_{M1v2x} = \frac{R_{Mv2x}}{R_{Lv2x}}, \quad (3.25)$$

Sendo que a tensão de referência V_{refv2x} é de 1,65 V.

A função de transferência do filtro *anti-aliasing*, $G_{fv2x}(s)$, utilizado no sinal im'_x é dado por (3.19).

$$G_{fv2x}(s) = K_{fv2x} \frac{1}{(s + \omega_{c, fv2x})} \quad (3.26)$$

Onde K_{fv2x} e $\omega_{cfv2x} = 2\pi f_{cfv2x}$ são o ganho e a frequência angular de corte do filtro, respectivamente.

A frequência angular de corte do filtro ω_{cfv2x} está relacionada com o resistor R_{fv2x} e o capacitor C_{fv2x} através da expressão (3.27).

$$\omega_{cfv2x} = \frac{1}{R_{fv2x}C_{fv2x}} \quad (3.27)$$

A Tabela 14 mostra os parâmetros e especificações que compõem o sistema de aquisição, condicionamento e filtragem das tensões v_{2x} .

Tabela 14 – Parâmetros e especificações de componentes do circuito de aquisição, condicionamento e filtragem das tensões v_{21} e v_{22} .

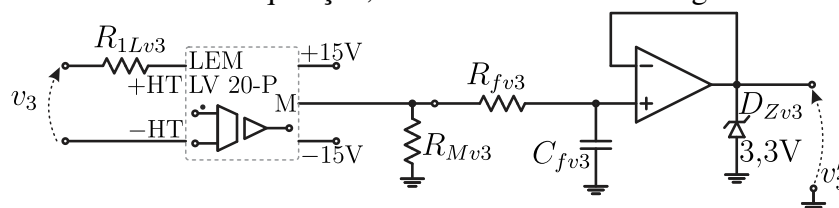
Parâmetros	Especificações
Resistor com potência de 3 W (R_{1Lv2x})	2 x 56 k Ω e 2 x 68 k Ω
Ganho do sensor de tensão LEM (K_{LEMv2x})	2,5
Potenciômetro de 200 Ω (R_{Mv2x})	165 Ω
Resistor com precisão de 1% (R_{fv2x})	5,1 k Ω
Capacitor do tipo cerâmico (C_{fv2x})	33 nF
Diodo zener 3,3 V (D_{Zv2x})	1 x 1N4728
Amplificadores operacionais (2 unidades)	1 x LF347

Fonte: o autor.

3.2.1.4 Aquisição, condicionamento e filtragem da tensão v_3

A aquisição do sinal v_3 é obtida através do sensor de tensão LEM LV 20-P. O circuito de aquisição, condicionamento e filtragem de v_3 é mostrado na Figura 80.

Figura 80 – Circuito de aquisição, condicionamento e filtragem da tensão v_3 .



Fonte: o autor.

Os sinais de leitura v'_3 , com $x = \{1, 2\}$ são obtidos através da expressão (3.28).

$$v'_3 = K_{M1v3} K_{LEMv3} K_{fv3} K_{sgdv3} v_3 \quad (3.28)$$

Os ganhos expostos em (3.28) são dados por

$$K_{LEMv3} = 2,5, \quad (3.29)$$

$$K_{sgdv3} = 1, \quad (3.30)$$

$$K_{fv3} = 1, \quad (3.31)$$

$$K_{M1v3} = \frac{R_{Mv3}}{R_{1Lv3}}, \quad (3.32)$$

Sendo que a tensão de referência V_{refv3} é de 1,65 V.

A função de transferência do filtro *anti-aliasing*, $G_{fv3}(s)$, utilizado no sinal v'_3 é dado por (3.33).

$$G_{fv3}(s) = K_{fv3} \frac{1}{(s + \omega_{cfv3})} \quad (3.33)$$

Onde K_{fv3} e $\omega_{cfv3} = 2\pi f_{cfv3}$ são o ganho e a frequência angular de corte do filtro, respectivamente.

A frequência angular de corte do filtro ω_{cfv3} está relacionada com o resistor R_{fv3} e o capacitor C_{fmx} através da expressão (3.34).

$$\omega_{cfv3} = \frac{1}{R_{fv3} C_{fv3}} \quad (3.34)$$

A Tabela 15 mostra os parâmetros e especificações que compõem o sistema de aquisição, condicionamento e filtragem da tensão v_3 .

Tabela 15 – Parâmetros e especificações de componentes do circuito de aquisição, condicionamento e filtragem da tensão v_3

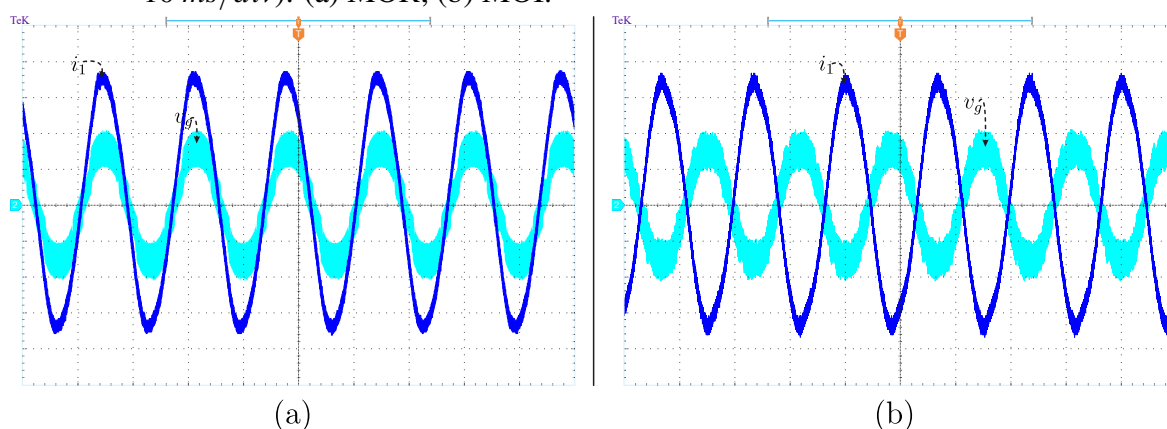
Parâmetros	Especificações
Resistor com potência de 3 W (R_{1Lv3})	2 x 56 k Ω e 2 x 68 k Ω
Ganho do sensor de tensão LEM (K_{LEMv3})	2,5
Potenciômetro de 200 Ω (R_{Mv3})	180 Ω
Resistor com precisão de 1% (R_{fv3})	5,1 k Ω
Capacitor do tipo cerâmico (C_{fv3})	33 nF
Diodo zener 3,3 V (D_{Zv3})	1 x 1N4728
Amplificadores operacionais (1 unidade)	1 x LF347

Fonte: o autor.

3.2.2 Regime Permanente

Os resultados experimentais do conversor são apresentados para os dois modos de operação do conversor I2NDF1: MOR e MOI. Os testes em regime permanente em condição nominal de carga são mostrados nas Figuras 81 (a) e 81 (b), evidenciando v_g e i_1 em fase MOR e em defasagem de 180° MOI. O fator de potência na rede elétrica FP_g e o THD_{i1} no MOR foram 0,9902 e 4,67%, respectivamente, enquanto que no MOI foram 0,9901 e 4,93%, respectivamente.

Figura 81 – Resultados experimentais em regime permanente (i_1 : 2,5 A/div; v_g : 100 V/div; t : 10 ms/div): (a) MOR; (b) MOI.



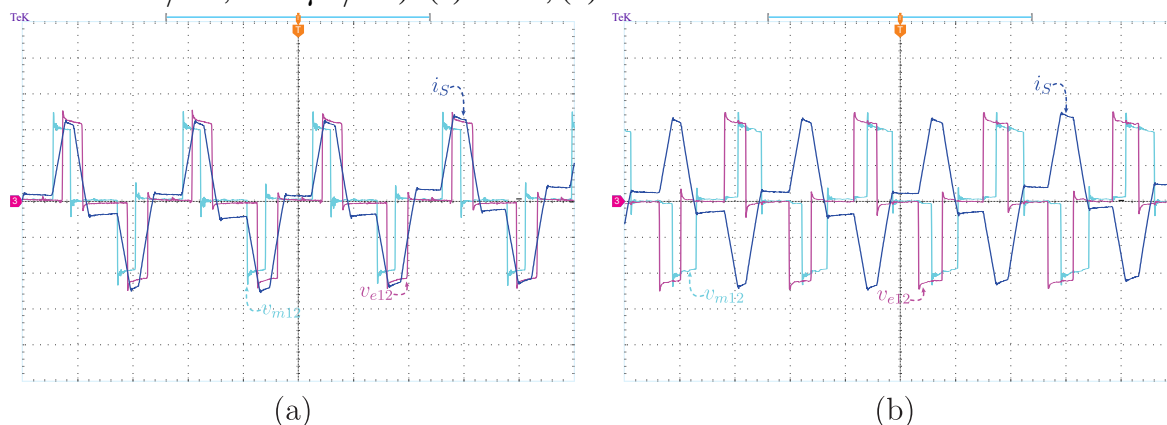
Fonte: o autor.

A Figura 82 (a) mostra as tensões v_{m12} , v_{e12} e a corrente i_S em regime permanente no MOR. Sendo possível ver detalhes do PS positivo entre as tensões v_{m12} e v_{e12} , além do formato da corrente i_S na faixa de operação em que v_g está em torno do valor do pico.

A Figura 82 (b) apresenta as tensões v_{m12} , v_{e12} e a corrente i_S em regime permanente no MOI. Percebe-se o comportamento do PS negativo entre as tensões v_{m12} e v_{e12} , mudando

assim o sentido da corrente i_S .

Figura 82 – Resultados experimentais em regime permanente (i_S : 5 A/div; v_{m12} , v_{e12} : 100 V/div; t : 20 μ s/div): (a) MOR; (b) MOI.

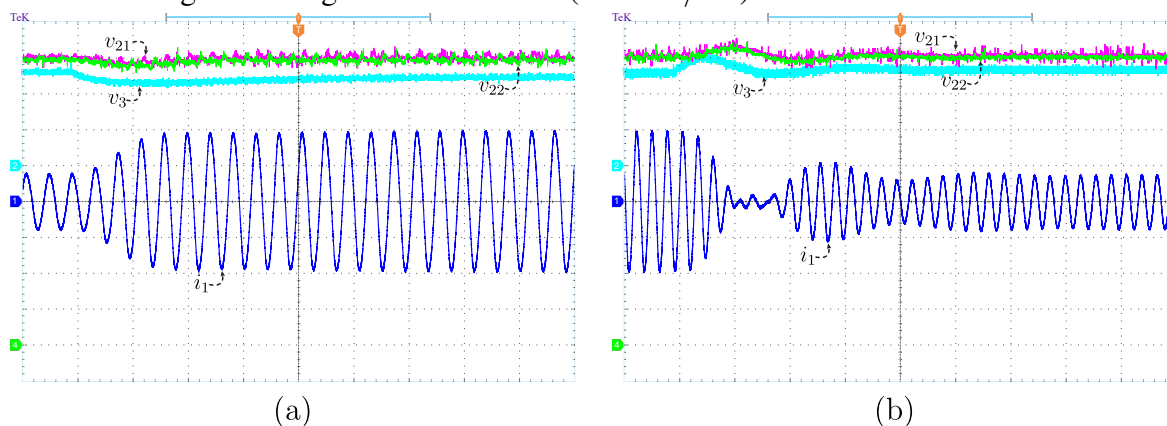


Fonte: o autor.

3.2.3 Regime Dinâmico

Os resultados experimentais em regime dinâmico no MOR consistiram na aplicação de um degrau de carga positivo de 40% a 100%, Figura 83 (a), e outro degrau de carga negativo de 100% a 40%, Figura 83 (b). Ambos os testes demonstraram que a resposta do sistema é rápida, para as tensões (v_{21} , v_{22} , v_3) e a corrente i_1 . Mas a resposta no degrau negativo apresentou um comportamento oscilatório na corrente i_1 em torno de $i_1 = 0$, visto também nas tensões v_{21} , v_{22} e v_3 .

Figura 83 – Resultados experimentais em regime dinâmico no MOR (i_1 : 5 A/div; v_{21} , v_{22} : 25 V/div; v_3 : 100 V/div): (a) Degrau de carga de 40% a 100% (t : 40 ms/div); (b) Degrau de carga de 100% a 40% (t : 60 ms/div).

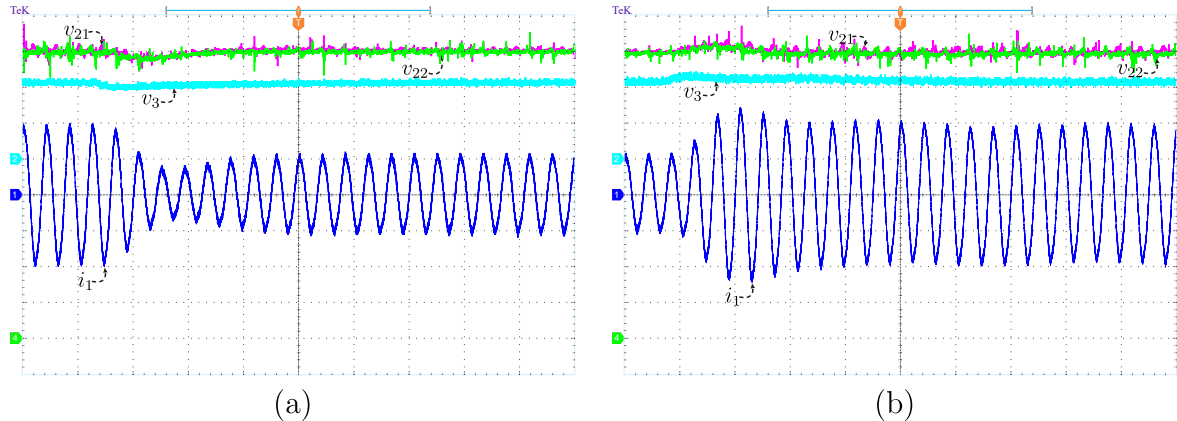


Fonte: o autor.

Com relação aos resultados experimentais em regime dinâmico no MOI mostrados

nas Figuras 84 (a) e 84 (b), percebe-se que as respostas também foram rápidas e com baixo sobressinal nas tensões v_{21} , v_{22} e v_3 e na corrente i_1 .

Figura 84 – Resultados experimentais em regime dinâmico no MOI (i_1 : 5 A/div; v_{21} , v_{22} : 25 V/div; v_3 : 100 V/div; t : 40 ms/div): (a) Degrau de carga de 100% a 50%; (b) Degrau de carga de 50% a 100%.



Fonte: o autor.

3.2.4 Ensaio Bidirecional

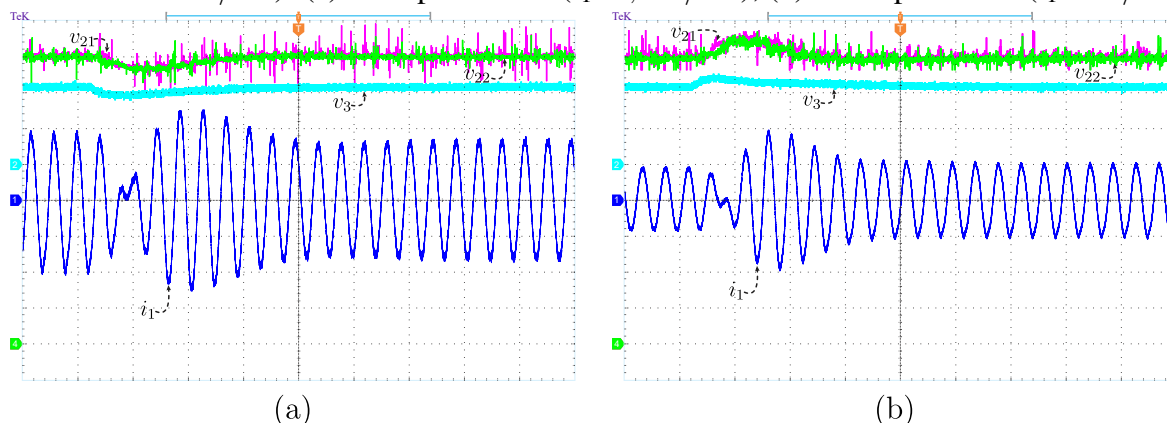
A validação da bidirecionalidade do conversor I2NDF1 foi realizada através de testes utilizando a rede elétrica na alimentação da porta I e uma fonte CC regulável na porta III. Salientando que todos os ensaios foram em malha fechada. Os resultados para o degraú bidirecional do MOI para o MOR e do MOR para o MOI são mostrados nas Figuras 85 (a) e 85 (b), respectivamente. Observa-se que com a inversão do fluxo de potência, rapidamente as malhas de controle atuam para estabilizar as tensões v_{21} , v_{22} e v_3 e na corrente i_1 , além de ser possível visualizar um baixo sobressinal nas suas respostas.

3.2.5 Análise de Desempenho

Os resultados de desempenho de simulação e experimental do conversor I2NDF1 para o fator de potência na rede elétrica, FP_g , a THD da corrente i_1 (THD_{i1}), considerando para o cálculo até o 100° harmônico, e o rendimento são mostrados nas Figuras 86, 87 e 88, respectivamente.

A Figura 86 mostra as curvas de simulação e experimental do FP_g para o MOR ($FP_{g,MORsim}$ e $FP_{g,MORexp}$) e MOI ($FP_{g,MOIsim}$ e $FP_{g,MOIexp}$). Em toda faixa de potência analisada, o $FP_g > 0,98$ para todas as situações. Na condição nominal de carga, os resultados

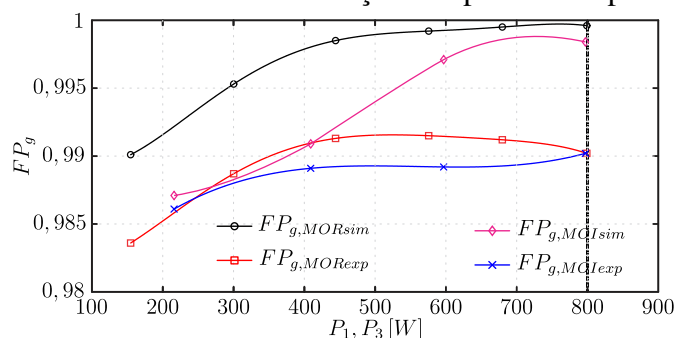
Figura 85 – Resultados experimentais de bidirecionalidade (v_{21}, v_{22} : 25 V/div; v_3 : 100 V/div; t : 40 ms/div): (a) MOI para MOR (i_1 : 2,5 A/div); (b) MOR para MOI (i_1 : 5 A/div).



Fonte: o autor.

experimentais mostram que o $FP_g > 0,99$ para o MOR ($FP_{g,MORexp}$) e MOI ($FP_{g,MOIexp}$).

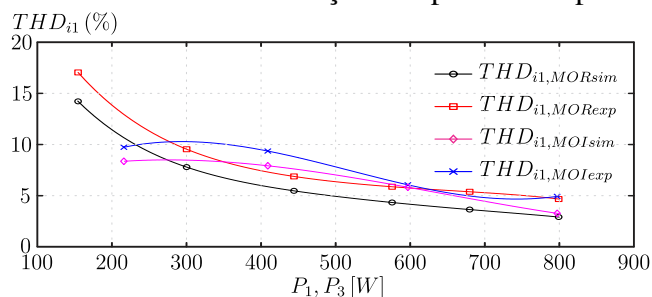
Figura 86 – Resultados de simulação e experimental para o FP_g .



Fonte: o autor.

O THD_{i1} mostrado na Figura 87 está abaixo de 10% a partir da potência de 200 W para o MOR ($THD_{i1,MORsim}$ e $THD_{i1,MORexp}$) e MOI ($THD_{i1,MOIsim}$). Conforme a potência fica próxima de 800 W, as curvas decrescem para valores de $THD_{i1} \leq 5\%$.

Figura 87 – Resultados de simulação e experimental para o THD_{i1} .

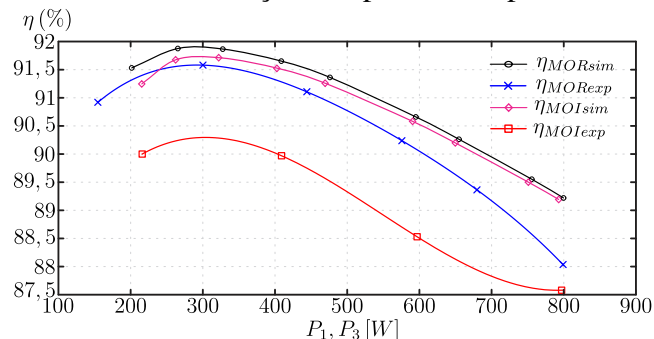


Fonte: o autor.

Em relação ao rendimento, Figura 88, os valores máximos de rendimento para o MOR (η_{MORsim} e η_{MORexp}) e MOI (η_{MOIsim} e η_{MOIexp}) estão em torno da potência de 300 W,

sendo que conforme a potência tende ao valor nominal de carga (800 W), todas as curvas de rendimento decrescem.

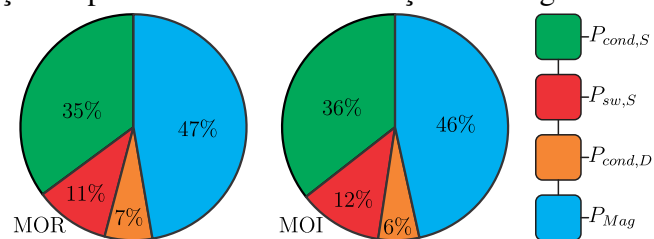
Figura 88 – Resultados de simulação e experimental para o rendimento η (%).



Fonte: o autor.

A distribuição de perdas elétricas no conversor I2NDF1 é ilustrada na Figura 89. Através dessa identificação é possível perceber que as perdas nos magnéticos (P_{Mag}) são de 47% no MOR e 46% no MOI. As perdas nas chaves de potência (S_{mxy} , S_{e1x} e S_{e2x}) são em torno de 46% MOR e 48% MOI, somando as por condução ($P_{cond,S}$) com as por comutação ($P_{sw,S}$). Claramente as perdas $P_{cond,S}$ prevalecem sobre $P_{sw,S}$ para ambos os modos de operação. Como os diodos de grampeamento (D_{1xm} e D_{2xm}) são do tipo carboneto de silício (*Silicon Carbide* (SiC)), as perdas por comutação são irrelevantes (She *et al.*, 2017), restando somente as por condução ($P_{cond,D}$), sendo 7% para o MOR e 6% no MOI.

Figura 89 – Identificação de perdas elétricas em condições de carga nominal para o MOR e MOI.



Fonte: o autor.

4 ESTUDO DO CONVERSOR I2NDF3

Neste capítulo será apresentado o TES I2NDF3 trifásico CA-CC bidirecional multiportas multinível, baseado na CCTE e no NPC-3L. O princípio de funcionamento do conversor I2NDF3 é demonstrado através dos estados de chaveamento. Uma análise do espaço vetorial é realizada, com vistas à obtenção dos vetores de espaço que descrevem a topologia em estudo. Três estratégias de modulação são apresentadas, sendo que uma é selecionada para a aplicação do TES I2NDF3 numa microrrede.

A estratégia de controle aplicada a estrutura I2NDF3 é apresentada. Por último são mostrados os resultados de simulação da topologia I2NDF3 e um estudo de caso com comparativo do conversor proposto com várias outras topologias.

4.1 PRINCÍPIO DE FUNCIONAMENTO DO CONVERSOR I2NDF3

4.1.1 Descrição da Topologia Genérica

A topologia trifásica genérica do conversor I2NDF3 é mostrada na Figura 90 (a). Basicamente a estrutura pode ser alimentada por uma rede elétrica na configuração em estrela, Figura 90 (b), ou em delta, Figura 90 (c). A Figura 90 (d) mostra a CCTE utilizada para aplicação da técnica de intercalamento. O lado primário do conversor I2NDF3 é composto por seis braços de NPC-3L, Figura 90 (e), e o lado secundário é integrado por seis braços de HB, conforme Figura 90 (f).

A chave genérica de três níveis S_{px} , com $p = \{a, b, c\}$ e $x = \{1, 2\}$, é representada na Figura 90 (e). Um detalhe importante nessa configuração é a possibilidade da utilização de uma estrutura *Flying Capacitor* (FC) em substituição ao NPC-3L, além de outras que possuem a característica de sintetizar tensão de três níveis.

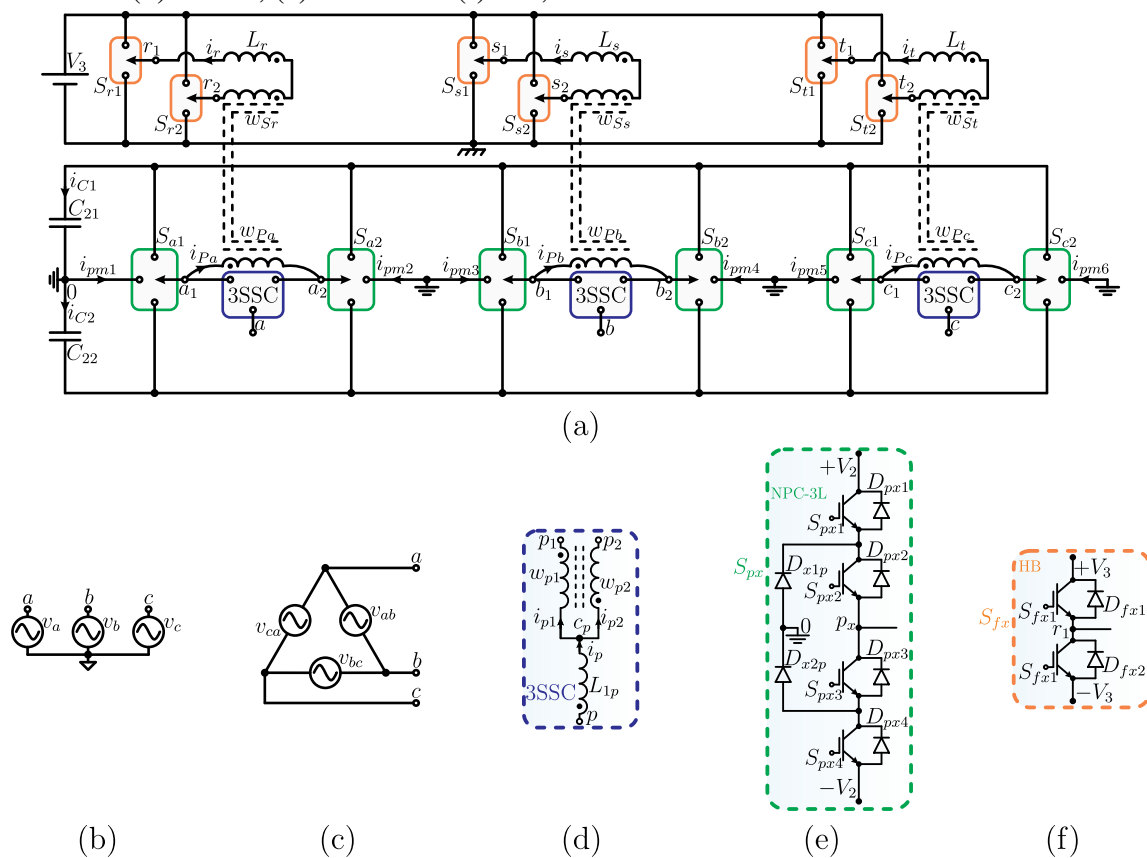
Já a chave genérica de dois níveis S_{fx} , com $f = \{r, s, t\}$ e $x = \{1, 2\}$, é representada na Figura 90 (f), i.e., é formada por um HB.

4.1.2 Estados de Chaveamento em I2NDF3

Os estados de chaveamento no lado primário do conversor I2NDF3 são mostrados na Tabela 16.

Os estados de chaveamento no lado secundário do conversor I2NDF3 são mostrados

Figura 90 – Estrutura trifásica genérica do conversor I2NDF3: (a) Topologia genérica; (b) Configuração da rede elétrica em estrela; (c) Configuração da rede elétrica em delta; (d) CCTE; (e) NPC-3L e (f) HB;



Fonte: o autor.

Tabela 16 – Estados de chaveamento no lado primário do conversor I2NDF3.

Estados de chaveamento [$s_{p11}s_{p12}s_{p21}s_{p22}$]	v_{p10}	v_{p20}	v_{p12}	v_{cp0}
[0101]	0	0	0	0
[1111]	$V_2/2$	$V_2/2$	0	$V_2/2$
[1101]	$V_2/2$	0	$V_2/2$	$V_2/4$
[1100]	$V_2/2$	$-V_2/2$	V_2	0
[0100]	0	$-V_2/2$	$V_2/2$	$-V_2/4$
[0000]	$-V_2/2$	$-V_2/2$	0	$-V_2/2$
[0001]	$-V_2/2$	0	$-V_2/2$	$-V_2/4$
[0011]	$-V_2/2$	$V_2/2$	$-V_2$	0
[0111]	0	$V_2/2$	$-V_2/2$	$V_2/4$

Fonte: o autor.

na Tabela 17.

Tabela 17 – Estados de chaveamento no lado primário do conversor I2NDF3.

Estados de chaveamento $[s_{f11}s_{f21}]$	v_{f12}
[11]	0
[10]	V_3
[00]	0
[01]	$-V_3$

Fonte: o autor.

4.2 ANÁLISE DO ESPAÇO VETORIAL EM I2NDF3

A análise do espaço vetorial em I2NDF3 é baseada nas tensões sintetizadas v_{cp0} , com $p = \{a, b, c\}$, como pode ser observado na expressão (4.1), em que ocorre a transformação do plano abc para $\alpha\beta$, i.e., são produzidas as tensões v_α e v_β . O mapa vetorial no plano $\alpha\beta$ do TES I2NDF3 é apresentado na Figura 91. As coordenadas de cada vetor ($\vec{v}_{0,1,\dots,60}$) no plano $\alpha\beta$ do TES I2NDF3 são mostradas na Tabela 18.

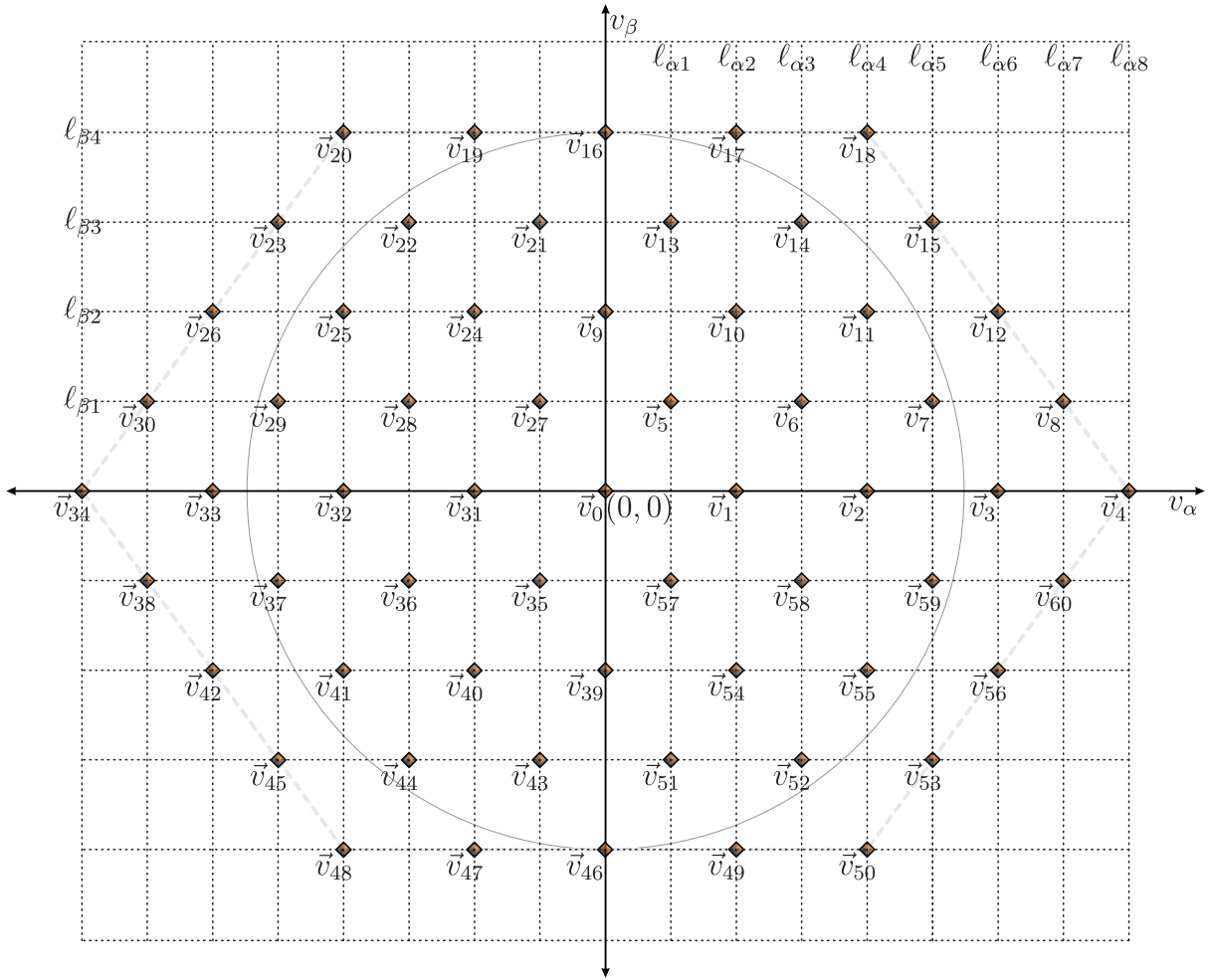
$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \underbrace{\sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}}_{T_{abc-\alpha\beta}} \begin{bmatrix} v_{ca0} \\ v_{cb0} \\ v_{cc0} \end{bmatrix} \quad (4.1)$$

As tensões v_{cp0} são dadas pela expressão (4.2).

$$v_{cp0} = \frac{v_{p10} + v_{p20}}{2}, p = \{a, b, c\} \quad (4.2)$$

4.3 ESTRATÉGIAS DE MODULAÇÃO EM I2NDF3

Diferentemente da estrutura monofásica, o conversor trifásico possui maior liberdade de escolha na aplicação da estratégia de modulação. Com isso, propõe-se três estratégias de modulação consolidadas na literatura (ORTMANN *et al.*, 2012): SPWM, *Space Vector 2-Level* (SV2L) e *Sinusoidal Third Harmonic Injection* (STHI).

Figura 91 – Mapa vetorial no plano $\alpha\beta$ em I2NDF3.

Fonte: o autor.

4.3.1 Modulação SPWM

A estratégia de modulação senoidal SPWM é a mais forma simples de gerar os pulsos de comutação dos interruptores. Conforme já explicitado na versão monofásica, a modulação consiste em aplicar seis formas de onda senoidais deslocadas em 120° com sequência de fase *abc*, como ilustrado na Figura 92. As expressões das funções de modulação são apresentadas em (4.3).

$$\begin{cases} m_{ax}(t) = M \sin(\omega_g t + \varphi_m) \\ m_{bx}(t) = M \sin(\omega_g t - 2\pi/3 + \varphi_m) \\ m_{cx}(t) = M \sin(\omega_g t + 2\pi/3 + \varphi_m) \end{cases}, x = \{1, 2\} \quad (4.3)$$

Onde o índice de modulação em amplitude M é dado por (4.4). Sendo que \hat{V}_p é o

Tabela 18 – Vetores no lado primário da topologia I2NDF3.

Vetores	(v_α, v_β)	Vetores	(v_α, v_β)	Vetores	(v_α, v_β)
\vec{v}_0	$(0, 0)$	\vec{v}_{21}	$(-\frac{1}{8}\sqrt{\frac{2}{3}}V_2, \frac{3\sqrt{2}}{8}V_2)$	\vec{v}_{42}	$(-\frac{3}{4}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{4}V_2)$
\vec{v}_1	$(\frac{1}{4}\sqrt{\frac{2}{3}}V_2, 0)$	\vec{v}_{22}	$(-\frac{3}{8}\sqrt{\frac{2}{3}}V_2, \frac{3\sqrt{2}}{8}V_2)$	\vec{v}_{43}	$(-\frac{1}{8}\sqrt{\frac{2}{3}}V_2, -\frac{3\sqrt{2}}{8}V_2)$
\vec{v}_2	$(\frac{1}{2}\sqrt{\frac{2}{3}}V_2, 0)$	\vec{v}_{23}	$(-\frac{5}{8}\sqrt{\frac{2}{3}}V_2, \frac{3\sqrt{2}}{8}V_2)$	\vec{v}_{44}	$(-\frac{3}{8}\sqrt{\frac{2}{3}}V_2, -\frac{3\sqrt{2}}{8}V_2)$
\vec{v}_3	$(\frac{3}{4}\sqrt{\frac{2}{3}}V_2, 0)$	\vec{v}_{24}	$(-\frac{1}{4}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{4}V_2)$	\vec{v}_{45}	$(-\frac{5}{8}\sqrt{\frac{2}{3}}V_2, -\frac{3\sqrt{2}}{8}V_2)$
\vec{v}_4	$(\sqrt{\frac{2}{3}}V_2, 0)$	\vec{v}_{25}	$(-\frac{1}{2}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{4}V_2)$	\vec{v}_{46}	$(0, -\frac{\sqrt{2}}{2}V_2)$
\vec{v}_5	$(\frac{1}{8}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{8}V_2)$	\vec{v}_{26}	$(-\frac{3}{4}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{4}V_2)$	\vec{v}_{47}	$(-\frac{1}{4}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{2}V_2)$
\vec{v}_6	$(\frac{3}{8}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{8}V_2)$	\vec{v}_{27}	$(-\frac{1}{2}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{2}V_2)$	\vec{v}_{48}	$(-\frac{1}{2}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{2}V_2)$
\vec{v}_7	$(\frac{5}{8}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{8}V_2)$	\vec{v}_{28}	$(-\frac{3}{8}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{8}V_2)$	\vec{v}_{49}	$(\frac{1}{4}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{2}V_2)$
\vec{v}_8	$(\frac{7}{8}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{8}V_2)$	\vec{v}_{29}	$(-\frac{5}{8}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{8}V_2)$	\vec{v}_{50}	$(\frac{1}{2}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{2}V_2)$
\vec{v}_9	$(0, \frac{\sqrt{2}}{4}V_2)$	\vec{v}_{30}	$(-\frac{7}{8}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{8}V_2)$	\vec{v}_{51}	$(\frac{1}{8}\sqrt{\frac{2}{3}}V_2, -\frac{3\sqrt{2}}{8}V_2)$
\vec{v}_{10}	$(\frac{1}{4}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{4}V_2)$	\vec{v}_{31}	$(-\frac{1}{4}\sqrt{\frac{2}{3}}V_2, 0)$	\vec{v}_{52}	$(\frac{3}{8}\sqrt{\frac{2}{3}}V_2, -\frac{3\sqrt{2}}{8}V_2)$
\vec{v}_{11}	$(\frac{1}{2}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{4}V_2)$	\vec{v}_{32}	$(-\frac{1}{2}\sqrt{\frac{2}{3}}V_2, 0)$	\vec{v}_{53}	$(\frac{5}{8}\sqrt{\frac{2}{3}}V_2, -\frac{3\sqrt{2}}{8}V_2)$
\vec{v}_{12}	$(\frac{3}{4}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{4}V_2)$	\vec{v}_{33}	$(-\frac{3}{4}\sqrt{\frac{2}{3}}V_2, 0)$	\vec{v}_{54}	$(\frac{1}{4}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{4}V_2)$
\vec{v}_{13}	$(\frac{1}{8}\sqrt{\frac{2}{3}}V_2, \frac{3\sqrt{2}}{8}V_2)$	\vec{v}_{34}	$(-\sqrt{\frac{2}{3}}V_2, 0)$	\vec{v}_{55}	$(\frac{1}{2}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{4}V_2)$
\vec{v}_{14}	$(\frac{3}{8}\sqrt{\frac{2}{3}}V_2, \frac{3\sqrt{2}}{8}V_2)$	\vec{v}_{35}	$(-\frac{1}{8}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{8}V_2)$	\vec{v}_{56}	$(\frac{3}{4}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{4}V_2)$
\vec{v}_{15}	$(\frac{5}{8}\sqrt{\frac{2}{3}}V_2, \frac{3\sqrt{2}}{8}V_2)$	\vec{v}_{36}	$(-\frac{3}{8}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{8}V_2)$	\vec{v}_{57}	$(\frac{1}{8}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{8}V_2)$
\vec{v}_{16}	$(0, \frac{\sqrt{2}}{2}V_2)$	\vec{v}_{37}	$(-\frac{5}{8}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{8}V_2)$	\vec{v}_{58}	$(\frac{3}{8}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{8}V_2)$
\vec{v}_{17}	$(\frac{1}{4}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{2}V_2)$	\vec{v}_{38}	$(-\frac{7}{8}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{8}V_2)$	\vec{v}_{59}	$(\frac{5}{8}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{8}V_2)$
\vec{v}_{18}	$(\frac{1}{2}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{2}V_2)$	\vec{v}_{39}	$(0, -\frac{\sqrt{2}}{4}V_2)$	\vec{v}_{60}	$(\frac{7}{8}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{8}V_2)$
\vec{v}_{19}	$(-\frac{1}{4}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{2}V_2)$	\vec{v}_{40}	$(-\frac{1}{4}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{4}V_2)$		
\vec{v}_{20}	$(-\frac{1}{2}\sqrt{\frac{2}{3}}V_2, \frac{\sqrt{2}}{2}V_2)$	\vec{v}_{41}	$(-\frac{1}{2}\sqrt{\frac{2}{3}}V_2, -\frac{\sqrt{2}}{4}V_2)$		

Fonte: o autor.

valor de pico da tensão de fase da rede de alimentação

$$M = \frac{2\hat{V}_p}{V_2}, p = \{a, b, c\} \quad (4.4)$$

Idealmente, as moduladoras m_p , com $p = \{a, b, c\}$, são idênticas as moduladoras m_{px} , com $x = \{1, 2\}$, e.g., $m_p = m_{p1} = m_{p2}$. De uma forma em geral, as moduladoras m_p são

dadas por (4.5). Portanto, cada braço no lado primário do conversor possui uma moduladora específica.

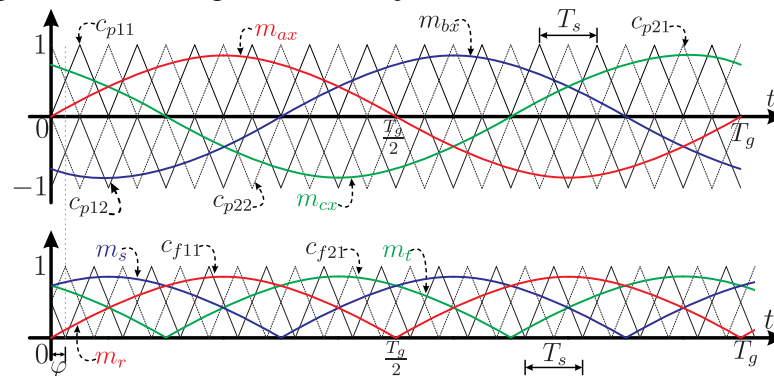
$$m_p(t) = \frac{m_{p1}(t) + m_{p2}(t)}{2}, p = \{a, b, c\} \quad (4.5)$$

A estratégia de modulação no lado secundário é baseado na condição de que as tensões impostas em v'_{p12} e v'_{f12} sejam iguais em suas respectivas fases, e.g., $v'_{a12} = v_{r12}$.

As funções de modulação no lado secundário da topologia I2NDF3 em SPWM são obtidas através da expressão (4.6).

$$\begin{cases} m_r(t) = |[m_{a1}(t) + m_{a2}(t)]/2| \\ m_s(t) = |[m_{b1}(t) + m_{b2}(t)]/2| \\ m_t(t) = |[m_{c1}(t) + m_{c2}(t)]/2| \end{cases} \quad (4.6)$$

Figura 92 – Estratégia de modulação SPWM no conversor I2NDF3.



Fonte: o autor.

4.3.2 Modulação SV2L

Visando atender a possibilidade de ampliação no índice de modulação em amplitude, a modulação SV2L é mostrada na Figura 93. O valor do índice M pode ser estendido para $M = 2/\sqrt{3}$, com isso é possível diminuir a tensão no barramento da porta II considerando a tensão de alimentação na rede elétrica fixa. Essa característica é interessante para os interruptores, pois pode-se reduzir as perdas por comutação.

A moduladora $m_{0s}(t)$ é responsável por injetar a componente de eixo zero, sendo dada por

$$m_{0s}(t) = \frac{-[\max(m_p(t)) + \min(m_p(t))]}{2}. \quad (4.7)$$

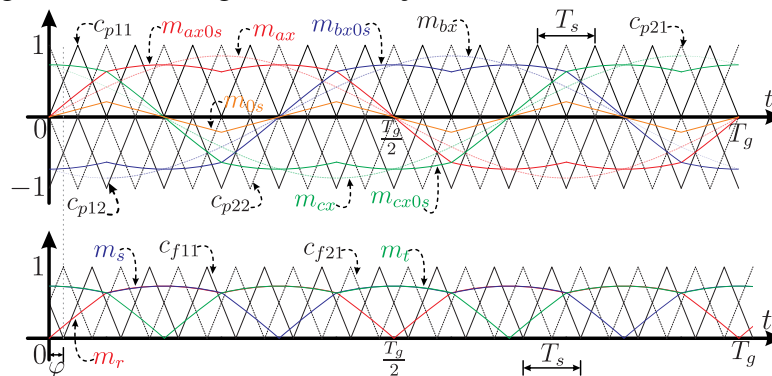
Através da soma das moduladoras $m_p(t)$ com $m_{0s}(t)$ são geradas as moduladoras $m_{px0s}(t)$ no lado primário do conversor I2NDF3, com $p = \{a, b, c\}$ e $x = \{1, 2\}$, dadas por (4.8).

$$m_{px0s}(t) = m_{px}(t) + m_{0s}(t), p = \{a, b, c\} \wedge x = \{1, 2\} \quad (4.8)$$

As moduladoras no lado secundário do conversor I2NDF3 operando na modulação SV2L são apresentadas em (4.9).

$$\begin{cases} m_{r0s}(t) = |[m_{a10s}(t) + m_{a20s}(t)]/2| \\ m_{s0s}(t) = |[m_{b10s}(t) + m_{b20s}(t)]/2| \\ m_{t0s}(t) = |[m_{c10s}(t) + m_{c20s}(t)]/2| \end{cases} \quad (4.9)$$

Figura 93 – Estratégia de modulação SV2L no conversor I2NDF3.



Fonte: o autor.

4.3.3 Modulação STHI

A modulação STHI é baseada na injeção de uma componente de terceira harmônica, com isso também é possível estender o índice de modulação para $M = 2/\sqrt{3}$. A estratégia de modulação STHI é mostrada na Figura 94.

A função de modulação responsável pela injeção da terceira harmônica é dada por (4.10) (HOLMES; LIPO, 2003).

$$m_{3h}(t) = \frac{M}{6} \sin(3\omega_g t) \quad (4.10)$$

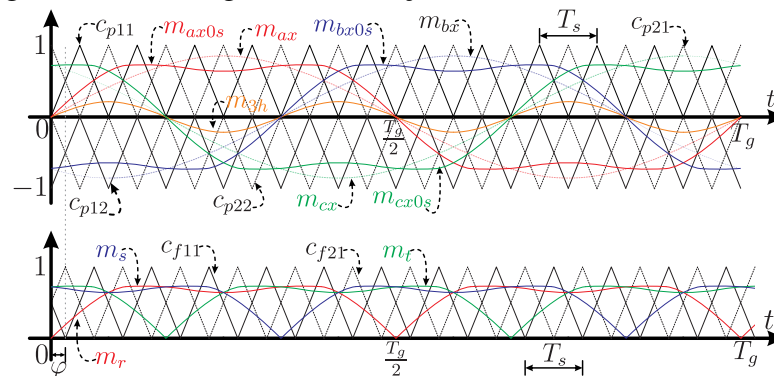
As funções de modulação $m_{px3h}(t)$ no lado primário do TES I2NDF3 são dadas por (4.11).

$$m_{px3h}(t) = m_{px}(t) + m_{3h}(t), p = \{a, b, c\} \wedge x = \{1, 2\} \quad (4.11)$$

As moduladoras no lado secundário m_{f3h} , com $f = \{r, s, t\}$, da topologia I2NDF3 são obtidas através da expressão (4.12).

$$\begin{cases} m_{r3h}(t) = |[m_{a13h}(t) + m_{a23h}(t)]/2| \\ m_{s3h}(t) = |[m_{b13h}(t) + m_{b23h}(t)]/2| \\ m_{t3h}(t) = |[m_{c13h}(t) + m_{c23h}(t)]/2| \end{cases} \quad (4.12)$$

Figura 94 – Estratégia de modulação STHI no conversor I2NDF3.



Fonte: o autor.

4.4 CONTROLE EM I2NDF3

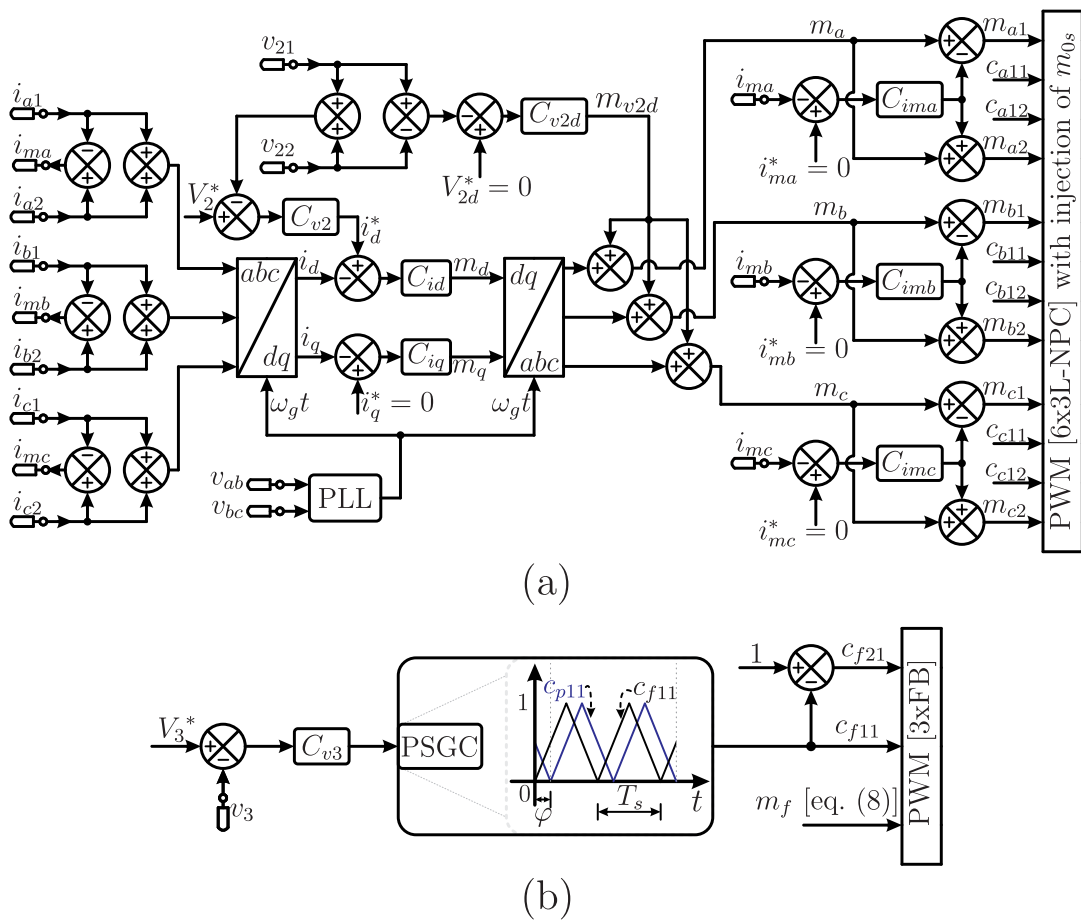
A estratégia de controle no lado primário do TES I2NDF3 é apresentada na Figura 95 (a). Para aplicação dessa estratégia são necessários 6 sensores de corrente (i_{p1} e i_{p2} , com $p =$

$\{a, b, c\}$ e 5 sensores de tensão ($v_{ab}, v_{bc}, v_{21}, v_{22}$ e v_3). Os blocos das transformadas $abc - dqo$ ($T_{abc-dqo}$) e $dqo - abc$ ($T_{dqo-abc}$), na Figura 95 são dados por (4.13) e (4.14), respectivamente.

$$T_{abc-dqo} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\theta) & \cos(\theta - 2\pi/3) & \cos(\theta + 2\pi/3) \\ -\text{sen}(\theta) & -\text{sen}(\theta - 2\pi/3) & -\text{sen}(\theta + 2\pi/3) \\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \end{bmatrix} \quad (4.13)$$

$$T_{dqo-abc} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\theta) & -\text{sen}(\theta) & 1/\sqrt{2} \\ \cos(\theta - 2\pi/3) & -\text{sen}(\theta - 2\pi/3) & 1/\sqrt{2} \\ \cos(\theta + 2\pi/3) & -\text{sen}(\theta + 2\pi/3) & 1/\sqrt{2} \end{bmatrix} \quad (4.14)$$

Figura 95 – Estratégia de controle no conversor I2NDF3: (a) Lado primário e (b) Lado secundário.



Fonte: o autor.

4.5 RESULTADOS DE SIMULAÇÃO EM I2NDF3

4.5.1 Descrição do Circuito de Simulação

O circuito elétrico da topologia I2NDF3, utilizado para obtenção dos resultados de simulação, é mostrado no Apêndice G.

As especificações e os parâmetros assumidos para projeto do conversor I2NDF3 são apresentados nas Tabelas 19 e 20, respectivamente. Com base nesses dados, os componentes do circuito de potência utilizados na simulação do conversor I2NDF3 foram obtidos, como mostrado na Tabela 21.

Tabela 19 – Especificações de projeto do conversor I2NDF3 para simulação.

Tensão na rede elétrica, $V_{p,rms}$	13,8 kV
Frequência na rede elétrica, f_g	60 Hz
Tensão na porta II, V_2	22 kV
Tensão na porta III, V_3	800 V
Potência na porta III, P_3	100 kW

Fonte: o autor.

Tabela 20 – Parâmetros assumidos para projeto do conversor I2NDF3.

Ângulo <i>phase shift</i> , φ	$\pi/6$ rad
Frequência de chaveamento, f_s	10,08 kHz
Ondulação máxima de corrente na porta I, $\Delta_{iL1,max}$	10%
Ondulação de tensão na porta II, Δ_{v2}	5%
Ondulação de tensão na porta III, Δ_{v3}	2%
Razão entre as tensões $V_{e12,rms}$ e $V'_{m12,rms}$, δ	1

Fonte: o autor.

Os componentes magnéticos da estrutura I2NDF3 são projetados seguindo a metodologia apresentada em (MAZZA, 2014), assim como descrito na estrutura monofásica.

4.5.2 Regime Permanente

Os resultados de simulação em regime permanente do conversor I2NDF3 são mostrados na Figura 96. As correntes i_a , i_b , i_c são mantidas senoidais e em fase com as respectivas tensões de alimentação da rede elétrica trifásica. Além disso, as tensões v_{21} e v_{22} estão equilibra-

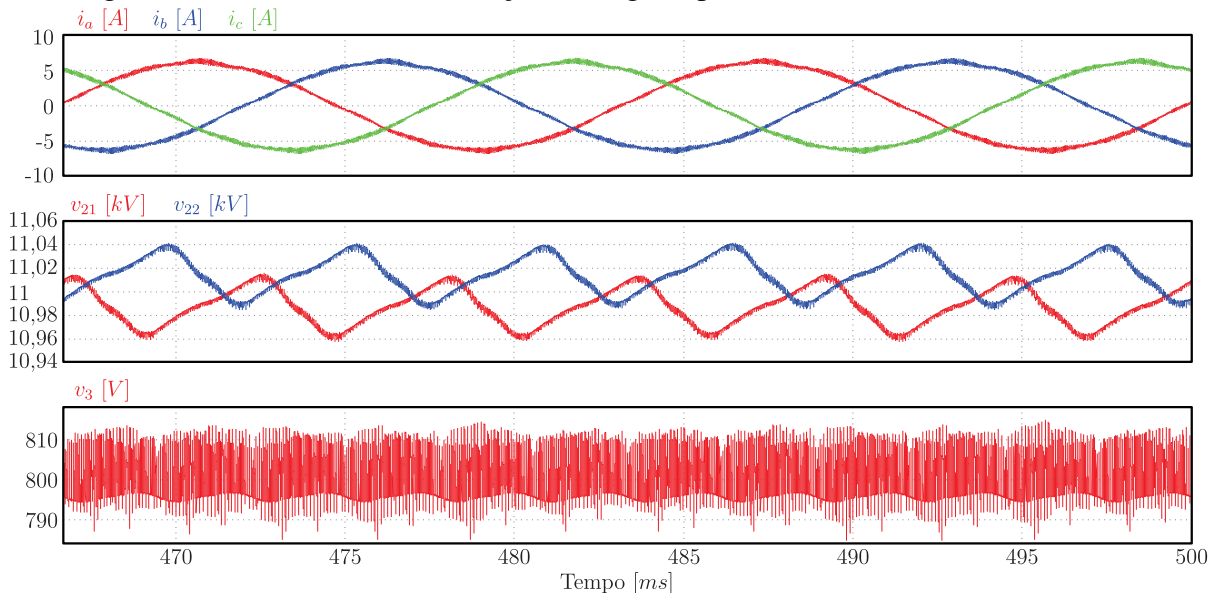
Tabela 21 – Componentes utilizados no circuito de simulação do conversor I2NDF3.

Capacitor eletrolítico na porta II, C_{21}	arranjo com um ramo 4 x 470 $\mu\text{F}/450\text{V}$ em série e 6 ramos em paralelo
Capacitor eletrolítico na porta II, C_{22}	arranjo com um ramo 4 x 470 $\mu\text{F}/450\text{V}$ em série e 6 ramos em paralelo
Capacitor eletrolítico na porta III, C_3	arranjo com um ramo 2 x 470 $\mu\text{F}/450\text{V}$ em série e 6 ramos em paralelo
Indutores na porta I	$L_{1p}=175\text{mH}$, $R_{L1p}=5.044\Omega$, Núcleo Toroidal Magmattec MMT034T16551 (pó de ferro), $N_{L1p}=1340$ espiras, $N_{wpL1p}=2$ fios AWG #19
Autotransformadores AT_p	Núcleo Toroidal Magmattec MMT0 (nanocristalino), N_{p1} , $N_{p2}=854$ espiras, N_{wppw1} , $N_{wppw2}=2$ wires AWG #19
Transformador Tm	Núcleo Toroidal Magmattec MMT0 (nanocristalino), $N_{pp}=153$ e $N_{sf}=1584$ espiras
Indutores de transferência de potência	$L_f=64 \mu\text{H}$, $R_{L1p}=3.044\Omega$, Núcleo Toroidal Magmattec MMT034T16551 (pó de ferro), $N_{L1p}=558$ espiras

Fonte: o autor.

das em torno do valor médio de 11 kV. Por último percebe-se que a tensão v_3 está controlada com um valor médio de 800 V.

Figura 96 – Resultados de simulação em regime permanente no conversor I2NDF3.



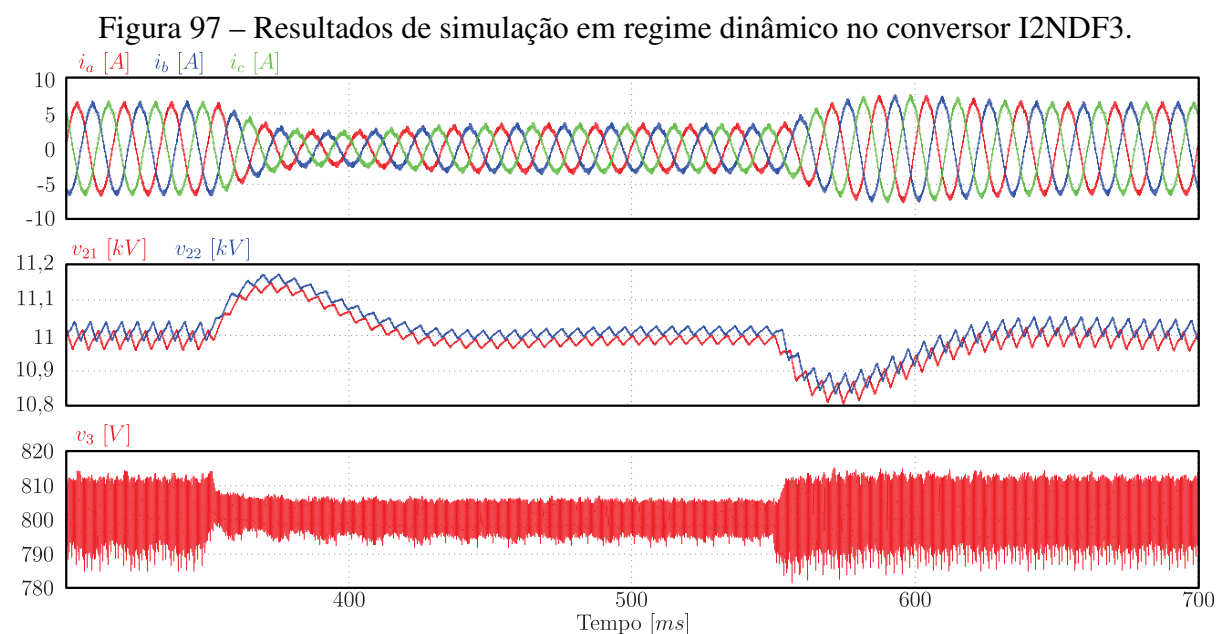
Fonte: o autor.

4.5.3 Regime Dinâmico

Os resultados de simulação em regime dinâmico do conversor I2NDF3 operando no MOR são mostrados na Figura 96. Um degrau de carga de 100% para 50% ocorre no instante

$t = 350 \text{ ms}$, a resposta dinâmica das correntes i_a , i_b , i_c e das tensões v_{21} , v_{22} e v_3 possuem um tempo de acomodação em torno de 99 ms .

Outro degrau de carga é aplicado no instante $t = 550 \text{ ms}$, com carga de 50% para 100%. Observa-se que o tempo de acomodação é de aproximadamente 104 ms , i.e., similar ao degrau anterior.



Fonte: o autor.

4.5.4 Ensaio Bidirecional

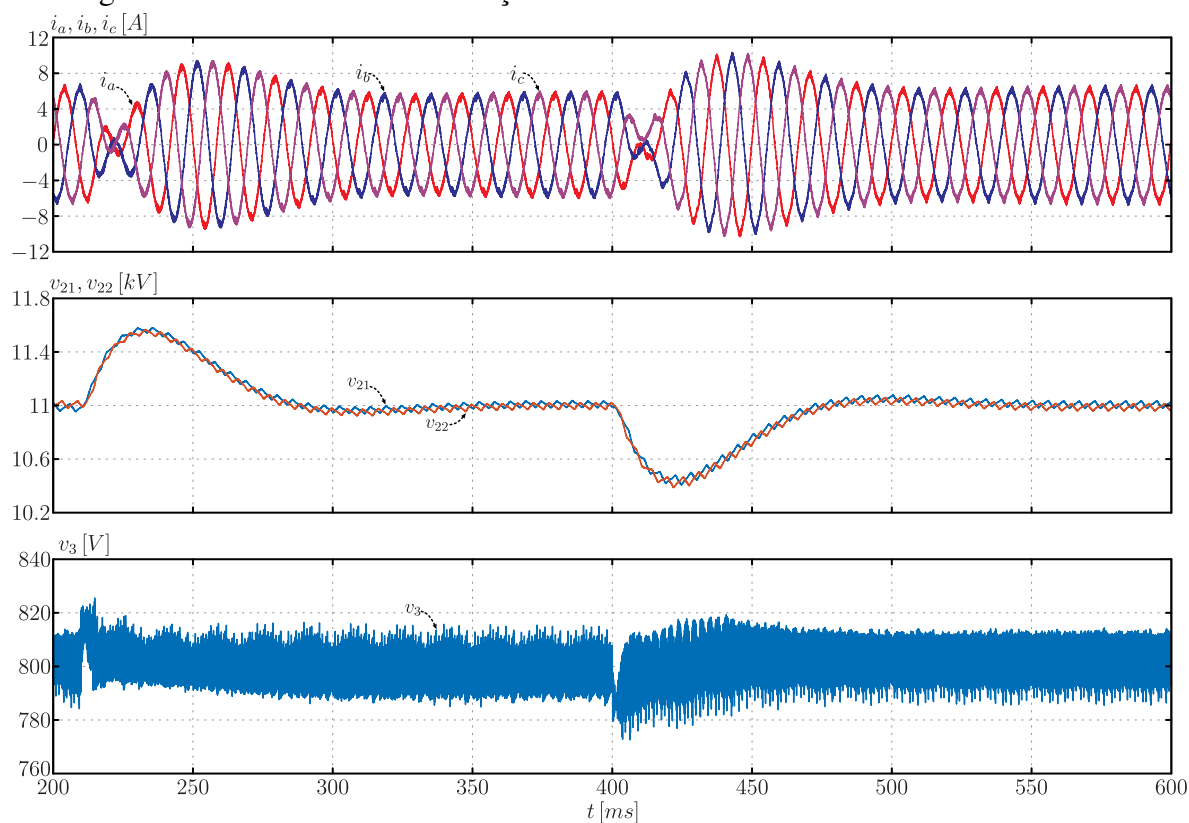
Os resultados de simulação obtidos no ensaio bidirecional do conversor I2NDF3 são mostrados na Figura 96.

Inicialmente o conversor I2NDF3 está operando no MOR, no instante $t = 210 \text{ ms}$ ocorre a inversão do fluxo de potência para o MOI. O tempo de acomodação nessa alternância é de aproximadamente 90 ms para a entrada em regime permanente. Em outro instante, $t = 400 \text{ ms}$, o conversor retorna a operação para o MOR, sendo que o tempo de acomodação nessa mudança é em torno de 100 ms .

4.5.5 Proposta de Aplicação do TES I2NDF3

O TES I2NDF3 pode ser aplicado na microrrede mostrada Figura 99. Portanto, a topologia proposta é a interface entre as rede elétricas em CA (13,8kV/60Hz) e CC (800V). Percebe-se também a inserção de n-TES no sistema, conforme a necessidade de potência a ser

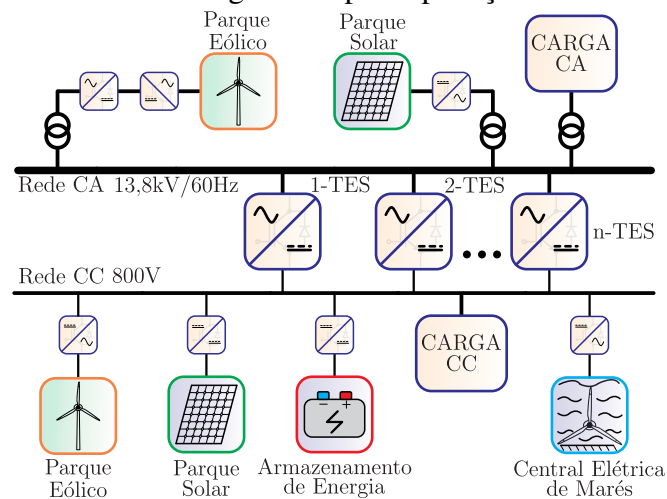
Figura 98 – Resultados de simulação do ensaio bidirecional no conversor I2NDF3.



Fonte: o autor.

processada entre as redes elétricas.

Figura 99 – Microrrede genérica para aplicação do TES I2NDF3.



Fonte: o autor.

4.5.6 Estudo de Caso

O estudo de caso será conduzido com os parâmetros e especificações demonstrados na Tabela 19. Portanto, o valor eficaz da rede elétrica CA é de 13,8 kV / 60 Hz, e as tensões

nas portas 2 e 3 são 22 kV e 800 V, respectivamente. A potência processada pela conversor é de 100 kW. A frequência de chaveamento e o ganho no transformador são $f_s = 10,08$ kHz e $\delta = 1$, respectivamente.

Os componentes da estrutura topológica I2NDF3 são os mesmos parâmetros utilizados na Tabela 21.

4.5.6.1 Chave no primário da topologia I2NDF3

A chave de potência escolhida para o lado primário do conversor I2NDF3 é a 4H-SiC n-IGBT com a seguinte característica de bloqueio/condução: 15 kV/20 A (KADAVELUGU *et al.*, 2013) e (KADAVELUGU *et al.*, 2015). As Características dos interruptores de potência no lado primário são apresentadas na Tabela 22.

Tabela 22 – Características dos interruptores de potência no lado primário expostas em (KADAVELUGU *et al.*, 2013) e (KADAVELUGU *et al.*, 2015).

Parâmetros	Especificações
Queda de tensão na chave (V_{Saxy})	3,3 V
Resistência da chave em condução (R_{Saxy})	115 mΩ
Queda de tensão no diodo (V_{Daxy})	0,8 V
Resistência no diodo em condução (R_{Daxy})	560 mΩ

Fonte: o autor.

4.5.6.2 Chave no secundário da topologia I2NDF3

Já a chave de potência selecionada no lado secundário da topologia I2NDF3 é o MOSFET com a característica de bloqueio/condução: 1200 V/100 A (HAZRA *et al.*, 2013), (MADHUSOODHANAN *et al.*, 2015) e (HAZRA *et al.*, 2016). As Características dos interruptores de potência no lado secundário são apresentadas na Tabela 23.

4.5.6.3 Perdas elétricas no estudo de caso

Considerando as chaves selecionadas nas seções anteriores, realizou-se o estudo de perdas e logo depois a comparação com outras topologias. As perdas por condução, comutação e totais da topologia I2NDF3 são apresentadas na Tabela 24. Um estudo comparativo é apresentado na próxima Seção.

Tabela 23 – Características dos interruptores de potência no lado secundário explanadas em (HAZRA *et al.*, 2013), (MADHUSOODHANAN *et al.*, 2015) e (HAZRA *et al.*, 2016).

Parâmetros	Especificações
Queda de tensão na chave ($V_{S_{rxy}}$)	0,8 V
Resistência da chave em condução ($R_{S_{rxy}}$)	18 m Ω
Queda de tensão no diodo ($V_{D_{rxy}}$)	0,5 V
Resistência no diodo em condução ($R_{D_{rxy}}$)	25 m Ω

Fonte: o autor.

4.5.7 Comparativo de perdas com outras topologias

Estudo de perdas comparativas são apresentados considerando no transformador uma frequência de 10.08 kHz, rede CA de 13,8 kV / 60 Hz, tensão de alimentação CC de 800 V e potência na saída de 100 kW. Para o estudo comparativo de perdas, todos os cálculos e simulações foram realizados para arranjos trifásicos, incluindo a topologia proposta.

Para realizar as perdas comparativas, o conversor estudado será comparado com outros três conversores. O primeiro conversor (topologia A) a ser analisado é estudado em (OLIVEIRA *et al.*, 2015). O conversor possui característica multinível CA-CA, onde a implementação de um filtro LC para corrigir a ondulação na corrente de entrada foi necessária. Além disso, verificou-se que o conversor possui uma comutação ZVS para um fluxo bidirecional. Esse recurso provou ser muito interessante considerando a alta frequência de comutação.

Outra característica importante do conversor CA-CA é o alto valor das correntes de ondulação através do interruptor e a tensão primária do transformador de média frequência. O conversor obteve uma operação satisfatória para uma potência de 100 kW, mas apresentou um alto fluxo reativo com circuito aberto.

O segundo conversor (topologia B) é uma estrutura modular em cascata *H-Bridge* com base no Transformador de Estado Sólido apresentado em (MONTROYA *et al.*, 2015). A primeira etapa é baseada em um conversor CA-CC com conversor de múltiplos níveis de células *H-Bridge*. Na conversão CC-CC é apresentado o conversor DAB. Finalmente, o último estágio de conversão está presente em um conversor CC-CA que pode ser conectado de forma independente de cada módulo, ou pode ser conectado para formar outro conversor multinível.

O terceiro conversor (topologia C) é uma estrutura topológica de três estágios (KADAVELUGU *et al.*, 2015), mas neste artigo apenas os dois primeiros são estudados todos os estágios. O primeiro estágio é um conversor AC / DC composto por um NPC-3L, onde um filtro

LCL é usado para diminuir a ondulação na corrente de entrada (13,8 kV) e reduz o tamanho do filtro. O segundo estágio é um conversor DC/DC composto por um conversor trifásico interligado por um transformador Y:Y/DAB.

Como pode ser visto na Tabela 24, a eficiência da topologia proposta é de 97,2% com uma diferença de 0,6% para o melhor resultado. A primeira harmônica da corrente de entrada é a mesma nas topologias A, B e C e tem uma frequência igual à de comutação, enquanto a topologia proposta apresenta uma primeira harmônica com o dobro da frequência de comutação. Sobre o número de interruptores usados no lado primário das topologias: A topologia proposta usa o mesmo número de interruptores das topologias A e C, enquanto que a topologia B usa um número de chaves 33% maior que as demais topologias.

Tabela 24 – Estudo comparativo de perdas elétricas em várias topologias.

Características	Topologias			
	A	B	C	I2NDF3
Perdas por condução	1,22 kW	1,05 kW	1,37 kW	1,11 kW
Perdas por comutação	0,98 kW	2,2 kW	2,49 kW	1,72 kW
Perdas totais	2,2 kW	3,25 kW	3,86 kW	2,83 kW
Rendimento	97,8%	96,7%	96,1%	97,2%
Ordem 1º harmônico da corrente - rede CA	f_s	f_s	f_s	$2f_s$
Número de chaves no lado primário	24	36	24	24

Fonte: o autor.

5 CONCLUSÕES E TRABALHOS FUTUROS

5.1 Conclusões

Este trabalho apresentou o estudo de topologias bidirecionais CA-CC, isolados em alta frequência, que utilizam como técnica de intercalamento a CCTE, versões monofásica e trifásica, para aplicação em TES. A notável inserção dos TES no sistema elétrico de potência mostra a sua importância, principalmente em redes com interfaceamento entre CA e CC. Particularmente neste trabalho, as topologias propostas foram idealizadas para redução no número de transformadores, sendo um na versão monofásica e três na trifásica.

O capítulo 1 apresenta a introdução geral da tese, juntamente com a contextualização e motivação. A revisão bibliográfica da tese demonstrou diversas topologias implementáveis aos TES, utilizando inúmeras configurações (CA-CC, CA-CA e CC-CC). Duas classificações para TES são apresentadas. A concepção das topologias propostas é baseada no NPC-3L e CCTE no lado primário dos conversores I2NDF1 e I2NDF3. Já no lado secundário foi utilizado o FB monofásico como célula básica.

O capítulo 2, destinado ao estudo do conversor I2NDF1, apresenta o princípio de funcionamento da topologia de TES I2NDF1, que buscando simplicidade na análise são considerados apenas os sub-módulos NPC-3L e FB monofásico. As estratégias de modulação aplicadas ao lado primário e secundário são demonstradas, indicando uma dependência entre as moduladoras de ambos os lados.

As principais tensões sintetizadas pelo conversor I2NDF1 são mostradas. Realizou-se também um estudo sobre o espaço de estados de chaveamento da topologia I2NDF1, onde percebeu-se as interações entre as tensões geradas pela estrutura. Além disso foi introduzido uma análise sobre o transformador e autotransformador presente na topologia proposta. Os principais parâmetros do conversor I2NDF1 foram apresentados, como ondulação da corrente na porta I e ondulação da tensão nas portas II e III.

O modelo elétrico para o fluxo de potência no transformador T_m , considerando apenas a componente fundamental na frequência de chaveamento f_s foi adotado devido a simplicidade na análise. Com isso, foi possível realizar a modelagem da malha de tensão v_3 , em I2NDF1 e I2NDF3, utilizando esse modelo.

Entretanto, para obtenção de resultados para o fluxo de potência no transformador T_m considerando todos os harmônicos de corrente e tensão presentes, adotou-se o modelo completo

baseado nas etapas de funcionamento para cada região de operação R_{y+} , com $y = \{1, 2, 3, 4\}$. Este modelo é essencial para a análise do chaveamento dos interruptores, visando a busca pelas regiões de comutação dissipativa e suave (ZVS e ZCS).

Uma análise de perdas genérica foi adotada em I2NDF1, mostrando as perdas elétricas por condução e comutação nos interruptores de potência.

O terceiro capítulo deste trabalho apresentou os resultados de simulação e experimentais no TES I2NDF1. Para estudo foram considerados os testes em regime permanente, dinâmico, o ensaio bidirecional no fluxo de potência e a análise de desempenho, tanto em simulação como no experimental. Além disso foram demonstrados os principais parâmetros construtivos do protótipo.

O capítulo 4, relativo ao estudo do conversor I2NDF3, apresentou o princípio de funcionamento da topologia proposta trifásica. Uma análise vetorial e os esquemas de modulação foram mostradas em detalhe. Como a aplicação do TES I2NDF3 foi em uma microrrede com 13.8 kV (CA) e 800 V (CC), a estratégia de modulação adotada foi a SV2L. A estratégia de controle foi apresentada, demonstrando um controle baseado na teoria dq . Por último, apresentou-se os resultados de simulação em regime permanente, dinâmico e o ensaio bidirecional. Adicionalmente foi realizado um comparativo de perdas elétricas com outras topologias, demonstrando características atrativas da estrutura trifásica I2NDF3.

Por fim, são apresentados os principais trabalhos futuros derivadas desta tese.

5.2 Recomendações de Trabalhos Futuros

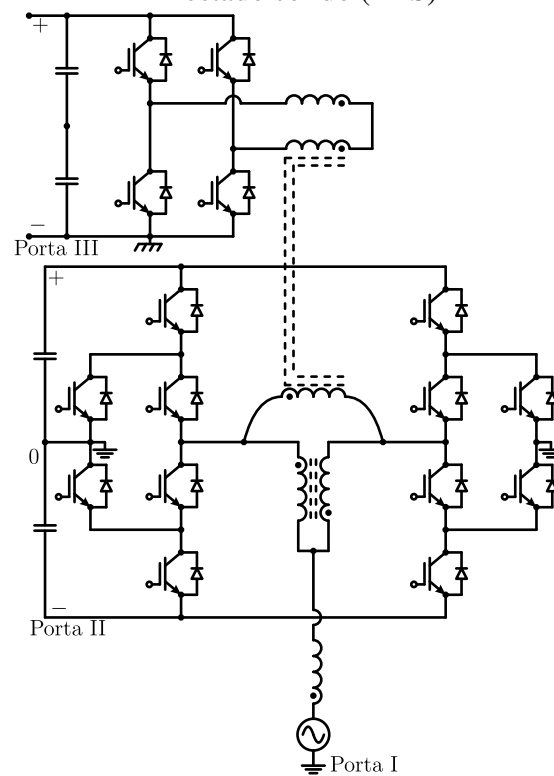
Visando a continuação de trabalhos em torno das contribuições da presente tese são elencadas as recomendações para pesquisas futuras:

- Estudo das versões monofásica e trifásica das estruturas abordadas nesta tese, com a substituição dos diodos de grampeamento por chaves ativas (bidirecionais em corrente), assim como ilustrados nas Figuras 100 e 101;
- A realização de um estudo direcionado a otimização dos magnéticos, buscando a junção entre o indutor CA da porta I e o autotransformador, como também o transformador com o indutor de transferência de potência, reduzindo pela metade o número de núcleos magnéticos nas versões monofásica e trifásica das estruturas propostas;
- Propor um algoritmo de balanceamento das tensões na porta II dos conversores propostos;
- Abordar a modelagem com maiores detalhes, inclusive buscando evidenciar as não-

idealidades presentes nos conversores desenvolvidos no decorrer da tese;

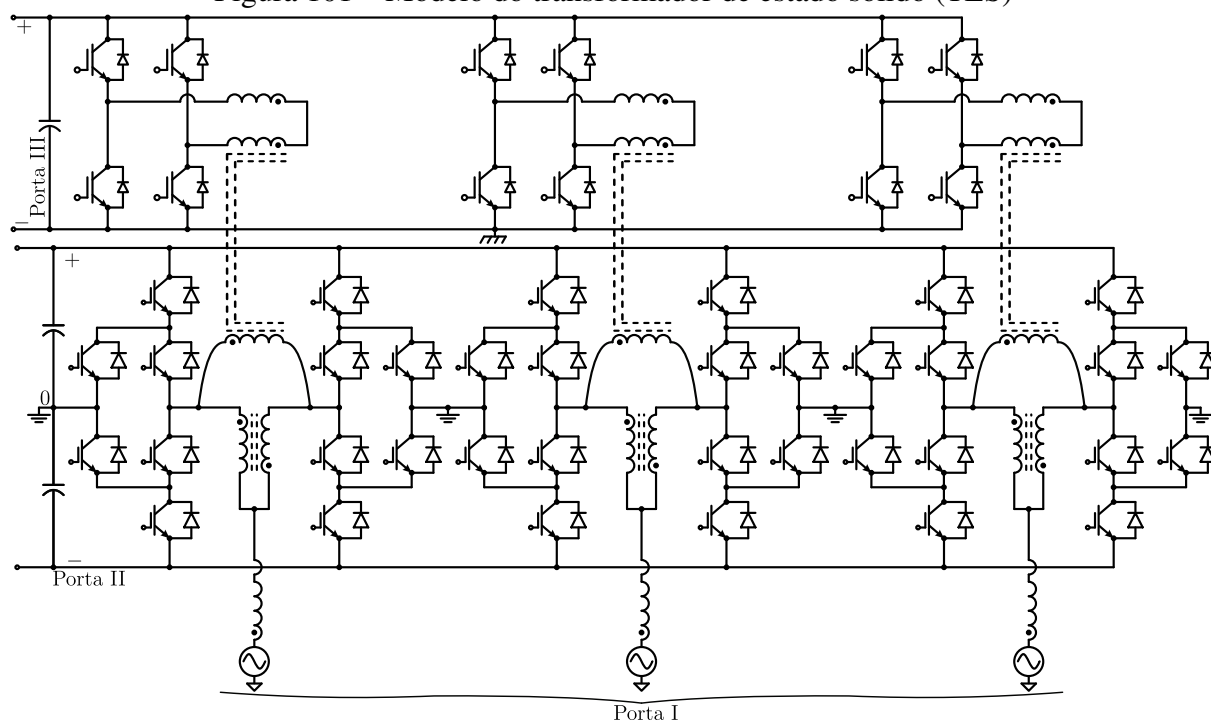
- Implementar as topologias estudadas com a utilização da porta II, i.e., as estruturas operando como conversores de três portas ativas;
- Desenvolver um estudo para adaptação da topologia para substituição da fonte CA na porta I por uma fonte CC, seja versão monofásica ou trifásica, essa última com alteração nas ligações físicas entre os três indutores da porta I.

Figura 100 – Modelo do transformador de estado sólido (TES)



Fonte: o autor.

Figura 101 – Modelo do transformador de estado sólido (TES)



Fonte: o autor.

REFERÊNCIAS

ALMEIDA, B. R.; OLIVEIRA JR., D. S. Conversor ca-cc trifásico bidirecional de Único estágio com correção de fator de potência e isolado em alta frequência. **Revista Eletrônica de Potência**, v. 21, n. 2, p. 117–125, mar./jun. 2016. ISSN 1414-8862.

BASU, K.; MOHAN, N. A single-stage power electronic transformer for a three-phase pwm ac/ac drive with source-based commutation of leakage energy and common-mode voltage suppression. **IEEE Transactions on Industrial Electronics**, v. 61, n. 11, p. 5881–5893, Nov 2014. ISSN 0278-0046.

BASU, K.; SHAHANI, A.; SAHOO, A. K.; MOHAN, N. A single-stage solid-state transformer for pwm ac drive with source-based commutation of leakage energy. **IEEE Transactions on Power Electronics**, v. 30, n. 3, p. 1734–1746, March 2015. ISSN 0885-8993.

BOWERS, J. C.; GARRETT, S. J.; NIENHAUS, H. A.; BROOKS, J. L. A solid state transformer. In: **Power Electronics Specialists Conference, 1980. PESC. IEEE**. [S.l.: s.n.], 1980. p. 253–264. ISSN 0275-9306.

CHEN, D. Novel current-mode ac/ac converters with high-frequency ac link. **IEEE Transactions on Industrial Electronics**, v. 55, n. 1, p. 30–37, Jan 2008. ISSN 0278-0046.

CHEN, H.; PRASAI, A.; DIVAN, D. Dyna-c: A minimal topology for bidirectional solid-state transformers. **IEEE Transactions on Power Electronics**, v. 32, n. 2, p. 995–1005, Feb 2017. ISSN 0885-8993.

CHEN, H.; PRASAI, A.; MOGHE, R.; CHINTAKRINDA, K.; DIVAN, D. A 50-kva three-phase solid-state transformer based on the minimal topology: Dyna-c. **IEEE Transactions on Power Electronics**, v. 31, n. 12, p. 8126–8137, Dec 2016. ISSN 0885-8993.

DE FREITAS, N. B.; JACOBINA, C. B.; MAIA, A. C. N.; MELO, V. F. M. B. Six-leg single-phase multilevel rectifier inverter: Pwm strategies and control. **IEEE Transactions on Industry Applications**, v. 53, n. 1, p. 350–361, Jan 2017. ISSN 0093-9994.

de Oliveira, R. N. M.; dos Santos Mazza, L. C.; de Oliveira Filho, H. M.; Oliveira, D. d. S. A three-port isolated three-phase current-fed dc–dc converter feasible to pv and storage energy system connection on a dc distribution grid. **IEEE Transactions on Industry Applications**, v. 55, n. 5, p. 4910–4919, Sep. 2019.

DONCKER, R. W. A. A. D.; DIVAN, D. M.; KHERALUWALA, M. H. A three-phase soft-switched high-power-density dc/dc converter for high-power applications. **IEEE Transactions on Industry Applications**, v. 27, n. 1, p. 63–73, Jan 1991. ISSN 0093-9994.

ERICKSON, R.; MAKSIMOVIC, D. **Fundamentals of Power Electronics**. Springer US, 2001. (Power electronics). ISBN 9780792372707. Disponível em: <<https://books.google.com.br/books?id=On9-rJTR8ygC>>.

FALCONES, S.; AYYANAR, R.; MAO, X. A dc-dc multiport-converter-based solid-state transformer integrating distributed generation and storage. **IEEE Transactions on Power Electronics**, v. 28, n. 5, p. 2192–2203, May 2013. ISSN 0885-8993.

FALCONES, S.; MAO, X.; AYYANAR, R. Topology comparison for solid state transformer implementation. In: **Power and Energy Society General Meeting, 2010 IEEE**. [S.l.: s.n.], 2010. p. 1–8. ISSN 1944-9925.

FAN, H.; LI, H. High-frequency transformer isolated bidirectional dc-dc converter modules with high efficiency over wide load range for 20 kva solid-state transformer. **IEEE Transactions on Power Electronics**, v. 26, n. 12, p. 3599–3608, Dec 2011. ISSN 0885-8993.

HAZRA, S.; MADHUSOODHANAN, S.; BHATTACHARYA, S.; MOGHADDAM, G. K.; HATUA, K. Design considerations and performance evaluation of 1200 v, 100 a sic mosfet based converter for high power density application. In: **2013 IEEE Energy Conversion Congress and Exposition**. [S.l.: s.n.], 2013. p. 4278–4285. ISSN 2329-3721.

HAZRA, S.; MADHUSOODHANAN, S.; MOGHADDAM, G. K.; HATUA, K.; BHATTACHARYA, S. Design considerations and performance evaluation of 1200-v 100-a sic mosfet-based two-level voltage source converter. **IEEE Transactions on Industry Applications**, v. 52, n. 5, p. 4257–4268, Sept 2016. ISSN 0093-9994.

HOLMES, D. G.; LIPO, T. A. **Pulse width modulation for power converters: principles and practice**. [S.l.]: John Wiley & Sons, 2003. v. 18.

HONORIO, D. d. A.; OLIVEIRA, D. S.; BARRETO, L. H. S. C.; ANTUNES, F. L. M. A solid state transformer based on a single-stage ac-dc modular cascaded multilevel converter. In: **2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)**. [S.l.: s.n.], 2016. p. 1–9.

IRFAN, M. S.; AHMED, A.; PARK, J. H.; SEO, C. Current-sensorless power-decoupling phase-shift dual-half-bridge converter for dc 8211;ac power conversion systems without electrolytic capacitor. **IEEE Transactions on Power Electronics**, v. 32, n. 5, p. 3610–3622, May 2017. ISSN 0885-8993.

JOCA, D. R.; BARRETO, L. H. S. C.; OLIVEIRA, D. S.; PRAÇA, P. P. A single-phase isolated ac-dc converter using an interleaved mmc. In: **2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)**. [S.l.: s.n.], 2015. p. 1–6.

KADAVELUGU, A.; BHATTACHARYA, S.; RYU, S. H.; BRUNT, E. V.; GRIDER, D.; AGARWAL, A.; LESLIE, S. Characterization of 15 kv sic n-igbt and its application considerations for high power converters. In: **2013 IEEE Energy Conversion Congress and Exposition**. [S.l.: s.n.], 2013. p. 2528–2535. ISSN 2329-3721.

KADAVELUGU, A.; MAINALI, K.; PATEL, D.; MADHUSOODHANAN, S.; TRIPATHI, A.; HATUA, K.; BHATTACHARYA, S.; RYU, S. H.; GRIDER, D.; LESLIE, S. Medium voltage power converter design and demonstration using 15 kv sic n-igbts. In: **2015 IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.: s.n.], 2015. p. 1396–1403. ISSN 1048-2334.

KHERALUWALA, M. N.; GASCOIGNE, R. W.; DIVAN, D. M.; BAUMANN, E. D. Performance characterization of a high-power dual active bridge dc-to-dc converter. **IEEE Transactions on Industry Applications**, v. 28, n. 6, p. 1294–1301, Nov 1992. ISSN 0093-9994.

KOLAR, J. W.; ORTIZ, G. I. Solid-State-Transformers: Key Components of Future Traction and Smart Grid Systems. In: **Proceedings of the International Power Electronics Conference - ECCE Asia (IPEC 2014)**. [S.l.]: IEEE, 2014.

LEIBL, M.; ORTIZ, G.; KOLAR, J. W. Design and experimental analysis of a medium-frequency transformer for solid-state transformer applications. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 5, n. 1, p. 110–123, March 2017. ISSN 2168-6777.

MADHUSOODHANAN, S.; TRIPATHI, A.; PATEL, D.; MAINALI, K.; KADAVELUGU, A.; HAZRA, S.; BHATTACHARYA, S.; HATUA, K. Solid-state transformer and mv grid tie applications enabled by 15 kv sic igbts and 10 kv sic mosfets based multilevel converters. **IEEE Transactions on Industry Applications**, v. 51, n. 4, p. 3343–3360, July 2015. ISSN 0093-9994.

MARINUS, N. S. M. L.; SANTOS, E. C. dos; JACOBINA, C. B.; ROCHA, N.; FREITAS, N. B. de. A bridgeless controlled rectifier for single split-phase systems. **IEEE Transactions on Industry Applications**, PP, n. 99, p. 1–1, 2017. ISSN 0093-9994.

MAZZA, L. C. d. S. **Conversor CC-CC bidirecional DAB monofásico baseado na célula de comutação de três estados**. Dissertação (Mestrado), 2014.

MAZZA, L. C. S.; OLIVEIRA, D. S.; ANTUNES, F. L. M.; ALVES, D. B. S.; SOUZA, J. J. S. A soft switching bidirectional dc-dc converter with high frequency isolation. In: **2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)**. [S.l.: s.n.], 2015. p. 1–6.

MCMURRAY, W. **Power converter circuits having a high frequency link**. Google Patents, 1970. US Patent 3,517,300. Disponível em: <<http://www.google.com/patents/US3517300>>.

MONTOYA, R. J. G.; MALLELA, A.; BALDA, J. C. An evaluation of selected solid-state transformer topologies for electric distribution systems. In: **2015 IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.: s.n.], 2015. p. 1022–1029. ISSN 1048-2334.

NIENHAUS, H. A.; BOWERS, J. C.; BROOKS, J. L. An active power bandpass filter. In: **Power Electronics Specialists Conference, 1978 IEEE**. [S.l.: s.n.], 1978. p. 307–316. ISSN 0275-9306.

OLIVEIRA, D. S.; HONORIO, D. d. A.; BARRETO, L. H. S. C.; PRACA, P. P. A single-stage ac-dc modular cascaded multilevel converter feasible to sst applications. In: **Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management**. [S.l.: s.n.], 2015. p. 1–8.

OLIVEIRA FILHO, H. M. de; OLIVEIRA JR., D. de S.; PRAÇA, P. P. Steady-state analysis of a zvs bidirectional isolated three-phase dc-dc converter using dual phase-shift control with variable duty cycle. **IEEE Transactions on Power Electronics**, v. 31, n. 3, p. 1863–1872, March 2016. ISSN 0885-8993.

ORTMANN, M. S. *et al.*

Retificadores multiníveis PWM unidirecionais de alto fator de potência com célula de comutação de múltiplos estados, 2012.

PACHECO, J. O.; BRITO, F. J. B.; OLIVEIRA JR., D. S. Bidirectional ac-dc modular multilevel converter based on the three-state switching cell. In: **2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)**. [S.l.: s.n.], 2015. p. 1–5.

QIN, H.; KIMBALL, J. W. Solid-state transformer architecture using ac-ac dual-active-bridge converter. **IEEE Transactions on Industrial Electronics**, v. 60, n. 9, p. 3720–3730, Sept 2013. ISSN 0278-0046.

SABAHI, M.; HOSSEINI, S. H.; SHARIFIAN, M. B.; GOHARRIZI, A. Y.; GHAREHPETIAN, G. B. Zero-voltage switching bi-directional power electronic transformer. **IET Power Electronics**, v. 3, n. 5, p. 818–828, September 2010. ISSN 1755-4535.

SANTOS, W. M. d. *et al.* Estudo e implementação do conversor tab (triple active bridge) aplicado a sistemas renováveis solares fotovoltaicos. Florianópolis, SC, 2011.

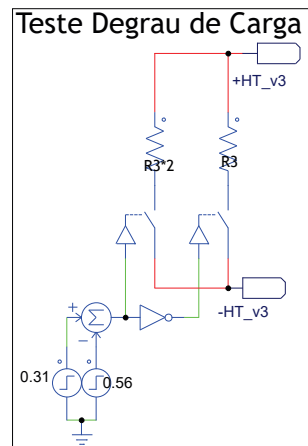
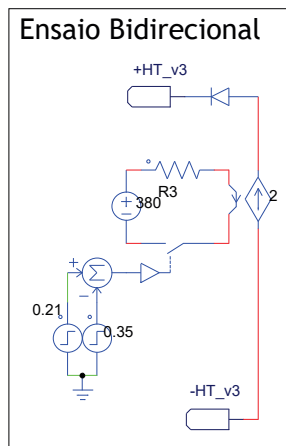
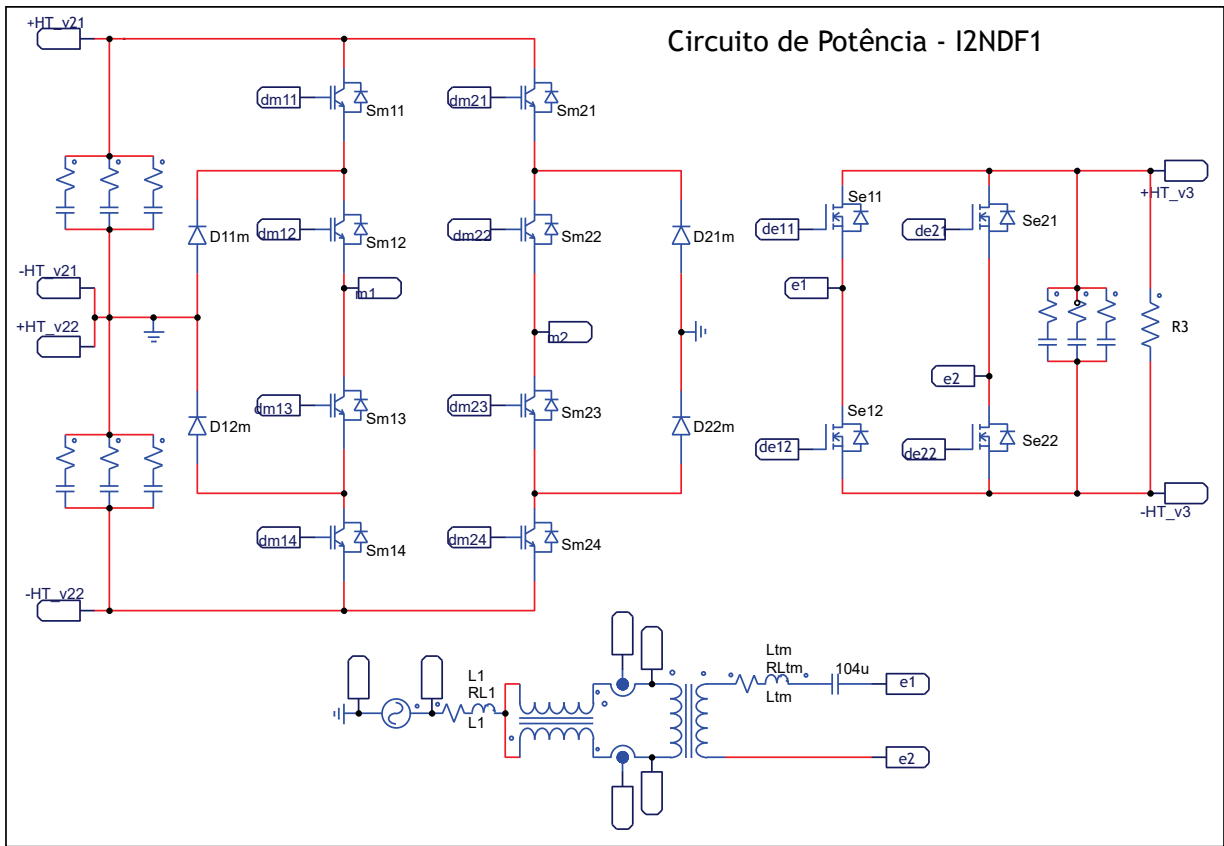
She, X.; Huang, A. Q.; Lucía, ; Ozpineci, B. Review of silicon carbide power devices and their applications. **IEEE Transactions on Industrial Electronics**, v. 64, n. 10, p. 8193–8205, Oct 2017.

WANG, L.; ZHANG, D.; WANG, Y.; WU, B.; ATHAB, H. S. Power and voltage balance control of a novel three-phase solid-state transformer using multilevel cascaded h-bridge inverters for microgrid applications. **IEEE Transactions on Power Electronics**, v. 31, n. 4, p. 3289–3301, April 2016. ISSN 0885-8993.

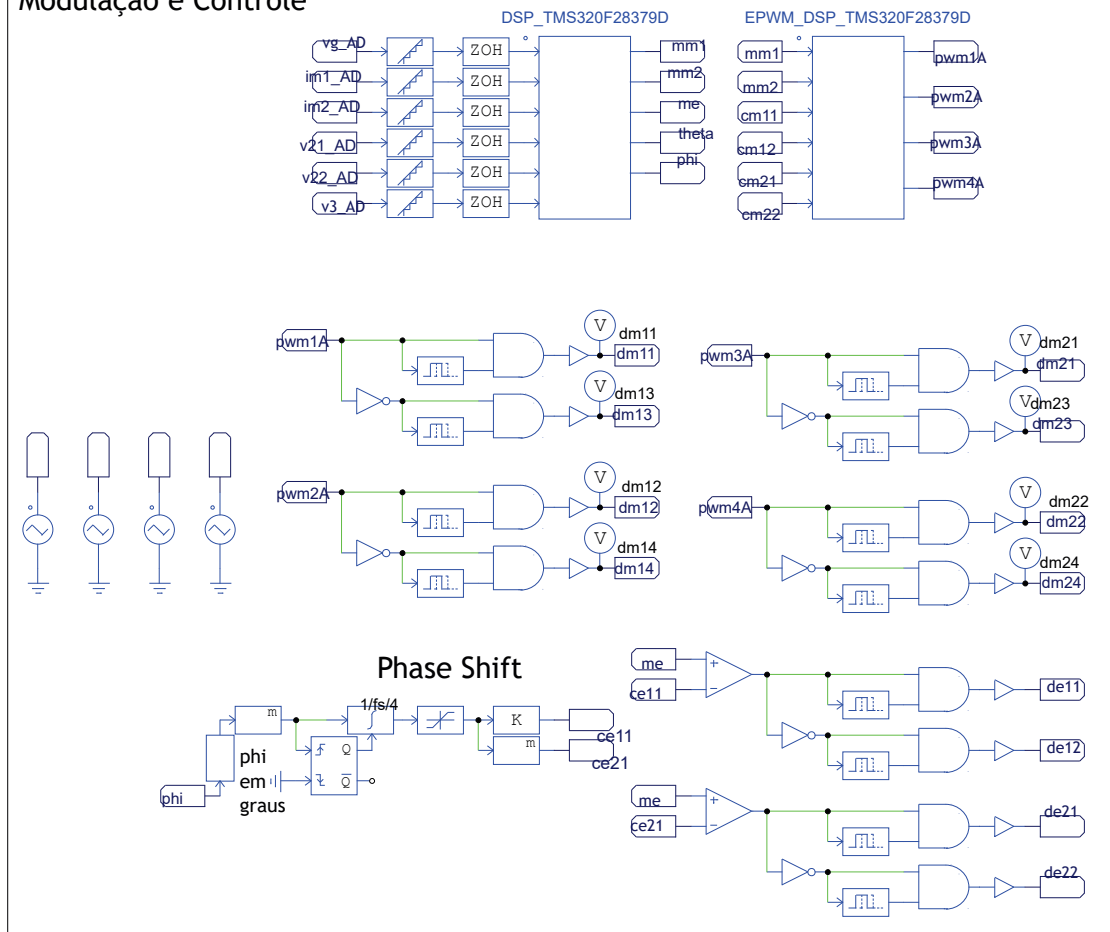
WANG, Z.; LI, H. A soft switching three-phase current-fed bidirectional dc-dc converter with high efficiency over a wide input voltage range. **IEEE Transactions on Power Electronics**, v. 27, n. 2, p. 669–684, Feb 2012. ISSN 0885-8993.

WANG, Z.; LI, H. An integrated three-port bidirectional dc-dc converter for pv application on a dc distribution system. **IEEE Transactions on Power Electronics**, v. 28, n. 10, p. 4612–4624, Oct 2013. ISSN 0885-8993.

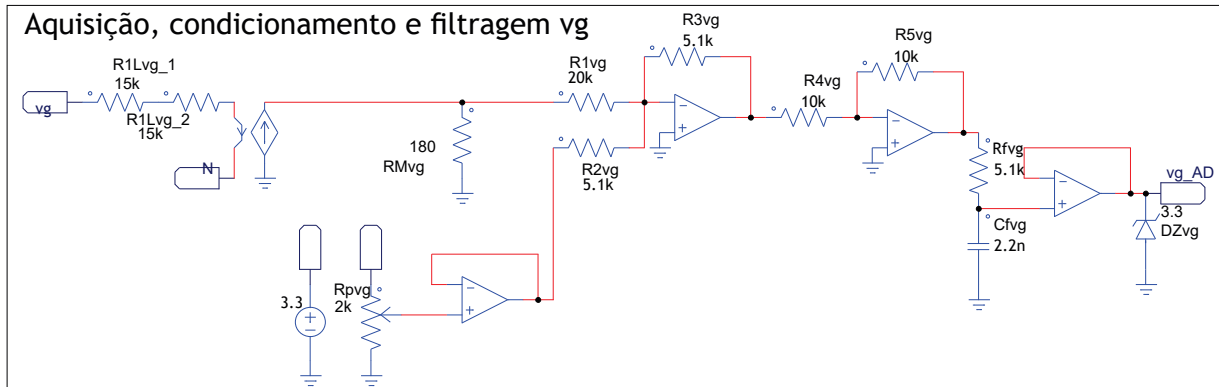
APÊNDICE A – CIRCUITO DE SIMULAÇÃO DO TES I2NDF1



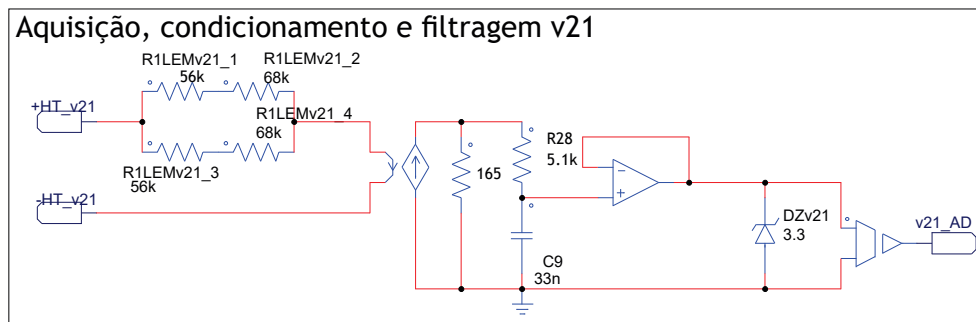
Modulação e Controle



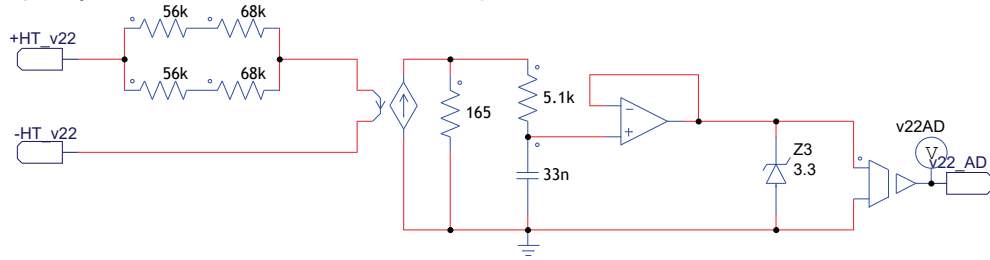
Aquisição, condicionamento e filtragem vg



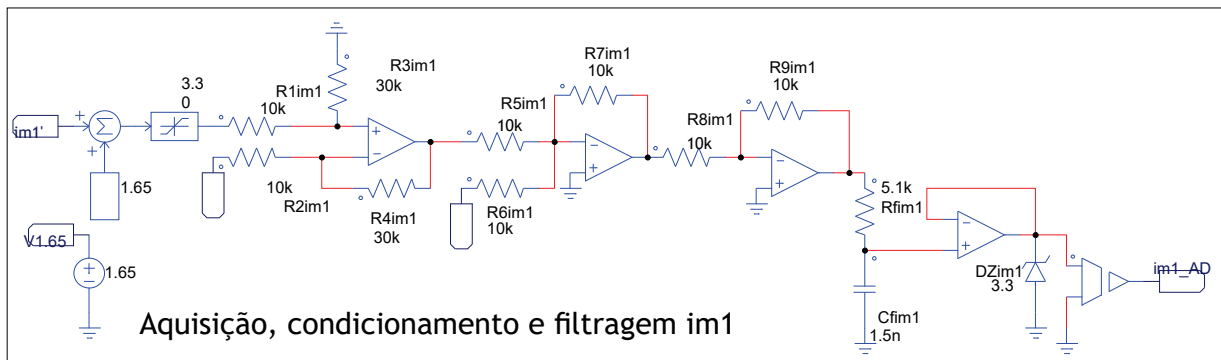
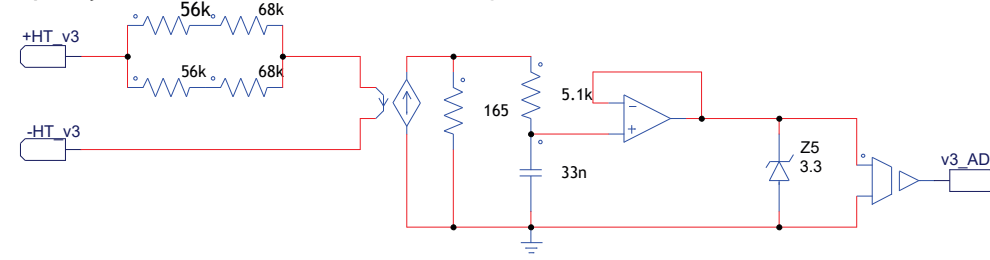
Aquisição, condicionamento e filtragem v21



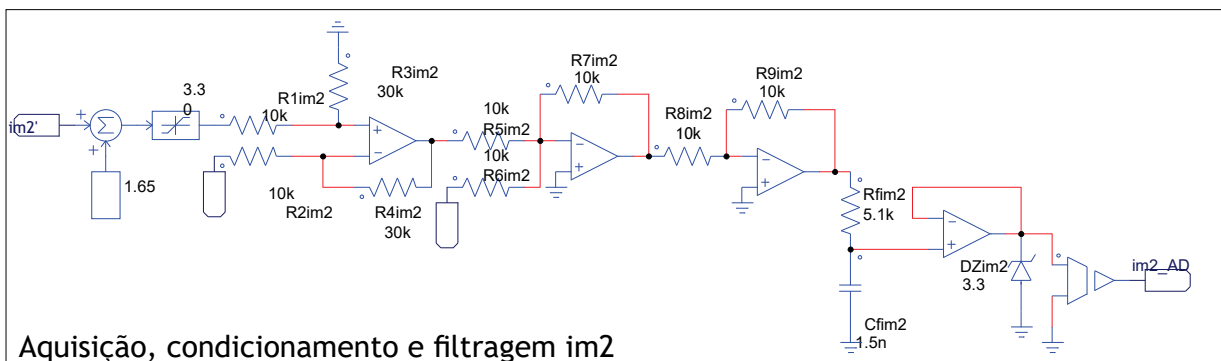
Aquisição, condicionamento e filtragem v22



Aquisição, condicionamento e filtragem v3



Aquisição, condicionamento e filtragem im1



Aquisição, condicionamento e filtragem im2

APÊNDICE B – CIRCUITO DE SIMULAÇÃO - CÓDIGO C (DSP TMS320F28379D)


```

1 //Inicialização das variáveis de controle e referência
2
3 static double ilpk = 0, iLlref = 0, V2ref = 3633, V3ref = 1952; //V2ref = 6358
(700V); V3ref = 3451 (380V)
4 static double mm= 0, mm1 = 0, mm2 = 0, me = 0, me1 = 0, me2 = 0, phi = 0; //Funções
de modulação e phase shift
5 static double ffvfg; //Feed-Forward
6
7 //Coeficientes dos controladores
8
9 static double a_wt = 11.8660069167445918; //Coeficiente do controlador do PLL
10 static double b_wt = -11.8512125240704567; //Coeficiente do controlador do PLL
11
12 static double a_il = -0.4239844560977651; //Coeficiente do controlador da corrente il
13 static double b_il = 0.4086608226410392; //Coeficiente do controlador da corrente il
14
15 static double a_img = -0.0940769749703697; //Coeficiente do controlador da corrente
img
16 static double b_img = 0.0936819877201451; //Coeficiente do controlador da corrente img
17
18 static double a_v2 = 3.7060168162590630; //Coeficiente do controlador da tensão v2
19 static double b_v2 = -3.7037865980919276; //Coeficiente do controlador da tensão v2
20
21 static double cyk1_fpbv2 = -0.9910641251025026; //Coeficiente do FPB em v2
22 static double cek_fpbv2 = 0.0044679374487487; //Coeficiente do FPB em v2
23 static double cek1_fpbv2 = 0.0044679374487487; //Coeficiente do FPB em v2
24
25 static double a_v2d = 0.0172679156184658; //Coeficiente do controlador de
balanceamento de v21 e v22
26 static double b_v2d = -0.0172649360583672; //Coeficiente do controlador de
balanceamento de v21 e v22
27
28 static double a_v3 = 1.4555779182528852; //Coeficiente do controlador da tensão v3
29 static double b_v3 = -1.4544324874928041; //Coeficiente do controlador da tensão v3
30
31 static double cyk1_fpbv3 = -0.9910641251025026; //Coeficiente do FPB em v3
32 static double cek_fpbv3 = 0.0044679374487487; //Coeficiente do FPB em v3
33 static double cek1_fpbv3 = 0.0044679374487487; //Coeficiente do FPB em v3
34
35 //Variáveis de saídas e erros dos controladores
36
37 static double uk_wt, ulk_wt, ek_wt, elk_wt, uk_ffwt, ek_intwt, elk_intwt;
38 static double uk_il, ulk_il, u2k_il, ek_il, elk_il, e2k_il;
39 static double uk_img, ulk_img, ek_img, elk_img;
40 static double uk_v2n, ulk_v2n, u2k_v2n, ek_v2n, elk_v2n, e2k_v2n;
41 static double uk_v2, ulk_v2, ek_v2, elk_v2;
42 static double uk_fpbv2, ulk_fpbv2, ek_fpbv2, elk_fpbv2;
43 static double uk_v2dn, ulk_v2dn, u2k_v2dn, ek_v2dn, elk_v2dn, e2k_v2dn;
44 static double uk_v2d, ulk_v2d, ek_v2d, elk_v2d, ksv2d;
45 static double uk_v3n, ulk_v3n, u2k_v3n, ek_v3n, elk_v3n, e2k_v3n;
46 static double uk_v3, ulk_v3, ek_v3, elk_v3;
47 static double uk_fpbv3, ulk_fpbv3, ek_fpbv3, elk_fpbv3;
48
49 //Média móvel
50
51 static double ui16CtrlMedia4;
52
53
54 //Variáveis das leituras de correntes e tensões
55
56 static double im1 = 0, im2 = 0, i1 = 0, img = 0, vg = 0, v21 = 0, v22 = 0, v2 = 0,
v2d = 0, v3 = 0;
57
58 //PLL monofásico
59
60 static double i = 0;
61
62 static double valfa, vbeta, ialfa, ibeta, vd, vq, buffer[175];
63 static double thetaes, thetaesan; //theta estimado e theta estimado anterior
64
65 //Declaração de constantes

```

```

66
67 const double pi = 3.141592653589793;
68 const double wg = 376.9911184307752;
69 const double Apwm = 2381; // portadora triangular
70 const double offset = 2048; // equivale a 1.65 V
71 const double Kffvg = 1.3029485298392862; // Constante para a malha de feed-forward
    [vg]
72
73 //----- Entradas ----- //
74 vg = x1 - 2.25225e+03; //2.25225e+03 equivalente a 1.65V
75 im1 = x2 - 2.25225e+03;
76 im2 = x3 - 2.25225e+03;
77 v21 = x4;
78 v22 = x5;
79 v3 = x6;
80 /*
81 if (uil6CtrlMedia4 >= 3) uil6CtrlMedia4 = 0;
82 else uil6CtrlMedia4++;
83
84 i16vg[uil6CtrlMedia4] = AdcaResultRegs.ADCRESULT0; //AD-A2 pin 15
85 i16im1[uil6CtrlMedia4] = AdcaResultRegs.ADCRESULT4; //AD-A3 pin 17
86 i16im2[uil6CtrlMedia4] = AdcaResultRegs.ADCRESULT8; //AD-A4 pin 21
87
88 i16v21[uil6CtrlMedia4] = AdcbResultRegs.ADCRESULT5; //AD-B3 pin 20
89 i16v22[uil6CtrlMedia4] = AdcbResultRegs.ADCRESULT9; //AD-B4 pin 24
90 i16v3[uil6CtrlMedia4] = AdcbResultRegs.ADCRESULT13; //AD-B5 pin 26
91
92 i16vg_media = (i16vg[0] + i16vg[1] + i16vg[2] + i16vg[3])>>2;
93 i16im1_media = (i16im1[0] + i16im1[1] + i16im1[2] + i16im1[3])>>2;
94 i16im2_media = (i16im2[0] + i16im2[1] + i16im2[2] + i16im2[3])>>2;
95 i16v21_media = (i16v21[0] + i16v21[1] + i16v21[2] + i16v21[3])>>2;
96 i16v22_media = (i16v22[0] + i16v22[1] + i16v22[2] + i16v22[3])>>2;
97 i16v3_media = (i16v3[0] + i16v3[1] + i16v3[2] + i16v3[3])>>2;
98 */
99 //PLL (Início do código principal)
100
101 valfa = vg;
102 buffer[i] = valfa;
103 if(i<174) //Cálculo de defasamento do ângulo de fase do Vbeta em 90° [i=(2*MF)/4]
104 {
105 vbeta = buffer[i+1];
106 //i++;
107 i = i+1;
108 }
109 else
110 {
111 vbeta = buffer[0];
112 i = 0;
113 } //
114
115 vd=valfa*cos(thetaes) + vbeta*sin(thetaes); // Transformada de Park
116 vq=vbeta*cos(thetaes) - valfa*sin(thetaes); //para ver onde esta o vd e vq da rede
117
118 //Tipo d
119 ek_wt = vd;
120 uk_wt = ulk_wt + a_wt*ek_wt + b_wt*elk_wt; //PI
121 elk_wt = ek_wt;
122 ulk_wt = uk_wt;
123
124 uk_ffwt = uk_wt + wg; //feedforward
125
126 ek_intwt = uk_ffwt;
127 thetaes = thetaesan + 1.190476190476191e-05*(ek_intwt + elk_intwt); //fa = 2*fs
128
129 if (thetaes < - 2*pi) {thetaes = thetaes + 2*pi;}
130 if (thetaes > 2*pi) {thetaes = thetaes - 2*pi;}
131
132 elk_intwt = ek_intwt;
133 thetaesan = thetaes; //theta estimado anterior recebe theta estimado
134
135 //Controle da tensão na porta 2 (v2)

```

```

136 v2 = v21 + v22; // soma das tensões nos capacitores da porta 2
137
138 ek_v2 = V2ref - v2;
139 uk_v2 = ulk_v2 + a_v2*ek_v2 + b_v2*elk_v2; //PI
140
141 if (uk_v2 > 3000) {uk_v2 = 3000;} // limitador da corrente de referência
142 if (uk_v2 < - 3000) {uk_v2 = - 3000;}
143
144 ulk_v2 = uk_v2; // armazena valores
145 elk_v2 = ek_v2;
146
147 //Filtro Passa Baixa (FPB) de primeira ordem em v2
148 ek_fpbv2 = uk_v2;
149
150 uk_fpbv2 = - cyk1_fpbv2*ulk_fpbv2 + cek_fpbv2*ek_fpbv2 + cek1_fpbv2*elk_fpbv2;
151
152 elk_fpbv2 = ek_fpbv2;
153 ulk_fpbv2 = uk_fpbv2;
154
155 //Controle de balanceamento das tensões v21 e v22 na porta 2
156
157 v2d = v21 - v22; // diferença das tensões nos capacitores
158
159 ek_v2d = 0 - v2d;
160 uk_v2d = ulk_v2d + a_v2d*ek_v2d + b_v2d*elk_v2d; //PI
161
162 if(uk_v2d > 50) {uk_v2d = 50;}
163 if(uk_v2d < - 50) {uk_v2d = - 50;}
164
165 ulk_v2d = uk_v2d; // armazena valores
166 elk_v2d = ek_v2d;
167
168 //Corrente de referência iLlref
169 iLlref = uk_fpbv2*sin(thetaes) + uk_v2d; //ksv2d
170
171 //Malha de feed-forward das tensões da rede elétrica
172 ffvg = Kffvg*vg;
173
174 //Controle da corrente i1 - PI
175 i1 = im1 + im2;
176
177 ek_i1 = iLlref - i1;
178 uk_i1 = ulk_i1 + a_i1*ek_i1 + b_i1*elk_i1; //Controlador PI
179
180 ulk_i1 = uk_i1;
181 elk_i1 = ek_i1;
182
183 if (i1 >= 0) {ksv2d = 1;}
184 if (i1 < 0) {ksv2d = -1;}
185
186 mm = uk_i1 + ffvg + ksv2d*uk_v2d;
187
188 //Controle da corrente i1 - P+Res / PID
189 i1 = im1 + im2;
190
191 ek_i1 = iLlref - i1;
192
193 //if (i1 >= 0) {ksv2d = 1;}
194 //if (i1 < 0) {ksv2d = -1;}
195
196 //mm = uk_i1 + ffvg + uk_v2d*ksv2d;
197 mm = uk_i1;
198
199 e2k_i1 = elk_i1;
200 elk_i1 = ek_i1;
201
202 u2k_i1 = ulk_i1;
203 ulk_i1 = uk_i1;
204
205 //Controle da corrente img
206 img = (im2 - im1)*0.5;

```

```

207
208   ek_img = 0 - img;
209
210   uk_img = ulk_img + a_img*ek_img + b_img*elk_img; //PI
211
212   if (uk_img < - 120) {uk_img = - 120;}
213   if (uk_img > 120) {uk_img = 120;}
214
215   mm1 = mm - uk_img;
216   mm2 = mm + uk_img;
217
218   if (mm1 < - Apwm) {mm1 = - Apwm;}
219   if (mm1 > Apwm) {mm1 = Apwm;}
220
221   if (mm2 < - Apwm) {mm2 = - Apwm;}
222   if (mm2 > Apwm) {mm2 = Apwm;}
223
224   ulk_img = uk_img;
225   elk_img = ek_img;
226
227   //Moduladora do lado secundário me
228   me = fabs((mm1+mm2)*0.5);
229
230   //Controle da tensão na porta 3 (v3)
231
232   ek_v3 = V3ref - v3;
233   uk_v3 = ulk_v3 + a_v3*ek_v3 + b_v3*elk_v3;
234
235   if (uk_v3 < -794) {uk_v3 = -794;}
236   if (uk_v3 > 794) {uk_v3 = 794;} // limitador em 60°
237
238   ulk_v3 = uk_v3; // armazena valores
239   elk_v3 = ek_v3;
240
241   //Filtro Passa Baixa (FPB) de primeira ordem em v3
242   ek_fpbv3 = uk_v3;
243
244   uk_fpbv3 = - cyk1_fpbv3*ulk_fpbv3 + cek_fpbv3*ek_fpbv3 + cek1_fpbv3*elk_fpbv3;
245
246   phi = uk_fpbv3;
247
248   elk_fpbv3 = ek_fpbv3;
249   ulk_fpbv3 = uk_fpbv3;
250
251   //----- Saídas----- //
252
253   y1 = mm1;
254   y2 = mm2;
255   y3 = me;
256   y4 = thetaes;
257   y5 = phi;

```

**APÊNDICE C – CIRCUITO DE SIMULAÇÃO - CÓDIGO C (DSP TMS320F28379D) -
EMULADOR DO EPWM**

```

1  static double mm1, mm2, cm11, cm12, cm21, cm22, mmcomp;
2  static double dm11, dm12, dm21, dm22;
3
4  const double PRD = 2381; // Valor de pico da função da portadora triangular
5
6  //----- Entradas ----- //
7  mm1 = x1;
8  mm2 = x2;
9  cm11 = x3;
10 cm12 = x4;
11 cm21 = x5;
12 cm22 = x6;
13
14 //NPC-HB1
15
16 if (mm1 >= 0 ) {
17 mmcomp = mm1;
18 if (mm1 >= cm11) {dm11 = 1; dm12 = 1;}
19 if (mm1 < cm11) {dm11 = 0; dm12 = 1;}
20 }
21
22 if (mm1 < 0) {
23 mmcomp = mm1 + PRD;
24 if ((mm1 + PRD) >= cm12) {dm11 = 0; dm12 = 1;}
25 if ((mm1 + PRD) < cm12) {dm11 = 0; dm12 = 0;}
26 }
27
28 //NPC-HB2
29
30 if (mm2 >= 0 ) {
31 if (mm2 >= cm21) {dm21 = 1; dm22 = 1;}
32 if (mm2 < cm21) {dm21 = 0; dm22 = 1;}
33 }
34
35 if (mm2 < 0) {
36 if ((mm2 + PRD) >= cm22) {dm21 = 0; dm22 = 1;}
37 if ((mm2 + PRD) < cm22) {dm21 = 0; dm22 = 0;}
38 }
39
40 //----- Saídas----- //
41
42 y1 = dm11; //PWM1A
43 y2 = dm12; //PWM2A
44 y3 = dm21; //PWM3A
45 y4 = dm22; //PWM4A

```

**APÊNDICE D – PROJETO DOS CONTROLADORES DO CIRCUITO DE SIMULAÇÃO
DO TES I2NDF1**

```

1 %% Projeto dos Controladores do conversor I2NDF1
2
3 %% Parâmetros importantes do conversor
4
5 clc; clear; close all;
6 format long;
7
8 Vgrms = 127; % Tensão de fase da rede elétrica
9 Vgpk = Vgrms*sqrt(2); % Valor de pico da tensão na rede elétrica
10
11 V2 = 400; % Tensão na porta 2
12 V21 = V2/2;
13 V22 = V2/2;
14
15 V3 = 215;
16
17 P3 = 800;
18 I3=P3/V3;
19
20 Rendimento = 1;
21 P1 = P3/Rendimento;
22
23 Igrms = P1/Vgrms;
24 Igpk = Igrms*sqrt(2);
25
26 fg = 60; % Frequência na rede elétrica
27 Tg = 1/fg;
28 wg = 2*pi*fg;
29
30 fs = 21e3; % Frequência de chaveamento
31 Ts = 1/fs;
32 ws = 2*pi*fs;
33
34 Mf = fs/fg;
35 M = (2*Vgpk)/V2; %Índice de modulação em amplitude
36
37 %% Parâmetro Digital
38 Fe = 3; % Fundo de escala
39 nbits = 12; % Número de bits
40 KAD = 1365;%(2^nbits-1)/Fe; % Ganho do conversor A/D
41 TTBCLK = 1/(100e6);
42
43 fa = 2*fs; %Frequência de amostragem
44 Ta = 1/fa; %Período de amostragem
45 wa = 2*pi*fa; %Frquência angular de amostragem
46
47 Apwm = 2381; %1/(2*TTBCLK*fs); % Amplitude da onda triangular digital
48 Kpwm = 1/Apwm;%Ganho do PWM
49 Kpwm= 1;
50
51 %% Definição das portadoras triangulares
52
53 cm11pk = Apwm; % Valor de pico da portadora
54 cm12pk = Apwm; % Valor de pico da portadora
55 cm21pk = Apwm; % Valor de pico da portadora
56 cm22pk = Apwm; % Valor de pico da portadora
57
58 ce11pk = Apwm; % Valor de pico da portadora
59 ce21pk = Apwm; % Valor de pico da portadora
60
61 phicm11 = 0; % Ângulo de fase da portadora triangular [°]
62 phicm12 = 0; % Ângulo de fase da portadora triangular [°]
63 phicm21 = 180; % Ângulo de fase da portadora triangular [°]
64 phicm22 = 180; % Ângulo de fase da portadora triangular [°]
65
66 deadtime = 600e-9; % tempo morto entre os pulsos PWM
67
68 %% Filtros do conversor N3D1
69
70 L1 = 3e-3;%3e-3
71 RL1 = 100e-3;

```



```

72
73 C21 = 470e-6;
74 RseC21 = 290e-3;
75
76 C22 = 470e-6;
77 RseC22 = 290e-3;
78
79 V21inic = V21;
80 V22inic = V22;
81
82 R2 = V2^2/P3; % Resistência fictícia na porta 2 [ohm]
83
84 phi = pi/6;
85
86 Ltm = 6.3e-6;
87 RLtm = 100e-3;
88
89 C3 = 2200e-6;
90 RseC3 = 55e-3;
91
92 V3inic = 0;
93
94 R3 = V3^2/P3; % Resistência na porta 3 [ohm]
95
96 %% Parâmetros do autotransformador
97
98 aAT = 1; %Relação de transformação do autotransformador
99
100 Nm1 = 1;
101 Nm2 = aAT*Nm1;
102
103 LmAT = 120e-3; %Indutância de magnetização do autotransformador
104
105 Ldm1 = 6e-6; %Indutância de dispersão do autotransformador
106 Ldm2 = 6e-6; %Indutância de dispersão do autotransformador
107
108 %% Parâmetros do transformador
109
110 delta = 1;
111
112 aTr = (2*V3)/(V2*delta); %Relação de transformação no transformador {a, r}
113
114 NP = 1; %Número de espiras no primário do transformador
115 NS = NP*aTr; %Número de espiras no secundário do transformador
116
117 aTr = NS/NP;
118
119 LmTr = 12e-3; %Indutância de magnetização do transformador
120
121 %% Aquisição, condicionamento e filtragem da tensão CA {vg}
122
123 RlLvg = 56e3/2;
124
125 KLEMvg = 2500/1000; %Ganho do sensor de tensão LEM
126
127 RMvg = 160.411;
128
129 KM1vg = RMvg/RlLvg;
130
131 %%Estágio 1
132 R31vg = 2.2e3;
133 R32vg = 330;
134
135 R3vg= R31vg+R32vg;
136
137 R1vg = 10e3;
138
139 K31vg = R3vg/R1vg;
140
141 s=tf('s');
142 z=tf('z',Ta);

```

```

143
144 %Estágio 2
145 Kfvfg = 1; %Ganho do filtro de primeira ordem {vg}
146 Rfvfg = 5.1e3;
147 Cfvfg = 1.5e-9;
148
149 wcfvfg = 1/(Cfvfg*Rfvfg); %Frequência angular de corte do filtro de primeira ordem
150 fcfvfg = wcfvfg/(2*pi); %Frequência de corte do filtro de primeira ordem
151 Gfvfg = (Kfvfg*wcfvfg)/(s+wcfvfg);
152
153 GvgADs = KLEMvg*KM1vg*K31vg*Gfvfg;
154 GvgADs = 1;
155 GvgADs_DSP = KLEMvg*KM1vg*K31vg*Kfvfg;
156
157 %% Aquisição, condicionamento e filtragem das correntes CA {im1, im2}
158
159 % ----- Corrente im1 -----
160 %Dados do sensor de corrente im1 da LEM HO 8-NP/SP33
161 Ipmim1 = 20; %Primary current, measuring range. Valor que consta no datasheet;
162 OVRim1 = 1.15; %Output voltage range. Valor que consta no datasheet;
163 Imaxsensorim1 = Ipmim1/2; %Valor máximo de corrente suportado no sensor im1,
    considerando a configuração de "Number of primary turns = 2";
164 KLEMim1 = OVRim1/Imaxsensorim1; %Ganho do sensor LEM
165
166 %Estágio 1
167 Rlim1 = 10e3;
168
169 R31im1 = 30e3;
170 R32im1 = 820;
171
172 R3im1 = R31im1+R32im1;
173
174 K31im1 = R3im1/Rlim1;
175
176 %Estágio 2
177 Kfim1 = 1; %Ganho do filtro de primeira ordem {vg}
178 Rfim1 = 5.1e3;
179 Cfim1 = 1.5e-9;
180
181 wcfim1 = 1/(Cfim1*Rfim1); %Frequência angular de corte do filtro de primeira ordem
182 fcfim1 = wcfim1/(2*pi); %Frequência de corte do filtro de primeira ordem
183 Gfim1 = (Kfim1*wcfim1)/(s+wcfim1);
184
185 Gim1ADs = KLEMim1*K31im1*Gfim1;
186 Gim1ADs = 1;
187 Gim1ADs_DSP = KLEMim1*K31im1*Kfim1;
188
189 % ----- Corrente im2 -----
190 %Dados do sensor de corrente im1 da LEM HO 8-NP/SP33
191 Ipmim2 = 20; %Primary current, measuring range. Valor que consta no datasheet;
192 OVRim2 = 1.15; %Output voltage range. Valor que consta no datasheet;
193 Imaxsensorim2 = Ipmim2/2; %Valor máximo de corrente suportado no sensor im1,
    considerando a configuração de "Number of primary turns = 2";
194 KLEMim2 = OVRim2/Imaxsensorim2; %Ganho do sensor LEM
195
196 %Estágio 1
197 Rlim2 = 10e3;
198
199 R31im2 = 30e3;
200 R32im2 = 820;
201
202 R3im2 = R31im2+R32im2;
203
204 K31im2 = R3im2/Rlim2;
205
206 %Estágio 2
207
208 Kfim2 = 1; %Ganho do filtro de primeira ordem {vg}
209 Rfim2 = 5.1e3;
210 Cfim2 = 1.5e-9;
211

```

```

212 wcfim2 = 1/(Cfim2*Rfim2); %Frequência angular de corte do filtro de primeira ordem
213 fcfim2 = wcfim2/(2*pi); %Frequência de corte do filtro de primeira ordem
214 Gfim2 = (Kfim2*wcfim2)/(s+wcfim2);
215
216 Gim2ADs = KLEMim2*K3lim2*Gfim2;
217 Gim2ADs = 1;
218 Gim2ADs_DSP = KLEMim2*K3lim2*Kfim2;
219 %% Aquisição, condicionamento e filtragem da tensão CC {v21, v22}
220
221 % ----- Tensão v21 -----
222
223 %Estágio 1
224 R1Lv21 = 91e3/2; %Colocar dois resistores de 15kohm em série
225
226 KLEMv21 = 2500/1000; %Ganho do sensor de tensão LEM
227
228 RMv21 = 120.659;
229
230 KM1v21 = RMv21/R1Lv21;
231
232 %Estágio 2
233 Kfv21 = 1; %Ganho do filtro de primeira ordem {v21}
234 Rfv21 = 5.1e3;
235 Cfv21 = 1.5e-9;
236
237 wcfv21 = 1/(Cfv21*Rfv21); %Frequência angular de corte do filtro de primeira ordem
238 fcfv21 = wcfv21/(2*pi); %Frequência de corte do filtro de primeira ordem
239 Gfv21 = (Kfv21*wcfv21)/(s+wcfv21);
240
241 Ksgdv21 = 1; %Ganho do SeGuiDor para isolamento do sinal
242
243 Gv21ADs = KLEMv21*KM1v21*Gfv21*Ksgdv21;
244 Gv21ADs = 1;
245 Gv21ADs_DSP = KLEMv21*KM1v21*Kfv21;
246
247 % ----- Tensão v22 -----
248
249 %Estágio 1
250 R1Lv22 = 91e3/2; %Colocar dois resistores de 15kohm em série
251
252 KLEMv22 = 2500/1000; %Ganho do sensor de tensão LEM
253
254 RMv22 = 120.659;
255
256 KM1v22 = RMv22/R1Lv22;
257
258 %Estágio 2
259 Kfv22 = 1; %Ganho do filtro de primeira ordem {v22}
260 Rfv22 = 5.1e3;
261 Cfv22 = 1.5e-9;
262
263 wcfv22 = 1/(Cfv22*Rfv22); %Frequência angular de corte do filtro de primeira ordem
264 fcfv22 = wcfv22/(2*pi); %Frequência de corte do filtro de primeira ordem
265 Gfv22 = (Kfv22*wcfv22)/(s+wcfv22);
266
267 Ksgdv22 = 1; %Ganho do SeGuiDor para isolamento do sinal
268
269 Gv22ADs = KLEMv22*KM1v22*Gfv22*Ksgdv22;
270 Gv22ADs = 1;
271 Gv22ADs_DSP = KLEMv22*KM1v22*Ksgdv22;
272 %% Aquisição, condicionamento e filtragem da tensão CC {v3}
273
274 %Estágio 1
275 R1Lv3 = 8.2e3;
276
277 KLEMv3 = 2500/1000; %Ganho do sensor de tensão LEM
278
279 RMv3 = 120.714;
280
281 KM1v3 = RMv3/R1Lv3;
282

```

```

283 %Estágio 2
284 Kfv3 = 1; %Ganho do filtro de primeira ordem {vg}
285 Rfv3 = 5.1e3;
286 Cfv3 = 1.5e-9;
287
288 wcfv3 = 1/(Cfv3*Rfv3); %Frequência angular de corte do filtro de primeira ordem
289 fcfv3 = wcfv3/(2*pi); %Frequência de corte do filtro de primeira ordem
290 Gfv3 = (Kfv3*wcfv3)/(s+wcfv3);
291
292 Ksgdv3 = 1; %Ganho do SeGuiDor para isolamento do sinal
293
294 Gv3ADs = KLEMv3*KMlv3*Gfv3*Ksgdv3;
295 Gv3ADs = 1;
296 Gv3ADs_DSP = KLEMv3*KMlv3*Ksgdv3;
297 %% Aquisição, condicionamento e filtragem da corrente CC {i3}
298
299 % ----- Corrente i3 -----
300 %Dados do sensor de corrente i3 da LEM HO 25-NP/SP33
301 Ip3 = 62.5; %Primary current, measuring range. Valor que consta no datasheet;
302 OVRi3 = 1.15; %Output voltage range. Valor que consta no datasheet;
303 Imaxsensori3 = Ip3/1; %Valor máximo de corrente suportado no sensor i3,
considerando a configuração de "Number of primary turns = 1";
304 KLEMi3 = OVRi3/Imaxsensori3; %Ganho do sensor LEM
305
306 %Estágio 1
307 Rli3 = 10e3;
308 R3i3 = 36e3+510;
309
310 K3li3 = R3i3/Rli3;
311
312 %Estágio 4
313 Kfi3 = 1; %Ganho do filtro de primeira ordem {vg}
314 Rfi3 = 5.1e3;
315 Cfi3 = 1.5e-9;
316
317 wcfi3 = 1/(Cfi3*Rfi3); %Frequência angular de corte do filtro de primeira ordem
318 fcfi3 = wcfi3/(2*pi); %Frequência de corte do filtro de primeira ordem
319 Gfi3 = (Kfi3*wcfi3)/(s+wcfi3);
320
321 Gi3ADs = KLEMi3*K3li3*Gfi3;
322 Gi3ADs = 1;
323 Gi3ADs_DSP = KLEMi3*K3li3;
324 %% Valores de referência {V2ref, I3ref}
325
326 V21aquis = KLEMv21*KMlv21*Ksgdv21*V21;
327 V22aquis = KLEMv22*KMlv22*Ksgdv22*V22;
328
329 V21dig = V21aquis*KAD;
330 V22dig = V22aquis*KAD;
331 V2refdigsum = V21dig + V22dig;
332
333 V2ref = (KLEMv21*KMlv21*Ksgdv21*V21)+(KLEMv22*KMlv22*Ksgdv22*V22);
334 V2refdig = V2ref*KAD;
335
336 I3pkref = (I3pk)*(KLEMim1*K3lim1+ KLEMim2*K3lim2);
337 I3pkrefdig = (I3pkref/2)*KAD*1.5; %Considerar 50% de sobrecarga na corrente i3
338
339 V3ref = KLEMv3*KMlv3*Ksgdv3*V3;
340 V3refdig = V3ref*KAD;
341
342 I3ref = KLEMi3*K3li3*I3;
343 I3refdig = I3ref*KAD;
344
345 KAD=1;
346 %% Projeto do controlador PI da malha do PLL
347 td = 0.5*Ta;
348 delays = exp(-s*td);
349 ZOHS = (1-exp(-s*Ta))/(s*Ta);
350
351 ats = (1-(3*Ta*s)/4)/(1+(3*Ta*s)/4); %Atraso ZOH e computacional, Ortmann, 2008
352

```

```

353 FTMAPLLscc = (1/s);
354 Kvg_DSP=1/(GvgADs_DSP*1365);
355 fccPLL = (2*fg)/10; % Frequência de cruzamento do controlador
356 wccPLL = 2*pi*fccPLL;
357 opts = pidtuneOptions('PhaseMargin',55);
358 [PIi,infoi] = pidtune(FTMAPLLscc,'pi',wccPLL,opts);
359
360 PIi = tfdata(PIi,'v');
361 KpcPLL = PIi(1); %Kp do controlador
362 KicPLL = PIi(2); %Ki do controlador
363
364 KcPLL = KpcPLL; %K do controlador PI no PSIM
365 TcPLL = KpcPLL/KicPLL; %T do controlador PI no PSIM
366
367 %% Projeto do controlador digital PI na malha do PLL
368 CPLL = KpcPLL + KicPLL/s;
369
370 CPLLdig = c2d(CPLL,Ta,'tustin'); % PI digital
371 [nPLL,mPLL] = tfdata(CPLLdig,'v');
372 fprintf('Equação à diferença do PI na malha do PLL:\n')
373 fprintf('uk_PLL = ulk_PLL + a_PLL*ek_PLL + b_PLL*elk_PLL; \n')
374 fprintf('a_PLL = %4.16f , b_PLL = %4.16f. \n',nPLL)
375 fprintf(' \n')
376 %% Malhas de feed-forward da tensão da rede elétrica {vg}
377
378 Ktotvg = KLEMvg*KM1vg*K31vg*Kfvg*KAD;
379 K_ffvg=1/(KLEMvg*KM1vg*K31vg*Kfvg);
380 %Kffvg = 2*Apwm/(V2*Ktotvg);
381 Apwm1 = 1;
382 Kffvg = 2*Apwm1/(V2);
383 fprintf('Constante da malha de feed-forward da tensão vg:\n')
384 fprintf('Kffvg = %4.16f. \n',Kffvg)
385 fprintf(' \n')
386 %% Projeto do controlador PI na malha de corrente il(s)
387
388 Kconv = V2/2; % Ganho do inversor
389 %Gilmm = -(Kconv)/(L1*s + RL1);
390 Gilmm = -(Kconv)/(L1*s);
391
392 Gpwm = exp(-s*1*Ta);%Atraso no período de amostragem
393 %FTMAilsc = (Gim1ADs + Gim2ADs)*(1/2)*Gilmm*Kpwm*KAD*ats; %Função de transferência
em malha aberta sem compensador
394 %FTMAilsc = (1/2)*Gilmm*ats*Gfim1*Gfim2;
395 FTMAilsc = Gilmm;
396 Kial_DSP=1/(Gim1ADs_DSP*1365);
397 fccil = (2*fs)/10; % Frequência de cruzamento do controlador[/8]
398 wccil = 2*pi*fccil;
399 opts = pidtuneOptions('PhaseMargin',60); %60
400 [PIi,infoi] = pidtune(FTMAilsc,'pi',wccil,opts);
401
402 PIi = tfdata(PIi,'v');
403 Kpcil = PIi(1); %Kp do controlador il
404 Kicil = PIi(2); %Ki do controlador il
405
406 Kcil = Kpcil; %K do controlador PI no PSIM
407 Tcil = Kpcil/Kicil; %T do controlador PI no PSIM
408
409 %% Projeto do controlador digital PI na malha de corrente il
410 Cil = (Kpcil + Kicil/s);
411
412 Cildig = c2d(Cil,Ta,'tustin'); % PI digital
413 [nil,mil] = tfdata(Cildig,'v');
414 fprintf('Equação à diferença do PI na malha de corrente il:\n')
415 fprintf('uk_il = ulk_il + a_il*ek_il + b_il*elk_il; \n')
416 fprintf('a_il = %4.16f , b_il = %4.16f. \n',nil)
417 fprintf(' \n')
418
419 %% Projeto do controlador Proporcional Ressonante (P+Res) na malha de corrente il
420
421 w0 = wg; %Frequência da rede elétrica
422 wcut = w0/1000; %Frequência de corte da malha de corrente il

```

```

423 xi = 0.707; %Fator de amortecimento
424
425 Cpril = Kpcil + ((2*Kicil*wcut*s)/(s^2 + 2*wcut*s + w0^2));
426
427 Cprildig = c2d(Cpril,Ta,'tustin'); % P+Res digital
428 [npril,mpril] = tfdata(Cprildig,'v');
429
430 z2_il = npril(1);
431 z1_il = npril(2);
432 z0_il = npril(3);
433
434 p2_il = mpril(1);
435 p1_il = mpril(2);
436 p0_il = mpril(3);
437
438 cyk1_il = p1_il/p2_il;
439 cyk2_il = p0_il/p2_il;
440
441 cek1_il = z2_il/p2_il;
442 cekl1_il = z1_il/p2_il;
443 cek2_il = z0_il/p2_il;
444
445 Coefic_out = [cyk1_il cyk2_il];
446 Coefic_erro = [cek1_il cekl1_il cek2_il];
447
448 % syms uk ek ulk elk u2k e2k real%declara variáveis simbólicas
449 % %coeficientes da eq. das diferenças
450
451 % A=npril(1);
452 % B=npril(2);
453 % C=npril(3);
454 % D=mpril(1);
455 % E=mpril(2);
456 % F=mpril(3);
457 %
458 % uk=(A*ek + B*elk + C*e2k - E*ulk - F*u2k)/D; %eq. das diferenças
459 % disp('Eq. das diferenças p/ PR Não-Ideal:')
460 % uk=vpa(uk,7) %representa em ponto flutuante
461
462 % fprintf('Equação à diferença do P+Res na malha de corrente il:\n')
463 % fprintf('uk_il = - (cyk1_il*ulk_il + cyk2_il*u2k_il) + cek1_il*ek_il +
cek1_il*elk_il + cek2_il*e2k_il; \n')
464 % fprintf('cyk1_il = %4.16f , cyk2_il = %4.16f, \n',Coefic_out)
465 % fprintf('cek1_il = %4.16f , cekl1_il = %4.16f, cek2_il = %4.16f. \n',Coefic_erro)
466 % fprintf(' \n')
467
468 %% Projeto do Controlador P+Res (Kuperman, 2015) - Teste
469 wcruzKuper = 2*pi*4100;
470 Kpac = 2*L1*wcruzKuper;
471
472 Kr1 = (L1*wcruzKuper^2)+(2*RL1*wcruzKuper);
473 Kr2 = (RL1*wcruzKuper^2)-(2*L1*wcruzKuper*wg^2);
474
475 Cacs = Kpac + (Kr1*s/(s^2+wg^2)) + (Kr2/(s^2+wg^2));
476
477 %% Projeto do controlador PI na malha de corrente de magnetização img (s)
478 Gimgmm = -(Kconv)/(LmAT*s);
479
480 FTMAimgsc = Gimgmm*ats;
481 fccimg = (2*fs)/(200); % Frequência de cruzamento do controlador, aprox. 10*fccv2
[/840]
482 wccimg = 2*pi*fccimg;
483 opts = pidtuneOptions('PhaseMargin',60);
484 [PIi,infoi] = pidtune(FTMAimgsc,'pi',wccimg,opts);
485
486 PIi = tfdata(PIi,'v');
487 Kpcimg = PIi(1); %Kp do controlador iml
488 Kicimg = PIi(2); %Ki do controlador iml
489
490 Kcimg = Kpcimg; %K do controlador PI no PSIM
491 Tcimg = Kpcimg/Kicimg; %T do controlador PI no PSIM

```

```

492
493 %% Projeto do controlador digital PI na malha de corrente de magnetização img
494 Cimg = (Kpcimg + Kicimg/s);
495
496 Cimgdig = c2d(Cimg,Ta,'tustin'); % PI digital
497 [nimg,mimg] = tfdata(Cimgdig,'v');
498 fprintf('Equação à diferença do PI na malha de corrente img:\n')
499 fprintf('uk_img = ulk_img + a_img*ek_img + b_img*elk_img; \n')
500 fprintf('a_img = %4.16f , b_img = %4.16f. \n',nimg)
501 fprintf(' \n')
502
503 %% Projeto do filtro digital passa baixa de primeira ordem em v2
504
505 fcfpbv2 = 60;
506 wcfpbv2 = 2*pi*fcfpbv2;
507
508 Gfpbv2 = wcfpbv2/(s + wcfpbv2);
509
510 Gfpbv2dig = c2d(Gfpbv2,Ta,'tustin'); % FPB digital
511
512 [nfpbv2,mfpbv2] = tfdata(Gfpbv2dig,'v');
513
514 z1_fpbv2 = nfpbv2(1);
515 z0_fpbv2 = nfpbv2(2);
516
517 p1_fpbv2 = mfpbv2(1);
518 p0_fpbv2 = mfpbv2(2);
519
520 cyk1_fpbv2 = p0_fpbv2/p1_fpbv2;
521
522 cek_fpbv2 = z1_fpbv2/p1_fpbv2;
523 cek1_fpbv2 = z0_fpbv2/p1_fpbv2;
524
525 Coefic_out_fpbv2 = [cyk1_fpbv2];
526 Coefic_erro_fpbv2 = [cek_fpbv2 cek1_fpbv2];
527
528 fprintf('Equação à diferença do FPB na malha de tensão v2:\n')
529 fprintf('uk_fpbv2 = - cyk1_fpbv2*ulk_fpbv2 + cek_fpbv2*ek_fpbv2 +
530 fprintf('cek1_fpbv2*elk_fpbv2; \n')
531 fprintf('cyk1_fpbv2 = %4.16f , cek_fpbv2 = %4.16f , cek1_fpbv2 = %4.16f.
532 fprintf(' \n')
533 fprintf(' \n')
534
535 %% Projeto do filtro Notch em v2
536 fzv2notch = 120; %frequência do zero do filtro notch
537 wzv2notch = 2*pi*fzv2notch;
538 amortv2notch = 0.01;
539
540 v2notch = (s^2 + 2*amortv2notch*wzv2notch*s + wzv2notch^2)/(s^2 + 2*wzv2notch*s +
541 wzv2notch^2);
542
543 v2notchdig = c2d(v2notch,Ta,'tustin'); % P+Res digital
544 [nv2notch,mv2notch] = tfdata(v2notchdig,'v');
545
546 z2_v2n = nv2notch(1);
547 z1_v2n = nv2notch(2);
548 z0_v2n = nv2notch(3);
549
550 p2_v2n = mv2notch(1);
551 p1_v2n = mv2notch(2);
552 p0_v2n = mv2notch(3);
553
554 cyk1_v2n = p1_v2n/p2_v2n;
555 cyk2_v2n = p0_v2n/p2_v2n;
556
557 cek_v2n = z2_v2n/p2_v2n;
558 cek1_v2n = z1_v2n/p2_v2n;
559 cek2_v2n = z0_v2n/p2_v2n;
560
561 Coefic_out_v2n = [cyk1_v2n cyk2_v2n];
562 Coefic_erro_v2n = [cek_v2n cek1_v2n cek2_v2n];

```

```

560
561 fprintf('Equação à diferença do filtro notch na malha de tensão v2:\n')
562 fprintf('uk_v2n = - (cyk1_v2n*ulk_v2n + cyk2_v2n*u2k_v2n) + cek_v2n*ek_v2n +
cek1_v2n*elk_v2n + cek2_v2n*e2k_v2n; \n')
563 fprintf('cyk1_v2n = %4.16f , cyk2_v2n = %4.16f, \n',Coefic_out_v2n)
564 fprintf('cek_v2n = %4.16f , cek1_v2n = %4.16f, cek2_v2n = %4.16f. \n',Coefic_erro_v2n)
565 fprintf(' \n')
566
567 %% Projeto do controlador PI da malha de tensão v2
568
569 C2eq = (C2l*3)/2;
570
571 %Gv2geq = ((Vgrms^2)/(2*V2))*((R2)/((s*R2*C2eq/2)+1)); %Função de transferência em
Ortmann, 2012
572
573 Gv2im = M/(s*3*C2l);
574
575 %FTMAv2scc = (Gv2lADs + Gv22ADs)*Gv2im*KAD*ats; %Função de transferência em malha
aberta sem compensador *Gfpbv2*v2notch
576 FTMAv2scc =Gv2im;
577 %Kv2_DSP=(1/((GimlADs + Gim2ADs)*1365))
578 fccv2 = (2*fg)/8; % Frequência de cruzamento do controlador /8
579 wccv2 = 2*pi*fccv2;
580 opts = pidtuneOptions('PhaseMargin',50);%60
581 [PIi,infoi] = pidtune(FTMAv2scc,'pi',wccv2,opts);
582
583 PIi = tfdata(PIi,'v');
584 Kpcv2 = PIi(1); %Kp do controlador v2
585 Kicv2 = PIi(2); %Ki do controlador v2
586
587 Kcv2 = Kpcv2; %K do controlador PI no PSIM
588 Tcv2 = Kpcv2/Kicv2; %T do controlador PI no PSIM
589
590 %% Projeto do controlador digital PI na malha de tensão v2
591 Cv2 = Kpcv2 + Kicv2/s;
592
593 Cv2dig = c2d(Cv2,Ta,'tustin'); % PI digital
594 [nv2,mv2] = tfdata(Cv2dig,'v');
595 fprintf('Equação à diferença do PI na malha de tensão v2:\n')
596 fprintf('uk_v2 = ulk_v2 + a_v2*ek_v2 + b_v2*elk_v2; \n')
597 fprintf('a_v2 = %4.16f , b_v2 = %4.16f. \n',nv2)
598 fprintf(' \n')
599
600 %% Projeto do filtro Notch em v2d
601 fzv2dnotch = 60; %frequência do zero do filtro notch
602 wzv2dnotch = 2*pi*fzv2dnotch;
603 amortv2dnotch = 0.001;
604
605 v2dnotch = (s^2 + 2*amortv2dnotch*wzv2dnotch*s + wzv2dnotch^2)/(s^2 + 2*wzv2dnotch*s
+ wzv2dnotch^2);
606
607 v2dnotchdig = c2d(v2dnotch,Ta,'tustin'); % P+Res digital
608 [nv2dnotch,mv2dnotch] = tfdata(v2dnotchdig,'v');
609
610 z2_v2dn = nv2dnotch(1);
611 z1_v2dn = nv2dnotch(2);
612 z0_v2dn = nv2dnotch(3);
613
614 p2_v2dn = mv2dnotch(1);
615 p1_v2dn = mv2dnotch(2);
616 p0_v2dn = mv2dnotch(3);
617
618 cyk1_v2dn = p1_v2dn/p2_v2dn;
619 cyk2_v2dn = p0_v2dn/p2_v2dn;
620
621 cek_v2dn = z2_v2dn/p2_v2dn;
622 cek1_v2dn = z1_v2dn/p2_v2dn;
623 cek2_v2dn = z0_v2dn/p2_v2dn;
624
625 Coefic_out_v2dn = [cyk1_v2dn cyk2_v2dn];
626 Coefic_erro_v2dn = [cek_v2dn cek1_v2dn cek2_v2dn];

```



```

627
628 fprintf('Equação à diferença do filtro notch na malha de tensão v2d:\n')
629 fprintf('uk_v2dn = - (cykl_v2dn*ulk_v2dn + cyk2_v2dn*u2k_v2dn) + cek_v2dn*ek_v2dn +
cek1_v2dn*elk_v2dn + cek2_v2dn*e2k_v2dn; \n')
630 fprintf('cykl_v2dn = %4.16f , cyk2_v2dn = %4.16f, \n',Coefic_out_v2dn)
631 fprintf('cek_v2dn = %4.16f , cek1_v2dn = %4.16f, cek2_v2dn = %4.16f.
\n',Coefic_erro_v2dn)
632 fprintf(' \n')
633
634 %% Projeto do controlador PI da malha de tensão diferencial [vd]
635
636 R22=V2^2/(2*P3);
637 %RseEq=RseC21/3;
638 Cleq=C22*3;
639 RseEq=0;
640
641 %Gv2d = M/(s^3*C21);
642 Gv2d = (((s*R22*RseEq*Cleq*2)+R22*2)/(s*(R22*Cleq+RseEq*Cleq)+1));
643 %Gv2d = (0.5*R3*((s*RseEq*Cleq)+1))/((s*R3*Cleq*0.5)+(RseEq*Cleq*s)+1);
644 %FTMAv2dscc = Gv2d*ats*Gfpbv2*v2notch; %Função de transferência em malha aberta sem
compensador
645 %FTMAv2dscc = Gv2d*ats*Gfpbv2*v2notch; %Função de transferência em malha aberta sem
compensador
646 FTMAv2dscc = Gv2im;
647 Kv21_DSP=1/(Gv21ADs_DSP*1365);
648 Kv22_DSP=Kv21_DSP;
649 fccv2d = (2*fg)/40; %Frequência de cruzamento do controlador /36
650 wccv2d = 2*pi*fccv2d;
651 opts = pidtuneOptions('PhaseMargin',65);%60
652 [PIi,infoi] = pidtune(FTMAv2dscc,'pi',wccv2d,opts);
653
654 PIi = tfdata(PIi,'v');
655 Kpcv2d = PIi(1); %Kp do controlador v2d
656 Kicv2d = PIi(2); %Ki do controlador v2d
657
658 Kcv2d = Kpcv2d; %K do controlador PI no PSIM
659 Tcv2d = Kpcv2d/Kicv2d; %T do controlador PI no PSIM
660
661 %% Projeto do controlador digital PI na malha de tensão diferencial v2d
662 Cv2d = Kpcv2d + Kicv2d/s;
663
664 Cv2ddig = c2d(Cv2d,Ta,'tustin'); % PI digital
665 [nv2d,mv2d] = tfdata(Cv2ddig,'v');
666 fprintf('Equação à diferença do PI na malha de tensão diferencial v2d:\n')
667 fprintf('uk_v2d = ulk_v2d + a_v2d*ek_v2d + b_v2d*elk_v2d; \n')
668 fprintf('a_v2d = %4.16f , b_v2d = %4.16f. \n',nv2d)
669 fprintf(' \n')
670
671 %% Projeto do filtro digital passa baixa de primeira ordem em v3
672
673 fcfpbv3 = 60;
674 wcfpbv3 = 2*pi*fcfpbv3;
675
676 Gfpbv3 = wcfpbv3/(s + wcfpbv3);
677
678 Gfpbv3dig = c2d(Gfpbv3,Ta,'tustin'); % FPB digital
679
680 [nfpbv3,mfpbv3] = tfdata(Gfpbv3dig,'v');
681
682 cek_fpbv3 = nfpbv3(1);
683 cek1_fpbv3 = nfpbv3(2);
684
685 cykl_fpbv3 = mfpbv3(2);
686
687 Coefic_out_fpbv3 = [cykl_fpbv3];
688 Coefic_erro_fpbv3 = [cek_fpbv3 cek1_fpbv3];
689
690 fprintf('Equação à diferença do FPB na malha de tensão v3:\n')
691 fprintf('uk_fpbv3 = - cykl_fpbv3*ulk_fpbv3 + cek_fpbv3*ek_fpbv3 +
cek1_fpbv3*elk_fpbv3; \n')
692 fprintf('cykl_fpbv3 = %4.16f , cek_fpbv3 = %4.16f , cek1_fpbv3 = %4.16f.

```

```

\n', [Coefic_out_fpbv3 Coefic_erro_fpbv3])
693 fprintf(' \n')
694
695 %% Projeto do filtro Notch em v3
696 fzv3notch = 120; %frequência do zero do filtro notch
697 wzv3notch = 2*pi*fzv3notch;
698 amortv3notch = 0.01;
699
700 v3notch = (s^2 + 2*amortv3notch*wzv3notch*s + wzv3notch^2)/(s^2 + 2*wzv3notch*s +
wzv3notch^2);
701
702 v3notchdig = c2d(v3notch, Ta, 'tustin'); % P+Res digital
703 [nv3notch, mv3notch] = tfdata(v3notchdig, 'v');
704
705 z2_v3n = nv3notch(1);
706 z1_v3n = nv3notch(2);
707 z0_v3n = nv3notch(3);
708
709 p2_v3n = mv3notch(1);
710 p1_v3n = mv3notch(2);
711 p0_v3n = mv3notch(3);
712
713 cyk1_v3n = p1_v3n/p2_v3n;
714 cyk2_v3n = p0_v3n/p2_v3n;
715
716 cek_v3n = z2_v3n/p2_v3n;
717 cek1_v3n = z1_v3n/p2_v3n;
718 cek2_v3n = z0_v3n/p2_v3n;
719
720 Coefic_out_v3n = [cyk1_v3n cyk2_v3n];
721 Coefic_erro_v3n = [cek_v3n cek1_v3n cek2_v3n];
722
723 fprintf('Equação à diferença do filtro notch na malha de tensão v3:\n')
724 fprintf('uk_v3n = - (cyk1_v3n*ulk_v3n + cyk2_v3n*u2k_v3n) + cek_v3n*ek_v3n +
cek1_v3n*e1k_v3n + cek2_v3n*e2k_v3n; \n')
725 fprintf('cyk1_v3n = %4.16f , cyk2_v3n = %4.16f, \n', Coefic_out_v3n)
726 fprintf('cek_v3n = %4.16f , cek1_v3n = %4.16f, cek2_v3n = %4.16f. \n', Coefic_erro_v3n)
727 fprintf(' \n')
728 %% Projeto do controlador PI da malha de tensão v3
729
730 Kgyr = 6.817412; %Cálculo realizado no Mathcad
731 Kdigang = 180/Apwml; %Ganho de conversão de digital para ângulo em graus
732 Kradang = pi/180; %Na prática não coloca
733
734 C3eq = C3*12; % Capacitância equivalente na porta 3
735 Rsec3eq = RsecC3/12; % Resistência série equivalente na porta 3
736
737 Gv3 = (R3*Rsec3eq*C3eq*s+R3)/((Rsec3eq*C3eq+R3*C3eq)*s+1); % Função de transferência
da planta
738
739 % FTMAv3scc = Gv3ADs*Gv3*Kdigang*Kradang*Kgyr*KAD*ats*v3notch*Gfpbv3; %Função de
transferência em malha aberta sem compensador
740 FTMAv3scc = Gv3*Kdigang*Kradang*Kgyr*ats*v3notch*Gfpbv3;
741 Kv3_DSP=1/(Gv3ADs_DSP*1365);
742 fccv3 = (2*fg)/10; % Frequência de cruzamento do controlador /8
743 wccv3 = 2*pi*fccv3;
744 opts = pidtuneOptions('PhaseMargin', 50);
745 [PIi, infoi] = pidtune(FTMAv3scc, 'pi', wccv3, opts);
746
747 PIi = tfdata(PIi, 'v');
748 Kpcv3 = PIi(1); %Kp do controlador v3
749 Kicv3 = PIi(2); %Ki do controlador v3
750
751 Kcv3 = Kpcv3; %K do controlador PI no PSIM
752 Tcv3 = Kpcv3/Kicv3; %T do controlador PI no PSIM
753
754 %% Projeto do controlador digital PI na malha de tensão v3
755 Cv3 = Kpcv3 + Kicv3/s;
756
757 Cv3dig = c2d(Cv3, Ta, 'tustin'); % PI digital
758 [nv3, mv3] = tfdata(Cv3dig, 'v');

```

```

759 fprintf('Equação à diferença do PI na malha de tensão v3:\n')
760 fprintf('uk_v3 = ulk_v3 + a_v3*ek_v3 + b_v3*elk_v3; \n')
761 fprintf('a_v3 = %4.16f , b_v3 = %4.16f. \n',nv3)
762 fprintf(' \n')
763 %% Projeto da malha digital de v3 (plano z)
764
765 FTMAv3sccz = c2d(FTMAv3scc,Ta,'ZOH');
766
767 fccv3z = (2*fg)/24; % Frequência de cruzamento do controlador [/8]
768 wccv3z = 2*pi*fccv3z;
769 opts = pidtuneOptions('PhaseMargin',60);
770 [PIz,infoz] = pidtune(FTMAv3sccz*(1/z),'pi',wccv3z,opts);
771
772 PIV3z = tfdata(PIz,'v');
773 Kpcv3z = PIV3z(1); %Kp do controlador v3
774 Kicv3z = PIV3z(2); %Ki do controlador v3
775
776 %% Projeto do filtro Notch em i3
777 fzi3notch = 120; %frequência do zero do filtro notch
778 wzi3notch = 2*pi*fzi3notch;
779 amorti3notch = 0.001;
780
781 i3notch = (s^2 + 2*amorti3notch*wzi3notch*s + wzi3notch^2)/(s^2 + 2*wzi3notch*s +
wzi3notch^2);
782
783 i3notchdig = c2d(i3notch,Ta,'tustin');
784 [ni3notch,mi3notch] = tfdata(i3notchdig,'v');
785
786 z2_i3n = ni3notch(1);
787 z1_i3n = ni3notch(2);
788 z0_i3n = ni3notch(3);
789
790 p2_i3n = mi3notch(1);
791 p1_i3n = mi3notch(2);
792 p0_i3n = mi3notch(3);
793
794 cyk1_i3n = p1_i3n/p2_i3n;
795 cyk2_i3n = p0_i3n/p2_i3n;
796
797 cek_i3n = z2_i3n/p2_i3n;
798 cek1_i3n = z1_i3n/p2_i3n;
799 cek2_i3n = z0_i3n/p2_i3n;
800
801 Coefic_out_i3n = [cyk1_i3n cyk2_i3n];
802 Coefic_erro_i3n = [cek_i3n cek1_i3n cek2_i3n];
803
804 fprintf('Equação à diferença do filtro notch na malha de corrente i3:\n')
805 fprintf('uk_i3n = - (cyk1_i3n*ulk_i3n + cyk2_i3n*u2k_i3n) + cek_i3n*ek_i3n +
cek1_i3n*elk_i3n + cek2_i3n*e2k_i3n; \n')
806 fprintf('cyk1_i3n = %4.16f , cyk2_i3n = %4.16f, \n',Coefic_out_i3n)
807 fprintf('cek_i3n = %4.16f , cek1_i3n = %4.16f, cek2_i3n = %4.16f. \n',Coefic_erro_i3n)
808 fprintf(' \n')
809
810 %% Projeto do controlador PI da malha de corrente i3
811
812 Gi3 = Gv3/R3; % Função de transferência da planta
813
814 FTMAi3scc = Gi3ADs*Gi3*Kgyr*Kdigang*Kradang*KAD*ats; %Função de transferência em
malha aberta sem compensador
815 Ki3_DSP=1/(Gi3ADs_DSP*1365);
816 fcci3 = (2*fg)/8; % Frequência de cruzamento do controlador/4
817 wcci3 = 2*pi*fcci3;
818 opts = pidtuneOptions('PhaseMargin',60);
819 [PIi,infoi] = pidtune(FTMAi3scc,'pi',wcci3,opts);
820
821 PIi = tfdata(PIi,'v');
822 Kpci3 = PIi(1); %Kp do controlador v3
823 Kici3 = PIi(2); %Ki do controlador v3
824
825 Kci3 = Kpci3; %K do controlador PI no PSIM
826 Tci3 = Kpci3/Kici3; %T do controlador PI no PSIM

```

```

827
828 %% Projeto do controlador digital PI na malha de corrente i3
829 Ci3 = Kpci3 + Kici3/s;
830
831 Ci3dig = c2d(Ci3,Ta,'tustin'); % PI digital
832 [ni3,mi3] = tfdata(Ci3dig,'v');
833 fprintf('Equação à diferença do PI na malha de corrente i3:\n')
834 fprintf('uk_i3 = ulk_i3 + a_i3*ek_i3 + b_i3*elk_i3; \n')
835 fprintf('a_i3 = %4.16f , b_i3 = %4.16f. \n',ni3)
836
837 %% Projeto da malha digital de i3 (plano z)
838
839 FTMAi3sccz = c2d(FTMAi3scc,Ta,'ZOH');
840
841 fcci3z = (2*fg)/8; % Frequência de cruzamento do controlador [/8]
842 wcci3z = 2*pi*fcci3z;
843 opts = pidtuneOptions('PhaseMargin',60);
844 [PIz,infoz] = pidtune(FTMAi3sccz*(1/z),'pi',wcci3z,opts);
845
846 PII3z = tfdata(PIz,'v');
847 Kpci3z = PII3z(1); %Kp do controlador i3
848 Kicv3z = PII3z(2); %Ki do controlador i3
849
850 KAD=1365;
851 Kpwm = 1/Apwm;
852
853 %% Função para gravar arquivo de parâmetros
854 file = strcat('Param_N3D1_DSP_ADC_Ref0_Control_All_PI_ffvg','.txt');
855 fid = fopen(file,'wt'); % Grava o arquivo de parametros para o PSIM
856
857 % ----- Parâmetros importantes do conversor -----
858
859 fprintf(fid,'fg = %f;\t// Frequência da rede elétrica\n',fg);
860 fprintf(fid,'fs = %f;\t// Frequência de chaveamento\n',fs);
861
862 fprintf(fid,'Vgpk = %f;\t// Valor de pico da tensão na rede elétrica [vg]\n',Vgpk);
863
864 % ----- Parâmetro Digital -----
865
866 fprintf(fid,'fa = %f;\t// Frequência de amostragem\n',fa);
867
868 fprintf(fid,'KAD = %f;\t// Ganho do conversor AD\n',KAD);
869
870 fprintf(fid,'Apwm = %f;\t// Amplitude das portadoras Apwm\n',Apwm);
871 fprintf(fid,'Kpwm = %f;\t// Ganho do PWM\n',Kpwm);
872
873 % ----- Definição das portadoras triangulares -----
874
875 fprintf(fid,'cm11pk = %f;\t// Valor de pico da Portadora cm11\n',cm11pk);
876 fprintf(fid,'cm12pk = %f;\t// Valor de pico da Portadora cm12\n',cm12pk);
877 fprintf(fid,'cm21pk = %f;\t// Valor de pico da Portadora cm21\n',cm21pk);
878 fprintf(fid,'cm22pk = %f;\t// Valor de pico da Portadora cm22\n',cm22pk);
879
880 fprintf(fid,'ce11pk = %f;\t// Valor de pico da Portadora ce11\n',ce11pk);
881 fprintf(fid,'ce21pk = %f;\t// Valor de pico da Portadora ce21\n',ce21pk);
882
883
884 fprintf(fid,'phicm11 = %f;\t// Ângulo de fase da Portadora cm11\n',phicm11);
885 fprintf(fid,'phicm12 = %f;\t// Ângulo de fase da Portadora cm12\n',phicm12);
886 fprintf(fid,'phicm21 = %f;\t// Ângulo de fase da Portadora cm21\n',phicm21);
887 fprintf(fid,'phicm22 = %f;\t// Ângulo de fase da Portadora cm22\n',phicm22);
888
889 fprintf(fid,'deadtime = %e;\t// Tempo morto entre chaves\n',deadtime);
890
891 % ----- Filtros do conversor N3D1 -----
892
893 fprintf(fid,'RL1 = %e;\t// Resistência no indutor da porta 1\n',RL1);
894 fprintf(fid,'RLtm = %e;\t// Resistência no indutor Ltm\n',RLtm);
895
896 fprintf(fid,'L1 = %e;\t// Indutância da porta 1\n',L1);
897 fprintf(fid,'Ltm = %e;\t// Indutância no indutor Ltm\n',Ltm);

```

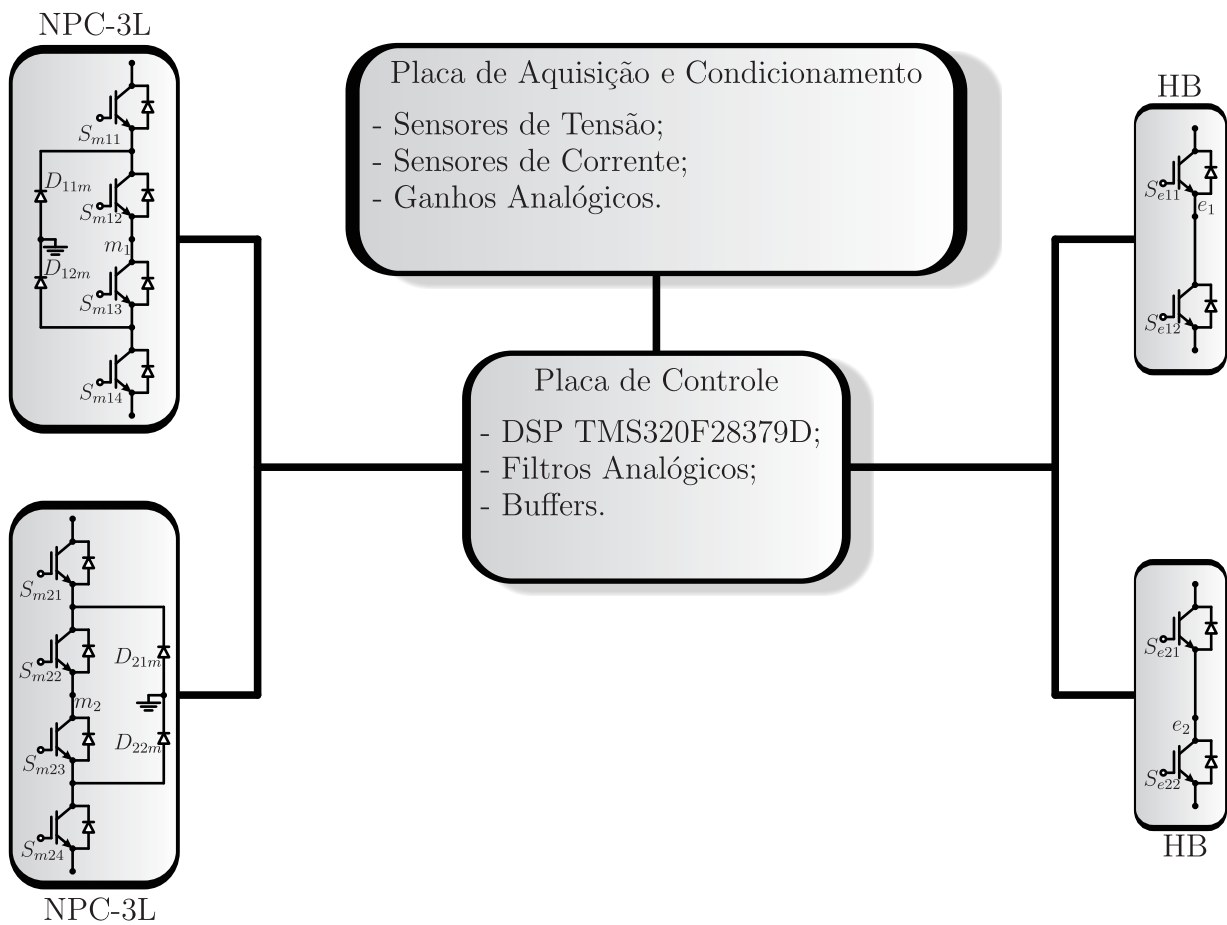
```

898
899 fprintf(fid,'C21 = %e;\t// Capacitância da subporta 21, C21\n',C21);
900 fprintf(fid,'C22 = %e;\t// Capacitância da subporta 22, C22\n',C22);
901
902 fprintf(fid,'V21inic = %e;\t// Valor inicial da tensão em C21\n',V21inic);
903 fprintf(fid,'V22inic = %e;\t// Valor inicial da tensão em C22\n',V22inic);
904
905 fprintf(fid,'RsecC21 = %e;\t// Resistência série equivalente em C21\n',RsecC21);
906 fprintf(fid,'RsecC22 = %e;\t// Resistência série equivalente em C22\n',RsecC22);
907
908 fprintf(fid,'R2 = %f;\t// Resistência fictícia R2\n',R2);
909
910 fprintf(fid,'C3 = %e;\t// Capacitância da porta 3, C3\n',C3);
911
912 fprintf(fid,'V3inic = %f;\t// Valor inicial da tensão em C3\n',V3inic);
913
914 fprintf(fid,'RsecC3 = %e;\t// Resistência série equivalente em C3\n',RsecC3);
915
916 fprintf(fid,'R3 = %e;\t// Resistência fictícia R3\n',R3);
917
918 % ----- Parâmetros do autotransformador -----
919
920 fprintf(fid,'LmAT = %e;\t// Indutância de magnetização no AT\n',LmAT);
921
922 fprintf(fid,'Ldm1 = %e;\t// Indutância de dispersão no AT\n',Ldm1);
923 fprintf(fid,'Ldm2 = %e;\t// Indutância de dispersão no AT\n',Ldm2);
924
925 fprintf(fid,'Nm1 = %f;\t// Número de espiras do primário no AT\n',Nm1);
926 fprintf(fid,'Nm2 = %f;\t// Número de espiras do secundário no AT\n',Nm2);
927
928 % ----- Parâmetros do transformador -----
929
930 fprintf(fid,'LmTr = %e;\t// Indutância de magnetização no Tr\n',LmTr);
931
932 fprintf(fid,'NP = %f;\t// Número de espiras do primário no Tr\n',NP);
933 fprintf(fid,'NS = %f;\t// Número de espiras do secundário no Tr\n',NS);
934
935 % ----- Ganho de sensor de tensão CA {vg} -----
936
937 fprintf(fid,'KLEMvg = %e;\t// Ganho de sensor de tensão CA [vg]\n',KLEMvg);
938
939 % ----- Ganho de sensores de corrente CA {im1, im2} -----
940
941 fprintf(fid,'KLEMim1 = %e;\t// Ganho de sensor de corrente CA [im1]\n',KLEMim1);
942 fprintf(fid,'KLEMim2 = %e;\t// Ganho de sensor de corrente CA [im2]\n',KLEMim2);
943
944 % ----- Ganho de sensores de corrente CC {i3} -----
945
946 fprintf(fid,'KLEMi3 = %e;\t// Ganho de sensor de corrente CC [i3]\n',KLEMi3);
947
948 % ----- Ganho de sensores de tensão CC {v21, v22, v3} -----
949
950 fprintf(fid,'KLEMv21 = %e;\t// Ganho de sensores de tensão CC [v21]\n',KLEMv21);
951 fprintf(fid,'KLEMv22 = %e;\t// Ganho de sensores de tensão CC [v22]\n',KLEMv22);
952 fprintf(fid,'KLEMv3 = %e;\t// Ganho de sensores de tensão CC [v3]\n',KLEMv3);
953
954 % ----- Constante pi -----
955
956 fprintf(fid,'pi = %2.16f;\t// Constante pi\n',pi);
957
958 fclose(fid);

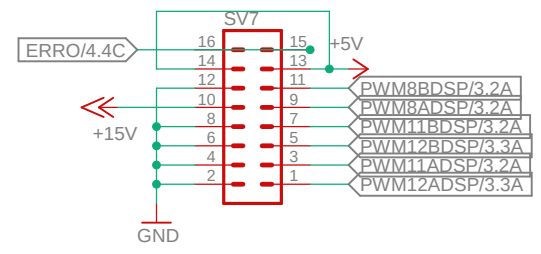
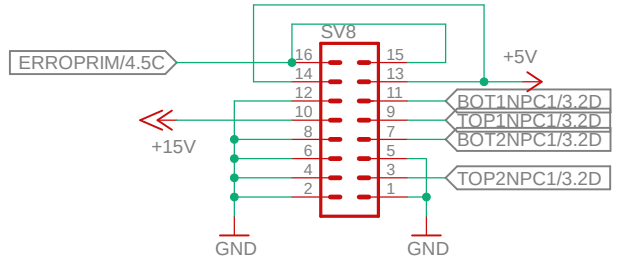
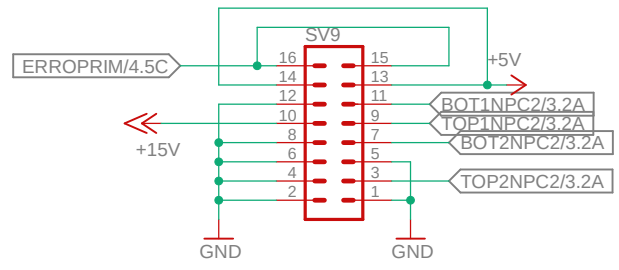
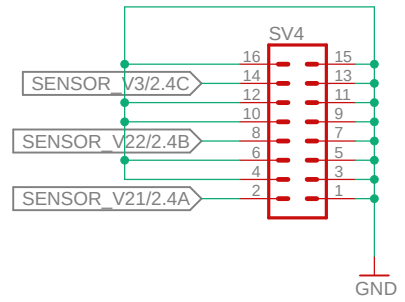
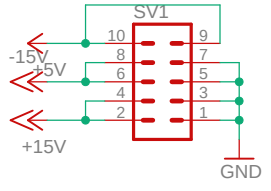
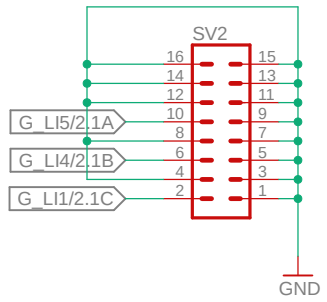
```

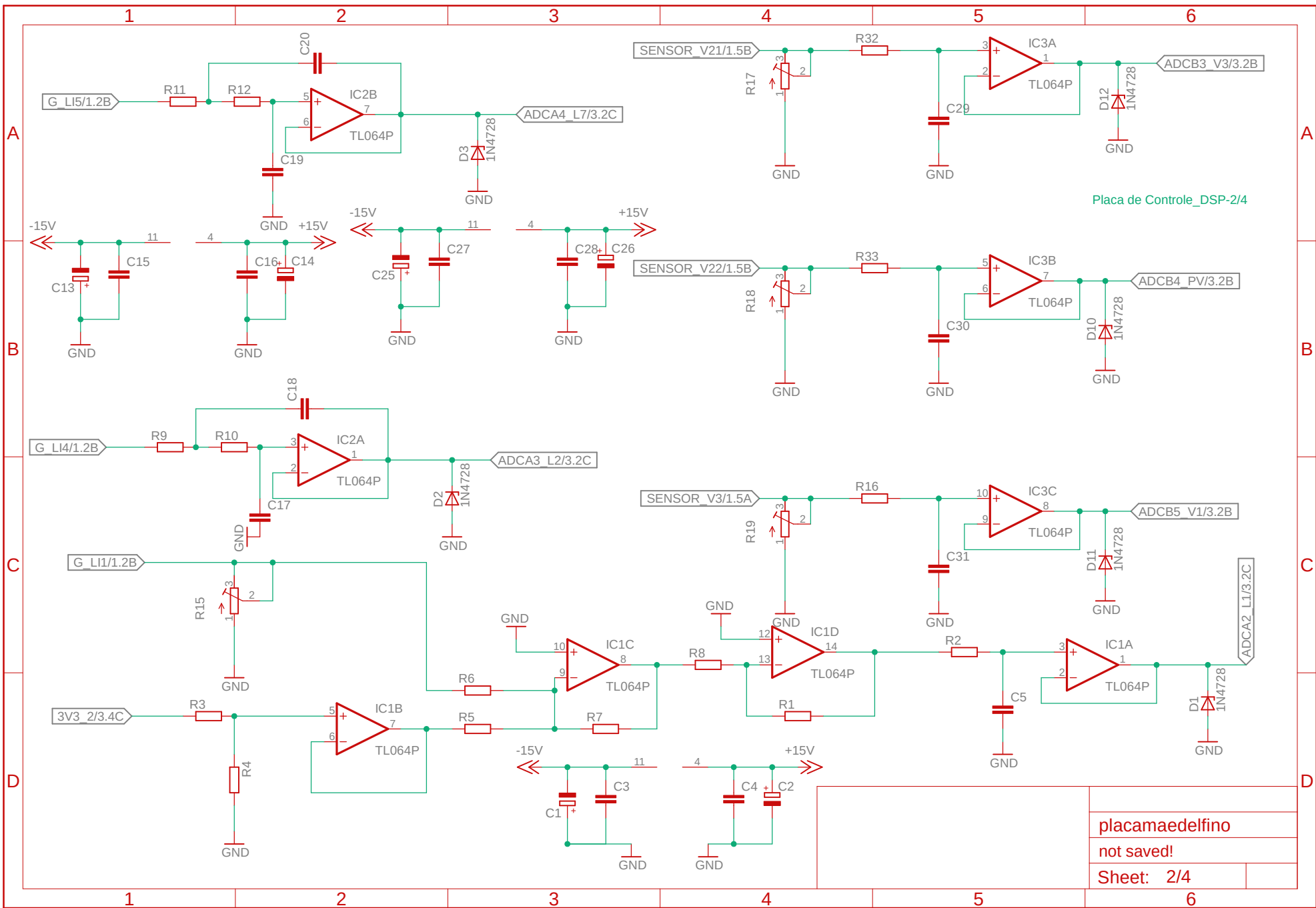
APÊNDICE E – DIAGRAMAS ESQUEMÁTICOS DO PROTÓTIPO DO TES I2NDF1

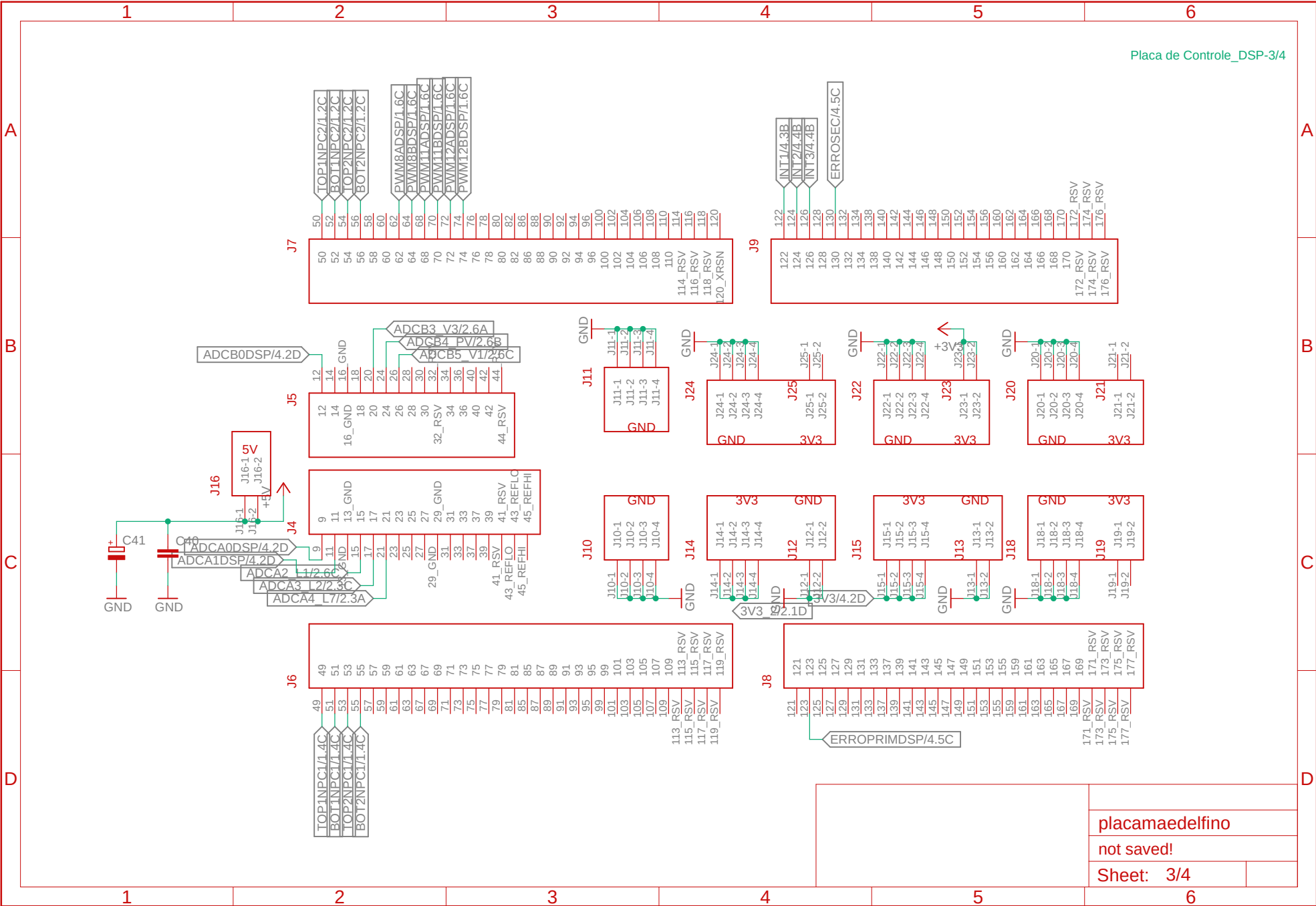
Descrição Básica do Hardware - TES I2NDF1

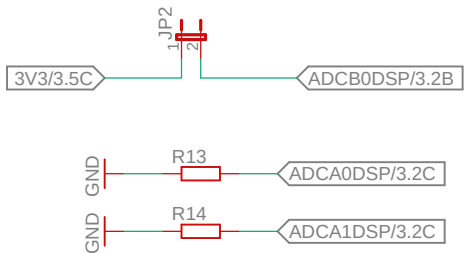
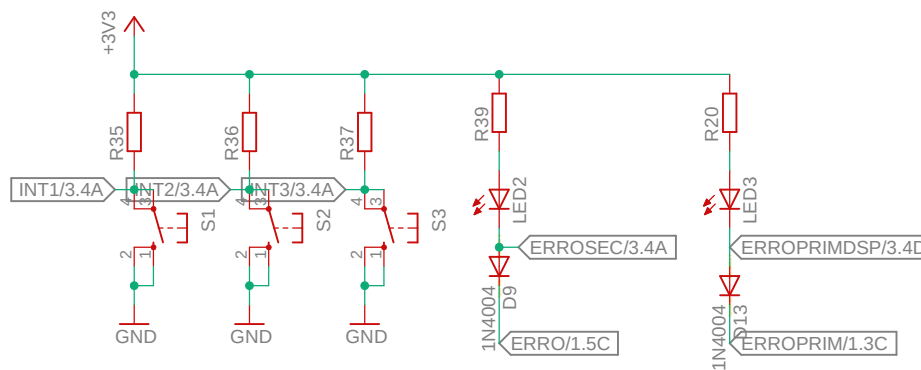
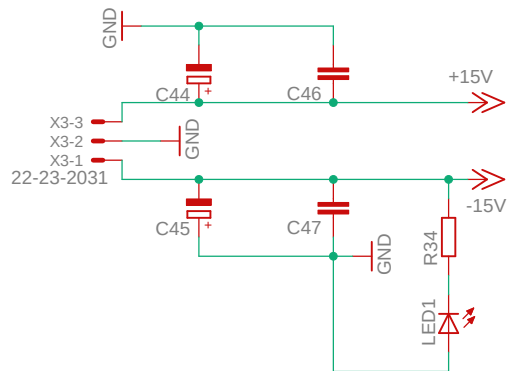


Placa de Controle_DSP-1/4





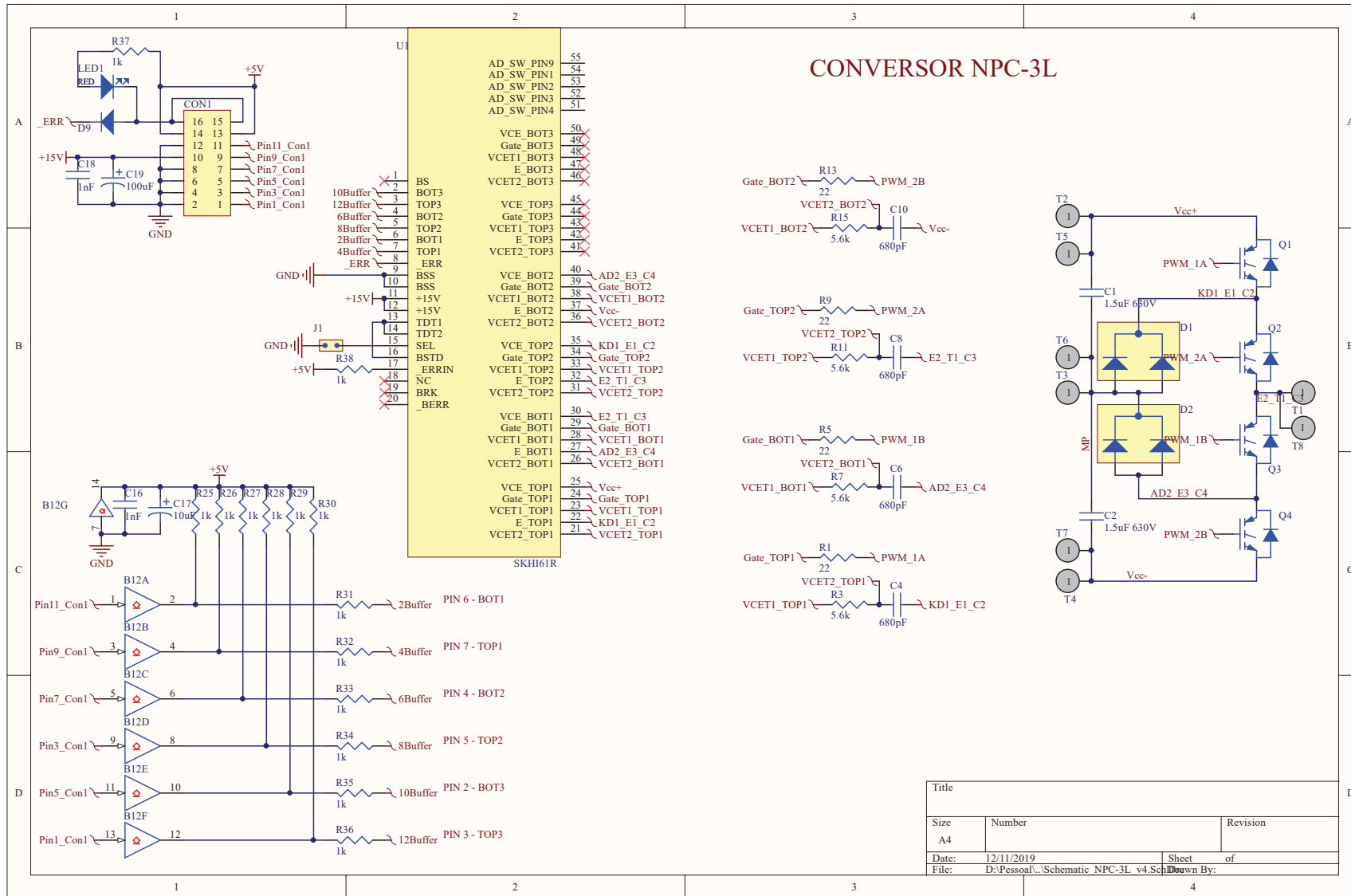




placamaedelfino

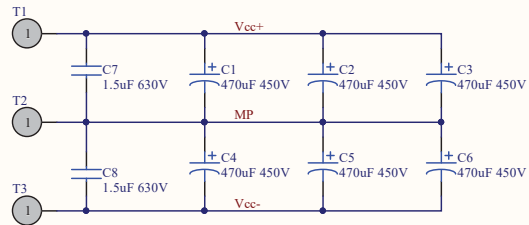
not saved!

Sheet: 4/4

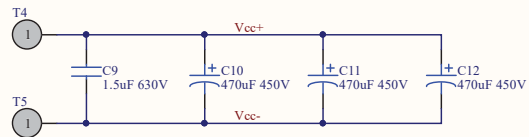


Title		
Size	Number	Revision
A4		
Date:	12/11/2019	Sheet of
File:	D:\Pessoal\...Schematic_NPC-3L v4.SchDown By:	

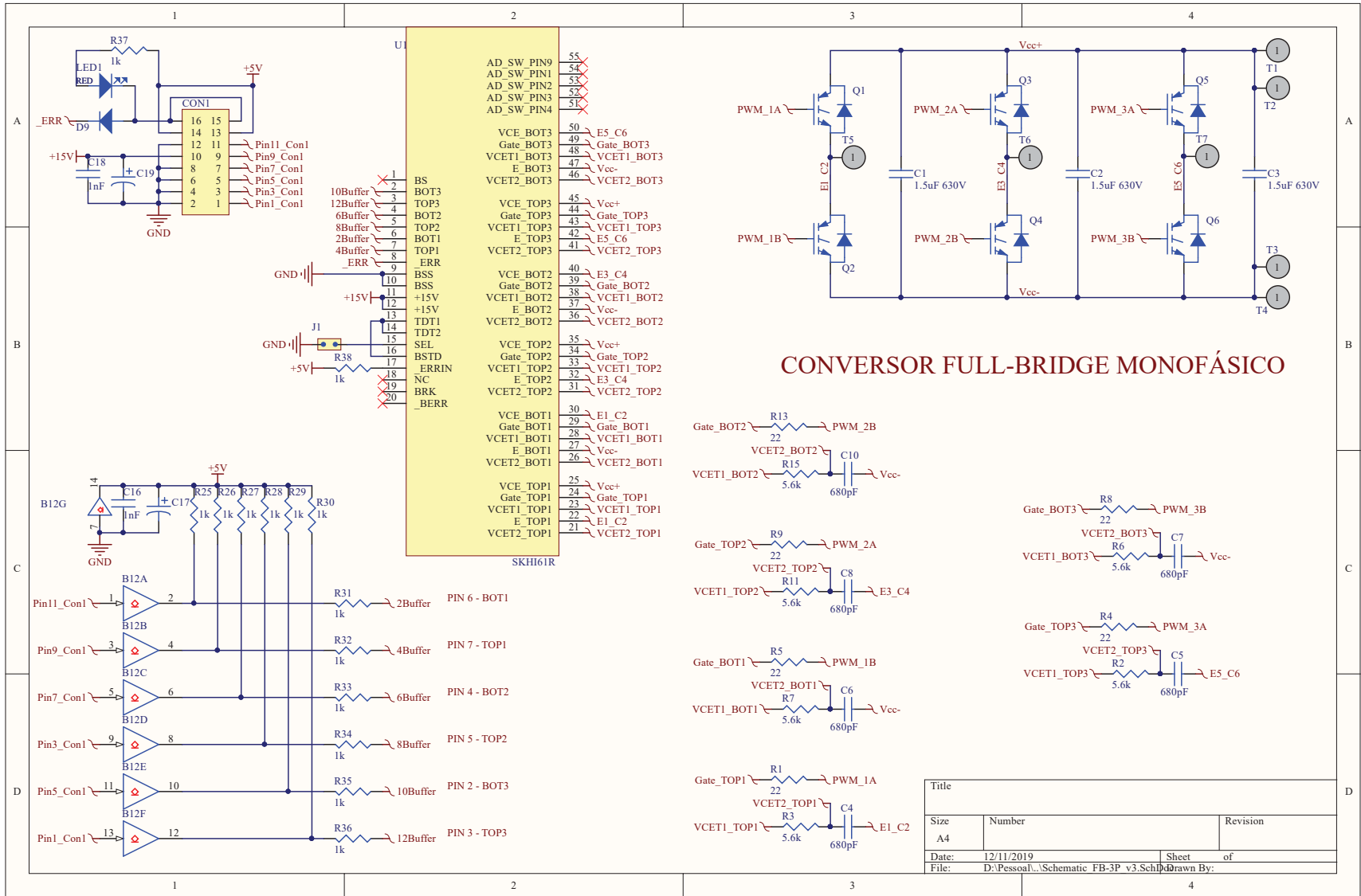
BARRAMENTO CAPACITIVO NA PORTA II, C21 e C22

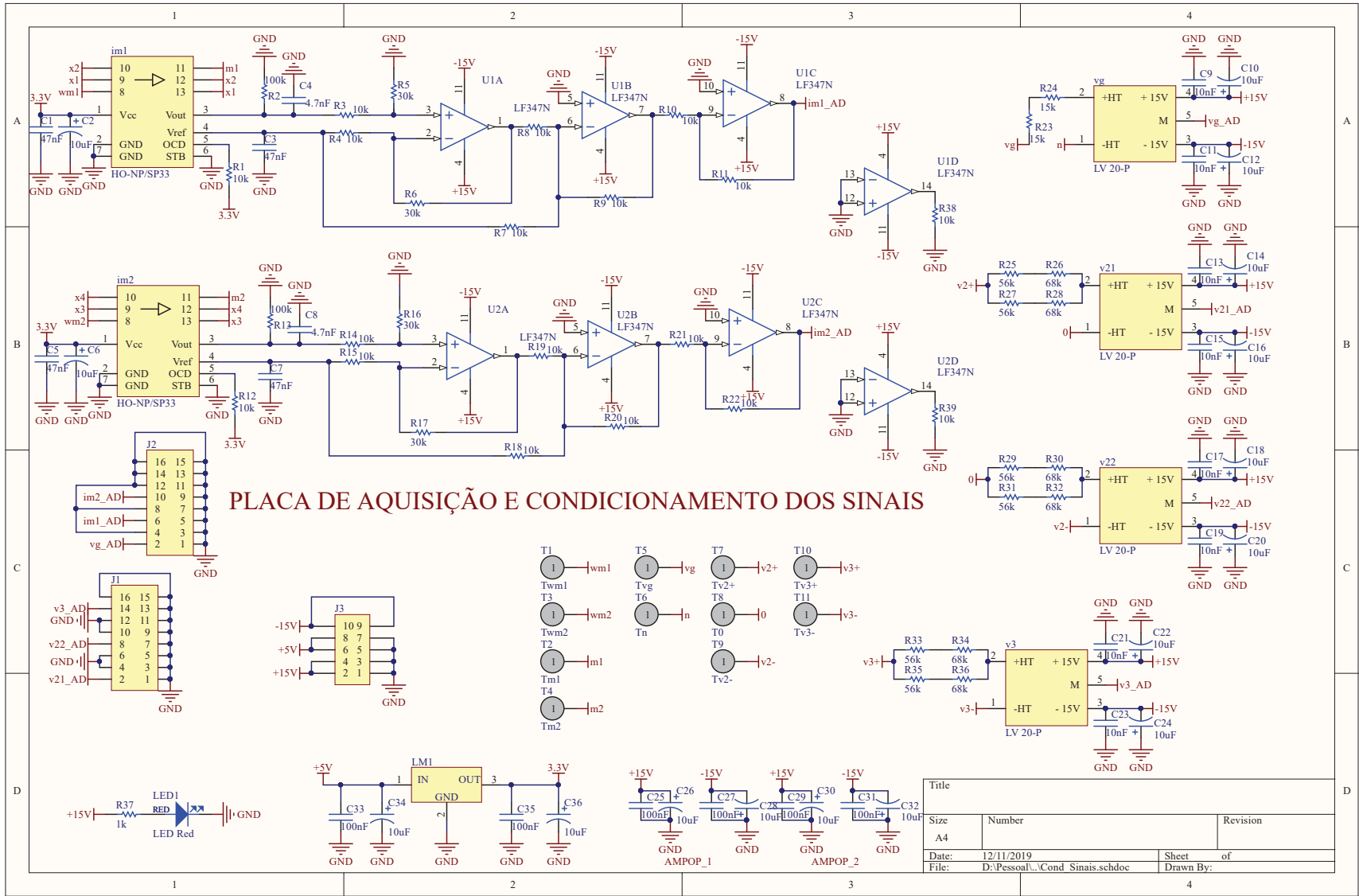


BARRAMENTO CAPACITIVO NA PORTA III, C3



Title		
Size A4	Number	Revision
Date:	12/11/2019	Sheet of
File:	D:\Pessoal\...\Schematic_Bus_Port2.sch Drawn By:	





**APÊNDICE F – CÓDIGO EM C NO DSP TMS320F28377D (PROTÓTIPO
EXPERIMENTAL DO TES I2NDF1)**


```

1 //#####
2 #####
3 //          Conversores CA-CC Bidirecionais Isolados para Aplicação em
4 //          Transformadores de Estado Sólido
5 //
6 // DOUTORANDO: Luan Carlos dos Santos Mazza, MSc.
7 // ORIENTADOR: Prof. Demercil de Sousa Oliveira Jr., Dr.
8 // COORIENTADOR: Prof. Fernando Luiz Marcelo Antunes, Dr.
9 //#####
10 //Inclusão de arquivos para utilização no código do projeto
11 #include <math.h>
12 #include <stdio.h>
13 #include "F28x_Project.h"
14
15 //#####
16 //Prototipagem das funções
17
18 void SetupADC(void); //Função do conversor analógico/digital
19 void ConfigureDAC(void); //Função do conversor digital/analógico
20 void InitEPWMs(void); //Função de configuração dos blocos de PWMs
21 void DesligaEPWMs (void); //Função desliga PWMs
22 void LigaEPWMs (void); //Função liga PWMs
23
24 //#####
25 //Declaração da interrupção
26
27 __interrupt void adcal_isr(void); //Interrupção
28
29 //#####
30 //Declaração das variáveis globais
31
32 int16 Teste = 20;
33 int16 Teste2 = 0;
34 int16 Teste3 = 0;
35 Uint16 iniciar = 0;
36 Uint16 epl6aux = 0;
37 Uint16 Erroprim = 0;
38 Uint16 esl6aux = 0;
39 Uint16 Errosec = 0;
40 Uint16 uil6Startup = 0;
41 Uint32 ui32CtrlStartup = 0;
42 Uint16 uil6Erro = 0;
43 Uint16 uil6Sobrecor = 0;
44 Uint16 uil6Iniciacontrole = 0;
45 Uint16 uil6aux1 = 0;
46 Uint16 uil6aux2 = 0;
47 Uint16 uil6aux3 = 0;
48 Uint16 uil6iniciazeros=0;
49 Uint16 uil6CtrlMedia4 = 0;
50 Uint16 Varcontrole = 0;
51
52 Uint16 iniciar_controle = 0;
53 float32 Apwm = 2381;
54
55 //#####
56 //Vetores auxiliares para leituras das correntes [im1,im2]
57
58 int16 i16im1[4]      = {0,0,0,0};
59 int16 i16im1_media  = 0;
60 int16 i16im1_zero   = 0;
61
62 int16 i16im2[4]      = {0,0,0,0};
63 int16 i16im2_media  = 0;
64 int16 i16im2_zero   = 0;
65

```

```

66 //#####
67 //Vetores auxiliares para leituras das tensões [vg,v21,v22,v3]
68
69 int16 il6vg[4] = {0,0,0,0};
70 int16 il6vg_media = 0;
71 int16 il6vg_zero = 0;
72
73 int16 il6v3[4] = {0,0,0,0};
74 int16 il6v3_media = 0;
75 int16 il6v3_zero = 0;
76
77 int16 il6v21[4] = {0,0,0,0};
78 int16 il6v21_media = 0;
79 int16 il6v21_zero = 0;
80
81 int16 il6v22[4] = {0,0,0,0};
82 int16 il6v22_media = 0;
83 int16 il6v22_zero = 0;
84
85 //#####
86 #####
87 ///Inicialização das variáveis de controle e referência
88 float32 iLlref = 0, V2ref = 3375, V2refinput = 3375, V3ref = 1820, V3refinput =
1820; //V2ref = 826 (100V), 1651 (200V), 4128 (500V), 5780 (700V); Partir em baixa
tensão
89 //V3ref = 454 (55V), 900 (109V), 2279 (276V) 3138 (380V)
90 float32 mm = 0, mml = 0, mm2 = 0, me = 0, mel = 0, me2 = 0, phi = 0, fvg = 0;
91 //Funções de modulação e phase shift
92
93 //#####
94 #####
95 //Coeficientes dos controladores
96
97 float32 a_wt = 11.8660069167445918; //Coeficiente do controlador do PLL
98 float32 b_wt = -11.8512125240704567; //Coeficiente do controlador do PLL
99
100 float32 a_il = -1.1138812333660917; //Coeficiente do controlador da corrente il,
-1.1138812333660917
101 float32 b_il = 1.0965190179594380; //Coeficiente do controlador da corrente il,
1.0965190179594380
102
103 float32 cyk1_il = -1.999901482711416; //Coeficiente do controlador da corrente il
104 float32 cyk2_il = 0.999982048564690; //Coeficiente do controlador da corrente il
105
106 float32 cek1_il = -0.555245036872948; //Coeficiente do controlador da corrente il
107 float32 cek1_il = 1.099918120979216; //Coeficiente do controlador da corrente il
108 float32 cek2_il = -0.544772784349694; //Coeficiente do controlador da corrente il
109
110 float32 cyk1_v2n = -1.9644154897758361; //Coeficiente do filtro notch em v2
111 float32 cyk2_v2n = 0.9647320541178096; //Coeficiente do filtro notch em v2
112
113 float32 cek1_v2n = 0.9825423667883159; //Coeficiente do filtro notch em v2
114 float32 cek1_v2n = -1.9644154897758361; //Coeficiente do filtro notch em v2
115 float32 cek2_v2n = 0.9821896873294937; //Coeficiente do filtro notch em v2
116
117 float32 cyk1_v21n = -1.9644154897758361; //Coeficiente do filtro notch em v21
118 float32 cyk2_v21n = 0.9647320541178096; //Coeficiente do filtro notch em v21
119
120 float32 cek1_v21n = 0.9825423667883159; //Coeficiente do filtro notch em v21
121 float32 cek1_v21n = -1.9644154897758361; //Coeficiente do filtro notch em v21
122 float32 cek2_v21n = 0.9821896873294937; //Coeficiente do filtro notch em v21
123
124 float32 cyk1_v22n = -1.9644154897758361; //Coeficiente do filtro notch em v22
125 float32 cyk2_v22n = 0.9647320541178096; //Coeficiente do filtro notch em v22
126
127 float32 cek1_v22n = 0.9825423667883159; //Coeficiente do filtro notch em v22
128 float32 cek1_v22n = -1.9644154897758361; //Coeficiente do filtro notch em v22
129 float32 cek2_v22n = 0.9821896873294937; //Coeficiente do filtro notch em v22
130
131 float32 a_img = -1.0000595238095238; //Coeficiente do controlador da corrente img

```

```

129 float32 b_img = 0.9999404761904762; //Coeficiente do controlador da corrente img
130
131 float32 a_v2 = 3.6513523345128314; //Coeficiente do controlador da tensão v2,
3.4830418103567244
132 float32 b_v2 = -3.6490092132930405; //Coeficiente do controlador da tensão v2,
-3.4794076955556008
133
134 float32 cyk1_fpbv2 = -0.9910641251025026; //Coeficiente do FPB em v2
135 float32 cek_fpbv2 = 0.0044679374487487; //Coeficiente do FPB em v2
136 float32 cek1_fpbv2 = 0.0044679374487487; //Coeficiente do FPB em v2
137
138 float32 cyk1_fpbv21 = -0.9910641251025026; //Coeficiente do FPB em v21
139 float32 cek_fpbv21 = 0.0044679374487487; //Coeficiente do FPB em v21
140 float32 cek1_fpbv21 = 0.0044679374487487; //Coeficiente do FPB em v21
141
142 float32 cyk1_fpbv22 = -0.9910641251025026; //Coeficiente do FPB em v22
143 float32 cek_fpbv22 = 0.0044679374487487; //Coeficiente do FPB em v22
144 float32 cek1_fpbv22 = 0.0044679374487487; //Coeficiente do FPB em v22
145
146 float32 a_v2d = 2.1398228883321382; //Coeficiente do controlador de balanceamento de
v21 e v22
147 float32 b_v2d = -2.1380182879899676; //Coeficiente do controlador de balanceamento
de v21 e v22
148
149 float32 a_v3 = 1.5834367020400646; //Coeficiente do controlador da tensão v3
150 float32 b_v3 = -1.5829261682253823; //Coeficiente do controlador da tensão v3
151
152 float32 cyk1_fpbv3 = -0.9910641251025026; //Coeficiente do FPB em v3
153 float32 cek_fpbv3 = 0.0044679374487487; //Coeficiente do FPB em v3
154 float32 cek1_fpbv3 = 0.0044679374487487; //Coeficiente do FPB em v3
155
156 float32 cyk1_v3n = -1.9294585255067553; //Coeficiente do filtro notch em v3
157 float32 cyk2_v3n = 0.9307025504126757; //Coeficiente do filtro notch em v3
158
159 float32 cek_v3n = 0.9656977624542744; //Coeficiente do filtro notch em v3
160 float32 cek1_v3n = -1.9294585255067553; //Coeficiente do filtro notch em v3
161 float32 cek2_v3n = 0.9650047879584012; //Coeficiente do filtro notch em v3
162
163 //#####
####
164 //Variáveis de saídas e erros dos controladores
165
166 float32 uk_wt, ulk_wt, ek_wt, elk_wt, uk_ffwt, ek_intwt, elk_intwt;
167 float32 uk_il, ulk_il, u2k_il, ek_il, elk_il, e2k_il;
168 float32 uk_img, ulk_img, ek_img, elk_img;
169 float32 uk_v2n, ulk_v2n, u2k_v2n, ek_v2n, elk_v2n, e2k_v2n;
170 float32 uk_v21n, ulk_v21n, u2k_v21n, ek_v21n, elk_v21n, e2k_v21n;
171 float32 uk_v22n, ulk_v22n, u2k_v22n, ek_v22n, elk_v22n, e2k_v22n;
172 float32 uk_v2, ulk_v2, ek_v2, elk_v2;
173 float32 uk_fpbv2, ulk_fpbv2, ek_fpbv2, elk_fpbv2;
174 float32 uk_fpbv21, ulk_fpbv21, ek_fpbv21, elk_fpbv21;
175 float32 uk_fpbv22, ulk_fpbv22, ek_fpbv22, elk_fpbv22;
176 float32 uk_v2d, ulk_v2d, ek_v2d, elk_v2d;
177 float32 uk_v3, ulk_v3, ek_v3, elk_v3;
178 float32 uk_fpbv3, ulk_fpbv3, ek_fpbv3, elk_fpbv3;
179 float32 uk_v3n, ulk_v3n, u2k_v3n, ek_v3n, elk_v3n, e2k_v3n;
180
181 //#####
####
182 //Variáveis das leituras de correntes e tensões
183
184 float32 im1 = 0, im2 = 0, il = 0, img = 0, Kffvg = 1.316274139803551; //Kffvg =
1.3029485298392862
185 float32 vg = 0, v21 = 0, v22 = 0, v2 = 0, v2d = 0, v3 = 0;
186
187 //#####
####
188 //PLL monofásico
189
190 Uint32 i = 0;
191 float32 f32valfa, f32vbeta, f32vd, buffer[175];

```

```

192 float32 f32thetaes, f32thetaesan; //theta estimado e theta estimado anterior
193
194 Uint16 AdcBuf[50]; // ADC buffer allocation
195
196 #####
197 ###
198 //Declaração de constantes
199 #define wg 376.9911184307752 //Frequência angular da rede elétrica
200 #define Limitevg 1678 //Valor máximo de vg [Vgrms = 250V]
201 #define Limiteim1 1480 //Valor máximo de im1 [imlpk = 7.2A] Sobrecarga 50% em imlpk
202 #define Limiteim2 1480 //Valor máximo de im2 [im2pk = 7.2A] Sobrecarga 50% im2pk
203 #define Limitev21 3550 //Valor máximo de v21 [V21 = 430V]
204 #define Limitev22 3550 //Valor máximo de v22 [V22 = 430V]
205 #define Limitev3 3550 //Valor máximo de v3 [V3 = 430V]
206 // #define Apwm 2381 //Amplitude da portadora triangular digital
207 // #define Kffvg 1.433138390999698 //Constante para a malha de feed-forward [vg]
208 #define Katv2ref 4.761904761904762e-05 //Constante de atualização V2ref [Ta/T],
Ta=amostragem
209 #define Katv3ref 4.761904761904762e-05 //Constante de atualização V3ref [Ta/T],
T=constante de tempo
210 #define EPWM_DB_UP 60 //Tempo Morto [600ns], define tempo morto subida 100 = lus,
pg. 1720
211 #define EPWM_DB_DOWN 60 //Tempo Morto - [600ns], define tempo morto descida 100 = lus
212 #define BT1 GpioDataRegs.GPBDAT.bit.GPIO61 //Botão auxiliar 01 PIN[126]
213 #define BT2 GpioDataRegs.GPBDAT.bit.GPIO38 //Botão auxiliar 02 PIN[124]
214 #define Erroprimario GpioDataRegs.GPBDAT.bit.GPIO37 //Entrada de erro no primário
PIN[123]
215 #define Errosecundario GpioDataRegs.GPCDAT.bit.GPIO65 //Entrada de erro no
secundário PIN[130]
216 #define ResetErro GpioDataRegs.GPBDAT.bit.GPIO36 //Reseta erro PIN[122]
217 volatile struct DAC_REGS* DAC_PTR[4] = {0x0,&DacaRegs,&DacbRegs,&DaccRegs}; //DAC
218
219 #####
220 //Laço principal
221 void main(void)
222 {
223 InitSysCtrl();
224 //Seleciona MUX EPWM (Fig. 13-7) Regs. pag. 1754
225 EALLOW;
226
227 // referencia EPWM10 com EPWM7
228 SyncSocRegs.SYNCSELECT.bit.EPWM10SYNCIN = 2;
229 EDIS;
230 InitGpio();
231 //Habilita PWM1-12
232 CpuSysRegs.PCLKCR2.bit.EPWM1=1;
233 CpuSysRegs.PCLKCR2.bit.EPWM2=1;
234 CpuSysRegs.PCLKCR2.bit.EPWM3=1;
235 CpuSysRegs.PCLKCR2.bit.EPWM4=1;
236 CpuSysRegs.PCLKCR2.bit.EPWM7=1;
237 CpuSysRegs.PCLKCR2.bit.EPWM8=1;
238 CpuSysRegs.PCLKCR2.bit.EPWM9=1;
239 CpuSysRegs.PCLKCR2.bit.EPWM10=1;
240 CpuSysRegs.PCLKCR2.bit.EPWM11=1;
241
242 //Limpa todas as interrupções e inicializa PIE vector table:
243 DINT;
244 //Inicializa os registradores do controle PIE
245 InitPieCtrl();
246 // Desabilita as interrupções da CPU e limpa todas as variáveis de interrupções
247
248 IER = 0x0000;
249 IFR = 0x0000;
250 InitPieVectTable();
251 EALLOW;
252 PieVectTable.ADCAL_INT = &adcal_isr;
253 EDIS;
254 PieCtrlRegs.PIECTRL.bit.ENPIE = 1;
255 PieCtrlRegs.PIEIER1.bit.INTx1 = 1;

```

```

256
257 EALLOW;
258 CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 0;
259 EDIS;
260
261 //-----
262
262 SetupADC(); // Chama função do ADC
263 InitEPWMs(); // Configuração dos PWMs
264 //-----
265
266 // Sincronismo de interrupção com PWM 01. Obs.: A interrupção ocorre com 2*fs.
267 EALLOW;
268 CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 1; //Sync PWM
269 EDIS;
270
271 IER |= M_INT1; // Enable CPU INT1
272 EINT; // Enable Global __interrupt INTM
273 ERTM; // Enable Global realtime __interrupt DBGm
274
275 EPwm1Regs.ETSEL.bit.SOCAEN = 1; //enable SOCA
276
277 //-----
278 //Configuração dos pinos dos LED (Erros em [NPC-HB1 ou NPC-HB2] e no [FB-1P])
279
280 EALLOW;
281 //Entrada de erro no primário - GPIO37 - PIN 123
282 GpioCtrlRegs.GPBPUD.bit.GPIO37 = 0; // Habilita Pullup
283 GpioCtrlRegs.GPBGMUX1.bit.GPIO37= 0; // GPIO37 = IO
284 GpioCtrlRegs.GPBDIR.bit.GPIO37 = 0; // GPIO37 = entrada
285 //Entrada de erro no secundário - GPIO65 - PIN 130
286 GpioCtrlRegs.GPCPUD.bit.GPIO65 = 0; // Habilita Pullup
287 GpioCtrlRegs.GPCGMUX1.bit.GPIO65= 0; // GPIO65 = IO
288 GpioCtrlRegs.GPCDIR.bit.GPIO65 = 0; // GPIO65 = entrada
289
290 //-----
291 //Configuração dos pinos dos Botões
292
293 // BT1 - GPIO61 - PIN 126
294 GpioCtrlRegs.GPBPUD.bit.GPIO61 = 0; // Habilita Pullup
295 GpioCtrlRegs.GPBGMUX2.bit.GPIO61= 0; // GPIO61 = IO
296 GpioCtrlRegs.GPBDIR.bit.GPIO61 = 0; // GPIO61 = entrada
297
298 // BT2 - GPIO38 - PIN 124
299 GpioCtrlRegs.GPBPUD.bit.GPIO38 = 0; // Habilita Pullup
300 GpioCtrlRegs.GPBGMUX1.bit.GPIO38= 0; // GPIO38 = IO
301 GpioCtrlRegs.GPBDIR.bit.GPIO38 = 0; // GPIO38 = entrada
302
303 // Reset de erros - GPIO36 - PIN 122
304 GpioCtrlRegs.GPBPUD.bit.GPIO36 = 0; // Habilita Pullup
305 GpioCtrlRegs.GPBGMUX1.bit.GPIO36= 0; // GPIO36 = IO
306 GpioCtrlRegs.GPBDIR.bit.GPIO36 = 0; // GPIO36 = entrada
307
308 EDIS;
309
310 DesligaEPWMs(); //chama função desliga PWMs
311 ConfigureDAC(); //chama função Configura DAC
312
313 //-----
314
315 while(1)
316 {
317 //DAC-A: pino 9 DSP
318 DAC_PTR[1]->DACVALS.all = f32thetaes*600; // escrita no DAC
319 DELAY_US(2);
320 //DAC-B: pino 11 DSP
321 DAC_PTR[2]->DACVALS.all = 0.2*iLlref + 2048; // escrita no DAC

```

```

322 DELAY_US(2);
323
324 //-----
325 //Botões IHM
326
327 //Botão auxiliar 01
328 if (BT1==0)
329 {
330 while (BT1==0) // Aguarda o botão GPIO61 ser solto
331 DELAY_US(500); // Delay "anti bouncing"
332
333 if (Teste >= 2381) Teste = 2381;
334 else Teste = Teste + 5;
335 }
336 //Botão auxiliar 02
337 if (BT2==0)
338 {
339 while (BT2==0) // Aguarda o botão GPIO38 ser solto
340 DELAY_US(500); // Delay "anti bouncing"
341
342 if (Teste <= 0) Teste = 0;
343 else Teste = Teste - 5;
344 }
345 }
346 }
347
348 __interrupt void adcal_isr(void)
349 {
350
351 if (iniciar_controle >= 5){
352
353 LigaEPWMs();
354 /**/
355 //Teste em malha aberta na porta 3
356 //phi = - 200;
357
358 //#####
359 ####
360 //Defasagem das portadoras
361 if (phi <= 0){
362 EPwm7Regs.TBPHS.bit.TBPHS = -phi;
363 EPwm7Regs.TBCTL.bit.PHSDIR = 1; //Negativa
364 }
365 else{
366 EPwm7Regs.TBPHS.bit.TBPHS = phi;
367 EPwm7Regs.TBCTL.bit.PHSDIR = 0; //Positiva
368 }
369 //#####
370 ####
371 //Estratégia de modulação no lado primário do conversor N3D1
372 /**/
373 if (mm1 >= 0) {
374 EPwm1Regs.CMPA.bit.CMPA = (unsigned) (mm1); //cm11 comparando com mm1 , [mm1]
375 EPwm2Regs.CMPA.bit.CMPA = (unsigned) (Apwm); //Chave Sm12 fechada, [sm12 = 1]
376 }
377 else {
378 EPwm1Regs.CMPA.bit.CMPA = (unsigned) (0); // Chave Sm11 aberta, [sm11 = 0]
379 EPwm2Regs.CMPA.bit.CMPA = (unsigned) (mm1 + Apwm); //cm12 comparando com mm1
380 }
381
382 if (mm2 >= 0) {
383 EPwm3Regs.CMPA.bit.CMPA = (unsigned) (mm2); //cm21 comparando com mm2
384 EPwm4Regs.CMPA.bit.CMPA = (unsigned) (Apwm); //Chave Sm22 fechada, [sm22 = 1]
385 }
386 else {
387 EPwm3Regs.CMPA.bit.CMPA = (unsigned) (0); // Chave Sm21 aberta, [sm21 = 0]
388 EPwm4Regs.CMPA.bit.CMPA = (unsigned) (mm2 + Apwm); //cm22 comparando com mm2
389 }

```

```

390 //#####
391 ####
392 //Estratégia de modulação no lado secundário do conversor N3D1
393 me = fabs((mm1+mm2)*0.5);
394 //me = fabs(mm);
395
396 EPwm8Regs.CMPA.bit.CMPA = (unsigned) (me);
397 EPwm11Regs.CMPA.bit.CMPA = (unsigned) (me);
398 }
399 //-----
400 ----
401 //Leitura dos ADs
402
403 if (uil6CtrlMedia4 >= 3) uil6CtrlMedia4 = 0;
404 else uil6CtrlMedia4++;
405
406 //ADC-A
407 i16vg[uil6CtrlMedia4] = AdcaResultRegs.ADCRESULT0; //AD-A2 pin 15
408 i16im1[uil6CtrlMedia4] = AdcaResultRegs.ADCRESULT4; //AD-A3 pin 17
409 i16im2[uil6CtrlMedia4] = AdcaResultRegs.ADCRESULT8; //AD-A4 pin 21
410
411 //ADC-B
412 i16v21[uil6CtrlMedia4] = AdcbResultRegs.ADCRESULT5; //AD-B3 pin 20
413 i16v22[uil6CtrlMedia4] = AdcbResultRegs.ADCRESULT9; //AD-B4 pin 24
414 i16v3[uil6CtrlMedia4] = AdcbResultRegs.ADCRESULT13; //AD-B5 pin 26
415
416 //Média das últimas 4 aquisições
417
418 i16vg_media = (i16vg[0] + i16vg[1] + i16vg[2] + i16vg[3])>>2;
419 i16im1_media = (i16im1[0] + i16im1[1] + i16im1[2] + i16im1[3])>>2;
420 i16im2_media = (i16im2[0] + i16im2[1] + i16im2[2] + i16im2[3])>>2;
421 i16v21_media = (i16v21[0] + i16v21[1] + i16v21[2] + i16v21[3])>>2;
422 i16v22_media = (i16v22[0] + i16v22[1] + i16v22[2] + i16v22[3])>>2;
423 i16v3_media = (i16v3[0] + i16v3[1] + i16v3[2] + i16v3[3])>>2;
424
425 //#####
426 ####
427 // Proteções dos drivers primário e secundário [ruídos]
428
429 if (Erroprimario == 1)
430 {
431     ep16aux = 0;
432 }
433 else
434 {
435     ep16aux++;
436 }
437 if (ep16aux>=5)
438 {
439     Erroprim = 0;
440 }
441 else
442 {
443     Erroprim = 1;
444 }
445
446 if (Errosecundario == 1)
447 {
448     es16aux = 0;
449 }
450 else
451 {
452     es16aux++;
453 }
454 if (es16aux>=50)
455 {
456     Errosec = 0;
457 }
458 else
459 {

```

```

458 Errosec = 1;
459 }
460
461 //#####
462 #####
463 // Aquisição dos valores iniciais dos sensores de correntes e tensões
464 if ((uil6Startup == 0))// && (uil6aux1 == 0 ) && (ResetErro == 1))
465 {
466 ui32CtrlStartup++;
467
468 if (ui32CtrlStartup >= 200000)
469 {
470 if(ui16iniciazeros==0)
471 {
472
473 il6vg_zero = il6vg_media;
474 il6im1_zero = il6im1_media;
475 il6im2_zero = il6im2_media;
476 //il6im1_zero = il6im1[ui16CtrlMedia4];
477 //il6im2_zero = il6im2[ui16CtrlMedia4];
478 il6v21_zero = il6v21_media;
479 il6v22_zero = il6v22_media;
480 il6v3_zero = il6v3_media;
481
482 ui16iniciazeros=1;
483 }
484 ui16Startup = 1;
485 ui32CtrlStartup = 0;
486 }
487 }
488
489 vg=(il6vg_media - il6vg_zero);
490 im1=(il6im1_media - il6im1_zero);
491 im2=(il6im2_media - il6im2_zero);
492 //vg=(il6vg[ui16CtrlMedia4] - il6vg_zero);
493 //im1=(il6im1[ui16CtrlMedia4] - il6im1_zero);
494 //im2=(il6im2[ui16CtrlMedia4] - il6im2_zero);
495 v21=(il6v21_media - il6v21_zero);
496 v22=(il6v22_media - il6v22_zero);
497 v3=(il6v3_media - il6v3_zero);
498
499 //#####
500 #####
501 //d-PLL
502
503 f32valfa = vg;
504 buffer[i] = f32valfa;
505 if(i<174) //Cálculo de defasamento do ângulo de fase do Vbeta em 90° [i=(2*Mf)/4]
506 {
507 f32vbeta = buffer[i+1];
508 //i++;
509 i = i+1;
510 }
511 else
512 {
513 f32vbeta = buffer[0];
514 i = 0;
515 } //
516
517 f32vd=f32valfa*cos(f32thetaes) + f32vbeta*sin(f32thetaes); // Transformada de Park
518 //vq=vbeta*cos(thetaes) - valfa*sin(thetaes); //para ver onde esta o vd e vq da rede
519 //Tipo d
520 ek_wt = f32vd;
521 uk_wt = ulk_wt + a_wt*ek_wt + b_wt*elk_wt;
522
523 elk_wt = ek_wt;
524 ulk_wt = uk_wt;
525
526 uk_ffwt = uk_wt + wg; //feedforward

```



```

527 ek_intwt = uk_ffwt;
528
529 f32thetaes = f32thetaesan + 1.190476190476191e-05*(ek_intwt + elk_intwt); //fa = 2*fs
530
531 if (f32thetaes < -6.283185307179586) {f32thetaes = f32thetaes + 6.283185307179586;}
532 if (f32thetaes > 6.283185307179586) {f32thetaes = f32thetaes - 6.283185307179586;}
533
534 elk_intwt = ek_intwt;
535 f32thetaesan = f32thetaes; //theta estimado anterior recebe theta estimado
536
537 #####
538 #####
539 // Condições de erros: sobretensão em vg, sobrecorrente e erro do driver do HVS
540 if ((vg >= 1678) || (im1 >= 1486) || (im2 >= 1486) || (v21 >= 3550) || (v22 >= 3550)
541 ||
542 (Erroprim == 0) || (Errosec == 0) || (v3 >= 3550))
543 {
544 DesligaEPWMs(); // Desliga PWM
545 }
546
547 //Teste dos valores de referência
548 V2ref = V2ref + Katv2ref*(V2refinput-V2ref);
549 V3ref = V3ref + Katv3ref*(V3refinput-V3ref);
550
551 #####
552 //Filtro Passa Baixa (FPB) de primeira ordem em v21
553 ek_fpbv21 = v21;
554 uk_fpbv21 = - cyk1_fpbv21*ulk_fpbv21 + cek_fpbv21*ek_fpbv21 + cek1_fpbv21*elk_fpbv21;
555
556 elk_fpbv21 = ek_fpbv21;
557 ulk_fpbv21 = uk_fpbv21;
558
559 #####
560 //Filtro Passa Baixa (FPB) de primeira ordem em v22
561 ek_fpbv22 = v22;
562 uk_fpbv22 = - cyk1_fpbv22*ulk_fpbv22 + cek_fpbv22*ek_fpbv22 + cek1_fpbv22*elk_fpbv22;
563
564 elk_fpbv22 = ek_fpbv22;
565 ulk_fpbv22 = uk_fpbv22;
566
567 #####
568 //Filtro notch digital em v21
569 ek_v21n = uk_fpbv21;
570
571 uk_v21n = - (cyk1_v21n*ulk_v21n + cyk2_v21n*u2k_v21n) + cek_v21n*ek_v21n +
572 cek1_v21n*elk_v21n + cek2_v21n*e2k_v21n;
573
574 e2k_v21n = elk_v21n;
575 elk_v21n = ek_v21n;
576
577 u2k_v21n = ulk_v21n;
578 ulk_v21n = uk_v21n;
579
580 #####
581 //Filtro notch digital em v22
582 ek_v22n = uk_fpbv22;
583
584 uk_v22n = - (cyk1_v22n*ulk_v22n + cyk2_v22n*u2k_v22n) + cek_v22n*ek_v22n +
585 cek1_v22n*elk_v22n + cek2_v22n*e2k_v22n;
586
587 e2k_v22n = elk_v22n;
588 elk_v22n = ek_v22n;
589

```

```

590
591 u2k_v22n = ulk_v22n;
592 ulk_v22n = uk_v22n;
593
594 //#####
595 #####
596 //Filtro Passa Baixa (FPB) de primeira ordem em v3
597 ek_fpbv3 = v3;
598
599 uk_fpbv3 = - cyk1_fpbv3*ulk_fpbv3 + cek_fpbv3*ek_fpbv3 + cek1_fpbv3*elk_fpbv3;
600
601 elk_fpbv3 = ek_fpbv3;
602 ulk_fpbv3 = uk_fpbv3;
603
604 //#####
605 #####
606 //Filtro notch digital em v3
607 ek_v3n = uk_fpbv3;
608
609 uk_v3n = - (cyk1_v3n*ulk_v3n + cyk2_v3n*u2k_v3n) + cek_v3n*ek_v3n + cek1_v3n*elk_v3n
610 + cek2_v3n*e2k_v3n;
611
612 e2k_v3n = elk_v3n;
613 elk_v3n = ek_v3n;
614
615 u2k_v3n = ulk_v3n;
616 ulk_v3n = uk_v3n;
617
618 //#####
619 #####
620 // Início do controle
621
622 if (iniciar_controle >= 5){
623
624 //LigaEPWMs();
625
626 //#####
627 #####
628 //Filtro notch digital em v2
629 /*
630 v2 = v21 + v22; // soma das tensões nos capacitores da porta 2
631
632 ek_v2n = v2;
633 uk_v2n = - (cyk1_v2n*ulk_v2n + cyk2_v2n*u2k_v2n) + cek_v2n*ek_v2n + cek1_v2n*elk_v2n
634 + cek2_v2n*e2k_v2n;
635
636 e2k_v2n = elk_v2n;
637 elk_v2n = ek_v2n;
638
639 u2k_v2n = ulk_v2n;
640 ulk_v2n = uk_v2n;
641 */
642 //#####
643 #####
644 //Controle da tensão na porta 2 (v2)
645 v2 = uk_v21n + uk_v22n; // soma das tensões nos capacitores da porta 2
646
647 ek_v2 = V2ref - v2;
648
649 uk_v2 = ulk_v2 + a_v2*ek_v2 + b_v2*elk_v2; //PI
650
651 if (uk_v2 > 3000) {uk_v2 = 3000;} // limitador da corrente de referência
652 if (uk_v2 < - 3000) {uk_v2 = - 3000;}
653
654 ulk_v2 = uk_v2; // armazena valores
655 elk_v2 = ek_v2;
656
657 //#####
658 #####
659 //Filtro Passa Baixa (FPB) de primeira ordem em v2
660 //ek_fpbv2 = uk_v2;

```

```

653 //uk_fpbv2 = - cyk1_fpbv2*ulk_fpbv2 + cek_fpbv2*ek_fpbv2 + cek1_fpbv2*elk_fpbv2;
654 //uk_fpbv2 = - cyk1_fpbv2*ulk_fpbv2 + cek_fpbv2*ek_fpbv2 + cek1_fpbv2*elk_fpbv2;
655
656 //elk_fpbv2 = ek_fpbv2;
657 //ulk_fpbv2 = uk_fpbv2;
658
659 #####
660 #####
661 //Controle de balanceamento das tensões v21 e v22 na porta 2
662 v2d = uk_v21n - uk_v22n; // diferença das tensões nos capacitores
663 ek_v2d = 0 - v2d;
664
665 uk_v2d = ulk_v2d + a_v2d*ek_v2d + b_v2d*elk_v2d; //PI
666 //uk_v2d = 3*ek_v2d; //PI
667
668 if(uk_v2d > 200) {uk_v2d = 200;}
669 if(uk_v2d < - 200) {uk_v2d = - 200;}
670
671 ulk_v2d = uk_v2d; // armazena valores
672 elk_v2d = ek_v2d;
673
674 //Corrente de referência iLlref
675 iLlref = uk_v2*sin(f32thetaes) + uk_v2d;
676
677 #####
678 #####
679 //Malha de feed-forward das tensões da rede elétrica
680 //ffvg = Kffvg*vg;
681 ffvg = 2117*sin(f32thetaes);
682
683 #####
684 #####
685 //Controle da corrente i1
686 i1 = im1 + im2;
687
688 //Controlador PI
689 ek_il = iLlref - i1;
690
691 uk_il = ulk_il + a_il*ek_il + b_il*elk_il; //Controlador PI
692
693 //if (uk_il < - 952) {uk_il = - 952;}
694 //if (uk_il > 952) {uk_il = 952;}
695
696 ulk_il = uk_il;
697 elk_il = ek_il;
698
699 mm = uk_il + ffvg;
700
701 //if (mm < - Apwm) {mm = - Apwm;}
702 //if (mm > Apwm) {mm = Apwm;}
703
704 //Controlador Proporcional Ressonante (P+Res)
705 /*i1 = im1 + im2;
706
707 ek_il = iLlref - i1;
708 uk_il = -(cyk1_il*ulk_il + cyk2_il*u2k_il) + cek_il*ek_il + cek1_il*elk_il +
709 cek2_il*e2k_il;
710
711 if (uk_il < - Apwm) {uk_il = - Apwm;}
712 if (uk_il > Apwm) {uk_il = Apwm;}
713
714 mm = uk_il;
715
716 e2k_il = elk_il;
717 e1k_il = ek_il;
718
719 u2k_il = ulk_il;
720 ulk_il = uk_il;*/
721 #####
722 #####

```

```

719 //Controle da corrente img
720 img = (im2 - im1)*0.5;
721
722 ek_img = 0 - img;
723 uk_img = ulk_img + a_img*ek_img + b_img*elk_img; //PI
724
725 if (uk_img < - 100) {uk_img = - 100;}
726 if (uk_img > 100) {uk_img = 100;}
727
728 mm1 = mm - uk_img;
729 mm2 = mm + uk_img;
730
731 if (mm1 < - Apwm) {mm1 = - Apwm;}
732 if (mm1 > Apwm) {mm1 = Apwm;}
733
734 if (mm2 < - Apwm) {mm2 = - Apwm;}
735 if (mm2 > Apwm) {mm2 = Apwm;}
736
737 ulk_img = uk_img;
738 elk_img = ek_img;
739
740 //#####
741 ####
742 //Controle da tensão na porta 3 (v3)
743 /**
744 if (iniciar_controle >= 15){
745
746 LigaEPWMs();
747
748 ek_v3 = V3ref - uk_v3n;
749 uk_v3 = ulk_v3 + a_v3*ek_v3 + b_v3*elk_v3; //PI
750
751 if (uk_v3 < -794) {uk_v3 = -794;}
752 if (uk_v3 > 794) {uk_v3 = 794;} // limitador em 60°
753
754 //if (uk_v3 < -1191) {uk_v3 = -1191;}
755 //if (uk_v3 > 1191) {uk_v3 = 1191;} // limitador em 90°
756
757 phi = uk_v3;
758
759 ulk_v3 = uk_v3; // armazena valores
760 elk_v3 = ek_v3;
761
762 /**/
763 }
764 }
765
766 //}
767 //Teste para verificar a frequência da interrupção
768
769 if (ui16aux2==0) {
770 GpioDataRegs.GPCDAT.bit.GPIO71=1;
771 ui16aux2=1; }
772 else {
773 GpioDataRegs.GPCDAT.bit.GPIO71=0;
774 ui16aux2=0; }
775
776 // Sair da interrupção
777 AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //Limpa variável INT1
778 PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; }
779 // Fim da interrupção
780
781 //#####
782 ####
783 //Função de configuração do conversor A/D
784 void SetupADC(void) {
785 EALLOW;
786 //Base de sinal de clock
787 AdcaRegs.ADCCTL2.bit.PRESCALE = 7;
788 AdcbRegs.ADCCTL2.bit.PRESCALE = 7;

```

```

788 AdccRegs.ADCCTL2.bit.PRESCALE = 7;
789 AdcdRegs.ADCCTL2.bit.PRESCALE = 7;
790
791 AdcaRegs.ADCCTL2.bit.RESOLUTION = 0; //Resolução de 12 bits
792 AdcaRegs.ADCCTL2.bit.SIGNALMODE = 0; //Modo simples de aquisição
793 AdcaRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //Erro de offset igual a zero
794 AdcbRegs.ADCCTL2.bit.RESOLUTION = 0; //Resolução de 12 bits
795 AdcbRegs.ADCCTL2.bit.SIGNALMODE = 0; //Modo simples de aquisição
796 AdcbRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //Erro de offset igual a zero
797 AdccRegs.ADCCTL2.bit.RESOLUTION = 0; //Resolução de 12 bits
798 AdccRegs.ADCCTL2.bit.SIGNALMODE = 0; //Modo simples de aquisição
799 AdccRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //Erro de offset igual a zero
800 AdcdRegs.ADCCTL2.bit.RESOLUTION = 0; //Resolução de 12 bits
801 AdcdRegs.ADCCTL2.bit.SIGNALMODE = 0; //Modo simples de aquisição
802 AdcdRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //Erro de offset igual a zero
803 //pulso de interrupção no final aquisição
804 AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;
805 AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1;
806 AdccRegs.ADCCTL1.bit.INTPULSEPOS = 1;
807 AdcdRegs.ADCCTL1.bit.INTPULSEPOS = 1;
808 //Desliga circuitos analógicos do ADC
809 AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1;
810 AdcbRegs.ADCCTL1.bit.ADCPWDNZ = 1;
811 AdccRegs.ADCCTL1.bit.ADCPWDNZ = 1;
812 AdcdRegs.ADCCTL1.bit.ADCPWDNZ = 1;
813 EDIS;
814 DELAY_US(2000);
815 EALLOW;
816
817 //-----
818 ----
819 // Configuração ADC-A
820 AdcaRegs.ADCSOC0CTL.bit.CHSEL = 2; //SOC0 conversor ADC-A2
821 AdcaRegs.ADCSOC0CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
822 AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
823
824 AdcaRegs.ADCSOC4CTL.bit.CHSEL = 3; //SOC4 conversor ADC-A3
825 AdcaRegs.ADCSOC4CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
826 AdcaRegs.ADCSOC4CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
827
828 AdcaRegs.ADCSOC8CTL.bit.CHSEL = 4; //SOC8 conversor ADC-A4
829 AdcaRegs.ADCSOC8CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
830 AdcaRegs.ADCSOC8CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
831
832 AdcaRegs.ADCSOC12CTL.bit.CHSEL = 5; //SOC12 conversor ADC-A5
833 AdcaRegs.ADCSOC12CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
834 AdcaRegs.ADCSOC12CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
835
836 AdcaRegs.ADCINTSEL1N2.bit.INT1SEL = 0; //end of SOC0 will set INT1 flag
837 AdcaRegs.ADCINTSEL1N2.bit.INT1E = 1; //enable INT1 flag
838 AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //make sure INT1 flag is cleared
839
840 //-----
841 ----
842 //Configuração ADC-B
843 AdcbRegs.ADCSOC1CTL.bit.CHSEL = 2; //SOC1 conversor ADC-B2
844 AdcbRegs.ADCSOC1CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
845 AdcbRegs.ADCSOC1CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
846
847 AdcbRegs.ADCSOC5CTL.bit.CHSEL = 3; //SOC5 conversor ADC-B3
848 AdcbRegs.ADCSOC5CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
849 AdcbRegs.ADCSOC5CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
850
851 AdcbRegs.ADCSOC9CTL.bit.CHSEL = 4; //SOC9 conversor ADC-B4
852 AdcbRegs.ADCSOC9CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
853 AdcbRegs.ADCSOC9CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
854
855 AdcbRegs.ADCSOC13CTL.bit.CHSEL = 5; //SOC1 conversor ADC-B5
856 AdcbRegs.ADCSOC13CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra

```

```

857 AdcbRegs.ADCSOC13CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
858
859 EDIS; }
860 //#####
861 //Função de configuração do conversor D/A
862 void ConfigureDAC(void) {
863     EALLOW;
864     //DAC-A
865     DAC_PTR[1]->DACCTL.bit.DACREFSEL = 0;
866     DAC_PTR[1]->DACOUTEN.bit.DACOUTEN = 1;
867     DAC_PTR[1]->DACVALS.all = 0;
868     //DAC-B
869     DAC_PTR[2]->DACCTL.bit.DACREFSEL = 0;
870     DAC_PTR[2]->DACOUTEN.bit.DACOUTEN = 1;
871     DAC_PTR[2]->DACVALS.all = 0;
872
873     DELAY_US(10); // Delay for buffered DAC to power up
874     EDIS; }
875 //#####
876 //Função liga PWM
877 void LigaEPWMs() {
878     EALLOW;
879
880     GpioCtrlRegs.GPAPUD.bit.GPIO0    = 0;    // Enable Pullup
881     GpioCtrlRegs.GPAMUX1.bit.GPIO0   = 1;    // GPIO0 = PWM1A
882     GpioCtrlRegs.GPADIR.bit.GPIO0    = 1;    // GPIO0 = output
883     GpioCtrlRegs.GPAPUD.bit.GPIO1    = 0;    // Enable Pullup
884     GpioCtrlRegs.GPAMUX1.bit.GPIO1   = 1;    // GPIO1 = PWM1B
885     GpioCtrlRegs.GPADIR.bit.GPIO1    = 1;    // GPIO1 = output
886
887     GpioCtrlRegs.GPAPUD.bit.GPIO2    = 0;    // Enable Pullup
888     GpioCtrlRegs.GPAMUX1.bit.GPIO2   = 1;    // GPIO2 = PWM2A
889     GpioCtrlRegs.GPADIR.bit.GPIO2    = 1;    // GPIO2 = output
890     GpioCtrlRegs.GPAPUD.bit.GPIO3    = 0;    // Enable Pullup
891     GpioCtrlRegs.GPAMUX1.bit.GPIO3   = 1;    // GPIO3 = PWM2B
892     GpioCtrlRegs.GPADIR.bit.GPIO3    = 1;    // GPIO3 = output
893
894     GpioCtrlRegs.GPAPUD.bit.GPIO4    = 0;    // Enable Pullup
895     GpioCtrlRegs.GPAMUX1.bit.GPIO4   = 1;    // GPIO4 = PWM3A
896     GpioCtrlRegs.GPADIR.bit.GPIO4    = 1;    // GPIO4 = output
897     GpioCtrlRegs.GPAPUD.bit.GPIO5    = 0;    // Enable Pullup
898     GpioCtrlRegs.GPAMUX1.bit.GPIO5   = 1;    // GPIO5 = PWM3B
899     GpioCtrlRegs.GPADIR.bit.GPIO5    = 1;    // GPIO5 = output
900
901     GpioCtrlRegs.GPAPUD.bit.GPIO6    = 0;    // Enable Pullup
902     GpioCtrlRegs.GPAMUX1.bit.GPIO6   = 1;    // GPIO6 = PWM4A
903     GpioCtrlRegs.GPADIR.bit.GPIO6    = 1;    // GPIO6 = output
904     GpioCtrlRegs.GPAPUD.bit.GPIO7    = 0;    // Enable Pullup
905     GpioCtrlRegs.GPAMUX1.bit.GPIO7   = 1;    // GPIO7 = PWM4B
906     GpioCtrlRegs.GPADIR.bit.GPIO7    = 1;    // GPIO7 = output
907
908     if (iniciar_controle >= 15){
909
910     GpioCtrlRegs.GPAPUD.bit.GPIO12   = 0;    // Enable Pullup
911     GpioCtrlRegs.GPAMUX1.bit.GPIO12  = 1;    // GPIO12 = PWM7A
912     GpioCtrlRegs.GPADIR.bit.GPIO12   = 1;    // GPIO12 = output
913     GpioCtrlRegs.GPAPUD.bit.GPIO13   = 0;    // Enable Pullup
914     GpioCtrlRegs.GPAMUX1.bit.GPIO13  = 1;    // GPIO13 = PWM7B
915     GpioCtrlRegs.GPADIR.bit.GPIO13   = 1;    // GPIO13 = output
916
917     GpioCtrlRegs.GPAPUD.bit.GPIO14   = 0;    // Enable Pullup
918     GpioCtrlRegs.GPAMUX1.bit.GPIO14  = 1;    // GPIO14 = PWM8A
919     GpioCtrlRegs.GPADIR.bit.GPIO14   = 1;    // GPIO14 = output
920     GpioCtrlRegs.GPAPUD.bit.GPIO15   = 0;    // Enable Pullup
921     GpioCtrlRegs.GPAMUX1.bit.GPIO15  = 1;    // GPIO15 = PWM8B
922     GpioCtrlRegs.GPADIR.bit.GPIO15   = 1;    // GPIO15 = output
923
924     GpioCtrlRegs.GPAPUD.bit.GPIO20   = 0;    // Enable Pullup    // PWM11A
925     GpioCtrlRegs.GPAGMUX2.bit.GPIO20  = 1;    // GPIO20 = PWM

```

```

926 GpioCtrlRegs.GPAMUX2.bit.GPIO20 = 1; // GPIO20 = PWM
927 GpioCtrlRegs.GPADIR.bit.GPIO20 = 1; // GPIO20 = output
928 GpioCtrlRegs.GPAPUD.bit.GPIO21 = 0; // Enable Pullup // PWM11B
929 GpioCtrlRegs.GPAGMUX2.bit.GPIO21 = 1; // GPIO21 = PWM
930 GpioCtrlRegs.GPAMUX2.bit.GPIO21 = 1; // GPIO21 = PWM
931 GpioCtrlRegs.GPADIR.bit.GPIO21 = 1; // GPIO21 = output
932 }
933 EDIS;
934 }
935 // GpioDataRegs.GPCSET.bit.GPIO69 = 1; // Habilita drivers do LVS
936
937 //#####
938 ####
939 //Função desliga PWM
940 void DesligaEPWMs() {
941 //GpioDataRegs.GPCCLEAR.bit.GPIO69 = 1; // Desabibila drivers do LVS
942 EALLOW;
943 GpioCtrlRegs.GPAPUD.bit.GPIO0 = 0; // Enable Pullup
944 GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 0; // GPIO0 = IO
945 GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; // GPIO0 = output
946 GpioDataRegs.GPACLEAR.bit.GPIO0 = 1; // PWM1A = 0;
947 GpioCtrlRegs.GPAPUD.bit.GPIO1 = 0; // Enable Pullup
948 GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 0; // GPIO1 = IO
949 GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; // GPIO1 = output
950 GpioDataRegs.GPACLEAR.bit.GPIO1 = 1; // PWM1B = 0;
951
952 GpioCtrlRegs.GPAPUD.bit.GPIO2 = 0; // Enable Pullup
953 GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 0; // GPIO2 = IO
954 GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // GPIO2 = output
955 GpioDataRegs.GPACLEAR.bit.GPIO2 = 1; // PWM2A = 0;
956 GpioCtrlRegs.GPAPUD.bit.GPIO3 = 0; // Enable Pullup
957 GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 0; // GPIO3 = IO
958 GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; // GPIO3 = output
959 GpioDataRegs.GPACLEAR.bit.GPIO3 = 1; // PWM2B = 0;
960
961 GpioCtrlRegs.GPAPUD.bit.GPIO4 = 0; // Enable Pullup
962 GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 0; // GPIO4 = IO
963 GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // GPIO4 = output
964 GpioDataRegs.GPACLEAR.bit.GPIO4 = 1; // PWM3A = 0;
965 GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; // Enable Pullup
966 GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 0; // GPIO5 = IO
967 GpioCtrlRegs.GPADIR.bit.GPIO5 = 1; // GPIO5 = output
968 GpioDataRegs.GPACLEAR.bit.GPIO5 = 1; // PWM3B = 0;
969
970 GpioCtrlRegs.GPAPUD.bit.GPIO6 = 0; // Enable Pullup
971 GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 0; // GPIO6 = IO
972 GpioCtrlRegs.GPADIR.bit.GPIO6 = 1; // GPIO6 = output
973 GpioDataRegs.GPACLEAR.bit.GPIO6 = 1; // PWM4A = 0;
974 GpioCtrlRegs.GPAPUD.bit.GPIO7 = 0; // Enable Pullup
975 GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 0; // GPIO7 = IO
976 GpioCtrlRegs.GPADIR.bit.GPIO7 = 1; // GPIO7 = output
977 GpioDataRegs.GPACLEAR.bit.GPIO7 = 1; // PWM4B = 0;
978
979 GpioCtrlRegs.GPAPUD.bit.GPIO12 = 0; // Enable Pullup
980 GpioCtrlRegs.GPAMUX1.bit.GPIO12 = 0; // GPIO12 = IO
981 GpioCtrlRegs.GPADIR.bit.GPIO12 = 1; // GPIO12 = output
982 GpioDataRegs.GPACLEAR.bit.GPIO12 = 1; // PWM7A = 0;
983 GpioCtrlRegs.GPAPUD.bit.GPIO13 = 0; // Enable Pullup
984 GpioCtrlRegs.GPAMUX1.bit.GPIO13 = 0; // GPIO13 = IO
985 GpioCtrlRegs.GPADIR.bit.GPIO13 = 1; // GPIO13 = output
986 GpioDataRegs.GPACLEAR.bit.GPIO13 = 1; // PWM7B = 0;
987
988 GpioCtrlRegs.GPAPUD.bit.GPIO14 = 0; // Enable Pullup
989 GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 0; // GPIO14 = IO
990 GpioCtrlRegs.GPADIR.bit.GPIO14 = 1; // GPIO14 = output
991 GpioDataRegs.GPACLEAR.bit.GPIO14 = 1; // PWM8A = 0;
992 GpioCtrlRegs.GPAPUD.bit.GPIO15 = 0; // Enable Pullup
993 GpioCtrlRegs.GPAMUX1.bit.GPIO15 = 0; // GPIO15 = IO
994 GpioCtrlRegs.GPADIR.bit.GPIO15 = 1; // GPIO15 = output
995 GpioDataRegs.GPACLEAR.bit.GPIO15 = 1; // PWM8B = 0;

```

```

996 GpioCtrlRegs.GPAPUD.bit.GPIO18 = 0; // Enable Pullup
997 GpioCtrlRegs.GPAMUX2.bit.GPIO18 = 0; // GPIO18 = IO
998 GpioCtrlRegs.GPADIR.bit.GPIO18 = 1; // GPIO18 = output
999 GpioDataRegs.GPACLEAR.bit.GPIO18 = 1; // PWM10A = 0;
1000 GpioCtrlRegs.GPAPUD.bit.GPIO19 = 0; // Enable Pullup
1001 GpioCtrlRegs.GPAMUX2.bit.GPIO19 = 0; // GPIO19 = IO
1002 GpioCtrlRegs.GPADIR.bit.GPIO19 = 1; // GPIO19 = output
1003 GpioDataRegs.GPACLEAR.bit.GPIO19 = 1; // PWM10B = 0;
1004
1005 GpioCtrlRegs.GPAPUD.bit.GPIO20 = 0; // Enable Pullup
1006 GpioCtrlRegs.GPAMUX2.bit.GPIO20 = 0; // GPIO20 = IO
1007 GpioCtrlRegs.GPADIR.bit.GPIO20 = 1; // GPIO20 = output
1008 GpioDataRegs.GPACLEAR.bit.GPIO20 = 1; // PWM11A = 0;
1009 GpioCtrlRegs.GPAPUD.bit.GPIO21 = 0; // Enable Pullup
1010 GpioCtrlRegs.GPAMUX2.bit.GPIO21 = 0; // GPIO21 = IO
1011 GpioCtrlRegs.GPADIR.bit.GPIO21 = 1; // GPIO21 = output
1012 GpioDataRegs.GPACLEAR.bit.GPIO21 = 1; // PWM11B = 0;
1013
1014 EDIS;
1015 }
1016
1017 //#####
1018 //Função configura PWMs
1019 void InitEPWMs() {
1020 // PWM1
1021 EPwm1Regs.TBPRD = 2381; //Configura frequência de 21kHz
1022 EPwm1Regs.TBPHS.bit.TBPHS = 0; //Deslocamento de fase 0 graus
1023 EPwm1Regs.TBCTR = 0x0000; //Limpa contador
1024 EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
1025 EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Desabilita deslocamento
1026 EPwm1Regs.TBCTL.bit.PHSDIR = 0; //Direção fase 0 negativo
1027 EPwm1Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO; //Sincronização
1028 EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
1029 EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
1030 //Modos dos comparadores
1031 EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
1032 EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1033 EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1034 EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1035 //Modo do PWM UP-DOWN
1036 EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1037 EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
1038 EPwm1Regs.AQCTLB.bit.CAU = AQ_SET;
1039 EPwm1Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1040 EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1041 EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1042 EPwm1Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1043 EPwm1Regs.DBRED.bit.DBRED = EPWM_DB_UP;
1044 EPwm1Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
1045 //Sincronização da leitura ADC
1046 EPwm1Regs.ETSEL.bit.SOCAEN = 0; // Desabilita o SOC do grupo A do ADC
1047 EPwm1Regs.ETSEL.bit.SOCASEL = 0b011; //SOC no início ou pico do PWM
1048 EPwm1Regs.ETPS.bit.SOCAPRD = 1; //Gera um pulso no primeiro evento
1049
1050 // PWM2
1051 EPwm2Regs.TBPRD = 2381; //Configura frequência de 21kHz
1052 EPwm2Regs.TBPHS.bit.TBPHS = 0; //Deslocamento de fase 0 graus
1053 EPwm2Regs.TBCTR = 0x0000; //Limpa contador
1054 EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; //Contador up/down
1055 EPwm2Regs.TBCTL.bit.PHSEN = TB_ENABLE; //Habilita deslocamento
1056 EPwm2Regs.TBCTL.bit.PHSDIR = 0; //Direção fase 0 Negativo
1057 EPwm2Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
1058 EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
1059 EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
1060 //Modos dos comparadores
1061 EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
1062 EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1063 EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1064 EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1065 //Modo do PWM UP-DOWN
1066 EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;

```



```

1067 EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
1068 EPwm2Regs.AQCTLB.bit.CAU = AQ_SET;
1069 EPwm2Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1070 EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1071 EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1072 EPwm2Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1073 EPwm2Regs.DBRED.bit.DBRED = EPWM_DB_UP;
1074 EPwm2Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
1075
1076 // PWM 3
1077 EPwm3Regs.TBPRD = 2381; //Configura frequência de 21kHz
1078 EPwm3Regs.TBPHS.bit.TBPHS = 2381; //Deslocamento de fase 180 graus
1079 EPwm3Regs.TBCTR = 0x0000; //Limpa contador
1080 EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
1081 EPwm3Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
1082 EPwm3Regs.TBCTL.bit.PHSDIR = 1; //Direção fase 1 positivo
1083 EPwm3Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
1084 EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
1085 EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
1086 //Modos dos comparadores
1087 EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1088 EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1089 EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1090 EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1091 //Modo do PWM UP-DOWN
1092 EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1093 EPwm3Regs.AQCTLA.bit.CAD = AQ_SET;
1094 EPwm3Regs.AQCTLB.bit.CAU = AQ_SET;
1095 EPwm3Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1096 EPwm3Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1097 EPwm3Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1098 EPwm3Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1099 EPwm3Regs.DBRED.bit.DBRED = EPWM_DB_UP;
1100 EPwm3Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
1101
1102 // PWM 4
1103 EPwm4Regs.TBPRD = 2381; //Configura frequência de 21kHz
1104 EPwm4Regs.TBPHS.bit.TBPHS = 2381; //Deslocamento de fase 180 graus
1105 EPwm4Regs.TBCTR = 0x0000; //Limpa contador
1106 EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
1107 EPwm4Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
1108 EPwm4Regs.TBCTL.bit.PHSDIR = 1; //Direção fase 1 Positivo
1109 EPwm4Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
1110 EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
1111 EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
1112 //Modos dos comparadores
1113 EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
1114 EPwm4Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1115 EPwm4Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1116 EPwm4Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1117 //Modo do PWM UP-DOWN
1118 EPwm4Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1119 EPwm4Regs.AQCTLA.bit.CAD = AQ_SET;
1120 EPwm4Regs.AQCTLB.bit.CAU = AQ_SET;
1121 EPwm4Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1122 EPwm4Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1123 EPwm4Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1124 EPwm4Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1125 EPwm4Regs.DBRED.bit.DBRED = EPWM_DB_UP;
1126 EPwm4Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
1127
1128 // PWM 7
1129 EPwm7Regs.TBPRD = 2381; //Configura frequência de 21kHz
1130 EPwm7Regs.TBPHS.bit.TBPHS = 0; //Deslocamento de fase 0 graus
1131 EPwm7Regs.TBCTR = 0x0000; //Limpa contador
1132 EPwm7Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
1133 EPwm7Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
1134 EPwm7Regs.TBCTL.bit.PHSDIR = 0; //Direção fase 0 Negativo
1135 EPwm7Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
1136 EPwm7Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2T
1137 EPwm7Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2

```

```

1138 //Modos dos comparadores
1139 EPwm7Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
1140 EPwm7Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1141 EPwm7Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1142 EPwm7Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1143 //Modo do PWM UP-DOWN
1144 EPwm7Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1145 EPwm7Regs.AQCTLA.bit.CAD = AQ_SET;
1146 EPwm7Regs.AQCTLB.bit.CAU = AQ_SET;
1147 EPwm7Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1148 EPwm7Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1149 EPwm7Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1150 EPwm7Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1151 EPwm7Regs.DBRED.bit.DBRED = EPWM_DB_UP;
1152 EPwm7Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
1153
1154 // PWM 8
1155 EPwm8Regs.TBPRD = 2381; //Configura frequência de 21kHz
1156 EPwm8Regs.TBPHS.bit.TBPHS = 0; //Deslocamento de fase 0 graus
1157 EPwm8Regs.TBCTR = 0x0000; //Limpa contador
1158 EPwm8Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
1159 EPwm8Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
1160 //EPwm8Regs.TBCTL.bit.PHSDIR = 1; //Direção fase 1 Positivo
1161 EPwm8Regs.TBCTL.bit.PHSDIR = 0; //Direção fase 0 Negativo
1162 EPwm8Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
1163 EPwm8Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2T
1164 EPwm8Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
1165 //Modos dos comparadores
1166 EPwm8Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
1167 EPwm8Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1168 EPwm8Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1169 EPwm8Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1170 //Modo do PWM UP-DOWN
1171 EPwm8Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1172 EPwm8Regs.AQCTLA.bit.CAD = AQ_SET;
1173 EPwm8Regs.AQCTLB.bit.CAU = AQ_SET;
1174 EPwm8Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1175 EPwm8Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1176 EPwm8Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1177 EPwm8Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1178 EPwm8Regs.DBRED.bit.DBRED = EPWM_DB_UP;
1179 EPwm8Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
1180
1181 // PWM 10
1182 EPwm10Regs.TBPRD = 2381; //Configura frequência de 21kHz
1183 EPwm10Regs.TBPHS.bit.TBPHS = 0; //Deslocamento de fase 0 graus
1184 EPwm10Regs.TBCTR = 0x0000; //Limpa contador
1185 EPwm10Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
1186 EPwm10Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
1187 EPwm10Regs.TBCTL.bit.PHSDIR = 0; //Direção fase 0 Negativo
1188 EPwm10Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
1189 EPwm10Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
1190 EPwm10Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
1191 //Modos dos comparadores
1192 EPwm10Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
1193 EPwm10Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1194 EPwm10Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1195 EPwm10Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1196 //Modo do PWM UP-DOWN
1197 EPwm10Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1198 EPwm10Regs.AQCTLA.bit.CAD = AQ_SET;
1199 EPwm10Regs.AQCTLB.bit.CAU = AQ_SET;
1200 EPwm10Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1201 EPwm10Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1202 EPwm10Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1203 EPwm10Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1204 EPwm10Regs.DBRED.bit.DBRED = EPWM_DB_UP;
1205 EPwm10Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
1206
1207 // PWM 11
1208 EPwm11Regs.TBPRD = 2381; //Configura frequência de 21kHz

```

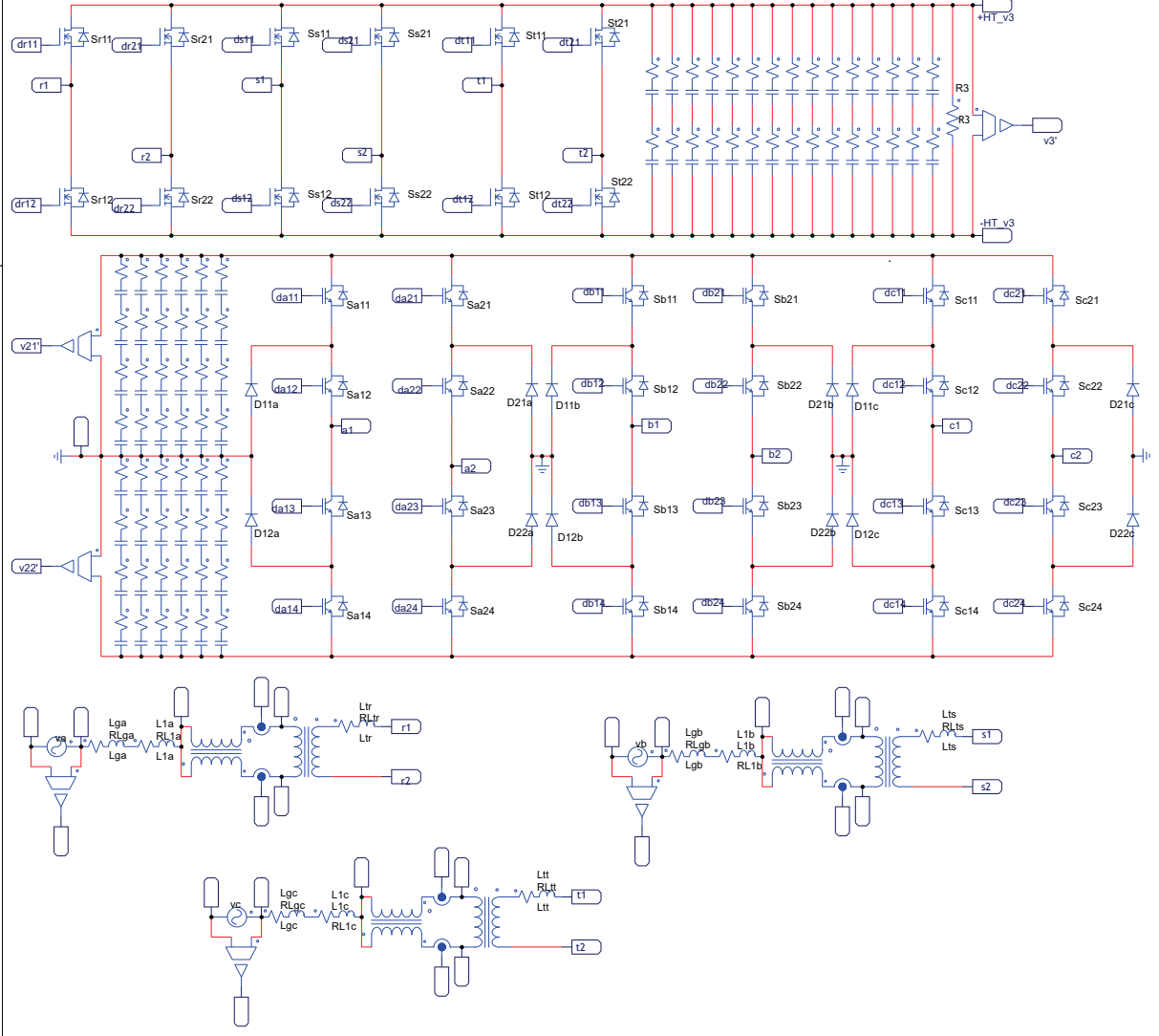
```

1209 EPwm11Regs.TBPHS.bit.TBPHS = 2381; //Deslocamento de fase 180 graus
1210 EPwm11Regs.TBCTR = 0x0000; //Limpa contador
1211 EPwm11Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
1212 EPwm11Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
1213 //EPwm11Regs.TBCTL.bit.PHSDIR = 0; //Direção fase 0 Negativo
1214 EPwm11Regs.TBCTL.bit.PHSDIR = 1; //Direção fase 1 Positivo
1215 EPwm11Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
1216 EPwm11Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
1217 EPwm11Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
1218 //Modos dos comparadores
1219 EPwm11Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
1220 EPwm11Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1221 EPwm11Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1222 EPwm11Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1223 //Modo do PWM UP-DOWN
1224 EPwm11Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1225 EPwm11Regs.AQCTLA.bit.CAD = AQ_SET;
1226 EPwm11Regs.AQCTLB.bit.CAU = AQ_SET;
1227 EPwm11Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1228 EPwm11Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1229 EPwm11Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1230 EPwm11Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1231 EPwm11Regs.DBRED.bit.DBRED = EPWM_DB_UP;
1232 EPwm11Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
1233 }
1234 //#####
1235 // Fim do programa.
1236 //#####
1237
1238
1239

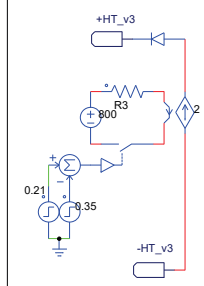
```

APÊNDICE G – CIRCUITO DE SIMULAÇÃO DO TES I2NDF3

Circuito de Potência - I2NDF3



Ensaio Bidirecional



Teste Degrau de Carga

