



UNIVERSIDADE FEDERAL DO CEARÁ

CENTRO DE TECNOLOGIA

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

KRISTIAN PESSOA DOS SANTOS

**CONVERTOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL LLC
RESSONANTE UTILIZANDO UMA TÉCNICA DE CONTROLE POR
DESLOCAMENTO DE FASE E MODULAÇÃO EM FREQUÊNCIA**

FORTALEZA

2020

KRISTIAN PESSOA DOS SANTOS

CONVERSOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL LLC
RESSONANTE UTILIZANDO UMA TÉCNICA DE CONTROLE POR
DESLOCAMENTO DE FASE E MODULAÇÃO EM FREQUÊNCIA

Tese de doutorado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará, como requisito parcial à obtenção do título de Doutor em Engenharia Elétrica. Área de concentração: Sistema de Energia Elétrica.

Orientador: Prof. Dr. Paulo Peixoto Praça

Coorientador: Prof. Dr. Hermínio Miguel de Oliveira Filho.

FORTALEZA

2020

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca Universitária

Gerada automaticamente pelo módulo Catalog, mediante os dados fornecidos pelo(a) autor(a)

- S235c Santos, Kristian Pessoa dos.
CONVERSOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL LLC RESSONANTE UTILIZANDO
UMA TÉCNICA DE CONTROLE POR DESLOCAMENTO DE FASE E MODULAÇÃO EM
FREQUÊNCIA / Kristian Pessoa dos Santos. – 2020.
169 f. : il. color.
- Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação
em Engenharia Elétrica, Fortaleza, 2020.
Orientação: Prof. Dr. Paulo Peixoto Praça.
Coorientação: Prof. Dr. Hermínio Miguel de Oliveira Filho.
1. Conversor ressonante LLC. 2. modulação PFM. 3. gyrator. 4. conversores bidirecionais. 5.
conversores CC-CC trifásicos. I. Título.

CDD 621.3

KRISTIAN PESSOA DOS SANTOS

CONVERTOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL LLC
RESSONANTE UTILIZANDO UMA TÉCNICA DE CONTROLE POR
DESLOCAMENTO DE FASE E MODULAÇÃO EM FREQUÊNCIA

Tese de Doutorado apresentada ao
Programa de Pós-Graduação em Engenharia
Elétrica da Universidade Federal do Ceará,
como requisito parcial à obtenção do título de
Doutor em Engenharia Elétrica. Área de
concentração: Sistema de Energia Elétrica.

Aprovada em: 21/12/2020.

BANCA EXAMINADORA

Prof. Dr. Paulo Peixoto Praça (Orientador)
Universidade Federal do Ceará (UFC)

Prof. Dr. Hermínio Miguel Oliveira Filho (Coorientador)
Universidade da Integração Internacional da Lusofonia Afro-Brasileira (UNILAB)

Prof. Dr. Demercil de Souza Oliveira Júnior
Universidade Federal do Ceará (UFC)

Prof. Dr. Luís Henrique Silva Colado Barreto
Universidade Federal do Ceará (UFC)

Prof. Dr. Montiê Alves Vitorino
Universidade Federal de Campina Grande (UFCG)

Prof. Dr. Gustavo Alves de Lima Henn
Universidade da Integração Internacional da Lusofonia Afro-Brasileira (UNILAB)

Prof. Dr. Evandro Aparecido Soares da Silva
Universidade Federal do Mato Grosso (UFMT)

À Deus.

Aos meus pais, Kelson Pereira e
Conceição Pessoa.

A minha amada esposa, Laís Fortes.

A minha amada filha, Maria Luiza.

“Há uma força motriz mais poderosa
que o vapor, a eletricidade e a energia atômica:
a vontade ”

(Albert Einstein)

AGRADECIMENTOS

Primeiramente, e mais importante, agradeço a Deus pela vida, saúde e pela força de vontade de estudar e trabalhar buscando sempre o melhor para mim e para minha família. Aos meus pais, Kelson Pereira dos Santos e Conceição de Maria Pessoa dos Santos, por todo amor e empenho para tornar minha formação a melhor possível. Agradeço também, ao meu irmão Bergson Pessoa e minha cunhada Lidiane, por sempre me aconselhar e rezar por mim em vários momentos dessa caminhada e a toda minha família que sempre me incentivou nos meus estudos.

À minha amada esposa e companheira, Laís Sampaio Fortes, por todo amor, carinho e paciência em todas as etapas da nossa vida e por ser o pilar principal da minha vida em todo esse período de muitas ausências por conta de muitas idas e vindas a Fortaleza.

Aos amigos Davi Ribeiro, Wesley Vieira, Eddygledson (Nino) e Wanderley pela grande amizade (galetagem), convivência e apoio nesses vários anos de moradia juntos.

Sempre costumava dizer durante os cafezinhos depois do RU e no café clássico da tarde no GPEC que, no meu trabalho, tinha um pouco de todos do laboratório, porque eu sempre recorria aos amigos para tirar dúvidas sobre o trabalho em alguns dos momentos de descontração, isso tornava o trabalho e a vivência com todos, mais leve e prazerosa. Aos amigos, Breno Chaves, Bruno Almeida, Samantha Gadelha, Guilherme Pinheiro, Fabíola Linard, Luan Mazza (brother), Pedro Henrique, José Willamy, Felipe Carvalho, Andresa Sombra, Janaína Almada, Débora Damasceno, Raimundo Nonato, Jeferson Maia, Caio Kerson, Francisco Everton, Gilmar Nunes, enfim, todos os amigos do GPEC o meu muito obrigado. Em especial, ao grande orientador do GPEC, Juliano Pacheco e aos amigos Welton Lima, Samuel Queiroz e Cícero Alisson que me ajudaram demais em todas as etapas do doutorado e que, com certeza, não teria chegado ao final dessa caminhada sem a grande colaboração destes.

Ao meu orientador Paulo Peixoto Praça, pela presença e apoio em todas as etapas do doutorado. Muito obrigado pela confiança e pela dedicação em me ajudar sempre que necessário. Para mim, foi um grande privilégio ter sido o seu primeiro orientando de doutorado. Ao meu coorientador Hermínio Miguel de Oliveira Filho, pela amizade, dedicação, pela grande assistência para esclarecer as dúvidas sobre a pesquisa e pela tentativa, infelizmente, frustrada, de segurar mais uns minutos meu voo para a viagem do COBEP 2019 (Santos-SP).

Agradeço aos professores do PPGEE-UFC Fernando Antunes, Ruth Leão, René Torrico Bascopé, Bismark Torrico, Domenico Sgrò, Sergio Daher, Fabrício Nogueira, Wilkley Correia e, agradeço em especial, aos professores, Dr. Ing. Tobias Rafael, por ter me orientado desde o mestrado até as primeiras etapas da pesquisa do doutorado e, aos professores Demercil de Souza

e Luís Henrique, pelas valiosas contribuições ao longo de toda a minha pesquisa, pela assistência durante o período experimental, construção do artigo e pela participação na banca.

Aos demais funcionários do Departamento de Engenharia Elétrica, pela contribuição direta ou indireta no trabalho durante todo programa de pós-graduação, em especial, ao técnico de laboratório Pedro, sempre prestativo, bem-humorado e com boas ideias na oficina para as bancadas.

Agradeço ao professor Dr. Gustavo Henn por toda a assistência e atenção durante o período de produção do artigo e aos professores Dr. Montiê Alves Vitorino e Dr. Evandro Aparecido Soares da Silva pela participação na banca avaliadora e pelas contribuições neste trabalho.

Ao Instituto Federal de Educação, Ciência e Tecnologia do Piauí (IFPI), pela oportunidade proporcionada para esta capacitação científica e profissional, em especial, aos professores Luís Fernando, Felinto Firmeza e Wilson Rosas.

Agradeço a Fundação Cearense de Apoio ao Desenvolvimento Científico e Tecnológico (FUNCAP) pelo apoio financeiro necessário à realização desse trabalho e desenvolvimento científico, sem o qual seria impossível a realização desta tese.

Por fim, agradeço todos àqueles que de alguma maneira contribuíram positivamente para conclusão deste trabalho.

RESUMO

Este trabalho apresenta um estudo teórico e implementação de uma nova proposta de um conversor CC-CC trifásico isolado bidirecional LLC ressonante utilizando uma técnica de controle por deslocamento de fase e modulação em frequência. Para análise matemática do conversor, um modelo monofásico foi utilizado considerando-se apenas as componentes fundamentais. Além disso, todas as chaves, diodos, indutores, capacitores e transformadores foram considerados ideais. O circuito ressonante do conversor tem a vantagem de aproveitar as indutâncias de dispersão do transformador de alta frequência e as suas indutâncias magnetizantes para compor o circuito ressonante que melhora significativamente sua densidade de potência. O estudo do comportamento dinâmico do conversor, considerando que as chaves semicondutoras sempre estejam com ciclo de trabalho em 50%, é desenvolvido para proporcionar ao conversor operar sempre com comutação ZVS, onde várias situações de variação da frequência de chaveamento e mudanças de carga foram analisadas. Desse modo, uma das contribuições desse trabalho é que somado ao paralelismo de fases já presente na estrutura, obtenha-se alto rendimento para toda faixa de potência com controle da frequência de operação mantendo-a sempre dentro da zona de comutação suave. A comutação ZVS permite que os efeitos causados por EMI sejam reduzidos. O modelo dinâmico do conversor é obtido através da teoria do *gyrator*, em que o circuito pode ser modelado como uma fonte de corrente controlada por frequência para controlar a tensão de saída do conversor. O sentido do fluxo de potência do conversor é determinado pela estimação de um ângulo *phase-shift* ideal para cada ponto de frequência de chaveamento para obter a potência de saída do conversor. Um exemplo de projeto de 1,5 kW foi calculado e desenvolvido com tensão de saída igual a 380 V. Os resultados experimentais são apresentados e discutido para validar o conversor proposto. Obteve-se comutação suave para uma ampla faixa de carga e rendimento máximo de 95%, aproximadamente. Pode ser utilizado para a integração entre o sistema de baterias e o barramento CC de alta tensão de veículos híbridos e elétricos.

Palavras-chave: Conversor ressonante LLC, modulação PFM, *gyrator*, conversores bidirecionais, conversores CC-CC trifásicos.

ABSTRACT

This work presents a theoretical study and design of a novel proposed isolated three-phase DC-DC bidirectional LLC resonant converter using a technique of phase shift control and frequency modulation. For the mathematical analysis of the converter, a single-phase model was used considering only the fundamental components. In addition, all switches, diodes, inductors, capacitors and transformers were considered ideal. The converter resonant circuit has the advantage to take the dispersion inductances of high frequency transformer and its magnetizing inductance to compose the resonant circuit that significantly improves its power density. The study of the dynamic behavior of the converter considering that the semiconductor switches are always with 50% duty cycle is developed so that for the converter to always operate with ZVS switching, several switching frequency variation and load changes are analyzed. Thus, one of the contributions of this work is that in addition to the phase parallelism already present in the structure, high efficiency can be obtained for each power range with frequency control, always keeping it within the smooth switching zone. ZVS switching allows the effects caused by EMI to be reduced. The dynamic converter model is obtained through the gyrator theory, where the circuit can be modeled as a frequency-controlled current source to control the output voltage of the converter. In addition, the direction of the converter's power flow is determined by the estimation of an ideal phase-shift angle for each switching frequency point to obtain the output power of the converter. An example project of 1,5 kW is calculated and developed with output voltage equal to 380V. Experimental results are presented and discussed to validate the proposed converter. Smooth switching over a wide load range and maximum efficiency of approximately 95% was achieved. It can be used for the integration between the battery system and the high voltage DC bus of hybrid and electric vehicles..

Keywords: LLC resonant converter, PFM modulation, gyrator, bidirectional converters, three-phase DC-DC converters.

LISTA DE FIGURAS

Figura 1 – Aplicações dos conversores bidirecionais CC-CC com isolamento galvânica em microrede.....	24
Figura 2 – Classificação das principais topologias dos SST.	25
Figura 3 – Conversor CC-CC bidirecional isolado aplicado em um veículo elétrico.	27
Figura 4 – Comparação de transformadores de baixa e alta frequência.	28
Figura 5 – Conversor proposto.	30
Figura 6 – Diagrama de blocos de um conversor ressonante isolado.....	33
Figura 7 – Formas de onda da tensão e corrente sobre um MOSFET com comutação <i>hard</i> ...34	
Figura 8 – Formas de onda da tensão e corrente sobre um MOSFET com comutação suave. 35	
Figura 9 – Configurações do circuito tanque com dois elementos.....	37
Figura 10 – Conversor Série Ressonante unidirecional.....	37
Figura 11 – Ganho normalizado do CSR.	38
Figura 12 – Conversor Paralelo Ressonante unidirecional.....	39
Figura 13 – Ganho normalizado do CPR.	39
Figura 14 – Configurações do circuito tanque com três elementos.....	40
Figura 15 – Conversor Série Paralelo Ressonante (LCC).	41
Figura 16 – Ganho normalizado do Conversor LCC.....	41
Figura 17 – Conversor Série Paralelo Ressonante (LLC).	42
Figura 18 – Ganho normalizado do Conversor LLC.....	43
Figura 19 – Conversor DAB (a) monofásico e (b) trifásico.	44
Figura 20 – Conversor série ressonante (a) monofásico e (b) trifásico.	46
Figura 21 – Conversor CC-CC trifásico ressonante operando com PWM (a) com <i>link</i> CA; (b) com <i>link</i> CC.....	46
Figura 22 – Conversor CC-CC trifásico PWM ZVS associado a um retificador conectado em dupla estrela e primário em delta.....	47
Figura 23 – Conversor CC-CC trifásico com comutação suave para aplicações com baixa tensão de entrada.	48
Figura 24 – Conversor trifásico série ressonante unidirecional.	49
Figura 25 – Conversor LLC trifásico unidirecional com filtro capacitivo de saída.....	49
Figura 26 – Conversor LCC trifásico unidirecional.	50
Figura 27 – Conversor CC-CC trifásico série ressonante com três níveis.	50
Figura 28 – Conversor CC-CC série-paralelo ressonante unidirecional.	51
Figura 29 – Conversor estrela-delta CC-CC série ressonante bidirecional.	52

Figura 30 – Conversor CC-CC série ressonante bidirecional com impedância chaveada.	53
Figura 31 – Conversor LLC com capacitor chaveado usando controle de frequência variável.	53
Figura 32 - Conversor ressonante LLC com 2 <i>half-bridges</i> no primário e controle <i>phase-shift</i> e frequência.....	54
Figura 33 – Conversor proposto.	55
Figura 34 – Portadoras triangulares e sinais de gatilho das chaves semicondutoras.....	58
Figura 35 - Modelo monofásico do conversor ressonante LLC.	60
Figura 36 – Tensão da fonte de entrada e tensão no lado secundário do conversor.....	61
Figura 37 – Potência ativa (pu).....	66
Figura 38 – Fator de potência.	67
Figura 39 – Modelo equivalente monofásico do conversor ressonante LLC.....	68
Figura 40 – Regiões de comutação do conversor.	69
Figura 41 – Módulo e fase da impedância de entrada.	70
Figura 42 – Pico de corrente normalizada nas chaves semicondutoras do primário.	71
Figura 43 – Pico de tensão normalizada no indutor L_s	72
Figura 44 – Pico de tensão normalizada no capacitor C_s	72
Figura 45 – Direção da corrente nos MOSFETs do circuito primário e secundário.	74
Figura 46 – Fronteiras de comutação suave dos circuitos primário e secundário.	75
Figura 47 – Simbologia do <i>gyrator</i>	76
Figura 48 – Modelo equivalente do conversor usando a teoria de <i>gyrator</i>	78
Figura 49 – Diagrama de Bode de $G_{Vof}(s)$	79
Figura 50 – Modelo equivalente em malha fechada do conversor.....	79
Figura 51 – Diagrama de blocos do sistema em malha fechada.....	80
Figura 52 – Efeito da variação dos parâmetros do conversor.....	82
Figura 53 – Diagrama de Bode de $G_{Vof}(s)$	89
Figura 54 – Gráfico do lugar das raízes de $G_{Vof}(s)$	90
Figura 55 – Comportamento dinâmico da FTMAcc: (a) Diagrama de Bode; (b) Gráfico do Lugar das raízes.	91
Figura 56 – Comportamento dinâmico da planta em malha fechada: (a) Resposta ao degrau unitário; (b) Diagrama de Bode.	92
Figura 57 – Esquemático do conversor proposto no PSIM com circuitos de acionamento das chaves semicondutoras.	94
Figura 58 – Tensões de linha primária e secundária.	97
Figura 59 – Corrente trifásica nos indutores série ressonantes (L_s).	97

Figura 60 – Tensão trifásica nos capacitores série ressonantes (C_s).....	98
Figura 61 – Corrente trifásica do circuito primário e secundário do transformador $i_{1p}(t)$ - $i_{3p}(t)$	98
Figura 62 – Tensões trifásicas de linha da saída do transformador $v_{ab}(t)$ - $v_{ca}(t)$	99
Figura 63 – Defasagem entre $v_{AIA2}(t)$ e $i_{LsI}(t)$	100
Figura 64 – Defasagem entre $v_{AIA2}(t)$ e (a) $i_{Ls}(t)$ e (b) $v_{an}(t)$	100
Figura 65 – Potência aparente e potência ativa.	101
Figura 66 – Fator de potência do transformador.	101
Figura 67 – Corrente e tensão de saída do conversor.....	102
Figura 68 – Potência ativa e aparente no sentido reverso do fluxo de potência.....	102
Figura 69 – Fator de Potência do transformador no sentido reverso do fluxo de potência.	102
Figura 70 – Corrente do circuito secundário do conversor com fluxo de potência contrário.	103
Figura 71 – Corrente de saída e tensões de linha do circuito primário e secundário.	103
Figura 72 – Tensão e corrente das chaves primárias S_{1p} e S_{2p} no sentido direto.....	104
Figura 73 – Tensão e corrente das chaves secundárias S_{2s} e S_{1s} no sentido direto.....	104
Figura 74 – Tensão e corrente das chaves primárias S_{1p} e S_{2p} no sentido inverso.	105
Figura 75 – Tensão e corrente das chaves secundárias S_{1s} e S_{2s} no sentido inverso.	105
Figura 76 – Tensão e corrente das chaves S_{1p} e S_{2p} no sentido direto com frequência próximo à ressonância.....	106
Figura 77 – Tensão e corrente das chaves S_{1s} e S_{2s} no sentido inverso com frequência próximo à ressonância.	107
Figura 78 – Tensão e corrente na carga em malha fechada.....	108
Figura 79 – Formas de onda no circuito tanque ressonante: (a) corrente nos indutores série L_{s1} – L_{s3} (a) e tensão nos capacitores série C_{s1} – C_{s3}	109
Figura 80 – Sinais de controle do conversor: (a) frequência e (b) <i>phase-shift</i>	110
Figura 81 – Tensão de saída, corrente e potência do conversor com degrau de 50% para - 100%.....	111
Figura 82 – Protótipo unidirecional: (a) circuito primário, (b) capacitor de entrada, (c) capacitores serie ressonantes, (d) indutores série ressonantes, (e) transformadores de alta frequência, (f) circuito secundário, (g) capacitor de saída, (h) DSP.	113
Figura 83 - Protótipo bidirecional: (a) circuito primário, (b) capacitor de entrada, (c) capacitores serie ressonantes, (d) indutores série ressonantes, (e) transformadores de alta frequência, (f) circuito secundário, (g) capacitor de saída, (h) DSP.	113
Figura 84 – Placa de acionamento: (a) <i>buffers</i> , (b) DSP.	114
Figura 85 – Tensões trifásicas de entrada no circuito tanque ressonante.....	115

Figura 86 – Formas de onda das tensões de linha secundárias dos transformadores T ₁ -T ₃ . ..	116
Figura 87 – Formas de onda das tensões trifásicas nos capacitores série ressonante $v_{Cs1} - v_{Cs3}$	116
Figura 88 – Formas de onda das correntes trifásicas nos indutores série ressonante $i_{Ls1} - i_{Ls3}$	116
Figura 89 – Formas de onda na (a) chave e no (b) diodo; para 30% de carga e $f_s = 105,2$ kHz.	117
Figura 90 – Formas de onda na (a) chave e no (b) diodo; para 40% de carga e $f_s = 102$ kHz.	117
Figura 91 – Formas de onda na (a) chave e no (b) diodo; para 60% de carga e $f_s = 100$ kHz.	118
Figura 92 – Formas de onda na (a) chave e no (b) diodo; para 100% de carga e $f_s = 96,1$ kHz.	118
Figura 93 – Formas de onda na chave para diferentes condições de tensão de entrada: (a) $V_{in} = 48V$ (b) $V_{in} = 72 V$. ..	118
Figura 94 – Tensões <i>gate-source</i> do circuito primário e secundário.	119
Figura 95 – Tensões <i>gate-source</i> com: (a) Tempo morto entre as chaves e (b) <i>phase-shift</i> ampliado.	119
Figura 96 – Tensões trifásicas de entrada no circuito tanque ressonante $v_{a1a2} - v_{c1c2}$	120
Figura 97 – Formas de onda das tensões de linha secundárias dos transformadores T ₁ -T ₃ . ..	120
Figura 98 – Formas de onda das correntes secundárias dos transformadores T ₁ -T ₃	121
Figura 99 – Formas de onda das tensões trifásicas nos capacitores série ressonante $v_{Cs1}-v_{Cs3}$	121
Figura 100 – Formas de onda das correntes trifásicas nos indutores série ressonante $i_{Ls1}-i_{Ls3}$	122
Figura 101 – Tensões e correntes de entrada e saída em plena carga.	122
Figura 102 – Formas de onda nas chaves do (a) primário e (b) secundário; para 60% de carga e $f_s = 104,3$ kHz e $\phi = 20^\circ$	123
Figura 103 – Formas de onda nas chaves do (a) primário e (b) secundário; para 100% de carga e $f_s = 102$ kHz e $\phi = 22^\circ$	123
Figura 104 – Tensões trifásicas de entrada no circuito tanque ressonante $v_{a1a2} - v_{c1c2}$ no sentido inverso do fluxo de potência.	124
Figura 105 – Formas de onda das tensões de linha secundárias dos transformadores T ₁ -T ₃ no sentido inverso do fluxo de potência.	125

Figura 106 – Formas de onda das correntes secundárias dos transformadores T_1 - T_3 no sentido inverso do fluxo de potência.....	125
Figura 107 – Formas de onda das tensões trifásicas nos capacitores série ressonante v_{Cs1} - v_{Cs3} no sentido inverso do fluxo de potência.	125
Figura 108 – Formas de onda das correntes trifásicas nos indutores série ressonante i_{Ls1} - i_{Ls3}	126
Figura 109 – Formas de onda nas chaves do (a) primário e (b) secundário; para 60% de carga, $V_o = 380V$, $f_s = 100$ kHz e $\phi = - 24^\circ$	126
Figura 110 – Formas de onda nas chaves do (a) primário e (b) secundário; para 100% de carga, $V_o = 380V$, $f_s = 99$ kHz e $\phi = - 31^\circ$	126
Figura 111 – Rendimento do conversor unidirecional.	127
Figura 112 – Rendimento do conversor bidirecional com fluxo de potência no sentido direto.	128
Figura 113 – Rendimento do conversor bidirecional com fluxo de potência no sentido inverso.	128
Figura 114 – Valores de A_p calculados e dos núcleos Magmattec.	139
Figura 115 – Fator de execução dos núcleos analisados.	142
Figura 116 – Temperatura dos transformadores a plena carga.....	142
Figura 117 – Núcleo E-55.	144
Figura 118 – Temperatura dos indutores série ressonantes a plena carga.....	146
Figura 119 – Placa de controle – (a) top layer e (b) bottom layer.	147
Figura 120 – Circuito de Buffer.	148
Figura 121 – Fonte de alimentação com regulador de tensão LM1117.	148
Figura 122 – Circuito de filtragem de sinais: (a) corrente e (b) tensão.	149
Figura 123 – Terminais da placa	150
Figura 124 – Botões para alterar os parâmetros de phase-shift e frequência manualmente...	150
Figura 125 – Terminais do DSP.	151
Figura 126 – Proteções para sobretensões nos terminais do DSP.	152

LISTA DE TABELAS

Tabela 1 – Especificações do projeto.	81
Tabela 2 – Critérios de projeto.	83
Tabela 3 – Características do capacitor eletrolítico para o barramento CC de entrada.	84
Tabela 4 – Características do capacitor eletrolítico para o barramento CC de saída.	84
Tabela 5 – Características do capacitor de polipropileno de filme metalizado para o circuito tanque ressonante.	86
Tabela 6 – Características da chave semicondutora para o circuito primário.	87
Tabela 7 – Características da chave semicondutora para o circuito secundário.	88
Tabela 8 – Comparação dos valores calculados e simulados das formas de onda do conversor.	99
Tabela 9 – Componentes utilizados no circuito de Potência	114
Tabela 10 – Especificações do projeto do transformador.	138
Tabela 11 – Especificações do projeto do indutor.	143
Tabela 12 – Especificações do núcleo E-55.	144

LISTA DE ABREVIATURAS E SIGLAS

AWG	American Wire Gauge
CA	Corrente Alternada
CC	Corrente Contínua
CSR	Circuito Série Ressonante
CPR	Circuito Paralelo Ressonante
CSPR	Conversor Série-Paralelo Ressonante
DAB	Double Active Bridge
DPS	Dual Phase Shift
DSP	Digital Signal Processor
EMI	Electromagnetic Interference
ESS	Energy Storage System
EV	Electric Vehicle
FHA	Fundamental Harmonic Approximation
FTMA	Função de Transferência de Malha Aberta
FTMF	Função de Transferência de Malha Fechada
LCK	Lei das Correntes de Kirchoff
MCC	Modo de Condução Contínua
MDC	Modo de Condução Descontínua
NiGa	Nitrato de Gálio
PFM	Pulse Frequency Modulation
PLL	Phase Locked Loop
PWM	Pulse Width Modulation
SiC	Carbeto de Silício
SLR	Séries-Loaded Resonant
SPS	Single Phase Shift
SEP	Sistema Elétrico de Potência
SST	Solid State Transformer
UPS	Uninterruptible Power Supplies
ZCS	Zero Current Switching
ZVS	Zero Voltage Switching
ZVZCS	Zero Voltage and Zero Current Switching

LISTA DE SÍMBOLOS

f_o	Frequência de ressonância
f_{o2_LCC}	Frequência de ressonância de circuito aberto do conversor LCC
f_{o2}	Frequência de ressonância de circuito aberto do conversor LLC
f_s	Frequência de chaveamento
L_p	Indutância paralelo
L_S	Indutância série
C_p	Capacitância paralelo
C_s	Capacitância série
F	Frequência normalizada
G	Ganho estático do conversor
Z	Impedância equivalente do circuito ressonante
ω_o	Frequência angular de ressonância
ω	Frequência angular de chaveamento
Q	Fator de qualidade
R_i	Resistência equivalente da carga refletida para o circuito primário
R_o	Resistência da carga
n	Relação de transformação do transformador
ϕ	Ângulo <i>phase-shift</i>
D	Ciclo de trabalho
$v_{AI1A2}(t)$	Componente fundamental da fonte de entrada do circuito tanque ressonante
$v_{an}(t)$	Componente fundamental que representa o lado secundário
V_i	Tensão de entrada
V_o	Tensão de saída
n_t	Inverso da relação de espiras do transformador de alta frequência
M	Ganho estático
$i_s(t)$	Corrente de entrada do circuito tanque ressonante
I_S	Amplitude de $i_s(t)$
α	Defasagem de $i_s(t)$
$i_p(t)$	Corrente na reatância indutiva paralela
X_S	Reatância série equivalente do circuito tanque ressonante
X_p	Reatância indutiva paralela do circuito tanque ressonante
$i_t'(t)$	Corrente de entrada no transformador no circuito primário
I_t'	Amplitude de $i_t'(t)$

β	Defasagem de $i_t'(t)$
X_t	Reatância equivalente do paralelismo de X_S e X_p
i_o'	Corrente média de saída do conversor
θ	Defasagem entre a tensão $v_{an}(t)$ e a corrente $i_t(t)$ ou defasagem de Z_{ac}
Z_{ac}	Impedância equivalente do secundário
P_{o1}	Potência média do conversor do modelo monofásico
P_{o3}	Potência total do conversor trifásico
S_{o1}	Potência aparente do conversor do modelo monofásico
FP	Fator de potência
λ	Razão entre as indutâncias paralela e série do circuito tanque ressonante
Z_{in}	Impedância de entrada equivalente do modelo monofásico
C_{oss}	Capacitância intrínseca do MOSFET
V_{GS}	Tensão <i>gate-source</i> do MOSFET
I_{DS}	Corrente <i>dreno-source</i> do MOSFET
t_{dt}	Tempo necessário para carregamento/descarregamento do capacitor C_{oss}
I_{DS}	Corrente <i>dreno-source</i> do MOSFET
$I_o(f_s)$	Corrente média de saída do conversor em função da frequência
$X_S(f_s)$	Reatância série do conversor em função da frequência
g	Coefficiente girostático
$G_{V_{o1o}}(s)$	Função de transferência de V_o em relação à i_o
$G_{V_{of}}(s)$	Função de transferência de V_o em relação à f_s
$C(s)$	Controlador
$H(s)$	Ganho de sensor de tensão
$e(s)$	Sinal de erro
V_{o_ref}	Tensão de saída de referência
C_i	Capacitância de entrada
C_o	Capacitância de saída
Z_{ac}	Resistência equivalente ao circuito secundário do conversor
V_{Sprim}	Tensão máxima nas chaves semicondutoras do primário
I_{Sprim_max}	Corrente máxima nas chaves semicondutoras do primário
I_{Sprim_media}	Corrente média nas chaves semicondutoras do primário
I_{Sprim_rms}	Corrente eficaz nas chaves semicondutoras do primário
V_{Ssec}	Tensão máxima nas chaves semicondutoras do secundário
I_{Ssec_max}	Corrente máxima nas chaves semicondutoras do secundário
I_{Ssec_media}	Corrente média nas chaves semicondutoras do secundário

I_{Ssec_rms}	Corrente eficaz nas chaves semicondutoras do secundário
FTMA	Função de Transferência de Malha Aberta
FTMA _{cc}	Função de Transferência de Malha Aberta com compensador
FTMF	Função de Transferência de Malha Fechada
f_{cz}	Frequência de cruzamento
V_2	Tensão no secundário do transformador
V_P	Tensão no primário do transformador
a_{Tm}	Relação de transformação do transformador
n_{Tm}	Rendimento do transformador de alta frequência
P_{Tm}	Potência real do transformador de alta frequência
S_{Tm}	Potência aparente estimada do transformador de alta frequência
K_J	Fator de ajuste da densidade de corrente para o núcleo toroidal de pó de ferro
K_f	Fator que relaciona a forma de onda que estará no transformador
K_u	Fator de utilização da área do enrolamento do transformador
B_m	Densidade de campo magnético
N_P	Número de espiras do primário do transformador
N_S	Número de espiras do secundário do transformador
ε_{skin}	Profundidade de penetração do condutor
d_{max}	Diâmetro máximo do condutor
S_{cp}	Área de secção transversal do condutor no primário do transformador
S_{cs}	Área de secção transversal do condutor no secundário do transformador
$N_{f_{iop}}$	Número de fios em paralelo no primário do transformador
$N_{f_{ios}}$	Número de fios em paralelo no secundário do transformador
$comp_{f_{iop}}$	Comprimento médio dos fios no primário do transformador
$comp_{f_{ios}}$	Comprimento médio dos fios no secundário do transformador
F_u	Fator de utilização
I_{max}	Corrente máxima do indutor
I_{ef}	Corrente eficaz do indutor
μ_o	Permeabilidade do espaço livre
ρ	Resistividade do cobre
K_w	Fator de utilização da área do enrolamento do indutor
J_{max}	Densidade de corrente nos enrolamentos do indutor
l_e	Comprimento médio efetivo do enrolamento do indutor
K_h	Coefficiente de perdas por histerese

K_F	Coeficiente de perdas por correntes parasitas
μ_e	Permeabilidade do material
N_{espiras}	Número de espiras do indutor
l_g	Entreferro total do indutor
$comp_{\text{fio}}$	Comprimento médio do condutor do indutor

SUMÁRIO

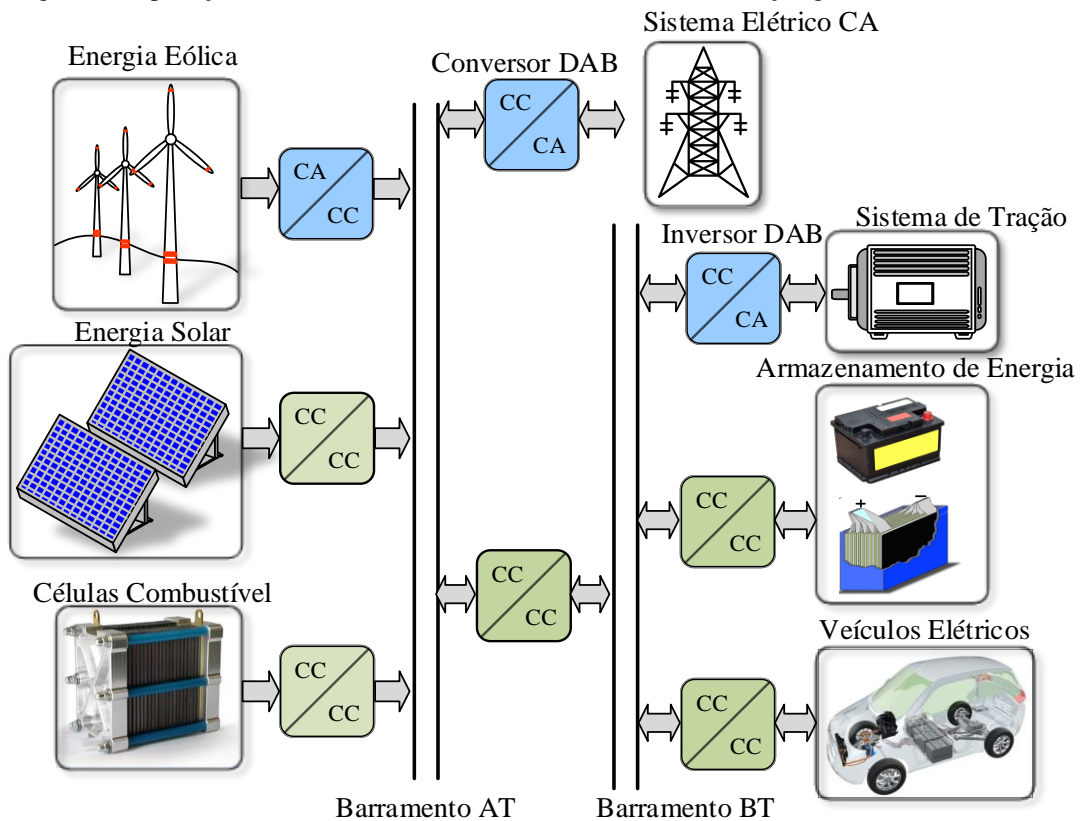
LISTA DE FIGURAS	xi
LISTA DE TABELAS	xvi
LISTA DE ABREVIATURAS E SIGLAS	xvii
LISTA DE SÍMBOLOS	xviii
1. INTRODUÇÃO.....	24
1.1 – Conversor proposto	29
1.2 Publicações resultantes da topologia.....	30
1.3 – Organização da tese.....	31
2. REVISÃO BIBLIOGRÁFICA.....	33
2.1 – Introdução.....	33
2.2 – Conversores ressonantes	33
2.3 – Principais topologias de conversores CC-CC isolados	43
2.4 – Principais estratégias de controle usadas para conversores CC-CC ressonantes	51
2.5 – Topologia e estratégia de controle propostos	54
3 ANÁLISE DO CONVERSOR PROPOSTO.....	57
3.1 – Introdução.....	57
3.2 – Análise qualitativa do conversor	57
3.3 – Análise quantitativa do conversor	58
4. PROCEDIMENTO DE PROJETO	81
4.1 – Introdução.....	81
4.2 – Projeto do conversor proposto.....	81
4.3 – Projeto do sistema de Controle.....	88
5. RESULTADOS DE SIMULAÇÃO	94
5.1 – Introdução.....	94
5.2 – Resultados de simulação em regime permanente.....	96
5.3 – Resultados de simulação das condições de comutação.....	103
5.4 – Resultados de simulação do comportamento dinâmico do conversor em malha fechada	107
6. RESULTADOS EXPERIMENTAIS	112
6.1 – Protótipos desenvolvidos	112
6.2 – Resultados experimentais em regime permanente para validação do modelo	115
6.3 – Rendimento	127
6.4 – Considerações finais.....	128

7. CONCLUSÕES E TRABALHOS FUTUROS	130
7.1 Publicações resultantes da topologia.....	131
7.2 Publicações complementares resultantes durante o período do doutorado	132
REFERÊNCIAS BIBLIOGRÁFICAS	133
APÊNDICE A – PROJETO DOS TRANSFORMADORES	138
APÊNDICE B – PROJETO DOS INDUTORES	143
APÊNDICE C – ESQUEMÁTICO DO PROTÓTIPO	147
APÊNDICE D – ROTINA DO DSP	153

1.INTRODUÇÃO

Através das pesquisas de Michael Faraday, em 1831 foi desenvolvido uma das maiores e mais importantes invenções do século XIX: o transformador. Por serem robustos e confiáveis passaram a ser utilizados mundialmente na maioria dos Sistemas Elétricos de Potência (SEP). Por muitos anos, foi o principal meio de proporcionar isolamento galvânica entre o circuito primário e secundário de redes elétricas adaptando os respectivos níveis de tensão, além disso, desde a sua concepção o transformador teve poucas mudanças (MERWE e MOUTON, 2009). Como desvantagens, o transformador geralmente opera em baixa frequência (50/60Hz) e isso o torna pesado, volumoso e caro por consequência da quantidade de material empregado no núcleo e enrolamentos. Com o crescente desenvolvimento da eletrônica de potência e dos sistemas microprocessados nas últimas décadas, as redes inteligentes ou *smart grids* têm sido alvo de interesse em pesquisas de grandes empresas dos setores público e privado. Estas investem recursos financeiros em tecnologias para painéis fotovoltaicos, aerogeradores, veículos elétricos e sistemas de conversão de energia elétrica que sejam capazes de injetar potência no sistema elétrico ou serem consumidores de energia para sistemas de armazenamento de energia também chamados *Energy Storage System* (ESS). Um modelo de microrede é apresentado na Figura 1.

Figura 1 – Aplicações dos conversores bidirecionais CC-CC com isolamento galvânica em microrede.

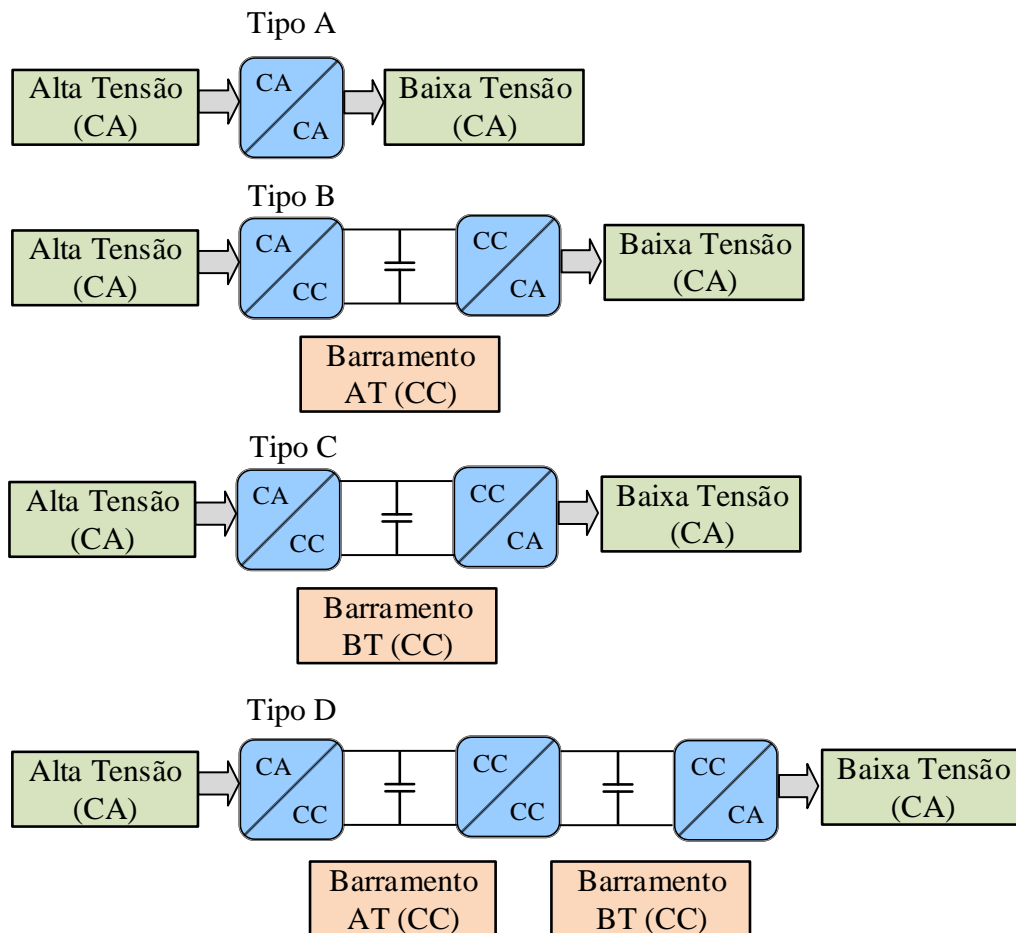


Fonte: (YAQOOB, LOO e LAI, 2018, com adaptações).

Analisando a Figura 1, é possível observar que o conversor o qual integra a microrede a um sistema elétrico CA é um Transformador de Estado Sólido ou *Solid State Transformer* (SST). Este constitui um conversor CA-CC baseado na topologia do conversor *Double Active Bridge* (DAB) que será melhor discutido no capítulo seguinte. O conceito de SST surgiu nos anos 70 através do trabalho de McMurray (1970). Tem a vantagem de fornecer uma redução de volume e peso e propiciar uma grande flexibilidade de controle, mas possuem a desvantagem de uma maior complexidade e custo se comparado a um sistema CA tradicional (OLIVEIRA *et al*, 2014). Com o desenvolvimento das tecnologias de construção dos dispositivos semicondutores, como as chaves de Carbeto de Silício (SiC) e Nitreto de Gálio (GaN), os SST's têm se tornado cada vez mais viáveis, pois permitiu um aumento nos níveis de tensão, corrente e frequência de chaveamento. Dessa maneira, ampliaram o horizonte de aplicações para as topologias desenvolvidas para redes inteligentes.

Os SST's podem usar diversas topologias sendo que as principais estruturas são apresentadas na Figura 2 e podem ser classificadas em tipo A, B, C ou D. A principal diferença entre elas é relacionada ao número de estágios de conversão.

Figura 2 – Classificação das principais topologias dos SST.



Fonte: (SHE *et al*, 2012 e 2013, com adaptações)

No tipo A, há apenas um estágio de conversão, ao passo que no tipo B e C há dois estágios e no tipo D há três estágios. A configuração Tipo D consiste em três estágios com baixa tensão no *link* CC. O primeiro estágio pode ser decomposto em um arranjo em série de vários conversores CA-CC que têm por objetivo dividir a potência total entre os conversores. No estágio intermediário CC-CC, o transformador de alta frequência possui peso e volume consideravelmente inferiores a um transformador de baixa frequência de mesma potência. No terceiro e último estágio, há uma inversão CC-CA para conexão com cargas CA de baixa frequência (SHE *et al.*, 2012 e 2013).

Além dos sistemas CA, nas *smart grids* um dos conversores mais importantes apresentados nas Figuras 1 e 2 são os conversores CC-CC que podem apresentar diversas topologias usando uma modulação adequada. Existem vários tipos de modulação, dentre as principais, podem-se citar a Modulação por Largura de Pulso ou *Pulse Width Modulation* (PWM), Modulação Vetorial e a Modulação por Pulsos de Frequência ou *Pulse Frequency Modulation* (PFM). Para a confiabilidade do circuito, é fundamental que o projetista adote uma estratégia de controle apropriada para o projeto de acordo com o sistema a qual será inserido.

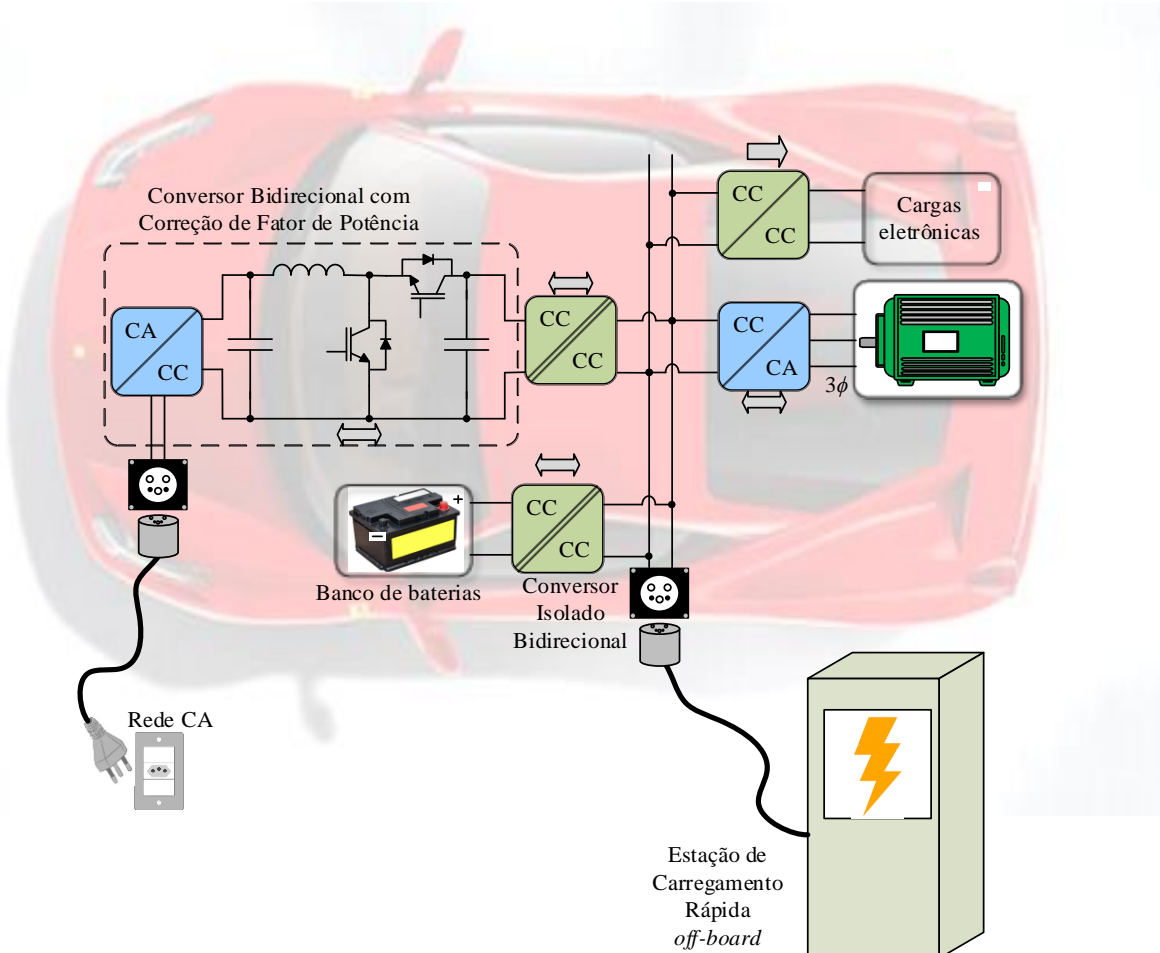
Diversas topologias de conversores CC-CC têm sido desenvolvidas para integração de sistemas de geração, armazenamento ou consumidores integrados a uma microrrede. Além disso, estratégias de controle e técnicas de modulação são um dos principais objetos de pesquisa para fornecer aos conversores CC-CC um alto rendimento, bidirecionalidade e redução de harmônicos. Essas características são necessárias para as mais diversas aplicações na indústria como acionamento de máquinas, sistemas ininterruptos de energia, do inglês *Uninterruptible Power Supplies* (UPS), integração de sistemas de energia renovável, veículos elétricos, do inglês, *Electrical Vehicles* (EV), dentre outros (HART, 2012).

Para aplicações de alta potência, geralmente são adotadas estruturas trifásicas para que a potência seja dividida entre as fases e os esforços de tensão e corrente sejam menores nos dispositivos ativos e passivos do conversor. Além disso, pode-se usar também o paralelismo de conversores para o mesmo objetivo. Entretanto, o paralelismo de conversores tornará o conversor maior, mais pesado e aumentará o custo do projeto. Para diversas aplicações modernas é de grande importância que o conversor seja bidirecional de forma a possibilitar o fluxo de energia em ambas as direções entre o circuito primário e secundário do conversor (OLIVEIRA FILHO, 2013 e 2015).

A Figura 3 apresenta uma das principais e mais crescentes aplicações dos conversores CC-CC que são os veículos elétricos (EV). Os EV são movidos unicamente por um motor elétrico em substituição ao motor a combustão. Este motor elétrico é alimentado por um conjunto de baterias agrupadas a uma série de conversores elétricos de modo a possibilitar

o carregamento de baterias e alimentação do motor elétrico que pode ser CC ou CA. Nessa aplicação, há a necessidade de redução de peso, alta densidade de potência e bidirecionalidade. É de grande importância para o rendimento geral, que o conversor CA-CC do sistema de carregamento de baterias seja capaz de fazer a correção ativa do fator de potência. Além disso, este pode ser do tipo *on/off board* (YILMAZ e KREIN, 2013). Nessa estrutura apresentada, há três conversores CC-CC onde um deles faz a integração entre o conversor CA-CC e o barramento CC principal. O segundo faz a integração entre o barramento CC principal e o banco de baterias do veículo elétrico. O terceiro faz a integração entre o barramento CC principal e todas as cargas eletrônicas do carro e serviços auxiliares. Por fim, o conversor CC-CA faz a integração entre o barramento CC principal e o motor trifásico que movimenta o veículo.

Figura 3 – Conversor CC-CC bidirecional isolado aplicado em um veículo elétrico.

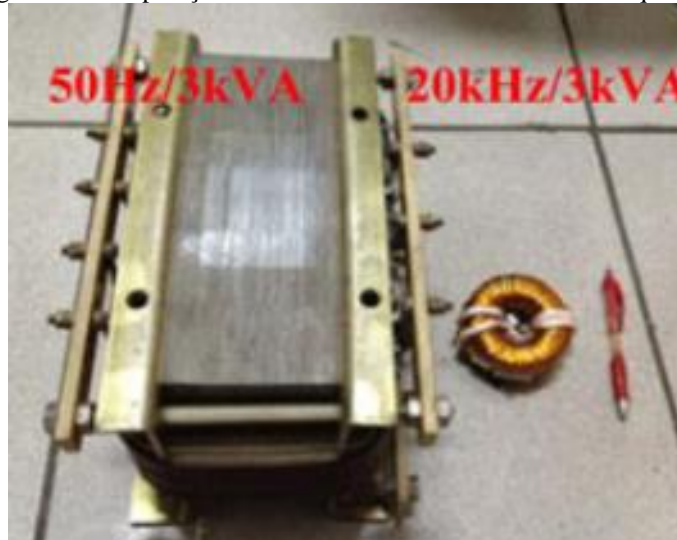


Fonte: (HABIB, KHAN, ABBAS, et al, 2018, com adaptações) e (YILMAZ e KREIN, 2013, com adaptações).

Os conversores CC-CC trifásicos isolados possibilitam uma divisão dos esforços de corrente e tensão nos componentes do conversor diminuindo as perdas gerais. Nos conversores CC-CC isolados o transformador de alta frequência é capaz de isolar magneticamente o circuito primário (inversor) do secundário (retificador). Devido à alta frequência de chaveamento,

possui peso e volume menor se comparado a um transformador de baixa frequência de mesma potência como apresentado na Figura 4. Nesse cenário, um dos conversores CC-CC com estágio de isolamento galvânica mais importantes apresentados na literatura é o conversor DAB. Este conversor apresentado originalmente por De Doncker, Divan e Kheraluwala (1988) tem como principais características a simplicidade, bidirecionalidade, alto rendimento e comutação suave no bloqueio das chaves.

Figura 4 – Comparação de transformadores de baixa e alta frequência.



Fonte: (ZHAO, SONG, LIU *et al*, 2014).

Com o aumento da frequência de chaveamento, há uma diminuição do volume dos magnéticos e capacitores do conversor, conseqüentemente, há uma melhoria na densidade de potência. Entretanto, nos conversores PWM o aumento da velocidade das chaves semicondutoras tem uma limitação construtiva do componente. As perdas por comutação aumentam à proporção que a frequência de chaveamento aumenta. Desse modo, há uma diminuição no rendimento do conversor. Esse fato motivou as pesquisas em técnicas de comutação com o mínimo de perdas (VIEIRA JUNIOR, 1991).

Com o objetivo de garantir um alto rendimento, diversas estratégias de comutação são utilizadas na literatura para obter a comutação suave ou *soft switching*. Na comutação suave, a chave semicondutora liga e/ou desliga sob tensão e/ou corrente nula evitando, assim, transições simultâneas da tensão e da corrente. Dessa maneira, as perdas por chaveamento são eliminadas. Quando a chave entra em condução ou em bloqueio quando está submetida a uma diferença de potencial e corrente maiores que zero, haverá perdas consideráveis no conversor que pode ser designada pelo termo *hard switching* (WALBEMARK, 2011) e (ROGGIA, 2013).

As técnicas de comutação sob tensão nula ou *Zero Voltage Switching* (ZVS) e comutação sob corrente nula ou *Zero Current Switching* (ZCS) são bastante exploradas na

literatura usando os conversores ressonantes. Estes conversores podem operar com comutação suave no acionamento e/ou desligamento das chaves otimizando o rendimento do conversor. Além disso, possibilita um aumento da frequência de chaveamento que, conseqüentemente, melhora significativamente a densidade de potência. Entretanto, como desvantagem do gradativo aumento da frequência, os esforços de corrente e tensão nos componentes são maiores. Dessa maneira, deve-se buscar um ponto de equilíbrio entre rendimento e densidade de potência (HART, 2012).

Além das pesquisas em novas técnicas de modulação e de controle, visando melhorias operacionais com o mínimo de custo geral na montagem dos conversores, o desenvolvimento de topologias bidirecionais isoladas e a preocupação com a obtenção de comutação suave para melhorar o rendimento do conversor, também são pontos de grande interesse. Nesse contexto, por conta de suas características já citadas, recentemente, os conversores ressonantes têm sido bastante utilizados para as mais diversas aplicações da indústria, em especial, em sistemas de carregamento de baterias e aplicações para veículos elétricos e/ou híbridos (LIU, JANG, JOVANOVIC *et al*, 2017).

1.1 – Conversor proposto

Diversos trabalhos apresentados na literatura têm como objetivo principal melhorar o rendimento dos conversores CC-CC trifásicos através do desenvolvimento de topologias, técnicas de modulação e/ou técnicas de controle. Desta maneira, características desejáveis como alta potência, aumento da densidade de potência e bidirecionalidade podem ser obtidas (DUNG, CHIU, LIN, *et al*, 2019).

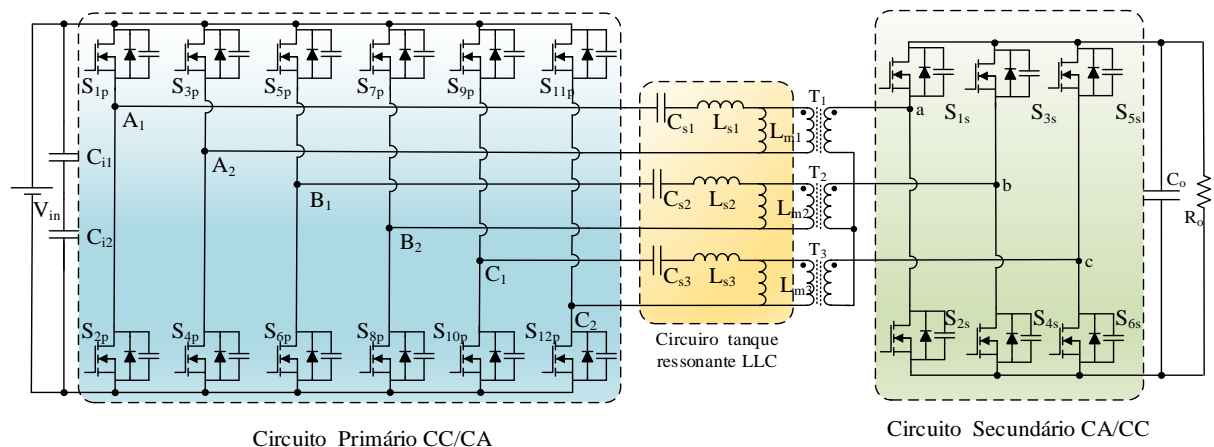
Portanto, esta tese de doutorado propõe o estudo e desenvolvimento de uma nova topologia de um conversor CC-CC trifásico isolado bidirecional LLC ressonante com estágio de isolamento galvânica e alta frequência apresentado na Figura 5. O conversor proposto pode operar com comutação suave em uma ampla faixa de carga mantendo um alto rendimento. Além disso, esta tese propõe a análise de uma estratégia de controle em frequência em conjunto com um controle por deslocamento de fase (denominado nesta tese apenas por *phase-shift*) para regulação da tensão de saída.

A topologia unidirecional foi apresentada em Liu, Johnson e Lai (2004 e 2005) para aplicações em células combustível. Neste trabalho, a topologia apresentada era alimentada em corrente e tinha saída em corrente. A bidirecionalidade da topologia foi apresentada por Oliveira Filho (2013 e 2015) usando controle Dual Phase Shift (DPS) com saída em tensão. Por fim, no conversor proposto é apresentada a versão bidirecional com modulação em frequência

e estágio ressonante com controle da tensão de saída através da variação da frequência de chaveamento e *phase-shift*. Além disso, outras contribuições importantes são realizadas para atingir o objetivo principal da tese:

- Revisão e estudo das principais topologias de conversores CC-CC ressonantes com estágio de isolamento galvânica e das suas técnicas de modulação e estratégias de controle.
- Estudo detalhado da topologia do conversor CC-CC trifásico bidirecional LLC ressonante com estágio de isolamento galvânica apresentando as principais características de operação, equacionamento e modelagem;
- Desenvolvimento de uma metodologia de projeto detalhada para o conversor e para a estratégia de controle para validação da proposta;
- Análise dos resultados de simulação para avaliar o desempenho do conversor proposto e dos resultados experimentais para validação das análises teóricas e computacionais.

Figura 5 – Conversor proposto.



Fonte: Elaborado pelo autor.

1.2 Publicações resultantes da topologia

Durante o período de desenvolvimento da pesquisa, os resultados de simulação foram publicados previamente no 15º Congresso Brasileiro de Eletrônica de Potência (COBEP) e 5º *Southern Power Electronics Conference* (SPEC). Os resultados experimentais considerando o conversor com o secundário passivo foram publicados na revista *Electronic Letters* (Qualis A2) com aceite em setembro/2020 e publicado em janeiro/2021. Por fim, os resultados experimentais considerando a bidirecionalidade do conversor foi submetido ao *Journal of Emerging and Selected Topics in Power Electronics* em fevereiro/2022. As referências bibliográficas de ambas as produções são abaixo citadas:

- SANTOS, K.P., PRAÇA, P.P., OLIVEIRA FILHO, H. M., OLIVEIRA JUNIOR, D. S., “Steady-state characterization of the Three-phase isolated DC-DC bidirectional converter with LLC resonant tank”, In 2019, (COBEP 2019 – 15th Brazilian Power Electronics Conference and 5th Southern Power Electronics Conference), Dec. 01 2019-Dec. 4 2019, Santos -SP.
- SANTOS, K.P.; PRAÇA, P.P.; OLIVEIRA FILHO, H. M.; OLIVEIRA JUNIOR, D. S. BARRETO, L.H.S.C.; HENN, G.A.L., “Comprehensive analysis of a three-phase DC-DC resonant converter with an open delta-wye transformer using variable frequency” – Electronic Letters, Vol. 56, N^o. 22, January/February, 2021.
- SANTOS, K.P.; HENN, G.A.L.; OLIVEIRA JUNIOR, D. S.; BARRETO, L.H.S.C.; TOFOLI, F.L.; OLIVEIRA FILHO, H. M.; PRAÇA, P.P., “ Three-Phase Bidirectional Isolated LLC Resonant DC-DC Converter” – Journal of Emerging and Selected Topics in Power Electronics, February, 2022.

1.3 – Organização da tese

O trabalho está dividido em 07 capítulos. Inicialmente, o capítulo 1 apresenta uma breve introdução sobre o tema proposto e nos capítulos seguintes são apresentados o desenvolvimento teórico/prático da tese conforme a breve descrição de cada capítulo apresentado a seguir:

O capítulo 2 apresenta uma revisão bibliográfica em que são apresentados alguns dos principais trabalhos realizados sobre os conversores CC-CC trifásicos isolados e ressonantes com estruturas uni/bidirecionais e suas principais estratégias de controle. Na pesquisa bibliográfica, as características gerais dos conversores foram analisadas como potência, volume, técnica de modulação, estratégia de controle e rendimento obtido nos testes experimentais. Por fim é apresentada a topologia proposta na tese e a estratégia de controle utilizada neste trabalho.

O capítulo 3 apresenta a análise do conversor proposto através de um estudo qualitativo e quantitativo da topologia. A análise matemática do conversor utiliza o modelo fundamental que considera apenas a frequência fundamental na análise aproximada de Fourier com o propósito de comprovar a viabilidade do modelo. É apresentado o estudo dos esforços de tensão e corrente nas chaves semicondutoras. Por fim, apresenta a análise dinâmica do conversor que é realizada a partir da teoria do *Gyrator*.

O capítulo 4 apresenta o procedimento de projeto através de um exemplo de projeto para validação do modelo proposto. São apresentados todos os cálculos dos esforços de tensão e corrente para o dimensionamento das chaves semicondutoras, circuito ressonante, elementos armazenadores de energia e transformador de alta frequência. Por fim, é apresentado o projeto da estratégia do controlador de tensão de saída no secundário.

No Capítulo 5 são apresentados os resultados de simulação utilizando o *software* PSIM[®] com as mesmas características do modelo de projeto apresentado no capítulo anterior e considerando diferentes situações de tensão de entrada e carga.

No Capítulo 6, serão apresentados todos os resultados experimentais obtidos para validar a proposta do conversor desenvolvido. Além disso, é verificada a zona de comutação suave em malha aberta. O controle digital será implementado utilizando um *Digital Signal Processor* (DSP) modelo TMS28377D da *Texas Instrument* que é um dos microprocessadores de sinais digitais mais rápidos da atualidade e com grande capacidade de processamento.

Por fim, o capítulo 7 apresenta as considerações finais do trabalho, todos os trabalhos que foram desenvolvidos ao longo da pesquisa e, finalmente, as sugestões para trabalhos futuros.

2. REVISÃO BIBLIOGRÁFICA

2.1 – Introdução

Neste capítulo será realizada uma revisão bibliográfica das principais topologias já apresentadas na literatura técnica dos conversores ressonantes CC-CC trifásicos isolados, bem como das suas características de funcionamento, modulação e estratégia de controle.

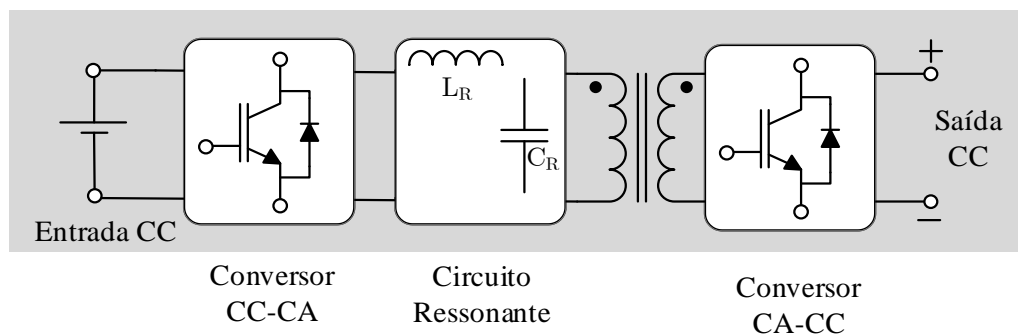
Inicialmente são apresentados os conversores ressonantes básicos, bem como o seu princípio fundamental. Em seguida, são apresentados diversos trabalhos da literatura com foco principal nas estruturas bidirecionais ressonantes com comutação suave. Por fim, será apresentada a estrutura proposta neste trabalho.

2.2 – Conversores ressonantes

A filosofia dos conversores ressonantes surgiu em meados dos anos 70 com o objetivo principal de reduzir as perdas por chaveamento dos tiristores que trabalhavam com comutação forçada. Desse modo, nas últimas décadas os estudos têm avançado no sentido de reduzir cada vez mais as perdas no chaveamento das chaves semicondutoras (SCHWARZ, 1976).

Com o advento dos conversores ressonantes e suas diversas variações, foi possível obter comutação suave para muitas topologias já existentes. A potência dos conversores aumentou gradativamente utilizando conversores com frequências de chaveamento cada vez maiores com uma menor densidade de potência. Conforme apresentado na Figura 6, os conversores ressonantes podem ser representados em três estágios: Estágio inversor, estágio ressonante e estágio retificador.

Figura 6 – Diagrama de blocos de um conversor ressonante isolado.

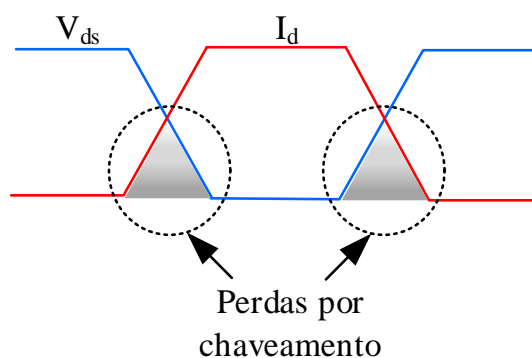


Fonte: Elaborado pelo autor.

Um dos principais contribuintes para a perda de rendimento dos conversores é a comutação forçada. Esta situação ocorre quando as chaves semicondutoras ligam e/ou desligam sob tensão e corrente não-nulas, pois nessa transição os dispositivos de chaveamento absorvem potência conforme apresentado na Figura 7. Quanto maior a área em destaque, maiores as perdas por chaveamento e, conseqüentemente, menor o rendimento do conversor.

Diversas estratégias de comutação são utilizadas na literatura para evitar a comutação forçada e obter a comutação suave. Nessa condição, a chave semicondutora liga e/ou desliga sob tensão e/ou corrente nula evitando, dessa maneira, transições simultâneas da tensão e da corrente. Desse modo, possibilita a redução significativa das perdas por chaveamento

Figura 7 – Formas de onda da tensão e corrente sobre um MOSFET com comutação *hard*.



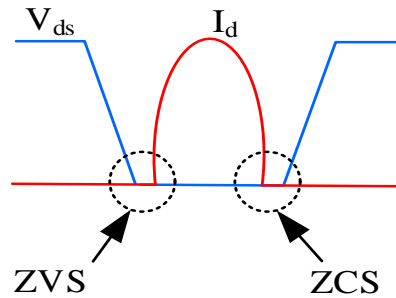
Fonte: (MONIZ, 2015, com adaptações).

Nos conversores ressonantes, é possível obter comutação ZVS e/ou comutação ZCS no acionamento e/ou desligamento das chaves semicondutoras em uma determinada zona de operação. Isso possibilita um aumento da frequência de chaveamento, que acarreta em uma melhoria da densidade de potência. Entretanto, nos conversores ressonantes os esforços de corrente e tensão nos componentes são maiores se comparados aos conversores sem circuito ressonante. Dessa maneira, deve-se buscar um ponto de equilíbrio entre rendimento e densidade de potência (HART, 2012).

Conversores que operam com altas frequências devem, preferencialmente, operar em zonas em que as chaves comutem com ZVS. Isso deve-se ao fato que a frequência máxima para ZCS é limitada pelas perdas no acionamento das chaves associado com a energia descarregada pelos capacitores intrínsecos das chaves. A perda por comutação é proporcional à capacitância intrínseca da chave, à sua frequência de comutação e ao quadrado da tensão de gatilho. A comutação ZVS elimina as perdas associadas com as capacitâncias da chave e permite o uso de um capacitor em paralelo com as chaves usados como *snubbers*. Estes capacitores tem a função de diminuir as perdas no desligamento da chave. Além disso, a

comutação ZVS evita o aumento das perdas no acionamento das chaves devido ao diodo em antiparalelo da chave. Apesar desse diodo ser considerado lento, pode ser utilizado reduzindo o número de componentes do conversor (SABATÉ, 2007; MONIZ, 2015). A Figura 8 apresenta as formas de onda da tensão e corrente de uma chave semicondutora que é acionada em ZVS e desligada em ZCS.

Figura 8 – Formas de onda da tensão e corrente sobre um MOSFET com comutação suave.



Fonte: (MONIZ, 2015, com adaptações).

Para a melhor compreensão dos conversores ressonantes, as cinco equações fundamentais dos conversores ressonantes são representadas por (2.1) - (2.5) (KAZIMIERCZUK, CZARKOWSKI, 2011).

$$f_o = \frac{1}{2\pi\sqrt{L_s \cdot C_s}} \quad (2.1)$$

$$F = \frac{f_s}{f_o} \quad (2.2)$$

$$Z = \sqrt{\frac{L_s}{C_s}} = \omega_o \cdot L_s = \frac{1}{\omega_o \cdot C_s} \quad (2.3)$$

$$Q = \frac{Z}{R_i} = \frac{\omega_o \cdot L_s}{n \cdot R_o} \quad (2.4)$$

$$G = \left| \frac{n \cdot V_{out}}{V_{in}} \right| \quad (2.5)$$

A frequência de ressonância é determinada por (2.1) em que \$L_s\$ e \$C_s\$ representam a indutância série e a capacitância série. A frequência normalizada é uma grandeza adimensional apresentada em (2.2) que consiste na razão entre a frequência de chaveamento \$f_s\$

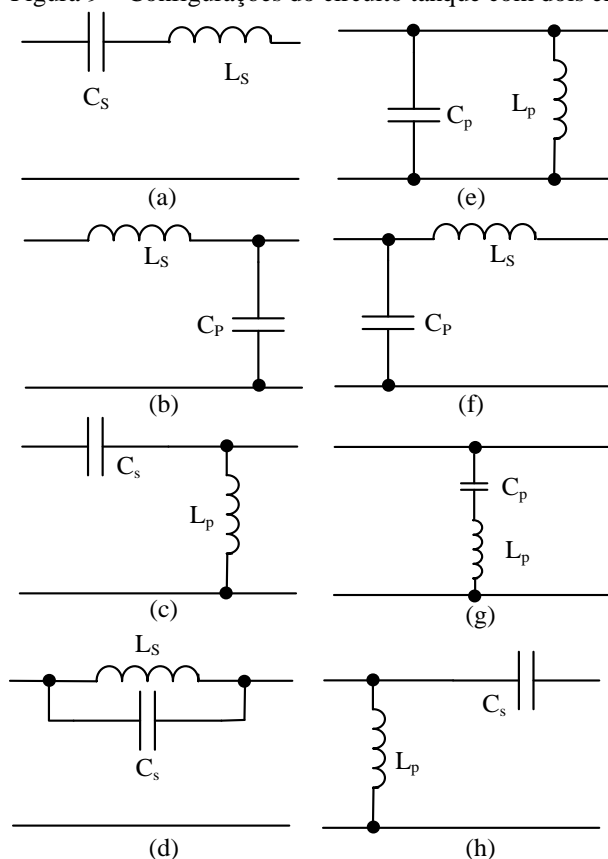
das chaves semicondutoras e a frequência de ressonância f_o . A impedância equivalente do circuito ressonante representada por (2.3) é a raiz quadrada da razão entre a indutância série e capacitância série. O fator de qualidade do conversor é a razão entre a máxima energia armazenada e a energia média dissipada por ciclo no circuito ressonante. Este é calculado através da equação (2.4), onde R_i representa a resistência equivalente da carga R_o refletida para o circuito primário logo após o circuito ressonante. A relação de transformação do transformador é representada por n .

O circuito ressonante proporciona um ganho de tensão que deve ser multiplicado pelo ganho do transformador para obter o ganho estático do conversor. Analogamente, pode-se obter o ganho estático do conversor através da razão entre a tensão de saída em relação à tensão de entrada do conversor representado através da equação (2.5). Quando o conversor opera com uma frequência de chaveamento inferior à metade da frequência de ressonância, ou seja, $f_s < \frac{f_o}{2} < f_o$, o conversor está no Modo de Condução Descontínua (MCD) e sofrerá perdas significativas. Caso o conversor opere no intervalo $\frac{f_o}{2} < f_s < f_o$, o conversor estará operando no Modo de Condução Contínua (MCC) e as chaves estarão com comutação ZCS. Por fim, se $f_o < f_s$, o conversor também estará operando no MCC, entretanto, as chaves semicondutoras operam com comutação ZVS que é a condição de operação preferível em relação as demais (OUTEIRO, BUJA e CZARKOWSKI, 2016).

No estágio ressonante, a maneira de como os elementos do circuito são conectados, bem como a quantidade de elementos, diferencia o seu comportamento e a sua classificação. O circuito ressonante, que também é chamado de circuito tanque ou circuito tanque ressonante, com dois elementos (2ª ordem) e com três elementos (3ª ordem) são as estruturas mais empregadas. As possibilidades de ligação do circuito ressonante com dois elementos são apresentadas na Figura 8. As configurações representadas através das Figuras 8(a) e 8(b) são as mais comuns e denominadas por Circuito Série Ressonante (CSR) e Circuito Paralelo Ressonante (CPR), respectivamente.

Os CSR apresentam um indutor e um capacitor em série e são comumente usados para característica *buck*. São preferíveis para grandes variações de carga e de frequência de chaveamento. A impedância equivalente da carga vista pelo circuito primário muda quando ocorre variações na frequência de chaveamento e, como consequência, a tensão nos terminais da carga também varia. Pode-se concluir que essa estrutura ressonante se comporta como um divisor de tensão (KAZIMIERCZUK, CZARKOWSKI, 2011).

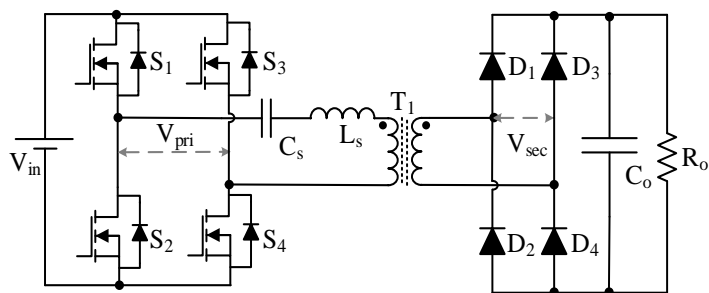
Figura 9 – Configurações do circuito tanque com dois elementos.



Fonte: (OUTEIRO, BUJA e CZARKOWSKI, 2016, com adaptações).

O CSR apresentado na Figura 10 possui a vantagem de funcionar sem carga, mas uma situação em que a carga esteja em curto-circuito pode danificar consideravelmente os elementos do conversor. Em situações de baixa carga, o CSR não tem capacidade de regulação de tensão, pois é necessária uma grande variação de frequência de chaveamento para mínimas variações de tensão. Além disso, o máximo ganho estático é unitário. Portanto, não é adequado para aplicações onde há grandes variações da tensão de entrada e de carga. Para frequências maiores que a frequência de ressonância, a impedância do conversor tende a ser indutiva. Dessa maneira, a corrente é atrasada da tensão e as chaves do conversor comutam com ZVS. Caso contrário, as chaves semicondutoras do conversor comutam com ZCS.

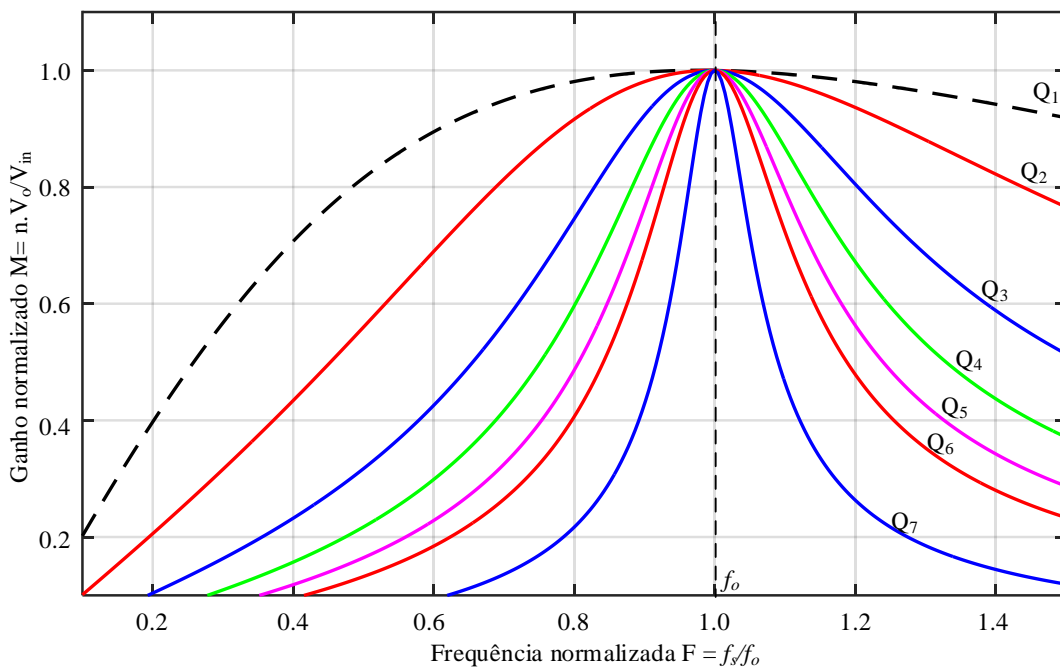
Figura 10 – Conversor Série Ressonante unidirecional.



Fonte: (FANG, 2007, com adaptações).

Na Figura 11 é apresentado o ganho normalizado do CSR para diferentes valores de fator de qualidade ($Q_1 < Q_2 < \dots < Q_7$). Pode ser verificado que o ganho será unitário para a frequência de ressonância, independente do fator de qualidade. Acima dessa frequência, o conversor opera em ZVS e, caso contrário, opera em ZCS. A operação em zonas de comutação ZVS é preferível, pois essa condição minimiza as perdas por chaveamento e efeitos de Interferência Eletromagnética, do inglês *Electromagnetic Interference* (EMI) (MONIZ, 2015; FANG, 2007).

Figura 11 – Ganho normalizado do CSR.

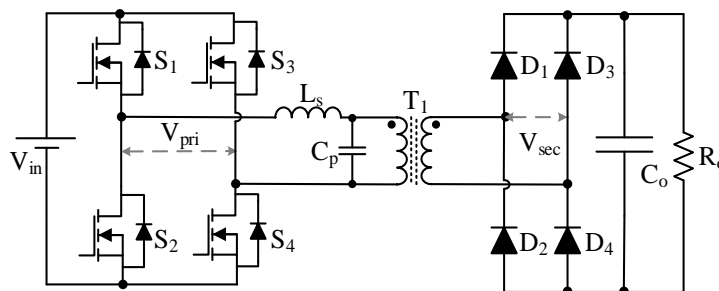


Fonte: (FANG, 2007, com adaptações).

Ao contrário do CSR, o CPR apresentado na Figura 12 apresenta baixo rendimento com carga leve e tem a característica de conseguir ganhos de tensão superiores à unidade. Pode operar com a carga em curto-circuito, que se caracteriza como uma espécie de proteção intrínseca da própria topologia. Entretanto, quando opera com baixíssima carga, haverá a presença de uma corrente elevada no circuito ressonante que pode causar danos aos elementos semicondutores do conversor. Mesmo variando-se a frequência de chaveamento do conversor para regular a tensão de saída, a corrente no circuito ressonante mantém-se praticamente constante. Dessa maneira, haverá em um alto valor de corrente circulante no transformador que, conseqüentemente, aumenta as perdas por condução e compromete o rendimento do conversor.

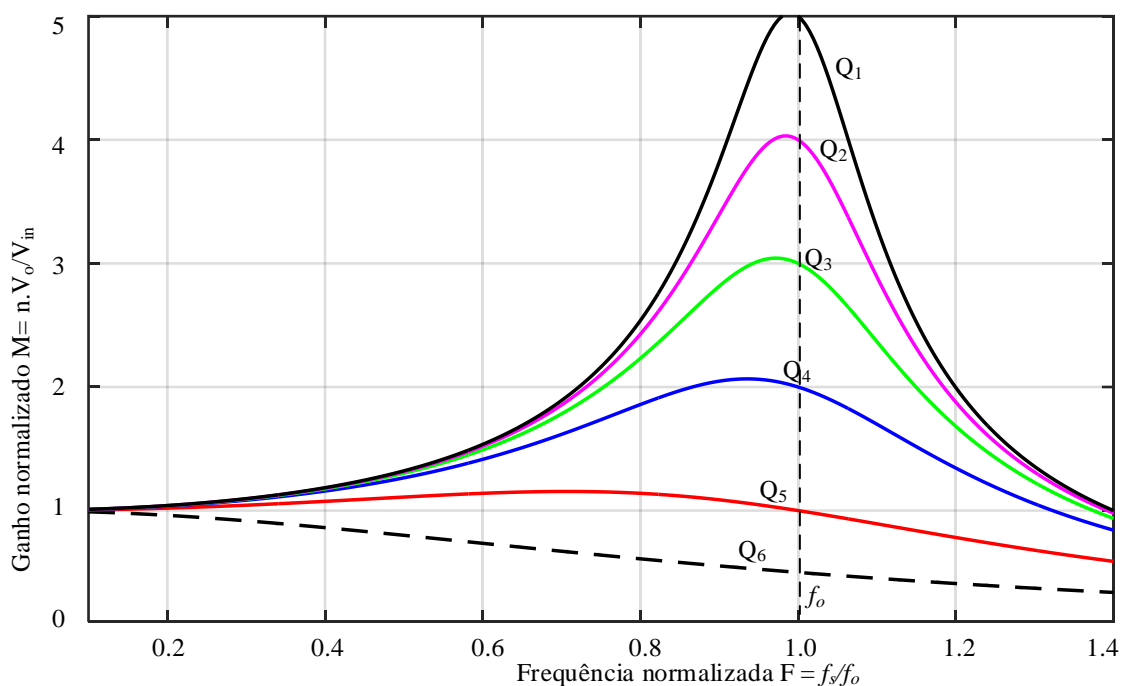
Uma outra característica do CPR é que o pico do ganho estático é bastante alterado com a variação de carga ou variação do fator de qualidade ($Q_1 < Q_2 < \dots < Q_6$) conforme apresentado na Figura 13, ao contrário do CSR em que o máximo ganho é unitário (MONIZ, 2015; FANG, 2007).

Figura 12 – Conversor Paralelo Ressonante unidirecional.



Fonte: (FANG, 2007, com adaptações).

Figura 13 – Ganho normalizado do CPR.



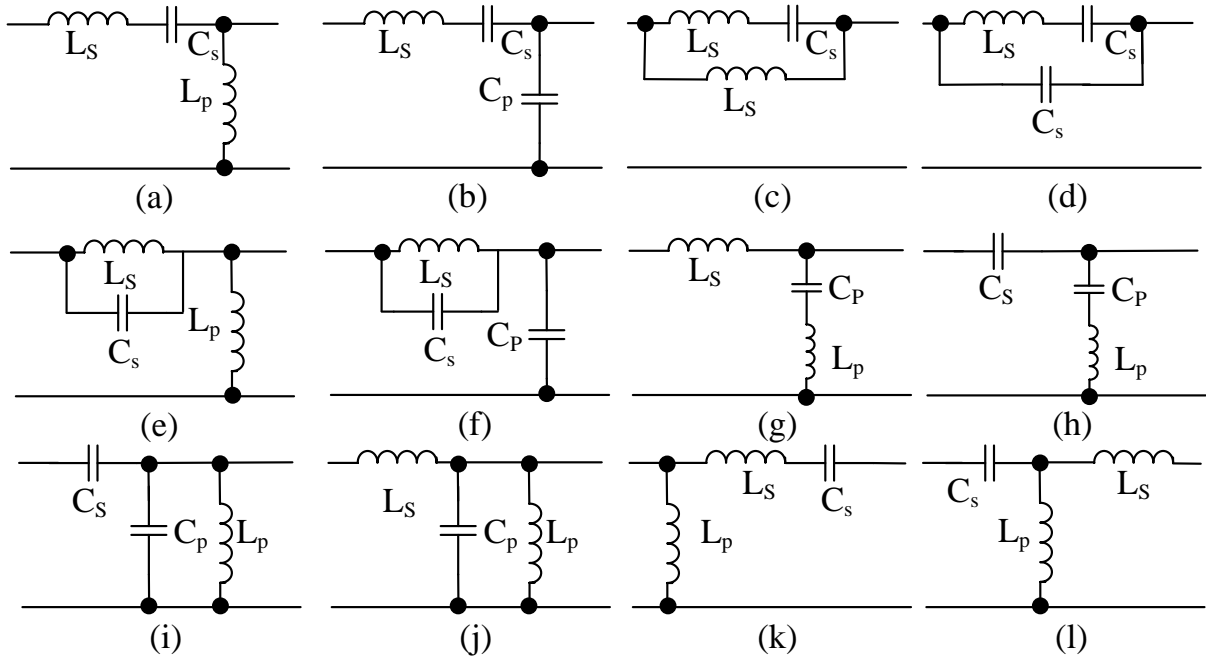
Fonte: (FANG, 2007, com adaptações).

Os CSR e os CPR são os mais comuns pela sua simplicidade e por apresentarem apenas dois elementos reativos. Entretanto, não são apropriados para aplicações de alta potência devido aos elevados esforços de tensão e/ou corrente nos dispositivos ativos do conversor. Em geral, com o aumento do número de elementos no circuito tanque, há uma melhoria de performance do conversor ressonante, porém é acompanhado de um significativo aumento na complexidade na análise matemática (OUTEIRO, BUJA e CZARKOWSKI, 2016).

As topologias de 3ª ordem são obtidas adicionando-se um elemento ao circuito ressonante de 2ª ordem. Eles combinam as vantagens das topologias CSR e CPR e mitigam as suas desvantagens. Essas topologias possuem 02 frequências de ressonância chamadas de frequência de ressonância de curto-circuito e frequência de ressonância de circuito aberto. Dependendo da combinação de elementos, o circuito tanque pode caracterizar esse tipo de estrutura para funcionar como um filtro passa-baixa, passa-faixa ou passa-alta. As possibilidades de ligação do circuito ressonante com três elementos são mostradas na Figura

14. A topologia apresentada na Figura 14(b) é chamada de Conversor Série-Paralelo Ressonante (CSPR), mais conhecida por conversor LCC. Essa topologia trata-se da combinação das topologias série com a paralelo anteriormente apresentadas. O circuito ressonante possui três elementos sendo um capacitor série C_s , um indutor série L_s e um capacitor paralelo C_p . Desse modo, apresenta duas frequências de ressonância. A primeira é denominada de frequência de ressonância de curto-circuito ou frequência natural, anteriormente denominada apenas por frequência de ressonância e apresentada na equação (2.1) e agora apresentada na equação (2.6). A segunda é denominada de frequência de ressonância de circuito aberto ou frequência natural não-amortecida apresentada na equação (2.7) (KAZIMIERCZUK, CZARKOWSKI, 2011). A capacitância equivalente entre os capacitores C_s e C_p que estão em paralelo é dada pela equação (2.8).

Figura 14 – Configurações do circuito tanque com três elementos.



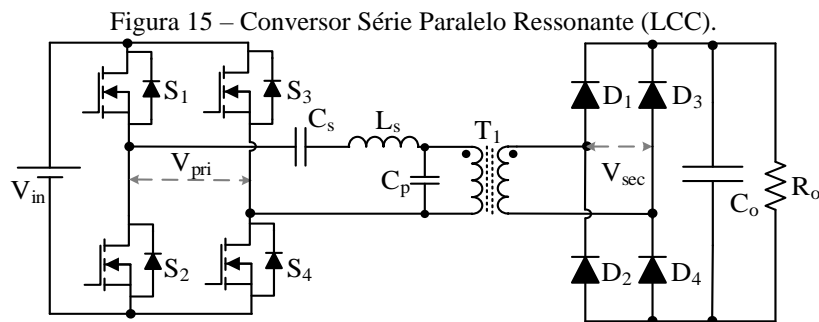
Fonte: (OUTEIRO, BUJA e CZARKOWSKI, 2016, com adaptações).

$$f_o = \frac{1}{2\pi\sqrt{L_s \cdot C_s}} \quad (2.6)$$

$$f_{o2_LCC} = \frac{1}{2\pi\sqrt{L_s \cdot (C_s \parallel C_p)}} \quad (2.7)$$

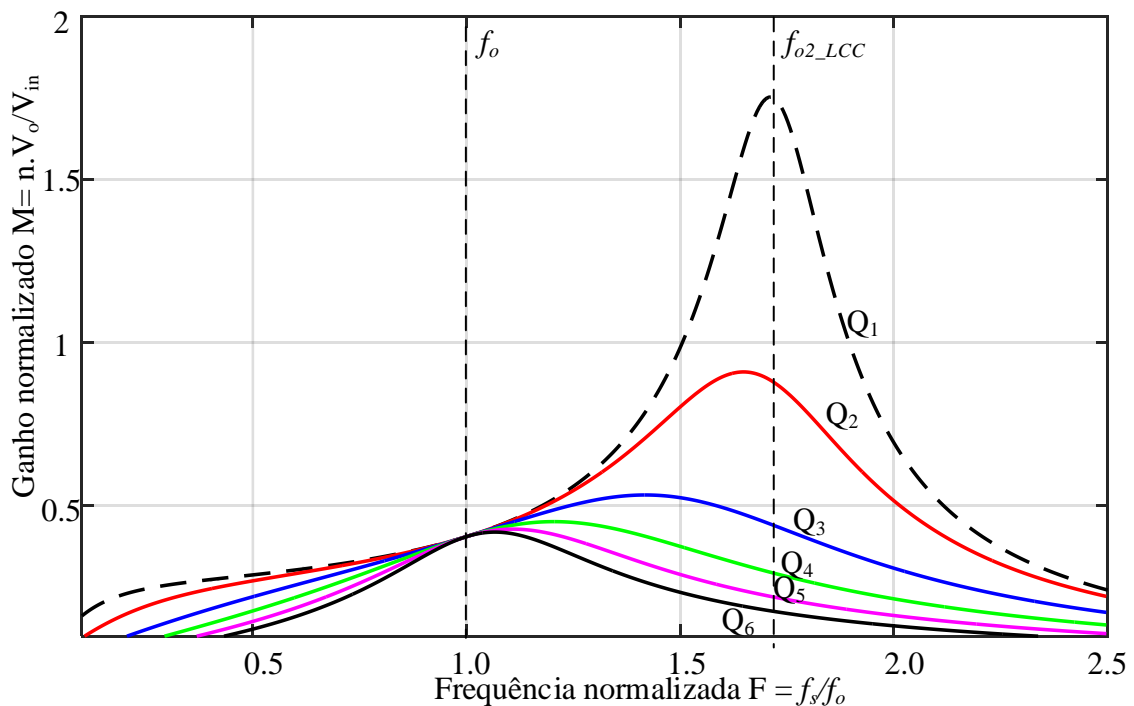
$$C_s \parallel C_p = \frac{C_s \cdot C_p}{C_s + C_p} \quad (2.8)$$

O CSPR ou LCC é apresentado na Figura 15 e utiliza a estrutura do circuito tanque apresentado na Figura 14(b). As características do seu ganho estático em relação à frequência são apresentadas na Figura 16. É verificado que em f_o o ganho estático será unitário tal como o CSR, independente do fator de qualidade ($Q_1 < Q_2 < \dots < Q_6$). Devido à influência do capacitor paralelo, para frequências acima de f_o o ganho estático pode atingir valores maiores que a unidade para condições de baixa carga. Desse modo, não é interessante que esta topologia opere próximo de f_{o2_LCC} . Além disso, o LCC pode operar com carga nula e não possui a desvantagem do CPR de, em determinadas situações, existir correntes muito elevadas no circuito ressonante que podem causar danos ao conversor (ALMEIDA, 2014; FANG, 2007).



Fonte: (FANG, 2007, com adaptações).

Figura 16 – Ganho normalizado do Conversor LCC.



Fonte: (FANG, 2007, com adaptações).

Analogamente ao conversor LCC, o CSPR que apresenta o circuito tanque ressonante apresentado na Figura 14(b), também apresenta três elementos, sendo um capacitor série C_s , um indutor série L_s e um indutor paralelo L_p . Esse conversor que apresenta essa estrutura é

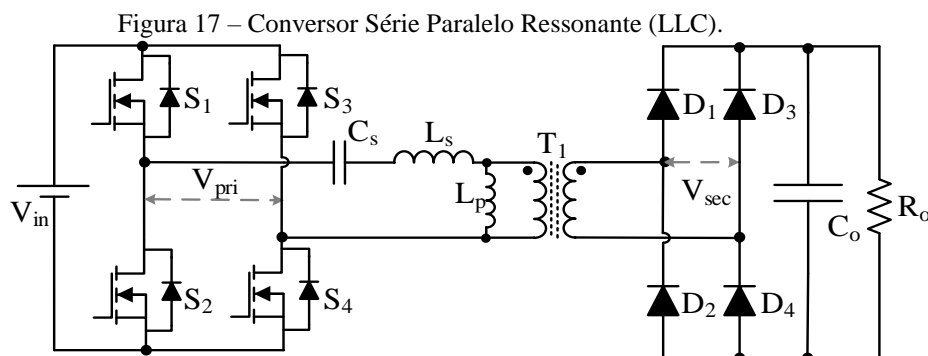
também conhecido por conversor LLC. Desse modo, o conversor possui duas frequências de ressonância. A frequência de ressonância de curto-circuito é representada pela equação (2.9), enquanto que a frequência de ressonância de circuito aberto é representada pela equação (2.10). A indutância equivalente entre os indutores L_s e L_p que estão em paralelo pode ser dado por (2.11).

$$f_o = \frac{1}{2\pi\sqrt{L_s \cdot C_s}} \quad (2.9)$$

$$f_{o2} = \frac{1}{2\pi\sqrt{(L_s \parallel L_p) \cdot C_s}} \quad (2.10)$$

$$L_s \parallel L_p = \frac{L_s \cdot L_p}{L_s + L_p} \quad (2.11)$$

O conversor LLC apresentado na Figura 17, possui as vantagens do CSR e do CPR e mitiga as suas desvantagens. Entretanto, o LLC possui uma vantagem a mais em relação ao LCC. Em uma implementação prática, o indutor paralelo L_p usualmente é a própria indutância de magnetização do transformador de alta frequência presente em todo transformador. Nos CSR a indutância paralela também está presente, entretanto, esta é pelo menos dez vezes maior que a indutância série e não participa ativamente do circuito ressonante, enquanto que no LLC, a indutância L_p tem valores próximos a L_s . Dessa maneira, a sua influência não pode ser desprezada no circuito ressonante. Além disso, do mesmo modo que nos CSR, a indutância de dispersão do transformador pode ser usada como todo ou parte do indutor série L_s do circuito ressonante. Portanto, o conversor LLC ganha em densidade de potência sem acarretar custos extras.

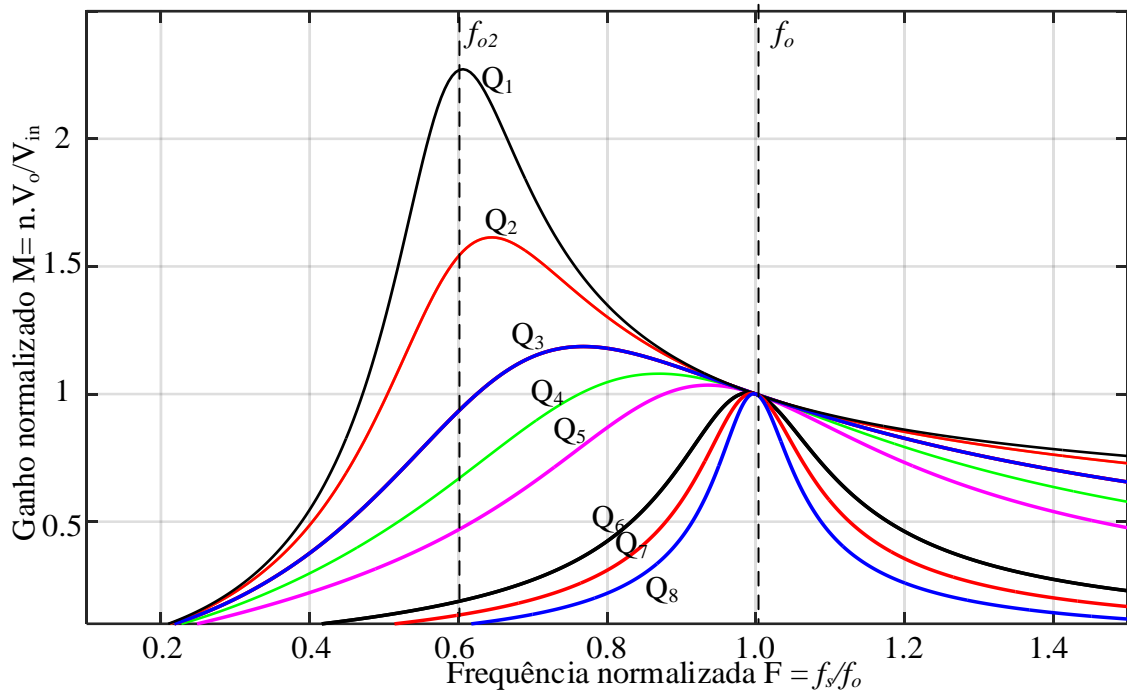


Fonte: (FANG, 2007, com adaptações).

O ganho de tensão do conversor LLC é apresentado na Figura 18, de onde pode ser verificado que f_o , agora denominada simplesmente por frequência de ressonância, é maior que f_{o2} . Desse modo, o ponto de ganho unitário, que é independente da carga, ocorrerá em

frequências de chaveamento maiores do que as frequências de máximo ganho. Independente do fator de qualidade ($Q_1 < Q_2 < \dots < Q_8$), para qualquer frequência de chaveamento acima da frequência de ressonância, o filtro tem característica indutiva. Por outro lado, para qualquer frequência de chaveamento abaixo da frequência de ressonância, o filtro ressonante tem característica capacitiva. Desse modo, para uma frequência de chaveamento acima de f_o as chaves comutam com ZVS e, caso contrário, comutam com ZCS. Se a frequência de chaveamento estiver entre as duas frequências ressonantes, o conversor pode operar com ZVS ou com ZCS dependendo exclusivamente das condições de carga. Quanto maior a carga, menor o fator de qualidade Q . Desse modo, quanto menor o fator de qualidade, significa que a potência de saída será menor. À proporção que o fator de qualidade diminui, pode-se obter comutação ZVS mesmo operando abaixo da frequência de ressonância f_o (ALMEIDA, 2014; FANG, 2007)

Figura 18 – Ganho normalizado do Conversor LLC.



Fonte: (FANG, 2007, com adaptações).

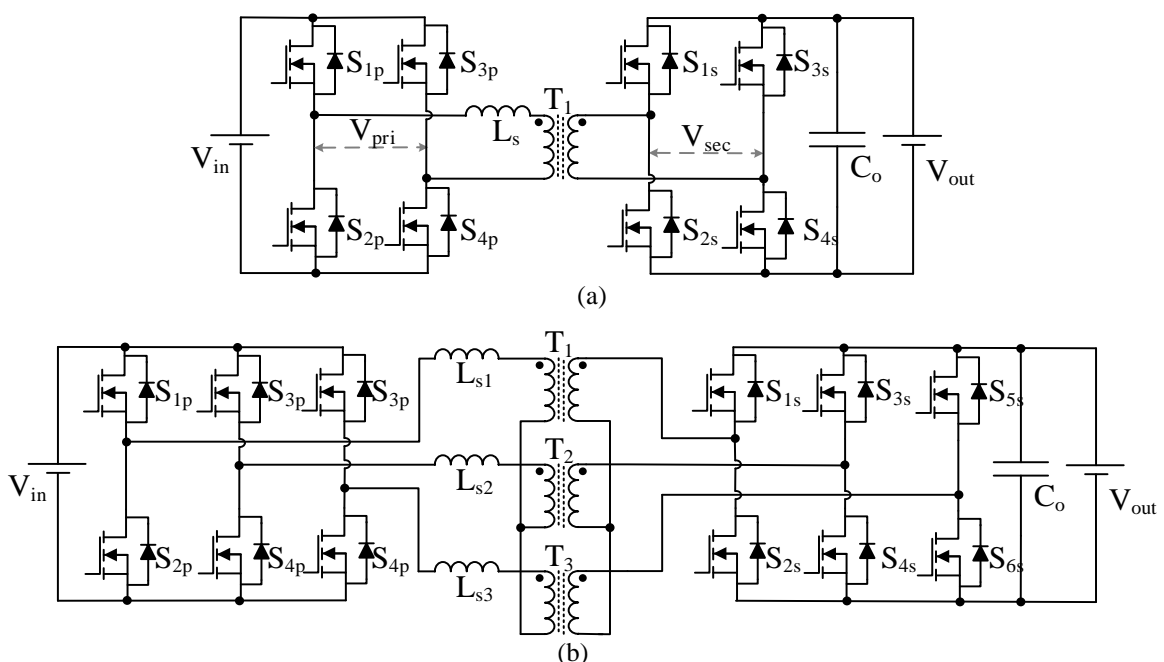
2.3 – Principais topologias de conversores CC-CC isolados

O conversor CC-CC trifásico isolado consiste na junção de um estágio inversor trifásico com um estágio retificador trifásico que são interligados através de um transformador de alta frequência cujas fases são defasadas de 120° e, também, possui tamanho e volume reduzidos devido à alta frequência. Dependendo da sua aplicação, deve fornecer uma ampla faixa de potência mantendo as características de rendimento. Para aplicações em que são exigidos um alto ganho de tensão e isolamento galvânica, diversos conversores bidirecionais isolados já foram analisados e estudados. Dentre eles, um dos principais conversores é o já

citado conversor DAB apresentado na Figura 19 que tem as vantagens de possuir bidirecionalidade, isolamento galvânica e alta densidade de potência. Além disso, o fluxo de potência entre o lado primário e secundário é controlado através da técnica de controle *phase-shift*, onde as portadoras triangulares das chaves do lado primário e secundário são defasadas entre si de um ângulo que costuma ser menor que 60° . Entretanto, possui a desvantagem de ter uma grande quantidade de componentes ativos ocasionando em uma maior complexidade na sua operação. Dependendo da potência, pode ser significativamente mais oneroso se comparado à uma estrutura unidirecional e, também possui uma ondulação de corrente em alta frequência na saída na configuração monofásica.

O conversor DAB monofásico apresentado na Figura 19(a) foi originalmente apresentado em De Doncker, Divan e Kheraluwala (1988). A topologia trifásica apresentada na Figura 19(b), foi apresentada em De Doncker, Divan e Kheraluwala (1991). Ambas, têm grande relevância e são extensivamente analisados e comparados na literatura por serem bidirecionais e possuírem o lado primário e secundário simétricos. A versão trifásica do conversor DAB tem a vantagem de fornecer uma maior potência devido à divisão dos esforços entre as fases e operar com níveis mais baixos de corrente se comparado com um monofásico de mesma potência. O conversor DAB utiliza a indutância de dispersão do transformador somada à uma indutância externa como elemento de transferência de potência. Na configuração monofásica, utiliza oito chaves semicondutoras com diodo antiparalelo, enquanto que na configuração trifásica utiliza doze chaves semicondutoras. Para redução das perdas nas chaves semicondutoras, podem ser utilizados capacitores em paralelo que se somam à própria capacitância intrínseca das mesmas.

Figura 19 – Conversor DAB (a) monofásico e (b) trifásico.



Fonte: (ROGGIA, 2013, com adaptações).

Nas referências Roggia (2013), Walbermark (2011) e Vangen *et al* (1991), o conversor DAB monofásico e o conversor *Séries-Loaded Resonant* (SLR) são analisados e comparados. A corrente de saída e a frequência de chaveamento das chaves são proporcionais no conversor DAB, enquanto que no conversor SLR há uma maior sensibilidade às variações de frequência de chaveamento, especialmente, próximo da zona de pico de ressonância. Devido a isso, é mais comumente controlado por modulação em frequência, mesmo que também possa ser controlado pela técnica *phase-shift*. Fundamentalmente, o conversor DAB é um conversor SLR com frequência relativa maior consideravelmente alta, pelo menos maior que 10. A frequência relativa consiste na razão entre a frequência de chaveamento e a frequência de ressonância e foi apresentada através da equação (2.2). O conversor DAB é uma boa alternativa para frequências de chaveamento até 50kHz. Trata-se de uma topologia bastante vantajosa considerando a sua topologia simétrica e a sua capacidade de operar como *buck* em um sentido e *boost* no sentido contrário. Além disso, é introduzida uma nova estratégia de controle para os conversores DAB e SLR, onde é mostrado que a técnica *phase-shift* tem poucas vantagens quando aplicada ao conversor SLR se comparada ao conversor DAB operando em mesma frequência de chaveamento.

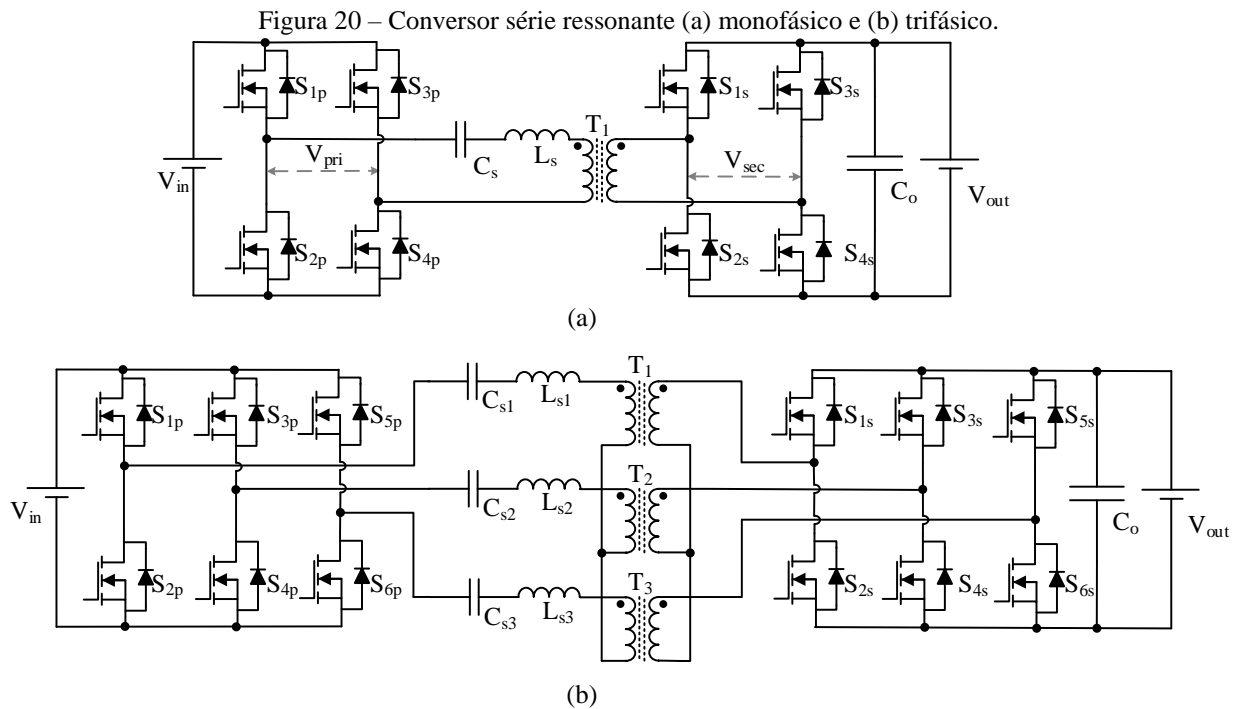
Nas referências Li e Bhat (2008 e 2010) os CSR apresentados na Figura 20(a) - (b) são analisados utilizando dois métodos. No primeiro método, o secundário é visto como uma fonte de tensão defasada da fonte de tensão do lado primário, assim como o modelo da máquina síncrona. No segundo método, o secundário é visto como uma carga resistiva com filtro capacitivo que torna a análise matemática um pouco mais sucinta. Em ambos os métodos, são consideradas apenas as componentes fundamentais da tensão e corrente. A transferência de potência é controlada através do controle *phase-shift* e o conversor opera com frequência de chaveamento fixa.

Na referência Zhang, Lu e Li (2015), a topologia série ressonante da Figura 20(a) também é analisada, entretanto, o autor utiliza como método de controle a técnica *Dual Phase Shift* (DPS). Além disso, o trabalho apresenta uma abordagem mais generalizada desta técnica de controle onde o *Single Phase Shift* (SPS) é abordado como um caso particular do DPS.

Observando-se as Figuras 19 e 20 pode-se verificar que os conversores DAB e CSR são semelhantes tanto na versão monofásica quanto na trifásica. Entretanto, a análise matemática, as formas de onda, o comportamento dinâmico e a densidade de potência não são semelhantes, tornando-os conversores completamente distintos (WALBERMARK, 2011).

Na referência Mirzahosseini e Tahami (2011), o CSR trifásico bidirecional apresentado na Figura 20(b) foi analisado utilizando o modelo fundamental e a tensão de saída é controlada a partir do controle *phase-shift*. O conversor opera com a frequência de

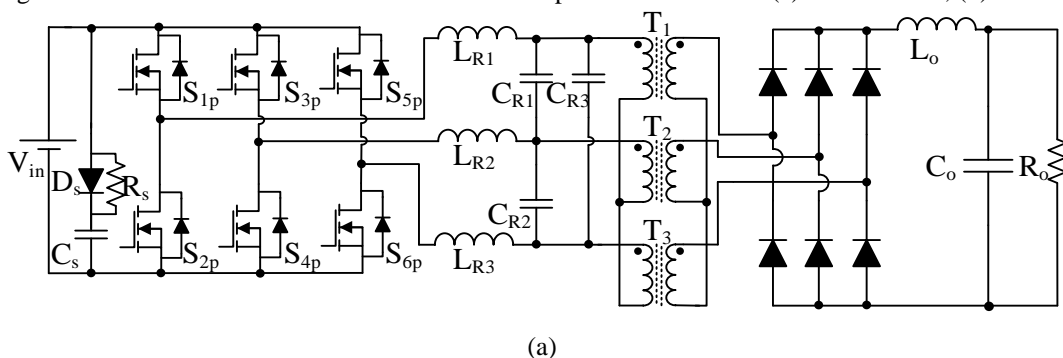
chaveamento fixa acima da frequência de ressonância. Além disso, todas as chaves operam em ZVS ou ZCS com ciclo de trabalho fixo e igual a 0,5.

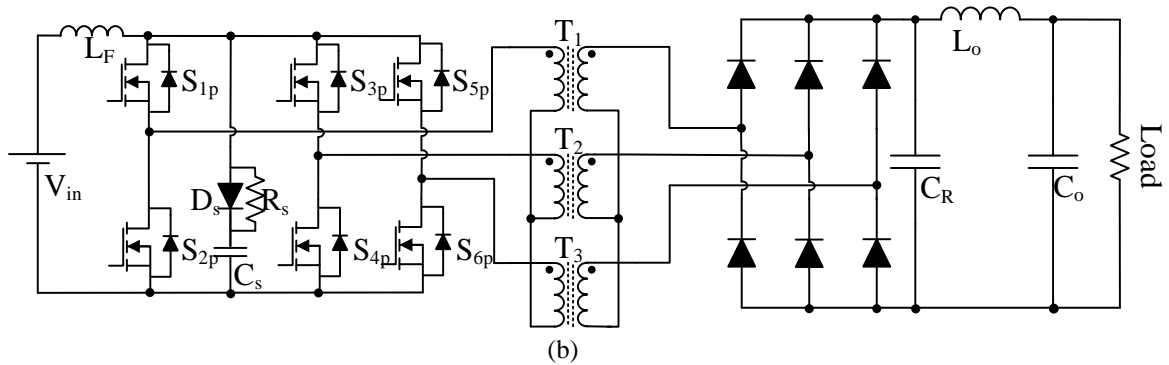


Fonte: (LI e BHAT, 2010, com adaptações).

Em Prasad, Ziogas e Manias (1991), os conversores trifásicos ressonantes com *link* CC e *link* CA apresentados na Figura 21 são analisados e comparados. É mostrado que a combinação de ressonância e técnicas de controle PWM podem ser usadas para controle de tensão de saída com frequência de chaveamento constante. Ambas as topologias apresentam ZVS no MCC, entretanto, no MCD há perdas mais significativas. Um inversor trifásico é acoplado a um transformador de alta frequência e um retificador no secundário. Nessa configuração, foi obtido um aumento de três vezes na frequência da corrente de entrada e saída, se comparado ao *full-bridge*. Além disso, obteve-se um baixo valor de corrente *rms* nas chaves, porém não obteve comutação suave nas chaves. Com isso, a frequência de chaveamento e melhoria da densidade de potência são limitados.

Figura 21 – Conversor CC-CC trifásico ressonante operando com PWM (a) com *link* CA; (b) com *link* CC.



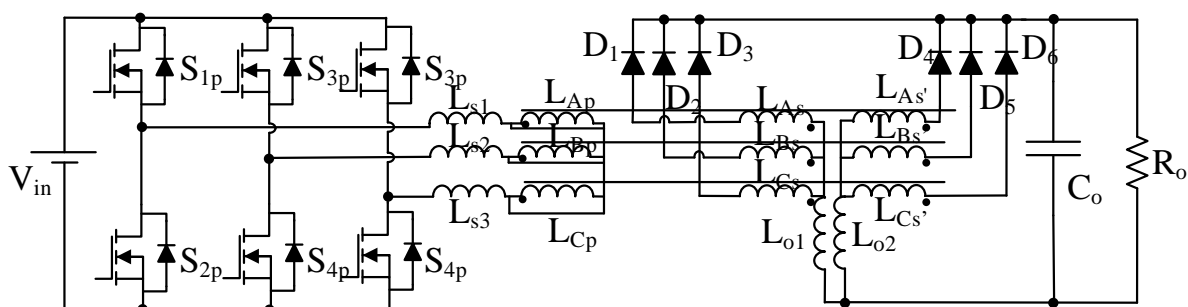


Fonte: (PRASAD, ZIOGAS e MANIAS, 1991, com adaptações).

Em Oliveira Junior e Barbi (2005), foi proposta uma técnica de modulação com ciclo de trabalho assimétrico para uma topologia trifásica CC-CC isolada de 6 kW operando a 46kHz, em que foi mostrado que essa configuração combina as vantagens da configuração trifásica com a comutação suave ZVS das principais chaves do conversor sem componentes adicionais.

Para melhorar a eficiência da topologia proposta em Oliveira Junior e Barbi (2005), foi proposto por Oliveira Junior, Antunes e Silva (2006) o uso do transformador com conexão delta/duplo estrela aberto apresentada na Figura 22. A topologia possui seis chaves semicondutoras com diodo em antiparalelo, três indutores de transferência de potência, seis diodos e dois indutores de saída, que agem como um indutor de interfase, bem como, um filtro de saída. No estágio secundário, a corrente é dividida por conta da presença de dois retificadores em paralelo. Foi proposta e analisada uma nova técnica de modulação para controle da corrente dos indutores que são desequilibradas e podem, inclusive, atingir níveis perigosos a ponto a saturar o núcleo magnético. Por fim, os autores mostraram que o projeto e montagem adequada dos elementos magnéticos são essenciais para minimizar o desequilíbrio de corrente entre eles que pode gerar saturação magnética e baixo rendimento.

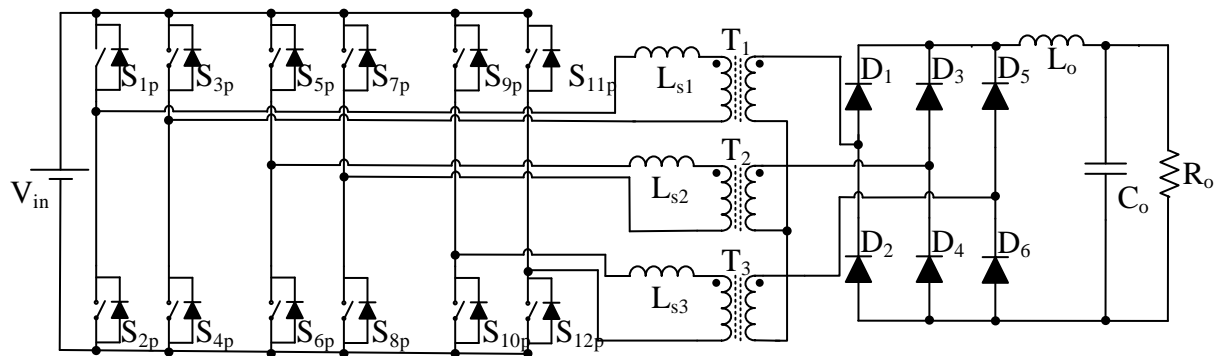
Figura 22 – Conversor CC-CC trifásico PWM ZVS associado a um retificador conectado em dupla estrela e primário em delta.



Fonte: (OLIVEIRA JUNIOR, ANTUNES e SILVA, 2006, com adaptações).

O paralelismo de fases é essencial para aumentar a capacidade de potência do conversor, porém compromete a sua densidade de potência. Nesse contexto, diversos trabalhos na literatura apresentam propostas em que é discutido esse equilíbrio. Em Liu, Johnson e Lai (2004 e 2005) um conversor CC-CC trifásico para aplicações em altas densidades de potência e baixos nível de tensão de entrada é proposto e apresentado na Figura 23. Inicialmente a topologia tinha por finalidade aplicações em células combustíveis devido à sua particularidade de utilizar baixos níveis de tensão e elevadas correntes. A topologia proposta possui: três pontes ativas monofásicas no lado primário totalizando doze chaves semicondutoras; uma ponte trifásica passiva no secundário totalizando seis diodos; três transformadores monofásicos conectados na configuração delta aberto-estrela; três indutores de transferência de potência e um filtro LC de saída. A transferência de potência ocorre através do controle *phase-shift* entre os braços das pontes monofásicas do primário, onde a conexão delta aberto/estrela entre primário e secundário garante o dobro de ganho de tensão de saída para valores de *phase-shift* maiores que 120° . No conversor ocorre comutação ZVZCS naturalmente para uma ampla faixa de variação de carga. Entretanto, a topologia apresenta a desvantagem de não possuir bidirecionalidade. Esta característica de operação foi proposta por Oliveira Filho (2013 e 2015) e será discutida posteriormente.

Figura 23 – Conversor CC-CC trifásico com comutação suave para aplicações com baixa tensão de entrada.

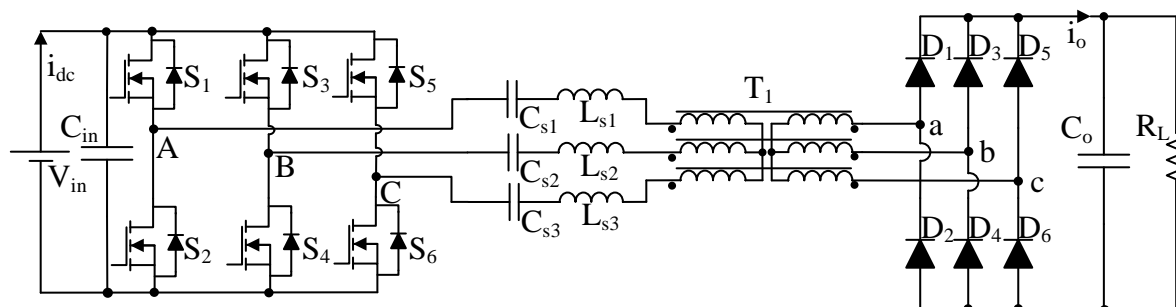


Fonte: (LIU, JOHNSON, LAI, 2004 e 2005, com adaptações)

Na referência Jacobs, Averberg, e De Doncker (2004), é proposto um novo conversor trifásico série ressonante de 5kW apresentado na Figura 24. O conversor opera com frequências de chaveamento acima da frequência de ressonância de 100kHz e são limitadas a um valor máximo de 140 kHz. Foi discutido que há perdas consideráveis se o conversor operar abaixo da frequência de ressonância e torna-se necessário considerar o tempo morto entre as chaves do mesmo braço no cálculo do rendimento do conversor. Além disso, o conversor proposto opera com comutação suave ZCS na frequência de ressonância e ZVS se operando acima desta. Nesse último caso, obtém-se melhores resultados. Como desvantagem, a topologia

não apresenta bidirecionalidade. Em Jacobs, Averberg, e De Doncker (2005), foi proposto uma versão generalizada desta topologia com a finalidade de aumentar a potência do conversor.

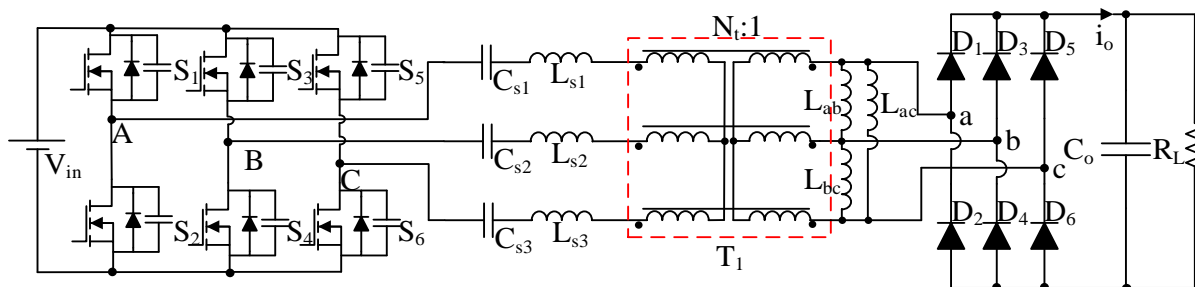
Figura 24 – Conversor trifásico série ressonante unidirecional.



Fonte: (JACOBS, AVERBERG, e DE DONCKER, 2004 e 2005, com adaptações)

Em Almardy e Bhat (2011), uma versão trifásica do conversor ressonante LLC com filtro capacitivo de saída é proposta e apresentada na Figura 25. A versão monofásica desta topologia fora apresentada originalmente por Bhat (1995 e 1997). O conversor opera usando modulação em frequência operando com um ângulo de 180° entre os gatilhos das chaves semicondutoras. Como principais características, o conversor possui uma ondulação da corrente de entrada e saída seis vezes maior que a frequência de chaveamento; redução de peso devido à utilização de um transformador trifásico de alta frequência; utiliza a indutância de dispersão do transformador como parte do indutor de ressonância e, por fim, é capaz de operar com ZVS em toda faixa de carga e para variações da tensão de entrada do conversor.

Figura 25 – Conversor LLC trifásico unidirecional com filtro capacitivo de saída.

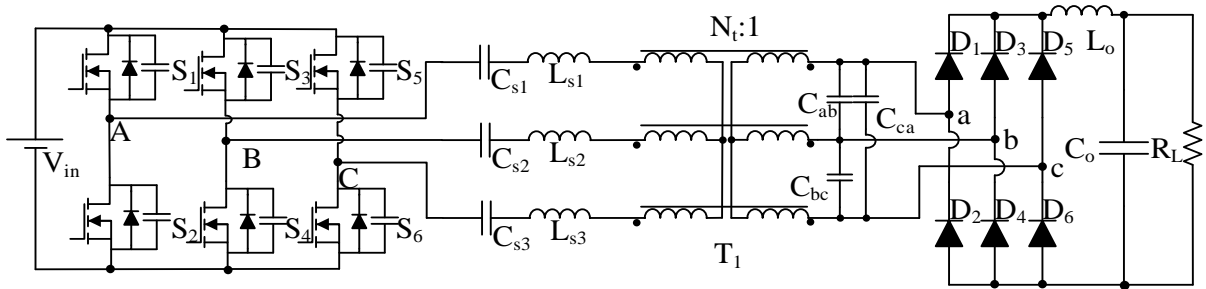


Fonte: (ALMARDY e BHAT, 2011, com adaptações).

O trabalho apresentado na Figura 26 por Bhat e Zheng (1996), propõe um conversor ressonante CC-CC trifásico com circuito ressonante LCC e filtro indutivo de saída de 0,5 kW. Este conversor tem as vantagens do conversor série ressonante e do paralelo ressonante. O pico de corrente através das chaves e do circuito ressonante diminui à proporção que a carga diminui. Desse modo, requer uma limitada variação da frequência de chaveamento para regulação da tensão de carga. A indutância de dispersão do transformador pode ser usada como parte do

indutor ressonante e a ondulação da corrente de entrada e saída apresenta-se seis vezes maior que a frequência de chaveamento, tornando os elementos filtrantes do circuito secundário consideravelmente menores. Além disso, o conversor é analisado usando o modelo aproximado de Fourier e opera com fator de potência atrasado para toda faixa de carga.

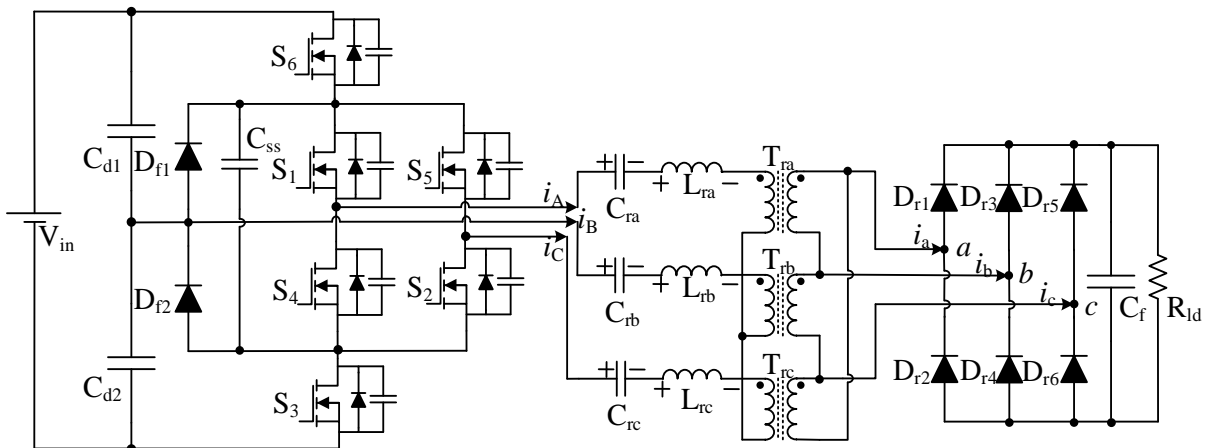
Figura 26 – Conversor LCC trifásico unidirecional.



Fonte: (BHAT e Zheng, 1996, com adaptações).

No conversor proposto por Liu, Chen e Chen (2017) apresentado na Figura 27, um é analisado um conversor CC-CC trifásico com três níveis que apresenta alta tensão de entrada e de saída. Uma de suas principais características é apresentar uma redução nos esforços de tensão das chaves do primário pela metade da tensão de entrada devido à estrutura com três níveis. No circuito primário, é utilizado um circuito série ressonante para melhorar a performance do conversor. No circuito secundário, a tensão nos diodos retificadores é igual à tensão de saída do conversor. É utilizada a estratégia de controle em frequência para obter comutação ZVS para as chaves do primário e ZCS para os diodos secundários. A modelagem do conversor utiliza o modelo fundamental com frequência de ressonância de 50kHz operando com tensão de entrada de 440-590V e tensão de saída de 400V.

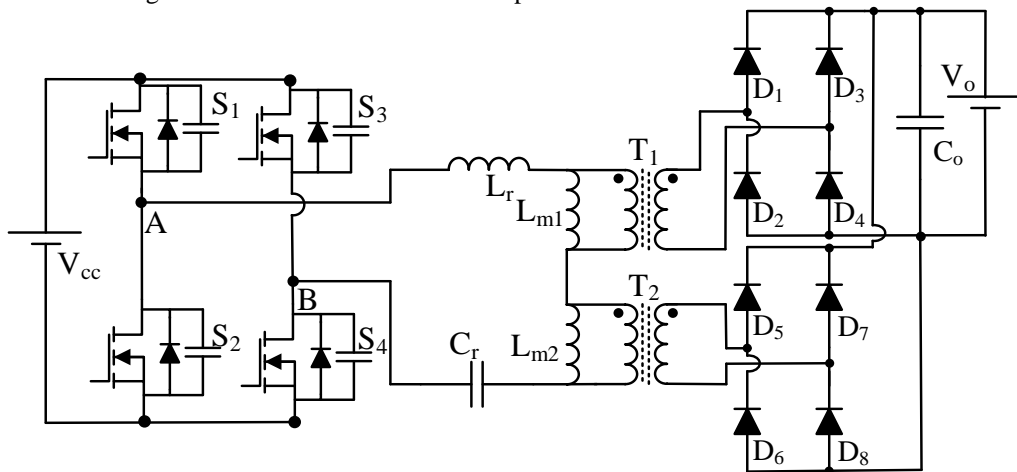
Figura 27 – Conversor CC-CC trifásico série ressonante com três níveis.



Fonte: (LIU, CHEN e CHEN, 2017, com adaptações).

No conversor proposto por Shen *et al* (2018) apresentado na Figura 28, um conversor CC-CC série-paralelo utilizando um circuito tanque ressonante LLC em série com dois transformadores conectados em série no circuito primário e em paralelo no circuito secundário é analisado. É utilizada a estratégia de controle em frequência para se obter comutação ZVS para as chaves do primário e ZCS para os diodos secundários. A modelagem do conversor utiliza o modelo fundamental com frequência de ressonância de 110kHz operando com tensão de entrada de 380-420V e ganho unitário.

Figura 28 – Conversor CC-CC série-paralelo ressonante unidirecional.



Fonte: (Shen *et al.*, 2018, com adaptações).

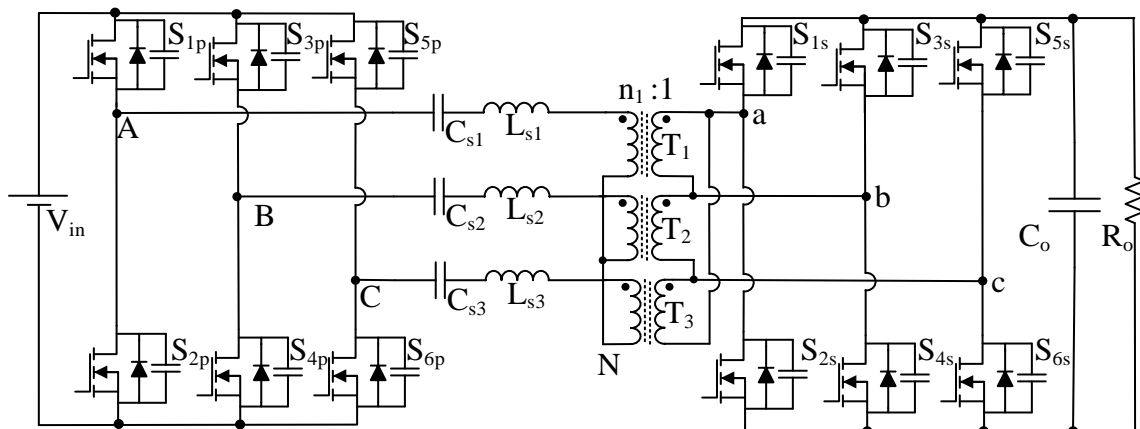
2.4 – Principais estratégias de controle usadas para conversores CC-CC ressonantes

A literatura mostra que há uma constante tentativa na melhoria do desempenho de conversores ressonantes de topologias já propostas para que estes sejam capazes de ser utilizados nas mais diversas aplicações na indústria. Ampliar a faixa de tensão de entrada e/ou saída, ou mesmo, reduzir a faixa de frequência de chaveamento através de componentes adicionais no conversor são algumas das melhorias que são constantemente investigadas. Entretanto, essas melhorias podem aumentar o custo e a complexidade do projeto e deverá haver um equilíbrio entre custo/benefício que melhor se enquadra nas aplicações em que se destina o conversor (OUTEIRO, BUJA e CZARKOWSKI, 2016). Nesse contexto, esse tópico contém resumidamente alguns dos principais trabalhos analisados que apresentaram novas estratégias de controle em topologias já conhecidas de conversores ressonantes.

Em Dehong, Chuanhong, Haifeng (2004), uma combinação do controle *phase-shift* com modulação PWM é proposta utilizando um conversor CC-CC isolado com 2 chaves complementares no circuito primário e secundário. Essa soma de controles tem como finalidade a redução dos esforços de corrente nas chaves e expansão da faixa de operação ZVS.

No trabalho proposto por Dung, Chiu, Lin *et al.* (2019), foi proposta uma modulação em frequência para um conversor trifásico CC-CC bidirecional série ressonante com alta tensão de entrada e baixa tensão de saída, apresentado na Figura 29. Neste trabalho, foi utilizada a conexão em delta no secundário para reduzir os esforços de tensão no lado primário e de corrente no lado secundário. O conversor opera com modulação em frequência para controlar a tensão de saída. Quando o controle adota um valor de frequência, o *phase-shift* é calculado e ambas as variáveis são aplicadas ao conversor.

Figura 29 – Conversor estrela-delta CC-CC série ressonante bidirecional.



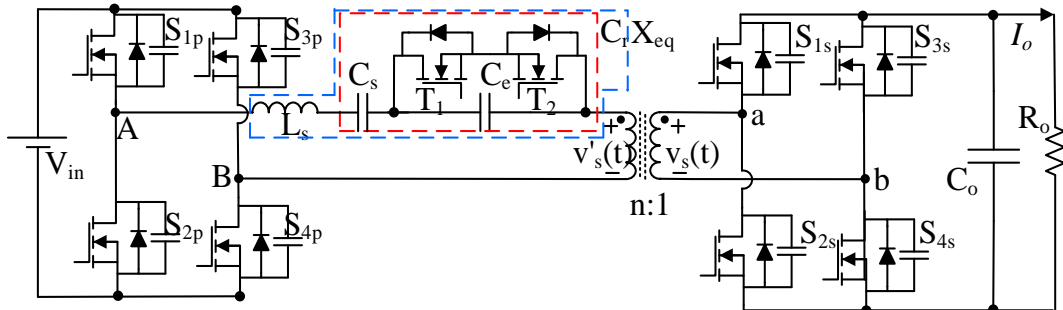
Fonte: (DUNG, CHIU, LIN *et al.*, 2019, com adaptações).

Usando a mesma topologia da Figura 20(a), Nguyen, Nguyen e Fujita *et al.* (2015) propôs uma nova estratégia de controle que combina modulação em frequência e *phase-shift*. O ângulo *phase-shift* é mantido em um valor adequado para maximizar o fator de potência médio do conversor e controlar a direção do fluxo de carga. A modulação em frequência controla os níveis de potência transferido para a carga. Esta estratégia de controle mostrou-se capaz de melhorar o rendimento do conversor, especialmente em condições de baixa carga. Usando a mesma topologia, na referência Liu, Jang, Jovanovic *et al.* (2017), apresenta uma nova estratégia de controle que melhora a performance do conversor diminuindo a frequência de chaveamento por meio de um controle de tensão de saída. A combinação de frequência variável e de controle de tempo morto é utilizada para as chaves do circuito primário e secundário, respectivamente.

Em Yaqoob, Loo e Lai (2018), é proposto uma estratégia de controle para o conversor bidirecional *Dual Active Bridge Series Resonant* (DABSRC) apresentado na Figura 30. O conversor opera com alta frequência e, com o objetivo de obter comutação suave e corrente mínima no circuito tanque ressonante para uma ampla faixa de carga, o conversor proposto possui uma impedância chaveada (X_{eq}). A mudança no valor de X_{eq} é capaz de

controlar a potência do conversor, já que a impedância de entrada do conversor também muda e, conseqüentemente, as características gerais do conversor como ponto de operação, fator de qualidade e frequência de ressonância.

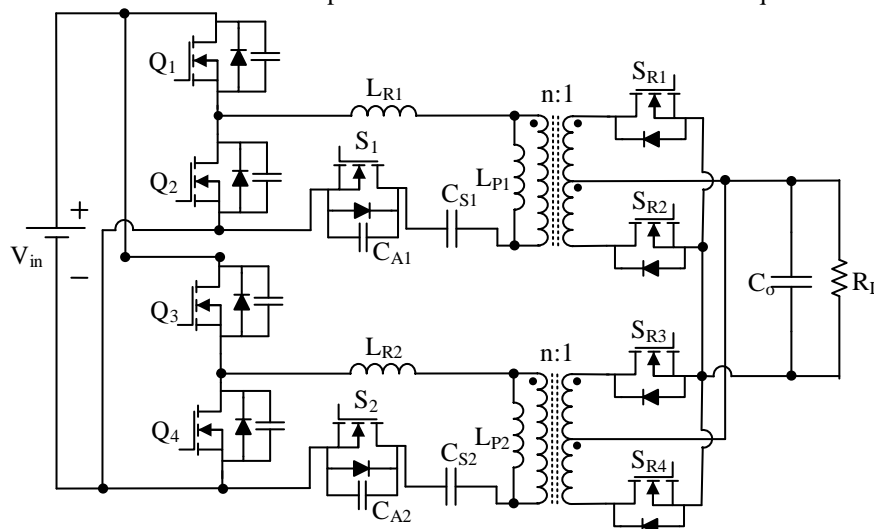
Figura 30 – Conversor CC-CC série ressonante bidirecional com impedância chaveada.



Fonte: (YAQOUB, LOO e LAI, 2018, com adaptações).

De modo análogo, o trabalho da referência Hu, Qiu, Liu *et al* (2014) apresentado na Figura 31, propõe uma estratégia de controle para o conversor LLC multifase com um capacitor chaveado. Ao mudar o valor da sua capacitância resultante do circuito tanque ressonante, a frequência de ressonância do conversor, o ganho estático e, conseqüentemente, o seu comportamento dinâmico também se alteram. Além disso, no circuito primário foi utilizado um circuito *half-bridge* ao invés de um *full bridge* que reduziu pela metade o número de chaves e custos.

Figura 31 – Conversor LLC com capacitor chaveado usando controle de frequência variável.

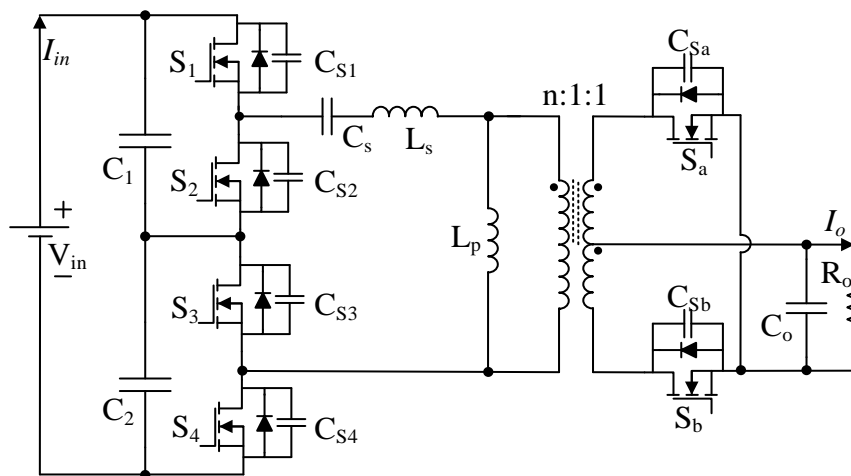


Fonte: (HU, QIU, LIU *et al*, 2014, com adaptações).

No trabalho apresentado por Shakib e Mekhilef (2017) na Figura 32, apresenta uma estratégia de controle para o conversor CC-CC com circuito ressonante LLC com dois *half-bridges* em série no circuito primário para reduzir os esforços de tensão pela metade. A

estratégia de controle apresenta um controle *phase-shift* com frequência adaptativa. A frequência de chaveamento muda de acordo com as variações da carga de forma que garante a comutação suave ZVS nas chaves do primário para qualquer ângulo *phase-shift* imposto pelo controlador e mantém o ganho do conversor constante. Como resultado da estratégia de controle, o conversor é capaz de operar com um grande ganho de tensão e manter o ZVS independente das variações de carga. Além disso, o *phase-shift* muda de acordo com as variações da tensão de saída. Este conversor supera o ganho unitário do conversor DAB ressonante convencional. O controle dessas duas variáveis reduz significativamente a circulação de corrente no conversor o que auxilia nos resultados de rendimento do conversor.

Figura 32 - Conversor ressonante LLC com 2 *half-bridges* no primário e controle *phase-shift* e frequência.



Fonte: (SHAKIB e MEKHILEF, 2017, com adaptações).

2.5 – Topologia e estratégia de controle propostos

Neste trabalho, é apresentado o conversor trifásico CC-CC isolado bidirecional LLC ressonante com modulação em frequência para controle da tensão de saída e *phase-shift* na Figura 33. A topologia proposta consiste numa extensão ressonante da topologia proposta por Liu e Johnson (2005) cuja bidirecionalidade foi proposta por Oliveira Filho (2013 e 2015).

As vantagens da topologia proposta são:

1. Utiliza um inversor trifásico com três circuitos em ponte completa em paralelo (paralelismo de fases) totalizando 12 chaves semicondutoras proporcionando um aumento da capacidade de potência do conversor já que os esforços de corrente nas chaves serão divididos, desse modo, essa estrutura tenderá a ter um comportamento melhor que uma ponte trifásica clássica com 6 chaves.

O rendimento e a densidade de potência do conversor são otimizados adotando-se critérios de projeto, como a escolha da uma frequência de chaveamento e *phase-shift* adequados, que podem ser capazes de controlar os níveis de tensão de saída e manter o conversor operando dentro das zonas de comutação suave ZVS em toda faixa de carga, de modo que haja um equilíbrio entre a menor quantidade de energia reativa circulante no transformador e o controle da frequência de chaveamento do conversor

Devido às características e vantagens apresentadas este conversor é recomendado como interface entre um sistema CC de baixa tensão de entrada para outro sistema de alta tensão de saída. Se for utilizado apenas como uma estrutura unidirecional, pode ser utilizado em sistemas alimentados por células combustíveis ou, também, para integração de sistemas fotovoltaicos à rede com a adição de uma estrutura CC-CA em série. Aproveitando a sua característica bidirecional, pode ser utilizado para a integração entre o sistema de baterias e o barramento CC de alta tensão de veículos híbridos e elétricos.

Portanto, a maior contribuição desta tese é propor um novo conversor CC-CC trifásico isolado LLC ressonante com modulação em frequência que, devido às características de modulação e alta frequência, apresenta comutação suave para toda faixa de carga e melhor densidade de potência, se comparado à sua estrutura não ressonante.

3 ANÁLISE DO CONVERSOR PROPOSTO

3.1 – Introdução

Uma vez apresentada a revisão bibliográfica, este capítulo dedica-se à descrição detalhada do conversor proposto. Inicialmente, será explicitada a análise qualitativa do conversor mostrando a técnica da modulação utilizada e as suas principais características. Em seguida, será apresentada uma análise quantitativa do conversor demonstrando a análise matemática do modelo do conversor através do Modelo Aproximado de Fourier, do inglês *Fundamental Harmonic Approximation* (FHA), que será capaz de determinar os esforços de tensão e corrente do conversor com bastante fidelidade ao modelo real. Além disso, são apresentados e discutidos a análise do ganho estático, a análise da comutação dos semicondutores e, por fim, o modelo matemático para controle do conversor apresentados e discutidos.

3.2 – Análise qualitativa do conversor

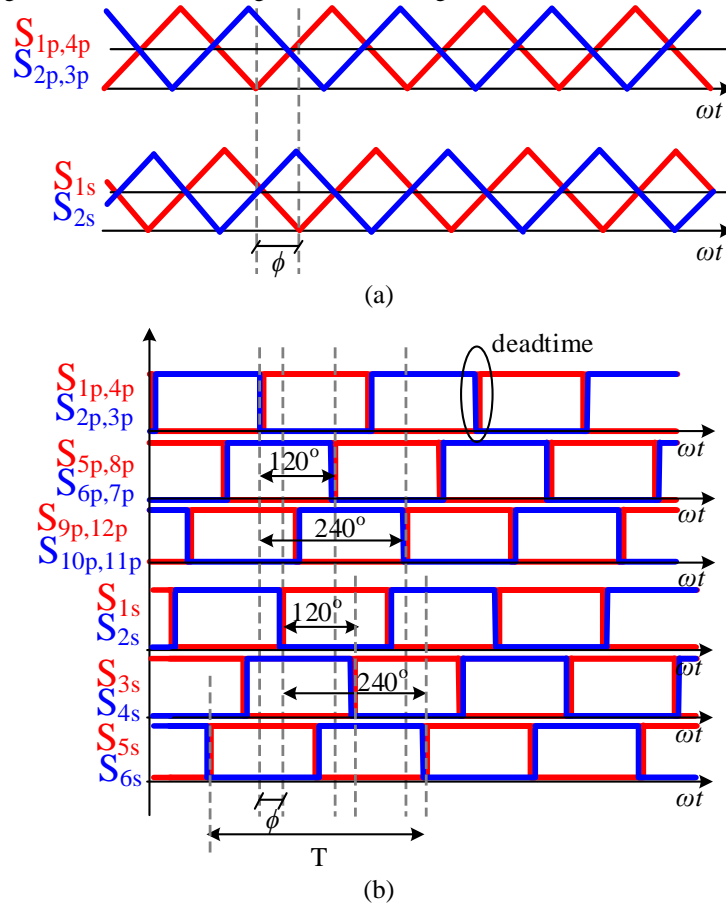
Nesta seção, tem-se a análise qualitativa do conversor, em que é descrito a estratégia de controle geral e a técnica de modulação utilizada.

3.2.1 – Técnica de Modulação

A técnica utilizada para o acionamento dos interruptores é baseada na modulação PFM (*Pulse Frequency Modulation*), em que são utilizadas duas ondas portadoras defasadas de 180° com tempo morto (*deadtime*) entre os gatilhos para cada ponte, sendo que cada uma delas é comparada com uma onda moduladora linear com ciclo de trabalho constante e igual a 0,5. O controle da tensão de saída do conversor é regulado através da variação de frequência que depende do valor da carga e do ângulo *phase-shift* do ponto de operação. O controle do fluxo de potência entre os lados primário e secundário do conversor ocorre por meio da variação do ângulo *phase-shift*. Assim, variando-se esse ângulo, é possível definir o sentido do fluxo de potência. As portadoras triangulares de um braço do primário e de um braço do secundário são apresentadas na Figura 34(a), em que é verificado que o ângulo entre elas é o ângulo *phase-shift* representado por ϕ . Essa estratégia de controle do fluxo de potência é bastante usada na literatura em conversores bidirecionais. A utilização dessa técnica permite que a tensão no circuito de entrada do circuito ressonante seja uma onda retangular de dois níveis (ALMEIDA, 2016).

Na Figura 34(b), são apresentadas as principais formas de onda associadas à técnica de modulação utilizada. Como a modulação em frequência proporciona que o ciclo de trabalho seja constante para frequências variáveis, os gatilhos das chaves são sempre iguais. Nota-se que, entre os braços de uma mesma fase, as chaves são acionadas com uma defasagem de 180° idealmente. Na prática, há a presença de um tempo morto, em que se garante que uma chave só será acionada quando a outra chave do mesmo braço já está desligada a fim de evitar um indesejável curto-circuito de braço.

Figura 34 – Portadoras triangulares e sinais de gatilho das chaves semicondutoras.



Fonte: Elaborado pelo autor.

3.3 – Análise quantitativa do conversor

Nesta seção, é apresentada a análise quantitativa do conversor, descrevendo-se a modelagem e análise matemática do conversor considerando os principais esforços de tensão e corrente nos elementos do conversor. Em seguida, obtém-se o fluxo de potência e a análise do ganho estático e da impedância de entrada de acordo com a variação de frequência e *phase-shift*. Por fim, é estudada a análise da comutação e o modelo matemático para controle do conversor.

3.3.1 – Modelagem e análise do conversor

A análise do conversor proposto e a sua modelagem matemática são apresentados nesta seção para definir as características do modelo. Para análise matemática do conversor, todos os elementos são considerados ideais. Além disso, todas as expressões matemáticas do conversor proposto serão desenvolvidas a partir de um modelo monofásico. As tensões de entrada e saída serão consideradas constantes e sem ondulações. A fim de simplificar a análise do circuito equivalente do conversor proposto, o mesmo será analisado considerando apenas as componentes fundamentais das principais formas de onda da tensão do conversor, enquanto os efeitos das harmônicas de maior ordem serão desprezados e o sistema trifásico será equilibrado. Diversos trabalhos já foram desenvolvidos comprovando a aproximação entre modelos utilizando apenas as componentes fundamentais e o modelo completo que analisa cada etapa de operação e pode-se verificar que a discrepância entre os modelos é desprezível (DE DONKER; DIVAN; KHERALUWALA, 1991; OLIVEIRA FILHO; OLIVERIA JR.; PRAÇA, 2015).

No modelo monofásico equivalente apresentado na Figura 35(a) - (c), pode-se verificar que no circuito primário a fonte de tensão equivalente é uma fonte quadrada, já que as chaves semicondutoras conduzem sempre com ciclo de trabalho $D = 0,5$. Na Figura 35(a), verifica-se que o retificador trifásico controlado em ponte completa do circuito secundário, pode ser considerado como a combinação de dois retificadores meia ponte. O filtro capacitivo de saída em paralelo com a carga pode ser considerado como fonte CC sem oscilações. Na Figura 35(b), o secundário pode ser representado por uma fonte defasada da fonte primária por um ângulo *phase-shift* ou, também, por uma impedância complexa (KAZIMIERCZUK, CZARKOWSKI, 2011). Para facilitar a análise matemática, na Figura 35(c), todos os componentes do circuito secundário são refletidos para o circuito primário e são representados através da apóstrofe “ ’ ”.

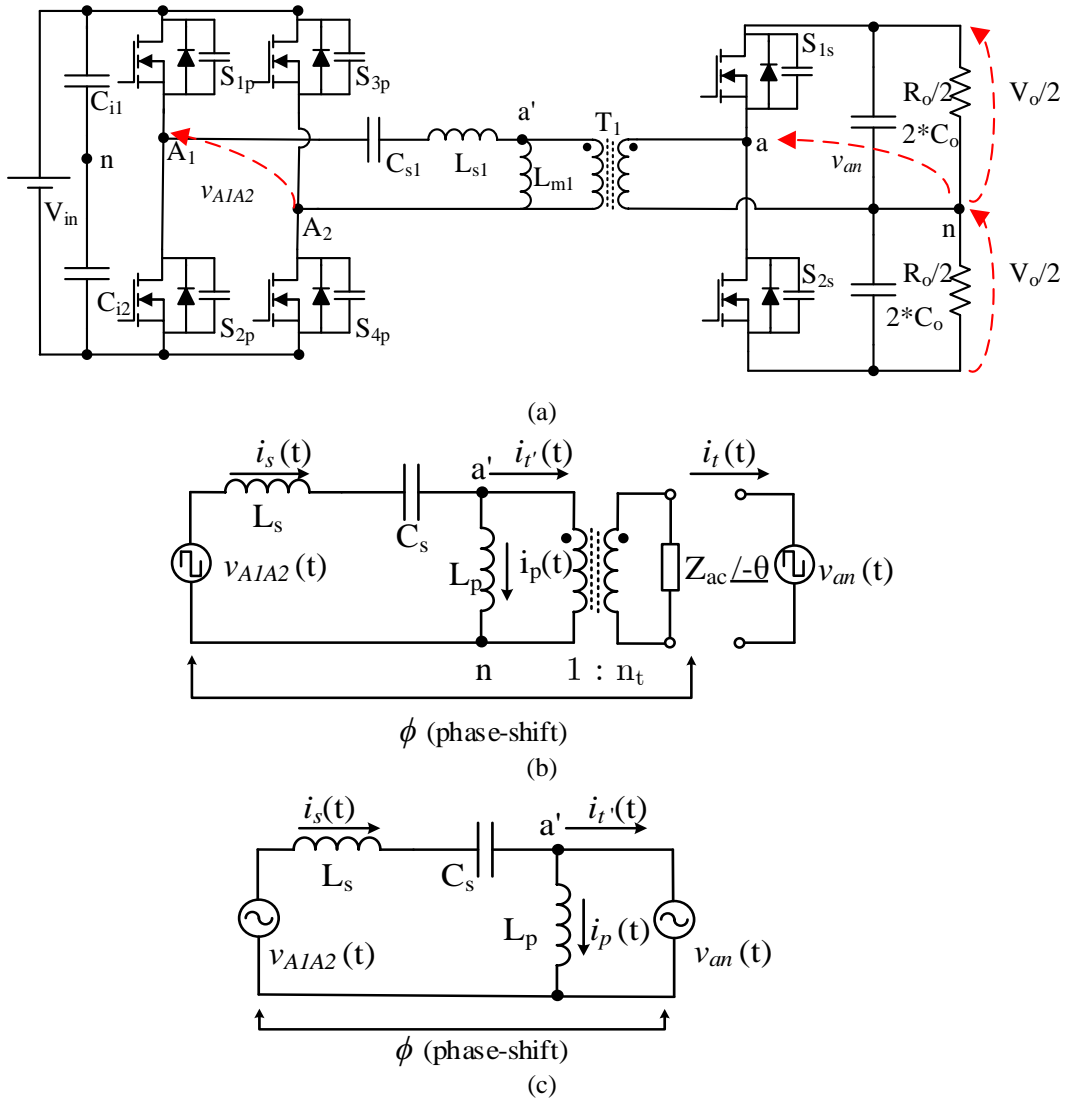
O modelo equivalente é representado com a fonte de entrada do circuito tanque ressonante $v_{A1A2}(t)$ considerando apenas a componente fundamental da tensão quadrada entre os pontos A_1 e A_2 e representada na equação (3.1). De modo análogo, a tensão do lado secundário $v_{an}(t)$ representada na equação (3.2), também considera apenas a componente fundamental da tensão entre os pontos “a” e “n”. A frequência angular de chaveamento é representada pela equação (3.3).

$$v_{A1A2}(t) = \frac{4.V_i}{\pi} \cdot \text{sen}(\omega t) \quad (3.1)$$

$$v_{an}(t) = \frac{2.V_o}{\pi} . \text{sen}(\omega t - \phi) \quad (3.2)$$

$$\omega = 2\pi f_s \quad (3.3)$$

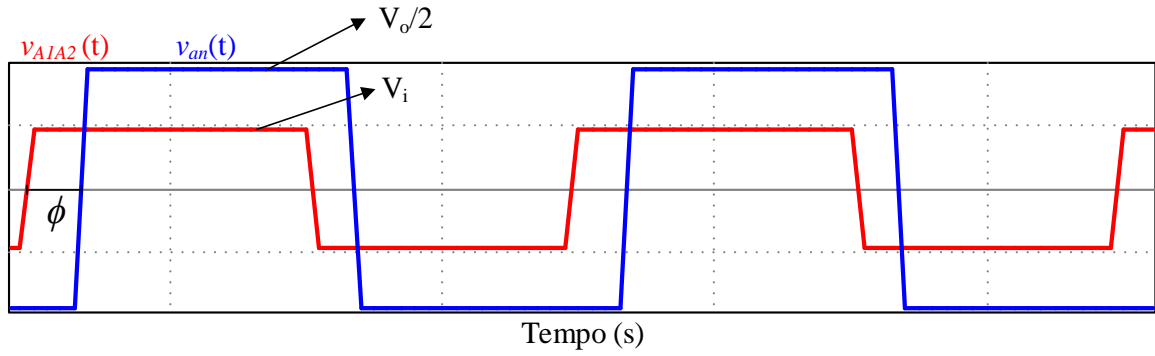
Figura 35 - Modelo monofásico do conversor ressonante LLC.



Fonte: Elaborado pelo autor.

As formas de onda do conversor da fonte de entrada do circuito tanque ressonante $v_{AIA2}(t)$ e da tensão do lado secundário $v_{an}(t)$ da Figura 35(b) é apresentada na Figura 36. Pode-se verificar que o valor de pico de $v_{AIA2}(t)$ é igual à tensão de entrada V_i , enquanto que, o valor de pico de $v_{an}(t)$ é igual à metade da tensão de saída V_o .

Figura 36 – Tensão da fonte de entrada e tensão no lado secundário do conversor.



Fonte: Elaborado pelo autor.

A tensão no secundário representada pela equação (3.2), quando é refletida para o circuito primário é representada pela equação (3.4). A relação de espiras do transformador de alta frequência será $(1:n_t)$ e a tensão de saída CC refletida para o lado primário é representada na equação (3.5).

$$v_{an}'(t) = \frac{4.V_o'}{\pi} \cdot \text{sen}(\omega t - \phi) \quad (3.4)$$

$$V_o' = \frac{V_o}{2n_t} \quad (3.5)$$

Como o conversor opera com modulação em frequência, o conversor proposto possui ciclo de trabalho fixo igual a $D = 0,5$. Devido à conexão delta aberto - estrela do transformador, possui o dobro do valor do ganho se comparado a uma conexão estrela no circuito primário. O ganho estático M representado pela equação (3.8) é dado pela razão entre as tensões *rms* das equações (3.1) e (3.4) que são representadas por (3.6) e (3.7), respectivamente. Esse resultado também foi demonstrado em Liu, Johnson e Lai (2005), entretanto, com uma abordagem mais geral, em que o ciclo de trabalho das chaves das pontes primárias não era fixo em 0,5 e a defasagem entre elas era variável. Foi mostrado que para uma defasagem superior a 120° , já se obtinha o resultado demonstrado em (3.8).

$$V_{A1A2rms} = \frac{2\sqrt{2}.V_i}{\pi} \quad (3.6)$$

$$V_{an}'rms = \frac{2\sqrt{2}.V_o'}{\pi} \quad (3.7)$$

$$M = \frac{V_o'}{V_i} = \frac{V_o}{2n_t.V_i} \quad (3.8)$$

Analisando o modelo equivalente monofásico do conversor da Figura 35(c) e o princípio da superposição em conjunto com algumas manipulações trigonométricas, é possível determinar a corrente de entrada do circuito tanque ressonante $i_s(t)$ através da equação (3.9).

$$i_s(t) = \frac{4}{\pi X_s} \sum_{n=1,3,\dots}^{\infty} \left[V_o' \cos(\omega t - \phi) - V_i \cos(\omega t) \right] \quad (3.9)$$

A reatância série equivalente do circuito tanque ressonante é representada por X_s e apresentada na equação (3.10).

$$X_s = \omega L_s - \frac{1}{\omega C_s} \quad (3.10)$$

A corrente senoidal $i_s(t)$ também pode ser representado pela equação (3.11). A amplitude da corrente senoidal apresentada em (3.11) é dada por (3.12) e a sua defasagem por (3.13). O ganho estático M já fora apresentado em (3.8).

$$i_s(t) = \frac{4}{\pi X_s} \sum_{n=1,3,\dots}^{\infty} \left[I_s \sin(n\omega t - \alpha) \right] \quad (3.11)$$

$$I_s = \frac{V_i \sqrt{M^2 - 2M \cos(n\phi) + 1}}{n} \quad (3.12)$$

$$\alpha = \text{tg}^{-1} \left[\frac{\text{sen}^{-1}(n\phi)}{M} - \text{cotg}(n\phi) \right] \quad (3.13)$$

Considerando o mesmo princípio, pode-se determinar a corrente $i_p(t)$ através da equação (3.14). Essa corrente atravessa a reatância indutiva paralela X_p , que consiste na indutância magnetizante do transformador de alta frequência apresentada na equação (3.15).

$$i_p(t) = \frac{4V_o'}{\pi X_p} \sum_{n=1,3,\dots}^{\infty} \left[\frac{\text{sen} \left(n\omega t - n\phi - \frac{\pi}{2} \right)}{n} \right] \quad (3.14)$$

$$X_p = \omega L_p \quad (3.15)$$

De modo análogo, a corrente $i_t'(t)$ também pode ser determinada pelo princípio da superposição com auxílio de algumas manipulações trigonométricas através das equações (3.16) e (3.17).

$$i_t'(t) = i_s(t) - i_p(t) \quad (3.16)$$

$$i_t'(t) = \frac{4}{\pi} \sum_{n=1,3,\dots}^{\infty} \left[\frac{V_o' \cos(n(\omega t - \phi))}{nX_t} - \frac{V_i \cos(n\omega t)}{nX_s} \right] \quad (3.17)$$

A corrente senoidal $i_t'(t)$ pode ser representada também pela equação (3.18), em que a sua amplitude tem módulo apresentada por (3.19) e a sua defasagem por (3.20). A equação (3.21) representa a reatância equivalente do paralelismo das reatâncias apresentadas nas equações (3.10) e (3.15).

$$i_t'(t) = \sum_{n=1,3,\dots}^{\infty} \left[|I_t'| \text{sen}(n\omega t - \beta) \right] \quad (3.18)$$

$$|I_t'| = \frac{4V_i \sqrt{M^2 + \left| \frac{X_p}{X_s + X_p} \right|^2 - 2M \left| \frac{X_p}{X_s + X_p} \right| \cos(n\phi)}}{n\pi X_t} \quad (3.19)$$

$$\beta = \text{tg}^{-1} \left[\frac{X_t \text{sen}^{-1}(n\phi)}{MX_s} - \text{cotg}(n\phi) \right] \quad (3.20)$$

$$X_t = \frac{X_s \cdot X_p}{X_s + X_p} \quad (3.21)$$

A corrente média de saída do conversor pode ser obtida através do valor médio da equação (3.17) em um meio período representada em (3.22). Desse modo, a corrente média de saída do conversor para a n-ésima harmônica é dada pela equação (3.23).

$$i_o' = \frac{1}{\pi} \int_{\phi}^{\pi+\phi} \left[\frac{4V_o' \cos(\omega t - \phi)}{\pi X_t} - \frac{4V_i \cos(\omega t)}{\pi X_s} \right] d(\omega t) \quad (3.22)$$

$$i_o' = \sum_{n=1,3,\dots}^{\infty} \frac{8V_i \text{sen}(n\phi)}{n^2 \pi^2 X_s} \quad (3.23)$$

Para o caso particular da equação (3.23) da frequência fundamental considerando que $n = 1$, tem-se a corrente média de saída do modelo obtida pela equação (3.24).

$$i_o' = \frac{8V_i \text{sen}(\phi)}{\pi^2 X_s} \quad (3.24)$$

Assumindo que a tensão de entrada do retificador trifásico controlado do circuito secundário é a componente fundamental da tensão quase quadrada de entrada do retificador e, também, que a corrente de entrada é senoidal, então a impedância equivalente do circuito secundário pode ser determinada. No circuito secundário, a corrente $i_t(t)$ possui defasagem igual a β , ao passo que a tensão $v_{an}(t)$ tem defasagem igual a ϕ . Portanto, a defasagem entre a tensão $v_{an}(t)$ e a corrente $i_t(t)$ será igual ao ângulo θ , que por sua vez, será igual à subtração entre o ângulo da tensão pelo ângulo da corrente. O valor *rms* da equação (3.18) considerando apenas o modelo fundamental será igual à equação (3.25). A corrente média de carga refletida para o circuito primário é apresentada na equação (3.26). Isolando-se a corrente *rms* na equação (3.26), obtém-se a equação (3.27).

$$I_t'_{rms} = \frac{|I_t'|}{\sqrt{2}} \quad (3.25)$$

$$i_o' = 6 \left\{ \frac{1}{2\pi} \int_{\frac{\pi}{3} + \theta}^{\frac{2\pi}{3} + \theta} [\sqrt{2} I_t'_{rms} \text{sen}(\omega t)] d(\omega t) \right\} = \frac{3\sqrt{2} I_t'_{rms} \cos \theta}{\pi} \quad (3.26)$$

$$|I_t'_{rms}| = \frac{i_o' \pi}{3\sqrt{2} \cos \theta} \quad (3.27)$$

Considerando-se a tensão *rms* de entrada do circuito retificador dada pela equação (3.7) e a corrente *rms* pela equação (3.27), pode-se determinar a impedância equivalente refletida para o lado primário do transformador através da equação (3.28). A resistência equivalente R_o' é a resistência de carga do conversor refletida para o circuito primário. No caso particular em que $\theta = 0^\circ$, torna-se equivalente ao caso em que circuito secundário utiliza apenas diodos no lugar de chaves semicondutoras. Além disso, nesse caso, a impedância Z_{ac}' passa a

ser uma carga resistiva. Após algumas substituições nos termos da equação (3.28), esta pode ser melhor representada através da equação (3.29).

$$Z_{ac}' = \left| \frac{V_{an}'_{rms}}{I_t'_{rms}} \right| \angle \phi - \beta \quad (3.28)$$

$$Z_{ac}' = \left| \frac{\frac{2\sqrt{2}.V_o'}{\pi}}{\frac{i_o'\pi}{3\sqrt{2}\cos\theta}} \right| \angle \phi - \beta = \frac{6R_o' \cdot \cos\theta}{\pi^2} \angle -\theta \quad (3.29)$$

3.3.2 – Fluxo de potência do conversor

Para obter-se a equação que define a potência média do conversor do modelo monofásico, é necessário que a tensão de saída refletida para o lado primário V_o' , seja multiplicada pela equação (3.24) obtendo-se, desse modo, a equação (3.30).

$$P_{o1} = V_o' \cdot i_o' = \frac{8.V_i.V_o' \cdot \text{sen}(\phi)}{\pi^2 \cdot X_s} \quad (3.30)$$

O modelo matemático considera um sistema monofásico para facilitar a análise, onde, na verdade, a topologia real é trifásica. Para que o conversor seja representado corretamente, basta multiplicar a equação (3.30) por três para determinar a potência total do conversor trifásico conforme representado na equação (3.31) considerando, também, o ganho estático em (3.8). Pode-se perceber que a potência do conversor varia de acordo com o ganho estático, com a frequência de chaveamento e com o ângulo *phase-shift*. Portanto, para controle da potência de saída, essas grandezas devem ser as variáveis de interesse.

$$P_{o3} = 3(V_o' \cdot i_o') = \frac{24V_i^2 \cdot M \cdot \text{sen}(\phi)}{\pi^2 \cdot X_s} \quad (3.31)$$

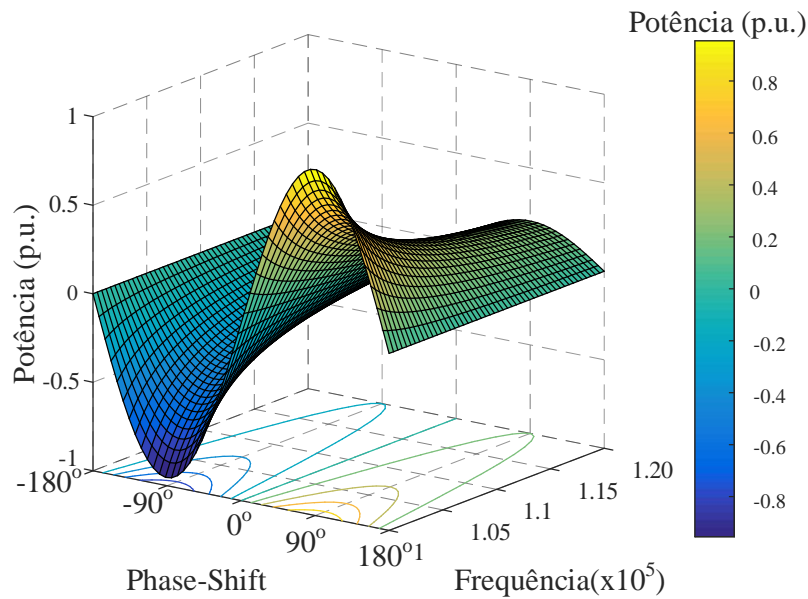
Para melhor representação gráfica e para uma análise mais genérica, todas as equações serão normalizadas com os valores de base abaixo representados pelas equações (3.32) e (3.33). A potência ativa do conversor em pu é representada pela Figura 37. Através da análise da figura, pode-se verificar que a potência máxima ativa ocorre quando o ângulo *phase-*

shift é $\pm 90^\circ$. Entretanto, nessa zona de operação, o conversor estará sujeito a grandes esforços de tensão e corrente além de grandes perdas elétricas, tornando esse ângulo limitado às características seguras de operação do conversor.

$$V_{base} = V_i \quad (3.32)$$

$$P_{base} = \frac{8V_{base}^2}{\pi X_s} \quad (3.33)$$

Figura 37 – Potência ativa (pu)



Fonte: Elaborado pelo autor.

O fator de potência é determinado através da razão entre a potência ativa e a potência aparente do conversor. Considerando o modelo monofásico do conversor da Figura 35(b) - (c), a potência aparente do conversor é dada pela equação (3.35) que é determinada através do produto da tensão *rms* de entrada representada por (3.6), pela corrente *rms* de entrada representada por (3.34), que é obtida através de manipulações trigonométricas nas equações (3.9) ou (3.11). Finalmente, o fator de potência será representado pela equação (3.36).

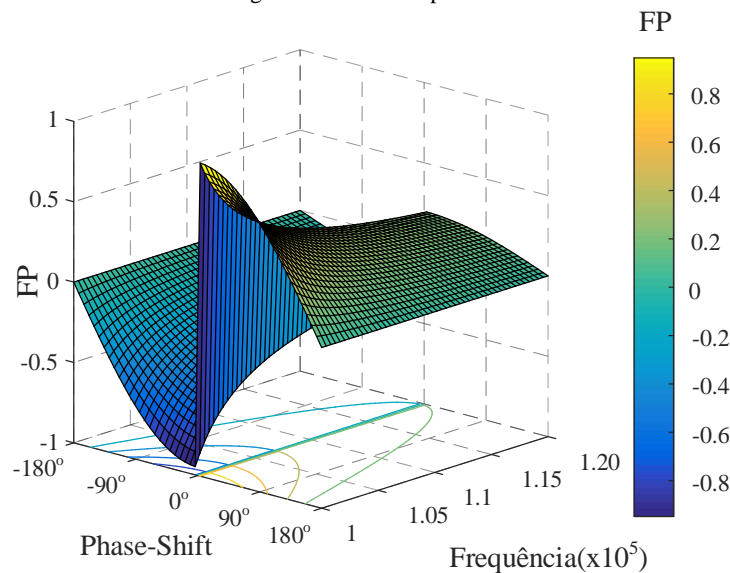
$$I_{s_rms} = \sqrt{\frac{2\sqrt{2} \left[\left(-V_i + V_o \cos(\phi) \right)^2 + \left(V_o \sin(\phi) \right)^2 \right]}{\pi X_s^2}} \quad (3.34)$$

$$S_{o1} = V_{A1A2rms} \cdot I_{srms} = \sqrt{\frac{16\sqrt{2} V_i^2 \left[\left(-V_i + V_o \cos(\phi) \right)^2 + \left(V_o \sin(\phi) \right)^2 \right]}{\pi^3 X_s^2}} \quad (3.35)$$

$$FP = \frac{P_{o1}}{S_{o1}} \quad (3.36)$$

O fator de potência em função do ângulo *phase-shift* e da frequência de chaveamento é representado na Figura 38. Pode-se verificar através do gráfico que o fator de potência tende a ter valor máximo quanto menor for o ângulo *phase-shift* sendo máximo quando ϕ tende a 0° . À proporção que o ângulo *phase-shift* aumenta, há uma gradual diminuição do fator de potência, já que o aumento da potência aparente eleva a corrente circulante do conversor reduzindo o rendimento do conversor. Quando o ângulo *phase-shift* é aproximadamente nulo, o fator de potência será aproximadamente nulo, entretanto, devido às aproximações matemáticas do modelo fundamental, a figura apresenta um valor aproximadamente unitário.

Figura 38 – Fator de potência.

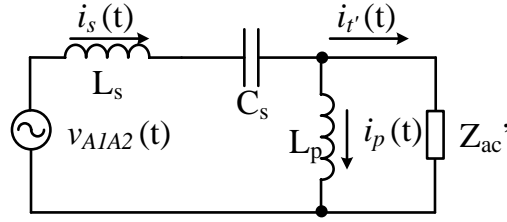


Fonte: Elaborado pelo autor.

3.3.3 – Análise do ganho estático e da impedância de entrada do conversor

Para determinar o ganho estático M do conversor e as características da impedância de entrada em relação à frequência de chaveamento, o circuito equivalente monofásico apresentado na Figura 39 será analisado detalhadamente. Aplicando-se a Lei das Correntes de Kirchhoff (LCK) no modelo equivalente monofásico do conversor proposto, é possível determinar o ganho estático do conversor através da relação apresentada em (3.37).

Figura 39 – Modelo equivalente monofásico do conversor ressonante LLC.



Fonte: elaborado pelo autor.

$$M = \left| \frac{V_o}{V_i} \right| = \left| \frac{\frac{j\omega L_p \parallel Z_{ac}'}{Z_{ac}' + j\omega L_p}}{j\left(\omega L_s - \frac{1}{\omega C_s}\right) + \left(\frac{j\omega L_p \parallel Z_{ac}'}{Z_{ac}' + j\omega L_p}\right)} \right| \quad (3.37)$$

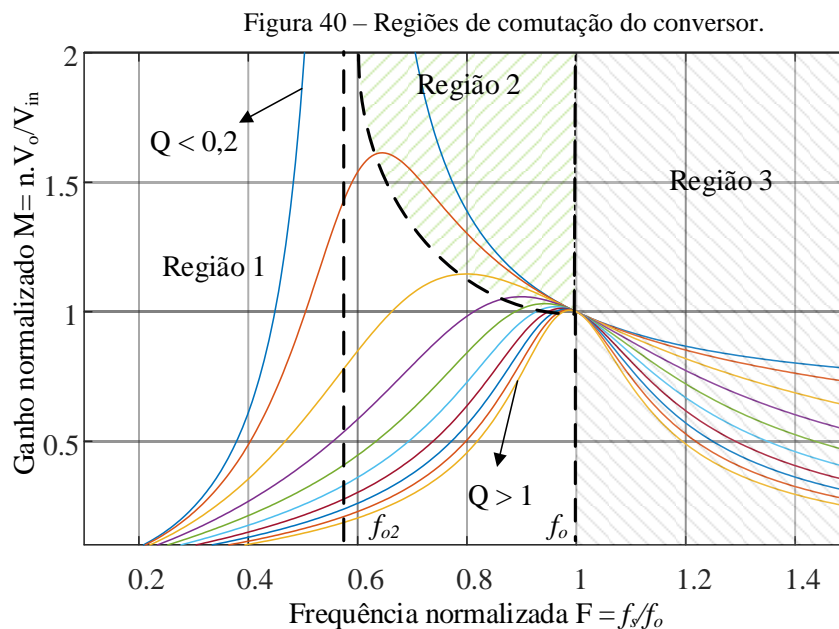
Considerando as equações (2.1) - (2.5), a frequência normalizada F , o fator de qualidade Q , e, por fim, a razão entre as indutâncias paralela e série do circuito tanque ressonante, representado por λ e apresentado na equação (3.39), o ganho estático M do conversor pode ser reescrito e apresentado pela equação (3.38).

$$M = \left| \frac{V_o}{V_i} \right| = \left| \frac{1}{1 + \frac{1}{\lambda} \left(1 - \frac{1}{F^2}\right) - \left(\frac{Q \operatorname{tg}(\theta) \left(F - \frac{1}{F}\right) \pi^2}{6}\right) + j \left(\frac{Q \left(F - \frac{1}{F}\right) \pi^2}{6}\right)} \right| \quad (3.38)$$

$$\lambda = \frac{L_p}{L_s} \quad (3.39)$$

A Figura 40 apresenta as principais características do ganho estático do conversor. Considerando as variações de carga, consequentemente, do fator de qualidade, há três regiões de operação que possuem características específicas. Na região 01, a frequência de chaveamento é menor que a frequência de ressonância. Nessa situação, o conversor apresenta uma característica capacitiva e todas as chaves semicondutoras serão desligadas com ZCS e ligadas com comutação forçada. Desse modo, os esforços de tensão e corrente sobre as chaves semicondutoras serão maiores. Além disso, o capacitor série C_s será submetido a condições mais extremas na sua operação, principalmente, se o valor do barramento CC for alto. Portanto, essa condição de operação comprometerá consideravelmente o rendimento do conversor. À proporção que a frequência de chaveamento diminui, o conversor passa a operar no MCD. Na

região 02, a frequência de chaveamento é maior que a frequência de ressonância de circuito aberto (f_{o2}) e menor que a frequência de ressonância (f_o). As duas frequências de ressonância foram definidas nas equações (2.6) e (2.7). A linha tracejada representa o limite entre a zona de comutação ZVS e ZCS, que depende exclusivamente da carga. Nessa condição, o fator de qualidade tende a ser menor que 1, ou seja, baixíssima carga. Além disso, pequenas variações de carga podem ser suficientes para que o conversor mude de região de operação. Na região 03, a frequência de chaveamento do conversor é maior que a frequência de ressonância. Nessa condição, o conversor apresenta comportamento essencialmente indutivo e todas as chaves semicondutoras operam com ZVS independente das condições de carga. Além disso, os esforços de tensão no capacitor série são consideravelmente menores se comparado à região 01.



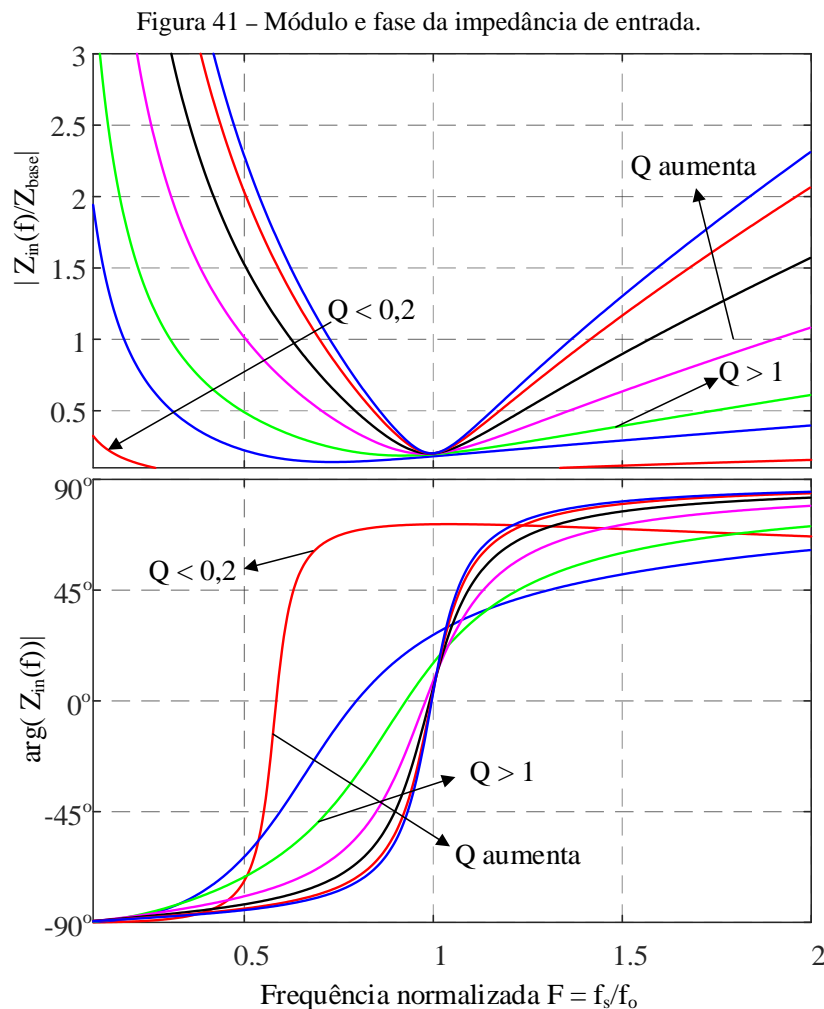
Fonte: Elaborado pelo autor.

A impedância de entrada equivalente do modelo monofásico apresentado na Figura 35 é definida através da relação apresentada na equação (3.40), que considera o circuito tanque ressonante e o circuito secundário refletido para o circuito primário. A impedância base adotada para que seja possível a representação em pu é dada por (3.41). O gráfico do módulo e do comportamento da fase da impedância de entrada em relação à frequência de chaveamento, considerando valores em pu, são apresentados na Figura 41, em que verifica-se que quando o conversor possui um fator de qualidade maior que a unidade e opera com frequência de chaveamento maior que a frequência de ressonância, o conversor comporta-se como uma carga indutiva e, portanto, a corrente no capacitor série será atrasada em relação à tensão fundamental $v_{A1A2}(t)$, que é condição fundamental para que ocorra comutação ZVS. Nessa condição de operação, os diodos antiparalelos dos MOSFETs desligam-se com baixo di/dt e não geram picos

de corrente reversa. Ao contrário, quando a frequência de chaveamento é inferior à frequência de ressonância, o conversor comporta-se como uma carga capacitiva e, portanto, a corrente será adiantada em relação à tensão, que é fundamental para que ocorra comutação ZCS. Nessa condição de operação, os diodos antiparalelos dos MOSFETs desligam com grande di/dt gerando, conseqüentemente, um elevado pico de corrente reversa (KAZIMIERCZUK, CZARKOWSKI, 2011).

$$Z_{in} = j \left(\omega L_s - \frac{1}{\omega C_s} \right) + \left(\frac{j\omega L_p \parallel Z_{ac}'}{Z_{ac}' + j\omega L_p} \right) \quad (3.40)$$

$$Z_{base} = \sqrt{\frac{L_s}{C_s}} \quad (3.41)$$

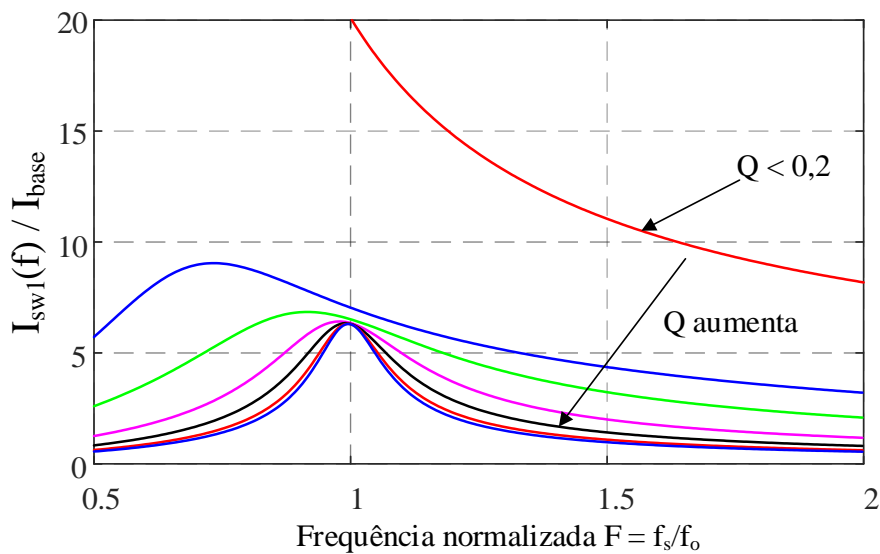


A corrente máxima que atravessa as chaves semicondutoras no circuito primário é igual ao valor máximo da corrente série do circuito ressonante apresentado na equação (3.10).

Esse valor de pico é expresso pela equação (3.42) e está graficamente representado com valores normalizados através da Figura 42 variando de acordo com F . Nesta figura, pode-se observar que quanto maior o fator de qualidade, menores serão os valores do pico de corrente obtidos.

$$I_{SW1} = \frac{4V_i}{\pi |Z_{in}|} \quad (3.42)$$

Figura 42 – Pico de corrente normalizada nas chaves semicondutoras do primário.



Fonte: Elaborado pelo autor.

Por fim, a máxima tensão sobre o indutor e o capacitor série do circuito ressonante são apresentados nas equações (3.43) e (3.44), respectivamente. As formas de onda das tensões destas equações são representadas graficamente através das Figuras 43 e 44, respectivamente.

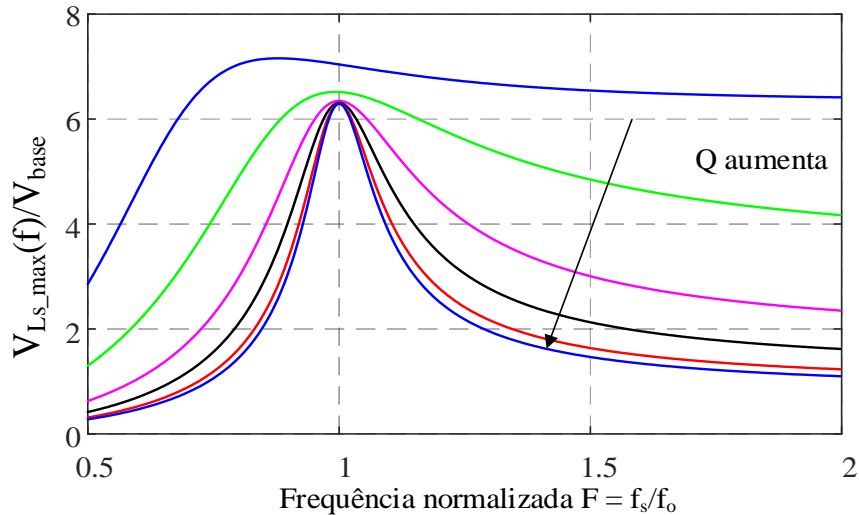
$$V_{Ls\max} = \frac{4V_i \omega L_s}{\pi |Z_{in}|} \quad (3.43)$$

$$V_{Cs\max} = \frac{4V_i}{\pi |Z_{in}| \omega C_s} \quad (3.44)$$

Quando o fator de qualidade é muito baixo, condição que indica baixa potência ou carga aproximadamente à vazio, os esforços de tensão no capacitor e indutor do circuito ressonante, bem como os esforços de corrente nas chaves semicondutoras do primário, aumentam consideravelmente em torno da frequência de ressonância. Nesse cenário, pequenas

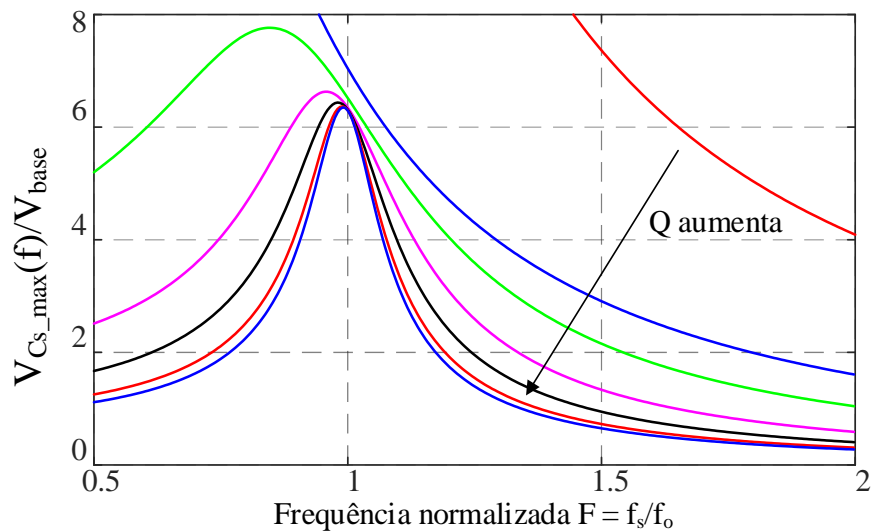
variações na frequência de chaveamento podem ser suficientes para gerar grandes variações de picos de tensão e corrente. Por outro lado, à proporção que o fator de qualidade aumenta com as variações de carga, os esforços diminuem significativamente.

Figura 43 – Pico de tensão normalizada no indutor L_s .



Fonte: Elaborado pelo autor.

Figura 44 – Pico de tensão normalizada no capacitor C_s .



Fonte: Elaborado pelo autor.

3.3.4 – Análise da comutação do conversor

Para que o conversor opere com fator de potência atrasado, é necessário que a corrente série inicial que atravessa as chaves semicondutoras do circuito primário e o indutor série do circuito ressonante, seja negativa conforme apresentado na equação (3.45). Desse

modo, haverá comutação ZVS. Além disso, o ângulo da corrente $i_s(t)$ deverá ser atrasado em relação à tensão de entrada $v_{A1A2}(t)$ para caracterizar um fator de potência indutivo.

$$i_s(0) = \frac{4I_s \operatorname{sen}(-\alpha)}{\pi X_s} < 0 \quad (3.45)$$

A caracterização de comutação ZVS das chaves semicondutoras do circuito primário é obtida a partir da análise da corrente série do circuito tanque ressonante $i_s(t)$ no instante inicial $t = 0s$ que deve satisfazer a condição apresentada na equação (3.47) obtida a partir de (3.46).

$$i_s(0) = \frac{4}{\pi X_s} \sum_{n=1,3,\dots}^{\infty} \left[V_o' \cos(0 - \phi) - V_i \cos(0) \right] < 0 \quad (3.46)$$

$$\cos(\phi) < \frac{1}{M} \quad (3.47)$$

De maneira análoga, analisando a corrente $i_t'(t)$ do circuito tanque ressonante previamente apresentada em (3.17) no instante inicial $t = \phi/\omega$, pode-se observar que para obter comutação ZVS no circuito secundário, é necessário satisfazer a condição apresentada na equação (3.49) obtida a partir do desenvolvimento de (3.48).

$$i_t'(\frac{\phi}{\omega}) = \frac{4}{\pi} \sum_{n=1,3,\dots}^{\infty} \left[\frac{V_o'}{nX_t} - \frac{V_i \cos(n\phi)}{nX_s} \right] > 0 \quad (3.48)$$

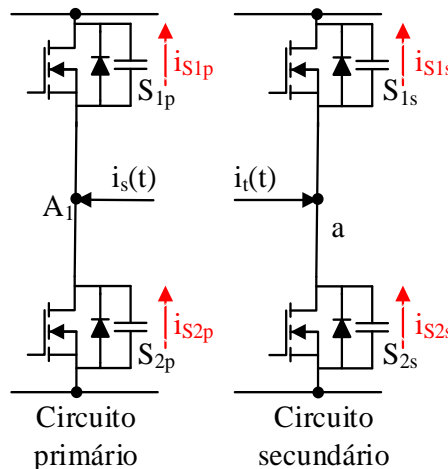
$$\cos(\phi) < M \left[1 + \frac{1}{\lambda} \left(1 - \frac{1}{F^2} \right) \right] \quad (3.49)$$

No circuito primário e no circuito secundário, os diodos antiparalelo dos MOSFETs S_{1p} e S_{1s} deverão estar conduzindo conforme as direções das correntes apresentadas na Figura 45 para que as mesmas sejam acionadas com ZVS. Para garantir as características ZVS, a impedância de entrada, representada pela equação (3.40), deve possuir ângulo positivo e a energia armazenada na indutância paralela do circuito ressonante deve ser maior que a energia armazenada na capacitância intrínseca do MOSFET (C_{oss}), ou seja, $L_P \cdot I_{LP_max} > C_{oss} \cdot V_{GS}$, onde I_{LP} é a corrente máxima que atravessa L_P e V_{GS} é a tensão *gate-source* para acionamento da chave. Na Figura 45, observa-se que a chave superior e a chave inferior de cada braço do

conversor operam complementarmente. Durante a sua comutação, existe um tempo morto entre a operação destas que deve ser maior do que a condição apresentada em (3.50), em que t_{dt} corresponde ao tempo necessário para carregamento/descarregamento do capacitor C_{oss} , e I_{DS} é a corrente *dreno-source* da chave. Na Figura 45, I_{DS} corresponde a $i_s(t)$ e $i_t(t)$ no primário e secundário, respectivamente.

$$t_{dt} > \frac{2C_{oss} V_{in}}{I_{DS}} \quad (3.50)$$

Figura 45 – Direção da corrente nos MOSFETs do circuito primário e secundário.



Fonte: Elaborado pelo autor.

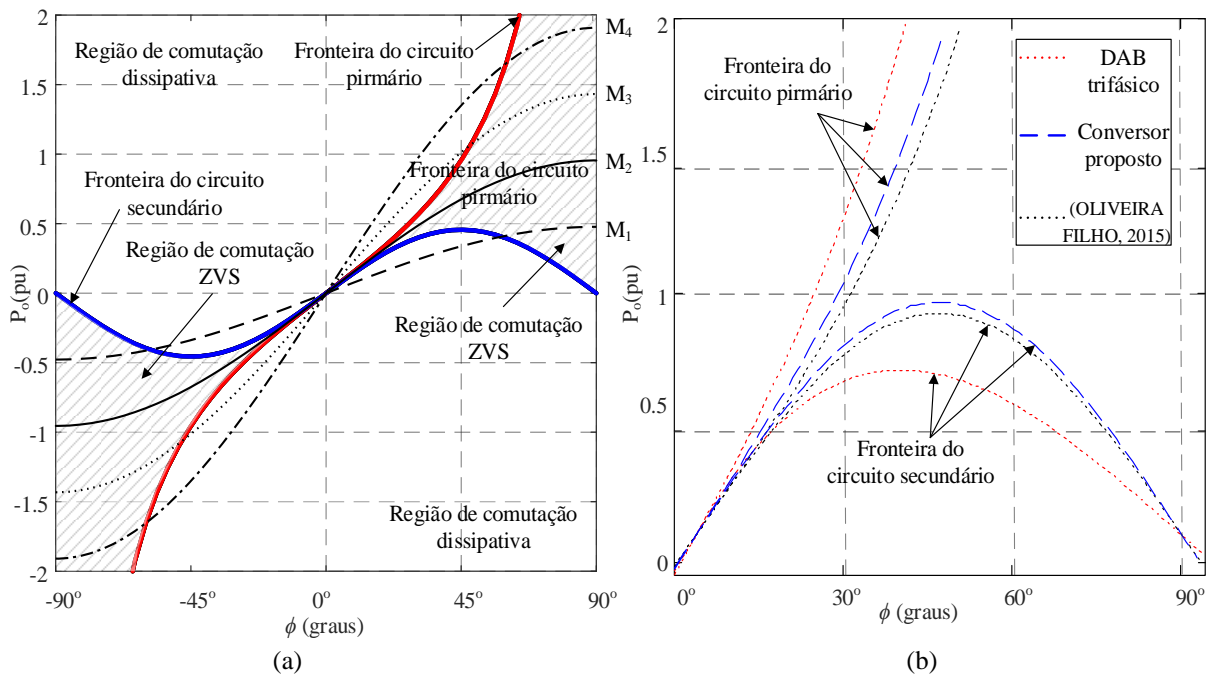
As zonas de comutação suave em relação à tensão de saída do conversor em função da frequência de chaveamento podem ser analisadas na Figura 40. Considerando a potência do conversor na equação (3.31) e as condições para comutação ZVS apresentadas em (3.47) e (3.49), pode-se determinar as curvas de fronteira entre as regiões de comutação suave e dissipativa do circuito primário e secundário através das equações (3.51) e (3.52), respectivamente. Nesse caso, foi considerada uma frequência de chaveamento fixa, ciclo de trabalho $D = 0,5$ e a razão entre as indutâncias paralela e série do circuito tanque ressonante igual a $\lambda = 2$. Foram analisadas quatro condições distintas de ganho estático: $M_1 = 0,5$; $M_2 = 1,0$; $M_3 = 1,5$ e $M_4 = 2,0$. Pode-se verificar através da Figura 46(a) que, para a condição do ganho unitário, o conversor ressonante possui comutação suave em toda faixa de carga. Alterando-se a frequência de chaveamento, os valores da potência também serão alterados, de modo que, o controle terá que encontrar um balanço entre o valor do *phase-shift* e frequência de chaveamento para manter o ganho estático o mais próximo possível da unidade com a finalidade de obter comutação ZVS em todas as chaves em uma ampla faixa de operação do conversor.

As zonas de comutação do conversor proposto, do conversor não ressonante proposto por (OLIVEIRA FILHO, 2015) e do conversor DAB trifásico já apresentadas no capítulo anterior são comparadas na Figura 46(b). Ambos os conversores apresentam a mesma potência. A frequência de chaveamento do conversor proposto é 5 vezes maior que os outros dois conversores comparados. Verifica-se na Figura 46(b), que a zona de comutação suave do conversor DAB trifásico é maior em relação ao conversor proposto e ao conversor proposto por (OLIVEIRA FILHO, 2015). Entretanto, o conversor proposto tem maior capacidade de potência considerando-se que há o dobro de chaves semicondutoras e divisão dos esforços de corrente. Comparando-se o conversor proposto por (OLIVEIRA FILHO, 2015) com o conversor proposto, pode-se verificar que este possui maior área de zona de comutação suave. Além disso, por possuir frequências de chaveamento significativamente maiores, tem a vantagem de apresentar uma menor dimensão física dos seus elementos magnéticos.

$$P_{o3i}(\phi) = \frac{24V_i^2 \tan(\phi)}{\pi^2 X_s} \quad (3.51)$$

$$P_{o3li}(\phi) = \frac{12V_i^2 \text{sen}(2\phi)}{\pi^2 X_s \left[1 + \frac{1}{\lambda} \left(1 - \frac{1}{F^2} \right) \right]} \quad (3.52)$$

Figura 46 – Fronteiras de comutação suave dos circuitos primário e secundário.



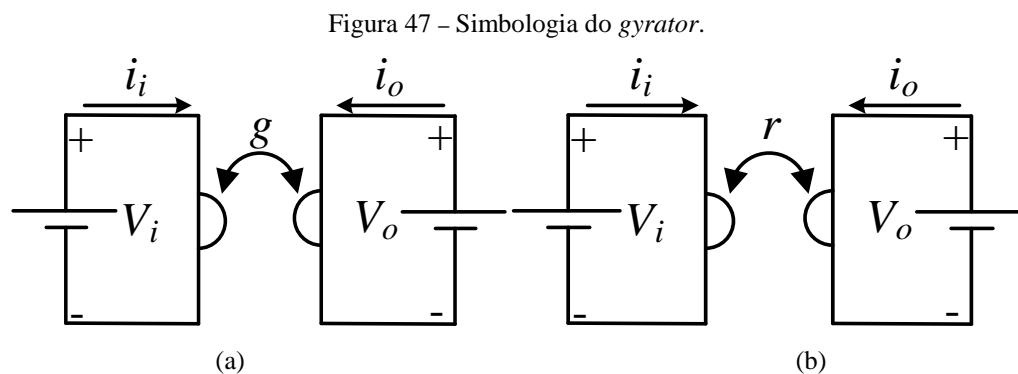
Fonte: Elaborado pelo autor.

3.3.5 – Modelo matemático para controle do conversor

O desenvolvimento de um modelo matemático linearizado, que seja capaz de representar o comportamento do conversor em um determinado ponto de equilíbrio é de grande importância para o funcionamento adequado do sistema de controle. Um dos modelos mais usados na literatura é o modelo por *gyrator*, que é capaz de inverter as características de uma das portas do conversor e, no caso de elementos lineares, também inverte a impedância, podendo, por exemplo, fazer um circuito capacitivo se comportar como indutivo ou uma fonte de tensão se comportar como uma fonte de corrente e vice-versa. Devido a essa característica de “girar” um elemento, o acoplamento da porta de entrada com a porta de saída é chamado de coeficiente girostático (TELLEGEN,1948).

O transformador ideal não pode fornecer, consumir ou armazenar energia. Da mesma maneira, o *gyrator* também não apresenta perdas nem acumula ou fornece energia. Desse modo, o *gyrator* se aplica a uma grande variedade de circuitos de processamento de energia com características conservativas de energia, denominados de POPI (*Power Output equals Power Input*) (OLIVEIRA FILHO, 2015; WALBERMARK, 2011).

A simbologia que é utilizada em circuitos dos dois tipos de *gyrator* é apresentada na Figura 47 (a) *gyrator* condutância ($1/\Omega$) e (b) *gyrator* resistência (Ω). Para o *gyrator* condutância, valem as relações apresentadas na equação (3.53) e para o *gyrator* resistência, valem as relações apresentadas na equação (3.54).



Fonte: (WALBERMARK, 2011, com adaptações).

$$\begin{cases} I_i = \pm g.V_o \\ I_o = \pm g.V_i \end{cases} \quad (3.53)$$

$$\begin{cases} V_i = \pm r.I_o \\ V_o = \pm r.I_i \end{cases} \quad (3.54)$$

A corrente média de saída do modelo monofásico refletida para o lado primário foi dada pela equação (3.24). Considerando que as equações desenvolvidas nesse trabalho utilizando a componente fundamental foram desenvolvidas a partir de um modelo monofásico equivalente, então, para obter-se a corrente média de saída do conversor trifásico deve-se refletir a corrente média para o lado secundário e multiplica-la por 3 por ser trifásico. Desse modo, a corrente média de saída do conversor será dada pela equação (3.55).

$$I_o(f_s) = 3 \cdot \left(\frac{8 \cdot V_i \cdot \text{sen}(\phi)}{n_i \cdot \pi^2 \cdot X_s(f_s)} \right) \quad (3.55)$$

A reatância série apresentada em função da frequência de chaveamento apresentada por (3.56) pode ser facilmente obtida a partir da equação (3.10) e através de algumas manipulações matemáticas. Substituindo (3.56) na equação (3.55), obtém-se a equação (3.57) que representa a corrente média de saída do conversor em função da frequência de chaveamento considerando um determinado valor fixo de *phase-shift*.

$$X_s(f_s) = \left(\frac{f_s^2 - f_o^2}{f_s} \right) \cdot 2\pi L_s \quad (3.56)$$

$$I_o(f_s) = \left(\frac{12 \text{sen}(\phi)}{n_i \pi^3 \left(\frac{f_s^2 - f_o^2}{f_s} \right) \cdot L_s} \right) \cdot V_i \quad (3.57)$$

Considerando as equações (3.57) e (3.53), isola-se a corrente de saída e a tensão de entrada conforme a equação (3.58) para se obter o coeficiente girostático apresentado na equação (3.59) cuja unidade será Ω^{-1} .

$$I_o(f_s) = g \cdot V_i \quad (3.58)$$

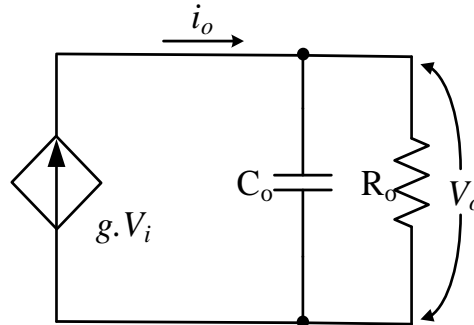
$$g = \frac{12 \cdot \text{sen}(\phi)}{n_i \cdot \pi^3 \left(\frac{f_s^2 - f_o^2}{f_s} \right) \cdot L_s} \quad (3.59)$$

Através da equação (3.58), pode-se perceber que o conversor transforma uma fonte de tensão do circuito primário em uma fonte de corrente para o circuito secundário. Dessa

maneira, o modelo do circuito secundário é apresentado na Figura 48 através de uma fonte de corrente alimentando uma carga RC. A função de transferência da tensão de saída V_o em relação à corrente i_o dada equação (3.60).

$$G_{V_o I_o}(s) = \frac{V_o(s)}{I_o(s)} = \frac{R_o}{R_o C_o s + 1} \quad (3.60)$$

Figura 48 – Modelo equivalente do conversor usando a teoria de *gyrator*.



Fonte: Elaborado pelo autor.

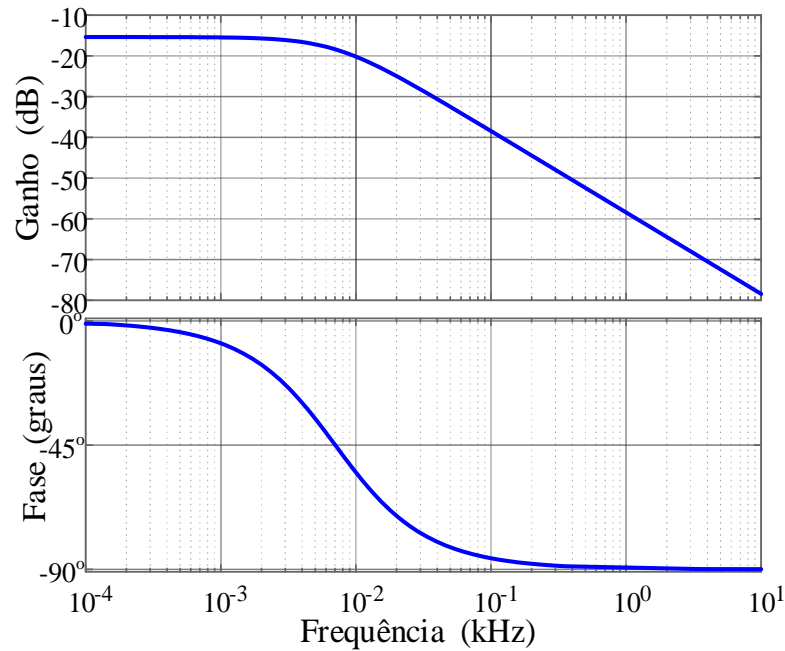
Linearizando a corrente da equação (3.57) em um ponto de equilíbrio denominado f_{so} , pode-se determinar o comportamento da corrente i_o em relação à frequência de chaveamento f_s . A presença de um sinal negativo na função de transferência, que será omitido, significa apenas que as grandezas são inversas, ou seja, quanto maior a frequência de chaveamento menor será a corrente de saída. Dessa maneira, a Função de Transferência do conversor será a multiplicação das equações (3.60) e (3.61), resultando na equação (3.62).

$$\frac{\partial I_o(f_{so})}{\partial f_s} = \frac{12 \cdot V_i \cdot \text{sen}(\phi)}{n_t \cdot \pi^3 \cdot \left(\frac{f_{so}^2 - f_o^2}{f_{so}^2 + f_o^2} \right) \cdot L_s} \quad (3.61)$$

$$G_{V_{of}}(s) = \frac{12 \cdot V_i \cdot \text{sen}(\phi)}{n_t \cdot \pi^3 \cdot \left(\frac{f_{so}^2 - f_o^2}{f_{so}^2 + f_o^2} \right) \cdot L_s} \cdot \frac{R_o}{R_o C_o s + 1} \quad (3.62)$$

Pode-se verificar que a função de transferência $G_{V_{of}}(s)$ possui apenas um polo. Essa característica também pode ser confirmada através do diagrama de Bode apresentado na Figura 49. O ganho do diagrama de Bode apresenta um declive de 20 dB/década que é um comportamento esperado para esse modelo de planta.

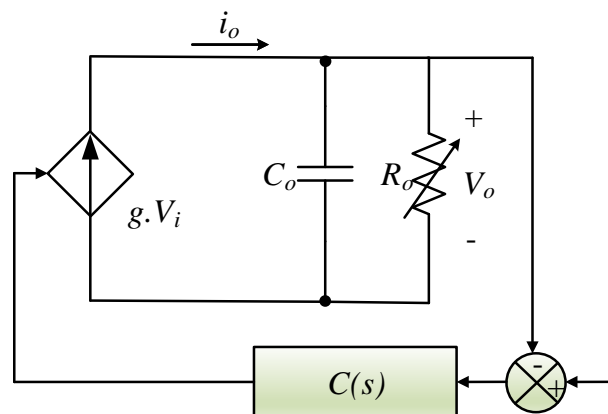
Figura 49 – Diagrama de Bode de $G_{V_o}(s)$



Fonte: Elaborado pelo autor.

Uma das vantagens da representação da modelagem por *gyrator* é que as variáveis que interferem na variável de interesse para o controle ficam claramente definidas. Através da Figura 50, que apresenta o modelo equivalente em malha fechada, pode-se verificar que o controle da fonte de corrente através da frequência de chaveamento é o responsável pelo controle da tensão de saída V_o .

Figura 50 – Modelo equivalente em malha fechada do conversor.



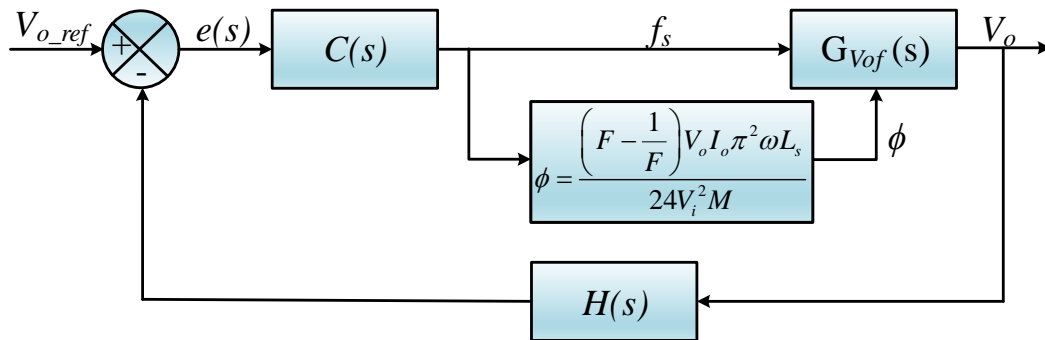
Fonte: Elaborado pelo autor.

Por fim, o diagrama de blocos que representa a estratégia de controle da tensão de saída em malha fechada é apresentado na Figura 51, em que:

- $C(s)$ representa o controlador que será projetado no capítulo seguinte;
- $H(s)$ representa o ganho de sensor de tensão;
- V_o é o valor da tensão de saída;

- V_{o_ref} é a tensão de saída de referência;
- $e(s)$ é o sinal de erro;
- f_s é o valor do sinal de controle do controlador;
- ϕ é o valor do ângulo *phase-shift* estimado.

Figura 51 – Diagrama de blocos do sistema em malha fechada.



Fonte: Elaborado pelo autor.

4. PROCEDIMENTO DE PROJETO

4.1 – Introdução

Este capítulo tem como objetivo apresentar um exemplo de projeto completo para validação do modelo matemático. Dessa maneira, considerando todos os parâmetros e análises do comportamento do conversor previamente discutidas, o dimensionamento de cada componente do conversor como indutores, capacitores, chaves semicondutoras, bem como o projeto do sistema de controle, será apresentado e discutido.

4.2 – Projeto do conversor proposto

As especificações do projeto e os parâmetros assumidos do conversor, os quais serão utilizados para o cálculo dos componentes e projeto das malhas de controle, são descritos na Tabela 1. O valor da tensão de entrada do conversor foi adotado considerando a associação de oito baterias de 12 V em série. O valor da tensão de saída foi adotado considerando que é bastante utilizado na literatura para uma microrrede, para sistemas de distribuição de média potência, bem como, em barramentos de alta tensão de veículos elétricos (YAQOOB, LOO e LAI, 2018; YILMAZ e KREIN, 2013). A Tabela 1 apresenta os valores adotados das especificações do projeto no conversor proposto.

Tabela 1 – Especificações do projeto.

Tensão de entrada (V_i)	96	V
Tensão de saída (V_o)	380	V
Frequência de chaveamento (f_s)	95-120	kHz
Potência do conversor	3,0	kW

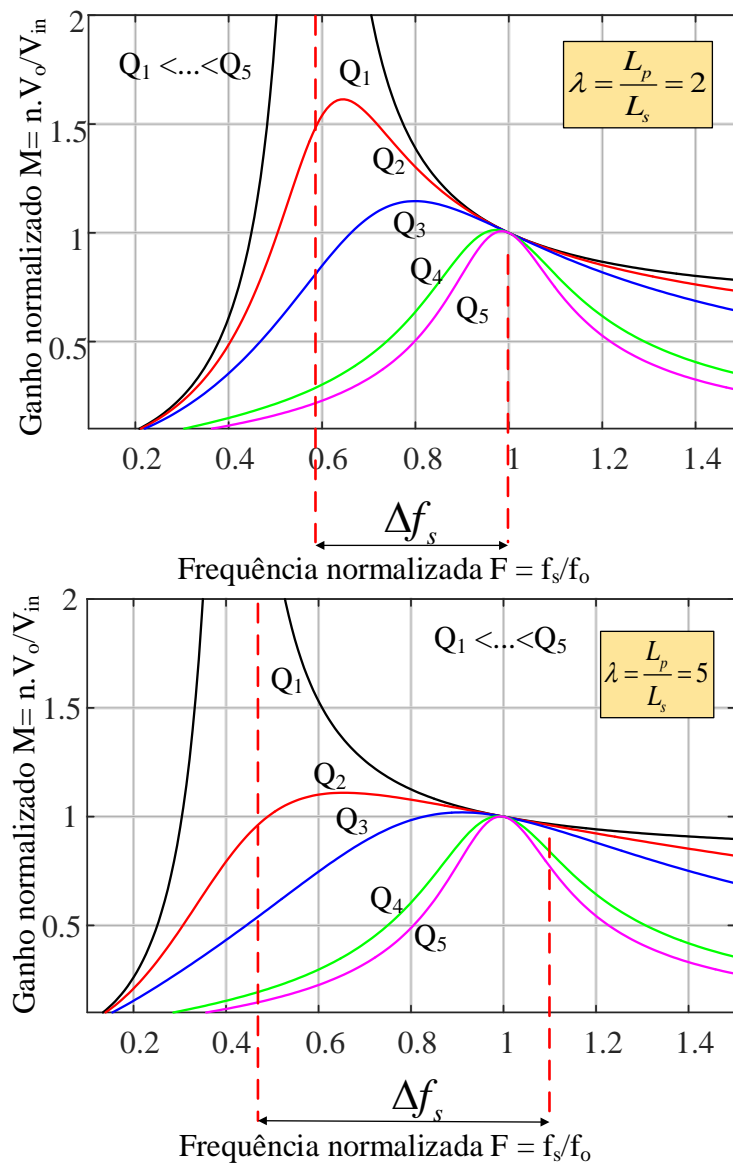
Fonte: Elaborado pelo autor.

A razão cíclica ideal não considera o tempo morto entre a comutação das chaves do mesmo braço. O ganho estático mais próximo possível da unidade, busca garantir que a comutação seja ZVS em uma ampla faixa de carga garantindo, assim, rendimento elevado.

A Figura 52 apresenta o comportamento do ganho estático considerando a variação de λ já definido em (3.39). O *phase-shift* foi adotado baixo com a finalidade de minimizar a circulação de energia reativa e manter um alto rendimento. Se o fator de qualidade for adotado pequeno demais, o conversor será bastante sensível a pequenas mudanças na frequência de chaveamento e/ou no *phase-shift*. O aumento de $\lambda=2$ para $\lambda=5$ acarreta na redução do valor do

pico do ganho estático. Isso compromete a capacidade de regulação da tensão para algumas condições de carga e diminui a faixa de ZVS abaixo da frequência de ressonância. Com o gradativo aumento da impedância base representada na equação (2.3), aumenta-se, a diferença entre as duas frequências de ressonância. Essa maior faixa de frequência de chaveamento prejudica o dimensionamento adequado do projeto. Se a razão λ for baixa, significa que L_p é mantido baixo e a corrente $i_p(t)$ que atravessa esse indutor, deverá aumentar. Logo, comprometerá o rendimento do conversor, pois essa a corrente $i_p(t)$ circula através das chaves semicondutoras do primário e do circuito tanque ressonante e não é transferida para o lado secundário. Portanto, deverá haver um compromisso entre o rendimento e a faixa de regulação de tensão (YU, CHEN, VISWANATHAN. 2018).

Figura 52 – Efeito da variação dos parâmetros do conversor.



Fonte: (YU, CHEN, VISWANATHAN, 2018, com adaptações).

Considerando a Figura 52 e os gráficos do comportamento do conversor do capítulo anterior, os valores dos critérios de projeto adotados para o conversor proposto são apresentados na Tabela 2.

Tabela 2 – Critérios de projeto.

Ciclo de trabalho (D)	0,5
Ganho estático (M)	1
Fator de qualidade (Q)	4,9
Razão entre indutâncias paralela e série (λ)	7
Phase shift (ϕ)	31,8°
Frequência relativa (F)	1,05

Fonte: Elaborado pelo autor.

A relação de transformação do transformador e a corrente máxima de entrada e saída do conversor são dadas pelas equações (4.1) a (4.3), respectivamente.

$$n_t = \frac{V_o}{4V_i(1-D)} = 1,979 \quad (4.1)$$

$$I_i = \frac{P_o}{V_i} = 31,25A \quad (4.2)$$

$$I_o = \frac{P_o}{V_o} = 7,89A \quad (4.3)$$

Para o cálculo dos capacitores do barramento CC de entrada e de saída, foi utilizado o critério *hold up time*, que considera a energia armazenada nos instantes de carga e descarga dos capacitores. As energias acumuladas máximas e mínimas são dadas pelas equações (4.4) e (4.5), respectivamente (ERICKSON, MAKSIMOVIC, 2001).

$$E_{\max} = \frac{1}{2} CV_{\max}^2 \quad (4.4)$$

$$E_{\min} = \frac{1}{2} CV_{\min}^2 \quad (4.5)$$

A corrente de saída apresenta uma ondulação seis vezes maior que a frequência de chaveamento. Assim, considerando o princípio da conservação de energia e isolando-se a capacitância, as capacitâncias de entrada e saída podem ser encontradas pela equação (4.6).

$$C = \frac{2.P_o.\Delta t}{(V_{\max}^2 - V_{\min}^2)} \quad (4.6)$$

Considerando que os valores máximo e mínimo das tensões de entrada e saída têm uma variação de 5%, as capacitâncias de entrada e saída estimadas são dadas por (4.7) e (4.8), respectivamente. Dessa maneira, os capacitores adequados ao barramento de entrada no circuito primário e ao barramento de saída no circuito secundário são apresentados na Tabela 3 e na Tabela 4, respectivamente.

$$C_i = \frac{2P_o\Delta t}{(V_{i\max}^2 - V_{i\min}^2)} = \frac{2.3000 \left(\frac{1}{6.100000} \right)}{(96^2 - 91,2^2)} = 11,13\mu F \quad (4.7)$$

$$C_o = \frac{2P_o\Delta t}{(V_{o\max}^2 - V_{o\min}^2)} = \frac{2.3000 \left(\frac{1}{6.100000} \right)}{(380^2 - 361^2)} = 0,71\mu F \quad (4.8)$$

Tabela 3 – Características do capacitor eletrolítico para o barramento CC de entrada.

Fabricante	<i>Epcos</i>
Tipo	Eletrolítico
Modelo	B43304-A9107
Capacitância	100 μ F
Corrente eficaz	2,17 A
Tensão máxima	400 V
Resistência série	1,96 Ω
Quantidade	3 unidades

Fonte: Elaborado pelo autor.

Tabela 4 – Características do capacitor eletrolítico para o barramento CC de saída.

Fabricante	<i>Epcos</i>
Tipo	Eletrolítico
Modelo	B43503-S5477
Capacitância	470 μ F
Corrente eficaz	5,45 A
Tensão máxima	450 V
Resistência série	270 m Ω
Quantidade	1 unidade

Fonte: Elaborado pelo autor.

Para dimensionamento das características principais do circuito tanque ressonante, serão usados os critérios de projeto adotados previamente nas Tabelas 1 e 2. Considerando a equação (2.2), a frequência de ressonância de projeto é obtida e apresentada através da equação (4.9). Com isso, obtém-se a frequência angular de ressonância que é dada pela equação (4.10).

$$f_o = \frac{f_s}{F} = 95240 \text{ Hz} \quad (4.9)$$

$$\omega_o = 2\pi f_o = 598.400 \text{ rad / s} \quad (4.10)$$

Como explanado no capítulo anterior, a resistência R_o' representa a resistência de carga do conversor refletida para o circuito primário dada por (4.11). Considerando o caso particular em que $\theta = 0^\circ$ na equação (3.28), todo o circuito secundário do conversor pode ser refletido para o circuito primário como uma carga resistiva equivalente representada pela equação (4.12).

$$R_o' = \left(\frac{1}{n_t} \right)^2 \frac{V_o^2}{P_o} = 12,28 \Omega \quad (4.11)$$

$$Z_{ac}' = \frac{6R_o'}{\pi^2} = 7,47 \Omega \quad (4.12)$$

Considerando as equações (2.4), (4.10) e (4.12), e a Tabela 2, a indutância série e a indutância paralela do circuito tanque ressonante são apresentadas pelas equações (4.13) e (4.14), respectivamente.

$$L_s = \frac{QZ_{ac}'}{\omega_o} = 61,6 \mu H \quad (4.13)$$

$$L_p = \lambda L_s = 413,2 \mu H \quad (4.14)$$

Reorganizando a equação (2.3), e considerando os valores obtidos em (4.10) e (4.13), pode-se obter a capacitância série do circuito tanque ressonante por (4.15). A Tabela 5 apresenta os dados do capacitor adotado considerando os valores comerciais disponíveis. No caso, foram utilizados 10 capacitores em paralelo de 4,7 nF totalizando 47 nF.

$$C_s = \frac{1}{\omega_o^2 \cdot L_s} = 45,33 \text{ nF} \quad (4.15)$$

Tabela 5 – Características do capacitor de polipropileno de filme metalizado para o circuito tanque ressonante.

Fabricante	<i>TDK</i>
Tipo	Polipropileno de filme metalizado
Modelo	B32652
Capacitância	4,7 nF
Tensão máxima	700 V
Quantidade	10 unidades/fase

Fonte: Elaborado pelo autor.

A reatância série e a reatância paralelo são dadas pelas equações (3.10) e (3.15), respectivamente. Estas equações são rerepresentadas por (4.16) e (4.17), respectivamente.

$$X_s = \omega L_s - \frac{1}{\omega C_s} = 3,59\Omega \quad (4.16)$$

$$X_p = \omega L_p = 77,414\Omega \quad (4.17)$$

Para o dimensionamento das chaves semicondutoras do circuito primário e secundário, é necessário avaliar as características de tensão e corrente. Considerando as componentes fundamentais e a análise do modelo monofásico do capítulo anterior, cada chave semicondutora está submetida ao máximo valor da tensão de entrada que pode ser obtida por (3.1). A corrente máxima é o valor de pico da corrente de entrada do circuito tanque ressonante, dada por (3.12). Dessa maneira, a tensão e corrente máximas nas chaves semicondutoras do primário são apresentadas por (4.18) e (4.19), respectivamente.

$$V_{Sprim} = \frac{4V_i}{\pi} = 122V \quad (4.18)$$

$$I_{Sprim_max} = \frac{4I_s}{\pi X_s} = 18,04A \quad (4.19)$$

A defasagem entre a corrente de $i_s(t)$ e a tensão de entrada $v_{A1A2}(t)$ é dada pela equação (3.13). Considerando um ganho estático unitário, pode-se obter a defasagem por (4.20). A corrente média e *rms* que atravessam as chaves semicondutoras do primário são dadas pelas equações (4.21) e (4.22), respectivamente. A Tabela 6 apresenta as principais características dos módulos de chaves semicondutoras adotadas para o circuito primário, em que cada módulo apresenta seis chaves com diodos em anti-paralelo.

$$\alpha = \operatorname{tg}^{-1} \left[\frac{\operatorname{sen}^{-1}(31,8^\circ)}{1} - \operatorname{cotg}(31,8^\circ) \right] = 15,4^\circ \quad (4.20)$$

$$I_{Sprim_media} = \frac{1}{\pi} \cdot \int_{-\alpha}^{\pi-\alpha} \frac{4I_s}{\pi X_s} \operatorname{sen}(n\omega t - \alpha) dt = 9,86A \quad (4.21)$$

$$I_{Sprim_rms} = \sqrt{\frac{1}{\pi} \int_{-\alpha}^{\pi-\alpha} \left[\frac{4I_s}{\pi X_s} \operatorname{sen}(n\omega t - \alpha) \right]^2 dt} = 12,75A \quad (4.22)$$

Tabela 6 – Características da chave semicondutora para o circuito primário.

Fabricante	<i>Cree</i>
Tipo	<i>Sic</i> MOSFET
Modelo	CCS020M12CM2
Tensão máxima Dreno-Fonte	1200V
Corrente máxima dreno	29,5 A ($V_{GS} = 20$ V e $T_c = 25$ °C)
	20 A ($V_{GS} = 20$ V e $T_c = 90$ °C)
Resistência de condução	80 mΩ
Tempo de subida/descida	10/53 ns
Capacitância de saída	181 pF ($V_{DS} = 800$ V)
	400 pF ($V_{DS} = 100$ V)
Quantidade	2 unidades

Fonte: Elaborado pelo autor.

De maneira análoga, para o dimensionamento das chaves semicondutoras do circuito secundário o valor de pico da tensão será dado por (4.23). A corrente máxima através das chaves pode ser obtida a partir da equação do valor máximo da corrente de entrada na porta secundária dada por (3.19), considerando que esta deva ser refletida para o circuito secundário como apresentado em (4.24).

$$V_{Ssec} = V_o = 380V \quad (4.23)$$

$$I_{Ssec_max} = \frac{|I_t|}{n_t} = 9,358A \quad (4.24)$$

A defasagem entre a corrente de $i_t(t)$ e a tensão de entrada do circuito secundário $V_{an}(t)$, é dada pela equação (3.20). Considerando um ganho estático unitário, pode-se obter a defasagem por (4.25). A corrente média e *rms* que atravessam as chaves semicondutoras do

secundário são dadas pelas equações (4.26) e (4.27), respectivamente. A Tabela 7 apresenta as principais características das chaves semicondutoras adotadas para o circuito secundário.

$$\beta = \operatorname{tg}^{-1} \left[\frac{3,439 \cdot \operatorname{sen}^{-1}(31,8^\circ)}{1,3,59} - \operatorname{cotg}(31,8^\circ) \right] = 10,68^\circ \quad (4.25)$$

$$I_{S_{\text{sec_media}}} = \frac{1}{\pi} \cdot \int_{\beta}^{\pi-\beta} \left[I_t \left| \operatorname{sen}(n\omega t - \beta) \right| \right] dt = 5,54A \quad (4.26)$$

$$I_{S_{\text{sec_rms}}} = \frac{1}{\pi} \cdot \sqrt{\int_{\beta}^{\pi-\beta} \left[I_t \left| \operatorname{sen}(n\omega t - \beta) \right| \right]^2 dt} = 6,61A \quad (4.27)$$

Tabela 7 – Características da chave semicondutora para o circuito secundário.

Fabricante	<i>Infineon</i>
Tipo	MOSFET CoolMOS™
Modelo	IPW60R190C6
Tensão máxima Dreno-Fonte	650V
Corrente máxima dreno	37,9 A (25°C)
	24 A (100°C)
Resistência de condução	99 mΩ
Tempo de subida/descida	10/5 ns
Capacitância de saída	85 pF (V _{DS} = 100 V)
	38 pF (V _{DS} = 400 V)
Quantidade	06 unidades

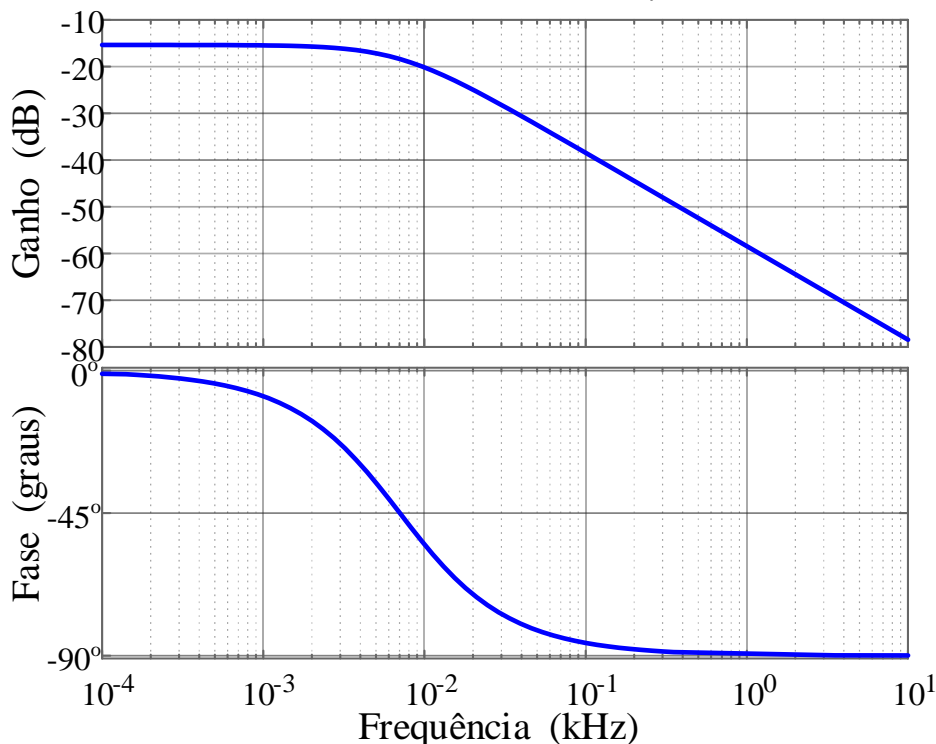
Fonte: Elaborado pelo autor.

4.3 – Projeto do sistema de Controle

A Função de Transferência em Malha Aberta (FTMA) do conversor é representada pela equação (3.62) e reapresentada na equação (4.28). Pode-se verificar que a planta do conversor apresenta apenas um polo. Essa característica também pode ser confirmada através do diagrama de Bode e do gráfico do local das raízes apresentados nas Figuras 53 e 54, respectivamente. O ganho do diagrama de Bode tem declive de 20 dB/década e o polo está situado no eixo real com parte imaginária nula no semiplano esquerdo, que garante a estabilidade do sistema.

$$FTMA = G_{V_{of}}(s) = \frac{12V_i \operatorname{sen}(\phi)}{n_i \pi^3 \left(\frac{f_{so}^2 - f_o^2}{f_{so}^2 + f_o^2} \right) \cdot L_s} \cdot \frac{R_o}{R_o C_o s + 1} \quad (4.28)$$

Figura 53 – Diagrama de Bode de $G_{Vof}(s)$.

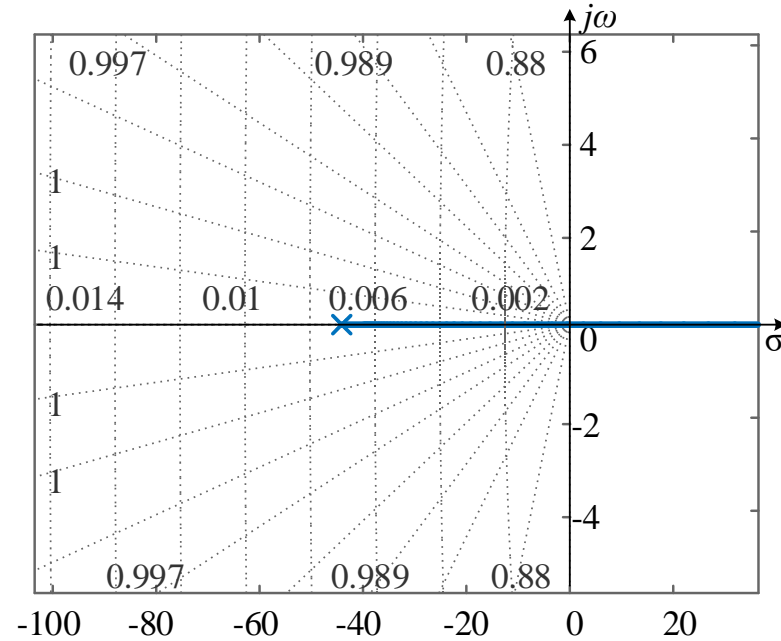


Fonte: Elaborado pelo autor.

Para projeto do controlador, é desejável que a Margem de Fase (MF) esteja em equilíbrio entre velocidade da atuação do controle e sobressinal. Quanto menor a MF, mais rápido será a resposta do controlador e maior será o sobressinal, ao passo que, quanto menor a MF, mais lenta será a resposta do controlador e apresentará um sobressinal mínimo. Essas características devem ser levadas em conta para o projeto do controlador, já que a natureza da variável física a ser controlada também determina a necessidade de uma margem de fase maior ou menor. Para o caso da tensão, normalmente, o controlador não precisa ser tão rápido se comparado, por exemplo, a um controlador de corrente. Dessa maneira, os sobressinais serão minimizados e diminuem as possibilidades de que um componente do conversor sofra um esforço de tensão maior que sua capacidade de projeto.

O gráfico do lugar das raízes da FTMA é apresentado na Figura 54, em que se verifica que o polo da planta fica distante do eixo imaginário. Essa característica mostra-se vantajosa, já que, quanto maior a proximidade com o eixo imaginário, mais oscilatório será a resposta dinâmica da planta a um distúrbio de entrada e haverá uma maior dificuldade para o projeto do controlador. Além disso, é de grande importância que nas regiões de baixa frequência, o ganho seja suficientemente elevado, enquanto que, para regiões de altas frequências seja atenuado o mais rápido possível a fim de minimizar possíveis efeitos causados por ruído (OLIVEIRA FILHO, 2015).

Figura 54 – Gráfico do lugar das raízes de $G_{Vof}(s)$.



Fonte: Elaborado pelo autor.

Para garantir a estabilidade do sistema, a frequência de cruzamento f_{cz} deve ser sintonizada corretamente. A literatura sugere que f_{cz} seja sintonizada numa frequência igual ou abaixo de 1/4 da frequência de chaveamento. Alguns autores também sugerem que a frequência de cruzamento seja sintonizada abaixo de 1/5 da frequência de chaveamento. Além disso, a velocidade do controlador também sofre grande influência do valor de f_{cz} . Quanto maior, mais agressiva será a resposta do controlador e, provavelmente, haverá a presença de sobressinais indesejados cabendo ao projetista decidir se é ou não aceitável (ERICKSON, MAKSIMOVIC, 2001; OGATA, 2011).

Para desenvolvimento do projeto do controlador, todas as etapas são realizadas no domínio da frequência para, no fim, ser totalmente discretizada. Para garantir o mínimo de sobressinais, foi adotada uma frequência de cruzamento $f_{cz} = 2,47$ kHz que corresponde, aproximadamente, a duas décadas abaixo da frequência de chaveamento projetada. Desse modo, minimiza a possibilidade de interferência do controlador de modo a atenuar as oscilações naturais da planta e tornar o sistema instável. Portanto, para controle da planta, foi adotado um controlador Proporcional e Integral (PI) projetado pelo método de alocação de polos e apresentado em (4.29).

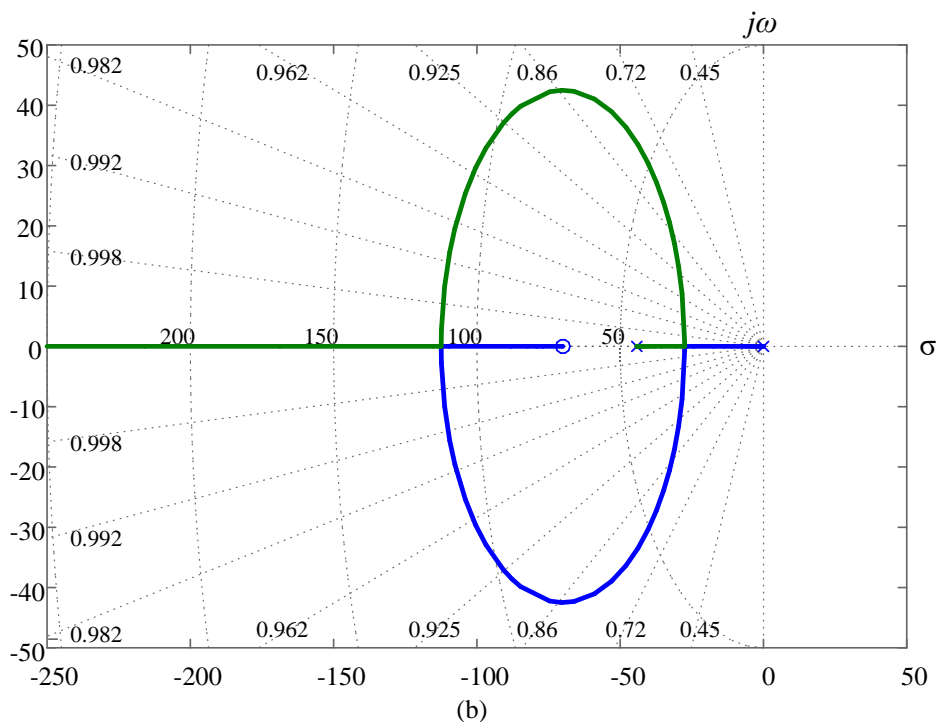
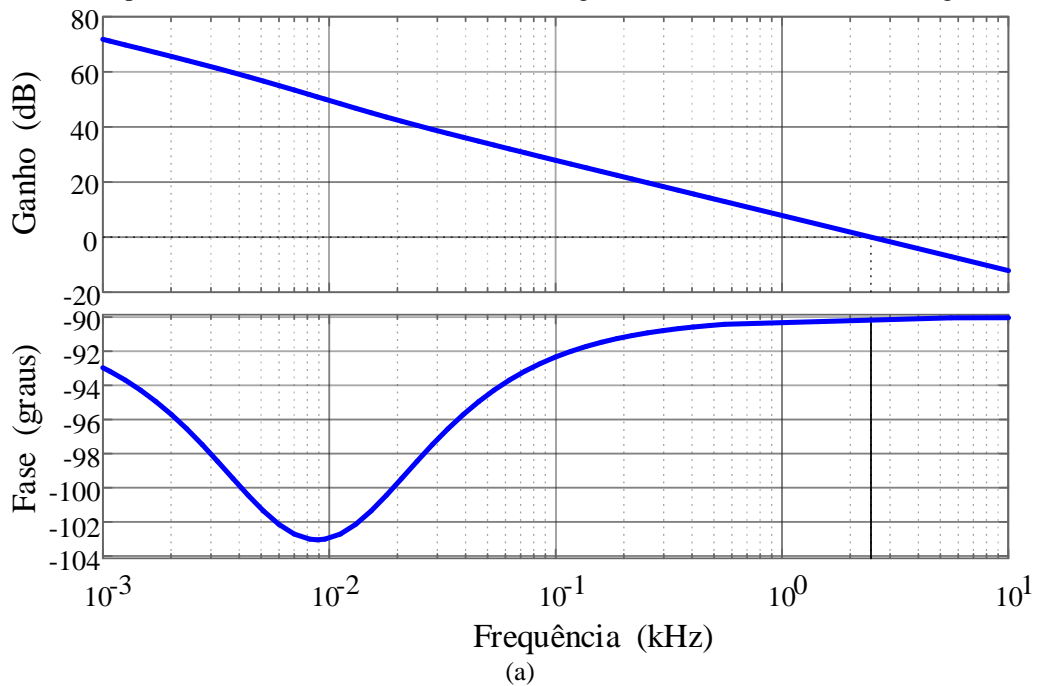
$$C(s) = \frac{2058s + 144060}{s} \quad (4.29)$$

Considerando a equação (4.29), a Função de Transferência de Malha Aberta com compensador (FTMA_{CC}) será representada por (4.30). A literatura sugere que a frequência do zero do compensador seja alocada a uma década abaixo da frequência de cruzamento adotada

para que se tenha uma inclinação de -20 dB/década no gráfico do ganho do sistema compensado. Dessa maneira, analisando o gráfico do diagrama de Bode do sistema compensado na Figura 55, pode-se verificar que o ganho apresenta uma inclinação de -20 dB/década , a frequência de cruzamento é de $2,47 \text{ kHz}$ e a margem de fase encontrada foi igual a $89,9^\circ$ que caracteriza uma planta de baixa velocidade.

$$FTMA_{cc} = C(s).G_{vof}(s) \quad (4.30)$$

Figura 55 – Comportamento dinâmico da FTMAcc: (a) Diagrama de Bode; (b) Gráfico do Lugar das raízes.



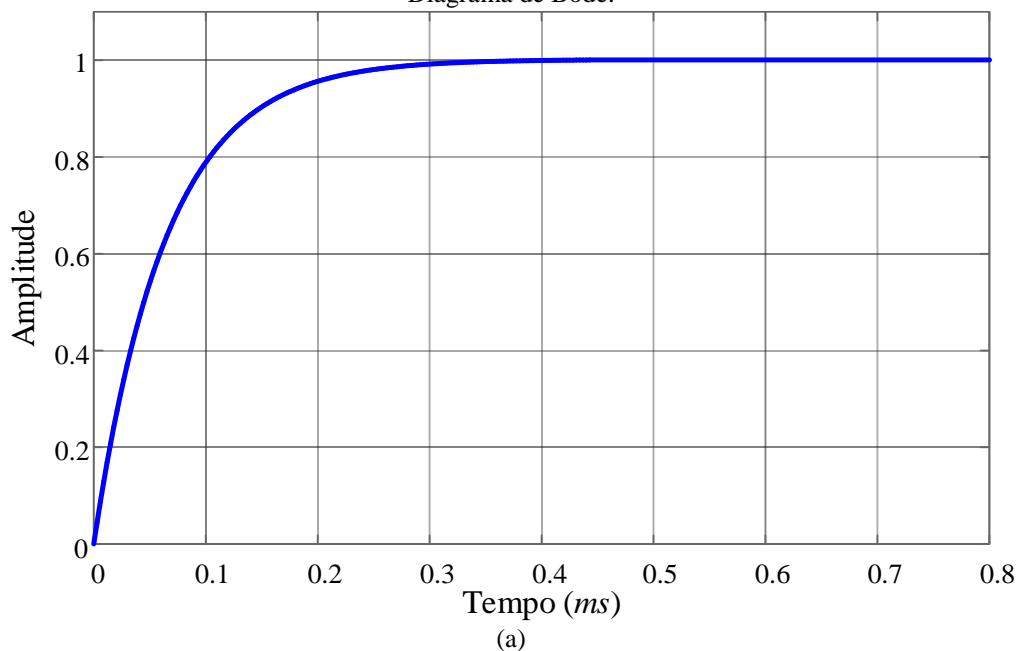
Fonte: Elaborado pelo autor.

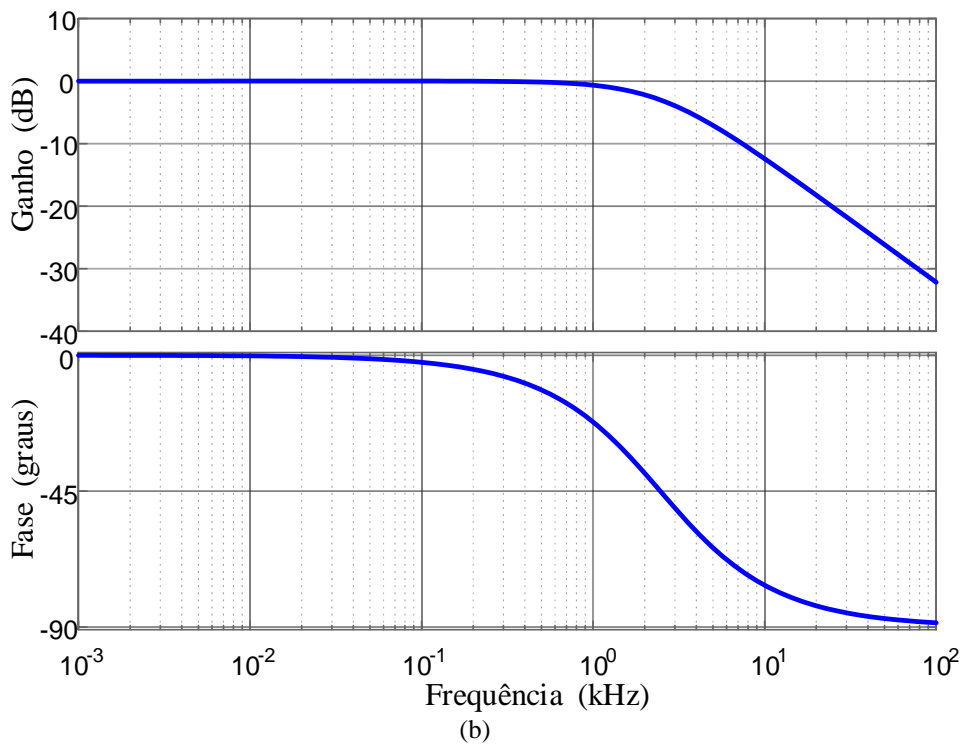
A Função de Transferência de Malha Fechada (FTMF) apresentada na equação (4.31), representa o comportamento da planta considerando a influência do controlador em laço fechado. Dessa maneira, a Figura 56 apresenta as principais curvas dinâmicas do comportamento da planta. A resposta ao degrau unitário do sistema em malha fechada é apresentada na Figura 56(a). Embora não apresente sobressinais, apresenta um tempo de acomodação lento de aproximadamente 60ms. Esse comportamento é característico do controlador projetado. O diagrama de Bode da FTMF é apresentado na Figura 56(b). Pode-se verificar que a planta tem uma característica de 1ª ordem que é desejada para o funcionamento de uma planta já que demonstra um comportamento dinâmico estável.

$$FTMF = \frac{C(s).G_{vof}(s)}{1 + C(s).G_{vof}(s)} \quad (4.31)$$

Portanto, o controlador projetado proporciona um compromisso entre velocidade do controlador e baixo sobressinal garantindo, dessa maneira, a estabilidade da planta nas condições normais de funcionamento. O projeto do sistema de controle pode ser discretizado inserindo-se os ganhos dos sensores e filtros para condicionamento de sinais e supressão de ruídos indesejáveis da planta.

Figura 56 – Comportamento dinâmico da planta em malha fechada: (a) Resposta ao degrau unitário; (b) Diagrama de Bode.





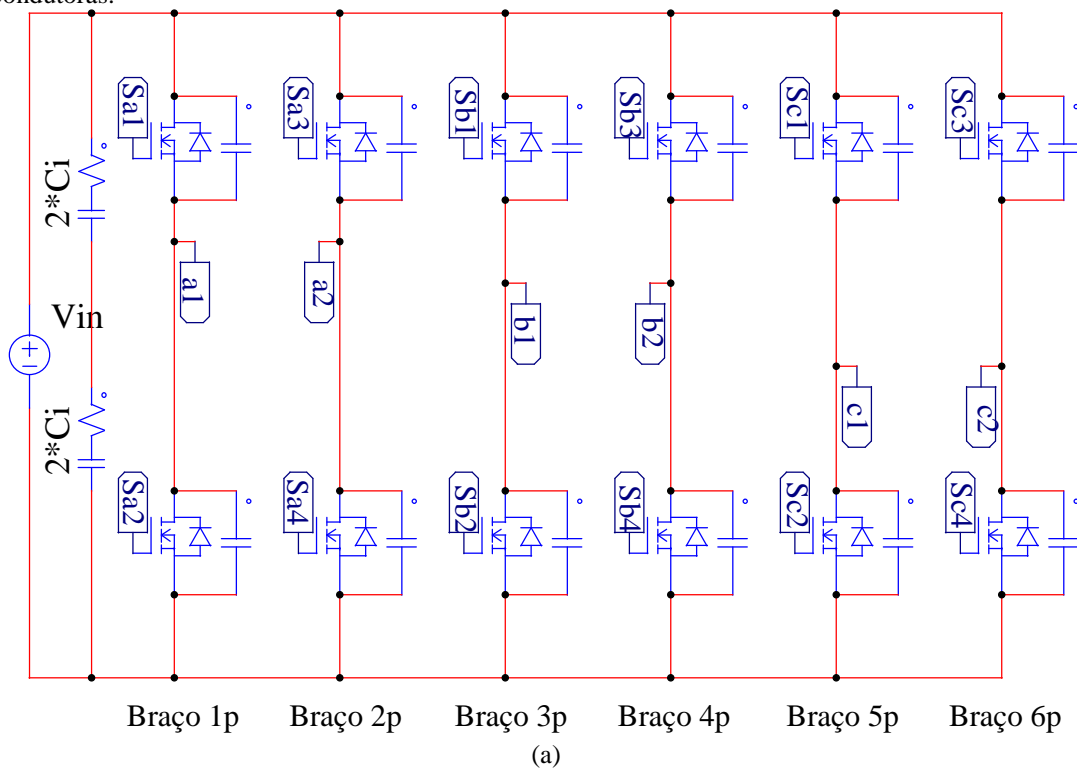
Fonte: Elaborado pelo autor.

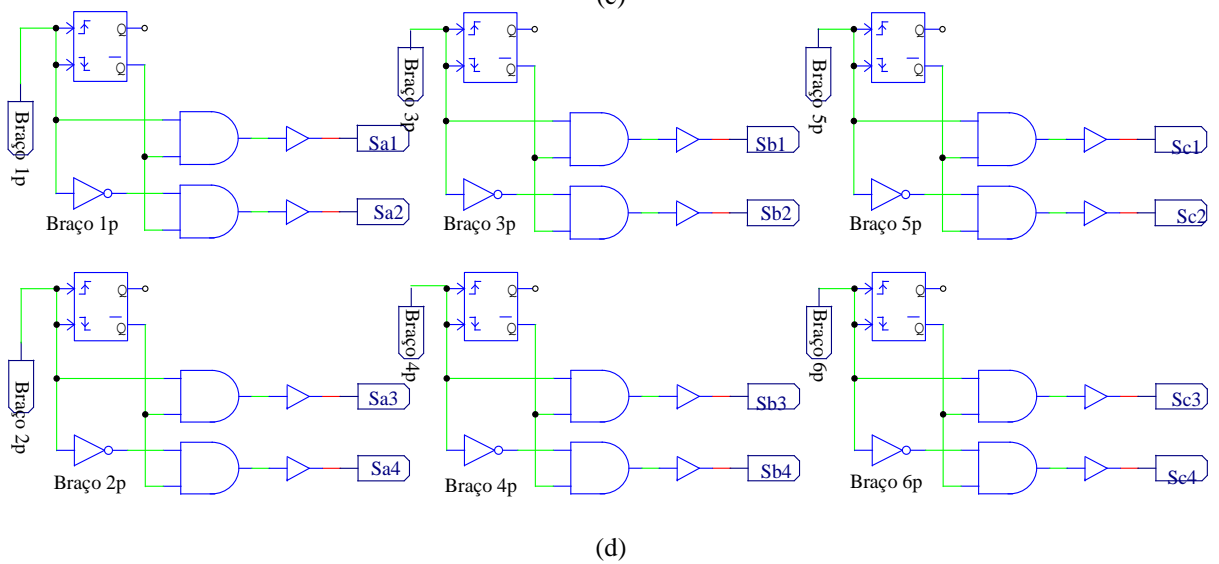
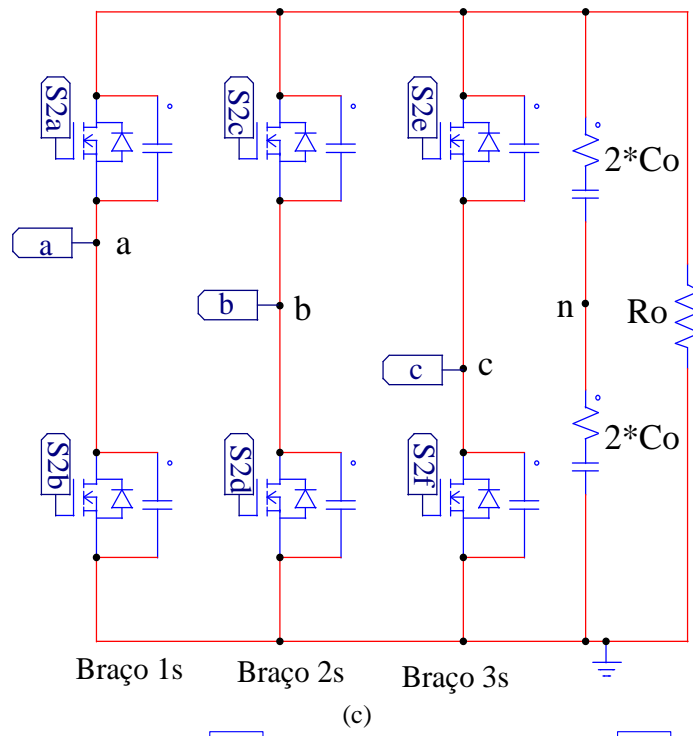
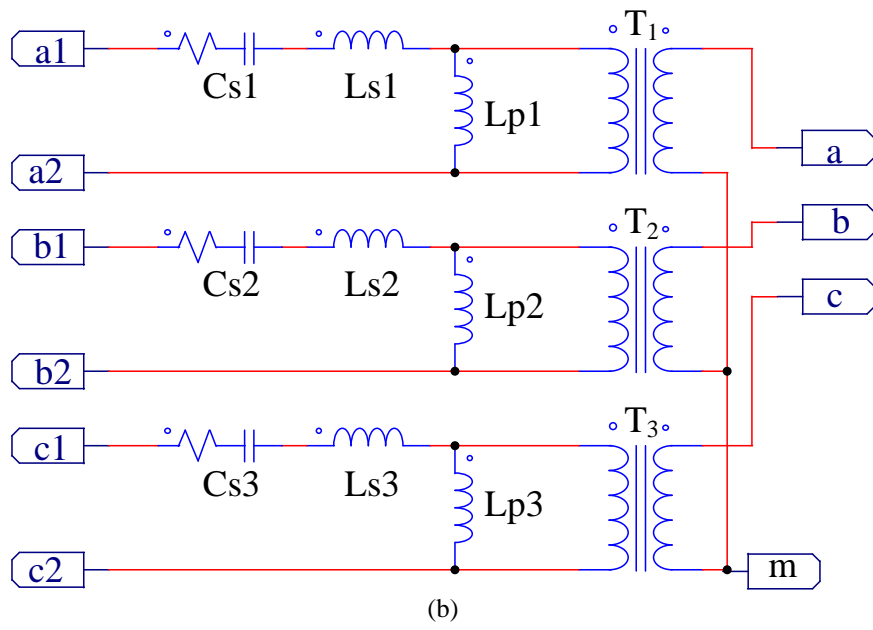
5. RESULTADOS DE SIMULAÇÃO

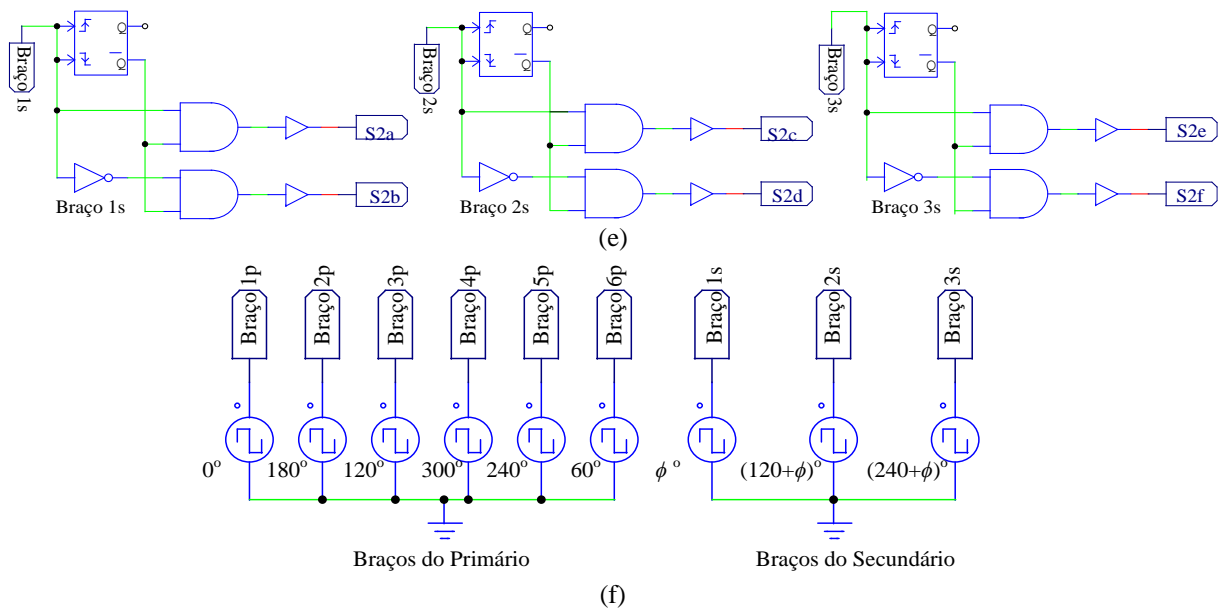
5.1 – Introdução

Esse capítulo apresenta os principais resultados de simulação para o exemplo de projeto considerado nos capítulos anteriores. O estudo computacional foi desenvolvido com o auxílio do *software* PSIM[®], que apresenta as principais formas de onda e medições de tensão e corrente. A análise é realizada para várias condições de carga observando sempre o comportamento geral e o rendimento do conversor. A análise das simulações verificará o funcionamento do conversor em regime permanente, as condições de comutação e o comportamento dinâmico da planta em malha fechada com controle da tensão de saída. O esquemático do conversor usado no PSIM é apresentado na Figura 57. O circuito primário, o circuito tanque ressonante e o circuito secundário são apresentados nas Figuras 57(a) - (c), respectivamente. O esquemático do circuito de acionamento das chaves semicondutoras com tempo morto nas chaves do circuito primário e secundário são apresentados nas Figuras 57(d) e (e), respectivamente. Por fim, os gatilhos e defasagens da topologia é apresentado na Figura 57(f).

Figura 57 – Esquemático do conversor proposto no PSIM com circuitos de acionamento das chaves semicondutoras.







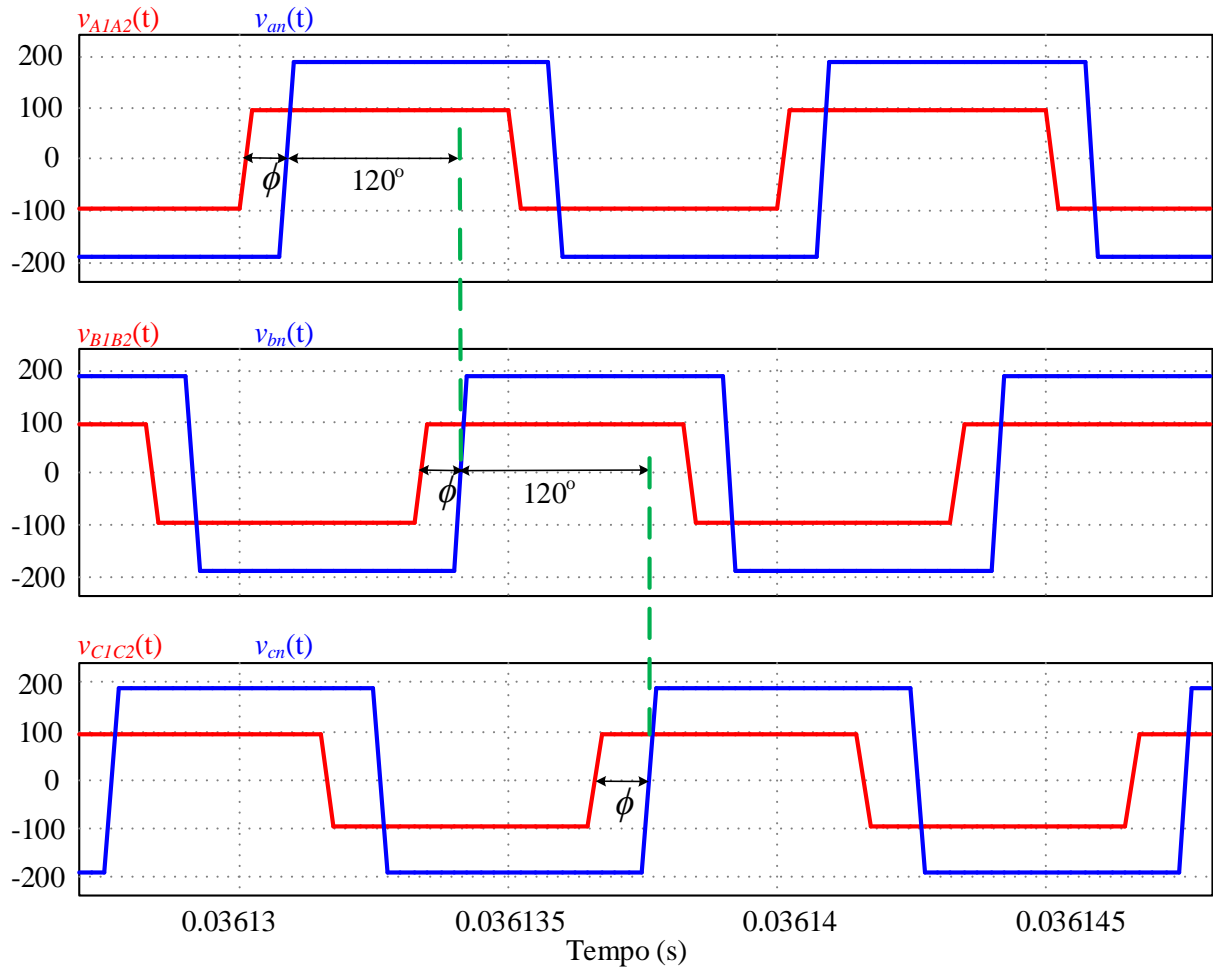
Fonte: Elaborado pelo autor.

5.2 – Resultados de simulação em regime permanente

Para análise da simulação, foram considerados os valores das especificações de projeto apresentado na Tabela 1, bem como, os valores dos critérios de projeto apresentados na Tabela 2. Para facilitar a análise matemática, todos os componentes são considerados ideais e os valores de tensão de entrada e saída são considerados constantes.

A Figura 58 apresenta as tensões trifásicas de linha primária e secundária. A tensão $v_{A1A2}(t)$ é a tensão de entrada do circuito tanque ressonante e a tensão secundária $v_{an}(t)$ representa a tensão entre o ponto central do braço 1s dado por “a” na Figura 57(c) e o ponto central “n” do braço do capacitor de saída. A tensão $v_{A1A2}(t)$ está defasada em relação à tensão secundária $v_{an}(t)$ por um ângulo ϕ que é o ângulo *phase-shift*. Esse ângulo corresponde à defasagem presente entre o acionamento das chaves do braço 1p da Figura 57(a) em relação às chaves do braço 1s da Figura 57(c). Na análise teórica, essas formas de onda são analisadas considerando apenas a componente fundamental, conforme apresentado nas equações (3.1) e (3.2). O valor de pico da tensão primária $v_{A1A2}(t)$ é igual a 96 V, que corresponde ao valor da tensão CC de entrada. O valor de pico da tensão secundária $v_{an}(t)$ é igual a 190 V, que corresponde à metade do valor da tensão CC de saída. Todas as três fases apresentam comportamento similar e são defasadas de 120° entre elas.

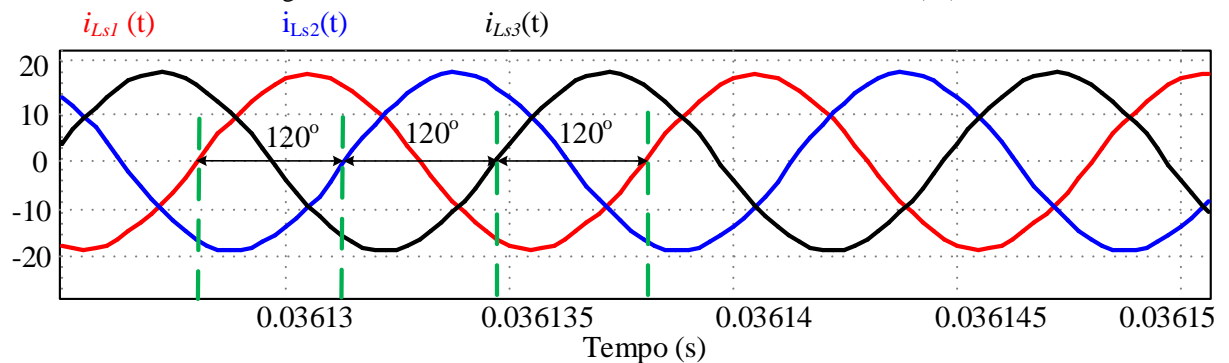
Figura 58 – Tensões de linha primária e secundária.



Fonte: Elaborado pelo autor.

A Figura 59 apresenta a corrente trifásica nos indutores série do circuito tanque ressonante $i_{Ls1}(t) - i_{Ls3}(t)$, que são defasadas de 120° entre elas e apresentam um valor de pico e *rms* de 17,61A e 12,39A, respectivamente. Os valores de pico e *rms* calculados por (4.21) e (4.22) correspondem a 18,04A e 12,75A, respectivamente. Desse modo, o erro percentual entre os valores calculados e simulado foram de 2,4% e 2,9%, respectivamente.

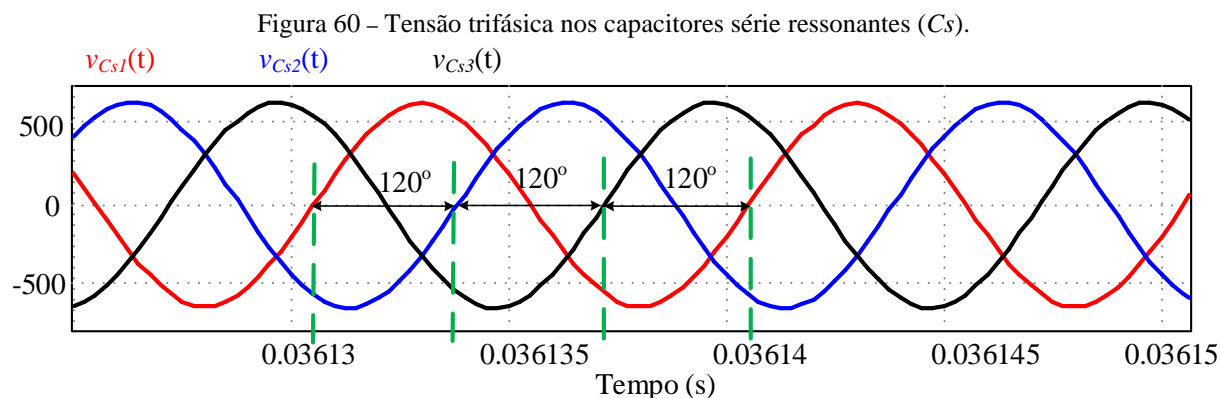
Figura 59 – Corrente trifásica nos indutores série ressonantes (L_s).



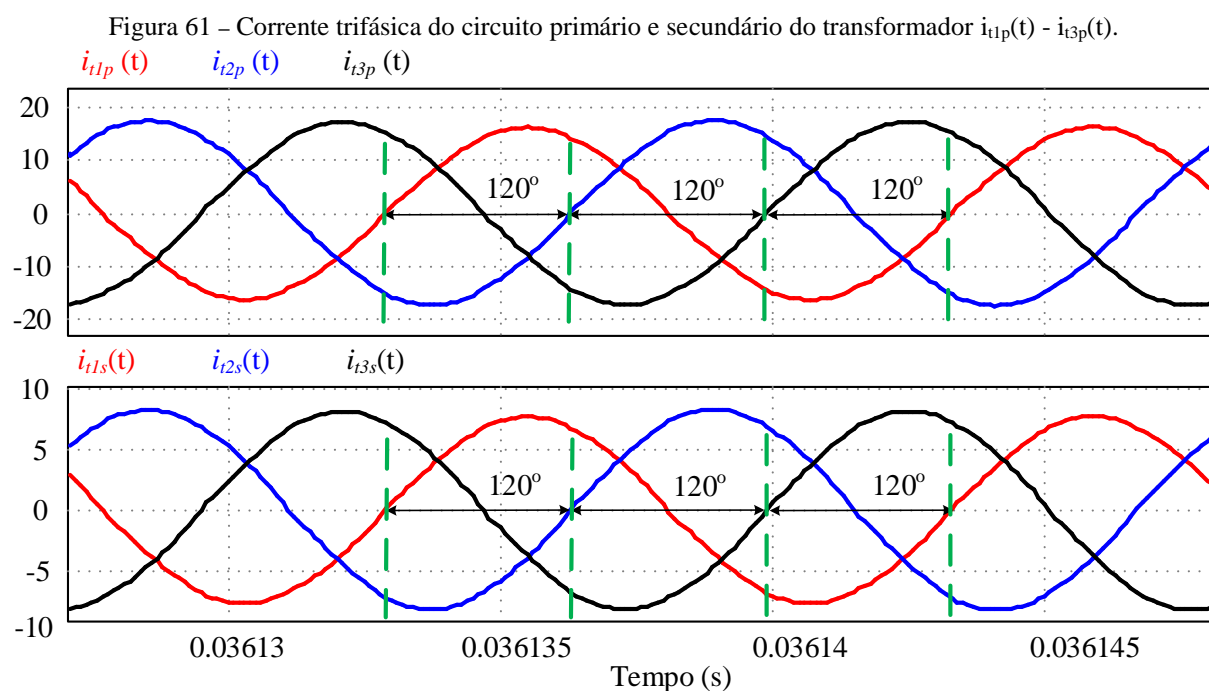
Fonte: Elaborado pelo autor.

A Figura 60 apresenta a tensão trifásica nos capacitores série do circuito tanque ressonante $v_{Cs1}(t) - v_{Cs3}(t)$ que são defasadas de 120° entre elas e apresentam um valor de pico

de 621V. O valor de pico calculado pelo desenvolvimento de (3.44) é igual a 595V. Desse modo, o erro percentual entre os valores calculados e simulado foi de 4,2%.



De modo análogo às correntes do indutor série ressonante apresentadas na Figura 59, as correntes trifásicas de entrada $i_{11p}(t) - i_{i3p}(t)$ e saída $i_{11s}(t) - i_{i3s}(t)$ do transformador trifásico apresentadas na Figura 61 são defasadas de 120° entre elas e não apresentam desequilíbrios que possam causar saturação magnética dos transformadores em nenhuma das fases.



A Tabela 8 apresenta resumidamente os resultados de pico e *rms*, bem como o erro percentual entre os valores calculados e os valores obtidos através da simulação apresentados nas Figuras 59 - 61. Pode-se verificar em todas as situações analisadas, que o erro percentual é menor que 4%, demonstrando que a simulação é condizente com o equacionamento.

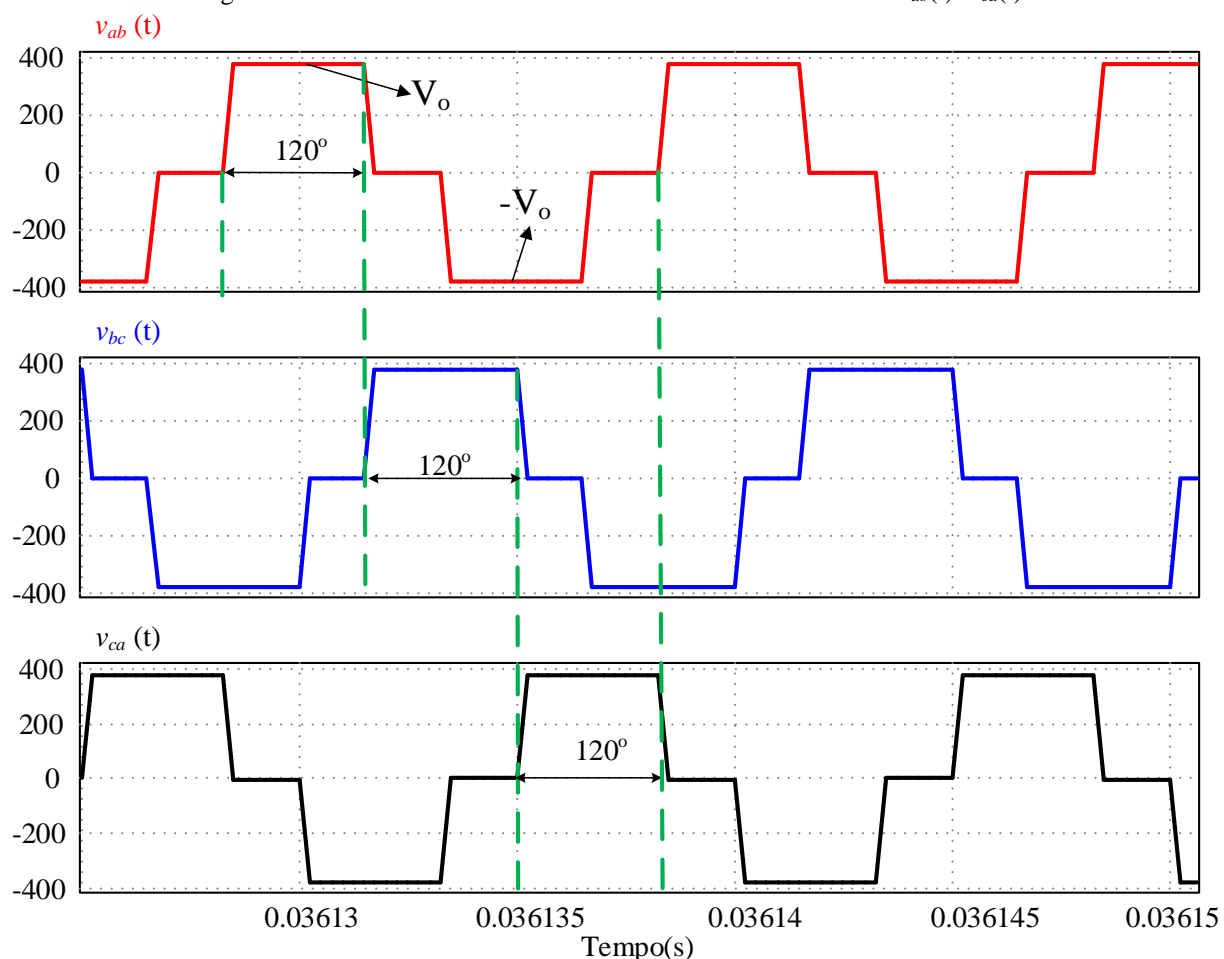
Tabela 8 – Comparação dos valores calculados e simulados das formas de onda do conversor.

Corrente		Simulado	Calculado	Erro
$i_{Ls1}(t)$	Pico	17,61A	18,04A	2,4%
	<i>rms</i>	12,39A	12,75A	2,9%
$v_{Cs1}(t)$	Pico	621V	598,27V	3,8%
	<i>rms</i>	440V	423V	3,9%
$i_{t1p}(t)$	Pico	17,89A	18,52A	3,4%
	<i>rms</i>	12,66A	13,09A	3,3%
$i_{t1s}(t)$	Pico	8,52A	8,82A	3,5%
	<i>rms</i>	6,03A	6,23A	3,31%

Fonte: Elaborado pelo autor.

A Figura 62 apresenta as tensões trifásicas de linha da saída do transformador $v_{ab}(t)$ - $v_{ca}(t)$, que tem a característica de ter três níveis e são defasadas de 120° com valor de pico igual a tensão de saída do conversor que é 380V.

Figura 62 – Tensões trifásicas de linha da saída do transformador $v_{ab}(t)$ - $v_{ca}(t)$.



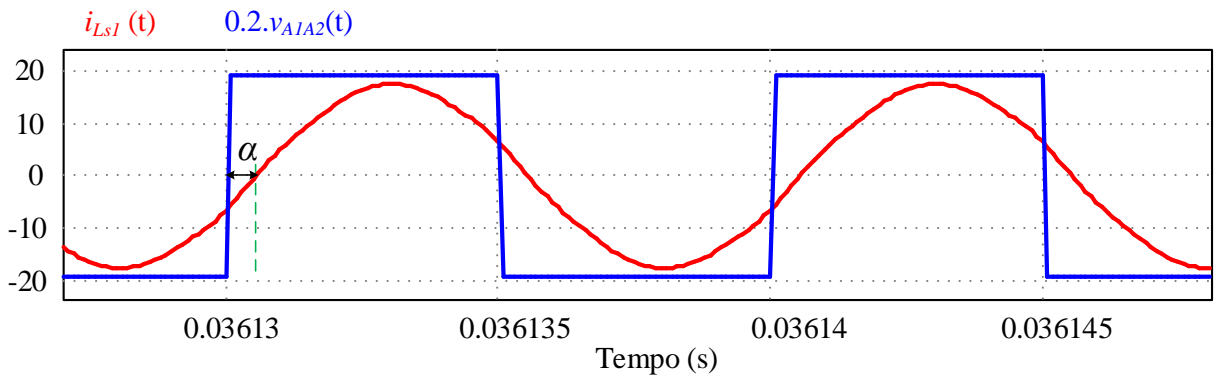
Fonte: Elaborado pelo autor.

A Figura 63 apresenta as formas de onda da tensão de linha primária $v_{A1A2}(t)$ e da corrente do indutor série do circuito tanque ressonante $i_{Ls1}(t)$, que apresentam uma defasagem

entre elas igual a $\alpha = 16,95^\circ$, sendo que o valor calculado foi $\alpha = 15,40^\circ$. De modo análogo, na Figura 64(a) apresenta as formas de onda da tensão de linha primária de entrada do circuito tanque ressonante $v_{A1A2}(t)$ e da corrente de linha da saída do transformador no lado secundário $i_{I1s}(t)$. Pode-se verificar que a defasagem entre elas é igual a $\beta = 15,41^\circ$, sendo que o valor calculado foi igual a $15,68^\circ$. Por fim, na Figura 64(b) apresenta as formas de onda da tensão de linha secundário $v_{an}(t)$ e da corrente de linha da saída do transformador $i_{I1s}(t)$. A defasagem entre elas é igual a $\theta = 17,83^\circ$ e o valor calculado foi de $15,12^\circ$. O ângulo *phase-shift* determinado pela simulação foi $\phi = 31^\circ$, enquanto que o valor calculado foi igual a $30,8^\circ$.

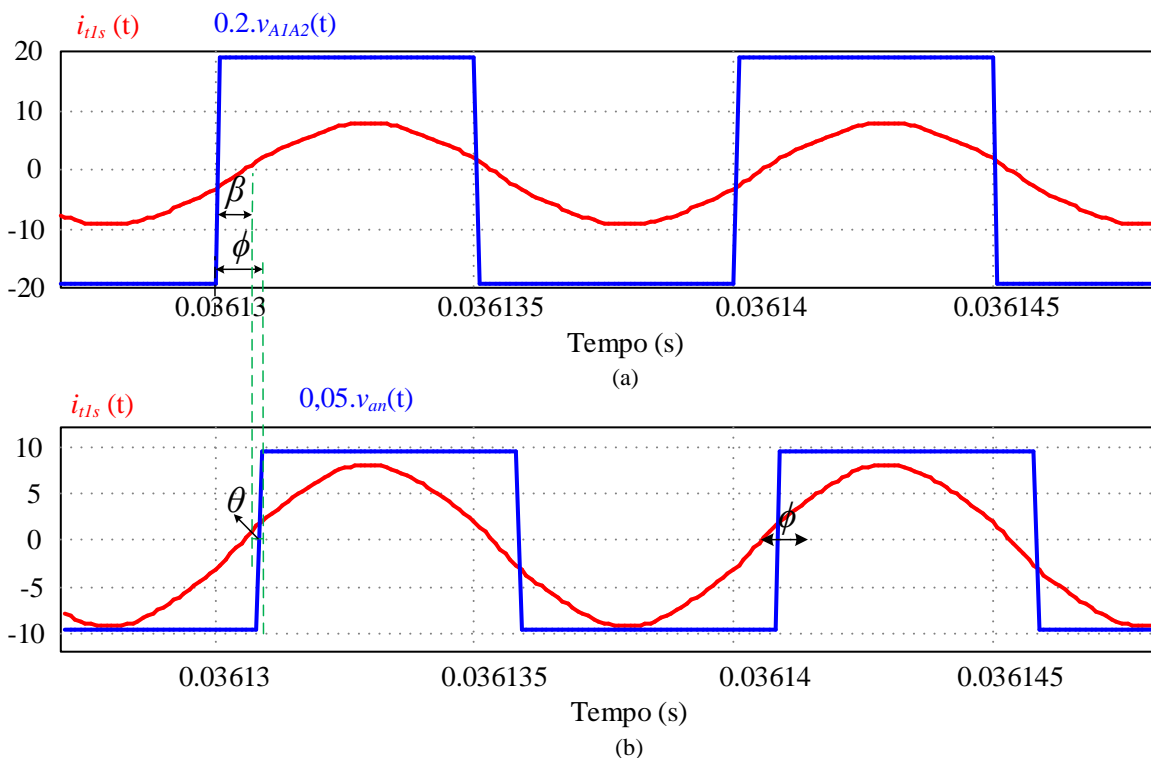
Analisando as defasagens, pode-se verificar que, em ambos os casos das Figuras 63 e 64, os ângulos α , β , ϕ e θ apresentam valores calculados bem aproximados dos valores da simulação.

Figura 63 – Defasagem entre $v_{A1A2}(t)$ e $i_{Ls1}(t)$.



Fonte: Elaborado pelo autor.

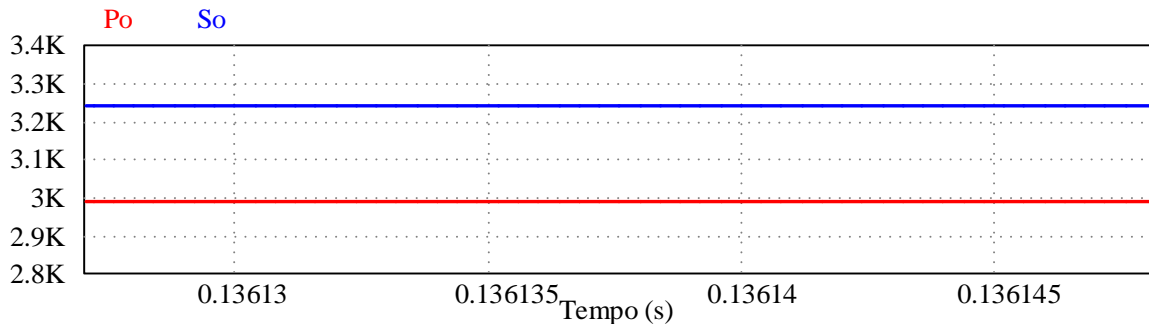
Figura 64 – Defasagem entre $v_{A1A2}(t)$ e (a) $i_{I1s}(t)$ e (b) $v_{an}(t)$.



Fonte: Elaborado pelo autor.

A Figura 65 apresenta as formas de onda da potência ativa e da potência aparente do conversor. Pode-se verificar que a potência determinada pela planta é aproximadamente igual a 3 kW, ao passo que, a potência aparente do transformador apresenta uma potência 3237 VA.

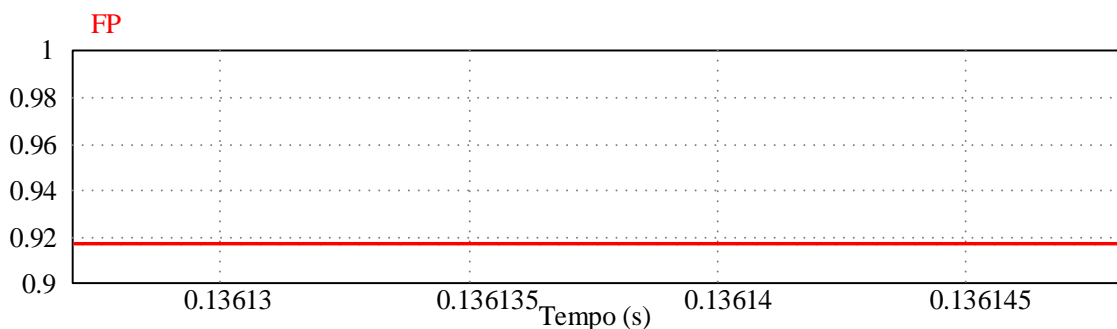
Figura 65 – Potência aparente e potência ativa.



Fonte: Elaborado pelo autor.

A Figura 66 apresenta a forma de onda do fator de potência do transformador que, no intervalo analisado, apresenta um fator de potência igual a 0,913, demonstrando que há uma baixa corrente circulante. Nesse ponto de máxima potência, a Figura 67 apresenta os gráficos da tensão e da corrente de saída do conversor, que correspondem aos valores estipulados em projeto.

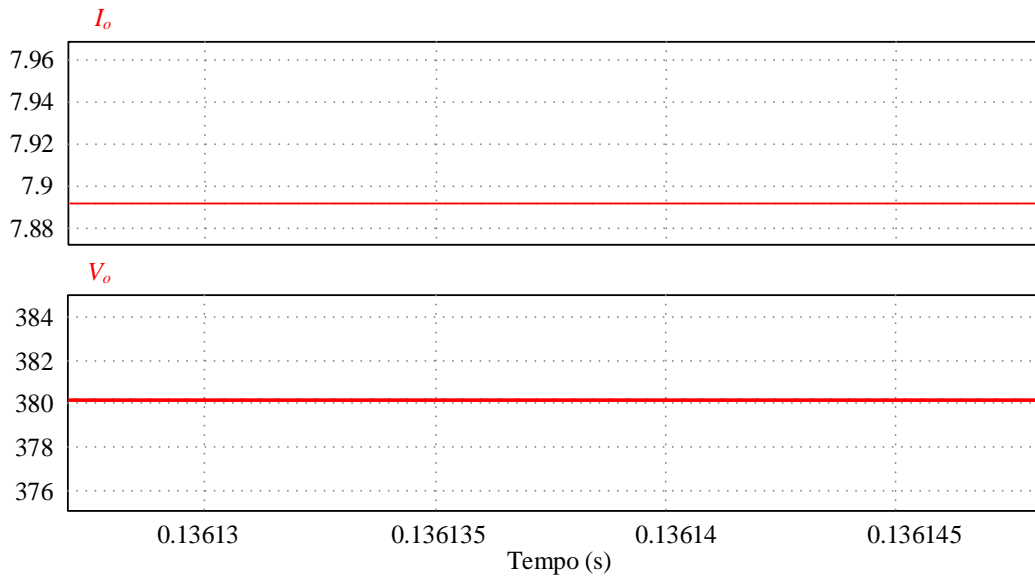
Figura 66 – Fator de potência do transformador.



Fonte: Elaborado pelo autor.

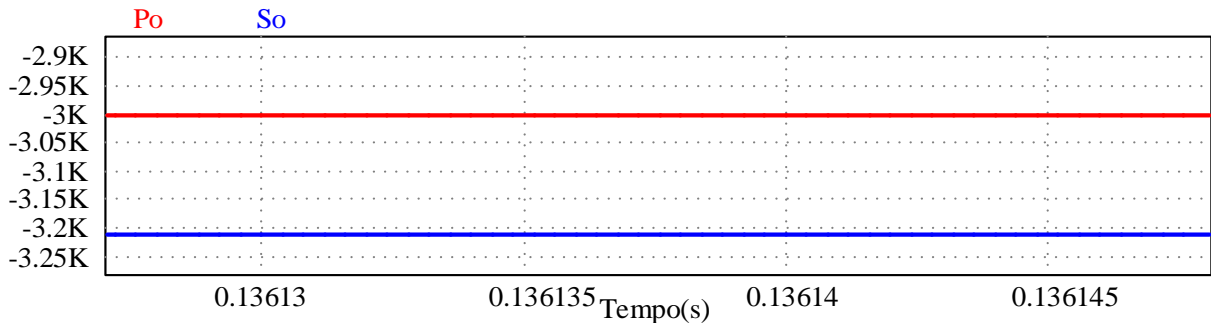
A Figura 68 apresenta os resultados de simulação da potência ativa e potência aparente no sentido contrário do fluxo de potência com uma frequência de chaveamento de 100kHz e ângulo *phase-shift* negativo igual a $-30,6^\circ$. Além disso, a Figura 69 apresenta o gráfico do fator de potência em iguais condições. Pode-se verificar em ambos os casos, que apresentam os mesmos resultados da Figura 65-66, que foram estabelecidos nos cálculos do projeto.

Figura 67 – Corrente e tensão de saída do conversor.



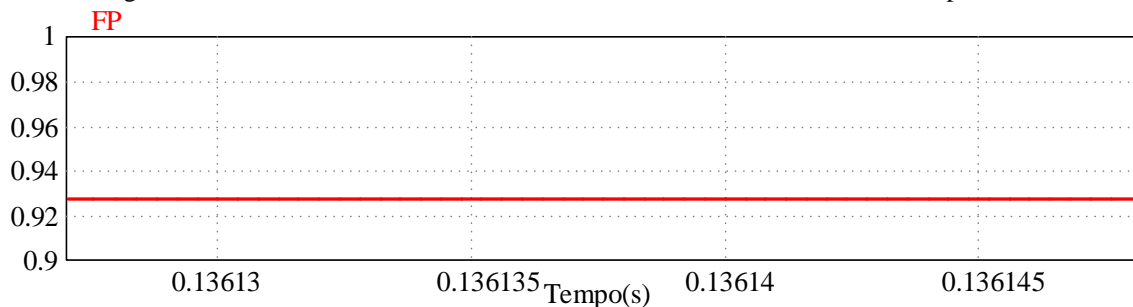
Fonte: Elaborado pelo autor.

Figura 68 – Potência ativa e aparente no sentido reverso do fluxo de potência.



Fonte: Elaborado pelo autor.

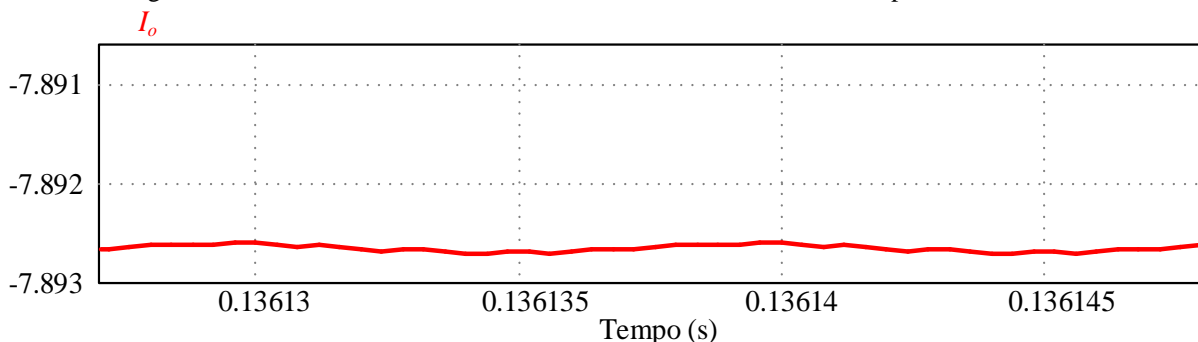
Figura 69 – Fator de Potência do transformador no sentido reverso do fluxo de potência.



Fonte: Elaborado pelo autor.

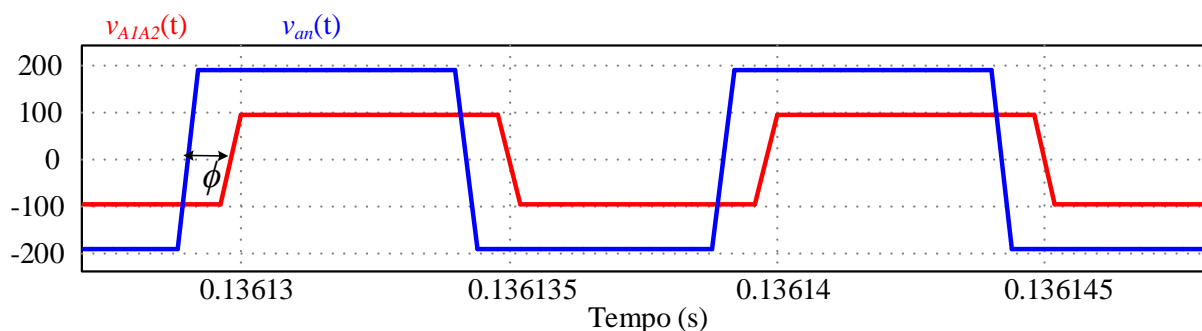
Na Figura 70, pode-se verificar que a corrente de saída do conversor apresenta o mesmo valor em módulo apresentado na Figura 67. Entretanto, pelo fato do fluxo de potência ser contrário, o seu valor é negativo. Nessas condições, pode-se verificar na Figura 71, também, que a tensão de linha do circuito primário $v_{A1A2}(t)$ é atrasada em relação à tensão de linha do circuito secundário $v_{an}(t)$, que caracteriza o comportamento oposto ao apresentado na Figura 58, onde $v_{A1A2}(t)$ é adiantado em relação a $v_{an}(t)$. Essa característica, demonstra que a condição de operação do fluxo de potência é do sentido do circuito secundário em direção ao circuito primário caracterizando, portanto, a bidirecionalidade do conversor.

Figura 70 – Corrente do circuito secundário do conversor com fluxo de potência contrário.



Fonte: Elaborado pelo autor.

Figura 71 – Corrente de saída e tensões de linha do circuito primário e secundário.



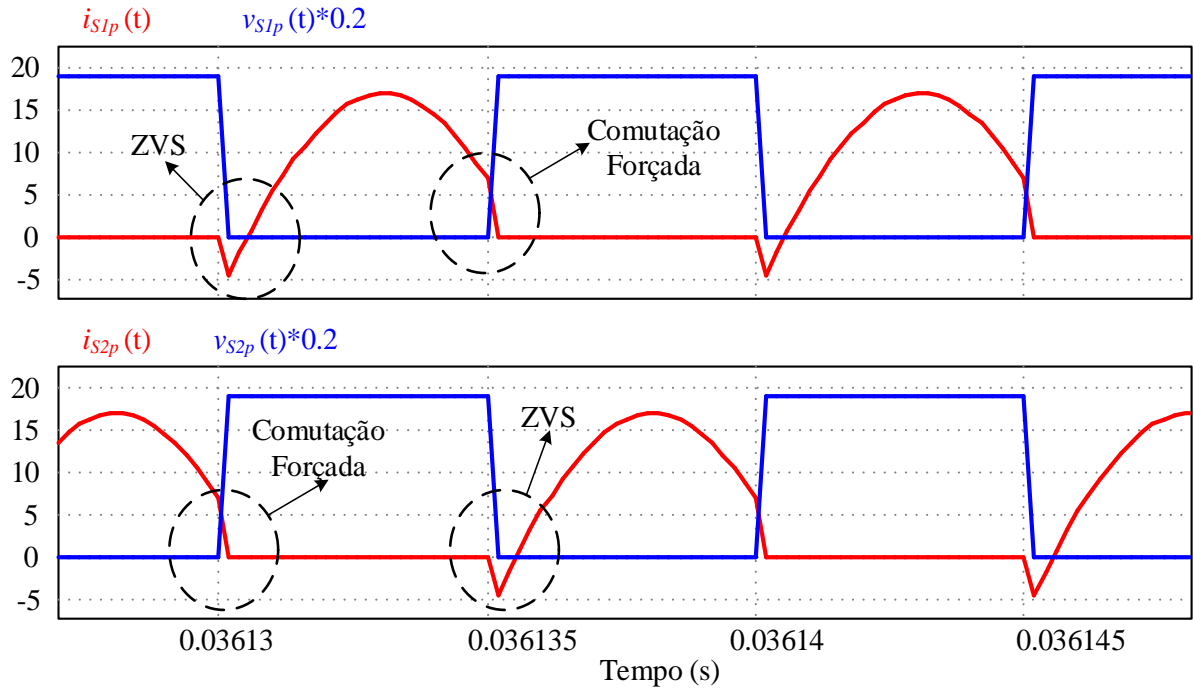
Fonte: Elaborado pelo autor.

5.3 – Resultados de simulação das condições de comutação

Considerando o sentido direto do fluxo de potência em malha aberta operando na frequência de chaveamento de projeto de 100 kHz e com um *phase-shift* igual a $30,8^\circ$, as Figuras 72 e 73 apresentam as formas de onda da tensão e corrente nas chaves semicondutoras primária e secundária, respectivamente.

Pode-se verificar através da Figura 72, que quando a tensão $v_{S1p}(t)$ sob a chave superior da ponte primária S_{1p} vai a zero, esta chave S_{1p} é, então, ligada no instante em que o diodo intrínseco à chave está conduzindo. O diodo intrínseco à chave está na configuração anti-paralelo, ou seja, está em paralelo à chave e conduz no sentido contrário àquela. Dessa maneira, a chave opera com ZVS quando é ligada e com comutação forçada quando é desligada. A área em destaque na Figura 72 mostra a comutação forçada através do cruzamento entre as formas de onda da tensão e da corrente. Analogamente, a chave primária inferior S_{2p} apresenta o mesmo comportamento, entretanto, as formas de onda serão defasadas 180° em relação a S_{1p} .

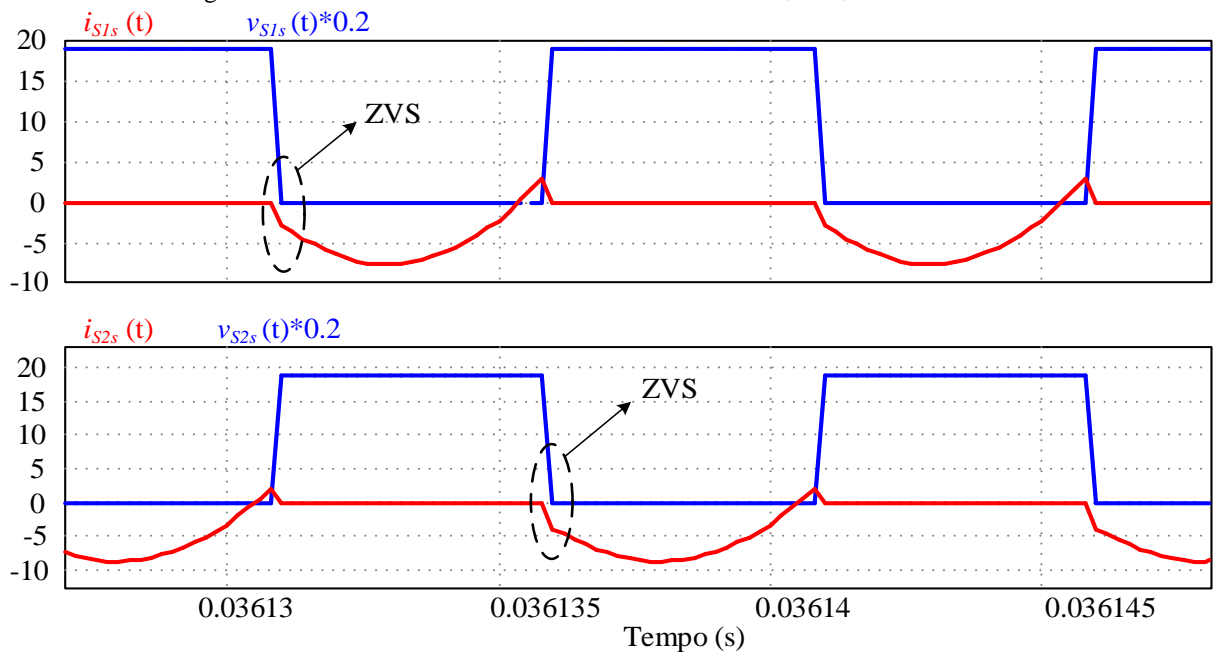
Figura 72 – Tensão e corrente das chaves primárias S_{1p} e S_{2p} no sentido direto.



Fonte: Elaborado pelo autor.

Pode-se verificar através da Figura 73, que quando a tensão $v_{S_{1s}}(t)$ sob a chave superior da ponte secundária S_{1s} vai a zero, a chave está ligada e, no mesmo instante, a corrente passa a conduzir através do diodo intrínseco da chave S_{1s} . Desse modo, quando a corrente é positiva, a chave opera com ZVS quando é ligada e com comutação forçada quando é desligada. Analogamente, a chave secundária inferior S_{2s} tem o mesmo comportamento, mas é defasada 180° em relação a S_{1s} .

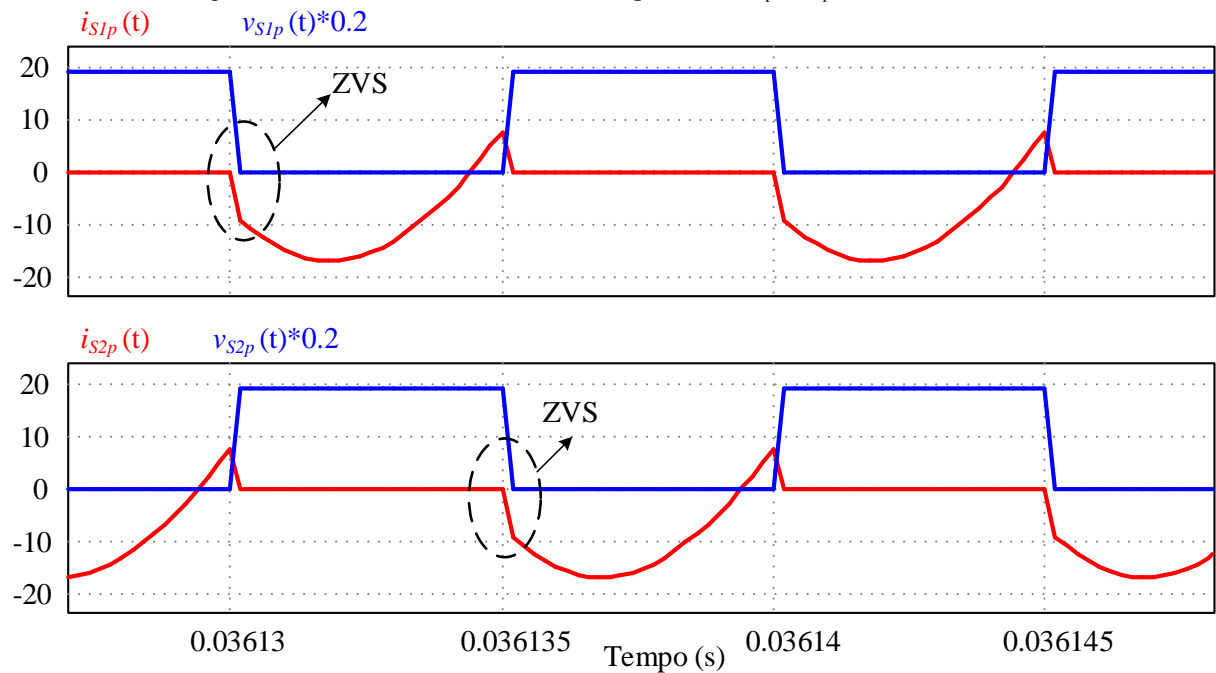
Figura 73 – Tensão e corrente das chaves secundárias S_{1s} e S_{2s} no sentido direto.



Fonte: Elaborado pelo autor.

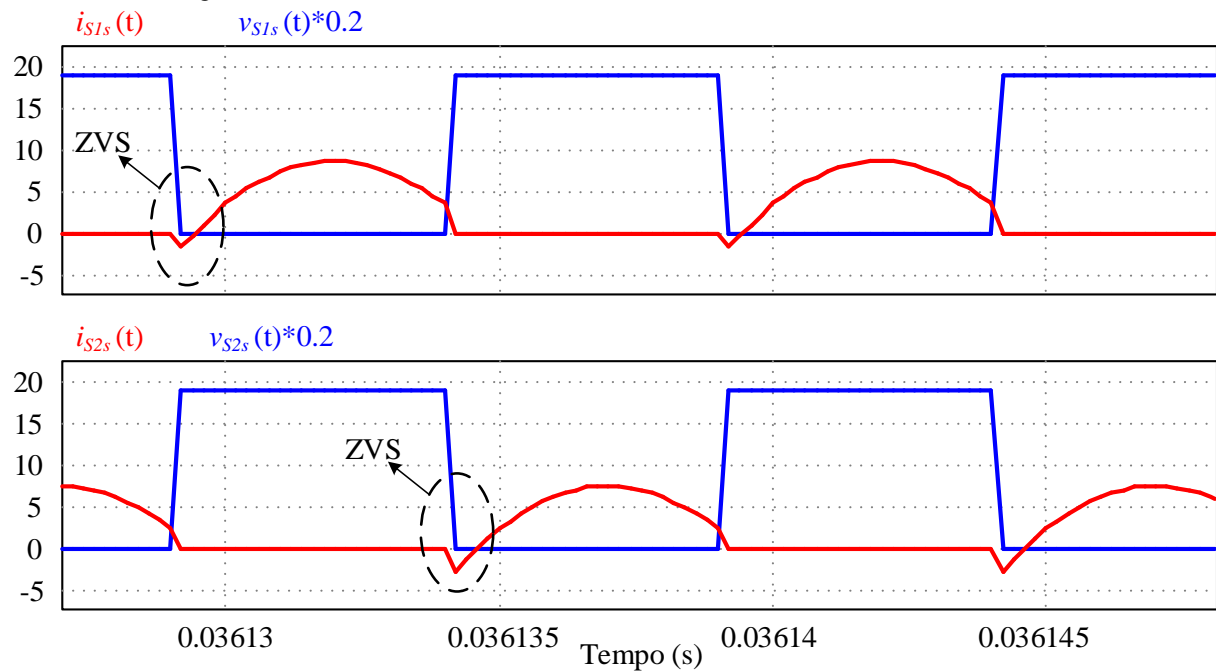
Analisando as formas de onda da tensão e corrente da ponte primária no sentido reverso do fluxo de potência em malha aberta operando com uma frequência de chaveamento de 100 kHz e com *phase-shift* de $-30,6^\circ$, pode-se verificar nas Figuras 74 e 75 que, tanto na chave superior como na chave inferior do braço são acionadas com ZVS, entretanto, nessas condições são desligadas com comutação forçada.

Figura 74 – Tensão e corrente das chaves primárias S_{1p} e S_{2p} no sentido inverso.



Fonte: Elaborado pelo autor.

Figura 75 – Tensão e corrente das chaves secundárias S_{1s} e S_{2s} no sentido inverso.

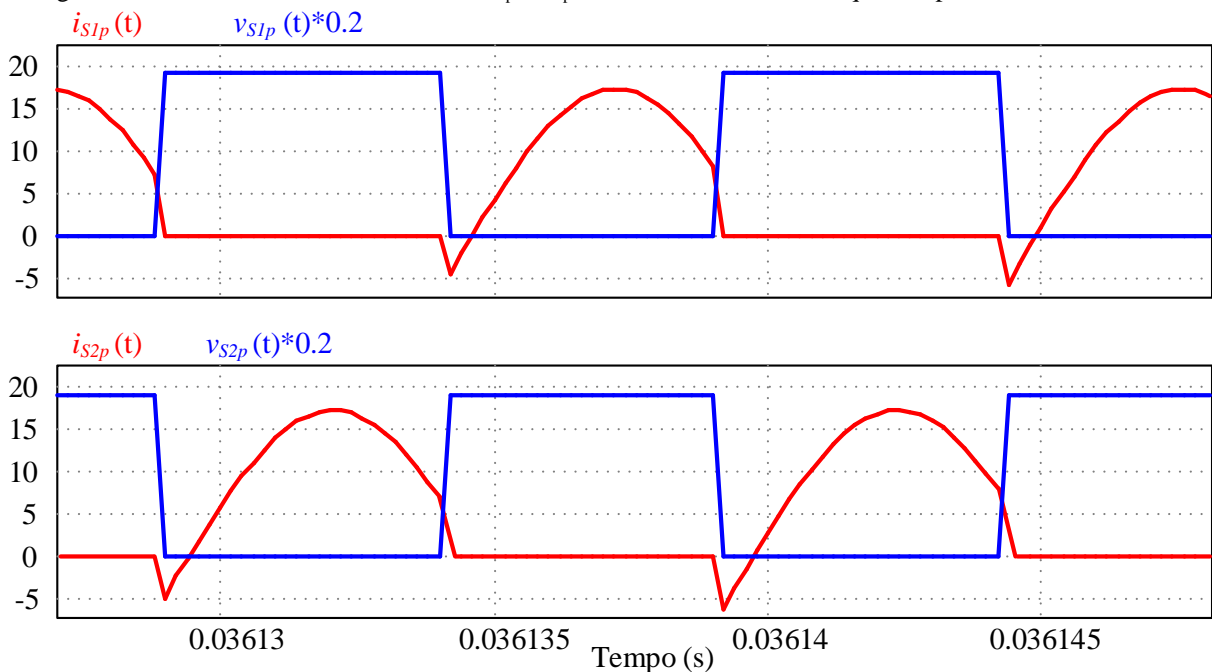


Fonte: Elaborado pelo autor.

Considerando uma situação em que a frequência de chaveamento é mais próxima da frequência de ressonância, verifica-se que deve haver um balanço entre frequência de chaveamento e *phase-shift*, de modo que, quando um aumenta o outro deverá diminuir e vice-versa. De fato, ao diminuir a frequência de chaveamento até o ponto limite, que, no caso, seria a frequência de ressonância, a tendência é de aumento da potência do conversor, mas a fim de manter a potência de saída constante, o *phase-shift* deverá ser reduzido. Esse controle, pode ser executado por uma malha de controle específica para esse fim ou, até mesmo, por circuitos integrados (CI) dedicados ao controle de frequência de chaveamento e, a partir dos dados obtidos, estabelecer um *phase-shift* ótimo para aquela situação específica de carga.

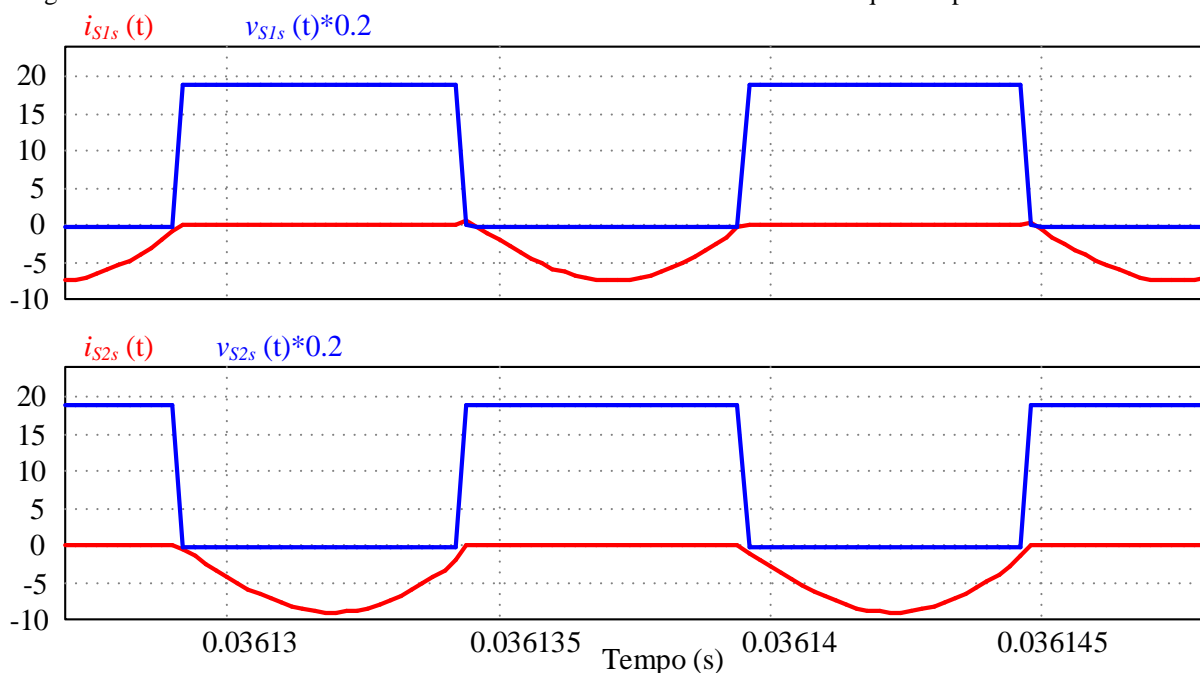
A Figura 76 apresenta os resultados de simulação das formas de onda da tensão e corrente das chaves da ponte primária S_{1p} e S_{2p} . A Figura 77 apresenta os resultados de simulação das formas de onda da tensão e corrente das chaves S_{1s} e S_{2s} do circuito secundário. Nessa situação, considera-se uma frequência relativa de 1.018 e um ângulo *phase-shift* igual a $10,8^\circ$. Pode-se verificar que, comparando os resultados da Figura 76 com os já analisados da Figura 72, o período de comutação das chaves é maior e a defasagem entre as formas de onda da tensão e corrente não se altera. Resultado análogo pode ser verificado na Figura 77. As defasagens entre as tensões $v_{S1p}(t)$ e $v_{S1s}(t)$ nas Figuras 76 e 77, é menor se comparado à defasagem encontrada nas Figura 72 e 73, que caracteriza um menor ângulo *phase-shift*. À proporção que esse ângulo tende a zero, o diodo intrínseco às chaves S_{1s} e S_{2s} tenderão a conduzir a corrente integralmente como apresentado na Figura 77 onde os operam com ZCS.

Figura 76 – Tensão e corrente das chaves S_{1p} e S_{2p} no sentido direto com frequência próximo à ressonância.



Fonte: Elaborado pelo autor.

Figura 77 – Tensão e corrente das chaves S1s e S2s no sentido inverso com frequência próximo à ressonância.



Fonte: Elaborado pelo autor.

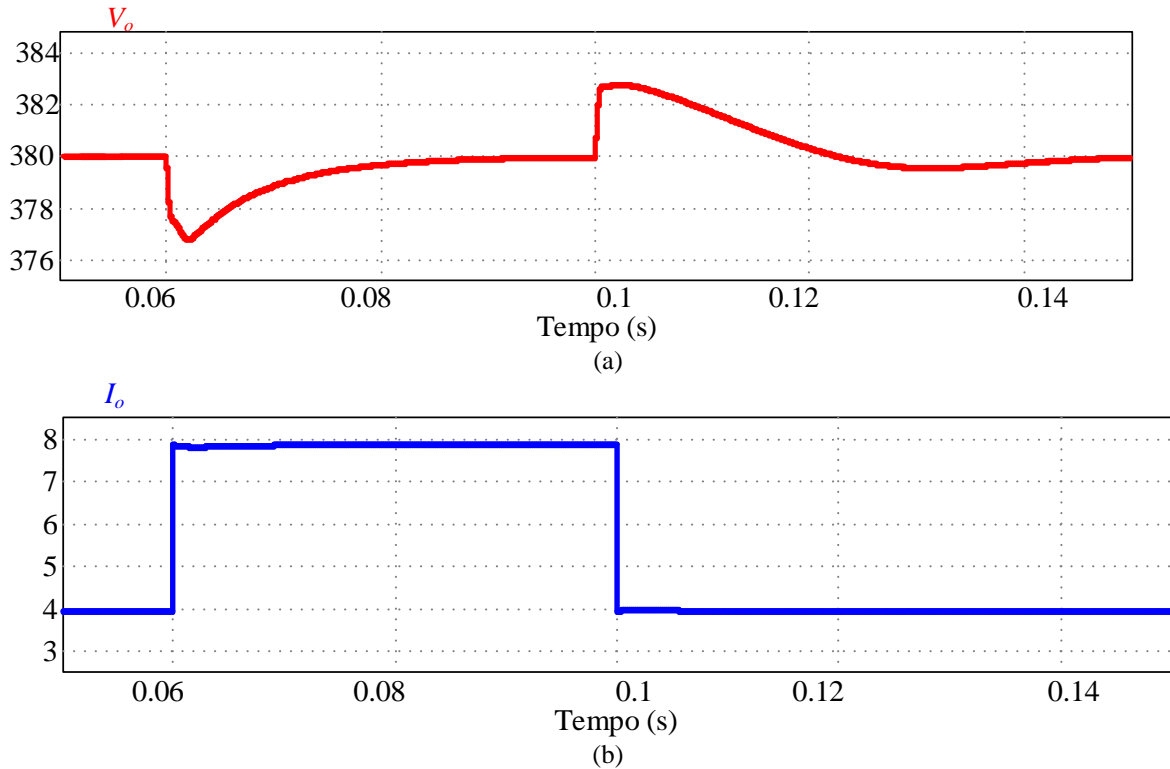
5.4 – Resultados de simulação do comportamento dinâmico do conversor em malha fechada

São apresentados na sequência, os resultados de simulação do conversor operando em malha fechada considerando alguns distúrbios de carga e direção de fluxo. A tensão de saída do conversor, mantém-se constante através do controle da frequência de chaveamento e a estimação do *phase-shift* ideal para aquele ponto de tensão, corrente e potência do conversor, que pode ser melhor visualizado através do diagrama de blocos da Figura 51. A estimação do *phase-shift* é calculada através do *C Block* do PSIM, em que a cada ciclo de *clock*, faz a leitura do valor de tensão e corrente de saída e do último sinal de frequência do controlador. Com esses parâmetros, é possível estimar o *phase-shift* para um ponto específico de potência. Desse modo, a variação de frequência do controlador mediante distúrbios de carga tenderá a ser menor, já que a tensão é corrigida tanto pela frequência de chaveamento quanto pelo *phase-shift*.

Pode-se verificar na Figura 78(a) que, ao sofrer um degrau de carga de 50% para 100%, a tensão de saída apresenta uma oscilação de 0,98% abaixo do valor de referência. De modo análogo, quando o conversor sofre um degrau de carga de 100% para 50% de carga, a tensão de saída apresenta uma oscilação inferior a 1% acima do valor de referência. Além disso, apresenta um tempo de acomodação de, aproximadamente, 20ms que caracteriza uma planta relativamente lenta se comparada, por exemplo, a uma malha de corrente. Essa característica ocorre devido ao projeto do controlador, que apresenta um valor de MF próxima de 90°. Os

valores de corrente de saída do conversor estão de acordo com os valores projetados e o seu comportamento dinâmico é apresentado na Figura 78(b), que tem uma característica mais rápida.

Figura 78 – Tensão e corrente na carga em malha fechada.



Fonte: Elaborado pelo autor.

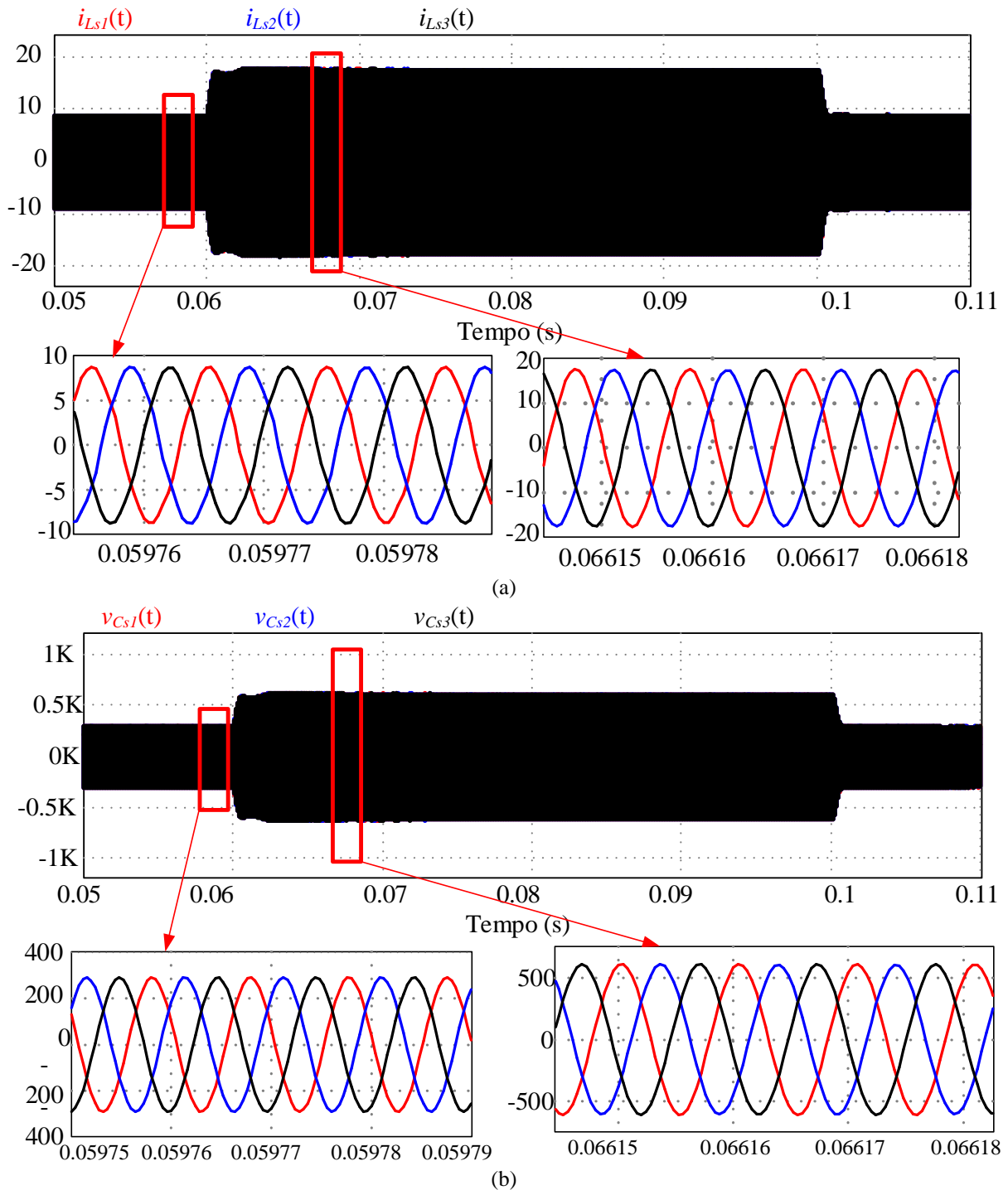
A corrente no indutor série do circuito tanque ressonante é apresentada na Figura 79(a). Pode-se verificar, que possui um comportamento bastante equilibrado entre as fases durante o distúrbio de carga e durante o regime permanente. Esse equilíbrio, é obtido através do comportamento da topologia ressonante, que bloqueia eventuais níveis CC para o transformador através do capacitor série do circuito ressonante.

As tensões do capacitor série do circuito tanque ressonante foram apresentadas na Figura 79(b). De modo análogo, também apresenta um comportamento dinâmico equilibrado. Em ambos os casos da Figura 79, é possível verificar o equilíbrio das formas de onda através da visão ampliada, antes e após o distúrbio de carga.

Analisando os resultados de simulação do sinal de controle da frequência e da estimação do *phase-shift* ideal para cada ponto específico de potência apresentados na Figura 80, pode-se verificar que a frequência é aproximadamente igual a 102kHz para 50% de carga e o *phase-shift* em torno de 20°. Já para plena carga, a frequência se ajusta para 97,5 kHz com *phase-shift* de, aproximadamente, 15°. O sinal de controle é um pouco mais lento. Quando o

distúrbio de carga é de 100% para 50%, o sinal controlado também tem uma dinâmica um pouco mais lenta, se comparado a quando há um aumento de carga.

Figura 79 – Formas de onda no circuito tanque ressonante: (a) corrente nos indutores série L_{s1} – L_{s3} (a) e tensão nos capacitores série C_{s1} – C_{s3} .

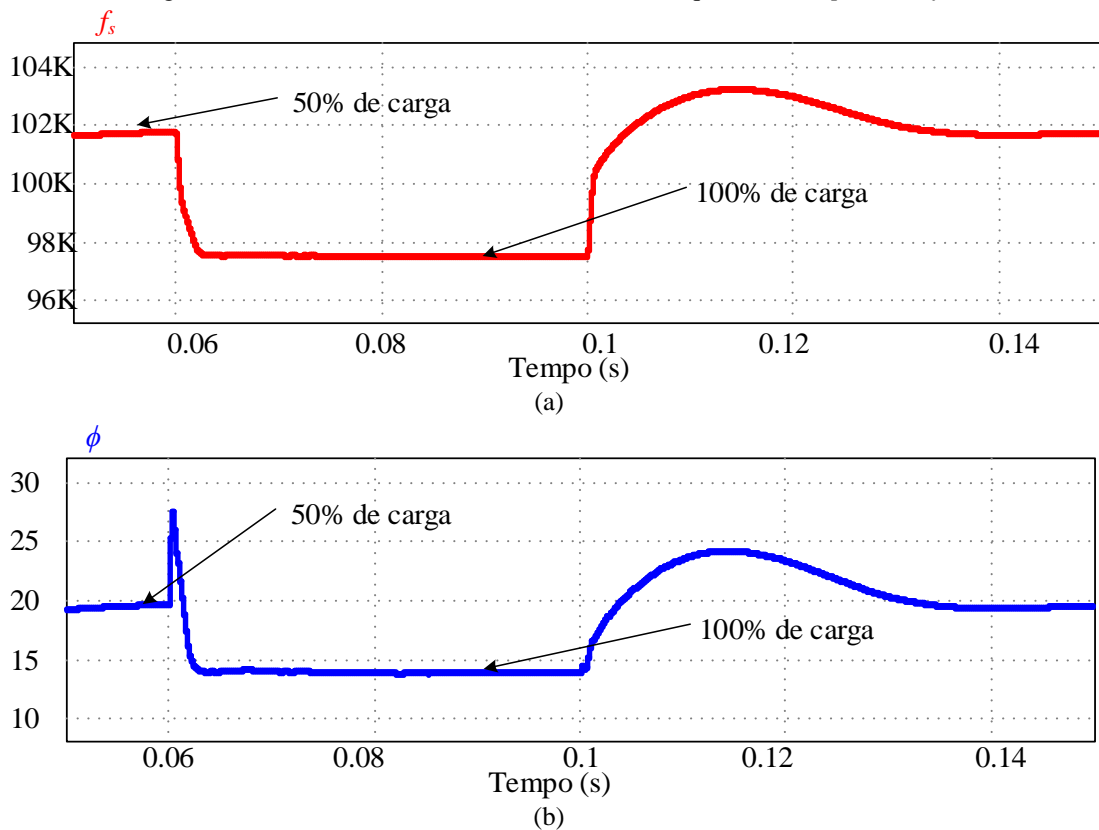


Fonte: Elaborado pelo autor.

É observado nas análises computacionais que, mantendo-se o valor do *phase-shift* fixo, seria necessária uma variação maior de frequência de chaveamento para controle da tensão de saída. Como consequência, o rendimento do conversor poderá ser prejudicado, pois com

valores mais elevados de frequências de chaveamento, o projeto dos magnéticos seria bastante comprometido. Além disso, proporcionaria maiores perdas por chaveamento nas chaves semicondutoras. Portanto, a variação da frequência de chaveamento em conjunto com o *phase-shift* é vantajoso e permite que a faixa de frequência e os valores de pico de tensão sejam reduzidos.

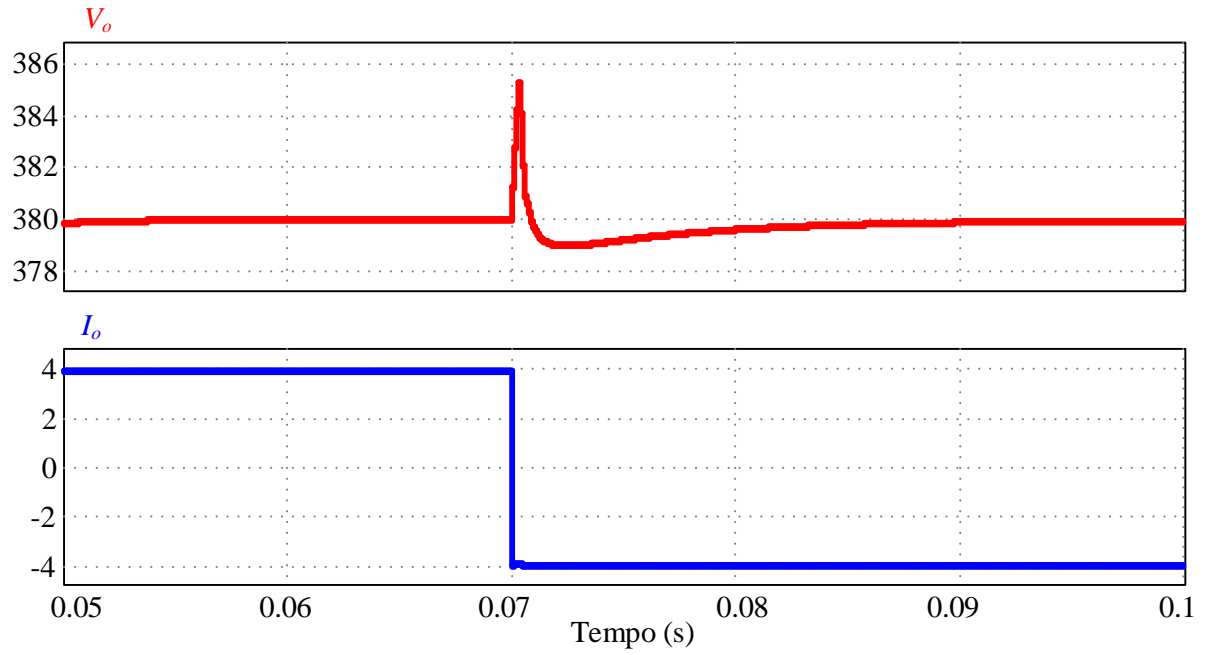
Figura 80 – Sinais de controle do conversor: (a) frequência e (b) *phase-shift*.



Fonte: Elaborado pelo autor.

Na característica bidirecional, o conversor opera com um degrau de carga e o controlador consegue controlar a tensão de saída adequadamente através do ajuste da frequência de chaveamento e *phase-shift*. Na Figura 81 é apresentado os resultados de simulação da tensão de saída e da corrente de saída do conversor quando submetido a um degrau de +50% de carga no sentido direto para - 50% de carga no sentido reverso do fluxo de potência. A tensão apresenta um breve sobressinal de aproximadamente 1,3% e tempo de acomodação de pouco menos de 20ms para chegar ao valor de referência. Pode-se verificar que a corrente do conversor que apresentava um valor de 3,94 A no sentido direto, passou a apresentar -3,94 A no sentido reverso que é o valor projetado para esta condição de carga.

Figura 81 – Tensão de saída, corrente e potência do conversor com degrau de 50% para -100%.



Fonte: Elaborado pelo autor.

6. RESULTADOS EXPERIMENTAIS

Neste capítulo, serão apresentados os principais resultados experimentais para validação do modelo operando em malha aberta e operando com secundário passivo, ou seja, apenas no fluxo de potência direto. Além disso, serão apresentados os resultados experimentais com secundário ativo, operando no fluxo de potência no sentido direto e no sentido reverso. Serão discutidos as principais características e formas de onda do conversor. Por fim, são apresentadas as curvas de rendimento obtidas durante os ensaios em várias condições de carga e os resultados serão discutidos.

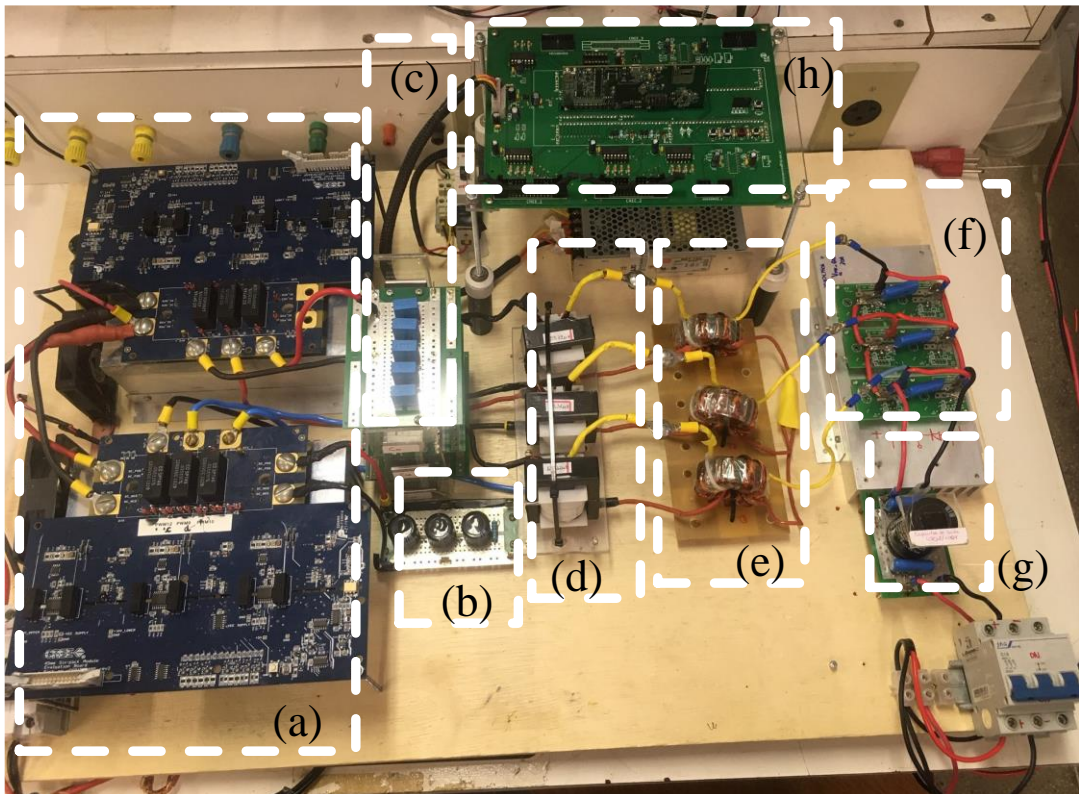
6.1 – Protótipos desenvolvidos

Na Figura 82 é apresentado o protótipo do conversor proposto operando apenas unidirecionalmente. Essa estrutura apresenta o secundário passivo usando diodos ultra-rápidos para avaliar o comportamento do conversor utilizando apenas o controle de frequência para regulação da tensão de saída.

Na Figura 83 é apresentado o protótipo do conversor proposto operando com bidirecionalidade. Essa estrutura diferencia-se da estrutura apresentada na Figura 82 apenas pela troca do secundário passivo por um secundário ativo usando MOSFETs, pois as frequências de chaveamento são superiores a 95 kHz.

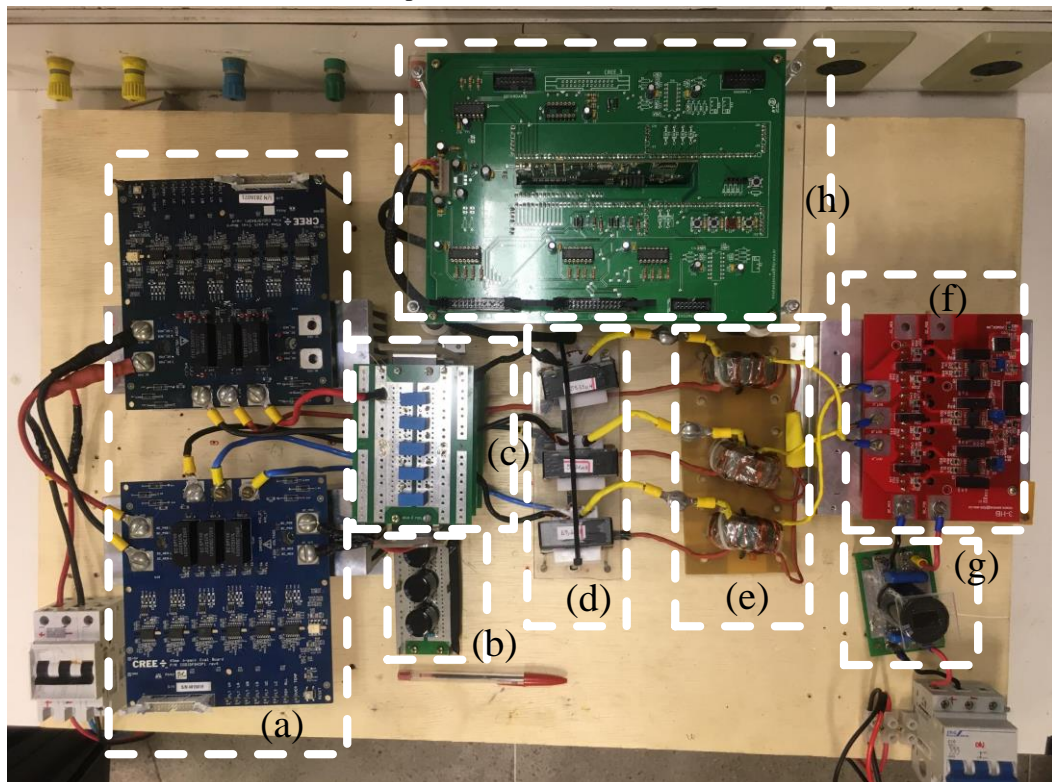
Em ambos os protótipos, o circuito primário do conversor, os capacitores eletrolíticos de entrada, os capacitores série ressonantes, os indutores série ressonantes, os transformadores de alta frequência, o circuito secundário do conversor, o capacitor eletrolítico de saída e, por fim, a placa do DSP, são apresentados por nos itens (a)-(h) nas Figuras 82 e 83, respectivamente. Tanto o primário quanto o secundário, apresentam proteção contra curto-circuito e sobrecarga através do uso de fusíveis e disjuntores. Na entrada do conversor, foi utilizada para alimentação do barramento a fonte CC fabricada pela SUPPLIER de modelo FEF 1200-60-I55451 e foram usadas resistências como cargas. Os componentes utilizados no circuito de potência foram especificados na Tabela 9. O projeto completo do desenvolvimento do transformador de alta frequência e do indutor série ressonante são apresentados nos apêndices A e B, respectivamente.

Figura 82 – Protótipo unidirecional: (a) circuito primário, (b) capacitor de entrada, (c) capacitores série ressonantes, (d) indutores série ressonantes, (e) transformadores de alta frequência, (f) circuito secundário, (g) capacitor de saída, (h) DSP.



Fonte: Elaborado pelo autor.

Figura 83 - Protótipo bidirecional: (a) circuito primário, (b) capacitor de entrada, (c) capacitores série ressonantes, (d) indutores série ressonantes, (e) transformadores de alta frequência, (f) circuito secundário, (g) capacitor de saída, (h) DSP.



Fonte: Elaborado pelo autor.

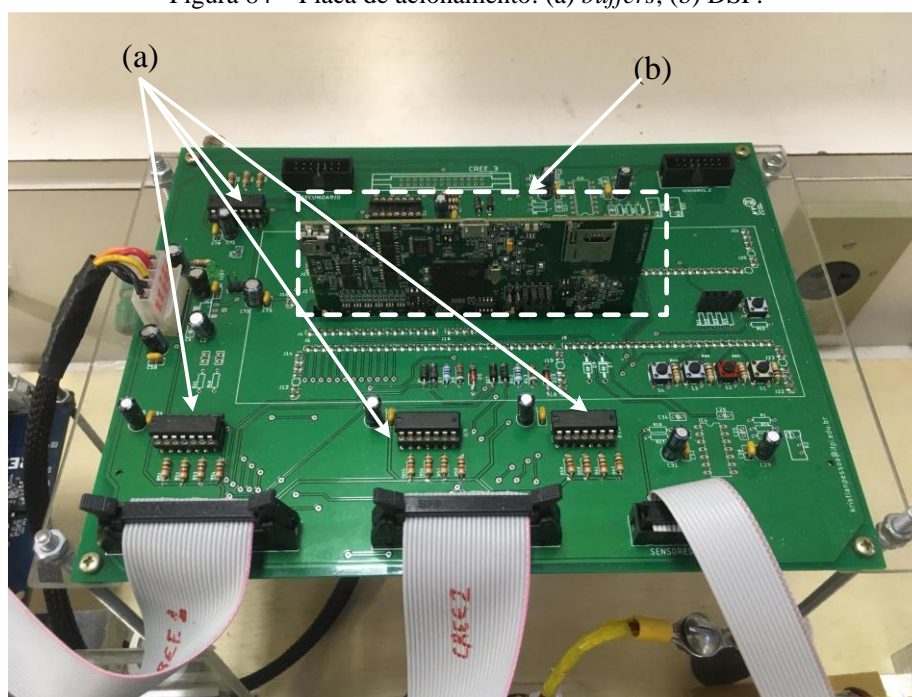
Tabela 9 – Componentes utilizados no circuito de Potência

Componente	Modelo	Especificações	Quantidade
Módulos trifásicos (SiC Cree)	CCS020M12CM2	1200V/20A	2
Capacitor de entrada (EPCOS)	B43304-A9107	100 μ F/400V	3
Capacitor série ressonante (TDK)	B32652	4,70 nF/700V	30
Núcleo EE do indutor série ressonante (Thornton)	NEE 55/28/21	-	3
Núcleo toroidal do transformador de alta frequência (Magmattec)	MMT139T5020	-	3
Diodo do secundário (Vishay) do protótipo unidirecional	VS-30EPH06PbF	600 V/30A	6
MOSFET CoolMOS™ (Infineon) do protótipo bidirecional	IPW60R190C6	650V/20,2A	6
Capacitor de saída (EPCOS)	B43503-S5477	470 μ F /450 V	1

Fonte: Elaborado pelo autor.

Além do circuito de potência, foi desenvolvida uma placa de acionamento e controle para o conversor apresentada nas Figuras 82 e 83 no item (h), e apresentada em detalhes na Figura 84. Para o acionamento de todas as chaves do conversor, foi utilizado o DSP TMS28377D da *Texas Instruments* cujo código fonte é apresentado no apêndice D. O DSP envia os comandos com tensão de 3,3 V e, através dos circuitos de *buffer* SN7407N da *Texas Instruments* com resistor de *pull-up*, as tensões de gatilho passam a ter um nível de 5V conforme circuito detalhado apresentado no Apêndice C.

Figura 84 – Placa de acionamento: (a) *buffers*, (b) DSP.



Fonte: Elaborado pelo autor.

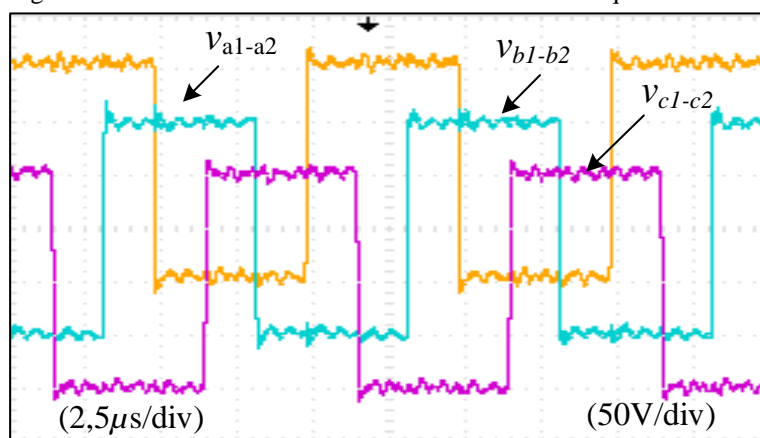
6.2 – Resultados experimentais em regime permanente para validação do modelo

6.2.1 – Funcionamento unidirecional

São apresentados nesse tópico os principais resultados experimentais do protótipo unidirecional. A bancada está projetada para uma potência de 3 kW, entretanto, para validar os testes, todos os ensaios foram realizados considerando uma potência máxima de 1,5 kW devido às limitações da fonte CC de entrada.

Considerando as condições de plena carga e operando com uma frequência de chaveamento igual a 96,1 kHz, a Figura 85 apresenta as tensões de entrada no circuito tanque ressonante, em que pode verificar-se que o máximo valor da tensão é igual ao valor da tensão de entrada $V_{in} = 96V$. Além disso, que todas as três fases são idênticas e equilibradas no circuito trifásico. Na análise do conversor apresentada no Capítulo 3, estas tensões são próximas de uma senóide através da FHA para simplificar a análise do circuito equivalente do conversor proposto. Desse modo, considerou-se apenas as componentes fundamentais da tensão de entrada do conversor $v_{a1-a2} - v_{b1-b2}$ e são desprezados os efeitos das harmônicas de maior ordem.

Figura 85 – Tensões trifásicas de entrada no circuito tanque ressonante.

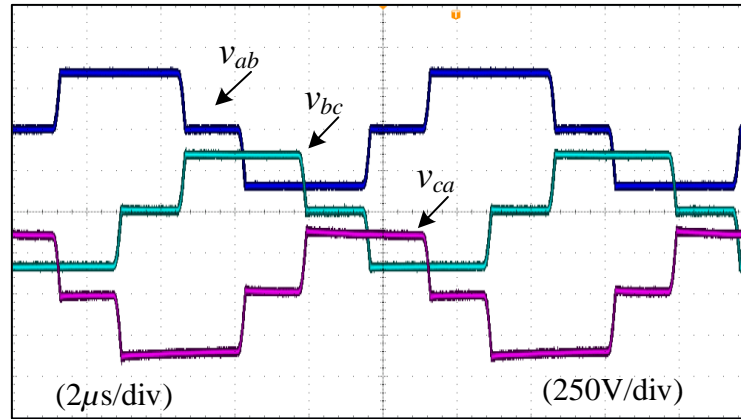


Fonte: Elaborado pelo autor.

A Figura 86 mostra as tensões de linha secundárias dos transformadores T_1-T_3 representadas por $v_{ab} - v_{ca}$, em que pode verificar-se que o valor máximo será igual ao valor da tensão de saída $V_o = 380V$ e que as formas de onda trifásicas apresentam três níveis e são equilibradas e simétricas.

A Figura 87 e a Figura 88 mostram as formas de onda da tensão nos capacitores série ressonantes $v_{Cs1} - v_{Cs3}$ e da corrente nos indutores série ressonantes $i_{Ls1} - i_{Ls3}$, respectivamente. Em ambas as figuras, pode-se verificar que as tensões e correntes são defasadas 120° entre elas, que o valor de pico das tensões $v_{Cs1} - v_{Cs3}$ é igual a 280V e o valor de pico das correntes $i_{Ls1} - i_{Ls3}$ é igual a 7,5 A que são coerentes com os resultados de simulação.

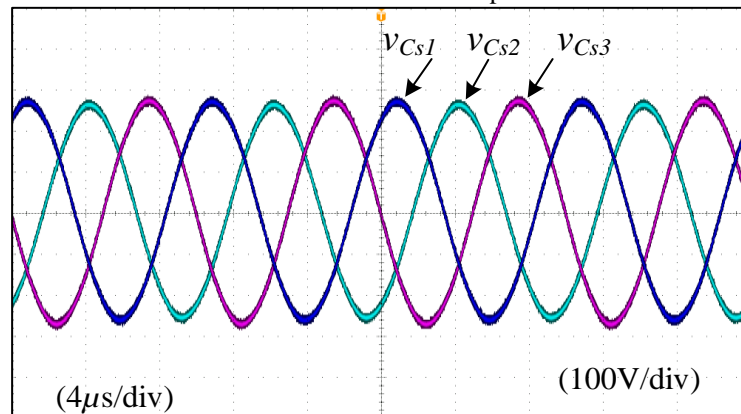
Figura 86 – Formas de onda das tensões de linha secundárias dos transformadores T_1 - T_3 .



Fonte: Elaborado pelo autor.

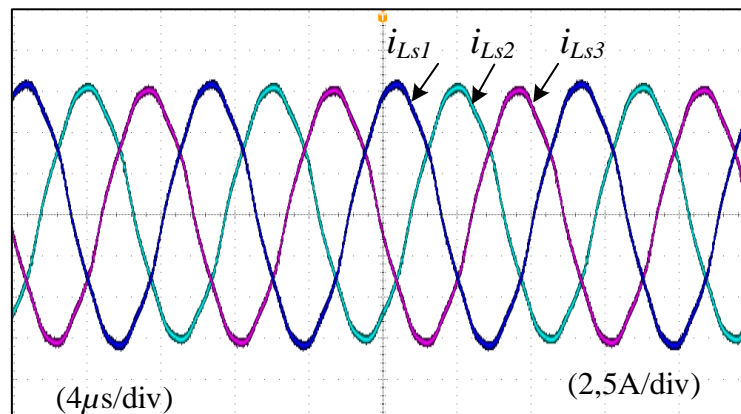
Devido à presença dos capacitores série ressonantes, a presença de nível CC nas formas de onda da Figura 87 e 88 são desprezíveis. Desse modo, garante-se que os transformadores de alta frequência não sofrerão saturação magnética. Portanto, é desnecessário a inserção de uma malha de controle específica para controle da corrente de entrada dos transformadores, deixando o conversor menos complexo se comparado aos conversores não ressonantes trifásicos.

Figura 87 – Formas de onda das tensões trifásicas nos capacitores série ressonante $v_{Cs1} - v_{Cs3}$.



Fonte: Elaborado pelo autor.

Figura 88 – Formas de onda das correntes trifásicas nos indutores série ressonante $i_{Ls1} - i_{Ls3}$.



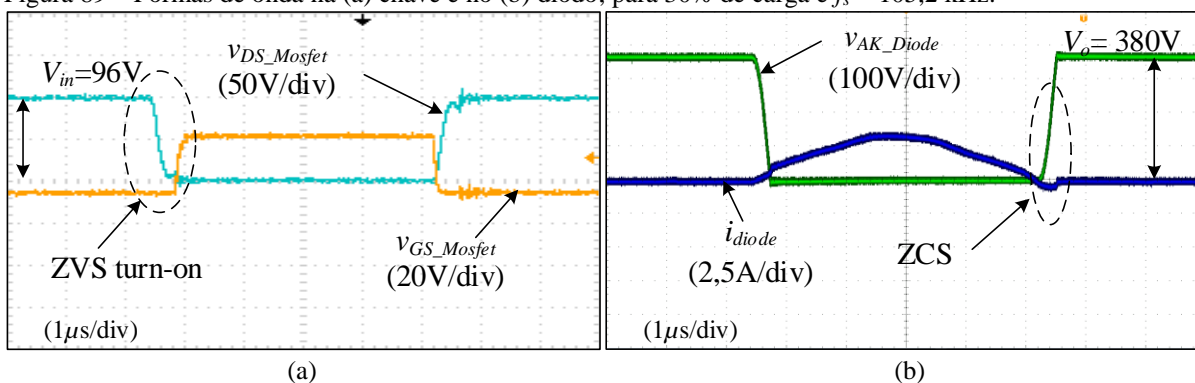
Fonte: Elaborado pelo autor.

As características de comutação do conversor podem ser analisadas através das Figuras 89 – 92. No circuito primário, a tensão *dreno-source* sobre as chaves e a tensão de gatilho são representadas por v_{DS_mosfet} e v_{GS_mosfet} , respectivamente. No circuito secundário, a corrente através de diodo retificador e a tensão sobre os seus terminais são representados por i_{diode} e v_{AK_diode} , respectivamente. Para representar a topologia unidirecional, as chaves S_{1s} - S_{6s} da Figura 33 são substituídas, respectivamente, pelos diodos D_1 - D_6 . As formas de onda foram obtidas sobre a chave S_{1p} no circuito primário e no diodo D_1 do lado secundário e todas as outras chaves e diodos apresentam o mesmo comportamento.

Devido à alta frequência de chaveamento, todo o conversor foi projetado e montado utilizando critérios de dimensionamento e localização de componentes com a finalidade de minimizar eventuais ruídos e EMI.

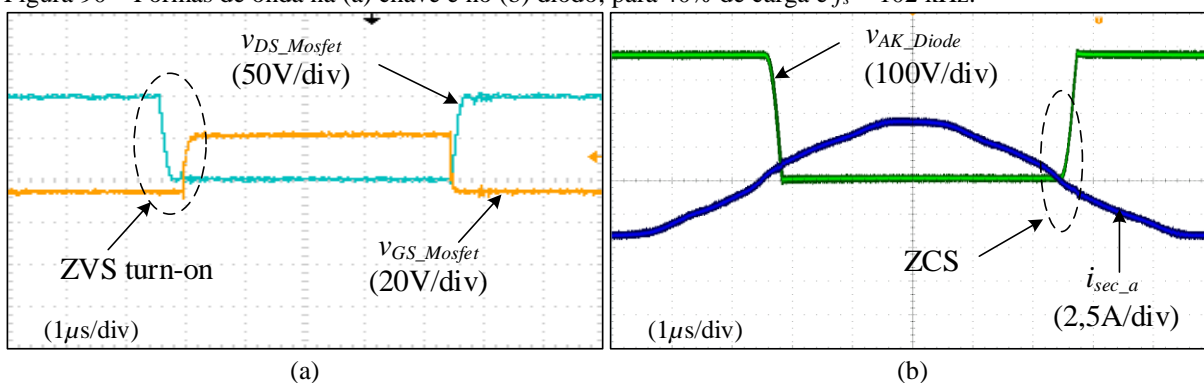
As Figuras 89-92 apresentam as formas de onda das chaves e diodos para 30%, 40%, 60% e 100% de carga, respectivamente. Conforme já explicitado, a potência máxima testada foi 1,5 kW (100% de carga). Quando v_{DS_mosfet} é nulo e o seu diodo anti-paralelo está conduzindo, a chave liga, o que garante a condição de ZVS no acionamento das chaves primárias. No lado secundário, a corrente do diodo retificador secundário i_{diode} cai para zero naturalmente quando a tensão v_{AK_diode} é nula. Desse modo, os diodos retificadores do lado secundário operam com ZCS em toda a faixa de operação.

Figura 89 – Formas de onda na (a) chave e no (b) diodo; para 30% de carga e $f_s = 105,2$ kHz.



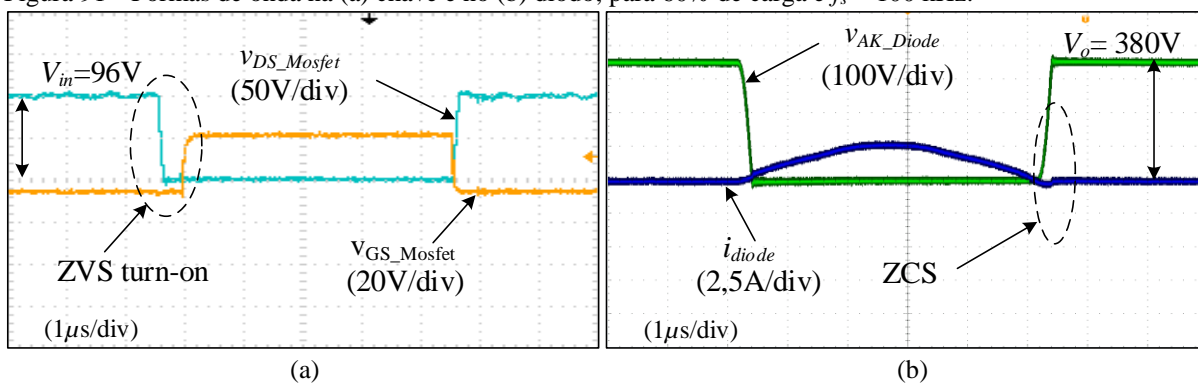
Fonte: Elaborado pelo autor.

Figura 90 – Formas de onda na (a) chave e no (b) diodo; para 40% de carga e $f_s = 102$ kHz.



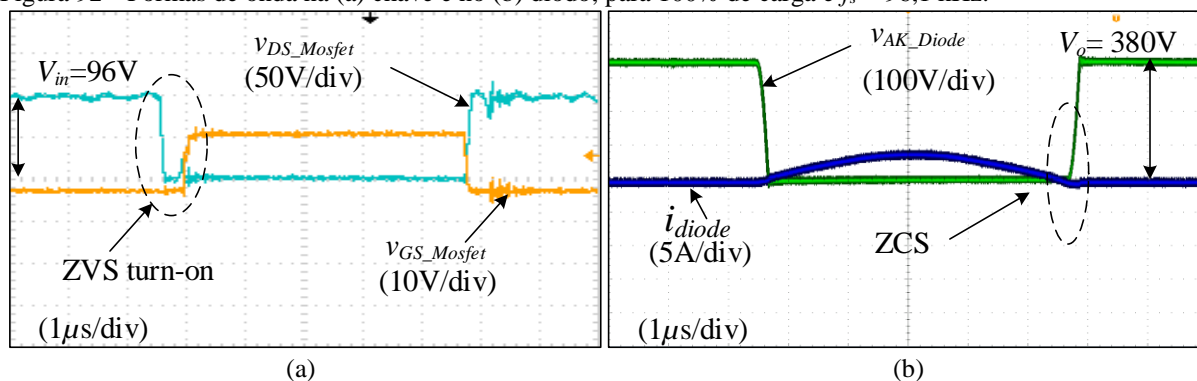
Fonte: Elaborado pelo autor.

Figura 91 – Formas de onda na (a) chave e no (b) diodo; para 60% de carga e $f_s = 100$ kHz.



Fonte: Elaborado pelo autor.

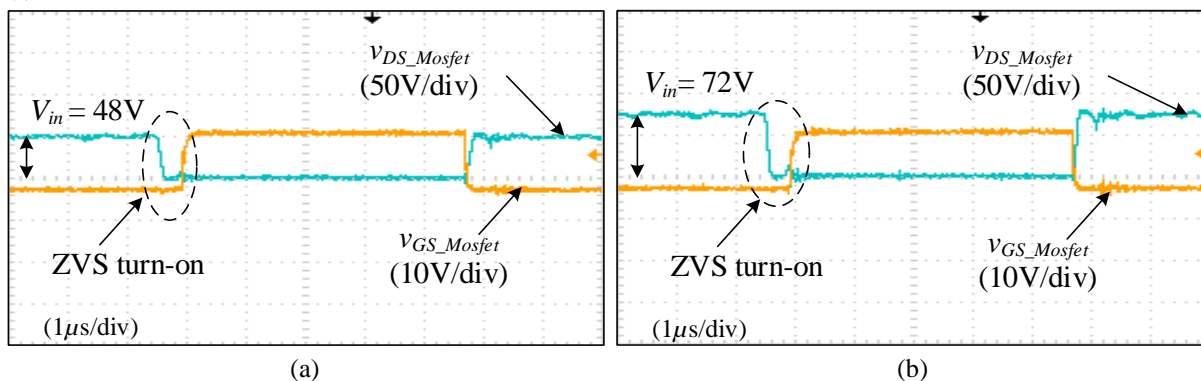
Figura 92 – Formas de onda na (a) chave e no (b) diodo; para 100% de carga e $f_s = 96,1$ kHz.



Fonte: Elaborado pelo autor.

A Figura 93 apresenta as formas de onda em condições de plena carga para uma frequência de chaveamento igual a $f_s = 96,1$ kHz considerando diferentes valores para a tensão de entrada. Pode-se verificar que, para uma grande faixa de valores de tensão de entrada, 48 - 96 V, as chaves do circuito primário do conversor unidirecional proposto conseguem operar com ZVS, garantindo, dessa maneira, um rendimento elevado para diferentes condições de tensão de entrada conforme os resultados de rendimento apresentados no tópico 6.3.

Figura 93 – Formas de onda na chave para diferentes condições de tensão de entrada: (a) $V_{in} = 48$ V (b) $V_{in} = 72$ V.



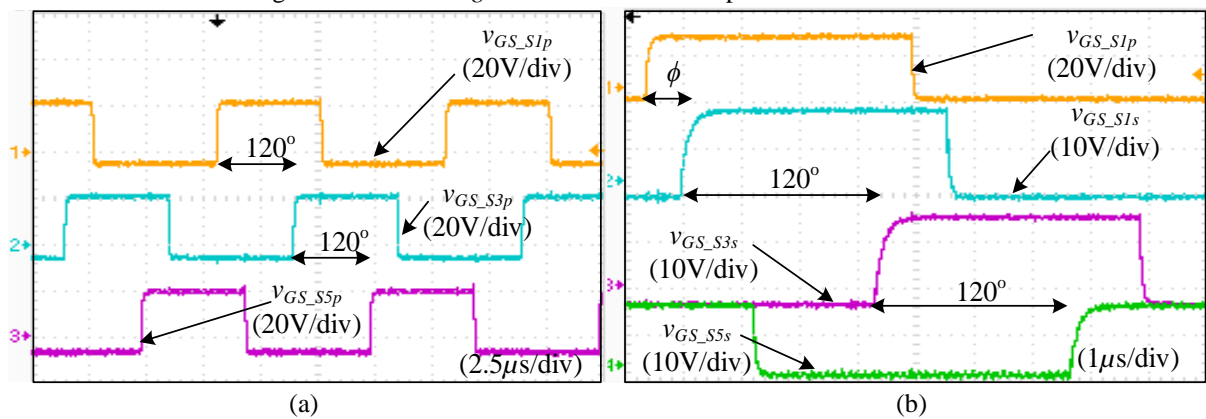
Fonte: Elaborado pelo autor.

6.2.2 – Funcionamento bidirecional

São apresentados neste tópico os principais resultados experimentais do protótipo bidirecional. Nesta estrutura, o secundário passa a ser ativo e as formas de onda do sentido direto do fluxo de potência, primário para o secundário, bem como, no sentido reverso do fluxo de potência, secundário para o primário, serão apresentadas e discutidas. De modo análogo à bancada unidirecional, para validação da configuração bidirecional, todos os testes foram realizados considerando uma potência máxima de 1,5 kW devido às limitações da fonte CC.

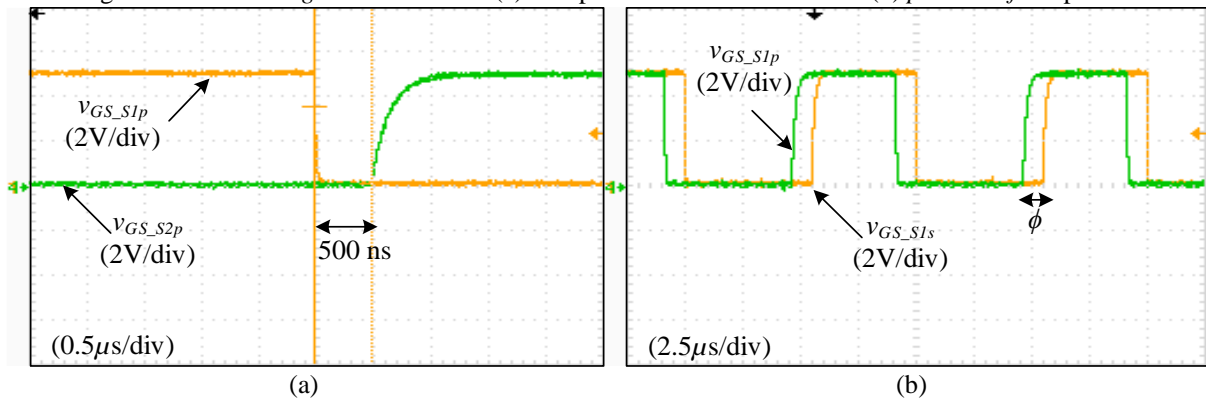
A Figura 94(a) apresenta as tensões *gate-source* das chaves do circuito primário, enquanto a Figura 94(b), no circuito secundário, bem como, a defasagem entre elas. A tensão v_{GS_S1p} está defasada da tensão secundária v_{GS_S1s} por um ângulo ϕ , que corresponde ao ângulo *phase-shift*. As tensões de gatilho nas chaves primárias variam de -5 V a 20 V e as tensões de gatilho secundárias variam de -3 V a 15 V. As tensões das chaves complementares apresentam o mesmo comportamento, entretanto, são defasadas 180° entre si com um tempo morto de 500 ns, conforme apresentado na Figura 95(a). O ângulo *phase-shift* pode ser visto de modo ampliado na Figura 95(b).

Figura 94 – Tensões *gate-source* do circuito primário e secundário.



Fonte: Elaborado pelo autor.

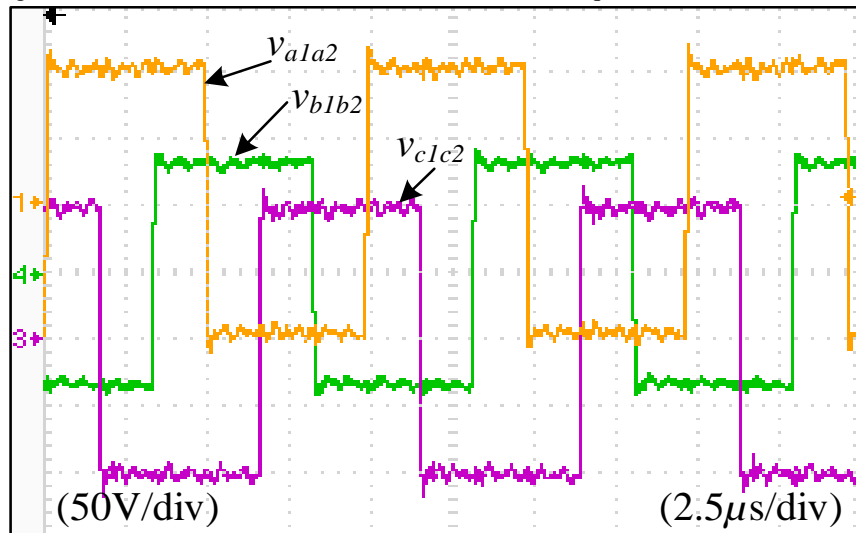
Figura 95 – Tensões *gate-source* com: (a) Tempo morto entre as chaves e (b) *phase-shift* ampliado.



Fonte: Elaborado pelo autor.

De modo análogo à Figura 85, as tensões trifásicas de entrada do circuito tanque ressonante $v_{a1a2} - v_{c1c2}$ da configuração unidirecional são semelhantes à configuração bidirecional apresentadas na Figura 96. Isso acontece, pois, a modulação do circuito primário é igual em ambas as situações se diferindo, apenas, na frequência de chaveamento em relação às condições de carga.

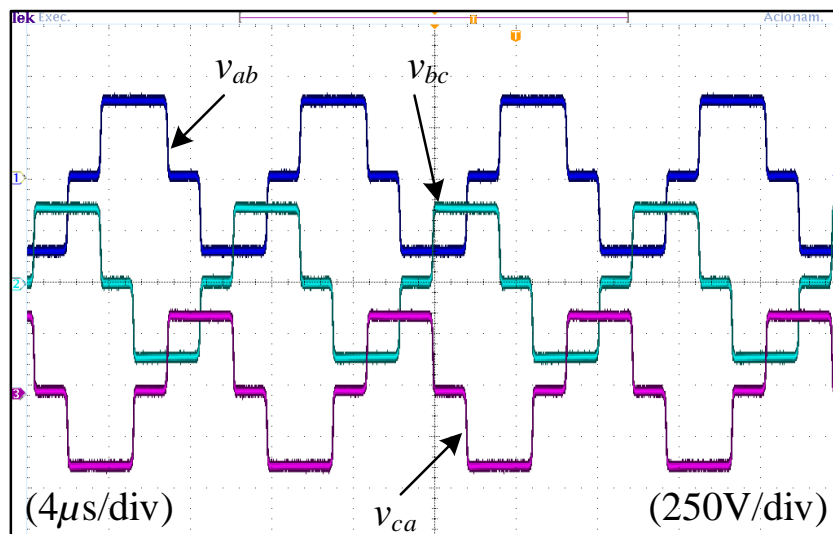
Figura 96 – Tensões trifásicas de entrada no circuito tanque ressonante $v_{a1a2} - v_{c1c2}$.



Fonte: Elaborado pelo autor.

A Figura 97 mostra as tensões de linha secundárias dos transformadores T_1-T_3 representadas por $v_{ab} - v_{ca}$ operando com $V_{in} = 96V$, $f_s = 102$ kHz e *phase shift* igual a 22° . Verifica-se que o valor máximo será igual ao valor da tensão de saída $V_o = 380V$, e que as formas de onda trifásicas apresentam 3 níveis e são equilibradas e simétricas.

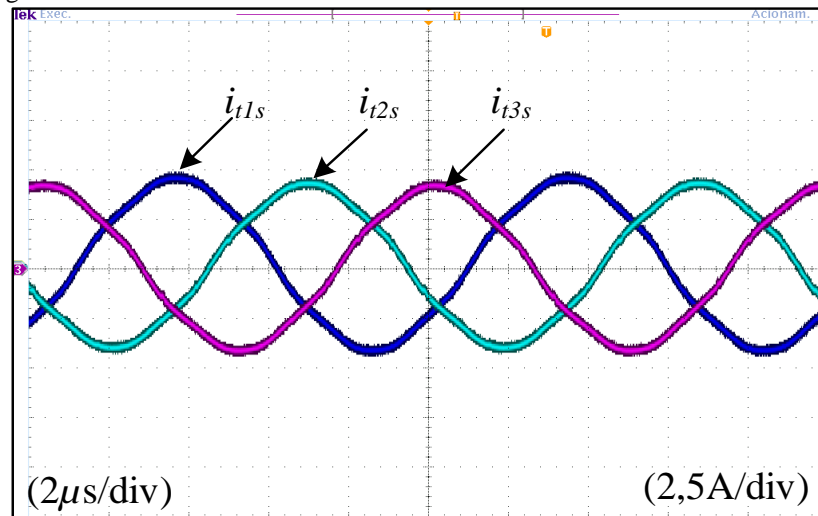
Figura 97 – Formas de onda das tensões de linha secundárias dos transformadores T_1-T_3 .



Fonte: Elaborado pelo autor.

A Figura 98 apresenta as correntes do secundário do transformador, em que apresenta um comportamento equilibrado com nível CC desprezível e valor de pico igual a 5 A, aproximadamente.

Figura 98 – Formas de onda das correntes secundárias dos transformadores T₁-T₃.

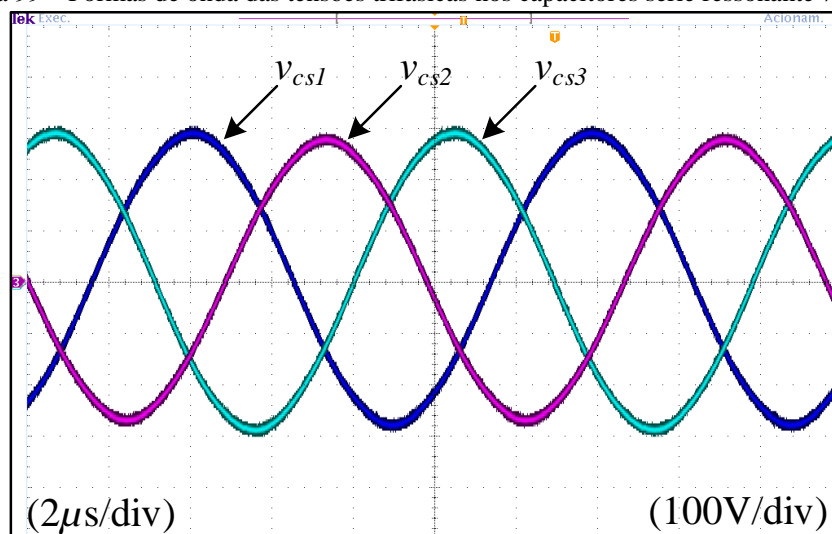


Fonte: Elaborado pelo autor.

A Figura 99 apresenta as formas de onda da tensão nos capacitores série ressonantes $v_{Cs1} - v_{Cs3}$. Pode-se verificar que, em todas as fases, as tensões são balanceadas e defasadas 120° entre elas. Além disso, apresentam um valor de pico das tensões $v_{Cs1} - v_{Cs3}$, aproximadamente, igual a 300V que é bem coerente com os valores simulados.

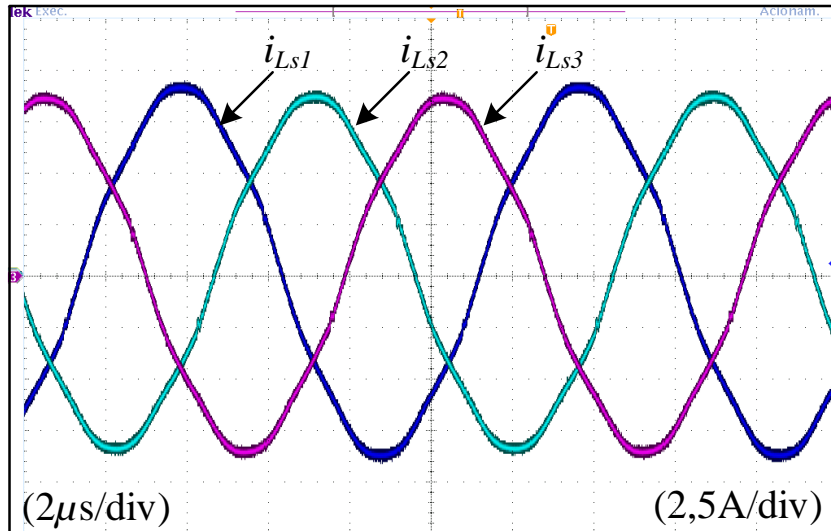
De modo análogo, a Figura 100 apresenta as formas de onda da corrente nos indutores série ressonantes $i_{Ls1} - i_{Ls3}$. Pode-se verificar que, em todas as fases, as correntes são balanceadas e defasadas 120° entre elas. Além disso, apresentam um valor de pico das correntes $i_{Ls1} - i_{Ls3}$, aproximadamente, igual a 9 A que é bem coerente com os valores simulados.

Figura 99 – Formas de onda das tensões trifásicas nos capacitores série ressonante $v_{Cs1}-v_{Cs3}$.



Fonte: Elaborado pelo autor.

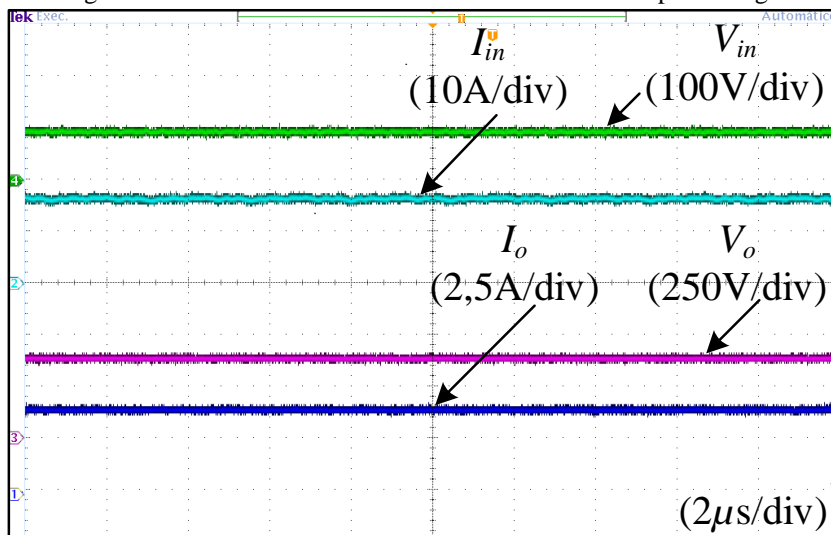
Figura 100 – Formas de onda das correntes trifásicas nos indutores série ressonante i_{Ls1} - i_{Ls3} .



Fonte: Elaborado pelo autor.

A Figura 101 apresenta as tensões e correntes de entrada e saída do conversor em condições de plena carga. A tensão de entrada é 96V e apresenta uma corrente aproximadamente igual a 16A, ao passo que, na saída, apresenta uma tensão de 380V com corrente de saída de, aproximadamente, 4,2A sem maiores variações devido a presença do filtro capacitivo de saída.

Figura 101 – Tensões e correntes de entrada e saída em plena carga.

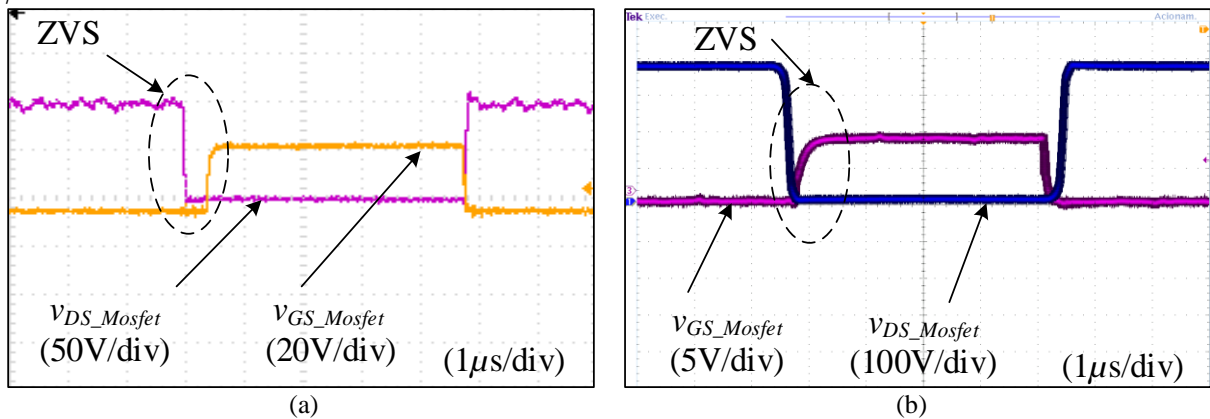


Fonte: Elaborado pelo autor.

As características de comutação do conversor podem ser analisadas nas Figuras 102 e 103. A tensão *dreno-source* sobre as chaves e a tensão de gatilho são representadas por v_{DS_mosfet} e v_{GS_mosfet} , respectivamente. As formas de onda foram obtidas sobre a chave S_{1p} no circuito primário e na chave S_{1s} no circuito secundário. Todas as outras chaves apresentam o mesmo comportamento, embora, defasadas em relação a S_{1p} e S_{1s} . As Figuras 102 e 103

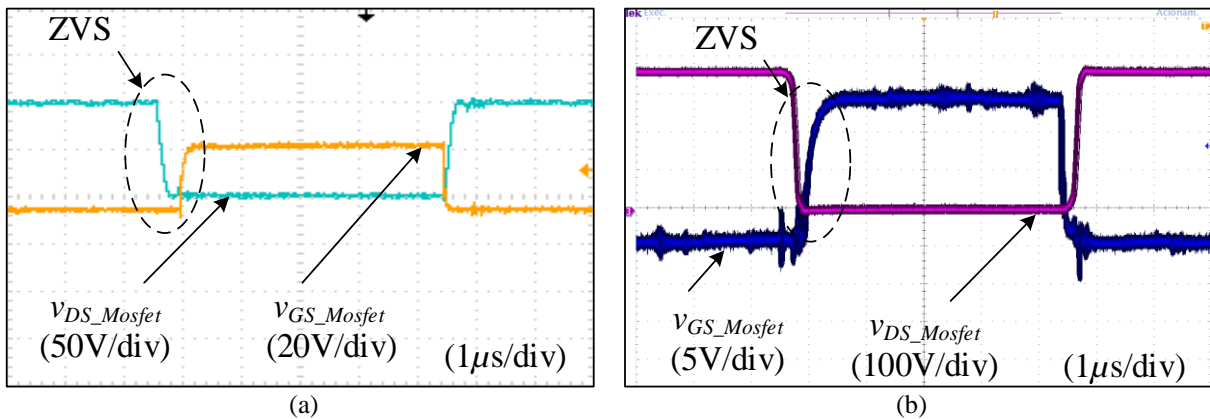
apresentam as formas de onda das chaves para 60% e 100% de carga considerando uma tensão de alimentação $V_{in} = 96V$. Em ambas as figuras, quando v_{DS_mosfet} é nulo e o seu diodo anti-paralelo está conduzindo, a chave liga, o que garante a condição de ZVS no acionamento das chaves primárias e secundárias. Analogamente à Figura 93, mantendo-se as condições de frequência de chaveamento e *phase-shift* e variando apenas a tensão de entrada, pode-se verificar que as chaves do circuito primário e secundário conseguem operar com ZVS garantindo, dessa maneira, um rendimento elevado para diferentes condições de tensão de entrada.

Figura 102 – Formas de onda nas chaves do (a) primário e (b) secundário; para 60% de carga e $f_s = 104,3$ kHz e $\phi = 20^\circ$.



Fonte: Elaborado pelo autor.

Figura 103 – Formas de onda nas chaves do (a) primário e (b) secundário; para 100% de carga e $f_s = 102$ kHz e $\phi = 22^\circ$.

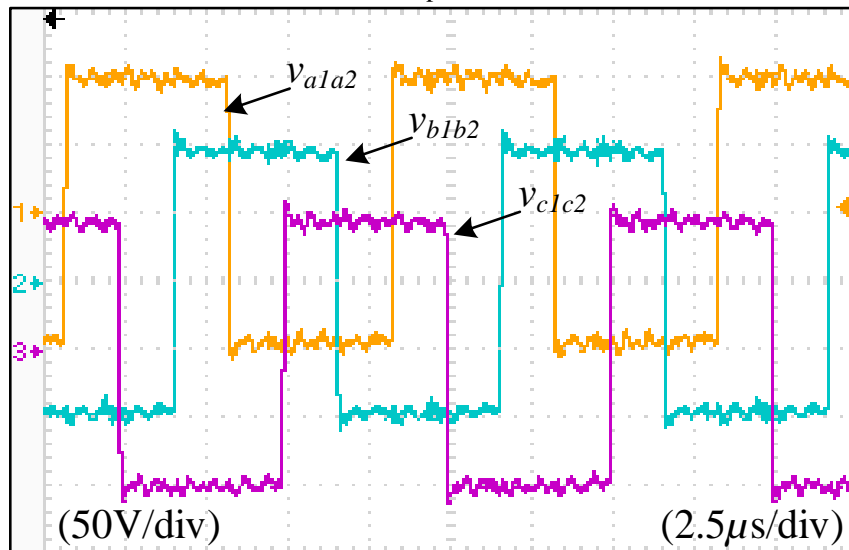


Fonte: Elaborado pelo autor.

Quando a defasagem entre as tensões de gatilho entre as chaves S_{1p} e S_{1s} passa a ser negativa, considerando que a referência é sempre na chave S_{1p} , o fluxo de potência do conversor passa a ser no sentido reverso, ou seja, do circuito secundário para o circuito primário. Desse modo, o conversor ganha bastante versatilidade nas aplicações a qual se destina. Nesse contexto, as principais formas de onda do conversor serão apresentadas e discutidas a seguir. A potência máxima foi obtida usando uma frequência de chaveamento igual a 99 kHz e $\phi = -31^\circ$.

De modo análogo às Figuras 85 e 96, a Figura 102 apresenta as tensões trifásicas de entrada do circuito tanque ressonante $v_{a1a2} - v_{c1c2}$ na configuração bidirecional com fluxo de potência no sentido inverso onde, pode-se verificar que, apresenta a mesma a modulação do circuito primário igual mudando-se, apenas, a frequência de chaveamento. Além disso, pode-se verificar que os valores de pico das formas de onda são iguais a, aproximadamente, 96V que, nessa configuração de operação, é a saída do conversor já que opera como um conversor *buck*.

Figura 104 – Tensões trifásicas de entrada no circuito tanque ressonante $v_{a1a2} - v_{c1c2}$ no sentido inverso do fluxo de potência.

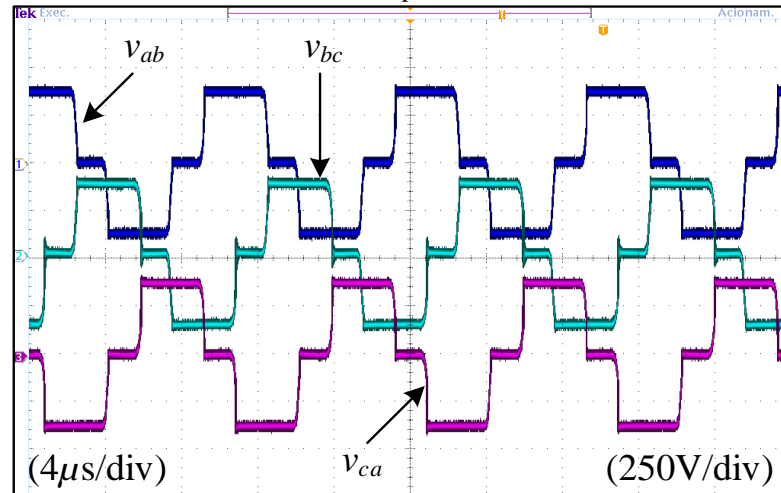


Fonte: Elaborado pelo autor.

A Figura 105 mostra as tensões de linha secundárias dos transformadores T_1-T_3 representadas por $v_{ab} - v_{ca}$ operando com $f_s = 99$ kHz e *phase shift* igual a -31° com fluxo de potência no sentido inverso. Analisando-se a figura, é possível verificar que o valor máximo será igual ao valor da tensão de saída $V_o = 380$ V, que nessa configuração, trata-se do valor que se alimenta o conversor. As formas de onda trifásicas apresentam 3 níveis e são equilibradas e simétricas, analogamente à configuração no sentido direto do fluxo de potência. Nessas condições, a Figura 106 apresenta as correntes do secundário do transformador que, analogamente à Figura 98, apresenta um comportamento equilibrado com nível CC desprezível e valor de pico, aproximadamente, igual a 5 A.

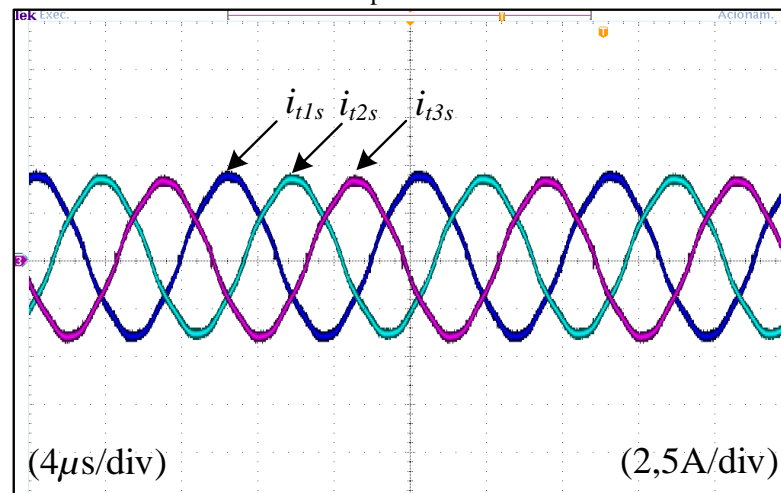
Com fluxo de potência no sentido inverso, as Figuras 107 e 108 apresentam as formas de onda da tensão nos capacitores série ressonantes $v_{Cs1} - v_{Cs3}$ e as formas de onda da corrente nos indutores série ressonantes $i_{Ls1} - i_{Ls3}$, respectivamente. A partir delas, pode-se verificar que, em todas as fases, as tensões são balanceadas e defasadas 120° entre elas. Além disso, apresentam um valor de pico das tensões $v_{Cs1} - v_{Cs3}$ e um valor de pico das correntes $i_{Ls1} - i_{Ls3}$, aproximadamente iguais a 290 V e 8,5 A, respectivamente. Comparando-se com os valores simulados, observa-se que são valores bem coerentes com pouca faixa de erro.

Figura 105 – Formas de onda das tensões de linha secundárias dos transformadores T₁-T₃ no sentido inverso do fluxo de potência.



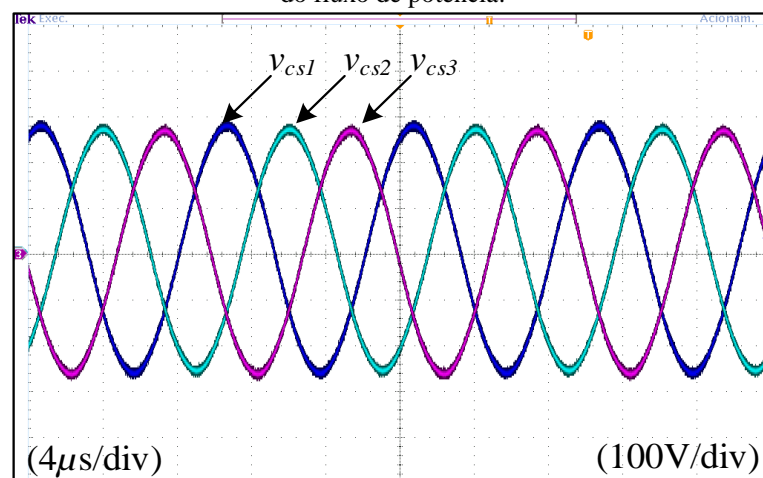
Fonte: Elaborado pelo autor.

Figura 106 – Formas de onda das correntes secundárias dos transformadores T₁-T₃ no sentido inverso do fluxo de potência.



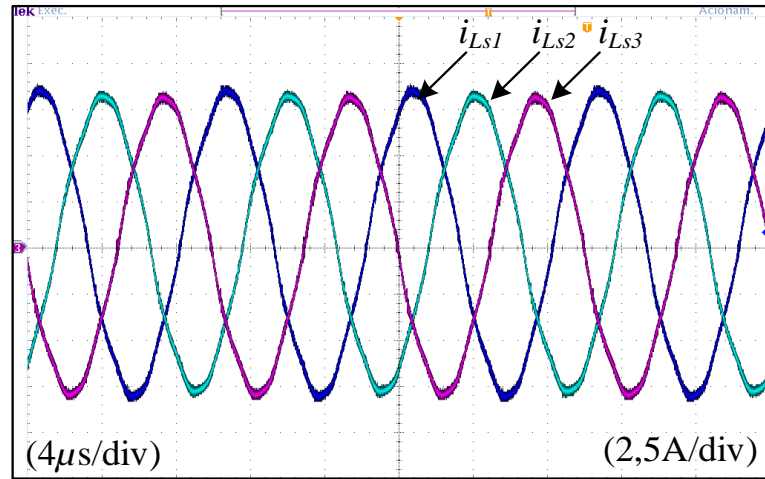
Fonte: Elaborado pelo autor.

Figura 107 – Formas de onda das tensões trifásicas nos capacitores série ressonante v_{cs1} - v_{cs3} no sentido inverso do fluxo de potência.



Fonte: Elaborado pelo autor.

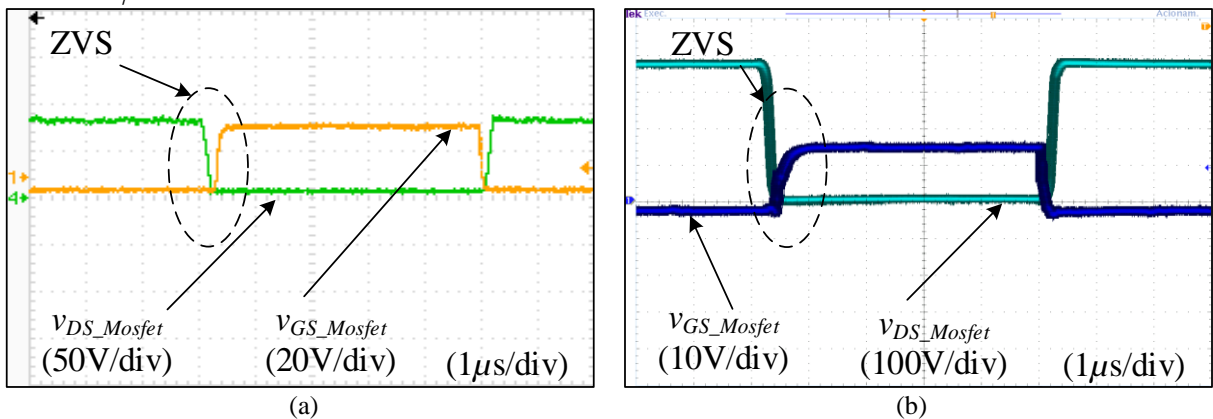
Figura 108 – Formas de onda das correntes trifásicas nos indutores série ressonante i_{Ls1} - i_{Ls3} .



Fonte: Elaborado pelo autor.

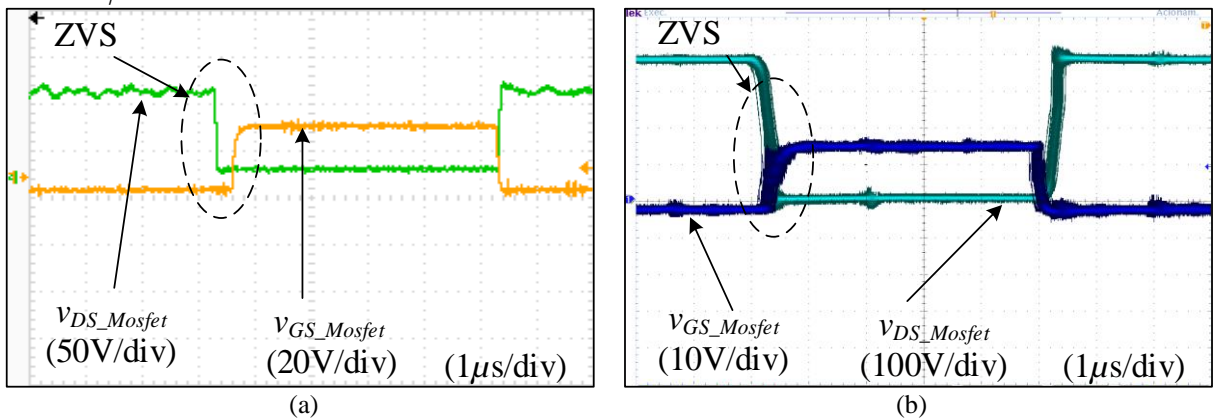
As características de comutação do conversor com fluxo de potência no sentido inverso, podem ser analisadas através das Figuras 109 e 110. Pode-se verificar a comutação suave em uma zona de frequência de chaveamento um pouco mais próxima da ressonância.

Figura 109 – Formas de onda nas chaves do (a) primário e (b) secundário; para 60% de carga, $V_o = 380V$, $f_s = 100\text{ kHz}$ e $\phi = -24^\circ$.



Fonte: Elaborado pelo autor.

Figura 110 – Formas de onda nas chaves do (a) primário e (b) secundário; para 100% de carga, $V_o = 380V$, $f_s = 99\text{ kHz}$ e $\phi = -31^\circ$.

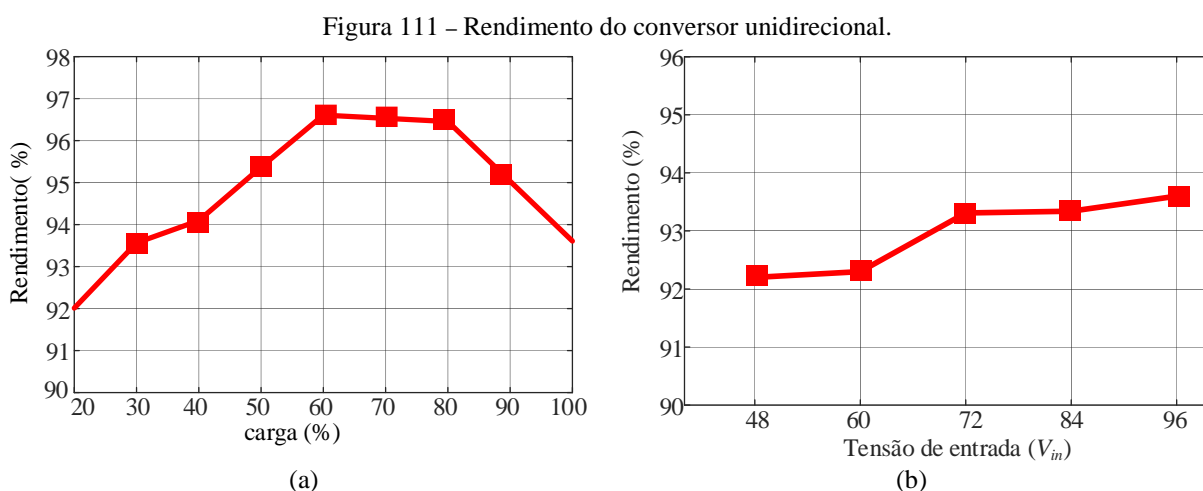


Fonte: Elaborado pelo autor.

As Figuras 109 e 110 apresentam as formas de onda das chaves para 60% e 100% de carga considerando a tensão $V_o = 380\text{ V}$ como tensão de alimentação do circuito secundário. Em ambos os casos, a chave liga com ZVS no acionamento das chaves primárias e secundárias, garantindo, dessa maneira, um rendimento elevado para diferentes condições de tensão de entrada, frequência de chaveamento e *phase-shift*.

6.3 – Rendimento

A Figura 111(a) apresenta o gráfico de rendimento dos resultados experimentais do protótipo unidirecional com $V_{in} = 96\text{ V}$ e frequências de chaveamento que variam de 96,1 kHz a 108 kHz. Pode-se verificar, que o conversor apresenta máxima eficiência de 96,6% com 60% de carga, enquanto que, a plena carga a eficiência é aproximadamente igual a 94%. Além disso, a Figura 111(b), que apresenta os dados de rendimento para máxima carga considerando valores de tensão de entrada distintos, possui valor máximo e mínimo de rendimento iguais a 93,6% com $V_{in} = 96\text{ V}$ e 92,2% com $V_{in} = 48\text{ V}$, respectivamente. Este comportamento pode ser justificado pelo fato de todas as chaves operarem com ZVS, ao passo que todos os diodos retificadores operam com ZCS em uma ampla faixa de carga.



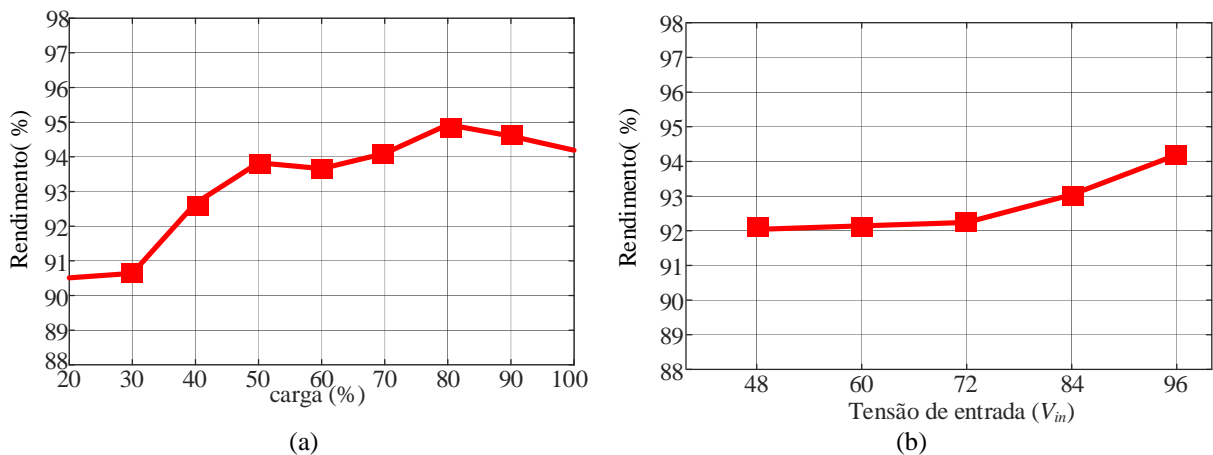
Fonte: Elaborado pelo autor.

A Figura 112(a) apresenta o gráfico de rendimento dos resultados experimentais do protótipo bidirecional com fluxo de potência no sentido direto, considerando $V_{in} = 96\text{ V}$, frequências de chaveamento na faixa de 100 kHz a 112 kHz e *phase-shift* variando de 6° a 22° . Pode-se verificar, que o conversor apresenta máxima eficiência de 94,9% com 80% de carga, enquanto que, a plena carga a eficiência é aproximadamente igual a 94%. Além disso, a Figura 112(b), que apresenta os dados de rendimento para máxima carga considerando valores de tensão de entrada distintos, possui valor máximo e mínimo de rendimento iguais a 94,1% com

$V_{in} = 96\text{ V}$ e $92,1\%$ com $V_{in} = 48\text{ V}$, respectivamente. Este comportamento pode ser justificado pelo fato de todas as chaves operarem com ZVS ampla faixa de carga e de tensão de entrada.

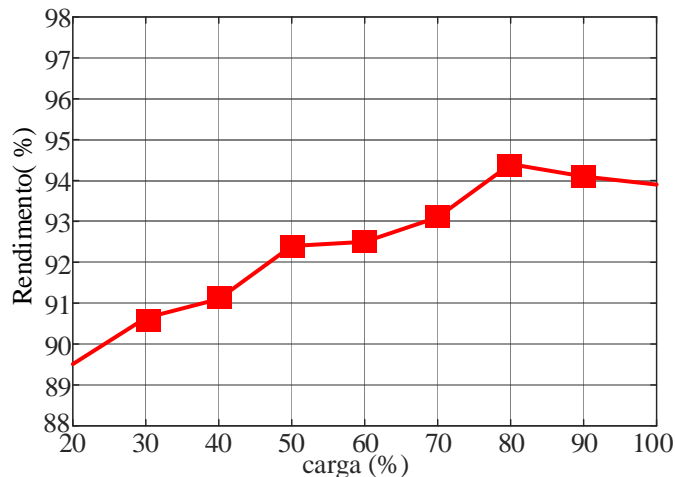
Por fim, a Figura 113 apresenta os dados de rendimento do conversor bidirecional operando com fluxo de potência no sentido inverso (*buck*). Nesse caso, foram consideradas frequências de chaveamento na faixa de 99 kHz a 110 kHz e *phase-shift* variando de -5° a -31° . Nessa configuração, o valor máximo de rendimento foi de $94,4\%$ com 80% de carga. A plena carga, o rendimento foi de $94,1\%$ que é um pouco inferior ao rendimento no sentido direto.

Figura 112 – Rendimento do conversor bidirecional com fluxo de potência no sentido direto.



Fonte: Elaborado pelo autor.

Figura 113 – Rendimento do conversor bidirecional com fluxo de potência no sentido inverso.



Fonte: Elaborado pelo autor.

6.4 – Considerações finais

Neste capítulo, foram apresentados e discutidos os principais resultados experimentais em malha aberta do conversor proposto, que mostraram que as formas de onda obtidas são condizentes com os resultados de simulação apresentados no Capítulo 5. A

característica da comutação suave é presente na estrutura para uma ampla faixa de valores de carga e de tensão de entrada. Nesse cenário, os testes realizados mostraram um rendimento máximo de aproximadamente 95% na estrutura bidirecional, que é um patamar bastante satisfatório, considerando as faixas de frequência de chaveamento do conversor e que foram usadas chaves de SiC no circuito primário e MOSFETs com tecnologia CollMOS™ no circuito secundário com baixa resistência série.

7. CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho apresentou um estudo teórico, computacional e experimental de um conversor CC-CC trifásico isolado bidirecional LLC ressonante utilizando uma técnica de controle por deslocamento de fase e modulação em frequência. Para análise matemática do conversor, todas as chaves, diodos, indutores, capacitores e transformadores foram considerados ideais. Além disso, para a análise do conversor foi usado apenas as componentes fundamentais no modelo da máquina síncrona, que simplifica significativamente a análise matemática sem comprometer os resultados obtidos. Para análise computacional, foram consideradas algumas não-linearidades. Dessa forma, os resultados de simulação apresentaram um baixo valor de erro percentual em relação aos resultados calculados, que já é esperado considerando que a análise do projeto é desenvolvida considerando-se apenas as componentes fundamentais.

Por utilizar um inversor trifásico com três circuitos em ponte completa em paralelo (paralelismo de fases) no primário, essa estrutura apresenta um comportamento melhor se comparado a uma ponte trifásica clássica, já que os esforços de corrente nas chaves serão divididos. Além disso, o circuito ressonante do conversor tem a vantagem de aproveitar as indutâncias de dispersão do transformador de alta frequência e as suas indutâncias magnetizantes para compor o circuito ressonante que melhora significativamente sua densidade de potência.

O conversor operando sempre acima da frequência de ressonância garante um comportamento indutivo, que é importante para garantir que aconteça comutação ZVS. Desse modo, uma das contribuições desse trabalho é que, somado ao paralelismo de fases já presente na estrutura, obtenha-se alto rendimento para uma ampla faixa de carga operando com controle da tensão de saída por variação da frequência de chaveamento mantendo o conversor operando sempre dentro da zona de comutação suave, permitindo que os efeitos causados por EMI sejam reduzidos. Essas características foram observadas nos resultados experimentais, já que estas interferências e ruídos foram minimizados durante os testes que apresentaram um rendimento máximo de, aproximadamente, 95%.

O modelo dinâmico do conversor obtido através da teoria do *gyrator*, mostra-se bastante vantajoso devido à sua fácil implementação matemática, em que o circuito pode ser modelado como uma fonte de corrente controlada por frequência para controlar a tensão de saída do conversor. O fluxo de potência da topologia é controlado pela estimação de um ângulo *phase-shift* ideal para cada ponto de frequência de chaveamento para obter a potência do

conversor. Esse funcionamento conjunto com as duas variáveis de controle fazem com que as variações de frequência de chaveamento para regular os valores da tensão de saída, passem a ser bem menores, se comparado a um conversor série ressonante, que usa apenas a frequência de chaveamento como variável de controle.

Pode-se concluir que este conversor é recomendado como interface entre um sistema CC de baixa tensão de entrada para outro sistema de alta tensão de saída. Se usado como conversor unidirecional com o secundário passivo, pode ser aplicado, por exemplo, em sistemas com célula combustível e, também, em sistemas fotovoltaicos, desde que, sejam acoplados a um inversor para integração na rede elétrica. Aproveitando a sua característica bidirecional, pode ser usado para fazer a integração entre as baterias e o barramento CC de alta tensão de veículos híbridos e elétricos.

Portanto, a maior contribuição desta tese é a análise matemática, computacional e validação experimental de uma nova proposta de um conversor CC-CC trifásico isolado LLC ressonante com modulação em frequência que apresenta alto rendimento em várias condições de carga e, devido às características de modulação e alta frequência, apresenta uma melhoria em densidade de potência, se comparado à mesma estrutura usando frequências de chaveamento usualmente menores.

Por fim, como sugestão de trabalhos futuros, pode-se implementar o controle em malha fechada proposto para obter resultados experimentais usando os módulos de controle de frequência do DSP e pode-se, também, inserir um inversor na saída do conversor para fazer integração com a rede utilizando um *Phase Locked Loop* (PLL) adequado. Além disso, a modulação do circuito primário pode ser alterada para que a tensão de entrada no circuito tanque tenha 3 níveis para diminuir os valores de corrente *rms* e harmônicas.

7.1 Publicações resultantes da topologia

SANTOS, K.P., PRAÇA, P.P., OLIVEIRA FILHO, H. M., OLIVEIRA JUNIOR, D. S., “Steady-state characterization of the Three-phase isolated DC-DC bidirectional converter with LLC resonant tank”, In 2019, (COBEP 2019 – 15th Brazilian Power Electronics Conference and 5th Souththn Power Electronics Conference), Dec. 01 2019-Dec. 4 2019, Santos -SP.

SANTOS, K.P.; PRAÇA, P.P.; OLIVEIRA FILHO, H. M.; OLIVEIRA JUNIOR, D. S. BARRETO, L.H.S.C.; HENN, G.A.L., “Comprehensive analysis of a three-phase DC-DC resonant converter with an open delta-wye transformer using variable frequency” – ELECTRONIC LETTERS, VOL. 56, N^o. 22, January/February, 2021.

7.2 Publicações complementares resultantes durante o período do doutorado

REIS, F.E.U., SANTOS, K.P., TORRICO, B., PRAÇA, P.P., BASCOPE, R.P.T., NETO, T.R.F., “Filtered smith predictor applied to a boost converter for minimizing the effect of non-minimal phase and rejection of disturbances”, In 2017, (COBEP 2017 – 14th Brazilian Power Electronics Conference), Nov. 18 2017 - Nov. 22 2017, Juiz de Fora- MG.

SANTOS, K.P., SANTOS, C.A., BASCOPE, R.P.T., PRAÇA, P.P., ALMEIDA, B. R, “Projeto de um retificador vienna com elevado fator de potência usando a técnica de controle de um ciclo“ In 201, (CBA 2018 – 22o Congresso Brasileiro de Automática), Set. 09 2018- Set. 12 2018, João Pessoa - PB.

SILVA, J.L., SILVA, R.N.A.L., MATIAS,R.R., NETO, J.A.S., ALVES, M.D.C., SANTOS, K.P., PRAÇA, “FSC-MPC Current Control of a 5-level Half Bridge/ANPC Hybrid Three-phase Inverter”, In 2019, (COBEP 2019 – 15th Brazilian Power Electronics Conference and 5th Souththern Power Electronics Conference), Dec. 01 2019-Dec. 4 2019, Santos -SP.

REFERÊNCIAS BIBLIOGRÁFICAS

- ALMARDY, M. S., BHAT, A. K. S., “Three-Phase (Lc)(L)-Type Series-Resonant Converter With Capacitive Output Filter“ *IEEE Transactions on Power Electronics*, Vol. 26, No. 4, April 2011.
- ALMEIDA, P.S., “Síntese de Conversores Ressonantes com Alto Fator de Potência e Alta Eficiência para o Acionamento de Diodos Emissores de Luz“- Tese de Doutorado – Universidade Federal de Juiz de Fora, 2014.
- ALMEIDA, B.R., “Conversor CA-CC trifásico de único estágio, bidirecional, isolado em alta frequência, com correção de fator de potência“- Tese de Doutorado – Universidade Federal do Ceará, 2016.
- BECKHÄUSER FILHO, J.A., BARBI, I., Microinversor Solar Utilizando um Conversor LLC Ressonante, *VII Congresso Brasileiro de Energia Solar – Gramado, 17 a 20 de abril de 2018*
- BHAT, A. K. S., “Analysis and design of a fixed-frequency LCL-type series resonant converter with capacitive output filter,” *Proc. Inst. Elect. Eng.,(IEE) Circuits Devices Syst.*, vol. 144, no. 2, pp. 97–103, Apr. 1997.
- BHAT, A. K. S., “Analysis and design of a fixed-frequency LCL-type series resonant converter,” *IEEE Trans. Aerosp. Electron. Syst.*, vol. 31, no. 1, pp. 125–137, Jan. 1995.
- BHAT, A.K.S., ZHENG, R.L., “ A Three-phase Series-Parallel Resonant Converter-Analysis, Design, Simulation, and Experimental Results“ *IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS*, VOL. 32, NO. 4, JULY/AUGUST 1996.
- DE DONCKER, R. W., DIVAN, D. M.; KHERALUWALA, M. H., A three-phase soft-switched high-power-density DC/DC converter for high-power applications, *IEEE Industry Applications Society Annual Meeting*, pp. 796-801, 1988.
- DE DONCKER, R. W., DIVAN, D. M.; KHERALUWALA, M. H., A three-phase soft-switched high-power-density DC/DC converter for high-power applications, *Industry Applications*, *IEEE Transactions on*, vol. 27, n°. 1, pp. 63-73, 1991.
- DEHONG, X.; CHUANHONG, Z.; HAIFENG, F., A PWM plus phase-shift control bidirectional DC-DC converter, *Power Electronics*, *IEEE Transactions on*, vol. 19, n°. 3, pp. 666-675, 2004.
- DUNG, N.A., CHIU, H.J., LIN, J.Y., HSIEH, Y.C., CHEN, H.T., ZENG, B.X. “Novel Modulation of Isolated Bidirectional DCDC Converter for Energy Storage Systems“.
- ERICKSON, R.W., MAKSIMOVIC, D., *Fundamentals of Power Electronics*, 2th Ed. Springer, New York, 2001.
- FANG, X., “Analysis and Design Optimization of Resonant DC-DC Converters” Thesis of Doctor of Philosophy - University of Central Florida, 2007.
- HART, D. W., “Eletrônica de Potência: Análise e Projeto de Circuitos”. MC Graw Hill-Bookman, 2012, Porto Alegre.

HABIB, S., KHAN, M.M., ABBAS, F., SANG, L., SHAHID, U., TANG, H., “A Comprehensive Study of Implemented International Standards, Technical Challenges, Impacts and Prospects for Electric Vehicles” IEEE Access, VOL. 06, Março 2018.

HU, Z., QIU, Y., LIU, Y.F., SEN, P.C., “A control strategy and design method for interleaved LLC converters operating at variable switching frequency”, IEEE Transactions on Power Electronics, vol. 29, no. 8, August 2014.

JACOBS, J., AVERBERG, A., DE DONCKER, R., A novel three-phase DC/DC converter for high-power applications, 35th IEEE Annual Power Electronics Specialists Conference, Vol.03, Pages: 1861 – 1867, 2004.

JACOBS, J., AVERBERG, A., DE DONCKER, R., Multi-Phase Series Resonant DC-to-DC Converters: Stationary Investigations, 36th IEEE Annual Power Electronics Specialists Conference, Pages: 660 – 666, 2005.

KAZIMIERCZUK, M.K., CZARKOWSKI, D., Resonant Power Converters, 2th Ed. Ed. Wiley, New Jersey, 2011

LI, X., BHAT, A.K.S., “AC Equivalent Circuit Analysis for High-Frequency Isolated Dual-Bridge Series Resonant DC/DC Converter”, 2008.

LI, X., BHAT, A.K.S., “Analysis and Design of High-Frequency Isolated Dual-Bridge Series Resonant DC/DC Converter”, IEEE Transactions on Power Electronics, vol. 25, no. 4, April 2010.

LIU, F., CHEN Y., CHEN, X., “Comprehensive Analysis of Three-Phase Three-Level LC-Type Resonant DC/DC Converter With Variable Frequency Control—Series Resonant Converter”, IEEE Transactions on Power Electronics, vol. 32, no. 7, pp. 5122-5131, Julho, 2017.

LIU, C., JOHNSON, A., LAI, J., “A Novel Three-Phase High-Power Soft-Switched DC/DC Converter for Low-Voltage Fuel Cell Applications”, IEEE Transactions on Industry Applications, vol. 41, no. 6, pp. 1691-1697, Novembro 2005.

LIU, C., JOHNSON, A., LAI, J., “A Novel Three-Phase High-Power Soft Switched DC/DC Converter for Low Voltage Fuel Cell Applications”, in Proc. IEEE Workshop on Computers in Power Electronics, 2004.

LIU, G., JANG, Y., JOVANOVIĆ, M.M., ZHANG, J.Q., “Implementation of a 3.3-kW DC–DC Converter for EV On-Board Charger Employing the Series Resonant Converter With Reduced Frequency-Range Control”, IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 32, NO. 6, JUNE 2017.

MAGMATTEC, “Folha de dados – Núcleos de Ferrite – Material 139,140 e 144”. <https://www.magmattec.com.br/nucleos-de-po-de-ferro>, Acesso em 15/07/2019.

MCLYMAN, C. W. T., “Transformer and Inductor Design Handbook”. Marcel Dekker Inc, New York, 1988.

MCMURRAY, W., “Power converter circuits having a high-frequency link,” U.S. patent 3 517 300, June 23, 1970.

MERWE, J.W. V.D., MOUTON, H. D. “The Solid-State Transformer Concept: A new Era in Power Distribution”, In 2009, (IEEE AFRICON), 22-25 Sept., pp. 1-6.

MIRZAHOSSEINI, R., TAHAMI, F., “A Phase-Shift Three-Phase Bidirectional Series Resonant DC/DC Converter“ IECON 2011 - 37th Annual Conference of the IEEE Industrial Electronics Society- Page s: 1137 – 1143.

MONIZ, D. F. C., “Conversor DC-DC Bidirecional Isolado Ressonante Aplicado a Veículos Eléctricos” Universidade de Coimbra - Dissertação de mestrado, 2015.

NGUYEN, D.D., NGUYEN D.T., FUJTTA, G., FUNABASHI, T., “Dual-active-bridge series resonant converter: A new control strategy using phase-shifting combined frequency modulation” - IEEE Energy Conversion Congress and Exposition (ECCE), Page s: 1215-1222, 2015.

OGATA, K., Engenharia de Controle Moderno, 5ªEd. Pearson Prentice Hall, São Paulo, 2011.

OLIVEIRA FILHO, H. M. “Conversor CC-CC trifásico isolado bidirecional com comutação suave utilizando dual phase-shift e razão cíclica variável”. Tese (Doutorado em Engenharia Elétrica) - Centro de Tecnologia, Universidade Federal do Ceará, Fortaleza, 2015.

OLIVEIRA FILHO, H. M. “Soft-switching bidirectional isolated three-phase DC-DC converter with dual phase-shift and variable duty cycle” – 13th Brazilian Power Electronics Conference (COBEP), Oct. 27 2013-Oct. 31 2013, Gramado -RS.

OLIVEIRA FILHO, H. M.; OLIVEIRA JUNIOR, D. S.; PRAÇA, P.P., “Steady-State Analysis of a ZVS Bidirectional Isolated Three-Phase DC–DC Converter Using Dual Phase-Shift Control With Variable Duty Cycle” - IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 31, NO. 3, MARCH 2016.

OLIVEIRA JUNIOR, D. S., ANTUNES, F. L. M., SILVA, C. E. A., “A Three-Phase ZVS PWM DC–DC Converter Associated with a Double-Wye Connected Rectifier, Delta Primary”, IEEE Transactions on Power Electronics, vol. 21, no. 6, pp. 354-360, Nov/Dez. 2006.

OLIVEIRA JUNIOR, D. S., JR.; BARBI, I., A three-phase ZVS PWM DC/DC converter with asymmetrical duty cycle associated with a three-phase version of the hybrid rectifier, Power Electronics, IEEE Transactions on, vol. 20, n°. 2, pp. 354-360, 2005.

OLIVEIRA, S.V.G., CASTELLAIN, D.G., NOVAES, Y.R., CARDOSO, N.P., ROSA, M.B. BRANDT, A.G., JUNIOR, Y.P., “AC-AC Modular Multilevel Converter Applied to Solid-state Transformers”, In 2014, (IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society), Oct. 29 2014-Nov. 1 2014, pp. 1174 – 1180.

OUTEIRO, M. T. ; BUJA, .G.; CZARKOWSKI, D. Resonant Power Converters: An Overview with Multiple Elements in the Resonant Tank Network, IEEE Industrial Electronics Magazine, Year: 2016, Volume: 10, Ed. 2, pp. 21 – 45.

PRASAD, A. R., ZIOGAS, P. D., MANIAS, S., “A Three-Phase Resonant PWM DC-DC Converter” PESC '91 Record 22nd Annual IEEE Power Electronics Specialists Conference, 24-27 June 1991,

ROGGIA, L., “Novo Conversor CC-CC Integrado Full-Bridge Forward Aplicado a uma Microrrede Residencial”. Tese (Doutorado em Engenharia Elétrica), Universidade Federal de Santa Maria, Santa Maria - RS, 2013.

SABATÉ, J.A., “Zero-Voltage Switched Resonant and PWM Converters: Design-Oriented Analysis and Performance Evaluation” Thesis of Doctor of Philosophy – Faculty of the Virginia Polytechnic Institute and State University, 2007.

SCHWARZ, F. S., “An Improved Method of Resonant Current Pulse Modulation for Power Electronics”, IEEE Transactions on Industrial Electronics and Control Instrumentation, Vol.23, No. 2, 1976.

SHE, X., BURGOS, R., WANG, G., WANG, F., “Review of solid state transformer in the distribution system: From components to field application” In 2012, IEEE Energy Conversion Congress and Exposition (ECCE), 15-20 Sept. 2012, pp. 4077 – 4084.

SHE, X., HUANG, A.Q., BURGOS, R., “Review of Solid-State Transformer Technologies and Their Application in Power Distribution Systems” IEEE Access, Vol. 6, March, 2018.

SHEN, Y., ZHAO W., CHEN, Z., CAI, C., “Full-Bridge LLC Resonant Converter With Series-Parallel Connected Transformers for Electric Vehicle On-Board Charger” IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 1, N^o. 3, SEPTEMBER 2013.

TELLEGEN, B.D.H. "The gyrator, a new electric network element", Philips Res. Rep. N^o , pp. 81-101, Abril, 1948.

THORNTON, “Folha de dados – Catálogo de Ferrite 2015”.
<https://www.thornton.com.br/pdf/CATALOGO%20THORNTON.pdf>, Acesso em 01/04/2019.

VANGEN, K., MELAA, T., BERGSMARK, S., NILSEN, R., “Efficient high-frequency soft-switched power converter with signal processor control” -Thirteenth International Telecommunications Energy Conference - INTELEC 91, 1991, Pages: 631 – 639.

VIEIRA JUNIOR, J.B., “Conversores Quase-Ressonantes: Novas Topologias, Projeto e Análise”. Tese (Doutorado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis-SC, 1991.

WALBERMARK, M.S., “Estudo e Implementação do Conversor TAB (Triple Active Bridge) Aplicado a Sistemas Renováveis Solares Fotovoltaicos”. Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis-SC, 2011.

ZHANG, Y., LU, M., LI, X., “A Two-stage Control Scheme for a Dual-Bridge Series Resonant Converter” 9th International Conference on Power Electronics (ECCE) Asia-June 1 - 5, 2015, Seoul, Korea

YAQOOB, M., LOO, K.H., LAI, Y.M., “Fully Soft-Switched Dual-Active-Bridge Series-Resonant Converter With Switched-Impedance-Based Power Control” IEEE Transactions on Power Electronics, vol. 33, N^o. 11, NOVEMBER 2018

YILMAZ, M., KREIN, P. T., “Review of battery charger topologies, charging power levels, and infrastructure for plug-in electric and hybrid vehicles” *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2151–2169, May 2013.

ZHAO, B., SONG, Q., LIU, W., SUN, Y., “Overview of DAB Bidirectional DC-DC converter for HF-link Power Conversion System, *IEEE Transactions on Power Electronics*, Vol: 29, Issue: 8 Page s: 4091 – 41062014.

ZIOGAS, P. D., PRASAD, A. R., MANIAS, S., “Analysis and design of a three-phase off-line dc–dc converter with high frequency isolation,” in *Proc. Ind. Appl. Soc. Conf.*, 1988, pp. 813–820.

APÊNDICE A – PROJETO DOS TRANSFORMADORES

Este apêndice tem por objetivo detalhar todas as etapas do dimensionamento do transformador de alta frequência apresentando o dimensionamento do núcleo magnético, enrolamentos, número de espiras, dentre outros. As especificações do projeto para dimensionamento estão apresentadas na Tabela 10.

Tabela 10 – Especificações do projeto do transformador.

Tensão no secundário (V_2)	190	V
Tensão no primário (V_p)	96	V
Frequência de chaveamento (f_s)	100	kHz
Ciclo de trabalho (D)	0,5	
Relação de Transformação $\left(a_{Tm} = \frac{V_o}{V_p} \cdot \frac{1}{4(1-D)} \right)$	1,979	
Rendimento (n_{Tm})	0,96	
Potência do conversor (P_3)	1,0	kW

Fonte: Elaborado pelo autor.

Considerando o rendimento, a potência real do transformador e a sua potência aparente estimada são dadas em (A.1) e (A.2), respectivamente.

$$P_{Tm} = \frac{P_3}{n_{Tm}} = 1042W \quad (A.1)$$

$$S_{Tm} = P_{Tm} \cdot \left(\frac{1}{n_{Tm}} + 1 \right) = 2127VA \quad (A.2)$$

A fim de otimizar densidade de potência, neste projeto adotou-se o uso de núcleo toroidal de pó de ferro, que se mostra vantajoso para esse aspecto. O fator de ajuste que está relacionado com o tipo de núcleo utilizado no projeto, que relaciona a densidade de corrente para o núcleo toroidal de pó de ferro, bem como o fator que relaciona a forma de onda que estará no transformador e o fator de utilização da área do enrolamento são dados por (A.3), (A.4) e (A.5), respectivamente (MCLYMAN, 1988).

$$K_j = 403 \quad (\text{A.3})$$

$$K_f = 4,233 \quad (\text{A.4})$$

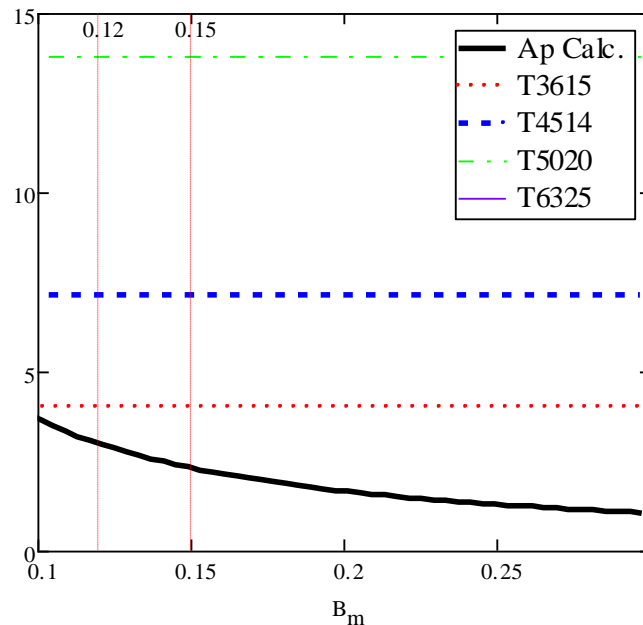
$$K_u = 0,4 \quad (\text{A.5})$$

O núcleo magnético costuma suportar valores de densidade de campo na faixa de 0,3T, entretanto, nesse trabalho será considerado um valor bem abaixo, para garantir que o núcleo não sofra saturação magnética. Considerando uma variação de densidade de campo magnético dada por (A.6), determina-se a zona de valores do produto da área da área da janela pela área de secção transversal do núcleo considerando que $y = 0,125$ (MCLYMAN, 1988) cuja representação gráfica é apresentada na Figura 114. Nesta, o valor calculado foi comparado com os valores de A_p dos núcleos modelos MMT140T3615, MMT140T4514, MMT139T5020 e MMT139T6325 da Magmattec. Verifica-se que os núcleos MMT140T3615, MMT140T4514 e MMT139T5020 podem ser utilizados, entretanto, devido à disponibilidade em laboratório foi utilizado o último.

$$B_{\max} = 0,13T \quad (\text{A.6})$$

$$A_p = \left(\frac{S_{Tm} \cdot 10^4}{K_f \cdot B_m \cdot f_s \cdot K_u \cdot K_j} \right)^{\frac{1}{1-y}} \quad (\text{A.7})$$

Figura 114 – Valores de A_p calculados e dos núcleos Magmattec.



Fonte: Elaborado pelo autor.

Como critério adotado de projeto, para determinado valor de B_m , deve-se escolher o núcleo com valor de A_p ligeiramente superior ao calculado para o valor considerado de B_m . Por esse critério, o núcleo MMT140T3615 é o mais apropriado.

O dimensionamento do número de espiras do lado primário é obtido através de (A.8) enquanto que o número de espiras do secundário é dado por (A.9).

$$N_P = \left(\frac{V_P \cdot 10^4}{K_f \cdot B_m \cdot f_s} \cdot \frac{1}{A_c} \right) \quad (\text{A.8})$$

$$N_S = a_{Tm} \cdot N_P \quad (\text{A.9})$$

Para um correto dimensionamento dos condutores a serem utilizados no enrolamento, é preciso analisar a profundidade de penetração do condutor com a finalidade de evitar perdas devido ao efeito pelicular (ou efeito *skin*). Para uma temperatura de 25° C, a profundidade de penetração é dada por (A.10) (KAZIMIERCZUK, CZARKOWSKI, 2011). O diâmetro do condutor deverá ser menor ou igual a (A.11).

$$\varepsilon_{skin} = \frac{6,62}{\sqrt{f_s}} = 0,021cm \quad (\text{A.10})$$

$$d_{max} = 2 \cdot \varepsilon_{skin} = 0,042cm \quad (\text{A.11})$$

Considerando o diâmetro do condutor e transformando-o para AWG, o fio utilizado máximo deverá ser o 25 AWG. Foi adotado o condutor 26 AWG devido à disponibilidade em laboratório. Como critério de projeto, a densidade de corrente adotada será igual a $J = 450 \text{ A/cm}^2$ que é um tradicional valor adotado na bibliografia. Para valores menores que o adotado, seriam necessários núcleos maiores e condutores superdimensionados. Considerando um valor de pico no primário e secundário iguais a $I_p = 18,52\text{A}$ e $I_s = 9,35 \text{ A}$, respectivamente, a área de secção de cobre no primário e secundário são dadas em (A.12) e (A.13), respectivamente.

$$S_{cp} = \frac{I_P}{J} = 0,041cm^2 \quad (\text{A.12})$$

$$S_{cs} = \frac{I_S}{J} = 0,021cm^2 \quad (\text{A.13})$$

Após a escolha do condutor, deve-se verificar quantos condutores em paralelo são suficientes para conduzir a corrente de projeto. No caso, o condutor 26 AWG possui a área de secção transversal igual a $A_{cup} = 0,001287 \text{ cm}^2$. Desse modo, o número de condutores em paralelo para o primário e secundário serão dados em (A.14) e (A.15), respectivamente.

$$N_{fiop} = \frac{S_{cp}}{A_{cup}} = 32 \quad (\text{A.14})$$

$$N_{fios} = \frac{S_{cs}}{A_{cup}} = 17 \quad (\text{A.15})$$

Considerando o comprimento médio dado pelo fabricante do núcleo escolhido é igual a $mlt = 7,2 \text{ cm}$ e o número de espiras, então o comprimento médio do condutor do primário e secundário são dados em (A.16) e (A.17), respectivamente.

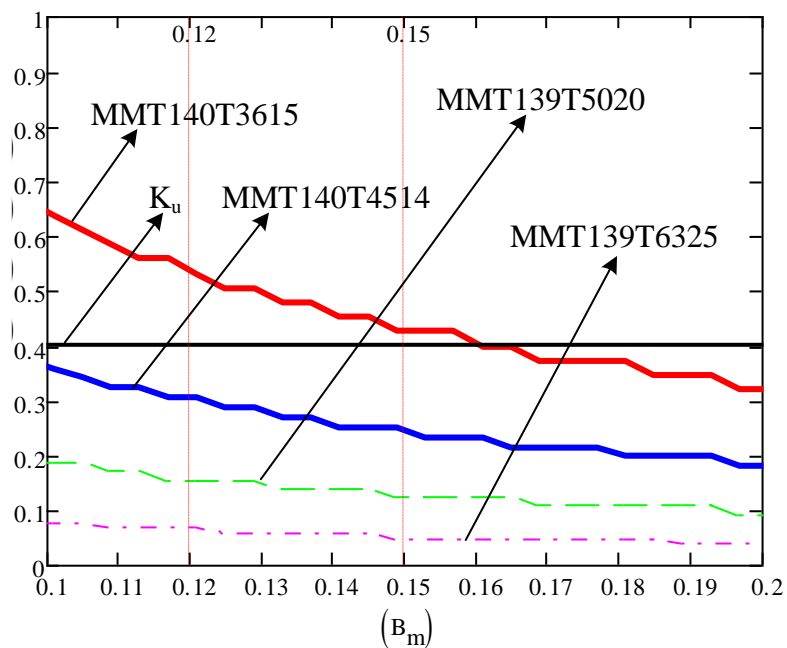
$$Comp_{fiop} = N_P \cdot mlt = 64,8 \text{ cm} \quad (\text{A.16})$$

$$Comp_{fios} = N_S \cdot mlt = 129,6 \text{ cm} \quad (\text{A.17})$$

Ao final do cálculo dos principais critérios para dimensionamento, deve-se verificar a viabilidade de montagem do transformador que será representado pelo fator de utilização por (A.18). A Figura 115 mostra o gráfico do fator de execução em função de B_{max} e um valor de referência que garante a viabilidade de execução. Analisando a Figura 115, é possível perceber que considerando B_{max} , o fator de utilização de todos os núcleos comparados é apropriado para o projeto, exceto o do núcleo MMT140T3615. O núcleo MMT140T4514 tem o melhor aproveitamento e o núcleo MMT139T6325 o pior. O MMT139T5020 é intermediário entre o melhor e pior aproveitamento.

$$F_u = \frac{N_P \cdot A_{fiop} \cdot N_{fiop} + N_S \cdot A_{fios} \cdot N_{fios}}{A_w} \quad (\text{A.18})$$

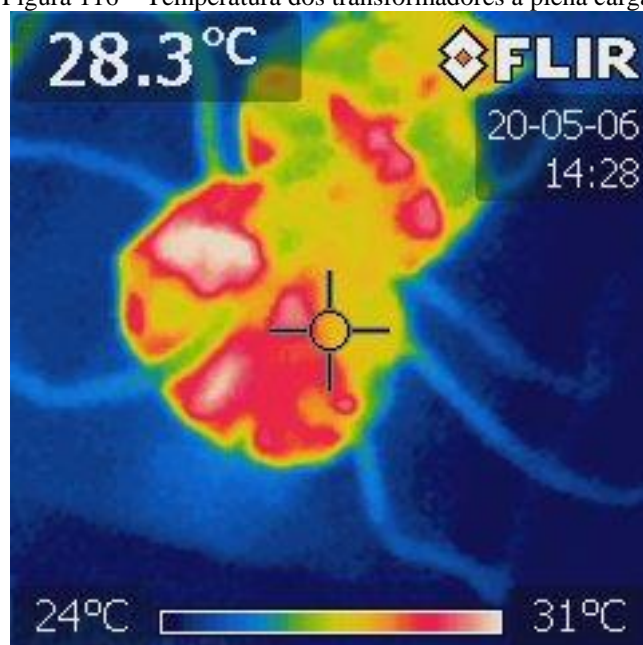
Figura 115 – Fator de execução dos núcleos analisados.



Fonte: Elaborado pelo autor.

Por fim, a Figura 116 apresenta a temperatura do transformador quando submetido a uma potência de 500 W totalizando uma potência trifásica de 1500W. O transformador foi projetado para suportar o dobro de potência e por isso a sua temperatura está de 28,3°C que é considerada baixa.

Figura 116 – Temperatura dos transformadores a plena carga.



Fonte: Elaborado pelo autor.

APÊNDICE B – PROJETO DOS INDUTORES

Este apêndice tem por objetivo detalhar todas as etapas do dimensionamento do indutor série ressonante apresentando o dimensionamento do núcleo magnético, enrolamento, número de espiras, dentre outros. As especificações do projeto para dimensionamento estão apresentadas na Tabela 11.

Tabela 11 – Especificações do projeto do indutor.

Indutância (L_S)	59,3	μH
Corrente máxima (I_{\max})	18	A
Corrente eficaz (I_{ef})	12,75	A
Frequência de chaveamento (f_s)	100	kHz
Permeabilidade do espaço livre (μ_o)	$4\pi \cdot 10^{-7}$	H/m
Resistividade do cobre (ρ)	2,303	$\Omega \cdot \text{m}$
Fator de utilização da área do enrolamento (K_w)	0,4	

Fonte: Elaborado pelo autor.

O núcleo magnético costuma suportar valores de densidade de fluxo magnético na faixa de 0,3T e de densidade de corrente nos enrolamentos de até 450 A/m². A fim de garantir que o núcleo não sofra saturação magnética, a densidade de fluxo magnético e a densidade de corrente nos enrolamentos são dadas por (B.1) e (B.2), respectivamente.

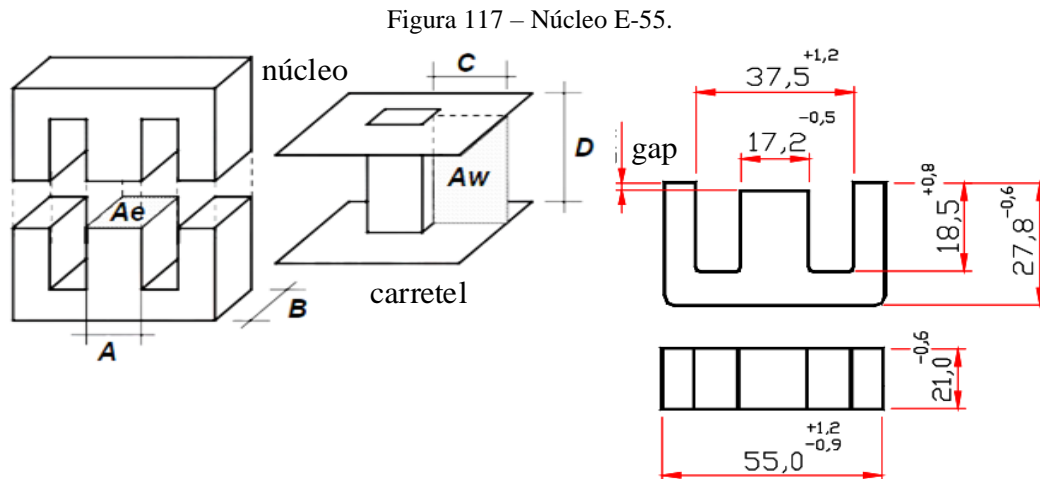
$$B_{\max} = 0,2T \quad (\text{B.1})$$

$$J_{\max} = 300 \cdot 10^4 \text{ A} / \text{m}^2 \quad (\text{B.2})$$

Para determinar qual núcleo será utilizado, deve-se fazer uma estimativa do produto da área da perna central do núcleo (A_e) pela área da janela do núcleo (A_w) dado por (B.3) considerando as especificações do projeto (MCLYMAN, 1988).

$$A_e \cdot A_{w_estimado} = \frac{L_S \cdot I_{\max} \cdot I_{ef}}{B_{\max} \cdot J_{\max} \cdot K_w} = 5,671 \cdot 10^{-8} \text{ m}^4 \quad (\text{B.3})$$

O núcleo escolhido deverá possuir um valor de $A_e \cdot A_w$ superior ao encontrado em (B.3). Analisando a folha de dados dos magnéticos do fabricante Thornton, verificou-se que o núcleo E-55 de ferrite possui viabilidade técnica para ser utilizado no projeto (THORNTON, 2015). Embora não tenha a vantagem da densidade de potência e ofereça baixa densidade de fluxo magnético se comparado ao núcleo toroidal, tem a vantagem de possibilitar a regulagem de *gap* na montagem que torna a indutância mais precisa. As dimensões e as especificações do núcleo E-55 são apresentadas na Figura 117 e na Tabela 12, respectivamente.



Fonte: (Thornton, 2015, com adaptações).

Tabela 12 – Especificações do núcleo E-55.

Produto das áreas ($A_e \cdot A_w$)	$8,85 \cdot 10^{-8}$	m^4
Comprimento médio efetivo (l_e)	0,12	m
Coefficiente de perdas por histerese (K_h)	$4 \cdot 10^{-5}$	
Coefficiente de perdas por correntes parasitas (K_F)	$4 \cdot 10^{-10}$	
Permeabilidade do material (μ_e)	$1719 \cdot \mu_o$	H/m

Fonte: Elaborado pelo autor.

O dimensionamento do número de espiras é obtido através de (B.4), enquanto que o cálculo para determinar o valor do entreferro total é dado por (B.5). É importante salientar que o valor dado por (B.5) corresponde ao entreferro total no núcleo em E, que possui duas pernas laterais conforme apresentado na Figura 117. Cada perna lateral terá metade do valor de (B.5) de entreferro.

$$N_{\text{espiras}} = \frac{L_S \cdot I_{\text{max}} \cdot 1,1}{B_{\text{max}} \cdot A_e} = 17 \quad (\text{B.4})$$

$$l_g = \mu_0 \cdot A_e \cdot \left(\frac{N_{\text{espiras}}^2}{L_S} - \frac{l_e}{\mu_e \cdot A_e} \right) = 2,098 \cdot 10^{-3} m \quad (\text{B.5})$$

Para um correto dimensionamento dos condutores a serem utilizados no enrolamento, é preciso analisar a profundidade de penetração do condutor com a finalidade de evitar perdas devido ao efeito pelicular (ou efeito *skin*). Para uma temperatura de 25° C, a profundidade de penetração é dada por (B.6) (KAZIMIERCZUK, CZARKOWSKI, 2011). O diâmetro do condutor deverá ser menor ou igual a (B.7).

$$\varepsilon_{\text{skin}} = \frac{6,62}{\sqrt{f_s}} = 0,021 \text{ cm} \quad (\text{B.6})$$

$$d_{\text{max}} = 2 \cdot \varepsilon_{\text{skin}} = 0,042 \text{ cm} \quad (\text{B.7})$$

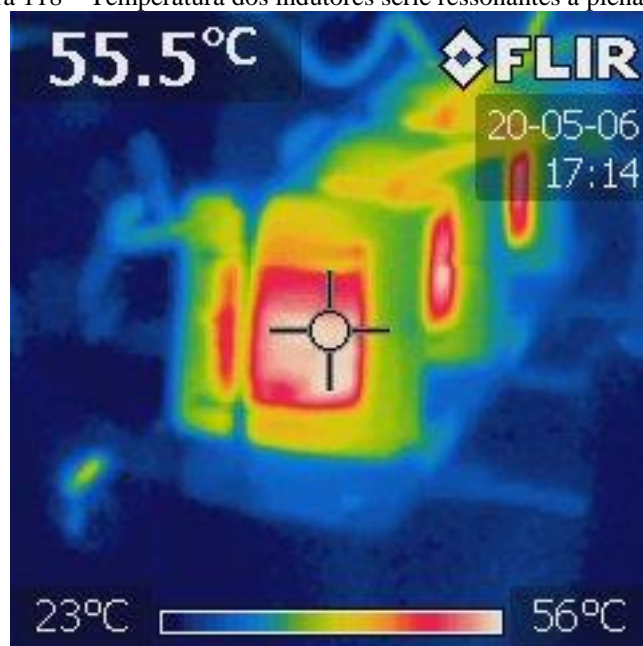
Considerando o diâmetro do condutor e transformando-o para AWG, o fio utilizado máximo deverá ser o 25 AWG, logo, foi adotado o condutor 26 AWG devido à disponibilidade em laboratório. Para atender à demanda de corrente, deve ser utilizado condutores em paralelo. Considerando a corrente suportada por um único condutor e a corrente máxima do indutor dada na Tabela 11, devem ser usados 40 condutores em paralelo que ocuparão em torno de 35% da área da janela do indutor que é menor que a área máxima recomendada representada pelo coeficiente máximo de ocupação de janela K_w dado na Tabela B.1.

Para determinar o comprimento médio do condutor para montar o enrolamento no núcleo, deve-se multiplicar a equação (B.4) com o comprimento médio efetivo l_e dado na Tabela 12, para encontrar a equação (B.8).

$$Comp_{\text{fio}} = N_p \cdot l_e = 2,04 m \quad (\text{B.8})$$

Por fim, a Figura 118 apresenta a temperatura do indutor quando submetido a uma potência de 500W totalizando uma potência trifásica de 1500 W. O indutor foi projetado para suportar o dobro de potência e por isso, a sua temperatura está baixa.

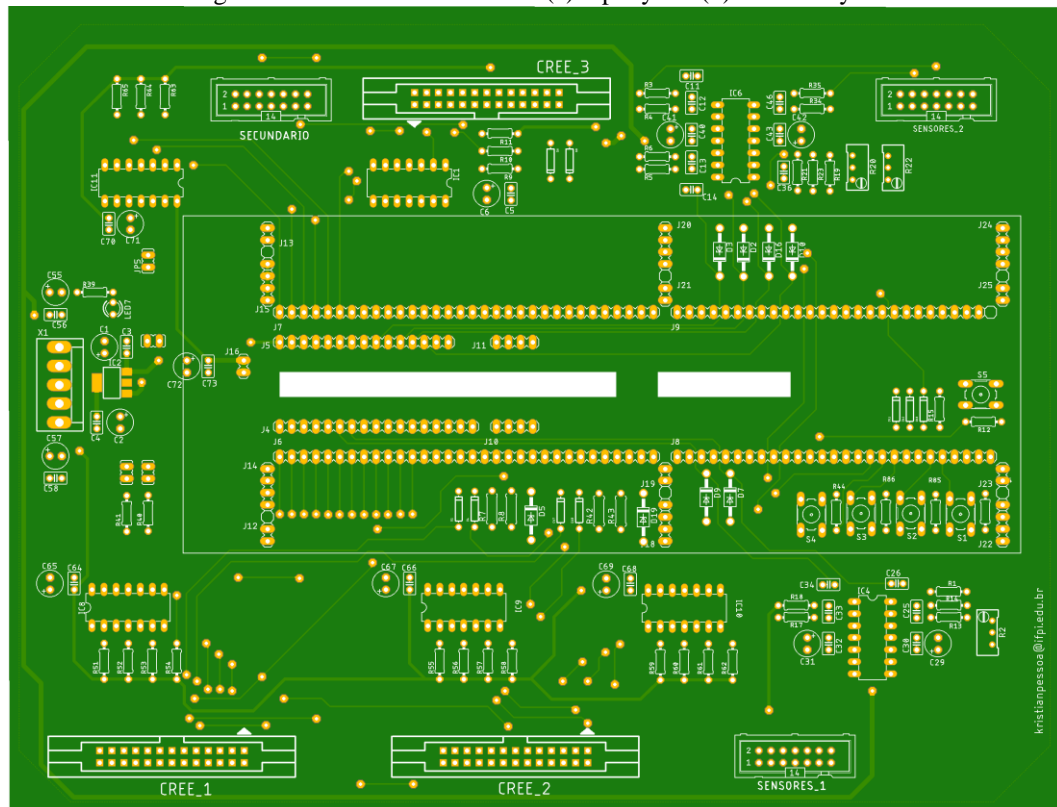
Figura 118 – Temperatura dos indutores série ressonantes a plena carga.



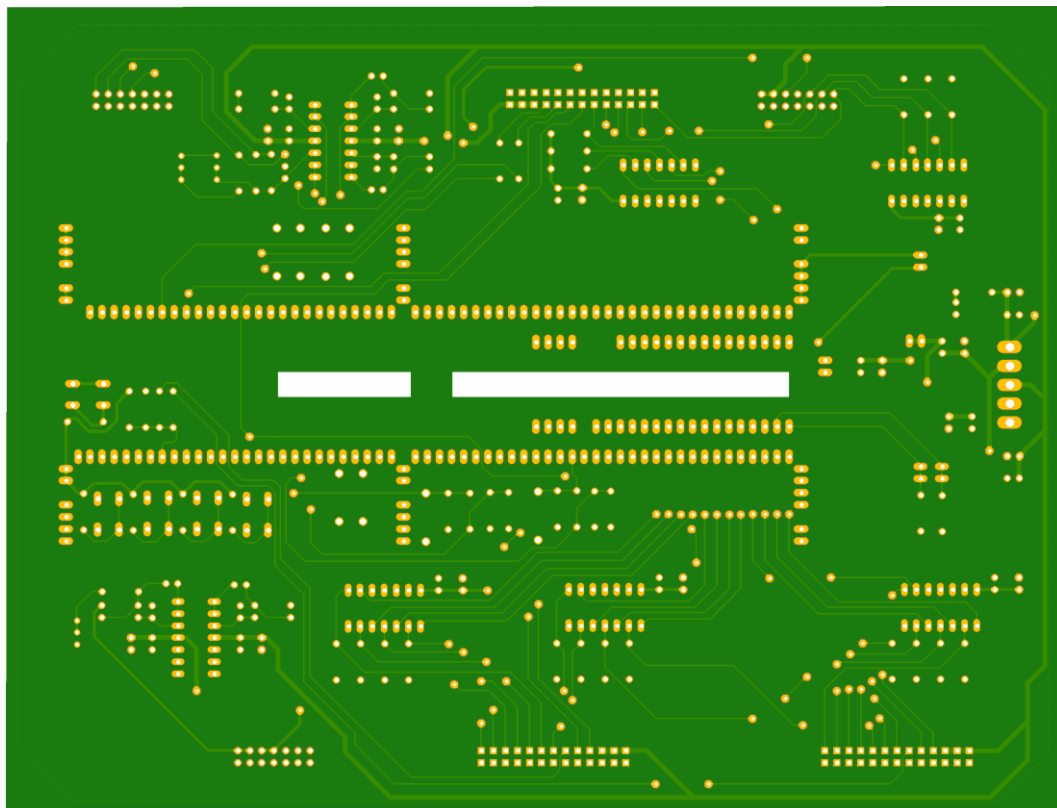
Fonte: Elaborado pelo autor.

APÊNDICE C – ESQUEMÁTICO DO PROTÓTIPO

Figura 119 – Placa de controle – (a) top layer e (b) bottom layer.



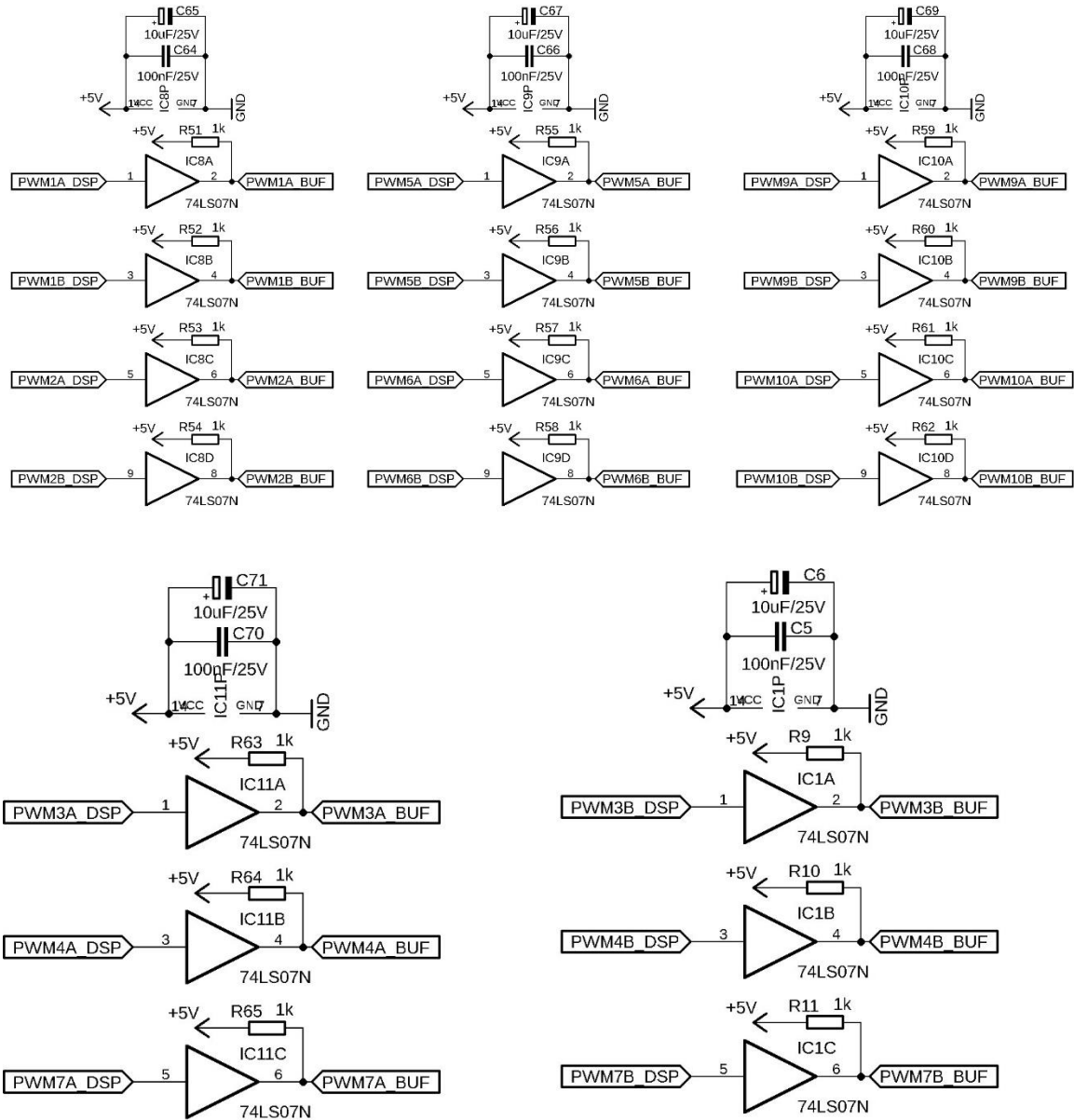
(a)



(b)

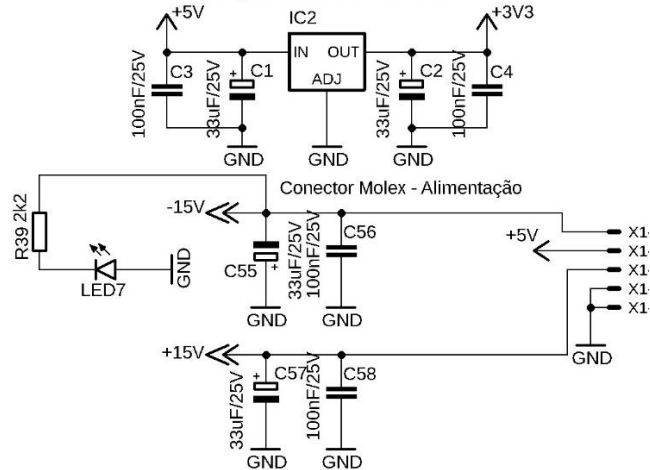
Fonte: Elaborado pelo autor.

Figura 120 – Circuito de Buffer.



Fonte: Elaborado pelo autor.

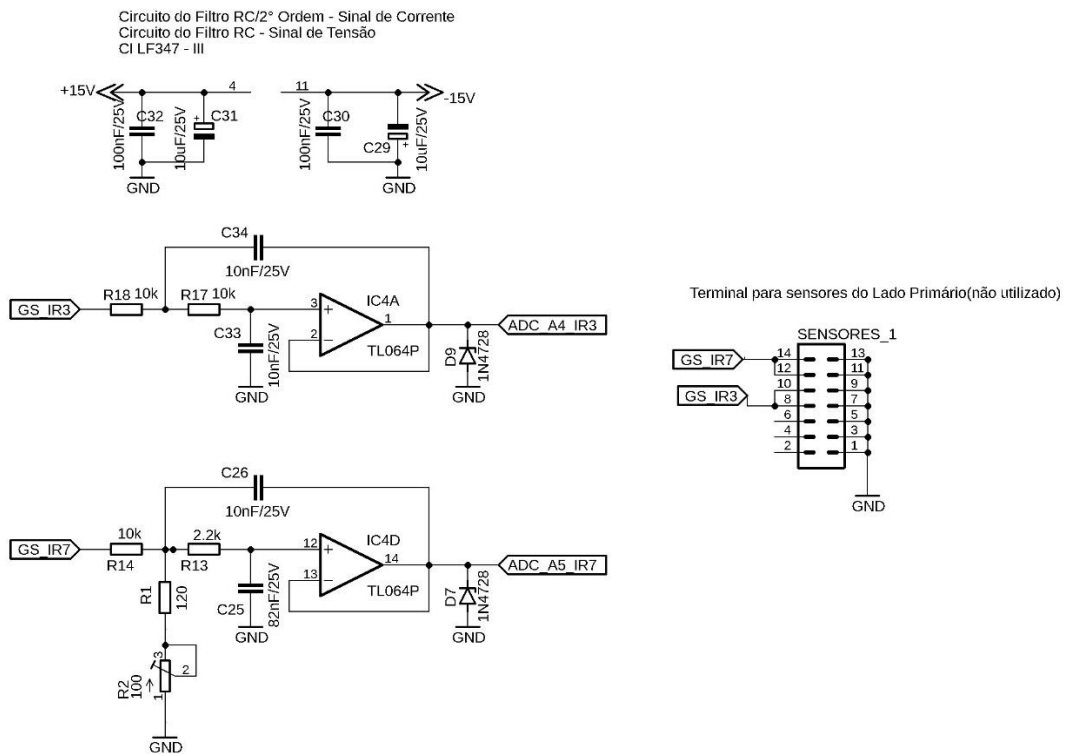
Figura 121 – Fonte de alimentação com regulador de tensão LM1117.



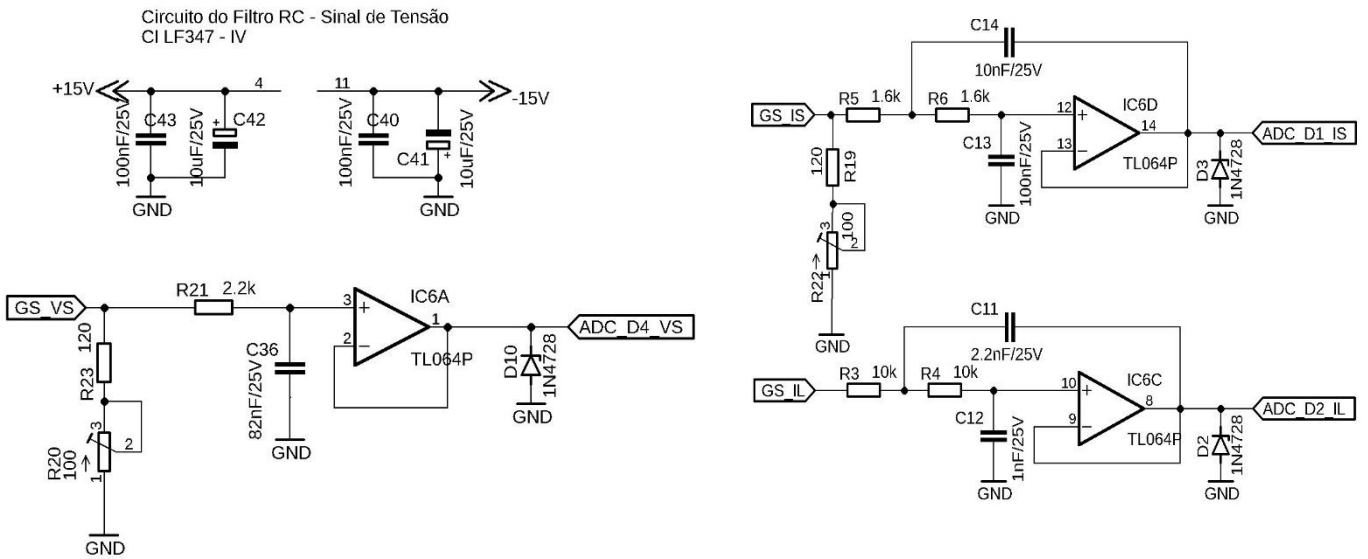
Fonte: Elaborado pelo autor.

Figura 122 – Circuito de filtragem de sinais: (a) corrente e (b) tensão.

(a)

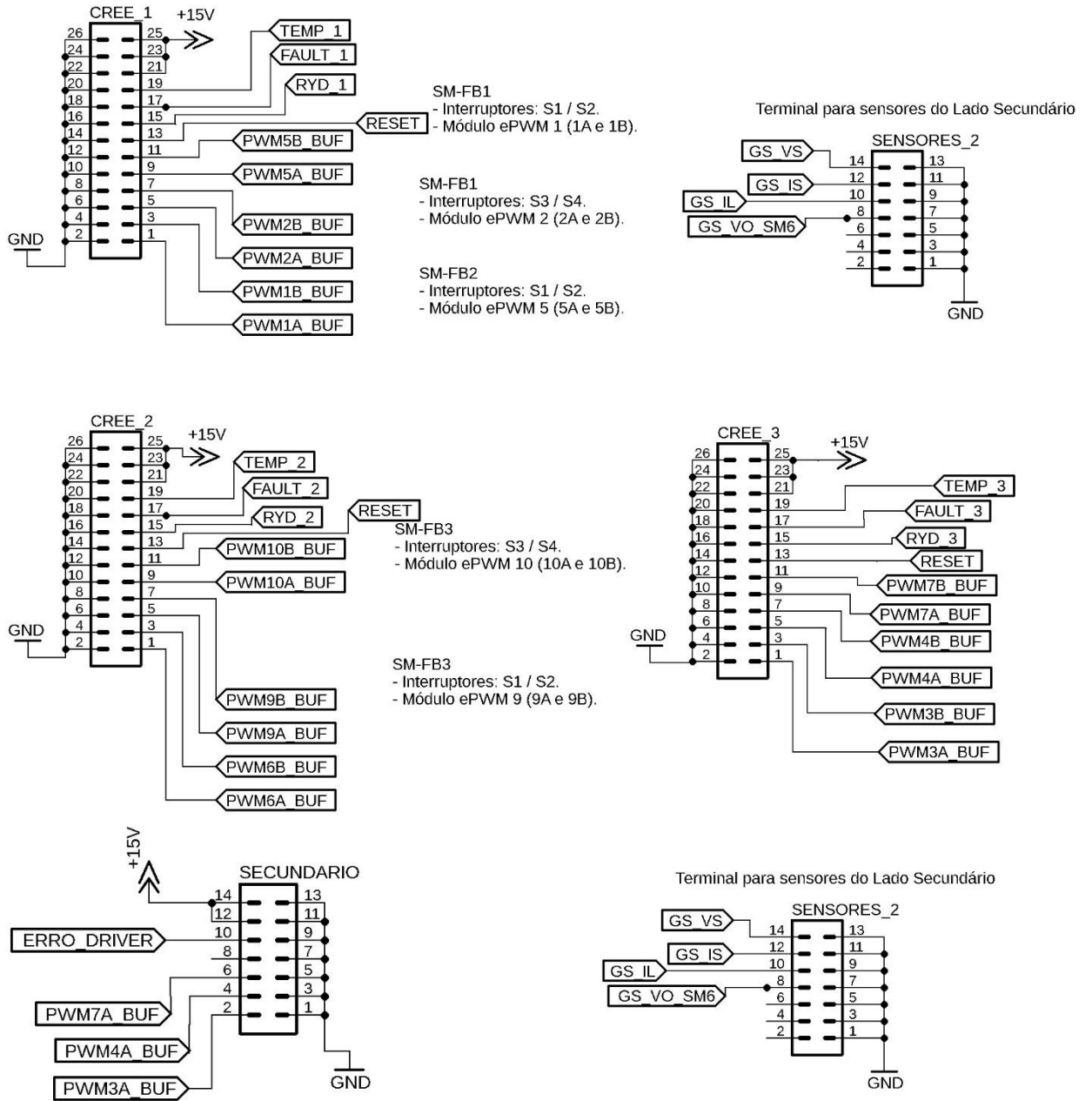


(b)



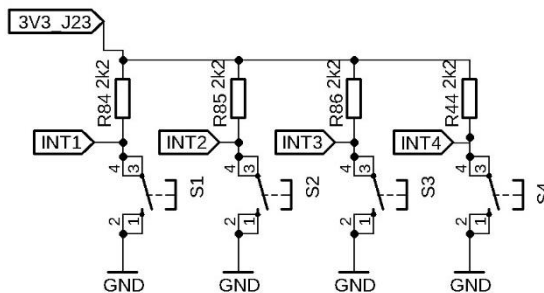
Fonte: Elaborado pelo autor.

Figura 123 – Terminais da placa



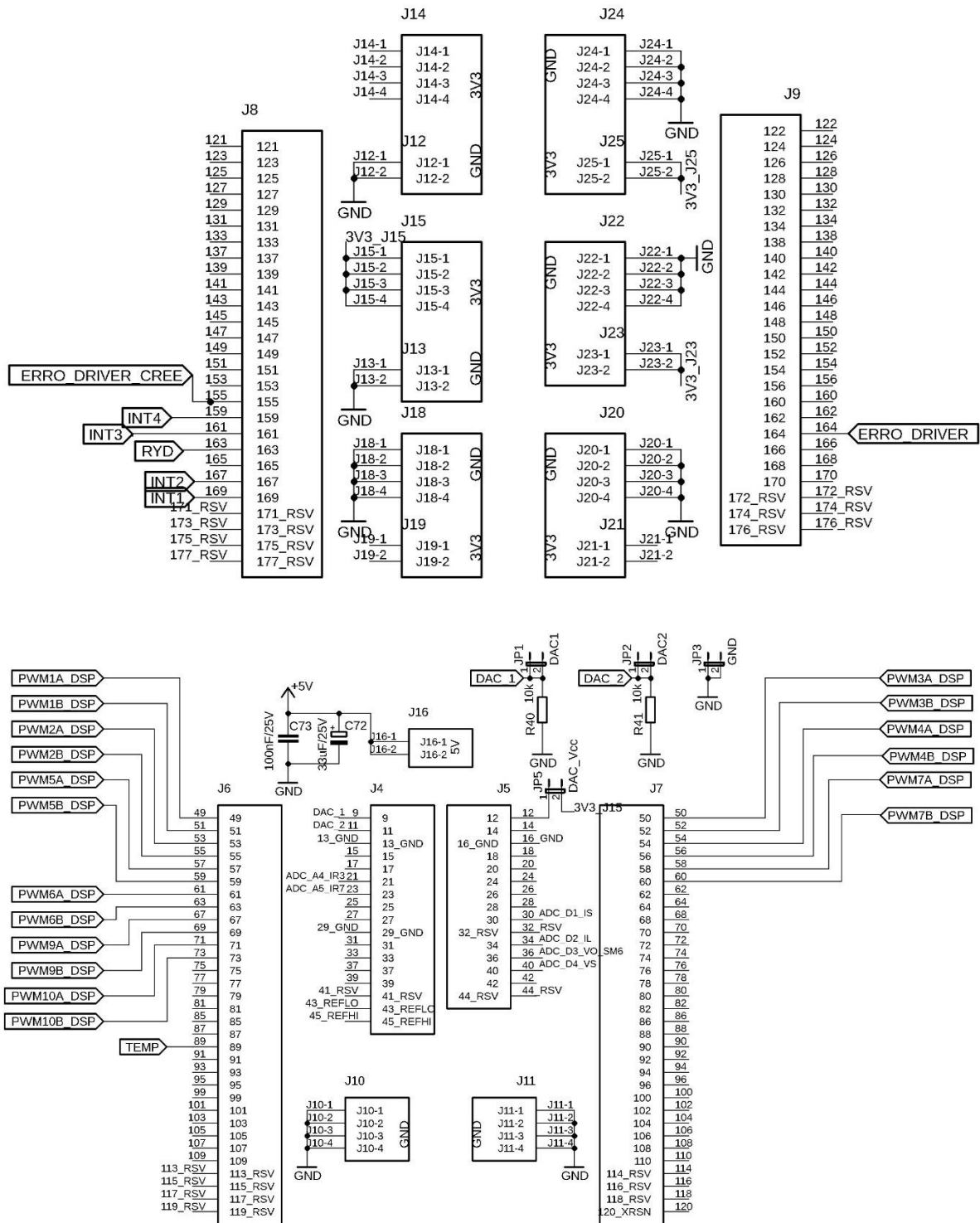
Fonte: Elaborado pelo autor.

Figura 124 – Botões para alterar os parâmetros de phase-shift e frequência manualmente.



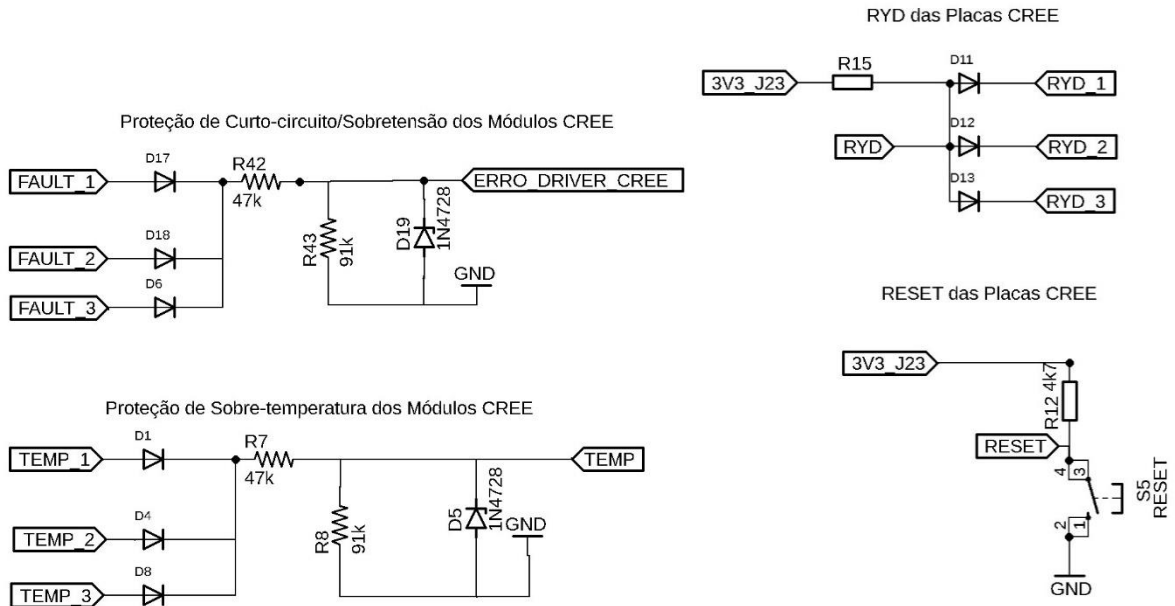
Fonte: Elaborado pelo autor.

Figura 125 – Terminais do DSP.



Fonte: Elaborado pelo autor.

Figura 126 – Proteções para sobretensões nos terminais do DSP.



Fonte: Elaborado pelo autor.

APÊNDICE D – ROTINA DO DSP

```
#####  
//Three-Phase Isolated DC-DC Bidirectional LLC resonant converter Using frequency control  
// DOUTORANDO: Kristian Pessoa dos Santos  
// ORIENTADOR: Prof. Paulo Peixoto Praça  
// COORIENTADOR: Prof. Herminio Miguel Oliveira Filho  
#####  
#include <math.h>  
#include <stdio.h>  
#include "F28x_Project.h"  
#####  
// Funções  
void SetupADC(void); // função do conversor analógico/digital  
void ConfigureDAC(void); // função do conversor digital/analógico  
void InitEPWMs(void); // função de configuração dos blocos de PWMs  
void DesligaEPWMs (void); // função desliga PWMs  
void LigaEPWMs (void); // função liga PWMs  
  
__interrupt void adca1_isr(void); // fazer o controle dentro dessa interrupção (Interrupção pelo AD-1)  
//__interrupt void epwm1_isr(void); // Fazer interrupção pelo pwm aqui dentro (Teste Interrupção PWM)  
  
#####  
// Variáveis auxiliares  
  
//Uint significa que não tem sinal (unsigned)  
//int variável inteira com sinal  
//int16 (16bits) e int32(32 bits)  
#####  
// Variáveis LLC Frequency Modulation  
  
Uint32 frequencia = 500; //500 equivale a 100kHz  
Uint32 frequencia_ant = 500; // frequencia anterior frequencia_ant  
Uint32 frequencia_atual = 500; // frequencia atual  
  
Uint32 dutycycle = 250; // 250 equivale a 50% de 500  
  
Uint32 ps_180 = 500; //defasagem 180 graus entre braços primário  
Uint32 ps_120 = 334; //defasagem 120 graus entre braços do primário  
Uint32 ps_60 = 167; //defasagem 60 graus (setar como defasagem negativa) Comentado _dia 05/03  
  
Uint32 ang = 28; //defasagem 10 graus entre primário e secundário (0<=ang<=60)  
Uint32 ang_120 = 362; //defasagem 120+ang graus (valor inicial 334+ang)  
Uint32 ang_60 = 306; //defasagem -(120+ang) (valor inicial 334-ang)  
  
Uint32 ps_graus= 10; // phase-shift em graus  
Uint32 juliano = 1; // Usado para definir a direção do PWM onde 1=positivo e 0=negativo  
Uint32 bruno = 0; // Idem  
  
Uint32 EPwm1TimerIntCount; // contador do numero de interrupções  
Uint32 Contador_erro; // Contador usado para evitar que o DESLIGA_PWM() seja acionado por ruido ou de  
//modo acidental  
Uint32 Iniciar_pwm = 0; // Após compilar o código, o conversor vai ligar os PWM's após mudar para  
Iniciar_pwm=1  
Uint32 pwm_off = 0;  
Uint32 desliga = 0;  
  
#####  
  
// Definições de variáveis  
#define EPWM_DB_UP 40 // Tempo Morto - 400ns  
#define EPWM_DB_DOWN 40 // Tempo Morto - 400ns _pagina 1502
```

```

// Não utilizadas
// #define BT1 GpioDataRegs.GPBDAT.bit.GPIO61 // Botão auxiliar 01
// #define BT2 GpioDataRegs.GPBDAT.bit.GPIO38 // Botão auxiliar 02
// #define Errosecundario GpioDataRegs.GPCDAT.bit.GPIO65 // Entrada de erro
// #define ResetErro GpioDataRegs.GPBDAT.bit.GPIO36 // Reseta erro
volatile struct DAC_REGS* DAC_PTR[4] = {0x0,&DacaRegs,&DacbRegs,&DaccRegs}; // DAC

// Adicionado em 09/01 esses 06 defines
#define INT1 GpioDataRegs.GPFDAT.bit.GPIO163 // Interruptor 01 (pino 169)
#define INT2 GpioDataRegs.GPFDAT.bit.GPIO161 // Interruptor 02 (pino 167)
#define INT3 GpioDataRegs.GPCDAT.bit.GPIO92 // Interruptor 03 (pino 161)
#define INT4 GpioDataRegs.GPCDAT.bit.GPIO90 // Interruptor 04 (pino 159)

#define erro_driver_cree GpioDataRegs.GPCDAT.bit.GPIO88 // Pino 155
#define erro_driver_sec GpioDataRegs.GPEDAT.bit.GPIO133 // Pino 164
#define temp GpioDataRegs.GPBDAT.bit.GPIO40 // Pino 89_Temperatura
#define LED_teste GpioDataRegs.GPCDAT.bit.GPIO93 // GPIO teste_apagar quando terminar

#####

// Laço principal

void main(void)
{
    InitSysCtrl();

    EALLOW;

    //01 - SINCRONIZAÇÃO DOS PWMS

    // Ver Topico 12.2.2.3.3 Time-Base Counter Synchronization (pag.1469 e 1470) e registradores (pag.1742 e
    //1743)___12.4.4.1 SYNCSELECT Register
    SyncSocRegs.SYNCSELECT.bit.EPWM4SYNCIN = 0; // Sincroniza os epwms 04, 05 e 06 em relação ao
    //epwm1
    SyncSocRegs.SYNCSELECT.bit.EPWM7SYNCIN = 0; // Sincroniza os epwms 07, 08 e 09 em relação ao
    //epwm1
    SyncSocRegs.SYNCSELECT.bit.EPWM10SYNCIN = 0; // Sincroniza os epwms 10, 11 e 12 em relação ao
    //epwm1

    EDIS;

    InitGpio();
    // 02 - Habilita PWM1-12
    CpuSysRegs.PCLKCR2.bit.EPWM1=1; //primario
    CpuSysRegs.PCLKCR2.bit.EPWM2=1; //primario
    CpuSysRegs.PCLKCR2.bit.EPWM3=1; //secundario
    CpuSysRegs.PCLKCR2.bit.EPWM4=1; //secundario
    CpuSysRegs.PCLKCR2.bit.EPWM5=1; //primario
    CpuSysRegs.PCLKCR2.bit.EPWM6=1; //primario
    CpuSysRegs.PCLKCR2.bit.EPWM7=1; //secundario
    CpuSysRegs.PCLKCR2.bit.EPWM8=1; // NÃO UTILIZADO
    CpuSysRegs.PCLKCR2.bit.EPWM9=1; //primario
    CpuSysRegs.PCLKCR2.bit.EPWM10=1; //primario
    CpuSysRegs.PCLKCR2.bit.EPWM11=1; // NÃO UTILIZADO
    CpuSysRegs.PCLKCR2.bit.EPWM12=1; // NÃO UTILIZADO

    #####
    //03 - Limpa todas as interrupções e inicializa PIE vector table:
    DINT;

    InitPieCtrl(); //Inicializa os registradores do controle PIE
    IER = 0x0000; // Desabilita as interrupções da CPU e limpa todas as variáveis de interrupções

```

```

IFR = 0x0000;

InitPieVectTable();
EALLOW;
PieVectTable.ADCA1_INT = &adca1_isr; // (Interrupção pelo AD-1) (sincronizado pelo EPWM1)

EDIS;

PieCtrlRegs.PIECTRL.bit.ENPIE = 1;
PieCtrlRegs.PIEIER1.bit.INTx1 = 1; // Interrupt Group 1 Enable Register
//INT1 Group Enable Register

//These register bits individually enable an interrupt within a group. They behave very much like the core
// interrupt enable register.
//Setting a bit to 1 will enable the servicing of the respective interrupt.
//Setting a bit to 0 will disable the servicing of the bit.

#####
EALLOW;
CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 0; // Registradores na Pag.326
EDIS;

SetupADC(); // Chama função do ADC
InitEPWMs(); // Configuração dos PWMs
#####

// 04 - Sincronismo de interrupção com PWM 01

EALLOW;
CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 1;
EDIS;

IER |= M_INT1;

#####

EINT; // Habilita interrupção global INTM
ERTM; // Habilita interrupção global em tempo real DBGM

EPwm1Regs.ETSEL.bit.SOCAEN = 1;
//ETSEL - This selects which of the possible events will trigger an interrupt or start an ADC conversion.
//(pg.1515)
//SOCAEN:1; // 11 Start of Conversion A Enable

#####
// 05 - Configuração dos pinos do GPIO

EALLOW;

// GPIO88 - erro_driver_cree (Pino 155)
GpioCtrlRegs.GPCPUD.bit.GPIO88 = 1;
// Habilita Pullup
//Port A consists of GPIO0-GPIO31
//Port B consists of GPIO32-GPIO63
//Port C consists of GPIO64-GPIO95
//Port D consists of GPIO96-GPIO127
//Port E consists of GPIO128-GPIO159
//Port F consists of GPIO160-GPIO168

GpioCtrlRegs.GPCGMUX2.bit.GPIO88 = 0; // GPIO88 = IO
GpioCtrlRegs.GPCMUX2.bit.GPIO88 = 0;
GpioCtrlRegs.GPCDIR.bit.GPIO88 = 0; // GPIO88 = entrada
//GPIO 133 - erro_driver_sec (pino 164)

```

```

GpioCtrlRegs.GPEPUD.bit.GPIO133 = 0;
GpioCtrlRegs.GPEGMUX1.bit.GPIO133= 0;
GpioCtrlRegs.GPEMUX1.bit.GPIO133 = 0;
GpioCtrlRegs.GPEDIR.bit.GPIO133 = 1; // GPIO133 = saída (informa a drivers do secundário sobre falha)

//GPIO 40 - TEMP (pino 89)
GpioCtrlRegs.GPBPUD.bit.GPIO40 = 1;
GpioCtrlRegs.GPBMUX1.bit.GPIO40 = 0;
GpioCtrlRegs.GPBMUX1.bit.GPIO40 = 0;
GpioCtrlRegs.GPBDIR.bit.GPIO40 = 0; // GPIO40 = entrada

//GPIO 93 - LED_teste
GpioCtrlRegs.GPCPUD.bit.GPIO93 = 0;
GpioCtrlRegs.GPCGMUX2.bit.GPIO93 = 0;
GpioCtrlRegs.GPCMUX2.bit.GPIO93 = 0;
GpioCtrlRegs.GPCDIR.bit.GPIO93 = 0; // GPIO93 = entrada

//GPIO 90 - int4 (pino159)
GpioCtrlRegs.GPCPUD.bit.GPIO90 = 0;
GpioCtrlRegs.GPCGMUX2.bit.GPIO90 = 0;
GpioCtrlRegs.GPCMUX2.bit.GPIO90 = 0;
GpioCtrlRegs.GPCDIR.bit.GPIO90 = 0; // GPIO90 = entrada

//GPIO 92 - int3 (pino 161)
GpioCtrlRegs.GPCPUD.bit.GPIO92 = 0;
GpioCtrlRegs.GPCGMUX2.bit.GPIO92 = 0;
GpioCtrlRegs.GPCMUX2.bit.GPIO92 = 0;
GpioCtrlRegs.GPCDIR.bit.GPIO92 = 0; // GPIO92 = entrada

//GPIO 161 - int2 (pino 167)
GpioCtrlRegs.GPPUD.bit.GPIO161 = 0;
GpioCtrlRegs.GPPGMUX1.bit.GPIO161= 0;
GpioCtrlRegs.GPPMUX1.bit.GPIO161 = 0;
GpioCtrlRegs.GPPDIR.bit.GPIO161 = 0; // GPIO161 = entrada

//GPIO 163 - int1 (pino 169)
GpioCtrlRegs.GPPUD.bit.GPIO163 = 0;
GpioCtrlRegs.GPPGMUX1.bit.GPIO163= 0;
GpioCtrlRegs.GPPMUX1.bit.GPIO163 = 0;
GpioCtrlRegs.GPPDIR.bit.GPIO163 = 0; // GPIO163 = entrada

EDIS;

#####
DesligaEPWMs(); //chama função desliga PWMs
ConfigureDAC(); //chama função Configura DAC
#####
// 06 - Laço de loop
while(1)
{
// BOTÕES IHM -----

if (INT1==0)
{
while (INT1==0) // Aguarda o botão GPIO ser solto
DELAY_US(500); // Delay "anti bouncing"
pwm_off = 1; // Variável que DESLIGA o pwm via software em ON
Iniciar_pwm = 0; // Variável que LIGA o pwm via software em OFF
DesligaEPWMs(); //chama função desliga PWMs
}

if (INT2==0)
{

```

```

        while (INT2==0)
        DELAY_US(500);
        Iniciar_pwm = 1; // Variável que LIGA o pwm via software em ON
        pwm_off = 0; // Variável que DESLIGA o pwm via software em ON
        LigaEPWMs(); //Liga PWM
    }

} // fim do while(1)

} //fim do void main(void)

#####

__interrupt void adca1_isr(void) // (Interrupção pelo AD-1)
{
    // Logica de atualização de frequencia, phaseshifts e PWMs

    if ((erro_driver_cree == 0) && (temp == 0)) // if ((erro_driver_cree == 0) && (temp == 0))

    { // SE Não há sinal de erro nas placas cree (nem por curto e nem temperatura)
        if (Iniciar_pwm == 1){ //...SE a variável Iniciar_pwm = 1, então
            pwm_off = 0;
            LigaEPWMs(); //Liga PWM
        }
    }

    if ((frequencia>=400) && (frequencia<=540)) // 400 equivale a 125kHz e 540 equivale a 92.5KHZ
    {
        //if (ang>=(frequencia/5)){ // Max. phaseshift permitido é 36graus
        //ang = frequencia/6;} // por proteção, caso seja >= 1/6*frequencia (345 graus), retorna a um ang.fixo
        // ...de 1/6*frequencia (30 graus)

        dutycycle = frequencia/2; // equivalente a 50%
        ps_180 = frequencia; // equivalente a 180o_PWM2_primário
        ps_120 = 2*(frequencia/3); // equivalente a 120o_PWM5_primário
        ps_60 = frequencia/3; // equivalente a 60 graus

        ang = (frequencia*ps_graus)/180;
        ang_120 = ps_120 + ang; // equivalente a 120o + ang (PWM 04_secundário)
        ang_60 = ps_120 - ang; // equivalente a 120o - ang (ou 240 + ang)(PWM 07_secundário)

        ##### PWMs primário
        EPwm1Regs.TBPRD = frequencia;
        EPwm1Regs.TBPHS.bit.TBPHS = 0; //Deslocamento 0 (referencia)
        EPwm1Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle

        EPwm2Regs.TBPRD = frequencia;
        EPwm2Regs.TBPHS.bit.TBPHS = ps_180; //Deslocamento de fase primario para secundário
        EPwm2Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle

        EPwm5Regs.TBPRD = frequencia;
        EPwm5Regs.TBPHS.bit.TBPHS = ps_120; //Deslocamento de fase primario para secundário
        EPwm5Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle

        EPwm6Regs.TBPRD = frequencia;
        EPwm6Regs.TBPHS.bit.TBPHS = ps_60; //Deslocamento de fase primario para secundário
        EPwm6Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle

        EPwm9Regs.TBPRD = frequencia;
        EPwm9Regs.TBPHS.bit.TBPHS = ps_120; //Deslocamento de fase primario para secundário
        EPwm9Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle

        EPwm10Regs.TBPRD = frequencia;

```

```

EPwm10Regs.TBPHS.bit.TBPHS = ps_60; //Deslocamento de fase primario para secundário
EPwm10Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle

##### PWMs secundário
EPwm3Regs.TBPRD = frequencia;
EPwm3Regs.TBPHS.bit.TBPHS = ang; //Deslocamento de fase primario para secundário
EPwm3Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle

EPwm4Regs.TBPRD = frequencia;
EPwm4Regs.TBPHS.bit.TBPHS = ang_120; //Deslocamento de fase primario para secundário
EPwm4Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle

EPwm7Regs.TBPRD = frequencia;
EPwm7Regs.TBPHS.bit.TBPHS = ang_60; //Deslocamento de fase primario para secundário
EPwm7Regs.CMPA.bit.CMPA = dutycycle; // Duty cycle
}

if(pwm_off == 1){
    Iniciar_pwm = 0;
    DesligaEPWMs(); //chama função desliga PWMs
}

if((erro_driver_cree == 0) || (temp == 0)) { // erro_driver_cree e tempo; pinos 17 e 19 do conector da
placa CREE
    Contador_erro = 0; // Estado NORMAL SEM FALHA
}
else { // Apresenta FALHA ou lógica "pwm_off" está HIGH
    Contador_erro ++;
    if(Contador_erro >= 4){ // O código vai rodar 4x, se a falha persistir, não é causada por ruído
        DesligaEPWMs(); //chama função desliga PWMs // e trata-se de uma falha real
    }
}

// Sair da interrupção

AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; // Limpa INT Flag para essa interrupção do AD
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;

// Fim da interrupção
}
////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
#####
//07 - Função de configuração do conversor analógico digital

void SetupADC(void)
{
    EALLOW;
    //Base de sinal de clock
    AdcaRegs.ADCCTL2.bit.PRESCALE = 7;
    AdcbRegs.ADCCTL2.bit.PRESCALE = 7;
    AdccRegs.ADCCTL2.bit.PRESCALE = 7;
    AdcdRegs.ADCCTL2.bit.PRESCALE = 7;

    AdcaRegs.ADCCTL2.bit.RESOLUTION = 0; //Resolução de 12 bits
    AdcaRegs.ADCCTL2.bit.SIGNALMODE = 0; //Modo simples de aquisição
    AdcaRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //Erro de offset igual a zero
    AdcbRegs.ADCCTL2.bit.RESOLUTION = 0; //Resolução de 12 bits
    AdcbRegs.ADCCTL2.bit.SIGNALMODE = 0; //Modo simples de aquisição
    AdcbRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //Erro de offset igual a zero
    AdccRegs.ADCCTL2.bit.RESOLUTION = 0; //Resolução de 12 bits
    AdccRegs.ADCCTL2.bit.SIGNALMODE = 0; //Modo simples de aquisição
    AdccRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //Erro de offset igual a zero

```

```

AdcdRegs.ADCCTL2.bit.RESOLUTION = 0; //Resolução de 12 bits
AdcdRegs.ADCCTL2.bit.SIGNALMODE = 0; //Modo simples de aquisição
AdcdRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //Erro de offset igual a zero
//pulso de interrupção no final aquisição
AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdccRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdcdRegs.ADCCTL1.bit.INTPULSEPOS = 1;
//Desliga circuitos analógicos do ADC
AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdcbRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdccRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdcdRegs.ADCCTL1.bit.ADCPWDNZ = 1;
EDIS;
DELAY_US(2000);
EALLOW;
#####
// Configuração ADC-A
AdcaRegs.ADCSOC0CTL.bit.CHSEL = 2; //SOC0 conversor ADC-A2
AdcaRegs.ADCSOC0CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1, ADCSOCA/C
AdcaRegs.ADCSOC4CTL.bit.CHSEL = 3; //SOC4 conversor ADC-A3
AdcaRegs.ADCSOC4CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcaRegs.ADCSOC4CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1, ADCSOCA/C
AdcaRegs.ADCSOC8CTL.bit.CHSEL = 4; //SOC8 conversor ADC-A4
AdcaRegs.ADCSOC8CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcaRegs.ADCSOC8CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1, ADCSOCA/C
AdcaRegs.ADCSOC12CTL.bit.CHSEL = 5; //SOC12 conversor ADC-A5
AdcaRegs.ADCSOC12CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcaRegs.ADCSOC12CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1, ADCSOCA/C
AdcaRegs.ADCINTSEL1N2.bit.INT1SEL = 0; //end of SOC0 will set INT1 flag
AdcaRegs.ADCINTSEL1N2.bit.INT1IE = 1; //enable INT1 flag
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //make sure INT1 flag is cleared

// //Configuração ADC-B
AdcbRegs.ADCSOC1CTL.bit.CHSEL = 2; //SOC1 conversor ADC-B2
AdcbRegs.ADCSOC1CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcbRegs.ADCSOC1CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
AdcbRegs.ADCSOC5CTL.bit.CHSEL = 3; //SOC5 conversor ADC-B3
AdcbRegs.ADCSOC5CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcbRegs.ADCSOC5CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
AdcbRegs.ADCSOC9CTL.bit.CHSEL = 4; //SOC9 conversor ADC-B4
AdcbRegs.ADCSOC9CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcbRegs.ADCSOC9CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
AdcbRegs.ADCSOC13CTL.bit.CHSEL = 5; //SOC1 conversor ADC-B5
AdcbRegs.ADCSOC13CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcbRegs.ADCSOC13CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1

// Configuração ADC-D_conferir essa configuração na tese do Bruno Almeida
AdcdRegs.ADCSOC4CTL.bit.CHSEL = 1; //SOC4 conversor ADC-D1 (VER PAGINA 1203 e 1258)
AdcdRegs.ADCSOC4CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra (vER PAGINA 1202)
AdcdRegs.ADCSOC4CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1 (vER PAGINA 1201 e 1257)

AdcdRegs.ADCSOC7CTL.bit.CHSEL = 2; //SOC4 conversor ADC-D2
AdcdRegs.ADCSOC7CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcdRegs.ADCSOC7CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
AdcdRegs.ADCSOC11CTL.bit.CHSEL = 3; //SOC8 conversor ADC-D3
AdcdRegs.ADCSOC11CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcdRegs.ADCSOC11CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
AdcdRegs.ADCSOC15CTL.bit.CHSEL = 4; //SOC12 conversor ADC-D4
AdcdRegs.ADCSOC15CTL.bit.ACQPS = 28; //28 ciclos de clock para amostra
AdcdRegs.ADCSOC15CTL.bit.TRIGSEL = 5; //Referência de SOC no ePWM1
EDIS;

```

```

}
#####
//08 - Configuração do conversor digital/analógico
void ConfigureDAC(void)
{
    EALLOW;
    //DAC-A
    DAC_PTR[1]->DACCTL.bit.DACREFSEL = 0;
    DAC_PTR[1]->DACOUTEN.bit.DACOUTEN = 1;
    DAC_PTR[1]->DACVALS.all = 0;
    //DAC-B
    DAC_PTR[2]->DACCTL.bit.DACREFSEL = 0;
    DAC_PTR[2]->DACOUTEN.bit.DACOUTEN = 1;
    DAC_PTR[2]->DACVALS.all = 0;

    DELAY_US(10); // Delay for buffered DAC to power up
    EDIS;
}
#####
//09 - Função liga PWM - Habilita os pinos, configura se é entrada ou saída e escolhe o Multiplexador

void LigaEPWMs()
{
    //PWMs 08, 11 e 12 estão configurados como IO e estão inativos
    EALLOW;
    // PWM 1A-(pino 49)
    GpioCtrlRegs.GPAPUD.bit.GPIO0 = 0; // Enable Pullup
    GpioCtrlRegs.GPAGMUX1.bit.GPIO0 = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1; // GPIO0 = 0|1=EPWM1A
    GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; // GPIO0 = output

    // PWM 1B-(pino 51)
    GpioCtrlRegs.GPAPUD.bit.GPIO1 = 0; // Enable Pullup
    GpioCtrlRegs.GPAGMUX1.bit.GPIO1 = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 1; // GPIO1 = 0|1=EPWM1B
    GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; // GPIO1 = output

    // PWM 2A-(pino 53)
    GpioCtrlRegs.GPAPUD.bit.GPIO2 = 0; // Enable Pullup
    GpioCtrlRegs.GPAGMUX1.bit.GPIO2 = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1; // GPIO2 = 0|1=EPWM2A
    GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // GPIO2 = output

    // PWM 2B-(pino 55)
    GpioCtrlRegs.GPAPUD.bit.GPIO3 = 0; // Enable Pullup
    GpioCtrlRegs.GPAGMUX1.bit.GPIO3 = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 1; // GPIO3 = 0|1=EPWM2B
    GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; // GPIO3 = output

    // PWM 3A-(pino 50)
    GpioCtrlRegs.GPAPUD.bit.GPIO4 = 0; // Enable Pullup
    GpioCtrlRegs.GPAGMUX1.bit.GPIO4 = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 1; // GPIO4 = 0|1=EPWM3A
    GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // GPIO4 = output

    // PWM 3B-(pino 52)
    GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; // Enable Pullup
    GpioCtrlRegs.GPAGMUX1.bit.GPIO5 = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 1; // GPIO5 = 0|1=EPWM3B
    GpioCtrlRegs.GPADIR.bit.GPIO5 = 1; // GPIO5 = output

    // PWM 4A-(pino 54)
    GpioCtrlRegs.GPAPUD.bit.GPIO6 = 0; // Enable Pullup

```



```

GpioCtrlRegs.GPAGMUX1.bit.GPIO6 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1; // GPIO6 = 0|1=EPWM4A
GpioCtrlRegs.GPADIR.bit.GPIO6 = 1; // GPIO6 = output

// PWM 4B-(pino 56)
GpioCtrlRegs.GPAPUD.bit.GPIO7 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO7 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 1; // GPIO7 = 0|1=EPWM4B
GpioCtrlRegs.GPADIR.bit.GPIO7 = 1; // GPIO7 = output

// PWM 5A - (pino 57)
GpioCtrlRegs.GPAPUD.bit.GPIO8 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO8 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1; // GPIO8 = 0|1=EPWM5A
GpioCtrlRegs.GPADIR.bit.GPIO8 = 1; // GPIO8 = output

// PWM 5B-(pino 59)
GpioCtrlRegs.GPAPUD.bit.GPIO9 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO9 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 1; // GPIO9 = 0|1=EPWM5B
GpioCtrlRegs.GPADIR.bit.GPIO9 = 1; // GPIO9 = output

// PWM 6A - (pino 61)
GpioCtrlRegs.GPAPUD.bit.GPIO10 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO10 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1; // GPIO10 = 0|1=EPWM6A
GpioCtrlRegs.GPADIR.bit.GPIO10 = 1; // GPIO10 = output

// PWM 6B-(pino 63)
GpioCtrlRegs.GPAPUD.bit.GPIO11 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO11 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 1; // GPIO11 = 0|1=EPWM6B
GpioCtrlRegs.GPADIR.bit.GPIO11 = 1; // GPIO11 = output

// PWM 7A -(pino 58)
GpioCtrlRegs.GPAPUD.bit.GPIO12 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO12 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO12 = 1; // GPIO12 = 0|1=EPWM7A
GpioCtrlRegs.GPADIR.bit.GPIO12 = 1; // GPIO12 = output

// PWM 7B -(pino 60)
GpioCtrlRegs.GPAPUD.bit.GPIO13 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO13 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO13 = 1; // GPIO13 = 0|1=EPWM7B
GpioCtrlRegs.GPADIR.bit.GPIO13 = 1; // GPIO13 = output

// PWM 8A -(pino 62) - NÃO UTILIZADO
GpioCtrlRegs.GPAPUD.bit.GPIO14 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO14 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 0; // GPIO14 = 0|1=EPWM8A ou 0|0=GPIO
GpioCtrlRegs.GPADIR.bit.GPIO14 = 1; // GPIO14 = output
// PWM 8B -(pino 64)- NÃO UTILIZADO
GpioCtrlRegs.GPAPUD.bit.GPIO15 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX1.bit.GPIO15 = 0;
GpioCtrlRegs.GPAMUX1.bit.GPIO15 = 0; // GPIO15 = 0|1=EPWM8A ou 0|0=GPIO
GpioCtrlRegs.GPADIR.bit.GPIO15 = 1; // GPIO15 = output

// PWM 9A -(pino 67) // PWM 09 a 12 usa MUX2_GPAGMUX2 e GPAMUX2 (sempre colocar nessa ordem)
GpioCtrlRegs.GPAPUD.bit.GPIO16 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX2.bit.GPIO16 = 1; // GPIO16 = PWM9A
GpioCtrlRegs.GPAMUX2.bit.GPIO16 = 1; // GPIO16 = PWM9A
GpioCtrlRegs.GPADIR.bit.GPIO16 = 1; // GPIO16 = output

```

```

// PWM 9B -(pino 69)
GpioCtrlRegs.GPAPUD.bit.GPIO17 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX2.bit.GPIO17 = 1; // GPIO17 = PWM9B
GpioCtrlRegs.GPAMUX2.bit.GPIO17 = 1; // GPIO17 = PWM9B
GpioCtrlRegs.GPADIR.bit.GPIO17 = 1; // GPIO17 = output

// PWM 10A -(pino 71)
GpioCtrlRegs.GPAPUD.bit.GPIO18 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX2.bit.GPIO18 = 1; // GPIO18 = PWM10A
GpioCtrlRegs.GPAMUX2.bit.GPIO18 = 1; // GPIO18 = PWM10A
GpioCtrlRegs.GPADIR.bit.GPIO18 = 1; // GPIO18 = output
// PWM 10B -(pino 73)
GpioCtrlRegs.GPAPUD.bit.GPIO19 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX2.bit.GPIO19 = 1; // GPIO19 = PWM10B
GpioCtrlRegs.GPAMUX2.bit.GPIO19 = 1; // GPIO19 = PWM10B
GpioCtrlRegs.GPADIR.bit.GPIO19 = 1; // GPIO19 = output

// PWM 11A - NÃO UTILIZADO
GpioCtrlRegs.GPAPUD.bit.GPIO20 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX2.bit.GPIO20 = 0; // GPIO20 = IO
GpioCtrlRegs.GPAMUX2.bit.GPIO20 = 0; // GPIO20 = IO
GpioCtrlRegs.GPADIR.bit.GPIO20 = 1; // GPIO20 = output
// PWM 11B - NÃO UTILIZADO
GpioCtrlRegs.GPAPUD.bit.GPIO21 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX2.bit.GPIO21 = 0; // GPIO21 = IO
GpioCtrlRegs.GPAMUX2.bit.GPIO21 = 0; // GPIO21 = IO
GpioCtrlRegs.GPADIR.bit.GPIO21 = 1; // GPIO21 = output

// PWM 12A - NÃO UTILIZADO
GpioCtrlRegs.GPAPUD.bit.GPIO22 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX2.bit.GPIO22 = 0; // GPIO22 = IO
GpioCtrlRegs.GPAMUX2.bit.GPIO22 = 0; // GPIO22 = IO
GpioCtrlRegs.GPADIR.bit.GPIO22 = 1; // GPIO22 = output
// PWM 12B - NÃO UTILIZADO
GpioCtrlRegs.GPAPUD.bit.GPIO23 = 0; // Enable Pullup
GpioCtrlRegs.GPAGMUX2.bit.GPIO23 = 0; // GPIO23 = IO
GpioCtrlRegs.GPAMUX2.bit.GPIO23 = 0; // GPIO23 = IO
GpioCtrlRegs.GPADIR.bit.GPIO23 = 1; // GPIO23 = output
GpioDataRegs.GPECLEAR.bit.GPIO133 = 1; // deixa o GPIO133 (Pino 164) em zero logico (Habilita
//placa.cicero)
//GpioDataRegs.GPECLEAR.bit.GPIO88 = 1;
//GpioDataRegs.GPBCLEAR.bit.GPIO40 = 1;

EDIS;

}
#####
//Função desliga PWM - Muda os pinos do PWM para GPIO por segurança

void DesligaEPWMs()
{
//GpioDataRegs.GPCCLEAR.bit.GPIO69 = 1; // Desabibila drivers do LVS
//GPIO 133 - erro_driver (pino 164)
GpioDataRegs.GPESET.bit.GPIO133 = 1; // deixa o GPIO133 (Pino 164) em 1 logico (DESabilita
placa.cicero)

EALLOW;

// PWMs 08,11 e 12 já estão desativados e aqui estão redundantes
//PWM 01A
GpioCtrlRegs.GPAPUD.bit.GPIO0 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 0; // GPIO0 = IO
GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; // GPIO0 = output

```

```

GpioDataRegs.GPACLEAR.bit.GPIO0 = 1; // PWM1A = 0;
//PWM 01B
GpioCtrlRegs.GPAPUD.bit.GPIO1 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 0; // GPIO1 = IO
GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; // GPIO1 = output
GpioDataRegs.GPACLEAR.bit.GPIO1 = 1; // PWM1B = 0;
//PWM 02A
GpioCtrlRegs.GPAPUD.bit.GPIO2 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 0; // GPIO2 = IO
GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // GPIO2 = output
GpioDataRegs.GPACLEAR.bit.GPIO2 = 1; // PWM2A = 0;
//PWM 02B
GpioCtrlRegs.GPAPUD.bit.GPIO3 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 0; // GPIO3 = IO
GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; // GPIO3 = output
GpioDataRegs.GPACLEAR.bit.GPIO3 = 1; // PWM2B = 0;
//PWM 03A (SECUNDÁRIO)
GpioCtrlRegs.GPAPUD.bit.GPIO4 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 0; // GPIO4 = IO
GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // GPIO4 = output
GpioDataRegs.GPACLEAR.bit.GPIO4 = 1; // PWM3A = 0;
//PWM 03B (SECUNDÁRIO)
GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 0; // GPIO5 = IO
GpioCtrlRegs.GPADIR.bit.GPIO5 = 1; // GPIO5 = output
GpioDataRegs.GPACLEAR.bit.GPIO5 = 1; // PWM3B = 0;
//PWM 04A (SECUNDÁRIO)
GpioCtrlRegs.GPAPUD.bit.GPIO6 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 0; // GPIO6 = IO
GpioCtrlRegs.GPADIR.bit.GPIO6 = 1; // GPIO6 = output
GpioDataRegs.GPACLEAR.bit.GPIO6 = 1; // PWM4A = 0;
//PWM 04B (SECUNDÁRIO)
GpioCtrlRegs.GPAPUD.bit.GPIO7 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 0; // GPIO7 = IO
GpioCtrlRegs.GPADIR.bit.GPIO7 = 1; // GPIO7 = output
GpioDataRegs.GPACLEAR.bit.GPIO7 = 1; // PWM4B = 0;
//PWM 05A
GpioCtrlRegs.GPAPUD.bit.GPIO8 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 0; // GPIO8 = IO
GpioCtrlRegs.GPADIR.bit.GPIO8 = 1; // GPIO8 = output
GpioDataRegs.GPACLEAR.bit.GPIO8 = 1; // PWM5A = 0;
//PWM 05B
GpioCtrlRegs.GPAPUD.bit.GPIO9 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 0; // GPIO9 = IO
GpioCtrlRegs.GPADIR.bit.GPIO9 = 1; // GPIO9 = output
GpioDataRegs.GPACLEAR.bit.GPIO9 = 1; // PWM5B = 0;
//PWM 06A
GpioCtrlRegs.GPAPUD.bit.GPIO10 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 0; // GPIO8 = IO
GpioCtrlRegs.GPADIR.bit.GPIO10 = 1; // GPIO8 = output
GpioDataRegs.GPACLEAR.bit.GPIO10 = 1; // PWM6A = 0;
//PWM 06B
GpioCtrlRegs.GPAPUD.bit.GPIO11 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 0; // GPIO9 = IO
GpioCtrlRegs.GPADIR.bit.GPIO11 = 1; // GPIO9 = output
GpioDataRegs.GPACLEAR.bit.GPIO11 = 1; // PWM6B = 0;
//PWM 07A (SECUNDÁRIO)
GpioCtrlRegs.GPAPUD.bit.GPIO12 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO12 = 0; // GPIO12 = IO
GpioCtrlRegs.GPADIR.bit.GPIO12 = 1; // GPIO12 = output
GpioDataRegs.GPACLEAR.bit.GPIO12 = 1; // PWM7A = 0;
//PWM 07B (SECUNDÁRIO)
GpioCtrlRegs.GPAPUD.bit.GPIO13 = 0; // Enable Pullup

```

```

GpioCtrlRegs.GPAMUX1.bit.GPIO13 = 0; // GPIO13 = IO
GpioCtrlRegs.GPADIR.bit.GPIO13 = 1; // GPIO13 = output
GpioDataRegs.GPACLEAR.bit.GPIO13 = 1; // PWM7B = 0;
//PWM 08A (NÃO UTILIZADO)
GpioCtrlRegs.GPAPUD.bit.GPIO14 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 0; // GPIO14 = IO
GpioCtrlRegs.GPADIR.bit.GPIO14 = 1; // GPIO14 = output
GpioDataRegs.GPACLEAR.bit.GPIO14 = 1; // PWM8A = 0;
//PWM 08B (NÃO UTILIZADO)
GpioCtrlRegs.GPAPUD.bit.GPIO15 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX1.bit.GPIO15 = 0; // GPIO15 = IO
GpioCtrlRegs.GPADIR.bit.GPIO15 = 1; // GPIO15 = output
GpioDataRegs.GPACLEAR.bit.GPIO15 = 1; // PWM8B = 0;
//PWM 9A
GpioCtrlRegs.GPAPUD.bit.GPIO16 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX2.bit.GPIO16 = 0; // GPIO18 = IO
GpioCtrlRegs.GPADIR.bit.GPIO16 = 1; // GPIO18 = output
GpioDataRegs.GPACLEAR.bit.GPIO16 = 1; // PWM9A = 0;
//PWM 9B
GpioCtrlRegs.GPAPUD.bit.GPIO17 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX2.bit.GPIO17 = 0; // GPIO19 = IO
GpioCtrlRegs.GPADIR.bit.GPIO17 = 1; // GPIO19 = output
GpioDataRegs.GPACLEAR.bit.GPIO17 = 1; // PWM9B = 0;
//PWM 10A
GpioCtrlRegs.GPAPUD.bit.GPIO18 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX2.bit.GPIO18 = 0; // GPIO18 = IO
GpioCtrlRegs.GPADIR.bit.GPIO18 = 1; // GPIO18 = output
GpioDataRegs.GPACLEAR.bit.GPIO18 = 1; // PWM10A = 0;
//PWM 10B
GpioCtrlRegs.GPAPUD.bit.GPIO19 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX2.bit.GPIO19 = 0; // GPIO19 = IO
GpioCtrlRegs.GPADIR.bit.GPIO19 = 1; // GPIO19 = output
GpioDataRegs.GPACLEAR.bit.GPIO19 = 1; // PWM10B = 0;
//PWM 11A (NÃO UTILIZADO)
GpioCtrlRegs.GPAPUD.bit.GPIO20 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX2.bit.GPIO20 = 0; // GPIO20 = IO
GpioCtrlRegs.GPADIR.bit.GPIO20 = 1; // GPIO20 = output
GpioDataRegs.GPACLEAR.bit.GPIO20 = 1; // PWM11A = 0;
//PWM 11A (NÃO UTILIZADO)
GpioCtrlRegs.GPAPUD.bit.GPIO21 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX2.bit.GPIO21 = 0; // GPIO21 = IO
GpioCtrlRegs.GPADIR.bit.GPIO21 = 1; // GPIO21 = output
GpioDataRegs.GPACLEAR.bit.GPIO21 = 1; // PWM11B = 0;
//PWM 12A (NÃO UTILIZADO)
GpioCtrlRegs.GPAPUD.bit.GPIO22 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX2.bit.GPIO22 = 0; // GPIO22 = IO
GpioCtrlRegs.GPADIR.bit.GPIO22 = 1; // GPIO22 = output
GpioDataRegs.GPACLEAR.bit.GPIO22 = 1; // PWM12A = 0;
//PWM 12B (NÃO UTILIZADO)
GpioCtrlRegs.GPAPUD.bit.GPIO23 = 0; // Enable Pullup
GpioCtrlRegs.GPAMUX2.bit.GPIO23 = 0; // GPIO23 = IO
GpioCtrlRegs.GPADIR.bit.GPIO23 = 1; // GPIO23 = output
GpioDataRegs.GPACLEAR.bit.GPIO23 = 1; // PWM12B = 0;
EDIS;
}
#####

//Função configura PWMs - Configuração de frequencia, phase-shift, sincronismo e duty-cycle

void InitEPWMs()
{
// PWM1

```

```

EPwm1Regs.TBPRD = frequencia; //Configura frequência de 100kHz
EPwm1Regs.TBPHS.bit.TBPHS = 0; //Deslocamento de fase 0 graus (referência)
EPwm1Regs.TBCTR = 0x0000; //Limpa contador
EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Desabilita deslocamento
EPwm1Regs.TBCTL.bit.PHSDIR = TB_UP; //Direção fase (juliano =1) Positivo e (bruno=0) negativo
EPwm1Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO; //Sincronização
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm1Regs.TBCTL.bit.PRDL = TB_SHADOW; // Divide a base do clock por 2

//Modos dos comparadores
EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN
EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm1Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm1Regs.AQCTLB.bit.CAD = AQ_CLEAR;
EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm1Regs.DBCTL.bit.IN_MODE = DBA_ALL;
EPwm1Regs.DBRED.bit.DBRED = EPWM_DB_UP; //pagina 1502
EPwm1Regs.DBFED.bit.DBFED = EPWM_DB_DOWN; //pagina 1502

//Sincronização da leitura ADC(Pag.1517) e os Registradores (Pg 1624 e 1625) (Interrupção pelo AD-1)

//ETSEL - This selects which of the possible events will trigger an interrupt or start an ADC conversion.

EPwm1Regs.ETSEL.bit.SOCAEN = 1; // Habilita o SOC (Start on Conversion) do grupo A do ADC
EPwm1Regs.ETSEL.bit.SOCASEL = 0b001; //SOC no início ou pico do PWM
//0b011: Enable event time-base counter equal to zero or period(TBCTR = 0x00 or TBCTR = TBPRD).
//This mode is useful in updown count mode (Malha Fechada em frequência)
//0b001: Enable event time-base counter equal to zero. (TBCTR = 0x00) (Malha aberta em frequência)
//ETPS - This programs the event prescaling options

EPwm1Regs.ETPS.bit.SOCAPRD = 1; //Gera um pulso no primeiro evento_Event Trigger Pre-Scale
Register
//0 - Disable the SOCA event counter. No EPWMxSOCA pulse will be generated
//1 - 01: Generate the EPWMxSOCA pulse on the first event:ETPS[SOCACNT] = 0,1
//2 - 10: Generate the EPWMxSOCA pulse on the second event:ETPS[SOCACNT] = 1,0
//3 - 11: Generate the EPWMxSOCA pulse on the third event:ETPS[SOCACNT] = 1,1
////////////////////////////////////

// PWM2
EPwm2Regs.TBPRD = frequencia; //Configura frequência de 100kHz
EPwm2Regs.TBPHS.bit.TBPHS = ps_180; //Deslocamento de fase 180 graus
EPwm2Regs.TBCTR = 0x0000; //Limpa contador
EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; //Contador up/down
EPwm2Regs.TBCTL.bit.PHSEN = TB_ENABLE; // habilita deslocamento
EPwm2Regs.TBCTL.bit.PHSDIR = TB_DOWN; //Direção fase 0 Negativo
EPwm2Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm2Regs.TBCTL.bit.PRDL = TB_SHADOW; // Divide a base do clock por 2
//Modos dos comparadores
EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN

```

```

EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm2Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm2Regs.AQCTLB.bit.CAD = AQ_CLEAR;
EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm2Regs.DBCTL.bit.IN_MODE = DBA_ALL;
EPwm2Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm2Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

```

// PWM 5

```

EPwm5Regs.TBPRD = frequencia; //Configura frequência de 100kHz
EPwm5Regs.TBPHS.bit.TBPHS = ps_120; //Deslocamento de fase 120 graus em relação ao EPWM1
EPwm5Regs.TBCTR = 0x0000; //Limpa contador
EPwm5Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
EPwm5Regs.TBCTL.bit.PHSEN = TB_ENABLE; // habilita deslocamento
EPwm5Regs.TBCTL.bit.PHSDIR = TB_DOWN; //Direção fase 1 Positivo
EPwm5Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN; //Sincronização
EPwm5Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm5Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm5Regs.TBCTL.bit.PRDL = TB_SHADOW; // Divide a base do clock por 2
//Modos dos comparadores
EPwm5Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm5Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm5Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm5Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN
EPwm5Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm5Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm5Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm5Regs.AQCTLB.bit.CAD = AQ_CLEAR;
EPwm5Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm5Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm5Regs.DBCTL.bit.IN_MODE = DBA_ALL;
EPwm5Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm5Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

```

// PWM 6

```

EPwm6Regs.TBPRD = frequencia; //Configura frequência de 100kHz
EPwm6Regs.TBPHS.bit.TBPHS = ps_60; //Deslocamento de fase 300 graus em relação ao epwm1 (equivalente a -60graus)
EPwm6Regs.TBCTR = 0x0000; //Limpa contador
EPwm6Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
EPwm6Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
EPwm6Regs.TBCTL.bit.PHSDIR = TB_UP; //Direção fase 1 Positivo_PRECISA MUDAR PRA ZERO PRO ANGULO SER NEGATIVO
EPwm6Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN; //Sincronização
EPwm6Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm6Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm6Regs.TBCTL.bit.PRDL = TB_SHADOW;

//Modos dos comparadores
EPwm6Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm6Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm6Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm6Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN
EPwm6Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm6Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm6Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm6Regs.AQCTLB.bit.CAD = AQ_CLEAR;

```

```

EPwm6Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm6Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm6Regs.DBCTL.bit.IN_MODE = DBA_ALL;
EPwm6Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm6Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

```

```
// PWM 9
```

```

EPwm9Regs.TBPRD = frequencia; //Configura frequência de 100kHz
EPwm9Regs.TBPHS.bit.TBPHS = ps_120; //Deslocamento de fase 240 graus
EPwm9Regs.TBCTR = 0x0000; //Limpa contador
EPwm9Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
EPwm9Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Desabilita deslocamento
EPwm9Regs.TBCTL.bit.PHSDIR = TB_UP; //Direção fase 1 Positivo_PRECISA MUDAR PRA ZERO PRO
//ANGULO SER NEGATIVO
EPwm9Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN; //Sincronização
EPwm9Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm9Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm9Regs.TBCTL.bit.PRDL = TB_SHADOW; // Divide a base do clock por 2
//Modos dos comparadores
EPwm9Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm9Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm9Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm9Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN
EPwm9Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm9Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm9Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm9Regs.AQCTLB.bit.CAD = AQ_CLEAR;
EPwm9Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm9Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm9Regs.DBCTL.bit.IN_MODE = DBA_ALL;
EPwm9Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm9Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

```

```
// PWM 10
```

```

EPwm10Regs.TBPRD = frequencia; //Configura frequência de 100kHz
EPwm10Regs.TBPHS.bit.TBPHS = ps_60; //Deslocamento de fase 420 graus (equivale a 60graus positivo)
EPwm10Regs.TBCTR = 0x0000; //Limpa contador
EPwm10Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
EPwm10Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
EPwm10Regs.TBCTL.bit.PHSDIR = TB_DOWN; //Direção fase 0 Negativo
EPwm10Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
EPwm10Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm10Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm10Regs.TBCTL.bit.PRDL = TB_SHADOW; // Divide a base do clock por 2
//Modos dos comparadores
EPwm10Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm10Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm10Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm10Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN
EPwm10Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm10Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm10Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm10Regs.AQCTLB.bit.CAD = AQ_CLEAR;
EPwm10Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm10Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm10Regs.DBCTL.bit.IN_MODE = DBA_ALL;
EPwm10Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm10Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

```

```
// PWM's do Secundário
```

```

// PWM 3 - Braço 01
EPwm3Regs.TBPRD = frequencia;
EPwm3Regs.TBPHS.bit.TBPHS = ang; //Deslocamento de fase primario para secundário
EPwm3Regs.TBCTR = 0x0000;
EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN;
EPwm3Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
EPwm3Regs.TBCTL.bit.PHSDIR = TB_DOWN; //Direção fase 0 Negativo
EPwm3Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm3Regs.TBCTL.bit.PRDL = TB_SHADOW; // Divide a base do clock por 2
//Modos dos comparadores
EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN
EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm3Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm3Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm3Regs.AQCTLB.bit.CAD = AQ_CLEAR;
EPwm3Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm3Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm3Regs.DBCTL.bit.IN_MODE = DBA_ALL;
//EPwm3Regs.DBRED.bit.DBRED = EPWM_DB_UP;
//EPwm3Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

// PWM 4 - Braço 02
EPwm4Regs.TBPRD = frequencia; //Configura frequência de 100kHz
EPwm4Regs.TBPHS.bit.TBPHS = ang_120; //Deslocamento de fase 180 graus
EPwm4Regs.TBCTR = 0x0000; //Limpa contador
EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
EPwm4Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
EPwm4Regs.TBCTL.bit.PHSDIR = TB_DOWN; //Direção fase 1 Positivo
EPwm4Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm4Regs.TBCTL.bit.PRDL = TB_SHADOW; // Divide a base do clock por 2

//Modos dos comparadores
EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm4Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm4Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm4Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN
EPwm4Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm4Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm4Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm4Regs.AQCTLB.bit.CAD = AQ_CLEAR;
EPwm4Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm4Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm4Regs.DBCTL.bit.IN_MODE = DBA_ALL;
//EPwm4Regs.DBRED.bit.DBRED = EPWM_DB_UP;
//EPwm4Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

// PWM 7 - Braço 03
EPwm7Regs.TBPRD = frequencia; //Configura frequência de 100kHz
EPwm7Regs.TBPHS.bit.TBPHS = ang_60; //Deslocamento de fase 0 graus
EPwm7Regs.TBCTR = 0x0000; //Limpa contador
EPwm7Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contador up/down
EPwm7Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Habilita deslocamento
EPwm7Regs.TBCTL.bit.PHSDIR = TB_UP; //Direção fase 0 Negativo

```



```

EPwm7Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_IN;
EPwm7Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Divide a base do clock por 2T
EPwm7Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Divide a base do clock por 2
EPwm7Regs.TBCTL.bit.PRDL = TB_SHADOW; // Divide a base do clock por 2
//Modos dos comparadores
EPwm7Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm7Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm7Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm7Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
//Modo do PWM UP-DOWN
EPwm7Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm7Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm7Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm7Regs.AQCTLB.bit.CAD = AQ_CLEAR;
EPwm7Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm7Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm7Regs.DBCTL.bit.IN_MODE = DBA_ALL;
//EPwm7Regs.DBRED.bit.DBRED = EPWM_DB_UP;
//EPwm7Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

//Duty cicle dos PWMs

EPwm1Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
EPwm2Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
EPwm3Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
EPwm4Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle

EPwm5Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
EPwm6Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
EPwm7Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
//EPwm8Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle

EPwm9Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
EPwm10Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
//EPwm11Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle
//EPwm12Regs.CMPA.bit.CMPA = dutycicle; // Duty cicle

}
#####
// Fim do programa.
#####

```