



UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

MARCUS ANDERSON ALMEIDA BEZERRA

**CONVERSOR CC-CA PARA PAINÉIS FOTOVOLTAICOS COM CONCEITO
DE FILTRAGEM ATIVA PARA REDUÇÃO DA CAPACITÂNCIA DO
BARRAMENTO CC**

FORTALEZA

2016

MARCUS ANDERSON ALMEIDA BEZERRA

**CONVERSOR CC-CA PARA PAINÉIS FOTOVOLTAICOS COM CONCEITO
DE FILTRAGEM ATIVA PARA REDUÇÃO DA CAPACITÂNCIA DO
BARRAMENTO CC**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará, como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Paulo Peixoto Praça

FORTALEZA

2016

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca Universitária
Gerada automaticamente pelo módulo Catalog, mediante os dados fornecidos pelo(a) autor(a)

B469c Bezerra, Marcus Anderson Almeida.
CONVERTOR CC-CA PARA PAINÉIS FOTOVOLTAICOS COM CONCEITO DE FILTRAGEM
ATIVA PARA REDUÇÃO DA CAPACITÂNCIA DO BARRAMENTO CC / Marcus Anderson Almeida
Bezerra. – 2016.
142 f. : il. color.

Dissertação (mestrado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-
Graduação em Engenharia Elétrica, Fortaleza, 2016.

Orientação: Prof. Dr. Paulo Peixoto Praça.

Coorientação: Prof. Dr. Demercil de Souza Oliveira Júnior.

1. Conversor CA-CC monofásico. 2. Filtro ativo. 3. Filtro LC. I. Título.

CDD 621.3

MARCUS ANDERSON ALMEIDA BEZERRA

CONVERSOR CC-CA PARA PAINÉIS FOTOVOLTAICOS COM CONCEITO DE
FILTRAGEM ATIVA PARA REDUÇÃO DA CAPACITÂNCIA DO BARRAMENTO CC

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará, como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: Eletrônica de Potência e Aplicações em Energias Renováveis

Aprovada em: 14 / 03 / 2016.

BANCA EXAMINADORA

Prof. Dr. Paulo Peixoto Praça (Orientador)
Universidade Federal do Ceará (UFC)

Prof. Dr. Demercil de Souza Oliveira Júnior (Coorientador)
Universidade Federal do Ceará (UFC)

Prof. Dr.-Eng. Tobias Rafael Fernandes Neto
Universidade Federal do Ceará (UFC)

Prof. Dr. Edilson Mineiro Sá Júnior
Instituto Federal de Educação, Ciência e Tecnologia do Ceará (IFCE)

À Deus.

Aos meus pais, Lucimar e Aristides.

AGRADECIMENTO

Primeiramente a Deus por me guiar nesta minha caminhada e pelas oportunidades que me foram concedidas.

Agradeço à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES), pelo apoio financeiro com a manutenção da bolsa de auxílio.

Aos meus Pais, Aristides e Lucimar, por todo suporte e pela ajuda em todos os momentos da minha vida, bons ou ruins.

A minha irmã Amanda por sempre me encorajar e incentivar ao longo da minha vida a superar os meus limites.

Aos professores Paulo Praça e Demercil, pela orientação, paciência e disponibilidade durante todo este tempo.

Ao Jorge, Antônio, Juliano, Gustavo e Aloísio, amigos que me ajudaram e me incentivaram a seguir em frente.

Aos colegas e amigos do laboratório e do departamento: Jéssica, Bruno, Francisco e Domenico, pelo tempo, pelas colaborações e sugestões.

A todos os outros professores do Departamento de Engenharia Elétrica da UFC e aos demais funcionários do departamento responsáveis diretamente ou indiretamente pela minha formação acadêmica.

"O homem que sabe reconhecer os limites da sua própria inteligência está mais perto da perfeição."

(Johann Goethe)

“Quem sabe concentrar-se numa coisa e insistir nela como único objetivo, obtém, ao fim e ao cabo, a capacidade de fazer qualquer coisa. ”

(Mahatma Gandhi)

RESUMO

Este trabalho tem por objetivo projetar um inversor monofásico para painéis fotovoltaicos na escala de quilowatts para ser conectado à rede elétrica, seguindo as especificações do *The Little Box Challenge*, adotando uma topologia para melhorar a eficiência, proporcionar uma corrente injetada com o mínimo de distorção harmônica possível e reduzir as correntes de fuga. Além disso, buscou-se desenvolver alternativas para aumentar a densidade de potência do inversor, adotando uma técnica de filtragem ativa para eliminar as ondulações de baixa frequência proveniente da conversão CC-CA. Desta forma, reduzindo a energia transferida para a fonte CC sem a necessidade de uma impedância muito elevada, o que implica em uma redução nos custos e do volume total do banco capacitivo. No inversor é utilizada uma técnica de controle ressonante e uma configuração de filtro LC na saída para dissociação do lado CA no momento de tensão nula e proporcionar uma corrente em fase com a tensão da rede com menor conteúdo harmônico. A validação da topologia adotada é realizada através de simulações e testado experimentalmente em laboratório através de um protótipo de 2kW.

Palavras-chave: Conversor CA-CC monofásico. Filtro ativo. Filtro LC.

ABSTRACT

This work has as objective the project a single phase inverter for photovoltaic panels in the kilowatt scale to be connected to the electrical grid, following specifications of The Little Box Challenge, adopting a topology to improve efficiency, provide an injected current with a minimum harmonic distortion as possible and reduce the leakage current. Furthermore, it was sought the development of alternatives to rising the inverter power density, adopting an active filtering technique to eliminate the low frequency ripple coming from the DC-AC conversion. Thus, reducing the transferred energy to the DC source without the need of a high impedance, which implies in the reduction of cost and of total volume of the capacitive bank. On the inverter it is used a resonant control technique and a LC filter configuration in the output to dissociate from the AC side in the moment of null voltage and provide a current in phase with the grid voltage with low harmonic content. The validation of the topology is adopted performed through simulations and tested experimentally in the laboratory by a 2kW prototype.

Keywords: DC-AC converter. Active filter. LC filter.

LISTA DE ILUSTRAÇÕES

Figura 1 – Diagrama do sistema proposto.	21
Figura 2 – (a) Sistema com único estágio; (b) Sistema com duplo estágio.	25
Figura 3 – Corrente de fuga em um sistema fotovoltaico.	27
Figura 4 – Esquema de conversor CC-CA monofásico conectado à rede.	28
Figura 5 – Esquema simplificada do conversor CC-CA monofásico conectado à rede.	29
Figura 6 – Conversor CC-CA <i>full-bridge</i>	30
Figura 7 – Formas de onda da modulação PWM bipolar.	31
Figura 8 – Formas de onda da modulação PWM unipolar.	33
Figura 9 – Sistema PV conectado à rede com topologia H5.	34
Figura 10 – Etapas de comutação da topologia H5: (a) Semiciclo Positivo e (b) Semiciclo Negativo.	35
Figura 11 – Sistema PV conectado à rede com topologia HERIC.	35
Figura 12 – Etapas de comutação da topologia HERIC: (a) Semiciclo Positivo e (b) Semiciclo Negativo.	36
Figura 13 – Sistema PV conectado à rede com topologia FB-DCBP.	37
Figura 14 – Etapas de comutação da topologia FB-DCBP: (a) Semiciclo Positivo e (b) Semiciclo Negativo.	38
Figura 15 – Topologia de inversor monofásico adotada.	39
Figura 16 – Inversor monofásico com duplo filtro LC de saída.	40
Figura 17 – Representação do inversor diferencial com dois conversores <i>buck</i> bidirecionais.	41
Figura 18 – Etapas de operação do conversor CC-CC.	42
Figura 19 – Principais formas de onda do conversor CC-CC bidirecional.	42
Figura 20 – Etapas de operação da topologia adotada com modulação unipolar: (a) Semiciclo Positivo e (b) Semiciclo Negativo.	43
Figura 21 – Principais formas de onda teóricas: (a) Semiciclo Positivo e (b) Semiciclo Negativo.	46
Figura 22 – Forma de onda da tensão V_{AB}	47
Figura 23 – (a) Forma de onda da corrente no indutor L_{o1} e (b) Detalhe da corrente em L_{o1}	47
Figura 24 – (a) Forma de onda da corrente no indutor L_{o2} e (b) Detalhe da corrente em L_{o2}	47
Figura 25 – Relação entre a tensão de saída V_o e tensão nos capacitores de filtro C_{o1} e C_{o2}	48

Figura 26 – Tensão e corrente de saída aposto os filtros LC.....	48
Figura 27 – Modelo simplificado de uma malha PLL.....	52
Figura 28 – Configuração de PLL: (a) p-PLL e (b) q-PLL.....	53
Figura 29 – Comportamento das tensões V_α e V_β	55
Figura 30 – Ângulo θ_n em sincronismo com sinal de referência V_{in}	55
Figura 31 – Topologia adotada com a inserção da etapa de filtragem.....	56
Figura 32 – Topologia adotada com a inserção da etapa de filtragem passiva.....	57
Figura 33 – Topologia adotada com a inserção da etapa de filtragem ativa.....	58
Figura 34 – Inversor monofásico com filtro de compensação de corrente.....	59
Figura 35 – Inversor monofásico com filtro de compensação de tensão.....	60
Figura 36 – Topologia completa do conversor.....	60
Figura 37 – Ondulação de baixa frequência na tensão do capacitor.....	62
Figura 38 – Estratégia de controle para o filtro ativo.....	63
Figura 39 – Circuito q-PLL do filtro ativo.....	64
Figura 40 – Curva de eficiência x frequência de chaveamento.....	67
Figura 41 – Núcleo toroidal utilizado.....	72
Figura 42 – Percentual de permeabilidade x Força magnetizante CC.....	75
Figura 43 – Diagrama de blocos da malha de corrente do inversor.....	82
Figura 44 – Diagrama de blocos da malha de tensão do inversor.....	82
Figura 45 – Circuito equivalente conversor bidirecional.....	83
Figura 46 – Filtro Sallen Key de segunda ordem.....	84
Figura 47 – Diagrama de Bode das funções de transferência: $FTLA_{sci}(s)$, $C_i(s)$ e $FTLA_{cci}(s)$	86
Figura 48 – Diagrama de Bode das funções de transferência $FTLA_{ccv}(s)$	86
Figura 49 – Circuito de controle das correntes I_{oL1} e I_{oL2}	87
Figura 50 – Circuito PLL com controlador PI.....	88
Figura 51 – Diagrama de Bode das funções de transferência: $FTLA_{scv}(s)$, $C_v(s)$ e $FTLA_{ccv}(s)$	90
Figura 52 – Diagrama de Bode das funções de transferência $FTLA_{ccv}(s)$	91
Figura 53 – Circuito de controle completo do inversor.....	92
Figura 54 – Diagrama de Bode das funções de transferência: $FTLA_{scif}(s)$, $C_i(s)$ e $FTLA_{ccif}(s)$	94
Figura 55 – Diagrama de Bode das funções de transferência $FTLA_{ccif}(s)$	95

Figura 56 – Diagrama de Bode das funções de transferência: $FTLA_{scvf}(s)$, $C_v(s)$ e $FTLA_{ccvf}(s)$	96
Figura 57 – Diagrama de Bode das funções de transferência $FTLA_{ccvf}(s)$	97
Figura 58 – Tensão e corrente de saída com carga resistiva e malhas de corrente.	99
Figura 59 – Circuito para simulação da corrente de fuga.	99
Figura 60 – Corrente de fuga que circula pela capacitância parasita (sem capacitores).	100
Figura 61 – Corrente de fuga que circula pela capacitância parasita (com capacitores).	100
Figura 62 – Tensão e corrente de saída para um degrau de carga.	101
Figura 63 – Tensão da rede e Theta do PLL sincronizado em sincronismo.	101
Figura 64 – Tensão e corrente no barramento CC.	102
Figura 65 – Tensão da rede e Theta do PLL sincronizado com o dobro da frequência.	102
Figura 66 – Rastreamento da frequência pelo bloco PLL.	103
Figura 67 – Valor de referência para V_{cf} e valor real de V_{cf}	103
Figura 68 – Simulação do efeito do filtro ativo no sistema.	104
Figura 69 – Tensão e corrente no Barramento CC como o filtro ativo.	105
Figura 70 – Tensão no capacitor C_f e tensão no indutor L_f	105
Figura 71 – Fotografia do protótipo implementado em laboratório.	106
Figura 72 – Tensão da rede V_r e ângulo ω_r de saída do PLL.	107
Figura 73 – Tensão da rede V_r (Azul) e corrente de saída I_o (Vermelho).	107
Figura 74 – Tensão e corrente de saída para um degrau de carga experimentalmente.	108
Figura 75 – Detalhes da corrente e tensão de saída no ensaio de degrau de carga: (a) Entrada de carga; (b) Saída de carga.	109
Figura 76 – Degrau de carga com alta capacitância de entrada.	110
Figura 77 – Detalhes do ensaio com alta capacitância de entrada.	110
Figura 78 – Degrau de carga com baixa capacitância de entrada.	111
Figura 79 – Detalhes do ensaio com baixa capacitância de entrada.	112
Figura 80 – Tensão da rede V_r e ângulo ω_{ft} de saída do PLL do filtro ativo.	112
Figura 81 – Ensaio do completo (Filtro Ativo Operando).	113
Figura 82 – Espectro harmônico da corrente de saída.	114

LISTA DE TABELAS

Tabela 1 – Limite de distorção harmônica de corrente.....	51
Tabela 2 – Especificações e considerações para o projeto do inversor.	65
Tabela 3 – Especificações do Módulo SiC CCS020M12CM2.....	67
Tabela 4 – Dados do capacitor dos filtros de saída.....	69
Tabela 5 – Valores adotados para os filtros LC de saída.....	70
Tabela 6 – Dados dos capacitores do barramento CC.	71
Tabela 7 – Dados de projeto do indutor de saída.....	73
Tabela 8 – Dados do condutor AWG 22.....	73
Tabela 9 – Dados do núcleo MMT034T7713 da Magmattec.....	74
Tabela 10 – Resumo do projeto físico dos indutores de saída.....	76
Tabela 11 – Dados de projeto do indutor de filtro.....	76
Tabela 12 – Resumo do projeto físico do indutor de filtro.....	78
Tabela 13 – Especificações de projeto.....	98

LISTA DE ABREVIATURAS E SIGLAS

CA	Corrente Alternada
CC	Corrente Contínua
CCM	Continuous Current Mode (Modo de Condução Contínuo)
DCM	Discontinuous Current Mode (Modo de Condução Descontínuo)
FB-DCBP	<i>Full-bridge</i> com <i>bypass</i> no lado CC
HERIC	<i>Higly Efficient Inverter Concept</i> (Conceito de Inversor Altamente Confiável e Eficiente)
IEC	<i>International Electrotechnical Commision</i> (Comissão Eletrotécnica Internacional)
IEEE	<i>Institute of Electrical and Electronic Engineers</i> (Instituto de Engenheiros Eletricistas e Eletrônicos)
IGBT	<i>Insulated Gate Bipolar Transistor</i> (Transistor Bipolar de Porta Isolada)
NPC	<i>Neutral Point Clamped</i> (Ponto Neutro Grampeado)
PI	Proporcional-Integral
PLL	<i>Phase Locked Loop</i> (Malha de Captura de Fase)
PR	Proporcional Ressonante
PV	Photovoltaics (Fotovoltaicos)
PWM	<i>Pulse Width Modulation</i> (Modulação por Largura de Pulso)
THD	<i>Total Harmonic Distortion</i> (Taxa de Distorção Harmônica)
VCO	<i>Voltage Controlled Oscillator</i> (Oscilador Controlado por Tensão)
VSI	<i>Voltage-Source Inverter</i> (Inversor de Tensão)

SUMÁRIO

RESUMO.....	10
ABSTRACT	11
LISTA DE ILUSTRAÇÕES	12
LISTA DE TABELAS	15
LISTA DE ABREVIATURAS E SIGLAS.....	16
SUMÁRIO	17
1. INTRODUÇÃO GERAL	20
2. REVISÃO BIBLIOGRÁFICA	23
2.1. Considerações Iniciais	23
2.2. Sistema de Geração Fotovoltaica.....	23
2.3. Configuração dos Sistemas de Geração Fotovoltaica Interligados à Rede Elétrica.....	24
2.3.1. Número de estágios de processamento de energia.....	25
2.3.2. Isolamento por transformadores	26
2.3.3. Corrente de fuga	27
2.3.4. Influência dos conversores CC-CA nas fontes CC	28
2.3.5. Inversores monofásicos conectados à rede	29
2.3.5.1. Inversores monofásicos full-bridge	30
2.3.5.1.1. Modulação bipolar.....	31
2.3.5.1.2. Modulação unipolar	32
2.3.5.1.3. Modulação híbrida.....	33
2.3.5.2. Topologia H5	34
2.3.5.3. Topologia HERIC	35
2.3.5.4. Full-bridge com bypass no lado CC – FB-DCBP	37
2.4. Topologia Adotada para o Inversor	38
2.5. Considerações Finais	39
3. ANÁLISE DA TOPOLOGIA ADOTADA	40
3.1. Considerações Iniciais	40
3.2. Análise Qualitativa	40
3.2.1. Topologia Adotada.....	40
3.2.2. Princípio de funcionamento	41
3.2.3. Principais formas de onda	45
3.3. Análise Quantitativa	48
3.3.1. Análise do estágio de potência.....	49
3.3.2. Dimensionamento dos filtros LC de saída	50
3.4. Sincronismo com a Rede Elétrica	52
3.4.1. Phase Locked Loop (PLL).....	52
3.4.2. Sistema de sincronismo PQ-PLL.....	53

3.5.	Proposta de Filtro Ativo para Redução das Ondulações de Baixa Frequência	56
3.5.1.	<i>Estratégias de redução das ondulações de baixa frequência</i>	56
3.5.2.	<i>Princípio de Funcionamento do Filtro Ativo</i>	60
3.5.2.1.	<i>Análise da Energia no Capacitor de Filtro</i>	61
3.5.2.2.	<i>Análise do Circuito</i>	62
3.5.2.3.	<i>Estratégia de Controle</i>	63
3.6.	Considerações Finais	64
4.	PROJETO DO CONVERSOR ADOTADO	65
4.1.	Considerações Iniciais	65
4.2.	Especificações e Considerações de Projeto do Conversor	65
4.2.1.	<i>Dimensionamento das chaves</i>	66
4.2.2.	<i>Cálculo das Perdas nas Chaves</i>	68
4.2.3.	<i>Projeto do filtro de saída do Inversor</i>	69
4.2.4.	<i>Projeto do barramento CC</i>	70
4.2.5.	<i>Projeto do LC do Filtro Ativo</i>	71
4.3.	Projeto dos Magnéticos	72
4.3.1.	<i>Projeto dos Magnéticos dos Filtros de Saída</i>	72
4.3.2.	<i>Projeto dos Magnéticos do Filtro Ativo</i>	76
4.3.3.	<i>Cálculo das Perdas nos Magnéticos</i>	78
4.4.	Rendimento Teórico	80
4.5.	Considerações finais	81
5.	MODELAGEM E CONTROLE DO INVERSOR MONOFÁSICO	82
5.1.	Considerações Iniciais	82
5.2.	Estratégia de Controle do Conversor CC-CA	82
5.2.1.	<i>Controle da Corrente Injetada na Rede</i>	83
5.2.2.	<i>Controle do q-PLL</i>	88
5.2.3.	<i>Controle da Tensão de Entrada</i>	89
5.3.	Estratégia de Controle do Filtro Ativo	92
5.4.	Considerações Finais	97
6.	SIMULAÇÃO E RESULTADOS	98
6.1.	Considerações Iniciais	98
6.2.	Resultados de Simulação	98
6.3.	Resultados Experimentais	106
6.3.1.	<i>Sincronismo com a Rede</i>	107
6.3.2.	<i>Malha de Corrente de Saída</i>	108
6.3.3.	<i>Malha de Tensão (com ALTA Capacitância de Barramento)</i>	109
6.3.4.	<i>Malha de Tensão (com BAIXA Capacitância de Barramento)</i>	111
6.3.5.	<i>Sistema Completo (Filtro Ativo Operando)</i>	112
6.4.	Considerações Finais	115
7.	CONCLUSÃO	116

REFERÊNCIAS.....	118
APÊNDICE A – ESQUEMÁTICOS E PCBs DESENVOLVIDOS	123
A1. ESQUEMÁTICO DOS SENSORES DE CORRENTE	123
A2. ESQUEMÁTICO DOS CONECTORES DE SINAIS E ALIMENTAÇÃO DA PLACA... 124	
A3. ESQUEMÁTICO DOS SENSORES DE TENSÃO LEM PARA O BARRAMENTO CC E CAPACITOR DE FILTRO	124
A4. ESQUEMÁTICO DO SENSOR DA TENSÃO DA REDE ELÉTRICA	125
A5. ESQUEMÁTICO DAS CONEXÕES DA PLACA DE POTÊNCIA	125
A6. PCB DA PLACA DOS SENSORES (TOP LAYER)	126
A7. PCB DA PLACA DOS SENSORES (BOTTOM LAYER).....	127
A8. PCB DA PLACA DE POTÊNCIA	128
APÊNDICE B – CÓDIGO DE CONTROLE DO MICROCONTROLADOR DELFINO TMS320F2837XD	129

1. INTRODUÇÃO GERAL

Em um mundo cada vez mais dependente de energia elétrica, a crescente demanda pode acarretar problemas para o sistema elétrico, como instabilidade ou interrupção da distribuição (HAILI et al., 2014). As fontes de energias renováveis surgem como uma forma atraente de complementar o sistema elétrico, trazendo uma maior robustez para o sistema de distribuição (CARRASCO et al., 2006; XIA; XIA, 2010). Dentre estas fontes, a energia fotovoltaica tem crescido constantemente nos últimos 20 anos, devido principalmente aos custos e preços decrescentes de geração. O que é impulsionado pelo aumento da eficiência das células fotovoltaicas, melhorias na fabricação e aumento da produção em larga escala (TEODORESCU, REMUS ; LISERRE; RODRÍGUEZ, 2011). Além disso, a geração fotovoltaica possui vantagens na implementação como: possibilidade de instalação próxima dos centros de cargas, ausência de partes móveis e modularidade (ALMEIDA et al., 2013; NUOTIO et al., 2014).

Apesar disto, o custo da energia fotovoltaica ainda é elevado em comparação com os outros sistemas de geração, por este motivo busca-se novas tecnologias com o intuito de aumentar a sua viabilidade (OCHOA ROBLES; BERISTÁIN JIMÉNEZ; RAMÍREZ, 2015).

A redução dos custos associados e aumento da eficiência do inversor que interliga o painel fotovoltaico e a rede é, portanto, importante para tornar o investimento mais atraente. Por isso, procura-se investir em soluções inovadoras para inversores e de baixo custo, o que resultou em uma grande diversidade de topologias, e novas configurações do sistema. Buscando sempre redução dos custos, aumento da densidade de potência, confiabilidade e eficiência, além do aumento da vida útil do inversor que é normalmente inferior à dos painéis fotovoltaicos (TEODORESCU, REMUS et al., 2011).

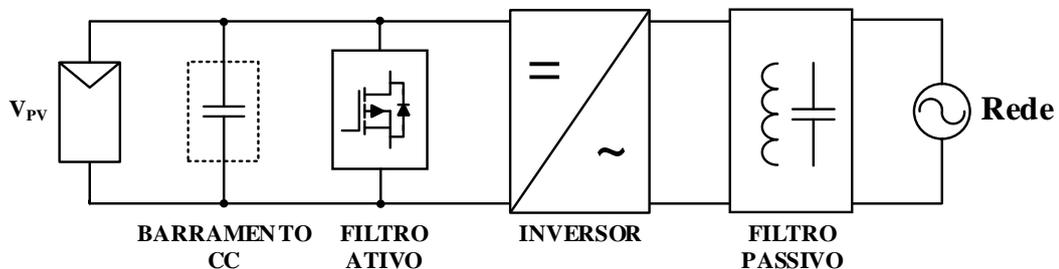
Tendo em vista este panorama, a Google e o *Institute of Electrical and Electronic Engineers* (IEEE) lançaram o *The Little Box Challenge* (GOOGLE; IEEE, 2014), um desafio para projetar um inversor monofásico na escala de quilowatts com a maior densidade de energia possível.

Com base nisso, este trabalho tem por objetivo projetar um inversor monofásico para painéis fotovoltaicos seguindo as especificações do *The Little Box Challenge*, propondo uma topologia para melhorar a eficiência, proporcionar uma corrente injetada com o mínimo de distorção harmônica possível e reduzir a corrente de fuga. Além disso, busca-se desenvolver alternativas para aumentar a densidade de potência do inversor.

Sabendo que, em um inversor convencional, o Barramento CC, que é responsável por conectar a fonte de corrente contínua com inversor, possui uma alta impedância para realizar esta transferência de energia e, conseqüentemente, é responsável por uma quantidade significativa do volume total do sistema, além do custo financeiro que acarreta (HUANG-JEN et al., 2013). Assim, pensando no aumento da vida útil e da densidade de potência do inversor, é proposta uma configuração de filtro ativo para eliminar os distúrbios de baixa frequência no capacitor do Barramento CC, desta forma, reduzindo a quantidade de energia ao qual seria submetido normalmente. Com a redução da quantidade de energia, a impedância e o volume são reduzidos significativamente.

Na Figura 1 é apresentado o sistema proposto neste trabalho, composto por uma matriz painéis funcionando como uma fonte de corrente contínua, um Barramento CC, um filtro ativo para mitigar as ondulações de baixa frequência proveniente da conversão CC-CA, um estágio CC-CA com uma topologia *full-bridge* e um filtro de saída responsável por filtrar a corrente que será injetada na rede e lidar com as correntes de fuga.

Figura 1 – Diagrama do sistema proposto.



Fonte: Elaborada pelo autor.

A apresentação do trabalho realizado está subdividida em capítulos, seguindo a seguinte sequência.

O capítulo 2 apresenta uma revisão dos principais conceitos de geração fotovoltaica e uma revisão bibliográfica das topologias de inversores de tensão, estratégia de modulação e os principais problemas relacionados aos sistemas fotovoltaicos de único estágio. É realizado um estudo do fluxo de energia entre o estágio CC-CA e a fonte de corrente contínua, e suas implicações na capacitância do Barramento CC.

No capítulo 3 é apresentado um estudo mais detalhado da topologia adotada. É realizada uma análise qualitativa do estágio inversor e do estágio de filtragem ativa, apresentado as etapas de operação para cada estágio. Na análise quantitativa são apresentados os esforços de tensão e corrente nos componentes, as principais formas de onda de cada etapa de operação e as equações fundamentais regem a topologia proposta. Em seguida, são descritos os principais conceitos de filtragem passiva e ativa, apresentando como esses princípios podem ser aplicados para filtrar as ondulações de baixa frequência proveniente do estágio CC-CA. São apresentadas topologias de circuitos auxiliares para realizar esta filtragem ativa e, por último, é apresentada a topologia proposta de inversor monofásico que será implementada neste trabalho.

No capítulo 4 são dimensionados os componentes do conversor proposto com base em especificações pré-definidas, como o intuito de elaborar um protótipo para validar todo o dimensionamento e controladores projetados. Também é realizado o dimensionamento das principais perdas com o objetivo de obter um rendimento teórico para a topologia adotada

No capítulo 5 são apresentadas a modelagem matemática e levantamento das principais equações do inversor e do filtro ativos. Tendo posse das equações de cada etapa do conversor proposto, são projetados os controladores de tensão e corrente. No estágio inversor, é apresentado um controlador para tensão média do barramento CC e conjunto com um controlador da corrente injetada por cada braço do inversor *full-bridge*. No filtro ativo são apresentados controladores para a tensão do capacitor e corrente no indutor projetados, de forma que, retire do Barramento CC as ondulações parasitas de baixa frequência provenientes do estágio CC-CA.

No capítulo 6 são apresentados os resultados de simulação e experimentais para o conversor proposto, apresentando as principais formas de onda, buscando validar todo o dimensionamento realizado. Também são realizados testes para verificar a robustez dos controladores de tensão e corrente do inversor e do filtro ativo, mostrando no fim do capítulo o rendimento geral da topologia.

Por último, é apresentada uma conclusão geral do trabalho desenvolvido e sugestões para trabalhos futuros relacionados com o estudo apresentado. Além disso, são apresentadas referências bibliográficas, materiais de simulação, códigos e diagramas esquemáticos, para facilitar quaisquer validações ou reprodução da pesquisa apresentada neste trabalho.

2. REVISÃO BIBLIOGRÁFICA

2.1. Considerações Iniciais

Este capítulo tem por finalidade apresentar uma revisão sobre sistemas de conversão fotovoltaicos, mostrando as principais configurações do sistema e uma revisão das principais topologias de inversores utilizadas nesta aplicação. Também são apresentadas as principais estratégias de modulação, um estudo sobre o fluxo de energia entre o inversor e a fonte de corrente contínua, as suas implicações na capacitância do Barramento CC e os principais conceitos de filtragem passiva e ativa, mostrando como este princípio pode ser utilizado para reduzir o volume do Barramento CC. Por último, é apresentada a topologia adotada do inversor monofásico que será implementada neste trabalho.

2.2. Sistema de Geração Fotovoltaica

Como já explanado no capítulo anterior, a energia fotovoltaica vem se mostrando uma alternativa interessante para suplementar o sistema elétrico em constante crescimento. Por ser um sistema de fácil implementação, em comparação com as formas convencionais de geração, o sistema fotovoltaico mostrou-se economicamente viável em zona remotas, onde não é possível o acesso das linhas de transmissão do sistema elétrico. Atualmente, com a diminuição dos preços de módulos fotovoltaicos, este tipo de geração, vem se tornando atraente também em aplicações urbanas de microgeração de energia elétrica conectada à rede elétrica (RODRIGUES, 2004).

Assim, pode-se distinguir duas formas de implementação de um sistema fotovoltaico: sistema funcionando isoladamente e sistema conectado à rede elétrica.

Os sistemas isolados geralmente utilizam acumuladores de energia, geralmente bancos de baterias, utilizados durante a noite e em dias com pouca irradiação solar ou irradiação insuficiente. Estes sistemas não possuem nenhum tipo de interligação com a rede pública de energia elétrica, empregados principalmente em zonas rurais, para iluminação, irrigação, bombeamento de água, refrigeração e sistemas de telecomunicações (RODRIGUES, 2004).

Os sistemas interligados são sistemas que possuem conexão com a rede pública de energia elétrica. Como estes sistemas irão injetar energia na rede elétrica, devem ser satisfeitas exigências de qualidade de energia como: regulação da corrente injetada, sincronismo com rede, forma de onda e taxa de distorção harmônica (THD). Podem ser desde de grandes centrais

fotovoltaicas, onde toda a energia gerada é fornecida para a rede elétrica, sem a necessidade de acumuladores de energia, até sistemas de microgeração fotovoltaica residenciais, onde existe injeção apenas quando a geração for superior a demanda de carga local (COUTO, 2000).

A viabilidade da microgeração fotovoltaica depende de diversas condições como: quantidade de investimento, eficiência do sistema adotado, nível de irradiação solar do local, energia gerada e perfil da curva de carga do microgerador, além das tarifas impostas pela concessionária (NAKABAYASHI, 2014). Para sistemas fotovoltaicos, os maiores custos envolvidos estão no investimento inicial, já que o custo de operação para este tipo de geração de energia é baixo.

De acordo com (NAKABAYASHI, 2014), no Brasil, o mercado apresenta uma projeção de queda dos preços dos sistemas instalados para os próximos anos. Mostrando um potencial entre 5,14% e 6,89% de diminuição anual no preço do investimento inicial nos sistemas residenciais, enquanto que, para sistemas de maior porte se espera uma queda anual entre 4,36% a 5,98%. Desta forma geral, a microgeração mostra-se uma modalidade de muito potencial e com retorno financeiro atrativo para o consumidor.

2.3. Configuração dos Sistemas de Geração Fotovoltaica Interligados à Rede Elétrica

Devido ao fato dos painéis fotovoltaicos gerarem energia em corrente contínua (CC) é necessário o uso de conversores estáticos para condicionar a energia elétrica antes que possa ser conectada com a rede ou outra carga de corrente alternada (CA). O equipamento que converte a energia em corrente contínua em corrente alternada é chamado de inversor, ou conversor CC-CA.

Uma série de topologias de inversores e seus esquemas de controle para sistemas de geração de energia fotovoltaica têm sido estudados. Um sistema convencional utiliza um painel fotovoltaico em que muitos módulos fotovoltaicos são conectados em série ou paralelo para obter tensão CC de entrada suficiente para a geração da tensão CA da rede elétrica (YOUNG-HO et al., 2010). Também existe a possibilidade de utilizar menos módulos fotovoltaicos em série, neste caso é necessário um conversor CC-CC para elevar a tensão.

Desta forma, o condicionamento da energia fotovoltaica para a interligação com a rede elétrica pode ocorrer através de várias topologias de inversores e configurações do sistema. A seguir são abordados dois ramos de classificação do sistema, o primeiro com base no número

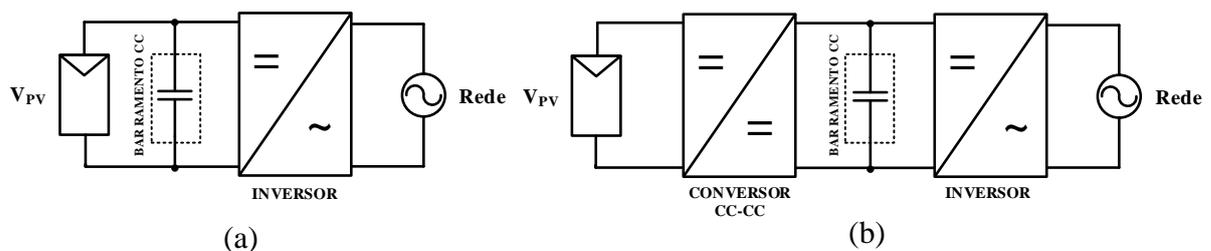
de estágios de processamento e o segundo com base na utilização de um transformador (linha ou de alta frequência) ou não.

2.3.1. Número de estágios de processamento de energia

Um sistema fotovoltaico converte diretamente a luz solar em energia elétrica. A célula fundamental deste sistema, normalmente, apresenta valor de tensão e corrente com valores muito pequenos para a maioria das aplicações. Por isso, as células fotovoltaicas são agrupadas para formarem um painel (ou módulo) fotovoltaico (MARANGONI, 2012). Os módulos fotovoltaicos podem ser diretamente conectados a pequenas cargas ou ainda podem ser associados em série ou em paralelo de acordo com a aplicação.

Como já mencionado anteriormente, para conexão com a rede elétrica faz-se o uso de inversores CC-CA. Em alguns casos, para evitar um número elevado de módulos em série, opta-se por utilizar um conversor CC-CC para amplificar a tensão. Desta forma, o primeiro agrupamento consiste no número de estágios entre a fonte CC de entrada e a fonte CA de saída. Na Figura 2 são apresentados os sistemas de geração fotovoltaica com único estágio e com duplo estágio de conversão.

Figura 2 – (a) Sistema com único estágio; (b) Sistema com duplo estágio.



Fonte: Elaborada pelo autor.

O número de estágios CC está diretamente associado com conjunto de módulos em uma conexão. Com utilização de mais uma etapa CC ocorre uma redução no número de módulos fotovoltaicos (PV) necessários, e assim, obtém-se um controle maior da potência gerada por painel. Porém, as perdas totais no sistema com duplo estágio aumentam em relação com a de único estágio. Portanto, a utilização de um estágio CC-CC ocorre somente quando estritamente necessário.

Na Figura 2 pode ser visto um Barramento CC colocado em paralelo com o módulo PV, utilizado para realizar um desacoplamento passivo entre a fonte CC e o inversor, mantendo a potência de entrada praticamente constante. A tensão no Barramento CC irá oscilar em função da diferença das correntes da etapa CC e da etapa CA.

O Barramento CC é responsável por realizar uma grande troca de energia, por isso, a capacitância utilizada nesta aplicação é bastante elevada, utilizando uma série de capacitores eletrolíticos em paralelo para suportar tal esforço. Este elemento também é responsável por impedir que as ondulações provenientes da conversão CC-CA passem para o lado CC.

Outro ponto a ser destacado, é o uso de capacitores eletrolíticos. A maioria de fabricantes de módulos PV oferecem uma garantia de 25 anos em 80% da eficiência inicial e garantia de fabricação de cinco anos (BLAABJERG; ZHE; KJAER, 2004), sendo os capacitores eletrolíticos os principais componentes limitantes da vida útil do sistema (OLDENKAMP et al., 1996; YOUNG-HO et al., 2010). A duração teórica deste tipo de capacitores é apenas cerca de 30 000 h (em alta temperatura de operação). O que é muito mais curto do que a vida útil das células fotovoltaicas e semicondutores. Desta forma, sempre há a necessidade de encontrar a menor capacitância que consiga realizar essa transferência de potência entre os sistemas. Estas peculiaridades serão abordadas com maior detalhe nas seções posteriores, bem com possíveis propostas de soluções.

2.3.2. Isolamento por transformadores

A utilização dos estágios isolados é bastante abordada em sistemas conectados à rede elétrica. O isolamento pode ser através de transformadores de alta frequência, quando utilizado no lado CC, ou transformadores de baixa frequência, quando utilizado no lado CA. Além de poder elevar a tensão, ele pode exercer um papel de proteção, fornecendo isolamento galvânico impedindo que circule uma corrente de fuga para as capacitâncias parasitas dos módulos fotovoltaicos. Além disso, há um fluxo potencial proveniente dos inversores para os módulos fotovoltaicos, conhecida como tensão de modo comum, que também causa transtornos para o sistema.

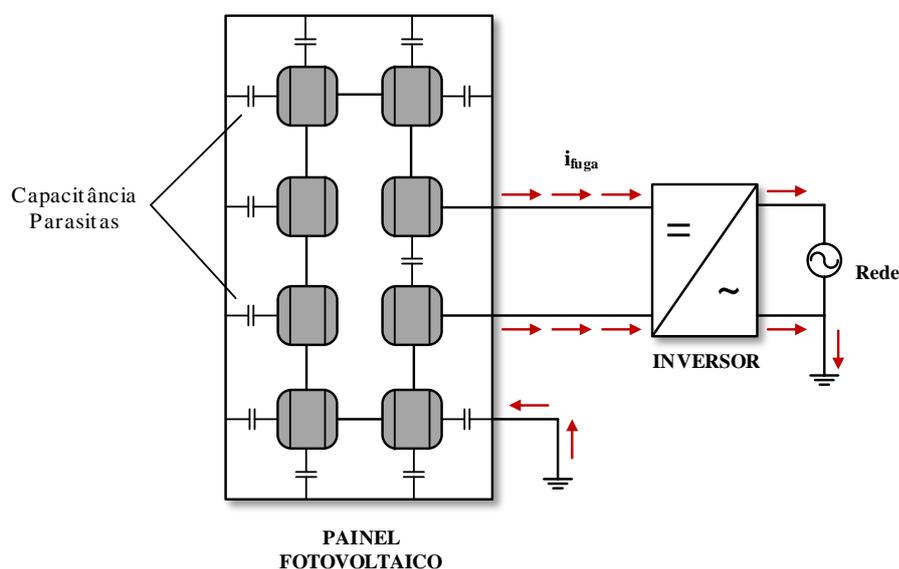
Entretanto, devido ao volume, peso, custo e da preocupação com a eficiência do sistema tornam o uso de transformadores bastante delicado (FREDDY et al., 2014). O uso de transformadores é comum em sistemas PV de múltiplos estágios, diminuindo a eficiência global e tornando o sistema mais complexo. Desta forma, nas seções posteriores serão estudados

sistemas sem transformadores propondo estratégias para lidar com as problemáticas deste tipo de configuração.

2.3.3. Corrente de fuga

Todos os módulos PV apresentam capacitâncias parasitas distribuídas por todo o painel, intrínsecas a fabricação. O valor dessas capacitâncias é proporcional à superfície e inversamente proporcional a espessura. Também dependem da característica do material e da montagem. Na presença de tensão nos terminais do painel, a carga armazenada por estas capacitâncias pode fluir pelo ponto comum do sistema, gerando uma corrente de fuga que irá circular entre o painel e a rede. Sem o isolamento galvânico a corrente de fuga pode ser grande ao ponto de acionar o sistema de proteção do inversor devido a sobrecorrente, retirando-o da rede, ou até danificar o equipamento (MARANGONI, 2012; SMA, 2015). Estas correntes estão ligadas, principalmente, pelo aumento das interferências eletromagnéticas, harmônicos injetados na rede elétrica e perdas no inversor.

Figura 3 – Corrente de fuga em um sistema fotovoltaico.



Fonte: Adaptada de (MARANGONI, 2012).

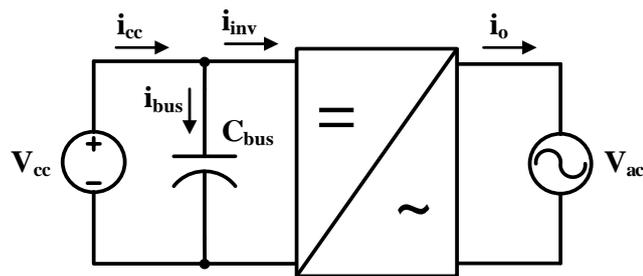
Esta capacitância pode variar muito, dependendo da construção ou até das condições meteorológicas, e de acordo com (LOPEZ et al., 2007). A amplitude e o espectro dessa corrente de fuga dependem muito da topologia, da estratégia de modulação e do circuito ressonante formado pelos componentes passivos do sistema. O valor típico de 10nF/kW são

encontrados em inversores *full-bridge* com modulação unipolar (TEODORESCU, REMUS et al., 2011). Na Figura 3 é mostrada uma representação da corrente de fuga em um sistema fotovoltaico. Nas seções posteriores serão explanadas algumas topologias desenvolvidas para lidar com essa corrente de fuga sem a necessidade de isolamento galvânico.

2.3.4. Influência dos conversores CC-CA nas fontes CC

A utilização de conversores CC-CA monofásicos é bastante ampla e difundida na área de Eletrônica de Potência. Vários estudos foram ou ainda serão abordados sobre este tema. Uma análise ainda pouco abordada é o estudo da ondulação de corrente em baixa frequência resultante da conversão CC-CA monofásica e suas implicações sobre a fonte CC.

Figura 4 – Esquema de conversor CC-CA monofásico conectado à rede.



Fonte: Elaborada pelo autor.

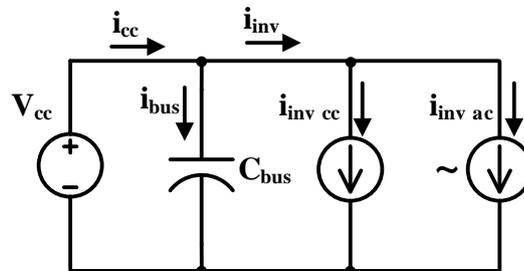
Na Figura 4 é mostrada uma representação de um sistema monofásico, constituído por um inversor, um Barramento CC e uma fonte de tensão CC. Assumindo que a tensão e corrente do inversor são senoidais e sincronizadas com a rede elétrica, e não há perdas por comutação, a potência instantânea do inversor pode ser expressa em (2.1).

$$P_{inv} = V_p \cdot \text{sen}(\omega t) \cdot I_p \cdot \text{sen}(\omega t) = \frac{V_p I_p}{2} [1 - \cos(2\omega t)] = V_{cc} \cdot I_{inv} \quad (2.1)$$

Sendo P_{inv} a potência instantânea do inversor e ω a frequência angular da rede. Da equação (2.1), tem-se que a potência instantânea do inversor tem duas componentes, um componente CC e uma componente alternada com o dobro da frequência da rede. Considerando a tensão do Barramento CC isenta de ondulação, ou seja, V_{cc} constante, a corrente de entrada do inversor também será comporta por uma componente CC e uma componente alternada com

o dobro da frequência da rede. Desta forma, o sistema pode ser representado agora como apresentado na Figura 5.

Figura 5 – Esquema simplificada do conversor CC-CA monofásico conectado à rede.



Fonte: Elaborada pelo autor.

Assim, pela equação (2.1), tem-se que os componentes desses sistemas são submetidos a uma potência de pico de até duas vezes a potência média definida no projeto. Estes picos de potência são decorrentes da ondulação de baixa frequência gerada pelo processo de inversão.

De forma semelhante, (NOVAES, 2006) realizou um estudo para um sistema monofásico de conversão CC-CA com uma etapa CC para alimentar um carga e constatou que estas ondulações resultam em um sobredimensionamento de alguns componentes e um aumento nas perdas do sistema. Quando não há um estágio CC, como é o caso exposto nessa seção, a ondulação ficará toda em cima do capacitor do Barramento CC. A fim de impedir que esta ondulação circule para a fonte, é necessário um banco capacitivo bastante elevado, o que implica em aumentos nos custos e no volume, e na redução da vida útil do sistema.

2.3.5. Inversores monofásicos conectados à rede

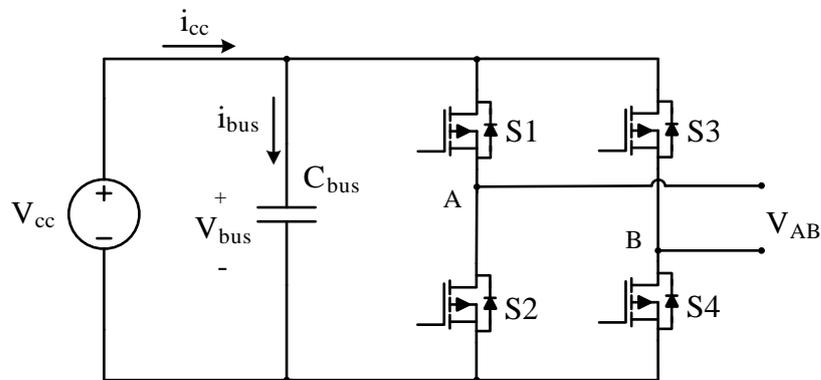
Como um dos objetivos deste trabalho é o custo do sistema, serão focadas apenas as topologias de sistemas monofásico com único estágio de conversão. Inversores monofásicos são as topologias mais utilizadas em aplicações de pequeno e médio porte, uma vez que, apresentam menores custos e menor complexidade de implementação.

Nas aplicações fotovoltaicos, destaca-se as derivações da família *H-bridge*. Esta derivação é bastante versátil, podendo operar tanto na conversão CC-CC como na conversão CC-CA. As topologias *H-bridge* podem operar com um braço de chaves (*half-bridge*) ou com dois braços de chaves (*full-bridge*).

As topologias *half-bridge*, tais como o inversor *Neutral Point Clamped* (NPC), são vantajosas na redução da corrente de fuga, pois apresentam um caminho de circulação com a aterramento do ponto central da associação dos painéis. Entretanto, possuem a desvantagem de precisar de uma maior quantidade de painéis, por isso as topologias *full-bridge* ganharam mais destaque no mercado. A seguir, serão apresentadas as principais características da topologia *full-bridge* básica e algumas das principais variações existentes na literatura.

2.3.5.1. Inversores monofásicos *full-bridge*

Figura 6 – Conversor CC-CA *full-bridge*.



Fonte: Elaborada pelo autor.

Diversas topologias de sistemas PV usam a estrutura básica dos inversores *full-bridge*. A Figura 6 mostra o sistema monofásico *full-bridge*, apresentado em (LINARD, 2009; MARTHINS; BARBI, 2008; RASHID, 1999; SILVA, 2007).

Este conversor é composto por dois braços e cada braço é composto por um par de chaves e seus respectivos diodos em antiparalelo: um braço é composto pelas chaves S1 e S2, e o outro braço pelas chaves S3 e S4. As chaves de cada braço operam de modo complementar, com o intuito de evitar o curto da fonte CC de entrada. Desta forma, quando S1 e S3 estiverem conduzindo, as chaves S2 e S4 estarão abertas e vice-versa.

A modulação adotada será responsável por definir se a topologia irá funcionar como um conversor CC-CC ou um conversor CC-CA. Como o objetivo deste trabalho é injeção de energia proveniente de painéis PV na rede elétrica, será dada a ênfase na operação como conversor CC-CA.

O método de modulação da tensão de saída adotado é a modulação por largura de pulso (*Pulse Width Modulation* – PWM). Este método consiste na comparação entre uma onda moduladora de referência (em baixa frequência) com uma portadora triangular (em alta

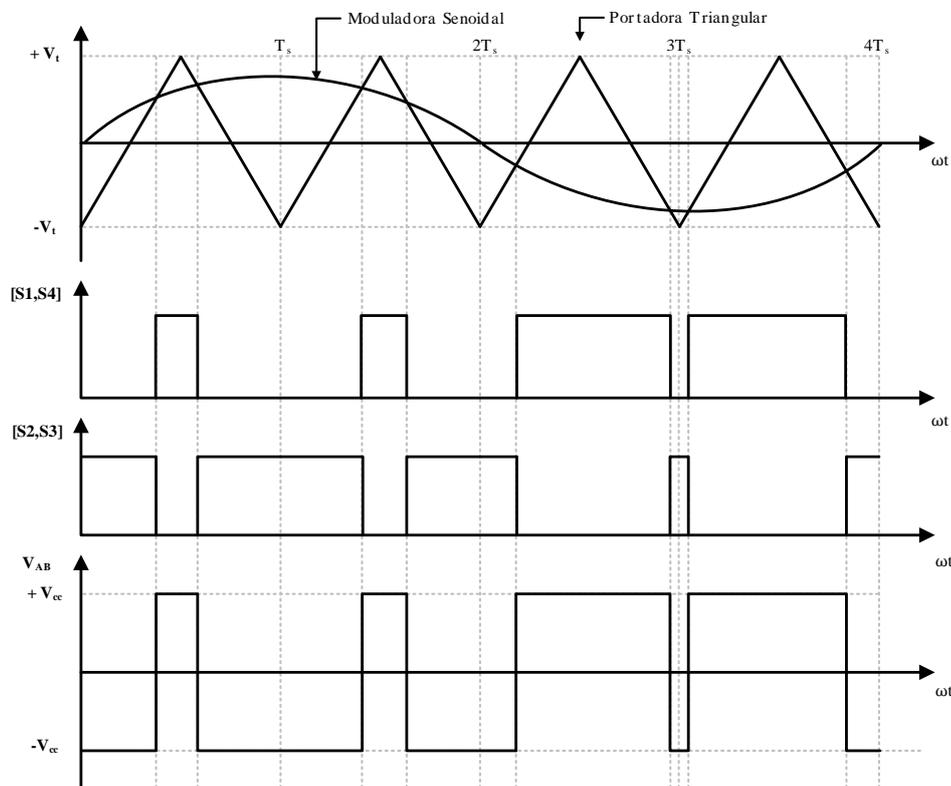
frequência) para gerar o comando de comutação das chaves à uma frequência constante. Para esta aplicação, são apresentadas duas estratégias de modulação PWM: a modulação bipolar e a modulação unipolar.

2.3.5.1.1. Modulação bipolar

A primeira modulação PWM apresentada é a bipolar, mostrada na Figura 7. Esta modulação é a mais simples das técnicas que serão abordadas, onde a tensão de saída instantânea só pode atingir dois valores $-V_{cc}$ ou $+V_{cc}$, sendo assim denominada de modulação de dois níveis.

Os comandos são dados, de modo que, o par de chaves do braço sejam complementares entre si e as chaves de cada braço operem de forma cruzada. Ou seja, as chaves S1 e S4 recebem o comando SW_1 e as chaves S2 e S3 recebem o comando SW_2 , sendo SW_2 o sinal complementar de SW_1 . Portanto, o inversor pode ser controlado com apenas um sinal de modulação e seu sinal complementar.

Figura 7 – Formas de onda da modulação PWM bipolar.



Fonte: Elaborada pelo autor.

Na Figura 7 é apresentado o princípio de funcionamento da modulação bipolar a partir de uma portadora triangular e uma moduladora senoidal. Quando o sinal da moduladora for superior ao sinal da portadora triangular, a tensão de saída será igual a $+V_{cc}$, e quando o sinal da moduladora for inferior, a tensão de saída será igual a $-V_{cc}$. Possibilitando a geração de um sinal de saída V_{AB} composto por uma componente fundamental na frequência da moduladora senoidal e outra componente com a frequência da portadora.

2.3.5.1.2. Modulação unipolar

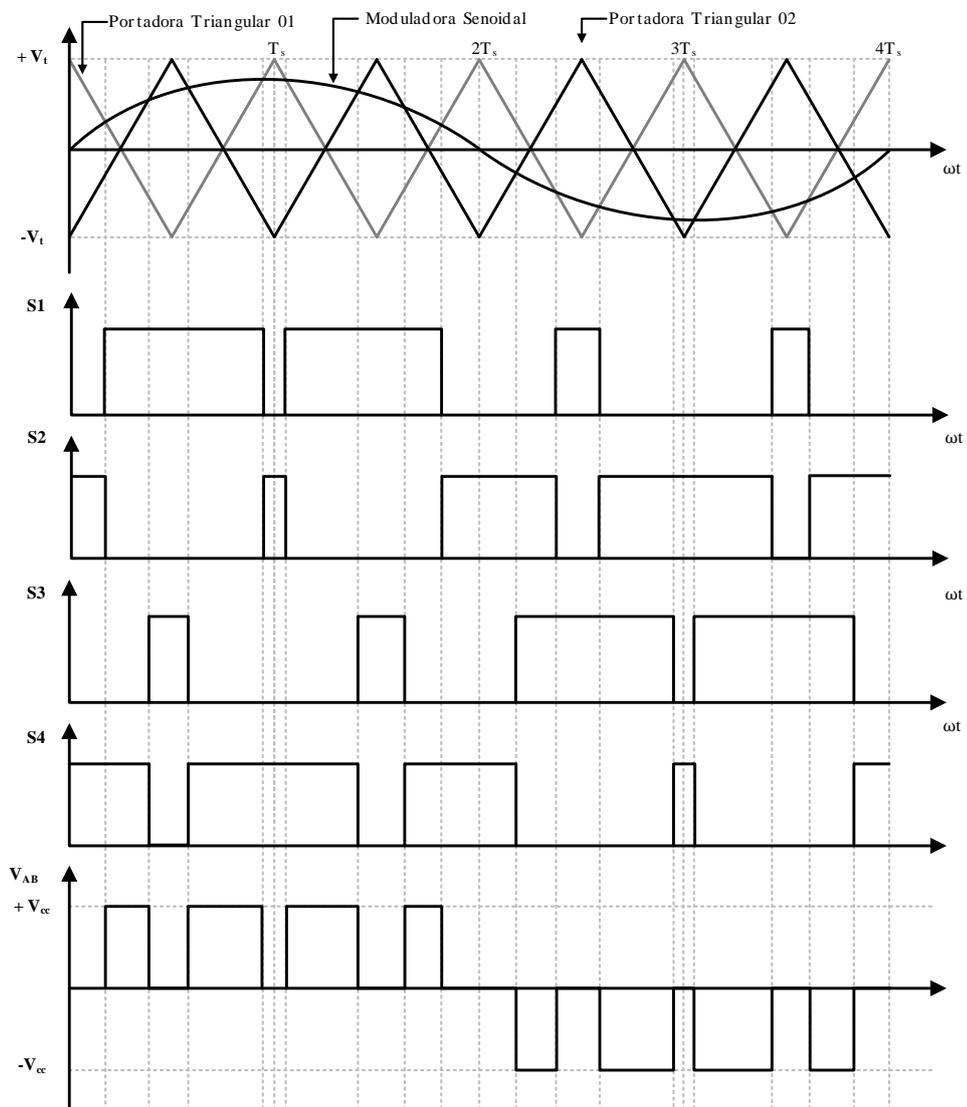
A segunda modulação apresentada é a modulação unipolar, mostrada na Figura 8. Diferente da bipolar, esta modulação possui duas portadoras triangulares defasadas de 180° responsáveis por gerar 4 sinais distintos. Desta forma, as chaves do mesmo braço operam de forma complementar e as chaves de braços diferentes na mesma diagonal operam com um sinal defasado de 180° entre si (SILVA, 2007).

Com este tipo de modulação existem dois estados com tensão nula na saída: S1 e S3 conduzindo ou S2 e S4 conduzindo. Sendo assim, é possível obter três níveis de tensão de saída V_{AB} : $-V_{cc}$, 0 ou $+V_{cc}$. O que proporciona menores perdas nas chaves e reduz as ondulações de tensão e corrente nos componentes passivos do filtro de saída.

Outra característica importante é o número de pulsos da tensão de saída, considerando-se uma mesma frequência de comutação, é duas vezes maior na modulação PWM unipolar, se comparado à modulação bipolar. Este fato contribui para minimizar o filtro de saída. Na Figura 8 é apresentado o princípio de funcionamento da modulação unipolar com duas portadoras triangulares defasadas de 180° e uma moduladora senoidal.

No entanto, o *full-bridge* convencional não pode ser empregado em conexões com a rede sem transformadores utilizando modulação unipolar, pois a tensão para o terra oscila na frequência de chaveamento, gerando elevados níveis de corrente de fuga prejudicando o sistema. Nas seções posteriores serão discutidas variações da topologia *full-bridge* para resolver este problema da corrente de fuga em sistemas PV monofásicos conectados à rede sem transformador.

Figura 8 – Formas de onda da modulação PWM unipolar.



Fonte: Elaborada pelo autor.

2.3.5.1.3. Modulação híbrida

A modulação híbrida é uma estratégia de modulação aplicada em conversores multiníveis, que consiste na utilização de diferentes frequências de comutação para cada chave ou braço do conversor. Este tipo de controle apresenta maior complexidade em relação as estratégias mencionadas anteriormente, mas é uma alternativa viável para aplicações que necessitam associar conversores ou em novas topologias.

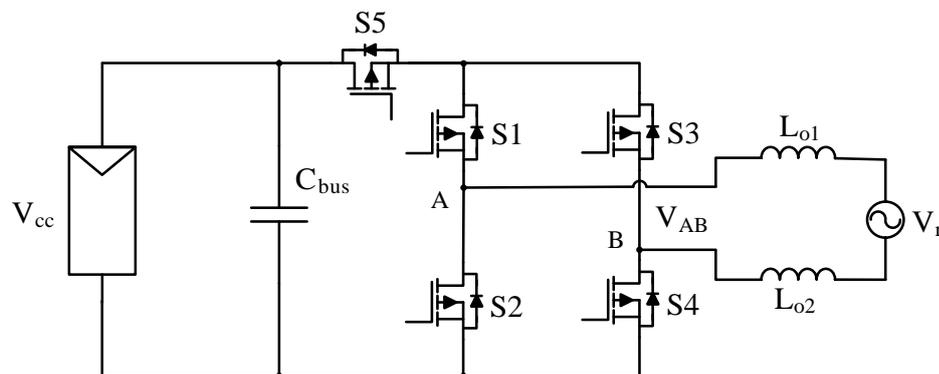
Tomando como exemplo a topologia *full-bridge* apresentada na Figura 6, para uma modulação híbrida, um braço seria chaveado com a frequência da rede e o outro chaveado em

alta frequência. Desta forma, seria possível gerar um sinal de saída V_{AB} alternado semelhante ao obtido pela modulação unipolar.

2.3.5.2. Topologia H5

Variação da topologia *full-bridge*, a topologia H5 é apresentada na Figura 9. Esta configuração consiste na adição de uma chave extra entre o barramento CC e o circuito de ponte completa do inversor. A chave tem por finalidade desacoplar os módulos PV da rede durante o momento em que a tensão de saída é levada a zero, evitando a circulação de corrente de fuga do sistema (SARIDAKIS; KOUTROULIS; BLAABJERG, 2015).

Figura 9 – Sistema PV conectado à rede com topologia H5.



Fonte: Elaborada pelo autor.

Assim, a topologia é composta por cinco chaves, onde S2, S4 e S5 são comutadas em alta frequência. As chaves S1 e S3 são comutadas na frequência da rede. Desta forma, pode-se distinguir quatro etapas funcionamento do conversor, duas para cada semiciclo da rede.

No semiciclo positivo da rede é possível distinguir duas etapas:

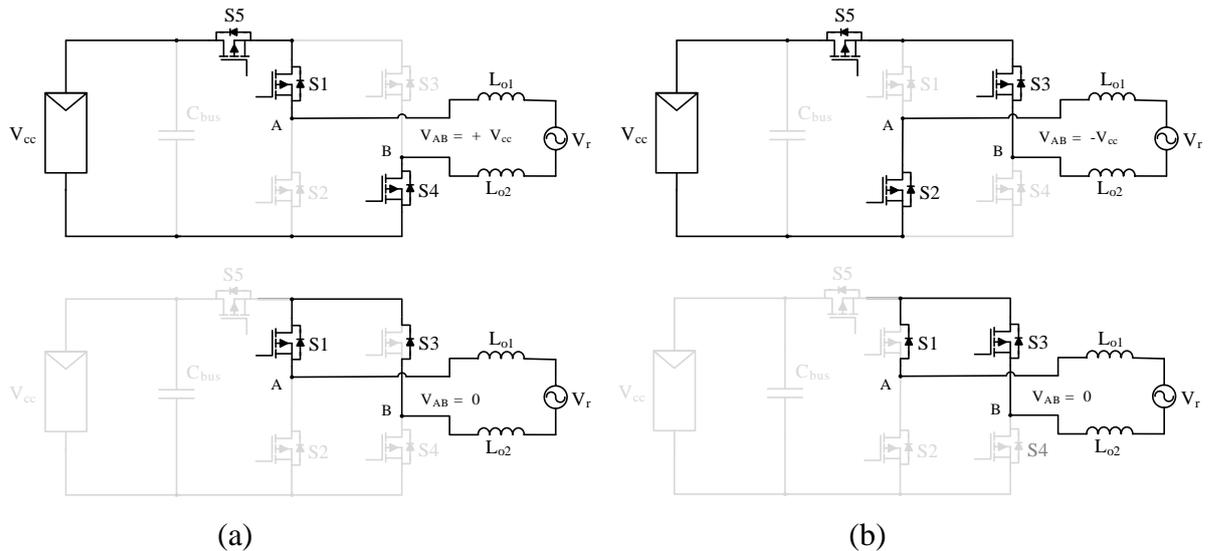
- I. S1, S4 e S5 estão conduzindo e a tensão de saída V_{AB} é igual a $+V_{cc}$.
- II. S4 e S5 estão bloqueadas e S1 está conduzindo. Nesta etapa a corrente irá circular pela chave S1 e pelo diodo em antiparalelo da chave S3, e a tensão de saída V_{AB} é nula.

No semiciclo negativo da rede é possível distinguir duas etapas:

- I. S2, S3 e S5 estão conduzindo e a tensão de saída V_{AB} é igual a $-V_{cc}$.
- II. S2 e S5 estão bloqueadas e S3 está conduzindo. Nesta etapa a corrente irá circular pela chave S3 e pelo diodo em antiparalelo da chave S1, e a tensão de saída V_{AB} é nula.

As etapas de operação citadas à cima são apresentadas na Figura 10. Portanto, quando a tensão de saída é nula, a chave S5 é aberta, desconectando os módulos PV da rede.

Figura 10 – Etapas de comutação da topologia H5: (a) Semiciclo Positivo e (b) Semiciclo Negativo.

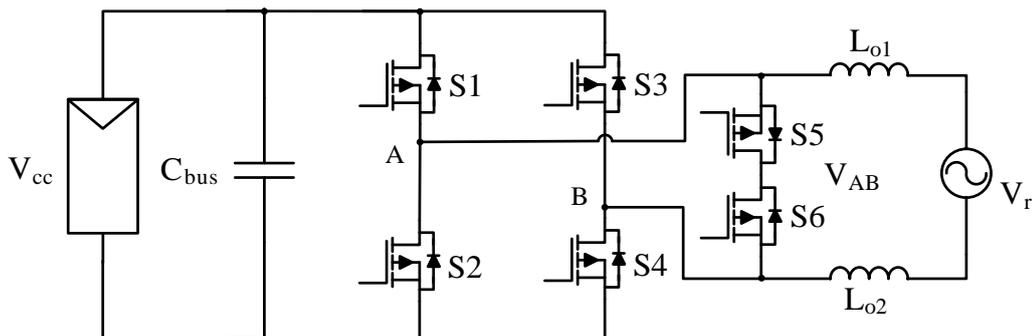


Fonte: Elaborada pelo autor.

2.3.5.3. Topologia HERIC

Esta topologia consiste na adição de duas chaves conectada em sentidos opostos, em paralelo com a saída do circuito *full-bridge*, como mostrado na Figura 11. Essas chaves adicionais criam um caminho alternativo para a circulação da corrente no momento que a tensão de saída do inversor (V_{AB}) seja nula (SENJUN et al., 2015).

Figura 11 – Sistema PV conectado à rede com topologia HERIC.



Fonte: Elaborada pelo autor.

Nessa configuração, as chaves S1, S2, S3 e S4 são chaveadas em alta frequência e as chaves S5 e S6 são chaveadas na frequência da rede elétrica. Para o semiciclo positivo o conversor irá ter a seguintes etapas de operação:

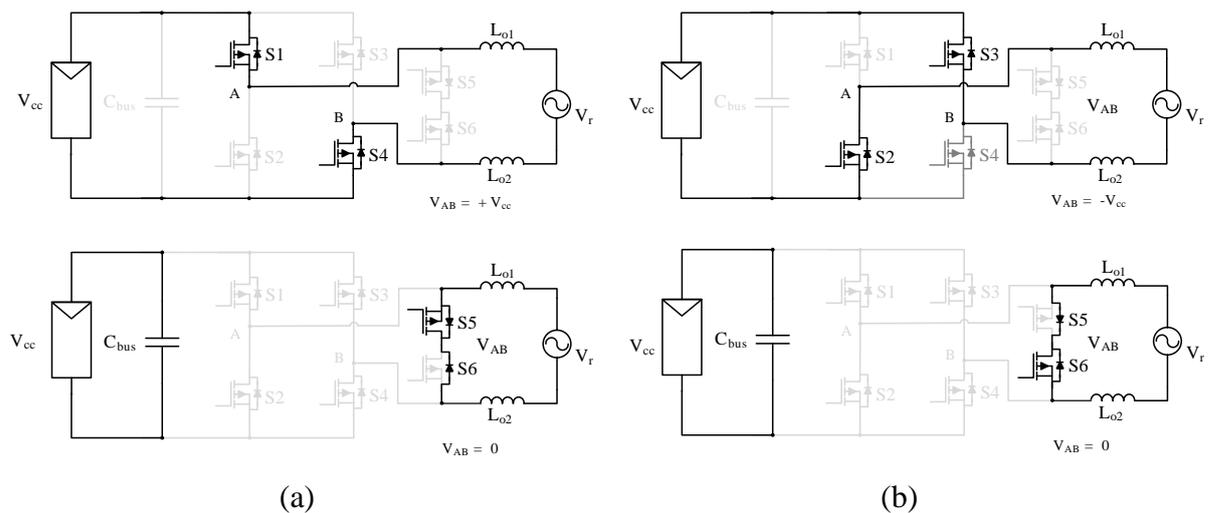
- I. As chaves S1 e S4 estão conduzindo e a tensão de saída V_{AB} é igual a $+V_{cc}$.
- II. Apenas chave S5 está conduzindo e a corrente circula pelo diodo em antiparalelo de S6, formando uma etapa de roda-livre. A tensão de saída V_{AB} será nula.

Para o semiciclo positivo o conversor irá ter a seguintes etapas de operação:

- I. As chaves S2 e S3 estão conduzindo e a tensão de saída V_{AB} é igual a $-V_{cc}$.
- II. Apenas chave S6 está conduzindo e a corrente circula pelo diodo em antiparalelo de S5, formando uma etapa de roda-livre. A tensão de saída V_{AB} será nula.

As etapas de operação citadas à cima são apresentadas na Figura 12. O comportamento do HERIC e H5 são bastante semelhantes na dissociação dos módulos PV da rede durante o estado de tensão zero no lado CA. Entretanto, a topologia H5 comuta três chaves para gerar a tensão de saída, enquanto a topologia utiliza apenas duas chaves.

Figura 12 – Etapas de comutação da topologia HERIC: (a) Semiciclo Positivo e (b) Semiciclo Negativo.

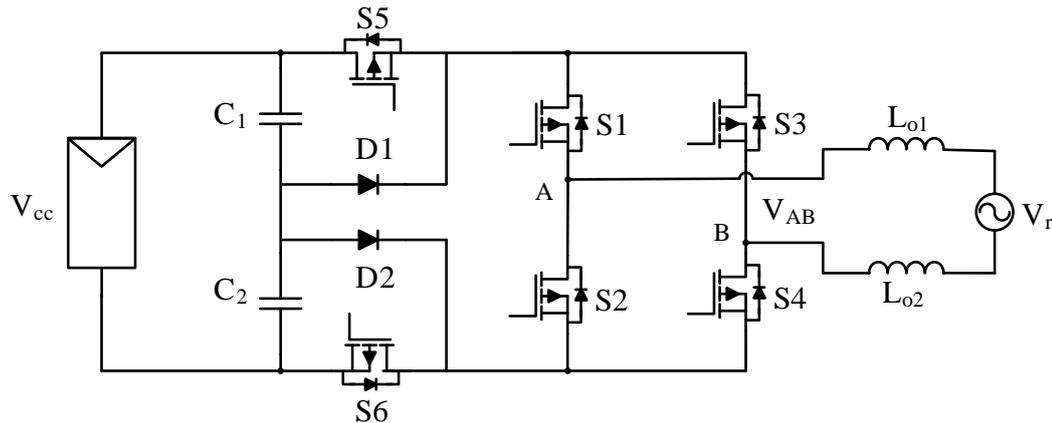


Fonte: Elaborada pelo autor.

2.3.5.4. Full-bridge com bypass no lado CC – FB-DCBP

A Figura 13 mostra a topologia proposta, a qual consiste em seis chaves e dois diodos (GONZALEZ et al., 2007). Nesta topologia, os diodos e o divisor capacitivo limitam a tensão de bloqueio de S5 e S6 para metade da tensão de entrada (V_{cc}).

Figura 13 – Sistema PV conectado à rede com topologia FB-DCBP.



Fonte: Elaborada pelo autor.

Para o semiciclo positivo o conversor irá ter a seguintes etapas de operação:

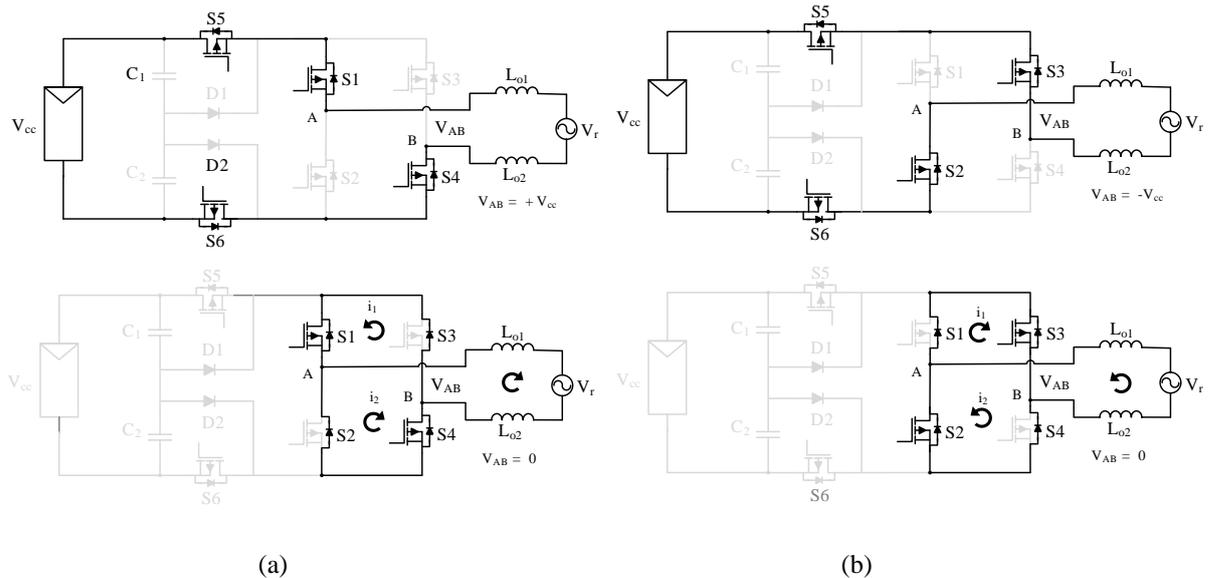
- I. As chaves S1, S4, S5 e S6 estão conduzindo e a tensão de saída V_{AB} é igual a $+V_{cc}$.
- II. As chaves S1 e S4 são mantidas conduzindo e S5 e S6 são bloqueadas. As chaves S2 e S3 são fechadas e a corrente passa a ter dois caminhos de circulação no momento de tensão nula. No primeiro caminho a corrente passa pela chave S1 e pelo diodo em antiparalelo da chave S3. O segundo caminho é pela chave S4 e pelo diodo em antiparalelo da chave S2.

Para o semiciclo negativo o conversor irá ter a seguintes etapas de operação:

- I. As chaves S2, S3, S5 e S6 estão conduzindo e a tensão de saída V_{AB} é igual a $-V_{cc}$.
- II. As chaves S2 e S3 são mantidas conduzindo e S5 e S6 são bloqueadas. As chaves S1 e S4 são fechadas e, da mesma forma que no semiciclo positivo, a corrente passa a ter dois caminhos de circulação no momento de tensão zero. No primeiro caminho a corrente passa pela chave S3 e pelo diodo em antiparalelo da chave S1. O segundo caminho é pela chave S2 e pelo diodo em antiparalelo da chave S4.

A principal desvantagem da topologia FB-DCBP é a necessidade quatro chaves em condução durante as etapas de tensão não-nula na saída e duas chaves e dois diodos em condução durante as etapas de roda-livre, apresentando maiores perdas por condução. As etapas de operação citadas à cima são mostradas na Figura 14.

Figura 14 – Etapas de comutação da topologia FB-DCBP: (a) Semiciclo Positivo e (b) Semiciclo Negativo.



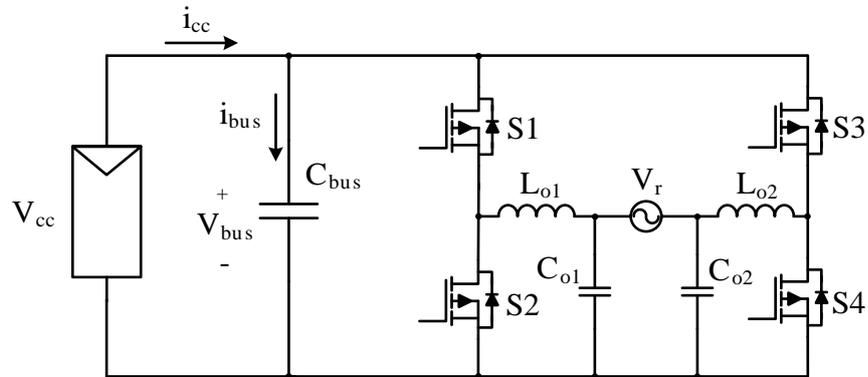
Fonte: Elaborada pelo autor.

2.4. Topologia Adotada para o Inversor

Com base nos trabalhos citados anteriormente, é proposto uma topologia de inversor monofásico de único estágio para módulos PV conectado à rede com redução da corrente de fuga utilizando apenas componentes passivos. O circuito esquemático do conversor proposto é apresentado na Figura 15.

Na busca por alternativa para mitigar a corrente de fuga em sistema PV conectados à rede sem transformadores, notou-se a preferência pela utilização de métodos ativos para dissociar ou o lado CC ou o lado CA do conversor no momento de tensão zero na saída. Neste caso, o acréscimo de chaves ativas, aumentam a complexidade da modulação e as perdas por condução. A topologia em questão foi proposta por (SERBAN, 2013) e tem como objetivo o desacoplamento do lado CA do conversor utilizando apenas dois capacitores conectados entre as saídas dos filtros indutivos e o ponto comum do inversor, formando dois filtros LC.

Figura 15 – Topologia de inversor monofásico adotada.



Fonte: Elaborada pelo autor.

A técnica passiva adotada nesta topologia implica no aumento do volume do conversor, entretanto, esta desvantagem é compensada pela menor complexidade na estratégia de modulação e por evitar perdas decorrente de chaves extras comutando em alta frequência.

2.5. Considerações Finais

Neste capítulo foi realizada uma revisão das principais características do sistema de conversão fotovoltaica. Primeiramente foram estudadas as configurações de sistemas PV conectados à rede elétrica relevantes ao tema, para em seguida fazer o levantamento das topologias de inversores monofásicos, existentes na literatura, fazendo uma avaliação dos pontos positivos e negativos de cada um destes. Dando ênfase em topologias que buscassem a redução da corrente de fuga proveniente das capacitâncias parasitas encontradas nos módulos PV.

Tendo em vista a revisão feita, é adotada uma topologia baseada na técnica de dissociação do lado CA no momento de tensão nula. Ao contrário dos métodos encontrado, esta topologia não utiliza nenhuma chave extra para realizar tal processo, desta forma, não há necessidade de mais sinais de modulação e evitar mais perdas por condução no inversor.

3. ANÁLISE DA TOPOLOGIA ADOTADA

3.1. Considerações Iniciais

Neste capítulo é realizada uma análise qualitativa e quantitativa do inversor monofásico com duplo filtro LC. Primeiramente é realizada uma análise das etapas de operação e as principais formas de ondas teóricas de corrente e tensão do conversor. Em seguida é descrita uma análise dos esforços de tensão e corrente nos componentes, apresentando as principais formas de onda de cada etapa de operação e as equações fundamentais que regem a topologia adotada.

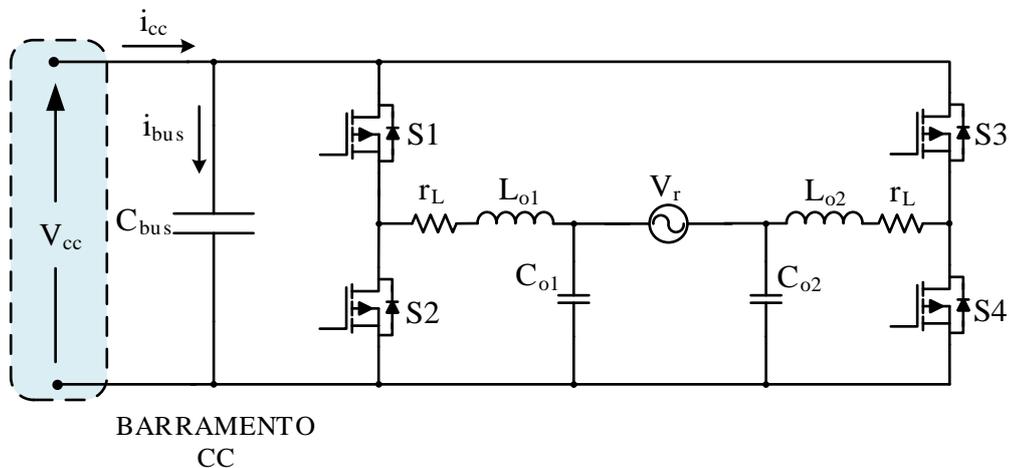
3.2. Análise Qualitativa

Nessa seção são apresentados a topologia e o princípio de operação da conversão CC-CA, assim como as principais formas de onda de corrente e tensão.

3.2.1. Topologia Adotada

A topologia apresentada na Figura 16 é composta pelos seguintes componentes: um Barramento CC para realizar a conexão entre os módulos PV e o inversor monofásico, quatro chaves S1-S4 e um filtro LC para cada braço. As chaves de S1, S2, S3 e S4 são controladas para controlar a tensão média do Barramento CC e a corrente injetada na rede.

Figura 16 – Inversor monofásico com duplo filtro LC de saída.



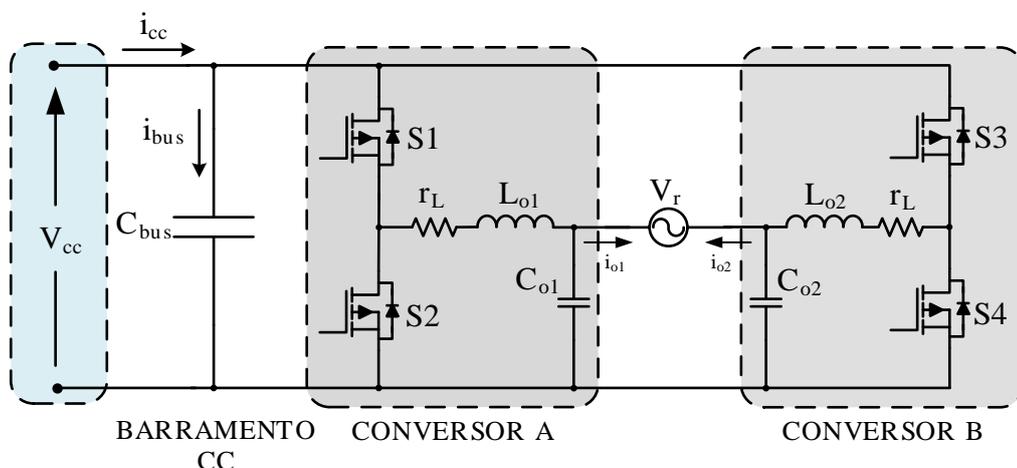
Fonte: Elaborada pelo autor.

3.2.2. Princípio de funcionamento

A estrutura de *full-bridge* apresentada é um inversor de tensão (*Voltage-Source Inverter – VSI*), incluindo dois capacitores de desacoplamento (C_{o1} e C_{o2}) conectados entre a saída do indutor de filtro e o ponto comum do inversor, como apresentado na Figura 16. Esta topologia foi inicialmente proposta por (SERBAN, 2013) para aplicações de microrredes, entretanto, o potencial desta configuração vai além do esperado para a operações em que se deseja conectar com a rede elétrica. Como sabemos, o *full-bridge* convencional não pode ser empregado em conexões com a rede sem o auxílio de transformadores ou alguma estratégia ativa (LEE et al., 2014; SONTI; JAIN; BHATTACHARYA, 2017; Z et al., 2012), utilizando modulação unipolar, pois a tensão para o terra oscila na frequência de chaveamento, gerando elevados níveis de corrente de fuga prejudicando o sistema. A adição dos dois capacitores, funcionam com uma etapa de desacoplamento dos módulos PV da rede durante o momento em que a tensão de saída é levada a zero, evitando a circulação de corrente de fuga do sistema.

O inversor agora seria interpretado com um inversor diferencial, ou seja, um inversor composto por dois conversores bidirecionais CC/CC para gerar uma única fase, seja *buck*, *boost* ou *buck-boost*. Como o objetivo deste trabalho é injetar na rede elétrica a partir de uma tensão na faixa dos $400V_{cc}$, o foco será dado na configuração com dois conversores *buck* para gerar uma tensão de saída $220V_{rms}/60Hz$. Na Figura 17 é apresentada a representação da topologia vista com dois conversores *buck* bidirecionais.

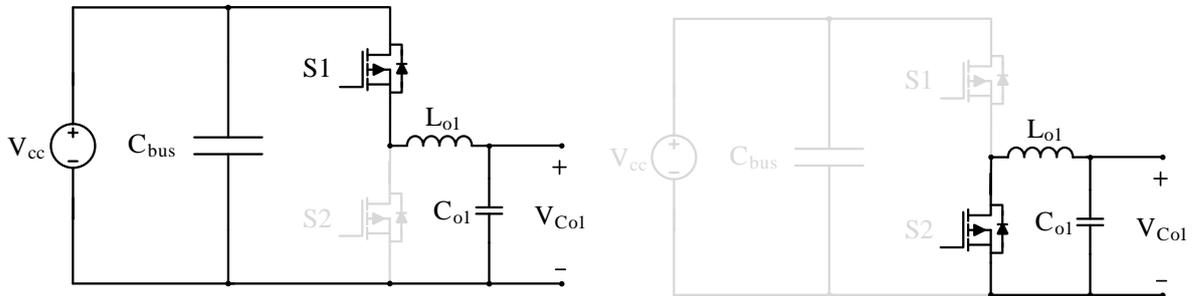
Figura 17 – Representação do inversor diferencial com dois conversores *buck* bidirecionais.



Fonte: Elaborada pelo autor.

Na Figura 18 serão descritas as etapas de operação do conversor CC-CC bidirecional funcionando com *buck* e na Figura 19 suas principais formas de onda.

Figura 18 – Etapas de operação do conversor CC-CC.



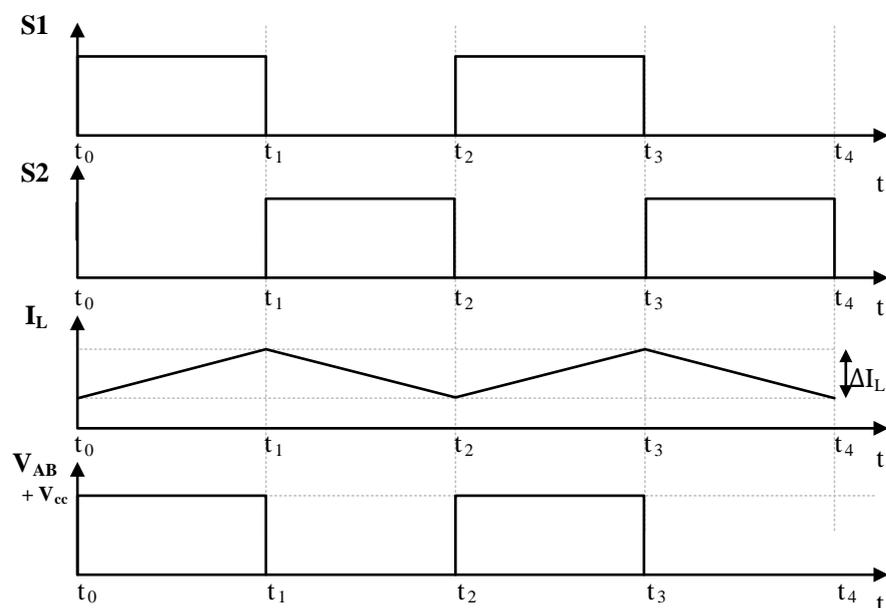
Fonte: Elaborada pelo autor.

Primeira Etapa ($t_0 \leq t \leq t_1$) – A chave S1 entra em condução e a S2 é bloqueada criando um caminho para a circulação de corrente entra a fonte CC e o indutor L_{o1} . A corrente do indutor passa a aumentar linearmente e a tensão do capacitor C_{o1} é submetida a tensão de entrada modulada.

Segunda Etapa ($t_1 \leq t \leq t_2$) – A chave S2 entra em condução e a S1 é bloqueada criando uma etapa de roda-livre. A corrente do indutor L_{o1} passa a decrescer linearmente e a tensão do capacitor C_{o1} é nula.

A Figura 19 apresenta a principais formas de onda teóricas de tensão e corrente citadas nas etapas descritas acima.

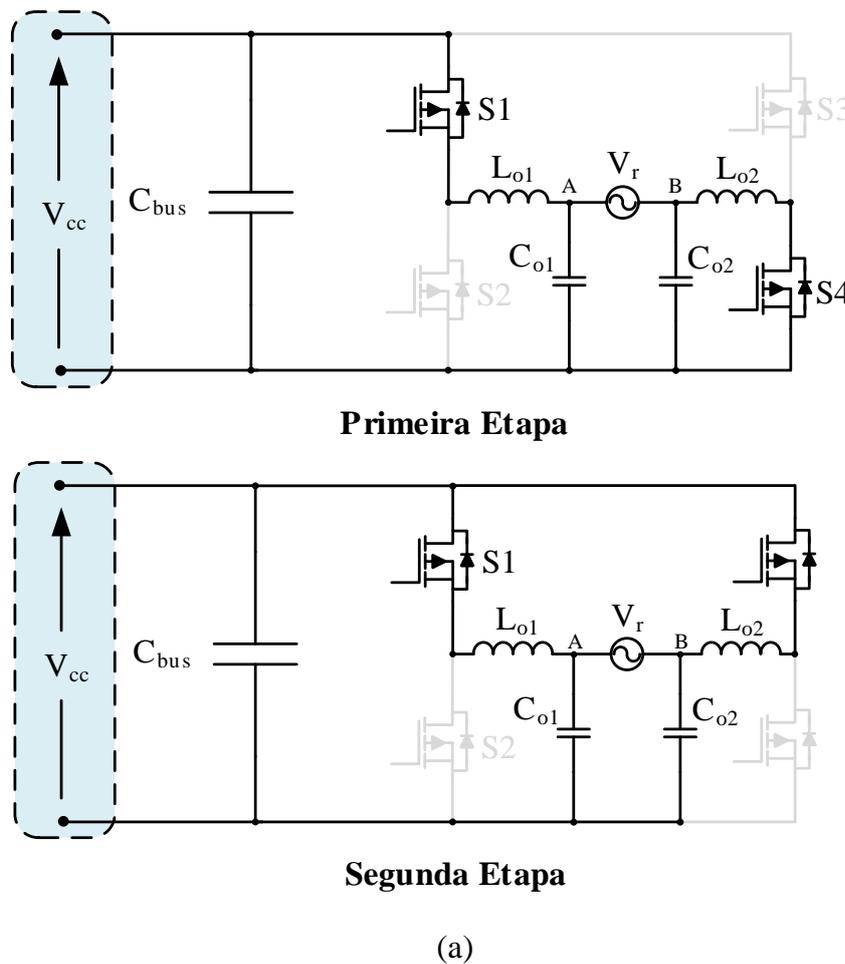
Figura 19 – Principais formas de onda do conversor CC-CC bidirecional.

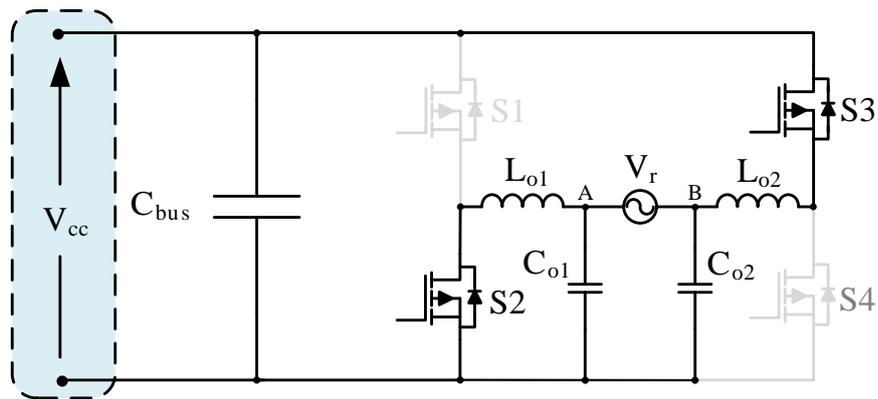


Fonte: Elaborada pelo autor.

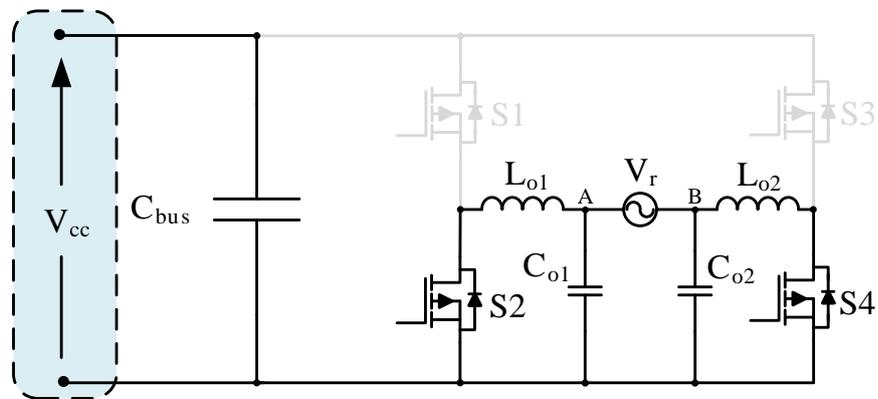
Considerando que a topologia apresentada na Figura 16 é composta por dois conversores simétricos, ou seja, os capacitores C_{o1} e C_{o2} são iguais, da mesma forma que os indutores L_{o1} e L_{o2} . Neste caso, a topologia irá se comportar de forma similar as topologias convencionais *full-bridge*. Nos itens a seguir serão descritas as etapas de operação para o inversor utilizando a modulação unipolar. Estas etapas compõem os dois semiciclos, positivo e negativo, de acordo com a tensão de saída. Na Figura 20 podem ser observadas cada etapa de operação da topologia operando com modulação PWM unipolar.

Figura 20 – Etapas de operação da topologia adotada com modulação unipolar: (a) Semiciclo Positivo e (b) Semiciclo Negativo.





Terceira Etapa



Quarta Etapa

(b)

Fonte: Elaborada pelo autor.

Primeira Etapa ($t_0 \leq t \leq t_1$) – A rede está no semiciclo positivo, as chaves S1 e S4 estão conduzindo e as chaves S2 e S3 estão bloqueadas. O circuito é alimentado durante este intervalo pelo capacitor do barramento CC representado por C_{bus} que se descarrega fornecendo energia para o filtro LC de cada braço. A tensão V_r é positiva e a corrente do indutor L_{o1} cresce linearmente enquanto a corrente do indutor L_{o2} decresce na mesma proporção.

Segunda Etapa ($t_1 \leq t \leq t_2$) – Ainda no semiciclo positivo, a chave S4 é bloqueada e S3 passa a conduzir. Neste momento os capacitores C_{o1} e C_{o2} irão funcionar como etapa de roda-livre, evitando a circulação de corrente de fuga na saída. A tensão V_r é igual à zero, uma vez que a tensão de saída é a diferença entre as tensões dos capacitores.

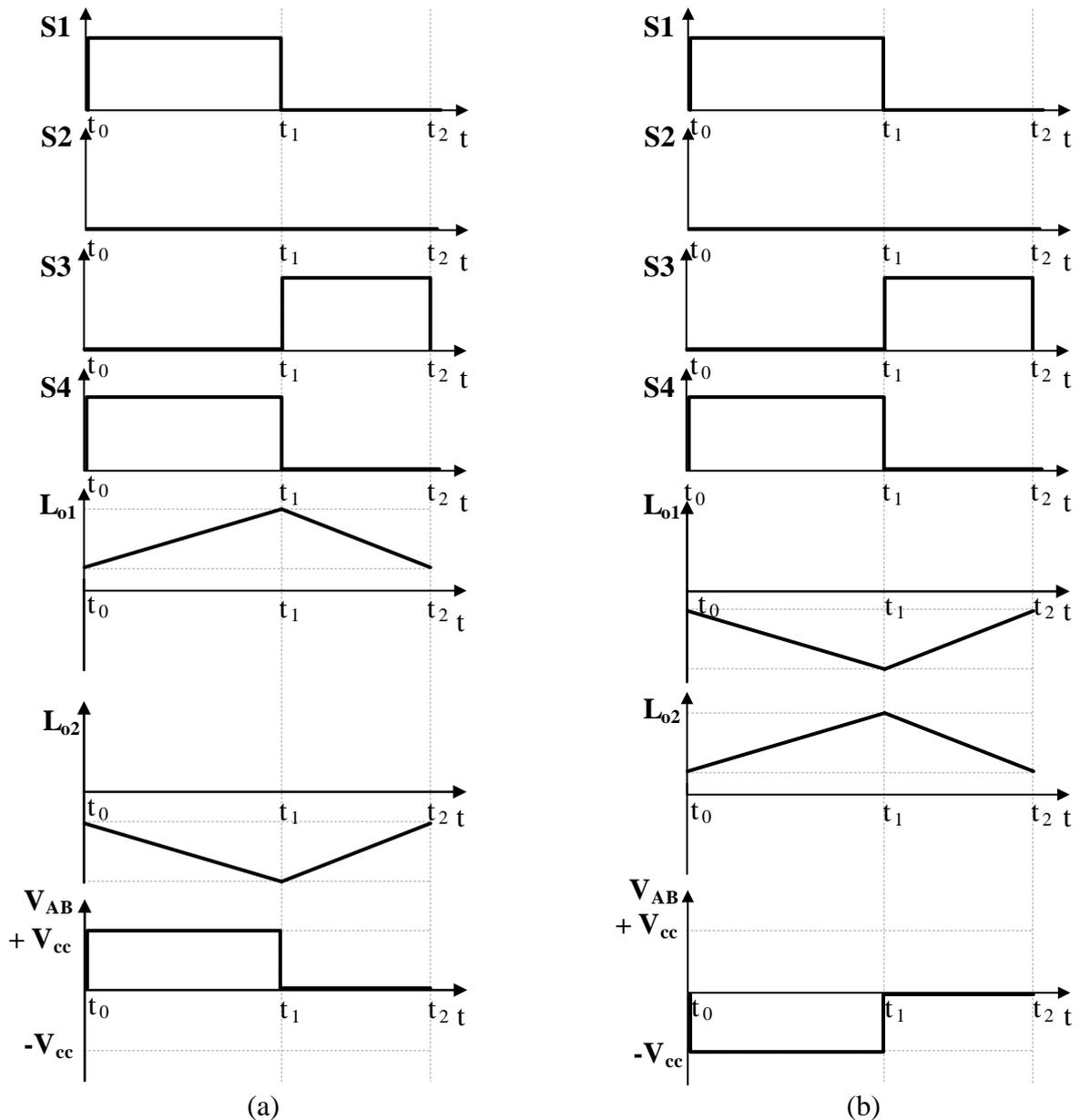
Terceira Etapa ($t_2 \leq t \leq t_3$) – A rede está no semiciclo negativo, as chaves S2 e S3 estão conduzindo e as chaves S1 e S4 estão bloqueadas, conectando a saída e o filtro LC ao barramento CC. A tensão V_r é negativa e a corrente do indutor L_{o1} decresce linearmente enquanto a corrente do indutor L_{o2} cresce na mesma proporção.

Quarta Etapa ($t_3 \leq t \leq t_4$) – Ainda no semiciclo negativo, a chave S3 é bloqueada e S4 passa a conduzir. A tensão V_r é igual à zero e os capacitores C_{o1} e C_{o2} formam uma etapa de roda-livre para a corrente, encerrando o ciclo para dar início ao novo semiciclo de rede.

3.2.3. Principais formas de onda

A Figura 21 apresenta as principais formas de onda teóricas de tensão e corrente nos diferentes elementos do inversor para o semiciclo positivo e negativo da tensão de saída. Para determinar estas formas de onda foram obtidas a partir das etapas de operação apresentadas acima.

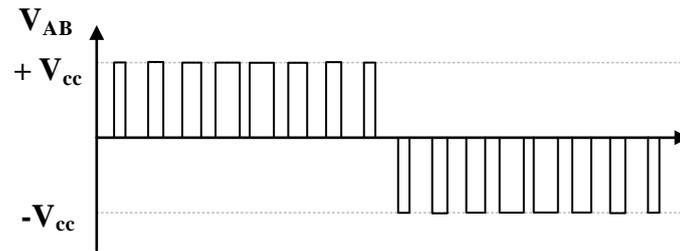
Figura 21 – Principais formas de onda teóricas: (a) Semiciclo Positivo e (b) Semiciclo Negativo.



Fonte: Elaborada pelo autor.

A forma de onda da tensão V_{AB} , que corresponde a entrada dos filtros LC de saída, pode ser vista na Figura 22. Podem ser observadas a presença dos três níveis de tensão que são gerados pela modulação PWM senoidal unipolar.

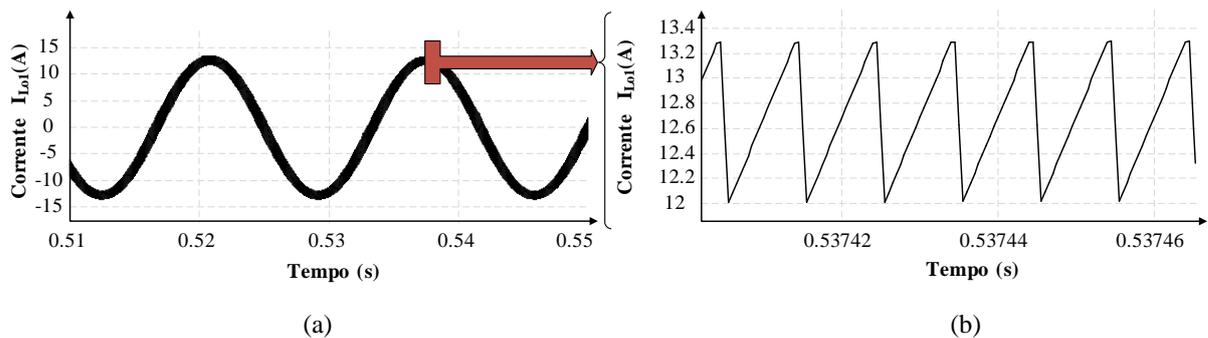
Figura 22 – Forma de onda da tensão V_{AB} .



Fonte: Elaborada pelo autor.

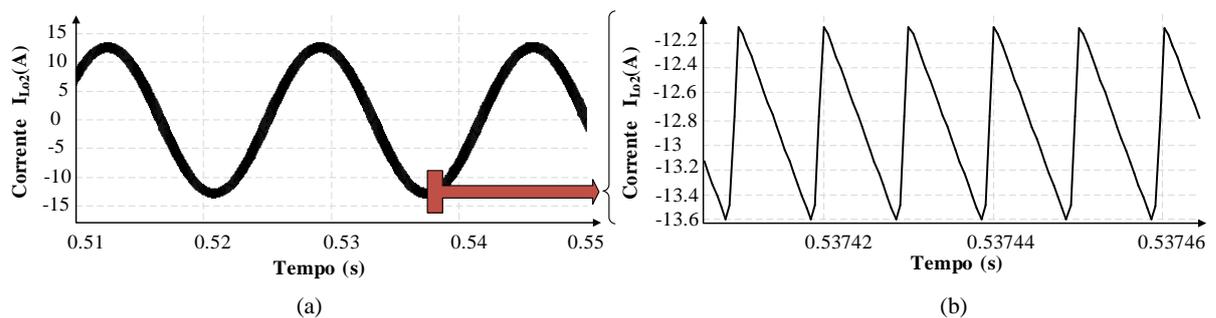
Nas Figura 23 e Figura 24 podem-se observar a atuação do filtro indutivo L_{o1} e L_{o2} , respectivamente, para um ciclo da rede.

Figura 23 – (a) Forma de onda da corrente no indutor L_{o1} e (b) Detalhe da corrente em L_{o1} .



Fonte: Elaborada pelo autor.

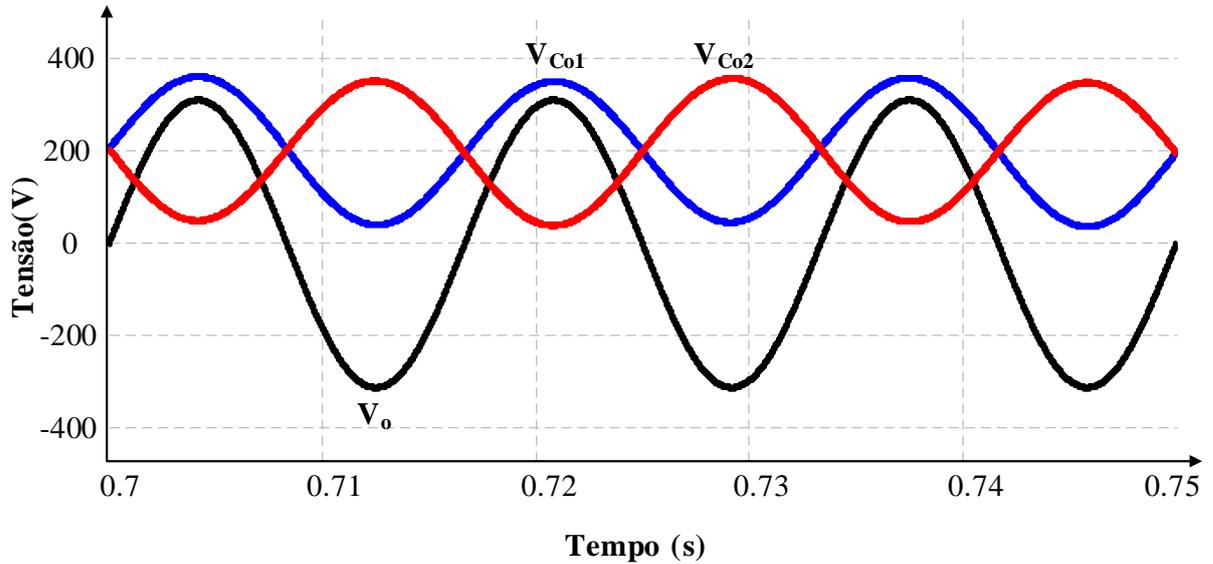
Figura 24 – (a) Forma de onda da corrente no indutor L_{o2} e (b) Detalhe da corrente em L_{o2} .



Fonte: Elaborada pelo autor.

Através da Figura 25 pode-se verificar que a tensão de saída V_o como relação das tensões dos capacitores de filtro C_{o1} e C_{o2} .

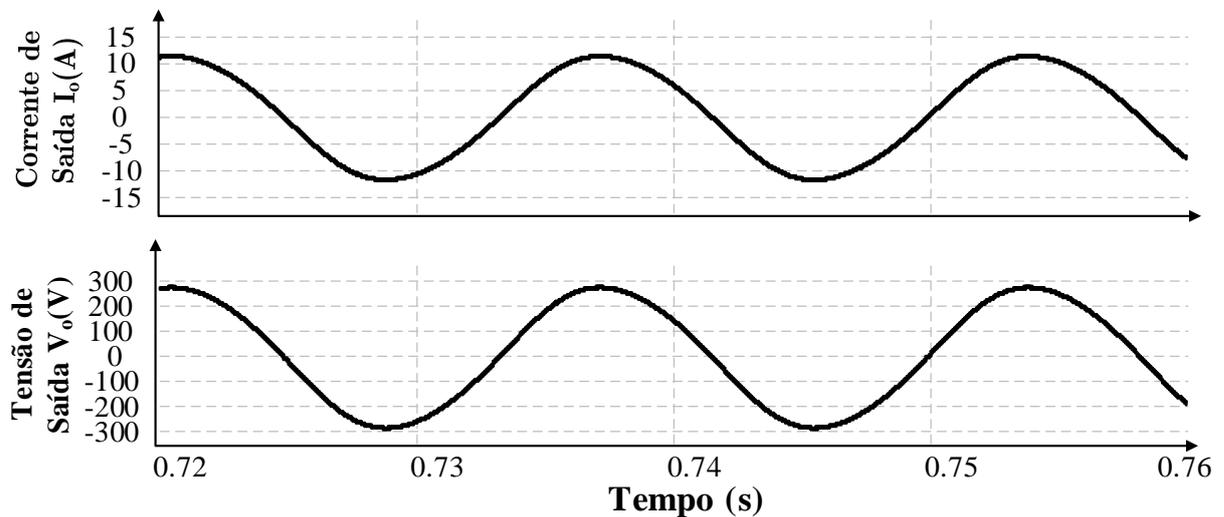
Figura 25 – Relação entre a tensão de saída V_o e tensão nos capacitores de filtro C_{o1} e C_{o2} .



Fonte: Elaborada pelo autor.

Na Figura 26 são apresentadas a tensão de saída e a corrente injetada após passar pelos filtros LC.

Figura 26 – Tensão e corrente de saída após os filtros LC.



Fonte: Elaborada pelo autor.

3.3. Análise Quantitativa

Na análise quantitativa são definidos os esforços de corrente e tensão nos componentes do conversor adotado, tendo como base as principais formas de onda apresentadas na seção anterior.

3.3.1. Análise do estágio de potência

Partindo do princípio que a topologia adotada é um inversor diferencial, há a necessidade uma referência de tensão para os capacitores C_{o1} e C_{o2} para equilibrar a energia nos lados CC e CA, como forme exposto em (GUO-RONG et al., 2013).

Para uma carga simétrica para cada braço do inversor, os dois capacitores serão considerados iguais ($C_{o1} = C_{o2} = C_o$). Para fins de simplificar o dimensionamento, as tensões sobre os indutores serão desconsideradas, sendo assim, a tensão de cada uma das saídas dos conversores e a sua tensão de saída combinada será, respectivamente:

$$V_{Co1} = \frac{V_{cc}}{2} + \frac{V_p}{2} \text{sen}(\omega t) \quad (3.1)$$

$$V_{Co2} = \frac{V_{cc}}{2} + \frac{V_p}{2} \text{sen}(\omega t + \pi) \quad (3.2)$$

$$V_o = V_{Co1} - V_{Co2} = V_p \text{sen}(\omega t) \quad (3.3)$$

Sendo V_{Co1} e V_{Co2} as tensões dos capacitores de filtro, V_p a tensão de pico de saída, ω a frequência da rede, e V_{cc} a tensão do barramento CC.

A amplitude da tensão de pico da senóide de saída é dada por uma relação com a tensão do barramento CC, chamado índice de modulação. Desta forma, o índice de modulação é calculado de acordo com a equação (3.4).

$$M_a = \frac{\sqrt{2} V_{RMS}}{V_{cc}} \quad (3.4)$$

Sendo M_a o índice de modulação e V_{RMS} o valor eficaz da saída do inversor.

A razão de modulação calculada em (3.5) é a relação entre a frequência de chaveamento com a da rede. Este índice deve ser superior a 100, pois dará uma folga na escolha da frequência de corte (f_c) dos controladores, que deve estar uma década acima da frequência da tensão de saída e uma década abaixo da frequência de comutação das chaves.

$$M_f = \frac{f_s}{f_r} \quad (3.5)$$

Sendo M_f a razão de modulação, f_s a frequência de chaveamento e f_r a frequência da rede.

Considerando um sistema ideal, a máxima tensão que serão aplicadas as chaves ($V_{Smáx}$) de inversor *full-bridge* será a própria tensão de barramento CC (V_{cc}), como mostrada em (3.6).

$$V_{Smáx} = V_{cc} \quad (3.6)$$

Como apresentado na seção anterior, a corrente de saída do filtro LC do inversor *full-bridge* tem uma característica senoidal com ondulação na frequência de chaveamento. Durante as etapas de condução as chaves S1 e S4, ou S2 e S3, estarão conduzindo diretamente esta corrente. Assim, como exposto em (SILVA, 2007), é recomendado dimensionar as chaves pelo valor de pico da componente fundamental da corrente de saída ($I_{o \text{ pico}}$), e que por ser senoidal, é dada por:

$$I_{o \text{ pico}} = \frac{\sqrt{2}P_o}{V_{rms}} \quad (3.7)$$

Utilizando a equação da capacitância, que relaciona a energia com a diferença de potencial, a equação da energia total armazenada no capacitor pode ser escrita como:

$$E_r = \frac{1}{2}CV_{máx}^2 - \frac{1}{2}CV_{min}^2 \approx CV_{cc}\Delta V_{cc} \quad (3.8)$$

Sendo a energia transferida pelo sistema a cada ciclo da rede dada por:

$$E_T = \frac{P_o}{\omega} \quad (3.9)$$

Desta forma, pelas equações (3.8) e (3.9), temos que a capacitância requerida pelo barramento para transferir toda a energia do sistema sem nenhum tipo de compensação é dada por:

$$C_{bus} = \frac{P_o}{2\pi f_r V_{cc} \Delta V_{cc}} \quad (3.10)$$

Sendo P_o a potência de saída, f_r a frequência da rede e ΔV_{cc} a variação de tensão no barramento CC.

3.3.2. Dimensionamento dos filtros LC de saída

Os parâmetros C e L do filtro harmônico passivo sintonizado são calculados para que o sistema apresente uma alta admitância para a componente harmônica da corrente a ser filtrada, proporcionando para carga uma senóide com o mínimo de distorção possível. De

acordo com a norma (ABNT NBR, 2013), que são estabelecidos os critérios da interface de conexão de sistemas PV com a rede elétrica de distribuição, a distorção harmônica (THD) total de corrente deve ser inferior a 5% em relação à corrente fundamental. Na Tabela 1 são apresentados alguns limites para cada harmônico individual também estabelecidos nesta norma.

Tabela 1 – Limite de distorção harmônica de corrente.

Harmônicas Ímpares	Limite de distorção
3° a 9°	< 4,0%
11° a 15°	< 2,0%
17° a 21°	< 1,5%
23° a 33°	< 0,6%
Harmônicas Pares	Limite de distorção
2° a 8°	< 1,0%
10° a 32°	< 0,5%

Fonte: Adaptada de (ABNT NBR, 2013).

Desta forma, o filtro utilizado na saída do inversor tem a função de passa-baixa, ou seja, o mesmo deve impedir que as frequências acima da frequência de corte passe pela carga. Utilizando a metodologia apresentada em (HANJU; TRUNG-KIEN, 2010), a indutância total do filtro pode ser calculada considerando a ondulação de corrente máxima no período de comutação T_s . Assumindo que o sistema tem fator de potência unitário e a modulação PWM é unipolar, temos que:

$$L_o = \frac{V_{cc}}{4I_L \Delta I_L f_s} (1 - M_a) M_a \quad (3.11)$$

Sendo I_L a corrente que passa pelos indutores de saída, ΔI_L a máxima ondulação de corrente desejada em porcentagem e f_s a frequência de chaveamento (Hz).

A capacitância do filtro de saída C_o pode ser determinada considerando a potência reativa absorvida no capacitor de filtro da seguinte forma:

$$C_o = \frac{Q}{\omega_0 V_{RMS}^2} = \frac{\alpha P}{\omega_0 V_{RMS}^2} \quad (3.12)$$

Sendo Q a potência reativa, P a potência total, α a porcentagem de potência absorvida pelo filtro capacitivo e ω_0 a frequência fundamental de saída (rad/s).

Quanto maior a capacitância, maior será a potência reativa que irá fluir no capacitor e a demanda de corrente no indutor e nas chaves. Por conseguinte, a eficiência do sistema irá abaixar. Uma escolha correta do filtro LC de saída é de grande importância para eficiência do inversor, desta forma, deve ser projetado com bastante atenção.

Tem-se que a frequência de corte do filtro LC é dada pela equação (3.13).

$$f_c = \frac{1}{2\pi\sqrt{LC}} \quad (3.13)$$

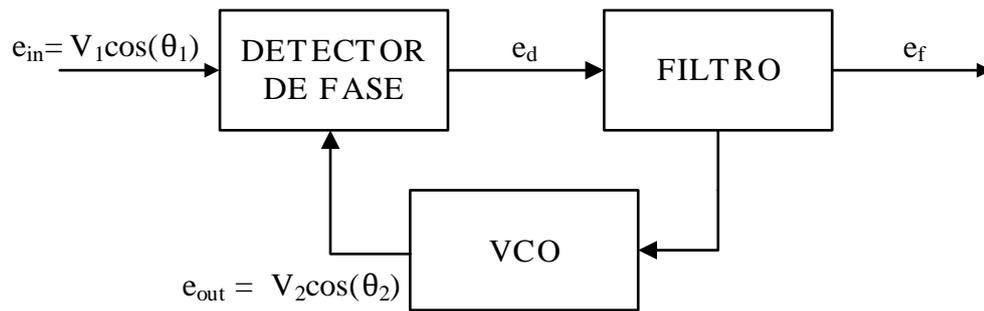
3.4. Sincronismo com a Rede Elétrica

Ao se injetar ou absorver energia da rede, uma informação de grande importância para o sistema é o conhecimento da frequência (f_r) e do ângulo de fase (θ). Estas informações podem ser utilizadas para o controle, geração de sinais de um sistema conectado à rede ou até em sistemas de proteção, como na detecção do modo de ilhamento. A sincronização geralmente é realizada por um sistema em malha fechada denominado por Malha de Captura de Fase ou *Phase Locked Loop* (PLL). Este sistema é constituído por um sinal de realimentação que sincroniza a frequência instantânea do sinal de saída com a frequência instantânea do sinal de entrada (BOLZIN, 2014).

3.4.1. *Phase Locked Loop* (PLL)

Um sistema PLL consiste, basicamente, em uma malha de controle cujo objetivo é sintetizar um sinal senoidal, geralmente de amplitude unitária, com uma frequência sincronizada com frequência fundamental do sinal de entrada. A fase do sinal de saída é controlada de tal forma que o erro em relação a referência seja mínimo (GOMES, 2007). De acordo com a Figura 27, pode-se verificar que estrutura básica de uma malha PLL é composta por basicamente três etapas: um detector de fase, um filtro passa-baixa e um oscilador controlado por tensão (*Voltage Controlled Oscillator* – VCO).

Figura 27 – Modelo simplificado de uma malha PLL.



Fonte: Elaborada pelo autor.

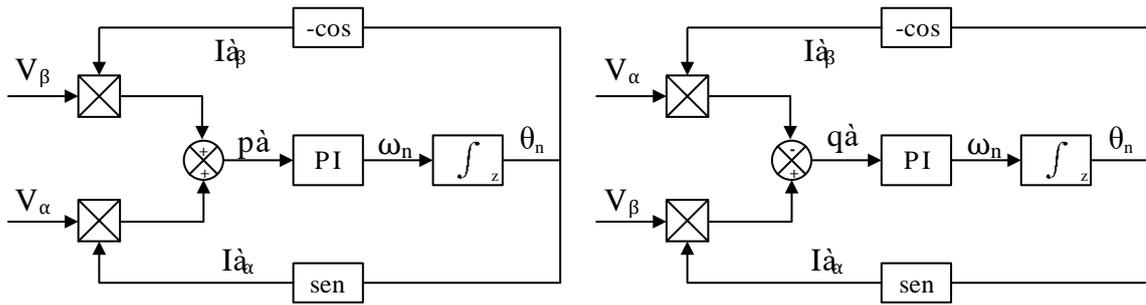
A função do bloco de detecção de fase é comparar o sinal de entrada senoidal com a senóide de realimentação. A saída do detector de fase é proporcional à diferença de fase entre o sinal de entrada e o sinal realimentado. Se houver uma diferença nas frequências dos dois sinais, o erro de fase será crescente e a saída do detector de fase refletirá isso. Esta saída depois passará por um filtro passa-baixa onde são removidas as perturbações indesejáveis que possam afetar o comportamento do controlador VCO. A função do oscilador controlado por tensão (VCO) é sintonizar a frequência de realimentação até esta seja idêntica à frequência de entrada e efetuar a síntese do sinal senoidal.

Na literatura apresenta inúmeras técnicas de PLL que derivam da estrutura apresentada na Figura 27. Neste trabalho será abordada a técnica baseada na teoria das potências real e imaginária instantâneas (PQ-PLL).

3.4.2. Sistema de sincronismo PQ-PLL

Este conceito de PLL é baseado na teoria de potência instantânea proposta por (WATANABE et al., 1993). Na Figura 28(a) mostra a estrutura em diagrama de blocos do sistema de sincronismo denominado p-PLL, enquanto na Figura 28(b) mostra o q-PLL.

Figura 28 – Configuração de PLL: (a) p-PLL e (b) q-PLL.



Fonte: Elaborada pelo autor.

Nestas duas figuras, as tensões V_α e V_β correspondem a transformada de Clarke das tensões de um sistema trifásico, como mostrado a seguir:

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (3.14)$$

Como apresentado na Este conceito de PLL é baseado na teoria de potência instantânea proposta por (WATANABE et al., 1993). Na Figura 28(a) mostra a estrutura em diagrama de blocos do sistema de sincronismo denominado p-PLL, enquanto na Figura 28(b) mostra o q-PLL.

Figura 28, este método se baseia na criação de duas potências fictícias, potência real instantânea (p-PLL) ou potência imaginária instantânea (q-PLL), a partir do produto de duas correntes também fictícias, I'_α e I'_β . Estas duas correntes são variáveis auxiliares e seus produtos são dados por:

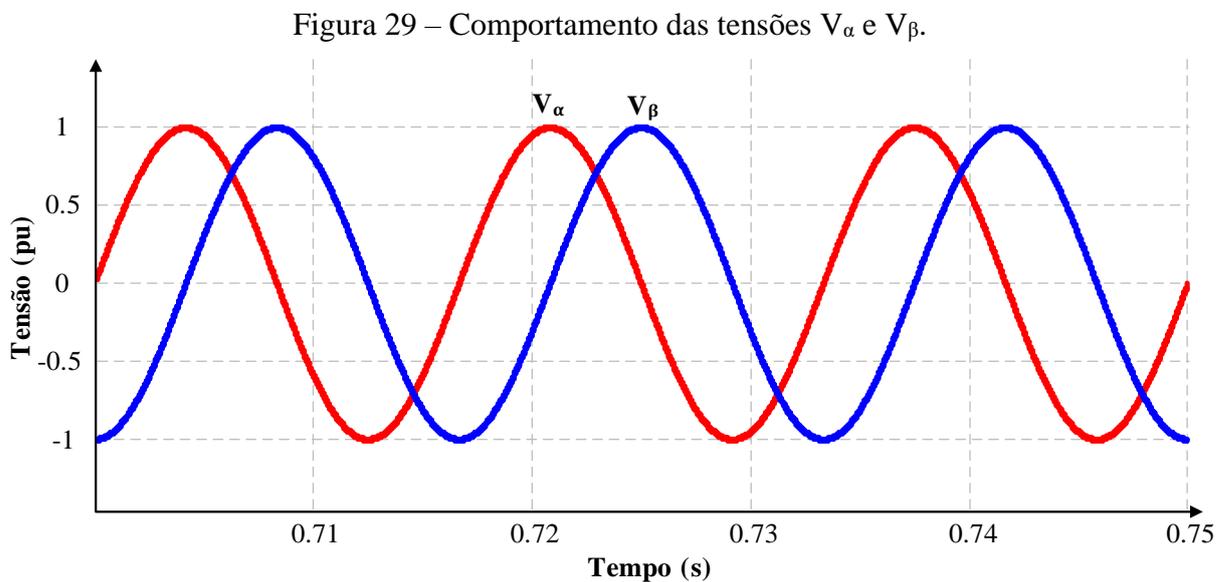
$$\begin{bmatrix} p' \\ q' \end{bmatrix} = \begin{bmatrix} V_\alpha & V_\beta \\ V_\beta & -V_\alpha \end{bmatrix} \begin{bmatrix} I'_\alpha \\ I'_\beta \end{bmatrix} \quad (3.15)$$

Dependendo da configuração adotada, o sinal de saída pode apresentar defasagens em relação ao sinal de entrada.

Na configuração q-PLL o sinal de saída está sincronizado em fase e em frequência com a componente fundamental da tensão de entrada, por este motivo será a configuração adotada neste trabalho

. O sistema adotado é bastante robusto, podendo rejeitar altos níveis de ruídos e de harmônicos presentes na rede elétrica.

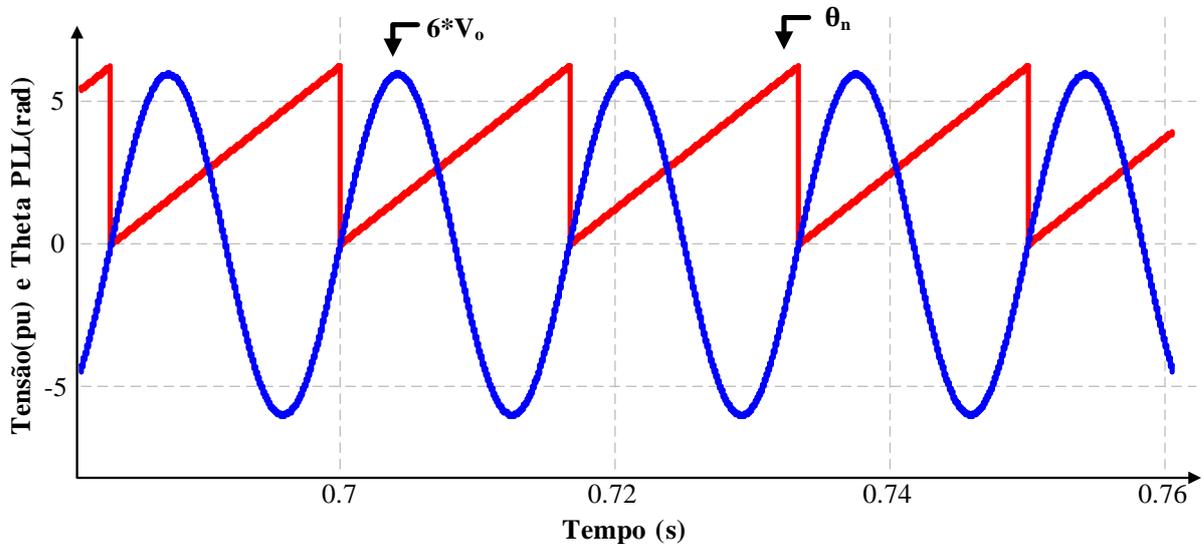
A transformada de Clarke dada pela equação (3.14) leva a um sistema de tensões e correntes trifásicas para um sistema bifásico com duas variáveis ortogonais entre si. Desta forma, para a utilização desta configuração de PLL em um sistema monofásico é necessário usar algum artifício para gerar as variáveis α e β defasadas de 90° . A alternativa adotada em (SANTOS, H. A., 2014) consiste em fazer com que a tensão V_α seja igual a tensão fase-neutro da rede, e obter V_β a partir de uma defasagem de um quarto do período de V_α . Assim, temos que as tensões V_α e V_β se comportam como apresentado na Figura 29.



Fonte: Elaborada pelo autor.

O bloco integrador do PLL tem a opção de reset, cujo objetivo é zerar o resultado da integração ω_n quando gerar um ângulo de sincronismo θ_n variável entre 0 e 2π rad. Este ângulo então estará em sincronismo com o sinal de referência fornecido ao controlador q-PLL, como mostrado na Figura 30.

Figura 30 – Ângulo θ_n em sincronismo com sinal de referência V_{in} .



Fonte: Elaborada pelo autor.

3.5. Proposta de Filtro Ativo para Redução das Ondulações de Baixa Frequência

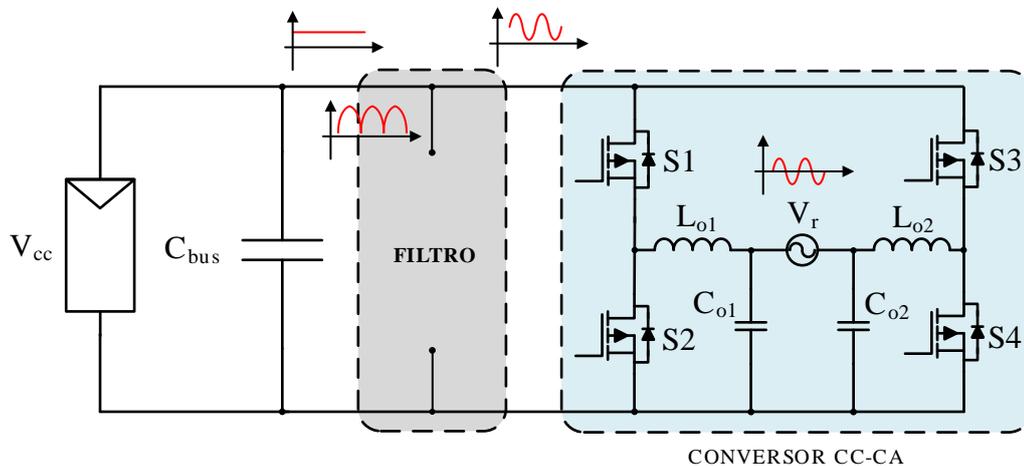
Como mencionado no capítulo 2, em sistemas com estágio CC-CA, uma ondulação de corrente de baixa frequência com o dobro da frequência de saída aparece no barramento CC. Para conter a ondulação e desacoplar o inversor dos módulos fotovoltaicos, a técnica convencional para redução das ondulações de baixa frequência é apenas aumentar o capacitor do barramento. Este processo tende a estender de forma exponencial o tamanho do capacitor de barramento.

Como a tendência do mercado está na produção de sistemas mais compactos, ou seja, com densidade de potência cada vez mais elevadas, a necessidade desses bancos capacitivos bastante elevados acaba sendo um entrave neste processo. Além disso, outros fatores, como custo e vida útil do sistema, estão diretamente conectados a estes componentes. Nos sistemas de geração fotovoltaica, por exemplo, o maior limitante da vida útil do inversor são capacitores eletrolíticos do barramento CC, como já foi citado neste trabalho.

Pensando nisso, nesta seção são abordadas estratégias para realizar a filtragem das ondulações em baixa proveniente do inversor monofásico. Primeiramente, são apresentados os principais conceitos de filtragem ativa e passiva, e depois são apresentadas duas configurações de filtro ativo utilizando um conversor *half-bridge*. Por último, é adota uma topologia que será implementada neste trabalho.

3.5.1. Estratégias de redução das ondulações de baixa frequência

Figura 31 – Topologia adotada com a inserção da etapa de filtragem.



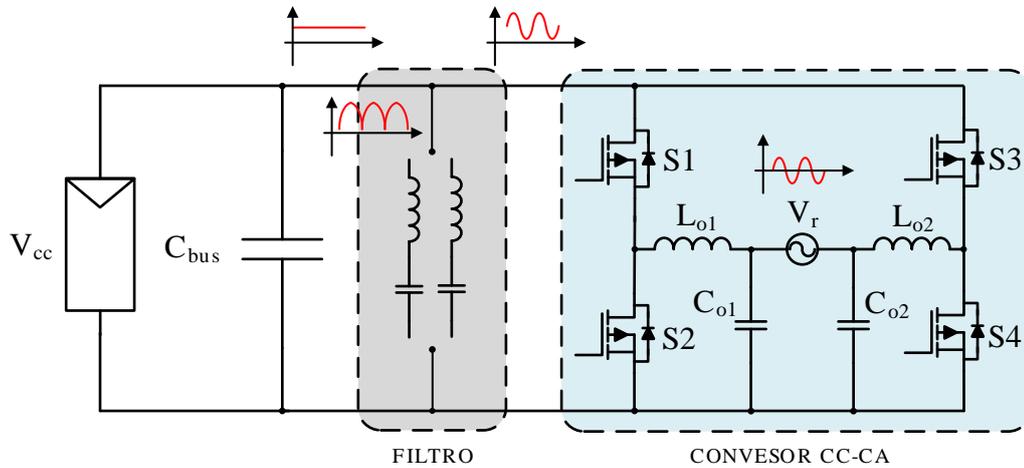
Fonte: Elaborada pelo autor.

Na Figura 31 é apresentada a nova estrutura do conversor com a inserção de uma etapa de filtragem. São estudadas nesta seção estruturas de circuitos capazes de mitigar o problema das ondulações de baixa frequência proveniente da conversão CC-CA. O método mais simples e mais utilizado consiste no bloqueio desta ondulação a partir do aumento da impedância entre o inversor e o módulo PV, justamente, o sobredimensionamento da capacitância do barramento CC mencionado anteriormente. A outra alternativa consiste na criação de um caminho para circular a energia reativa responsável por estas oscilações. Esta aplicação pode ser implementada de forma passiva, com a inserção apenas de capacitores e indutores, ou de forma ativa, através de circuitos controlados (NOVAES, 2006).

A solução clássica de filtragem passiva tem como base o uso de filtro sintonizados conectados em paralelo a fonte de alimentação. A configuração típica de filtro passivo é mostrada na Figura 32. Este método consiste em células de LC série sintonizados próximos as frequências que se deseja eliminar.

Como esta é uma solução passiva, na presença de não-linearidades na carga, implica na necessidade da utilização de vários filtros sintonizados em cada componente que se deseja retirar. A presença de distorções diferentes das contempladas no projeto pode ter um efeito muito danoso para o sistema, pois podem surgir elevadas corrente circulando pelos filtros sintonizados, no momento que a impedância é mínima (POMILIO, 2013). Além disso, o aumento da quantidade de filtros pode aumentar a complexidade para realização do controle e reduzir a densidade de potência, com o aumento do volume do protótipo.

Figura 32 – Topologia adotada com a inserção da etapa de filtragem passiva.



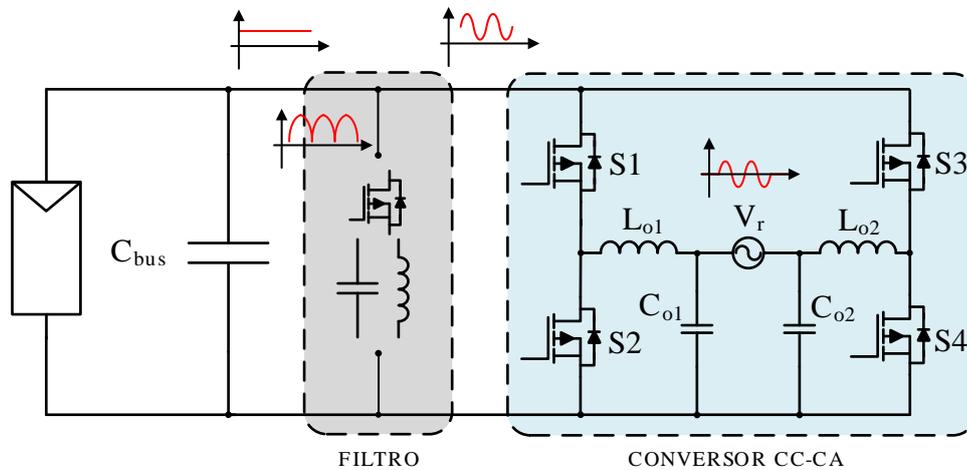
Fonte: Elaborada pelo autor.

O princípio dos filtros ativos tem como base a utilização da flexibilidade dos conversores CC-CC, que tem a capacidade de sintetizar correntes ou tensões de acordo com a referência requerida. Desta forma, o conversor direciona as componentes alternadas de corrente (ou tensão) que deseja compensar para a sua saída.

Na Figura 33 é apresentada a estrutura do conversor com a inserção de uma etapa de filtragem ativa. Nesta configuração, o filtro é composto por um conversor PWM controlado para lidar com tais ondulações.

De acordo com os fatores mencionados anteriormente, as técnicas de filtragem ativa vêm gradualmente tomando o lugar das abordagens passivas como melhor método de controle das ondulações. Em geral, existem várias abordagens da compensação ativa das ondulações de baixa frequência em inversores monofásicos, neste trabalho serão abordadas duas estratégias baseadas na inserção de um conversor bidirecional *half-bridge*. Um deles é o método de injeção de corrente, e o outro é o método de compensação por tensão.

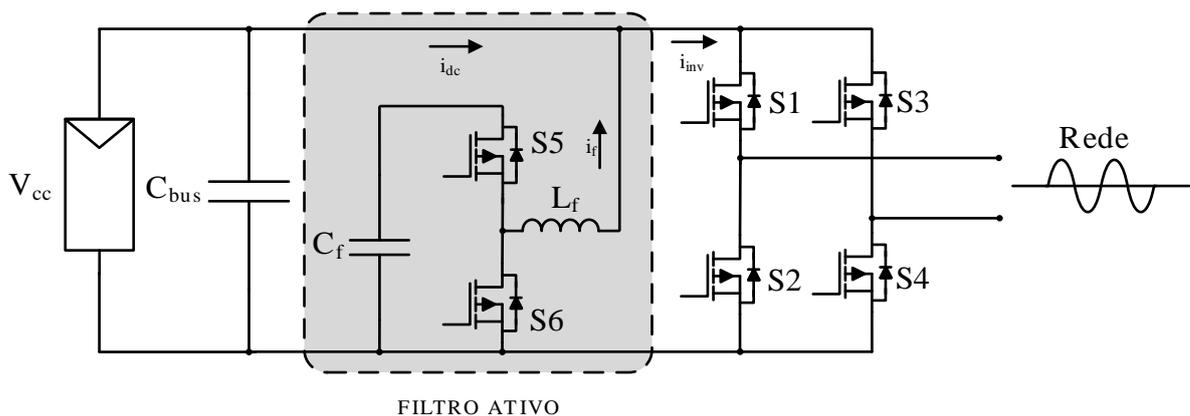
Figura 33 – Topologia adotada com a inserção da etapa de filtragem ativa.



Fonte: Elaborada pelo autor.

O primeiro método proposto por (WEN et al., 2014) se concentra em diminuir a ondulação de potência utilizando o circuito auxiliar para injetar corrente ondulada no barramento CC. Esta corrente tem o objetivo de contrabalancear a ondulação de potência indesejada no sistema.

Figura 34 – Inversor monofásico com filtro de compensação de corrente.



Fonte: Elaborada pelo autor.

Conforme apresentado em (DIAS et al., 2015), a corrente do barramento i_{dc} pode ser obtida com uma relação entre a corrente do inversor i_{inv} e a corrente injetada pelo filtro i_f , como apresenta na equação (3.1).

$$i_{dc}(t) = i_{inv}(t) + i_f(t) \quad (3.1)$$

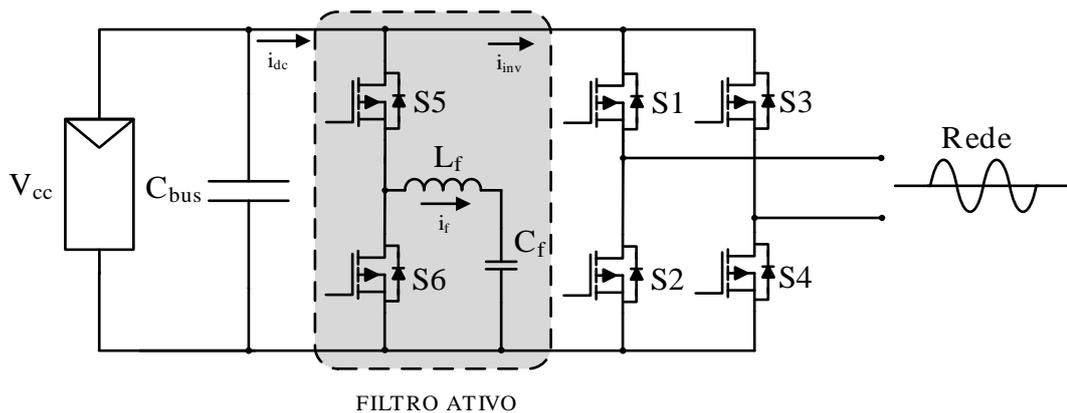
$$i_{dc}(t) = I_{inv} \left[1 - \text{sen}(2\omega t + \phi'_i) \right] + I_f \cos(2\omega t + \phi_v) \quad (3.2)$$

Para conseguir injetar a corrente necessária para compensar tal ondulação, a tensão no capacitor de filtro C_f atinge valores superiores a tensão do barramento CC. Portanto, nesta configuração, os componentes do filtro são submetidos à esforços bem mais elevados, o que acaba sendo uma desvantagem desta topologia.

Na Figura 35 é apresentada uma topologia similar à anterior, entretanto, esta procura compensar as ondulações de baixa frequência a partir de uma compensação na tensão. O circuito auxiliar, neste caso, é configurado para retirar do sistema apenas a componente parasita da tensão que está circulando entre a fonte CC e o inversor. Como o circuito auxiliar é inserido no mesmo barramento da alimentação, os componentes do filtro estarão submetidos ao mesmo potencial do inversor, ou contrário da topologia da Figura 34.

O princípio funcionamento desta topologia é bastante promissor e será fonte de estudo neste trabalho, sendo inserido como etapa de filtragem da topologia adotada. Na secção posterior é apresentado o princípio de funcionamento desta configuração.

Figura 35 – Inversor monofásico com filtro de compensação de tensão.



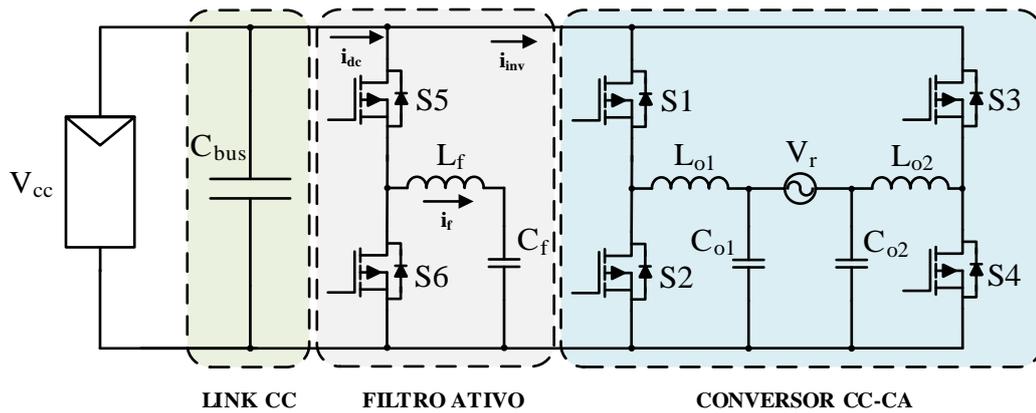
Fonte: Elaborada pelo autor.

3.5.2. Princípio de Funcionamento do Filtro Ativo

Apresentada em (RUXI et al., 2011), a topologia mostrada na Figura 35 propõe um conversor bidirecional como circuito auxiliar para armazenar a ondulação de potência, podendo

reduzir a capacitância de armazenamento de energia do conversor e assim, obter um aumento da densidade de potência do sistema. Na Figura 36 é mostrada a topologia de conversor monofásico para módulos PV que será implementada neste trabalho.

Figura 36 – Topologia completa do conversor.



Fonte: Elaborada pelo autor.

3.5.2.1. Análise da Energia no Capacitor de Filtro

Para o filtro ativo atuar, primeiramente deve ser quantificada a energia reativa que circula entre a inversor e fonte CC. Sabendo desta informação, o controle do circuito auxiliar deve fazer com que esta energia seja direcionada para o capacitor de saída do filtro C_f , conforme apresentado em (RUXI et al., 2011). Pela equação (2.1), uma vez que, a corrente e a tensão de saída do inversor conectada à rede são tanto senoidais e em fase, a potência proveniente das ondulações de baixa frequência pode ser expressa com:

$$P_{inv} = P_{o_pico} \text{sen}(2\omega t) \quad (3.3)$$

Analisando a energia total no capacitor apresentada em (3.4), encontra-se a relação para a tensão V_{Cf} no capacitor de filtro, dada em (3.5).

$$P_{inv} = \frac{1}{2} C_f \frac{dV_{Cf}^2}{dt} \quad (3.4)$$

$$\frac{dV_{Cf}^2}{dt} = \frac{2P_{o_pico} \text{sen}(2\omega t)}{C_f} \quad (3.5)$$

Resolvendo a equação diferencial (3.5), é obtida a seguinte equação para tensão do capacitor de filtro C_f :

$$V_{C_f} = \sqrt{\frac{P_{o_pico}}{C_f \omega}} (k - \cos(2\omega t)) \quad (3.6)$$

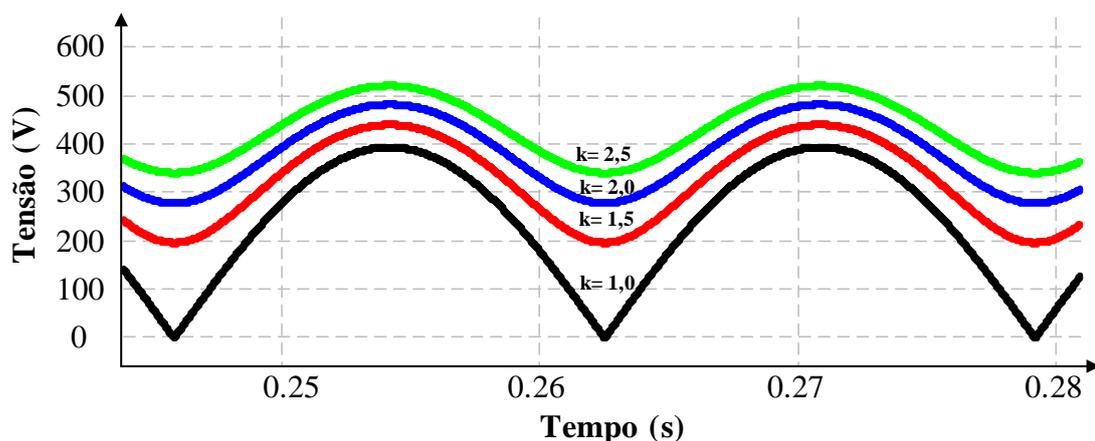
com $k = (V_{C_f}^2 C_f \omega / P_{o_pico}) - 1$, $k \geq 1$.

Sendo o coeficiente k definido de forma que o máximo de energia seja armazenada no capacitor, obtendo um melhor aproveitamento do componente e minimizando os esforços ao qual é submetido.

Quando $k = 1$, a máxima energia armazenada no capacitor é igual a ondulação de energia, o que significa que o capacitor está totalmente carregado e descarregado. Quanto maior o valor do coeficiente k , menor será a ondulação de tensão a qual o capacitor será submetido e menor será o aproveitamento do mesmo, necessitando de capacitância mais elevada para realizar a mesma troca de energia.

Na Figura 37 é mostrado o comportamento da energia armazenada no sistema para diferentes valores de k , considerando um capacitor de $68\mu\text{F}$. Quando maior o valor de k , mais senoidal é a ondulação com o dobro da frequência da rede presente no barramento CC.

Figura 37 – Ondulação de baixa frequência na tensão do capacitor.



Fonte: Elaborada pelo autor.

Pela equação (3.10), temos que no projeto convencional do capacitor de barramento, a ondulação de tensão tem que absorver potência do sistema, necessitando de um capacitância muito elevada. Se considerarmos um carregamento e descarregamento completo

do capacitor auxiliar utilizando o método ativo, seguindo a equação (3.6) para um valor de k igual a 1, uma capacitância bem menor seria necessária para realizar a troca de energia.

Com a atuação do filtro ativo, o barramento CC não tem que lidar com variações da tensão de entrada, ou seja, a tensão do barramento se mantém constante em V_{cc} . Desta forma, a capacitância necessária para esta nova operação pode ser calculada pela equação (3.7).

$$C_{bus} = \frac{2P_o}{\omega_o V_{cc}^2} \quad (3.7)$$

3.5.2.2. Análise do Circuito

Considerando que as chaves S5 e S6 operam de modo complementar, o circuito proposto tem dois estados de operação.

Primeira Etapa: A chave S5 está conduzindo e a chave S6 está bloqueada. As equações (3.8) e (3.9) descrevem a operação do circuito nesse primeira etapa.

$$\frac{di_f}{dt} = -\frac{r_L}{L_f} i_f + \frac{v_{Cf}}{L_f} - \frac{v_{bus}}{L_f} \quad (3.8)$$

$$\frac{dv_{Cf}}{dt} = \frac{i_f}{C_f} \quad (3.9)$$

Sendo r_L a resistência intrínseca do indutor L_f .

Segunda Etapa: A chave S5 está bloqueada e a chave S6 está conduzindo. As equações (3.10) e (3.11) descrevem a operação do circuito na segunda etapa.

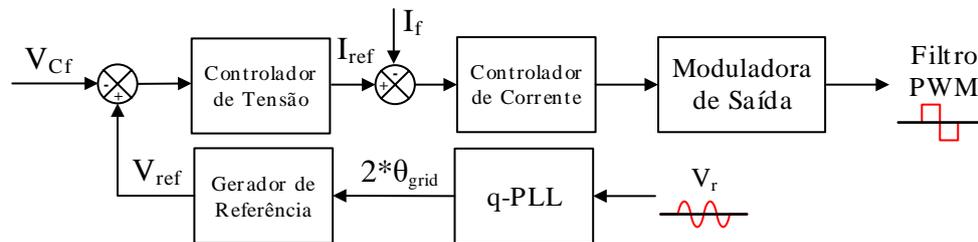
$$\frac{di_f}{dt} = -\frac{r_L}{L_f} i_f + \frac{v_{Cf}}{L_f} \quad (3.10)$$

$$\frac{dv_{Cf}}{dt} = \frac{i_f}{C_f} \quad (3.11)$$

3.5.2.3. Estratégia de Controle

A estratégia de controle adotada consiste em uma malha interna mais rápida para controlar a corrente no indutor L_f variando a razão cíclica em conjunto com uma malha mais lenta de tensão para ajustar a referência de corrente, com base na variação da tensão do capacitor C_f . A estratégia de controle para o filtro ativo é apresentada na Figura 38.

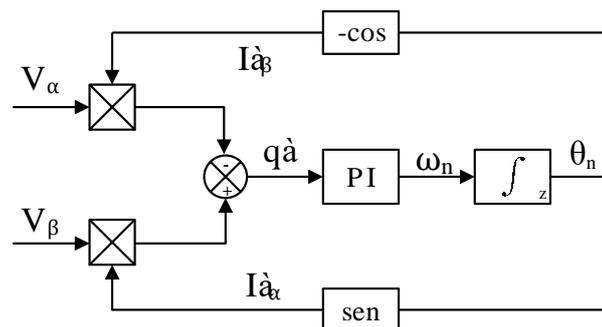
Figura 38 – Estratégia de controle para o filtro ativo.



Fonte: Elaborada pelo autor.

1) Bloco PLL: Este bloco consiste em um *Phase Locked Loop* (PLL) do tipo q, mostrado na Figura 39, sincronizado com o dobro da frequência da rede (120Hz). Esse bloco retornar um valor de θ é usado para cálculo da referência de tensão do controlador de tensão.

Figura 39 – Circuito q-PLL do filtro ativo.



Fonte: Elaborada pelo autor.

2) Gerador de Referência: Este bloco gera a tensão de referência para o controle de tensão a partir do valor de θ obtido pelo bloco PLL, de acordo com a equação (3.6).

3) Controlador de Tensão: Este bloco consiste em um controlador Proporcional Integral (PI) para controlar a tensão no capacitor de filtro V_{Cf} a partir da variação da corrente no indutor de filtro I_f .

4) Controlador de corrente: Este bloco consiste em um controlador Proporcional Integral (PI) para controlar a corrente no indutor de filtro I_f a partir da variação do ciclo de trabalho d , gerando o sinal para que irá para o modulador PWM.

3.6. Considerações Finais

Nesse capítulo foi realizada uma análise qualitativa e quantitativa da topologia de inversor monofásico adotada. Todos os esforços de tensão e corrente nos principais componentes do inversor foram determinados, bem como a análise dos filtros LC de saída que serão adotados. Também foi realizada uma análise do método de sincronismos em malha fechada *Phase Locked Loop* (PLL) e escolhida a estratégia de sincronismo q-PLL para ser implementada neste trabalho. Por último, foi proposta a inserção de uma etapa de filtragem para retirar as ondulações de baixa frequência provenientes da conversão CC-CA. Foi adotada uma configuração baseada em um *half-bridge*, que tem o objetivo proporcionar um caminho para a circulação desta oscilação parasita e com isso reduzir o volume do capacitor do barramento CC.

4. PROJETO DO CONVERSOR ADOTADO

4.1. Considerações Iniciais

Neste capítulo é apresentado o projeto do conversor adotado. As especificações e considerações de projeto são apresentadas afim de quantificar os esforços de corrente e tensão nos componentes do conversor. Definindo os esforços é possível definir capacitores, indutores, chaves e drivers que compõem o sistema.

4.2. Especificações e Considerações de Projeto do Conversor

As especificações e considerações para o projeto do conversor são apresentadas na Tabela 2.

Tabela 2 – Especificações e considerações para o projeto do inversor.

Especificações	Valor
Potência de saída	$P_o = 2 kW$
Tensão no Barramento CC	$V_{cc} = 400V$
Tensão eficaz da rede	$V_{orms} = 220V$
Tensão de pico da rede	$V_{opico} = 311V$
Frequência da rede	$f_r = 60 \pm 0,3 Hz$
Ondulação máxima aceitável no Barramento CC	$\Delta V_{cc} = 2\%V_{cc}$
Frequência de chaveamento	$f_s = 100 kHz$
Ondulação de corrente de saída (indutor da rede)	$\Delta I_L = 5\%$
Rendimento (η)	$> 95\%$
THD da corrente de saída	$< 5\%$
THD da tensão de saída	$< 5\%$
Ondulação da corrente de entrada	$< 20\%$
Ondulação da tensão de entrada	$< 3\%$

Fonte: Elaborada pelo autor.

O valor máximo da corrente injetada na rede é dado por:

$$I_{o\ pico} = \frac{\sqrt{2}P_o}{V_{orms}} = 12,86 A \quad (4.1)$$

O índice de modulação que relaciona a tensão de entrada com a tensão no barramento CC é calculado a partir de (3.4). Substituindo os valores, tem-se:

$$M_a = \frac{311}{400} = 0,778 \quad (4.2)$$

A corrente máxima no filtro ativo é dada por:

$$I_{Lf} = \frac{2 \cdot P_o}{V_{cc}} = 10 A \quad (4.3)$$

4.2.1. Dimensionamento das chaves

Os esforços de tensão e corrente nas chaves da topologia adotada já foram explanados no capítulo anterior. A partir da equação (3.6), temos que a tensão nominal aplicada em cada chave será dada pela equação (4.4).

$$V_s = V_{cc} = 400V \quad (4.4)$$

Entretanto, considerando a tensão de entrada pode estar sujeita a sobressinais durante transitórios e variações na fonte de alimentação, será considerada um fator de correção de 20% no cálculo da tensão aplicada nas chaves do inversor. Portanto, a tensão máxima em cada chave do conversor é dada pela equação (4.5).

$$V_s = (1+0,2) \cdot V_{cc} = 480V \quad (4.5)$$

Da mesma forma, a maior corrente à qual o conversor será submetido é a corrente do inversor. Segundo a equação (3.7), esta corrente é igual a corrente de pico da saída. Considerando que a corrente no indutor pode variar 5%, de acordo com a Tabela 2, a corrente máxima que irá circular pelas chaves é dada pela equação (4.6).

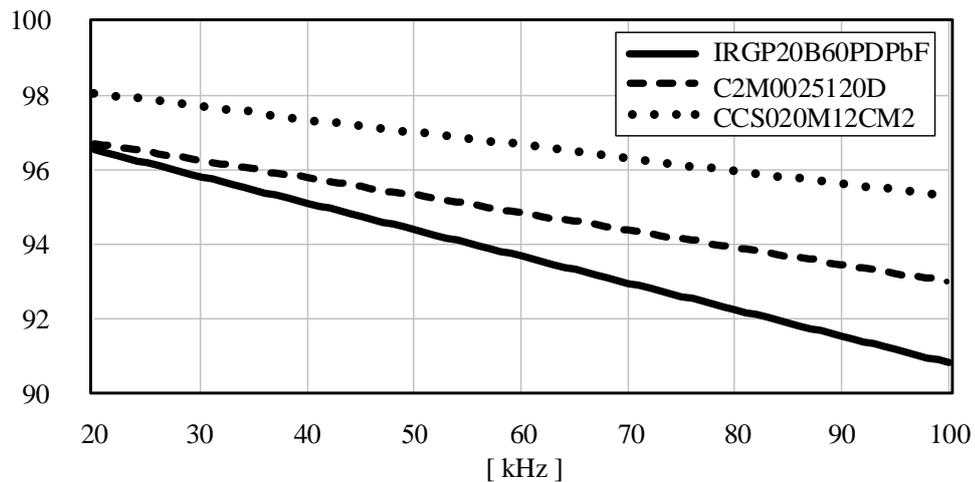
$$I_{smáx} = (1+0,05) \cdot I_{o\ pico} = 13,499 A \quad (4.6)$$

Como intuito deste trabalho é desenvolver um inversor monofásico com alta densidade de potência, optou-se por elevar a frequência de chaveamento do inversor, o que implica em uma redução nos magnéticos do sistema. Entretanto, para frequências mais elevadas, a eficiência do conversor tende a abaixar.

Pensando nisso, buscou-se semicondutores com menores perda possível. Na pesquisa realizada por (OLIVEIRA; ALMEIDA, 2015) foram analisados alguns IGBTs de Si e de SiC, dentre eles, destacaram-se três componentes analisado: IGBT IRGP20B60PDPbF (da *International Rectifier*), SiC C2M0025120D e o Módulo SiC CCS020M12CM2 (três braços de SiC MOSFET), ambos fabricados pela CREE. A Figura 40 apresenta uma análise entre a eficiência e a frequência de chaveamento para estes três componentes.

Pela Figura 40 tem-se que o Módulo SiC CCS020M12CM2 apresentam melhor eficiência para todas a faixa de frequência analisada, sendo escolhida para ser utilizada neste projeto. Para a frequência de 100kHz, o módulo mostra um rendimento de acima de 95% e as principais especificações do módulo são apresentadas na Tabela 3. Como os braços das chaves estão sob o mesmo potencial é possível a utilização deste módulo para o inversor e o filtro ativo.

Figura 40 – Curva de eficiência x frequência de chaveamento.



Fonte: (OLIVEIRA; ALMEIDA, 2015).

Tabela 3 – Especificações do Módulo SiC CCS020M12CM2.

Especificações	Valor
Tensão dreno-source	$V_{(BR)DS} = 1,2kV$
Corrente contínua no dreno (90°C)	$I_D = 20A$
Corrente pulsada no dreno	$I_{D(pulse)} = 80A$
Corrente contínua no diodo (90°C)	$I_F = 27A$
Resistência dreno-source durante a condução	$R_{DS_{on}} = 80m\Omega$
Tempo de subida da corrente do dreno	$t_{D_{on}} = 10ns$
Tempo de descida da corrente do dreno	$t_{D_{off}} = 22,4ns$

Fonte: Elaborada pelo autor.

4.2.2. Cálculo das Perdas nas Chaves

A potência dissipada nas chaves pode ser dividida em três partes: potência dissipada durante o bloqueio P_B , potência dissipada durante a condução P_C e potência dissipada durante o chaveamento P_S (INFINEON, 2006; LIRIO, 2013), conforme apresentado na equação (4.7).

$$P_{SW} = P_B + P_C + P_S \quad (4.7)$$

Geralmente a potência dissipada durante o bloqueio normalmente é desprezada e a equação (4.7) passa a ser definida como:

$$P_{SW} = P_C + P_S \quad (4.8)$$

A potência dissipada por condução corresponde ser calculada a partir da resistência R_{DSon} , fornecida pelo fabricante do componente, e pela corrente que irá passar pelos terminais D e S da chave em questão, conforme apresentada na equação (4.9).

$$P_C = R_{DSon} \cdot I_{DS}^2 \quad (4.9)$$

Para a chave adota, temos um R_{DSon} igual a $80 \text{ m}\Omega$ e a corrente há a presença de duas correntes I_{DS} , a do inversor e do filtro ativo, assim temos:

$$P_{Cinv} = 0,08 \cdot \left(\frac{13,499}{\sqrt{2}} \right)^2 = 7,289 \text{ W} \quad (4.10)$$

$$P_{Cfiltro} = 0,08 \cdot I_{fmed}^2 = 7 \text{ W} \quad (4.11)$$

A potência dissipada no chaveamento pode ser subdividida em duas: potência dissipada no intervalo que a chave é ligada P_{SON} e potência dissipada no intervalo que a chave é dissipada P_{SOFF} , sendo descrita por:

$$P_S = P_{Son} + P_{Soff} \quad (4.12)$$

$$P_S = (E_{on} + E_{off}) f_s = \frac{(t_{on} + t_{off})}{6} V_o I_{DS} f_s \quad (4.13)$$

Para t_{on} igual 10 ns e t_{off} igual a $22,4 \text{ ns}$, temos que a potência dissipada no chaveamento é dada por:

$$P_S = P_{Sinv} + P_{Sfiltro} = 1,134 + 1,527 = 2,661 \text{ W} \quad (4.14)$$

Portanto, as perdas totais nas chaves do conversor são dadas pelo somatório das potências dissipadas em todos os componentes, conforme apresentada na equação (4.15).

$$P_{SW} = 4 \cdot (7,289 + 1,134) + 2 \cdot (7 + 1,527) = 50,746 \text{ W} \quad (4.15)$$

4.2.3. Projeto do filtro de saída do Inversor

Como já foi dito, os filtros LC de saída tem como objetivo retirar do sistema as componentes diferentes da fundamental da corrente que se deseja injetar. A configuração de filtro utilizado é um passa-baixa, ou seja, rejeita todas as componentes superiores a frequência de corte.

Primeiramente, utilizando a equação (3.11) e considerando a ondulação máxima nos indutores de saída como sendo 5% do valor de pico da corrente injetada, o valor de indutância adotado é dado de acordo com a equação (4.16).

$$L_o = \frac{V_{cc}}{4I_L \Delta I_L f_s} (1 - M_a) M_a \rightarrow L_o = 270 \mu H \quad (4.16)$$

O capacitor de filtro pode ser calculado a partir da energia reativa que se deseja tirar do sistema. Considerando $\alpha = 1\%$, temos que a capacitância do filtro LC de saída utilizando a equação (3.12) é dada por:

$$C_o = \frac{0,01 \cdot 2000}{2\pi \cdot 60 \cdot 220^2} = 1,096 \mu F \quad (4.17)$$

Para este projeto foi adotado o valor comercial de 1,5 μF para cada capacitor de filtro. Os dados do capacitor são apresentados na Tabela 4.

Tabela 4 – Dados do capacitor dos filtros de saída.

Especificações	Valor
Tipo	Filme
Fabricante	EPCOS/TDK
Código	B32654A6155K
Capacitância nominal	$C_o = 1,5 \mu F$
Regime de tensão CA	$250 V_{CA}$
Regime de tensão CC	$630 V_{CC}$

Fonte: Elaborada pelo autor.

No caso deste projeto, a frequência fundamental de saída é a própria frequência da rede (60Hz) e a frequência de chaveamento adotada é de 100 kHz. Segundo (MARTHINS; BARBI, 2008), a frequência de corte (f_{cLC}) deve ficar uma década abaixo da frequência de chaveamento (f_s) e ser no mínimo trinta vezes maior a frequência da componente fundamental da tensão de saída. Pelos valores de L e C encontrados, utilizando a equação (3.13), a frequência de corte (f_{cLC}) está em torno de 8 kHz. Satisfazendo as condições ideais para este tipo de filtro.

Na Tabela 5 mostra os valores adotados para os componentes dos filtros LC de saída.

Tabela 5 – Valores adotados para os filtros LC de saída.

Especificações	Valor
Indutor do conversor 01	$L_{o1} = 270 \mu H$

Indutor do conversor 02	$L_{o2} = 270\mu H$
Capacitor conversor 01	$C_{o1} = 1,5\mu F$
Capacitor conversor 02	$C_{o2} = 1,5\mu F$

Fonte: Elaborada pelo autor.

4.2.4. Projeto do barramento CC

A principal preocupação no dimensionamento do barramento CC é definir uma capacitância que proporcione uma tensão CC mais pura possível, ou seja, com o mínimo de ondulação. Nos projetos convencionais do barramento CC, costuma-se sobredimensionar os capacitores de forma que a tensão fique com uma menor oscilando possível em torno do valor nominal da tensão de entrada. Pela equação (3.10), temos que a ondulação de tensão tem que absorver potência do sistema. Pelos valores especificados neste projeto, para se obter uma ondulação máxima de 2% no barramento CC seria necessária uma capacitância de 1,7 mF.

Como já mencionado no capítulo 2, estas ondulações são provenientes da conversão CC-CA que acaba transferindo uma componente com o dobro da frequência para o lado CC. Inicialmente será definido um barramento CC que não sofre a influência desta componente de baixa frequência, ou seja, a tensão do barramento se mantém constante em V_{cc} . Desta forma, a nova capacitância pode ser projetada conforme apresentada na equação (4.18).

$$C_{bus} = \frac{2P_o}{\omega_o V_{cc}^2} \quad (4.18)$$

Considerando os parâmetros de projeto, a capacitância necessária para transferir esta energia é de 66,3 μ F, valor 25 vezes menor que o encontrado anteriormente. No entanto, para essa nova capacitância, a tensão do barramento irá apresentar uma ondulação bastante elevada em torno de V_{cc} .

Inicialmente serão adotados dois capacitores de 150 μ F em paralelo para suportar a corrente nominal de entrada, os dados destes capacitores são mostrados na Tabela 6. Apesar de não ser o valor ideal, a capacitância utilizada no barramento CC poderá mostrar a influência da componente de baixa frequência proveniente do conversor CC-CA.

Tabela 6 – Dados dos capacitores do barramento CC.

Especificações	Valor
Tipo	Eletrolítico

Fabricante	EPCOS/TKD
Código	B43504A5337M
Capacitância nominal	$C_{bus} = 2 \times 150 \mu F$
Regime de tensão CC	$450 V_{CC}$
Resistência típica	$ESR = 580 m\Omega$

Fonte: Elaborada pelo autor.

4.2.5. Projeto do LC do Filtro Ativo

Considerando uma variação de tensão do barramento CC de 2% do valor nominal, tem-se que o valor de tensão máximo e mínimo são dados por:

$$V_{C_{máx}} = V_{cc} + \frac{\Delta V_{cc}}{2} = 404 V \quad (4.19)$$

$$V_{C_{mín}} = V_{cc} - \frac{\Delta V_{cc}}{2} = 396 V \quad (4.20)$$

Sendo o capacitor calculado pelo método convencional de 1,6 mF, a energia armazenada no capacitor é definida por:

$$\Delta W_{120Hz} = \frac{1}{2} \cdot C \cdot (V_{C_{máx}}^2 - V_{C_{mín}}^2) = 5,305 J \quad (4.21)$$

O capacitor de filtro necessário para processar a energia parasita pode ser calculado como:

$$C_f = \frac{2 \cdot \Delta W_{120Hz}}{V_{cc}^2} = 66,315 \mu F \quad (4.22)$$

A indutância do filtro de saída é definida como:

$$L_f = \frac{\frac{1}{4} \cdot V_{cc}}{2 \cdot \Delta I_L \cdot I_{Lf}} = 200 \mu H \quad (4.23)$$

4.3. Projeto dos Magnéticos

Nessa seção são apresentados os projetos dos magnéticos dos filtros de saída, L_{o1} e L_{o2} , e do indutor do filtro ativo L_{of} . Inicialmente são definidos os núcleos, os tamanhos dos condutores, a quantidade de condutores em paralelo e números de espiras para cada magnético do conversor. No final da seção, é feita a modelagem das perdas em cada magnético.

4.3.1. Projeto dos Magnéticos dos Filtros de Saída

Figura 41 – Núcleo toroidal utilizado.



Fonte: (MAGMATTEC, 2015).

Pela elevada frequência de chaveamento adotada (100kHz), existe a preocupação com a densidade de potência e perdas nos magnéticos, assim optou-se por utilizar um núcleo toroidal de pó de ferro. Este tipo de núcleo é indicado para aplicações de médias e altas frequências, e atinge elevada indutância em relação ao tamanho que ocupa. Pela aplicação foi escolhido um núcleo toroidal de pó de ferro da empresa Magmattec, os dados do núcleo e as especificações do projeto do magnético são apresentados na Tabela 7.

Tabela 7 – Dados de projeto do indutor de saída.

Especificações	Valor
Indutância	$L_o = 270\mu H$
Corrente de pico	$I_{opico} = 12,86A$
Corrente eficaz	$I_{ef} = 9,095A$
Ondulação de corrente	$\Delta I = 0,643A$
Frequência de ondulação	$f_s = 100kHz$
Tipo de núcleo	Toroidal
Fabricante	Magmattec
Material	34
Produto	MMT034T7713
AL [nH/esp²]	50
Densidade de fluxo	$B_m = 1,1T$

Elevação de temperatura

$T_{rise} = 25^{\circ}C$

Fonte: Elaborada pelo autor.

O valor máximo de corrente através dos enrolamentos do indutor de saída L_o é obtido pela equação (4.24).

$$I_{m\acute{a}x} = I_{opico} + \frac{\Delta I}{2} = 13,183A \quad (4.24)$$

Considerando um condutor de cobre trabalhando com uma densidade de corrente J_c de 450 A/cm^2 , a área de condutor necessária para a corrente de projeto é dada por:

$$A_{wB} = \frac{I_{ef}}{J_c} = 20,21 \times 10^{-3} \text{ cm}^2 \quad (4.25)$$

Para o projeto, o condutor adotado foi o AWG 22. Os dados deste condutor foram obtidos a partir de (MCLYMAN, 2011) e apresentados na Tabela 8.

Tabela 8 – Dados do condutor AWG 22.

Especificações	Valor
Área do condutor (sem isolamento)	$A_{wB} = 4,116 \times 10^{-3} \text{ cm}^2$
Área do condutor (com isolamento)	$A_{wBe} = 4,837 \times 10^{-3} \text{ cm}^2$
Resistência	$R_{fcm} = 418,9 \mu\Omega/cm$

Fonte: Elaborada pelo autor.

Com base na área de condutor necessária para a condução de corrente e na área do condutor do condutor escolhido, o número de condutores em paralelos necessários é dado por:

$$n_{cond} = \frac{A_{wB}}{A_{wBe}} \rightarrow 5 \text{ condutores} \quad (4.26)$$

Na Tabela 9 são apresentados os dados do núcleo toroidal de pó de ferro adotado neste projeto.

Tabela 9 – Dados do núcleo MMT034T7713 da Magmattec.

Especificações	Valor
Área da seção transversal do magnético	$A_c = 1,34 \text{ cm}^2$
Diâmetro interno do magnético	$\phi_{int} = 2,72 \text{ cm}$

Diâmetro externo do magnético	$\phi_{\text{ext}} = 4,45 \text{ cm}$
Índice de indutância do núcleo	$AL = 50 \text{ nH} / \text{esp}^2$
Permeabilidade relativa	$\mu = 33$
Altura do magnético	$H = 1,65 \text{ cm}$
Área da superfície do magnético	$A_t = 79,1 \text{ cm}^2$
Comprimento do caminho magnético	$MPL = 11,2 \text{ cm}$
Massa do núcleo	$W_{tfe} = 93 \text{ g}$

Fonte: Elaborada pelo autor.

Para um fator de utilização de janela de 75%, a área efetiva disponível no núcleo adotado é dada por:

$$W_{\text{eff}} = W_a \cdot 0,75 = 4,358 \text{ cm}^2 \quad (4.27)$$

Calculada a área de janela e definindo um fator de ocupação do núcleo pelo enrolamento de 60%, o número máximo de espiras que o núcleo suporta é definido por:

$$N = \frac{W_{\text{eff}} \cdot 0,6}{n_{\text{cond}} \cdot A_{\text{wIns}}} \rightarrow 109 \text{ voltas} \quad (4.28)$$

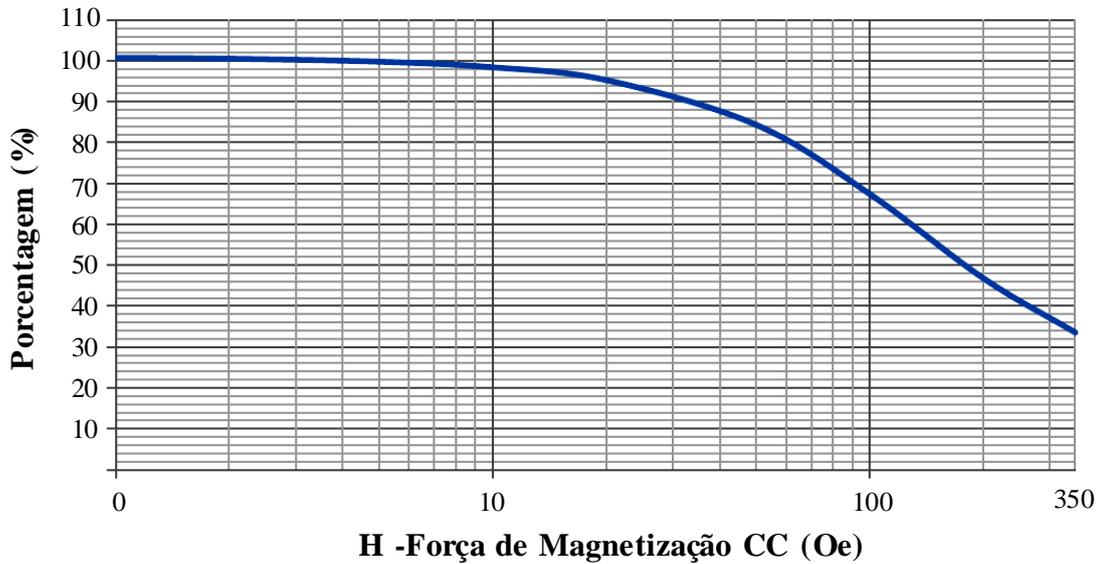
Assim, para a indutância requerida e valor do índice de indutância no núcleo, mostrado na Tabela 9, o número de espiras requerido é dado por:

$$N = \sqrt{\frac{L \cdot 10^9}{AL}} \rightarrow 74 \text{ espiras} \quad (4.29)$$

O número de espiras calculado em (4.29) ainda deve ser ajustado pelo valor da força magnetizante CC, que altera o valor da permeabilidade e, conseqüentemente, altera o valor de AL. No gráfico apresentado na Figura 42 é apresentado a variação da permeabilidade pelo valor da força de magnetização CC para o núcleo adotado. A força magnetizante CC é calculada pela equação (4.30).

$$H = \frac{0,4\pi NI_{\text{máx}}}{MPL} \quad (4.30)$$

Figura 42 – Percentual de permeabilidade x Força magnetizante CC.



Fonte: Elaborada pelo autor.

O cálculo do ajuste do número de espiras requerido é apresentado na equação (4.31).

$$N_n = \sqrt{\frac{L \cdot 10^9}{\% H \cdot AL}} \rightarrow 97 \text{ espiras} \quad (4.31)$$

Como apresentado em (MCLYMAN, 2011), o comprimento aproximado em um espira em um núcleo toroidal é dado pela equação (4.32).

$$MLT = 0,8(\phi_{ext} + 2H) \quad (4.32)$$

Por último, o comprimento do condutor que será utilizado para a construção de cada indutor de saída é definido na equação (4.33).

$$\text{Comprimento} = \frac{MLT}{100} \cdot N_n = 6,014m \quad (4.33)$$

Na Tabela 10 é apresentado um resumo dos valores calculados nesta seção.

Tabela 10 – Resumo do projeto físico dos indutores de saída.

Especificações	Valor
Condutor utilizado	AWG 22
Número de condutores em paralelo	5 condutores
Número de espiras	97 espiras

Comprimento do condutor	6,014m
--------------------------------	--------

Fonte: Elaborada pelo autor.

4.3.2. Projeto dos Magnéticos do Filtro Ativo

Tabela 11 – Dados de projeto do indutor de filtro.

Especificações	Valor
Indutância	$L_f = 200\mu H$
Corrente de pico	$I_{L_f} = 10A$
Ondulação de corrente	$\Delta I = 3A$
Frequência de ondulação	$f_s = 100kHz$
Tipo de núcleo	Toroidal
Fabricante	Magmattec
Material	34
Produto	MMT034T7713
Densidade de fluxo	$B_m = 1,1T$
Elevação de temperatura	$T_{rise} = 25^\circ C$

Fonte: Elaborada pelo autor.

O valor máximo de corrente através dos enrolamentos do indutor de filtro L_f é obtido pela equação (4.34).

$$I_{m\acute{a}x} = I_{L_f} + \frac{\Delta I}{2} = 11,5A \quad (4.34)$$

Considerando um condutor de cobre trabalhando com uma densidade de corrente J_c de 450 A/cm², um valor bem elevador com o intuito de reduzir o volume do magnético, a área de condutor necessária para a corrente de projeto é dada por:

$$A_{wB} = \frac{I_{ef}}{J_c} = 15,71 \times 10^{-3} cm^2 \quad (4.35)$$

Para o projeto, o condutor escolhido foi o AWG 22. Os dados deste condutor são apresentados na Tabela 8.

Com base na área de condutor necessária para a condução de corrente e na área do condutor do condutor escolhido, o número de condutores em paralelos necessários é dado por:

$$n_{cond} = \frac{A_{wB}}{A_{wBe}} \rightarrow 4 \text{ condutores} \quad (4.36)$$

No núcleo adotado é o mesmo do utilizado nos indutores de saída, apresentado Tabela 9. Para um fator de utilização de janela de 75%, a área efetiva disponível no núcleo adotado é dada por:

$$W_{aeff} = W_a \cdot 0,75 = 4,358 \text{ cm}^2 \quad (4.37)$$

Calculada a área de janela e definindo um fator de ocupação do núcleo pelo enrolamento de 60%, o número máximo de espiras que o núcleo suporta é definido por:

$$N = \frac{W_{aeff} \cdot 0,6}{n_{cond} \cdot A_{wIns}} \rightarrow 136 \text{ voltas} \quad (4.38)$$

Assim, para a indutância requerida e valor do índice de indutância no núcleo, mostrado na Tabela 9, o número de espiras requerido é dado por:

$$N = \sqrt{\frac{L \cdot 10^9}{AL}} \rightarrow 64 \text{ espiras} \quad (4.39)$$

Com o ajuste pela magnetização, o novo número de espiras requerido é apresentado na equação (4.40).

$$N_n = \sqrt{\frac{L \cdot 10^9}{\%H \cdot AL}} \rightarrow 77 \text{ espiras} \quad (4.40)$$

Pela equação (4.32) é possível calcular o comprimento aproximado de um espira no núcleo toroidal adotado. Assim, o comprimento do condutor que será utilizado para a construção de cada indutor de saída é definido na equação (4.41).

$$\text{Comprimento} = \frac{MLT}{100} \cdot N_n = 5,811 \text{ m} \quad (4.41)$$

Na Tabela 12 é apresentado um resumo dos valores calculados nesta seção.

Tabela 12 – Resumo do projeto físico do indutor de filtro.

Especificações	Valor
Condutor utilizado	AWG 22

Número de condutores em paralelo	4 condutores
Número de espiras	77 espiras
Comprimento do condutor	5,811m

Fonte: Elaborada pelo autor.

4.3.3. Cálculo das Perdas nos Magnéticos

Em condições normais de operação, os magnéticos apresentam perdas de energia relevantes para o levantamento da curva de rendimento do conversor. Essas perdas podem ser divididas em duas categorias: perdas no cobre e perdas no núcleo. Desta forma, as perdas totais nos magnéticos podem ser definidas como:

$$P_{\Sigma enr} = P_{cu} + P_{fe} \quad (4.42)$$

As perdas no cobre são as perdas nos enrolamentos do magnético devido as resistências ôhmicas. Essas perdas variam de acordo com a variação da corrente que irá circular o condutor, mais precisamente com o quadrado da corrente drenada.

Admitindo-se a frequência de operação do conversor é constante, as perdas nos núcleos dos magnéticos dependem exclusivamente da corrente que irá circular sobre eles. Considerando que esta corrente varia dentro de limites estreitos e controlados, admite-se que as perdas no núcleo sendo constantes ao longo da vida útil do magnético. Essas perdas têm grande influência na elevação de temperatura, na eficiência e na operação do magnético (SANTOS, L., 2006).

a) Perdas nos magnéticos dos filtros de saída

Como a saída é composta por dois conversores idênticos e os magnéticos são submetidos as mesmas variações de corrente e tensão, as perdas também serão iguais para os dois magnéticos.

Primeiramente, é preciso calcular a resistência de enrolamento. Está depende do condutor adotado, mostrada na Tabela 8, e dos dados de projeto apresentados na Tabela 10. A resistência total do enrolamento é calculada a partir da resistência equivalente dos condutores em paralelo, como mostrada na equação (4.43).

$$R_{eq} = MLT \cdot \frac{N}{n_{cond}} \cdot R_{fcm} \cdot 10^{-6} = 0,05 \Omega \quad (4.43)$$

Sabendo a resistência do enrolamento e a corrente eficaz que circula sobre o mesmo, a potência dissipada pelo cobre é dada por:

$$P_{cu} = I_{ef}^2 \cdot R_{eq} = 4,167 W \quad (4.44)$$

Para dimensionar as perdas no núcleo de pó de ferro adotado é calculado o fluxo de corrente CA que circula sobre o mesmo. Segundo (MCLYMAN, 2011), o fluxo de corrente para este tipo de material é calculado a partir da equação apresentada em (4.45).

$$B_{CA} = \frac{0,4\pi N_n \left(\frac{\Delta I}{2} \right) \mu_r 10^{-4}}{MPL} \rightarrow B_{CA} = 11,548 \times 10^{-3} T \quad (4.45)$$

Conforme apresentado em (MCLYMAN, 2011) as perdas nos núcleos de pó de ferro são dadas por:

$$P_{fe} = 0,551 \cdot f_s^{1,23} \cdot B_{CA}^{2,12} \cdot W_{tfe} \cdot 10^{-5} \rightarrow P_{fe} = 0,057 W \quad (4.46)$$

Desta forma, as perdas totais nos magnéticos dos filtros de saída são apresentadas na equação (4.47).

$$P_{\Sigma enr inv} = 2 \cdot (P_{cu} + P_{fe}) = 8,448 W \quad (4.47)$$

b) Perdas no magnético do filtro ativo

Pelos dados do condutor adotado mostrados na Tabela 8 e os dados de projeto apresentados na Tabela 2. A resistência total do enrolamento é calculada a partir da resistência equivalente dos condutores em paralelo, como mostrada na equação (4.48).

$$R_{eq} = MLT \cdot \frac{N}{n_{cond}} \cdot R_{fcm} \cdot 10^{-6} = 0,05 \Omega \quad (4.48)$$

Sabendo a resistência do enrolamento e a corrente eficaz que circula sobre o mesmo, a potência dissipada pelo cobre é dada por:

$$P_{cu} = I_{ef}^2 \cdot R_{eq} = 2,5 W \quad (4.49)$$

O fluxo de corrente para o indutor de filtro é calculado a partir da equação apresentada em (4.50).

$$B_{CA} = \frac{0,4\pi N_n \left(\frac{\Delta I}{2}\right) \mu_r 10^{-4}}{MPL} \rightarrow B_{CA} = 42,765 \times 10^{-3} T \quad (4.50)$$

As perdas no núcleo são dadas por:

$$P_{fe} = 0,551 \cdot f_s^{1,23} \cdot B_{CA}^{2,12} \cdot W_{tfe} \cdot 10^{-5} \rightarrow P_{fe} = 0,907 W \quad (4.51)$$

Desta forma, as perdas totais nos magnéticos do filtro ativo são apresentadas na equação (4.52).

$$P_{\Sigma enr ft} = P_{cu} + P_{fe} = 3,407 W \quad (4.52)$$

4.4. Rendimento Teórico

As perdas totais do conversor são representadas pelo somatório das perdas em todos os componentes:

$$Perda = P_{SW} + P_{\Sigma enr inv} + P_{\Sigma enr ft} \quad (4.53)$$

Substituindo os valores das perdas em cada elemento em (4.53) obtém-se:

$$Perda = 50,746 + 8,448 + 3,407 = 62,601 W \quad (4.54)$$

O rendimento teórico do conversor com potência nominal é dado por:

$$\eta_t = \frac{100}{1 + \frac{Perdas}{P_o}} = 96,965 \% \quad (4.55)$$

4.5. Considerações finais

Neste capítulo foram quantificados todos esforços de corrente e tensão em cada componente do conversor, afim de especificar os componentes que serão utilizados no protótipo de 2 kW. Foi adotada uma frequência de chaveamento eleva com o intuito de reduzir os componentes de potência e, assim, aumentar a densidade de potência do conversor proposto.

Foi realizada um dimensionamento das principais perdas do conversor para estimar um valor de rendimento da topologia adotada.

5. MODELAGEM E CONTROLE DO INVERSOR MONOFÁSICO

5.1. Considerações Iniciais

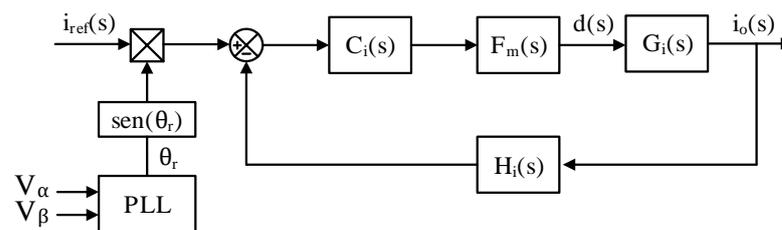
A utilização de um controle adequado é extremamente importante para que o conversor opere de maneira eficaz. Neste capítulo serão apresentadas as estratégias de controle,

as funções de transferências e os compensadores escolhidos para o controle do estágio CC-CA e da etapa de filtragem ativa.

5.2. Estratégia de Controle do Conversor CC-CA

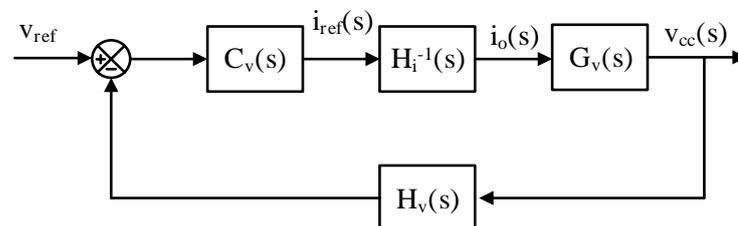
O controle do inversor tem por finalidade garantir o nível de tensão do barramento CC e que a corrente injetada na rede possua baixo conteúdo harmônico e elevado fator de potência. Com esta finalidade, optou-se por utilizar o controle por corrente média: uma malha de tensão externa e lenta em cascata com uma malha de corrente interna e rápida. Os diagramas de blocos da estratégia de controle da malha de corrente e de tensão são mostrados na Figura 43 e na Figura 44, respectivamente.

Figura 43 – Diagrama de blocos da malha de corrente do inversor.



Fonte: Elaborada pelo autor.

Figura 44 – Diagrama de blocos da malha de tensão do inversor.



Fonte: Elaborada pelo autor.

A malha mais externa é composta pelo controlador de tensão $C_v(s)$ o qual ajustará a tensão $v_{cc}(s)$ para que esta mantenha seu valor na referência V_{ref} . A saída deste controlador definirá a referência $i_{ref}(s)$ que a malha de corrente deve seguir. Este valor de referência de corrente assim como o valor amostrado passam pelo compensador de corrente $C_i(s)$ e geram um sinal que irá ser convertido em pulsos pelo modulador PWM ($F_m(s)$).

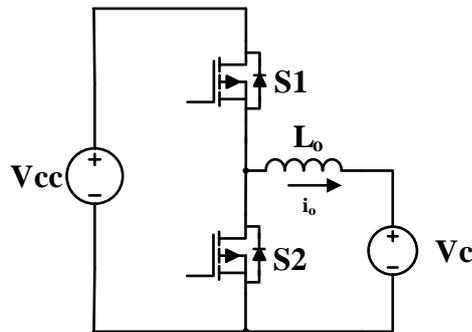
Uma das funções de transferência da planta em estudo é a impedância $G_v(s)$ que relaciona a tensão $v_{cc}(s)$ com a corrente de saída $i_o(s)$. E a outra função de transferência $G_i(s)$ relaciona a corrente de saída $i_o(s)$ com a razão cíclica $d(s)$.

As funções de transferências de medição estão representadas no diagrama de blocos por $H_v(s)$ para tensão e $H_i(s)$ para corrente.

5.2.1. Controle da Corrente Injetada na Rede

Analisando o conversor CC-CA como dois conversores bidirecionais simétricos, onde cada circuito pode ser representado de acordo com a Figura 45.

Figura 45 – Circuito equivalente conversor bidirecional.



Fonte: Elaborada pelo autor.

A função de transferência da corrente do indutor de saída pelo ciclo de trabalho é dada por:

$$G_i(s) = V_{cc} \frac{1}{sL_o + r_{L_o}} = \frac{400}{0,00027s + 0,1} \quad (5.1)$$

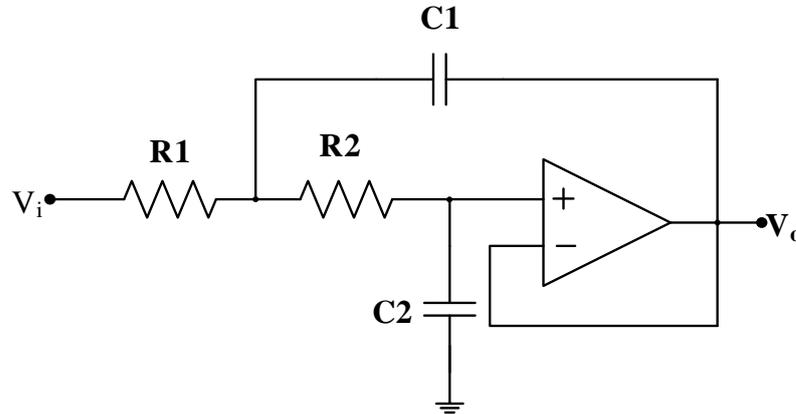
Fazendo com que o ganho de medição de corrente $H_i(s)$ seja unitário. Para a frequência de chaveamento de 100 kHz, a amplitude da onda dente de serra V_D obtida no controlador é de 250, assim a função de transferência do comparador PWM é definida como:

$$F_m(s) = \frac{1}{V_D} = \frac{1}{250} \quad (5.2)$$

Para o cálculo da função de transferência de laço aberto é preciso considerar a atuação do filtro ativo passa-baixa utilizado para filtrar os ruídos de leitura. A estrutura Sallen

Key, apresentada na Figura 46, é uma das mais usadas por ser simples e possuir função de transferência $G_{ft}(s)$ facilmente dedutível. A função de transferência do filtro é mostrada na equação (5.3).

Figura 46 – Filtro Sallen Key de segunda ordem.



Fonte: Elaborada pelo autor.

$$G_{ft}(s) = \frac{1}{(C1 \cdot C2 \cdot R1 \cdot R2)s^2 + C1 \cdot (R1 + R2)s + 1} \quad (5.3)$$

Sendo:

$$R1 = R2 = 1,6 \text{ k}\Omega; \quad C1 = C2 = 560 \text{ pF}$$

Também será considerada uma função de transferência $H_e(s)$, que consiste em uma função matemática com dois zeros no semiplano direito, acrescentada para testar a robustez do sistema. Esta função é dada pela equação (5.4).

$$H_e(s) \approx 1 + \frac{s}{\omega_z Q_z} + \frac{s^2}{\omega_z^2} \quad (5.4)$$

$$\omega_z = \pi f_s \quad (5.5)$$

$$Q_z = -\frac{2}{\pi} \quad (5.6)$$

Determinadas todas as funções de transferência, calcula-se a função de transferência de laço aberto sem compensador:

$$FTLA_{sci}(s) = G_i(s) \cdot Fm(s) \cdot H_i(s) \cdot G_{ft}(s) \cdot H_e(s) \quad (5.7)$$

Optou-se por projetar um controlador do tipo proporcional ressonante (CARRASCO et al.) para controlar as malhas de corrente de saída. Um controlador PR

consegue fornecer ganho infinito teórico em uma estreita largura de banda que é centrada em uma frequência de ressonância predefinida, portanto, elimina o erro de estado estacionário na frequência requerida e permite um melhor funcionamento do rastreamento do sinal senoidal de referência (ABDEL-QAWEE et al., 2013). Mostrando ser um controlador mais adequado para este tipo de aplicação.

O controlador PR é um controlador PI, sendo que a parcela integral é substituída por uma parcela ressonante, como mostrado na equação (5.8).

$$C_i(s) = K_p + \frac{2K_i\omega_c s}{s^2 + 2\omega_c s + \omega_o^2} \quad (5.8)$$

Sendo K_p o ganho proporcional, K_i o ganho integral, ω_c a frequência de corte e ω_o a frequência da senóide de referência.

Os ganhos proporcionais e integrais são sintonizados de forma similar a realizada para o controlador do tipo PI: o ganho proporcional é ajustado de forma a obter uma frequência de cruzamento elevada e o ganho integral é ajustado para garantir uma boa margem de fase. A frequência ω_o é ajustada em 377 rad/s (frequência da rede elétrica – 60 Hz) e a frequência de corte ω_c normalmente é ajustada entre 5-15 rad/s (TEODORESCU, R. et al., 2006), sendo escolhido o valor de 5 rad/s .

Assim, definindo a frequência de cruzamento do compensador 15 vezes menor (6,67kHz) que a frequência de chaveamento do inversor, a função de transferência do controlador PR projetado é dada por:

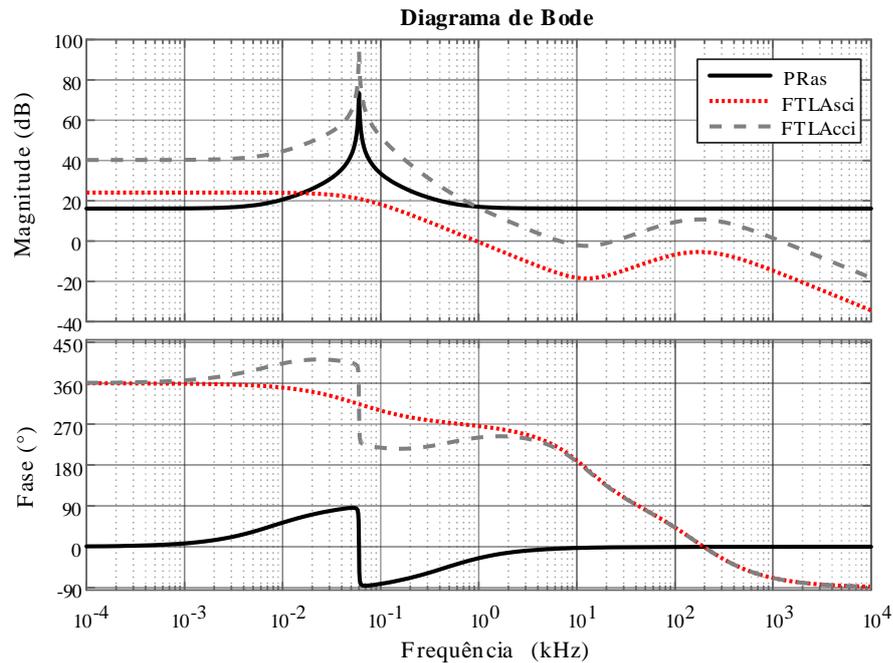
$$C_i(s) = \frac{6,424s^2 - 1,886 \times 10^4 s + 9,13 \times 10^5}{s^2 + 10s + 1,421 \times 10^5} \quad (5.9)$$

A função de transferência de laço aberto com compensador é dada por:

$$FTLA_{cci}(s) = C_i(s) \cdot FTLA_{sci}(s) \quad (5.10)$$

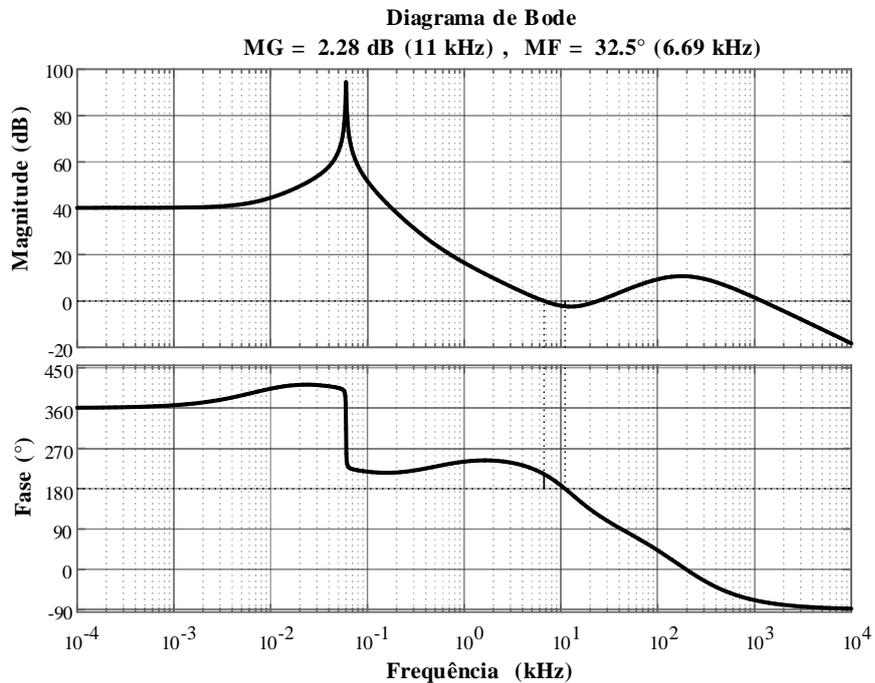
Os diagramas de Bode da função de transferência de laço aberto sem compensador e com compensador de corrente, bem como do controlador PR são mostrados na Figura 47.

Figura 47 – Diagrama de Bode das funções de transferência: $FTLA_{sci}(s)$, $C_i(s)$ e $FTLA_{cci}(s)$.



Fonte: Elaborada pelo Autor.

Figura 48 – Diagrama de Bode das funções de transferência $FTLA_{cci}(s)$.



Fonte: Elaborada pelo Autor.

A partir da Figura 48 constata-se que a planta compensada agora cruza pela frequência de cruzamento $f_c \approx 6,67$ kHz desejada e a margem de fase é em torno de 30° , cumprindo os critérios de estabilidade.

Para implementação deste controle em um controlador digital é necessário realizar a discretização do sistema. Considerando uma taxa de amostragem como dobro da frequência de chaveamento (200kHz) e utilizando a discretização pelo método de Tustin, tem-se que a função $C_i(s)$ discretizada é dada por:

$$C_i(z) = \frac{6,471z^2 - 12,85z + 6,306}{z^2 - 2z + 1} \quad (5.11)$$

A conversão da equação (5.11) na forma de equação de estado tem como resultado a equação (5.12).

$$u[k] = 6,471e[k] - 12,85e[k-1] + 6,306e[k-2] + 2u[k-1] - 1u[k-2] \quad (5.12)$$

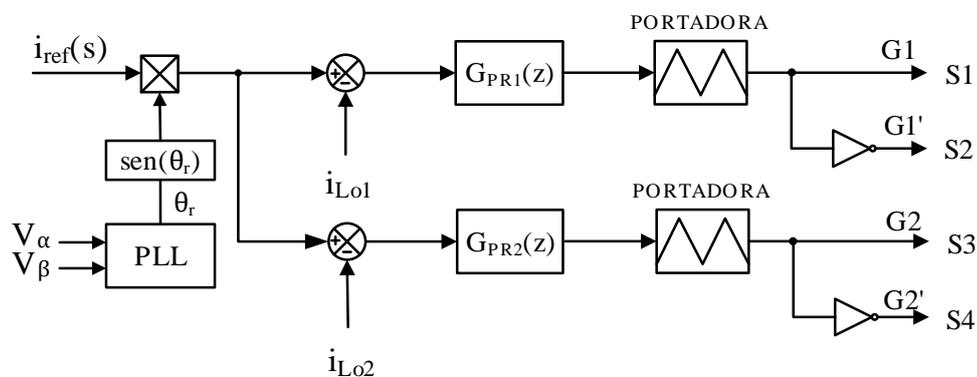
Como já mencionado, a corrente que irá passar pelos indutores L_{o1} e L_{o2} são iguais, mas em sentidos opostos. Desta forma, as equações que de cada controlador pode ser expressa como apresentadas na equação (5.13) e na equação (5.14).

$$I_{o1}[k] = 6,471e_1[k] - 12,85e_1[k-1] + 6,306e_1[k-2] + 2I_{o1}[k-1] - 1I_{o1}[k-2] \quad (5.13)$$

$$I_{o2}[k] = -6,471e_2[k] + 12,85e_2[k-1] - 6,306e_2[k-2] + 2I_{o2}[k-1] - 1I_{o2}[k-2] \quad (5.14)$$

Portanto, o circuito de controle das correntes de saída é mostrado na Figura 49.

Figura 49 – Circuito de controle das correntes I_{oL1} e I_{oL2} .

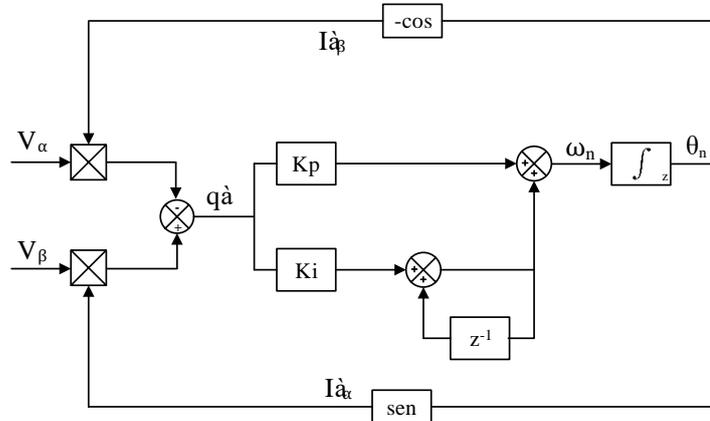


Fonte: Elaborada pelo Autor.

5.2.2. Controle do q-PLL

Dando ênfase no controlador do circuito PLL, o sistema pode ser representado de acordo com a Figura 50.

Figura 50 – Circuito PLL com controlador PI.



Fonte: Elaborada pelo Autor.

Conforme apresentado no circuito da Figura 50, apesar de não ser utilizada a transformada de Clarke, as tensões no sistema de coordenadas $\alpha\beta$ são necessárias para o correto funcionamento do PLL. Portanto, o sinal V_α é gerado como uma duplicata da tensão amostrada da rede elétrica e o sinal V_β é gerado como uma cópia do sinal V_α atrasado em 90° . Tomando uma taxa de amostragem do sistema de 200 kHz, tem-se que em um ciclo de rede são realizadas $3,333 \times 10^3$ amostragens, conforme mostrado na equação (5.15).

$$amostras = \frac{f_{sample}}{f_r} = 3,333 \times 10^3 \quad (5.15)$$

$$atraso = \frac{1}{4} amostras = 833 \quad (5.16)$$

Logo, pela equação (5.16), para que seja efetuado o atraso de 90° entre o sinal V_α e o sinal V_β deve-se atrasar em 833 amostras o sinal V_β em relação ao sinal V_α .

Pela Figura 50, temos que o controlador PI do circuito PLL pode ser expresso por:

$$\frac{U(z^{-1})}{E(z^{-1})} = Kp + \frac{Ki}{1-z^{-1}} = \frac{(Kp + Ki) - Kp z^{-1}}{1-z^{-1}} \quad (5.17)$$

Para (ROLIM; DA COSTA; AREDES, 2006), um sistema PLL bem projetado deve atender aos seguintes projeto critérios:

- $\xi \approx 0,707$ para ótima resposta a transientes;

- Largura de banda estreita (baixo ω_n) para melhorar a rejeição de ruído, a fim de produzir um sinal de saída puramente senoidal mesmo na presença de harmônicos de entrada.

Adotando um ω_n igual a 100Hz e ξ igual a 0,707, ganhos K_p e K_i do controlador PI podem ser calculados a partir das equações (5.18) e (5.19).

$$K_i = \omega_n^2 = 10000 \quad (5.18)$$

$$K_p = 2\xi\sqrt{K_i} = 141,4 \quad (5.19)$$

Para discretizar o controlador PI do circuito PLL, o termo proporcional não se altera e o termo integrador leva em conta a taxa de amostragem, como mostrado a seguir:

$$K_{i_d} = K_i \cdot T_{sample} = 0,05 \quad (5.20)$$

$$K_{p_d} = K_p = 141,4 \quad (5.21)$$

5.2.3. Controle da Tensão de Entrada

O modelo da planta de tensão pode ser extraído a partir da análise do balanço de potência do inversor, como apresentado em (BUSO; MATTAVELLI, 2006), obtendo a função de transferência apresentada na equação (5.22).

$$G_v(s) = \frac{V_{bus}(s)}{I_o(s)} = M_a \frac{V_{cc}^2}{P_o} \frac{1}{\left(\frac{V_{cc}^2}{P_o}\right) C_S + 1} \quad (5.22)$$

$$G_v(s) = \frac{62,2}{0,012 s + 1} \quad (5.23)$$

Fazendo com que o ganho de medição de corrente $H_i(s)$ e $H_v(s)$ seja unitário, e calcula-se a função de transferência de laço aberto sem compensador:

$$FTLA_{scv}(s) = H_v(s) \cdot G_v(s) \cdot \frac{1}{H_i(s)} \quad (5.24)$$

Para o controlador de tensão, optou-se por implementar um PI convencional, cuja função de transferência é apresentada na equação (5.25).

$$C(s) = K_p \cdot \left(1 + \frac{1}{T_i \cdot s} \right) \quad (5.25)$$

Assim, definindo a frequência de cruzamento do compensador de 5Hz, bem mais lenta que as malhas de corrente, devido a dinâmica do capacitor de barramento, a função de transferência do controlador projetado é dada por:

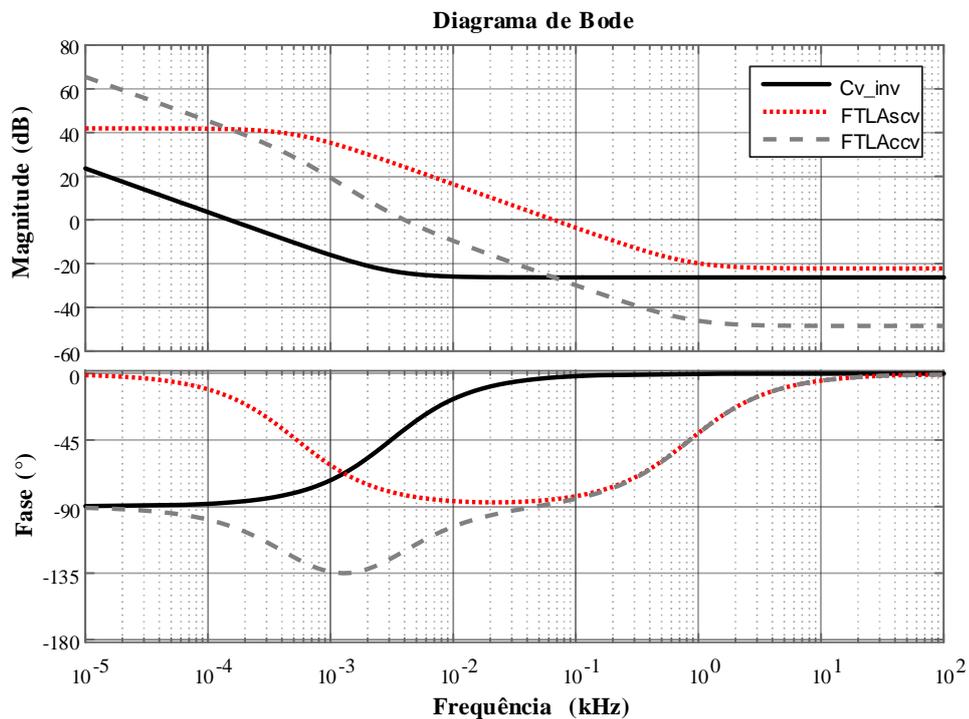
$$C_v(s) = \frac{0,04847s + 0,9449}{s} \quad (5.26)$$

A função de transferência de laço aberto com compensador é dada por:

$$FTLA_{ccv}(s) = C_v(s) \cdot FTLA_{scv}(s) \quad (5.27)$$

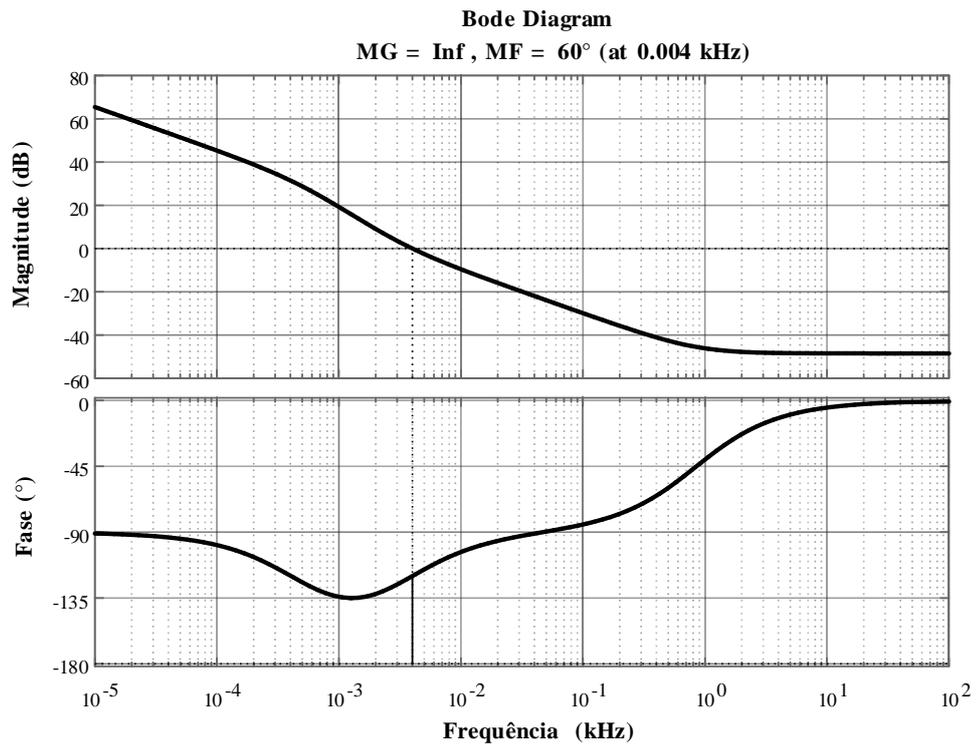
Os diagramas de Bode da função de transferência de laço aberto sem compensador e com compensador de corrente, bem como do controlador PI são mostrados na Figura 51.

Figura 51 – Diagrama de Bode das funções de transferência: $FTLA_{scv}(s)$, $C_v(s)$ e $FTLA_{ccv}(s)$.



Fonte: Elaborada pelo Autor.

Figura 52 – Diagrama de Bode das funções de transferência $FTLA_{ccv}(s)$.



Fonte: Elaborada pelo Autor.

A partir da Figura 52 constata-se que a planta compensada agora cruza pela frequência de cruzamento $f_c \approx 4$ Hz desejada e a margem de fase é de 60° , cumprindo os critérios de estabilidade.

Considerando uma taxa de amostragem como dobro da frequência de chaveamento (200kHz) e utilizando a discretização pelo método de Tustin, tem-se que a função $C_v(s)$ discretizada é dada por:

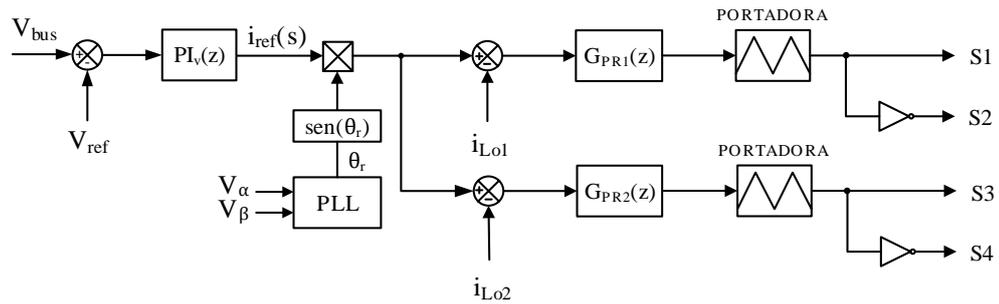
$$C_v(z) = \frac{0,04222z + 0,04221}{z - 1} \quad (5.28)$$

A conversão da equação (5.28) na forma de equação de estado tem como resultado a equação (5.29).

$$v[k] = 0,04222 e[k] - 0,04221 e[k - 1] + 1 v[k - 1] \quad (5.29)$$

Fechada a malha de tensão, o circuito de controle do inversor está completo como apresentado na Figura 53.

Figura 53 – Circuito de controle completo do inversor.



Fonte: Elaborada pelo Autor.

5.3. Estratégia de Controle do Filtro Ativo

Utilizando modelagem por espaço de estados, é possível determinar as equações que representam este sistema. O procedimento descrito em (AGAMY; JAIN, 2006; VIDAL; BARBI, 2006) foi adoptado para esta finalidade, considerando a corrente através do indutor e a tensão através no capacitor de filtro como os estados observados. A equação (5.30) mostra o modelo em forma de matriz.

$$\mathbf{K} \frac{d\mathbf{x}(t)}{dt} = \mathbf{A}\mathbf{x}(t) + \mathbf{B}u(t) \quad (5.30)$$

Expandindo a equação (5.31) é possível determinar a seguinte expressão no domínio da frequência.

$$\frac{\mathbf{X}(s)}{d(s)} = [\mathbf{K}s - \mathbf{A}]^{-1}[(\mathbf{A}_1 - \mathbf{A}_2)\mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2)\mathbf{U}] \quad (5.31)$$

Sendo:

- $\mathbf{X}(s)$ – Vetor de estados;
- \mathbf{A}_1 – Matriz de transição de estado para o primeiro estado;
- \mathbf{A}_2 – Matriz de transição de estado para o segundo estado;
- \mathbf{A} – Matriz de transição do modelo CA;
- \mathbf{B}_1 – Matriz de transição do termo independente 1;
- \mathbf{B}_2 – Matriz de transição do termo independente 2;
- \mathbf{U} – Termos independentes;
- \mathbf{K} – Matriz de transição dos vetores de estado;
- $d(s)$ – Ciclo de trabalho do circuito auxiliar;

Transformando as equações (3.8) e (3.9) para forma matricial presente em (5.30), são obtidos os seguintes sistemas.

$$\begin{pmatrix} \frac{di_f}{dt} \\ \frac{dv_{Cf}}{dt} \end{pmatrix} = \begin{pmatrix} -\frac{r_L}{L_f} & \frac{1}{L_f} \\ \frac{1}{C_f} & 0 \end{pmatrix} \cdot \begin{pmatrix} i_f \\ v_{Cf} \end{pmatrix} + \begin{pmatrix} -\frac{1}{L_f} \\ 0 \end{pmatrix} \cdot v_{bus} \quad (5.32)$$

$$\mathbf{K} \frac{d\mathbf{x}(t)}{dt} = \mathbf{A}_1 \mathbf{x}(t) + \mathbf{B}_1 \mathbf{u}(t) \quad (5.33)$$

Sendo \mathbf{K} uma matriz identidade 2×2 .

Assim, é possível encontrar a forma de matriz para a equação da segunda fase de operação. A forma da matriz da segunda fase da operação é como se segue.

$$\begin{pmatrix} \frac{di_f}{dt} \\ \frac{dv_{Cf}}{dt} \end{pmatrix} = \begin{pmatrix} -\frac{r_L}{L_f} & \frac{1}{L_f} \\ \frac{1}{C_f} & 0 \end{pmatrix} \cdot \begin{pmatrix} i_f \\ v_{Cf} \end{pmatrix} + \begin{pmatrix} 0 \\ 0 \end{pmatrix} \cdot v_{bus} \quad (5.34)$$

$$\mathbf{K} \frac{d\mathbf{x}(t)}{dt} = \mathbf{A}_2 \mathbf{x}(t) + \mathbf{B}_2 \mathbf{u}(t) \quad (5.35)$$

Sendo \mathbf{K} uma matriz identidade 2×2 .

Substituindo as equações de circuito auxiliar na equação (5.31) obtém-se o valor médio das funções de transferência de v_{cf} e i_f variando com ciclo de trabalho d , bem como a relação entre estes dois valores como mostrado em (5.36), (5.37) e (5.38).

$$\frac{v_{Cf}}{d} = \frac{DV_{bus}}{C_f L_f s^2 + r_L C s - 1} \quad (5.36)$$

$$\frac{i_f}{d} = \frac{DV_{bus} C_f s}{C_f L_f s^2 + r_L C s - 1} \quad (5.37)$$

$$\frac{v_{Cf}}{i_f} = \frac{1}{s C_f} \quad (5.38)$$

Portanto, as funções que serão utilizadas no controle de corrente e tensão do filtro ativo são, respectivamente, mostradas na equação (5.39) e (5.40).

$$G_i(s) = \frac{i_f}{d} = \frac{0,0136 s}{1,36 \times 10^{-8} s^2 + 6,8 \times 10^{-6} s - 1} \quad (5.39)$$

$$G_v(s) = \frac{v_{c_f}}{i_f} = \frac{1}{6,8 \times 10^{-5} s} \quad (5.40)$$

Utilizando as equações (5.7) e (5.24), é possível calcular a função de transferência de laço aberto sem compensador das malhas de corrente e de tensão do filtro ativo.

Para o controlador de corrente do filtro, optou-se por implementar um PI convencional, cuja função de transferência é apresentada na equação (5.25). Assim, definindo a frequência de cruzamento do compensador cinco vezes menor (20kHz) que a frequência de chaveamento, a função de transferência do controlador projetado é dada por:

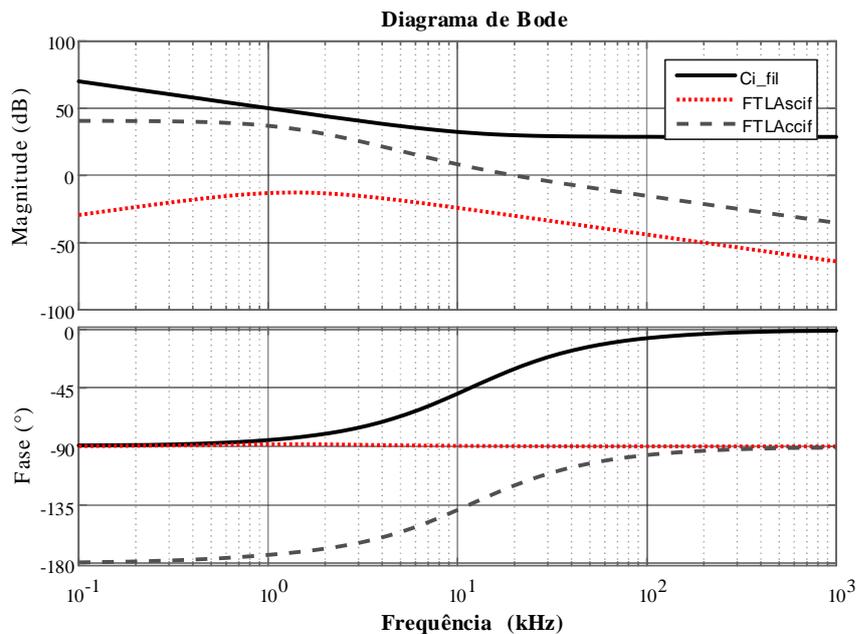
$$C_i(s) = \frac{27,27 s + 1,997 \times 10^6}{s} \quad (5.41)$$

A função de transferência de laço aberto com compensador é dada por:

$$FTLA_{ccif}(s) = C_i(s) \cdot FTLA_{scif}(s) \quad (5.42)$$

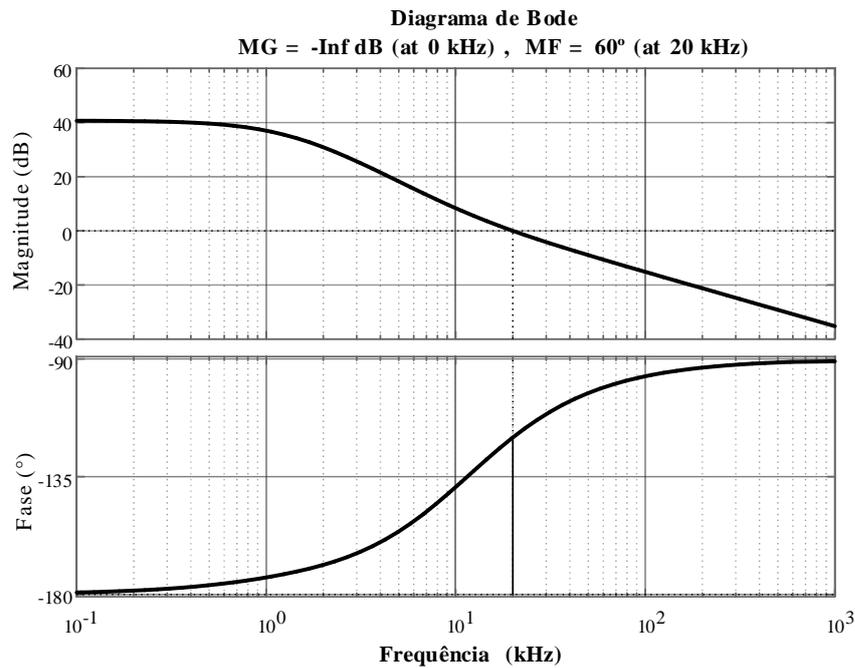
Os diagramas de bode da função de transferência de laço aberto sem compensador, com compensador de corrente e do controlador PI do filtro são mostrados na Figura 54.

Figura 54 – Diagrama de Bode das funções de transferência: $FTLA_{scif}(s)$, $C_i(s)$ e $FTLA_{ccif}(s)$.



Fonte: Elaborada pelo Autor.

Figura 55 – Diagrama de Bode das funções de transferência $FTLA_{ccif}(s)$.



Fonte: Elaborada pelo Autor.

Pela Figura 55 constata-se que a planta compensada apresenta uma frequência de cruzamento $f_c = 20$ kHz, de acordo com o projetado, e a margem de fase de 60° , cumprindo os critérios de estabilidade.

Considerando uma taxa de amostragem como dobro da frequência de chaveamento (200kHz) e utilizando a discretização pelo método de Tustin, tem-se que a função $C_i(s)$ discretizada é dada por:

$$C_i(z) = \frac{27,27 z - 17,29}{z - 1} \quad (5.43)$$

A conversão da equação (5.43) na forma de equação de estado tem como resultado a equação(5.44).

$$ik[k] = 37,254 e[k] - 27,271 e[k - 1] + 1 ik[k - 1] \quad (5.44)$$

Para o controlador de tensão do filtro, também será adotado um PI convencional, cuja função de transferência é apresentada na equação (5.25). Definindo a frequência de cruzamento do compensador dez vezes menor (2kHz) que a malha de corrente, a função de transferência do controlador projetado é dada por:

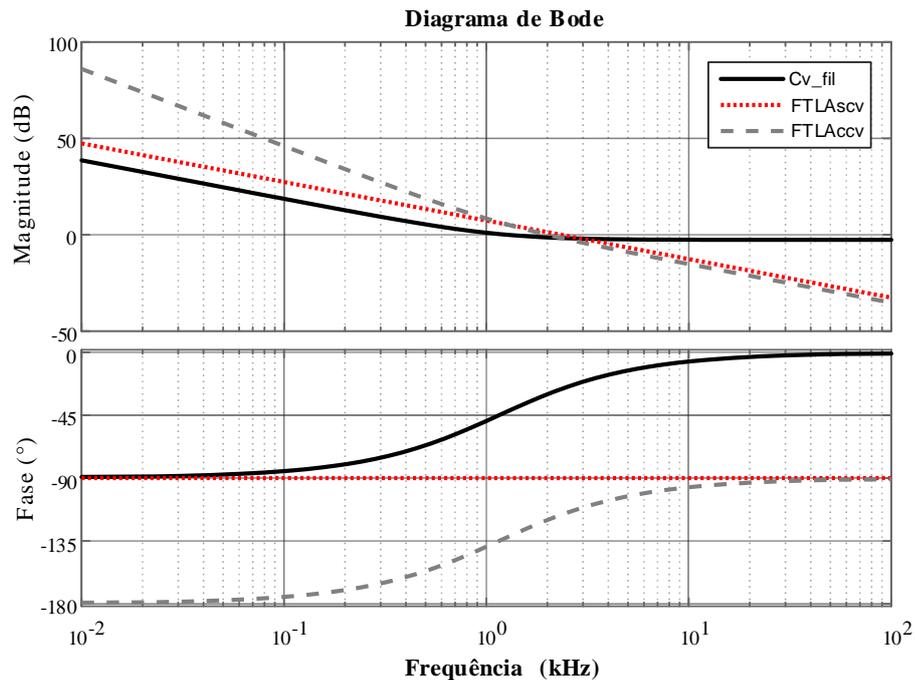
$$C_v(s) = \frac{0,04431s + 13,97}{s} \quad (5.45)$$

A função de transferência de laço aberto com compensador é dada por:

$$FTLA_{ccvf}(s) = C_v(s) \cdot FTLA_{svif}(s) \quad (5.46)$$

Os diagramas de bode da função de transferência de laço aberto sem compensador, com compensador de tensão e do controlador PI do filtro são mostrados na Figura 56.

Figura 56 – Diagrama de Bode das funções de transferência: $FTLA_{scvf}(s)$, $C_v(s)$ e $FTLA_{ccvf}(s)$.



Fonte: Elaborada pelo Autor.

Pela Figura 57 constata-se que a planta compensada apresenta uma frequência de cruzamento $f_c = 2$ kHz, de acordo com o projetado, e a margem de fase de 60° , cumprindo os critérios de estabilidade.

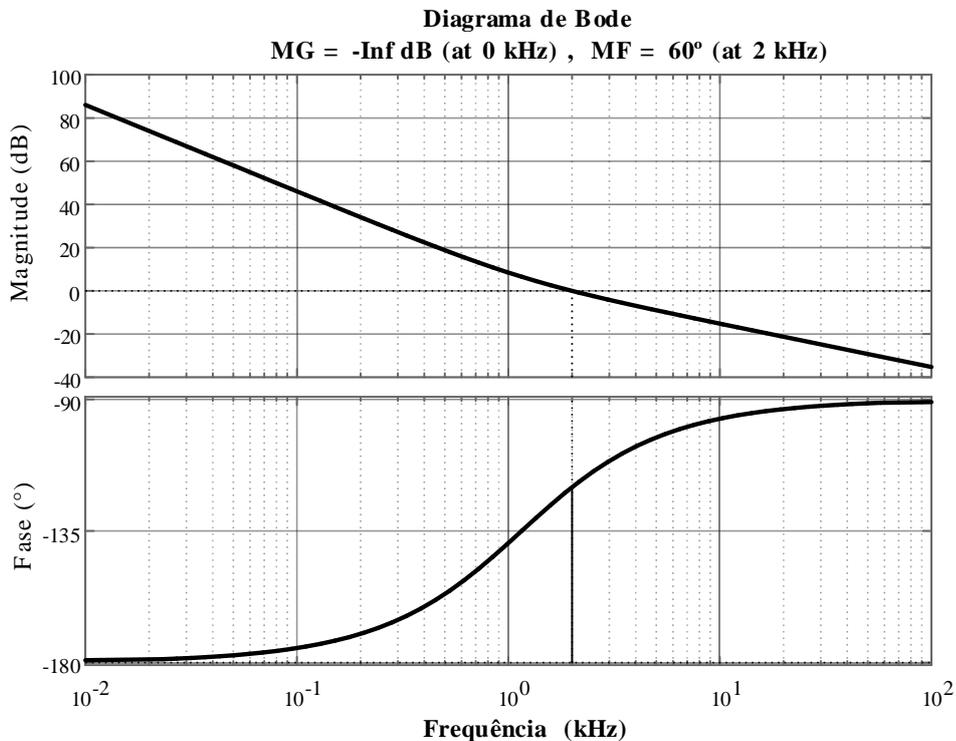
Considerando uma taxa de amostragem como dobro da frequência de chaveamento (200kHz) e utilizando a discretização pelo método de Tustin, tem-se que a função $C_i(s)$ discretizada é dada por:

$$C_i(z) = \frac{0,7802 z - 0,7534}{z - 1} \quad (5.47)$$

A conversão da equação (5.47) na forma de equação de estado tem como resultado a equação (5.48).

$$vk[k] = 0,7802 e[k] - 0,7534 e[k-1] + 1 vk[k-1] \quad (5.48)$$

Figura 57 – Diagrama de Bode das funções de transferência $FTLA_{ccvf}(s)$.



Fonte: Elaborada pelo Autor.

5.4. Considerações Finais

Neste capítulo foram abordadas as estratégias de controle adotadas para o conversor proposto. O controle do conversor é dividido em dois estágios: o controle do inversor e o controle do filtro ativo. O controle do inversor é composto por duas malhas de corrente, uma para cada indutor de saída, baseado em um controlador ressonante. Uma malha de tensão, mais lenta, opera em cascata com as malhas de corrente com o intuito de estabilizar a tensão no barramento CC. No filtro ativo foram levantadas as funções de transferência da corrente no indutor e da tensão do capacitor de filtro a partir da técnica do modelo em Espaço de Estados. As funções de transferência foram convertidas para o plano Z na forma de equações de estados para facilitar a implementação em linguagem de programação do controlador.

6. SIMULAÇÃO E RESULTADOS

6.1. Considerações Iniciais

Neste capítulo são apresentados os resultados de simulação e experimentais obtidos em laboratório. Nos testes iniciais foram realizados utilizando uma carga resistiva a fim de verificar o funcionamento das malhas de corrente e tensão do inversor, posteriormente, foram realizados testes para conexão com a rede elétrica. Inicialmente, o conversor foi estudado via simulação computacional utilizando a ferramenta computacional PSIM, da PowerSim. Em seguida, foi realizada a montagem em laboratório do protótipo para validar o estudo realizado.

6.2. Resultados de Simulação

Para fins de simulação foi projetado um inversor CC-CA de 220V/60Hz, como especificado na Tabela 13, controlado por uma malha de tensão de entrada para controlar o valor médio e uma malha de corrente injeta baseada em um controle ressonante. O primeiro teste foi realizado com uma carga resistiva de $24,2\Omega$ (plena carga) na saída do conversor. e apenas com as malhas das corrente de saída atuando.

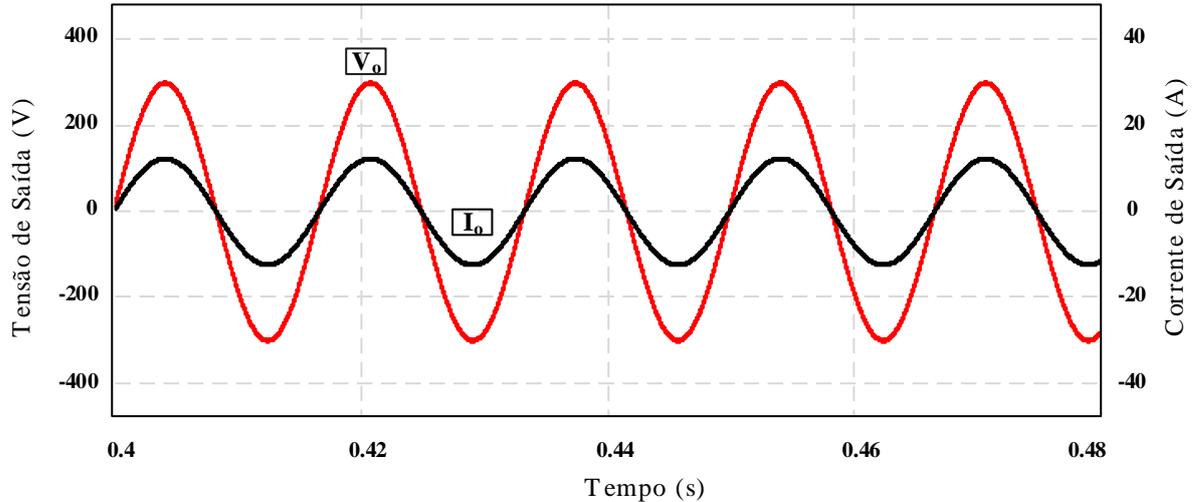
Tabela 13 – Especificações de projeto.

Especificações	Valor
Potência de Saída	2 kW
Tensão de Entrada	400Vdc
Tensão de Saída	220Vca
Frequência de Saída	60 Hz
Capacitância do Barramento CC	$300\ \mu\text{F}$
Capacitância do Filtro Ativo	$68\ \mu\text{F}$
Indutância do Filtro Ativo	$200\ \mu\text{H}$
Indutância de Saída (L_{o1} e L_{o2})	$270\ \mu\text{H}$
Capacitância de Saída (C_{o1} e C_{o2})	$1,5\ \mu\text{F}$
Frequência de Chaveamento	100 kHz

Fonte: Elaborada pelo Autor.

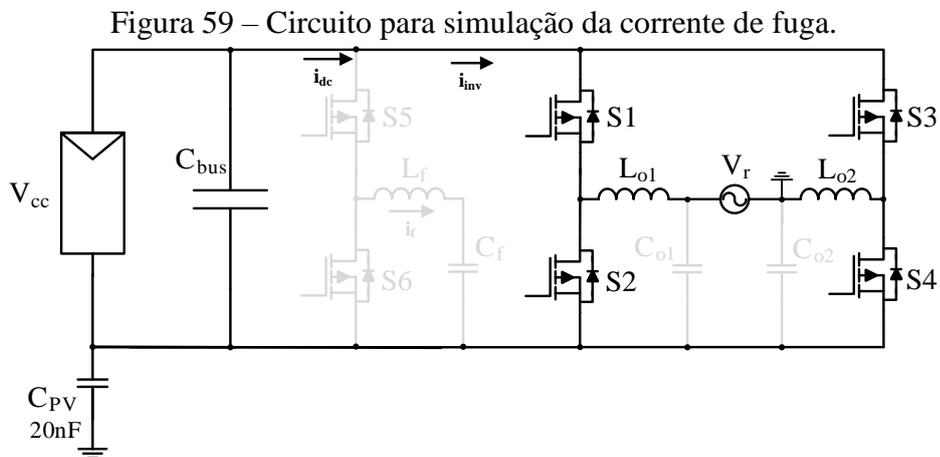
Na Figura 58 pode ser vista a corrente a tensão de saída do inversor para uma tensão de 400Vdc de entrada e uma carga de $24,2\Omega$ (plena carga). A corrente de saída consegue atingir a referência de estipulada em $12,86\text{A}$ com um THD simulado de $0,2\%$, valor bem abaixo do permitido por norma (5%).

Figura 58 – Tensão e corrente de saída com carga resistiva e malhas de corrente.



Fonte: Elaborada pelo Autor.

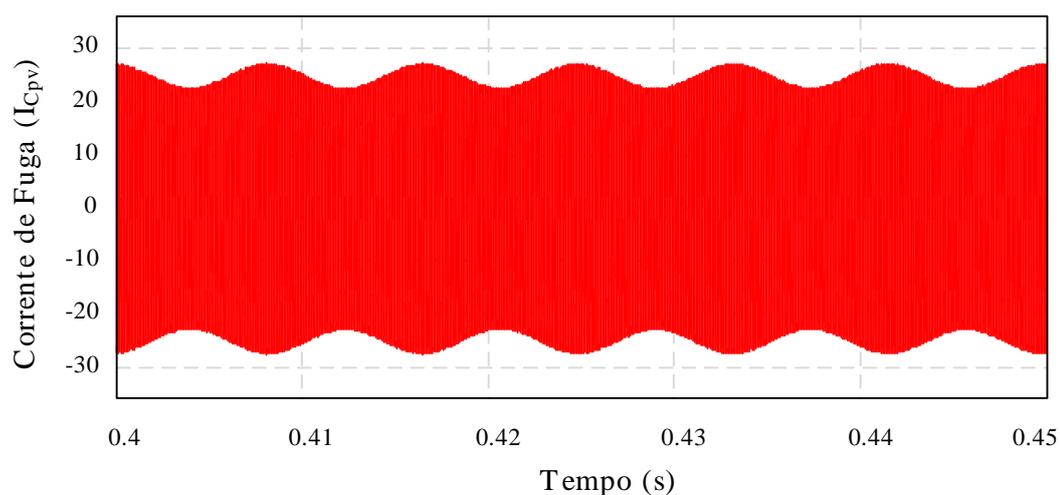
Considerando o inversor sem os capacitores C_{o1} e C_{o2} , ou seja, um conversor *full-bridge* convencional com modulação unipolar. Como o protótipo em questão é de 2kW, será considerada uma capacitância C_{PV} de 20nF entre a fonte de alimentação CC e o terra, emulação a capacitância parasita de um painel fotovoltaico, como apresentada na Figura 59.



Fonte: Elaborada pelo Autor.

Na Figura 60 é possível ver o comportamento da corrente que irá circular entre o painel e a rede, utilizando modulação unipolar quando não há nenhum tipo de isolamento. Nota-se que a corrente atinge quase 30A de pico, valor muito superior à corrente de projeto, tornando esse sistema inviável.

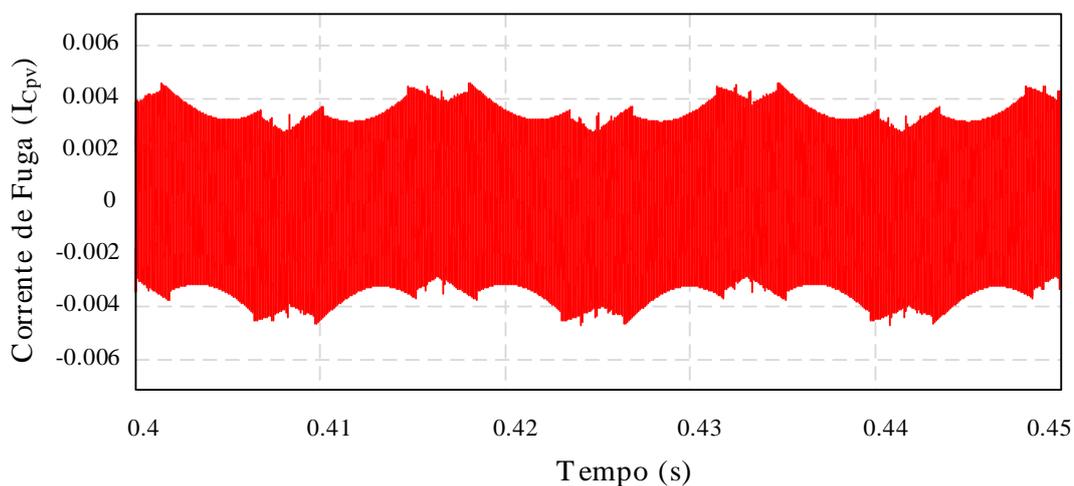
Figura 60 – Corrente de fuga que circula pela capacitância parasita (sem capacitores).



Fonte: Elaborada pelo Autor.

Agora com a utilização dos capacitores C_{o1} e C_{o2} , temos que pela Figura 61 que a corrente de fuga que irá circular entre o painel e rede é inferior a 5mA. Desta forma é possível utilizar a modulação unipolar na topologia *full-bridge* sem a necessidade de transformadores ou chaves adicionais.

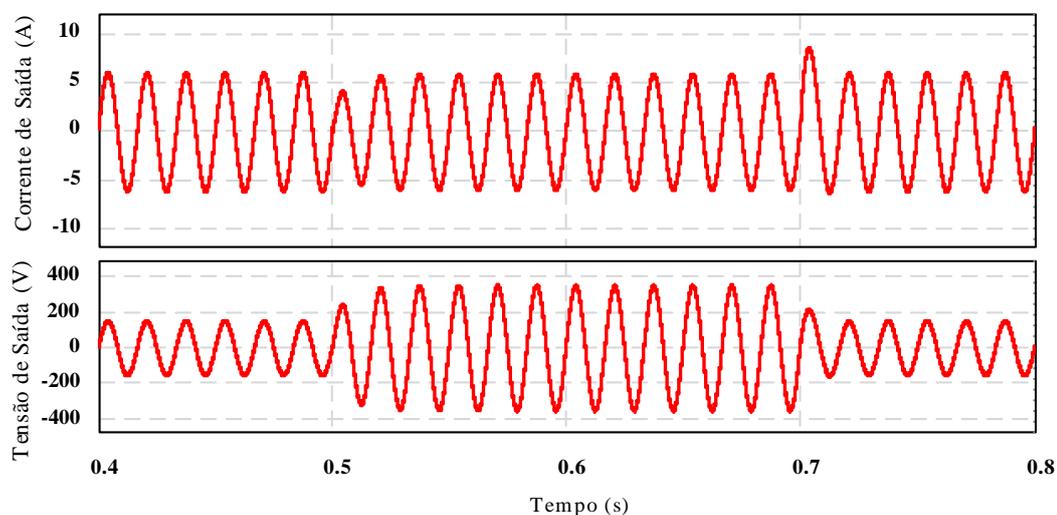
Figura 61 – Corrente de fuga que circula pela capacitância parasita (com capacitores).



Fonte: Elaborada pelo Autor.

A validação da malha de corrente foi realizada a partir de um degrau de carga de 25% para 50% na saída do conversor no instante $t = 0,5s$ e um degrau de 50% para 25% no instante $t = 0,7s$, apresentada na Figura 62. A corrente de saída tem uma oscilação de 35% no momento do degrau e um tempo de assentamento de 0,02s. Nota-se que, para manter a corrente na referência, a tensão de saída acompanha o degrau de carga.

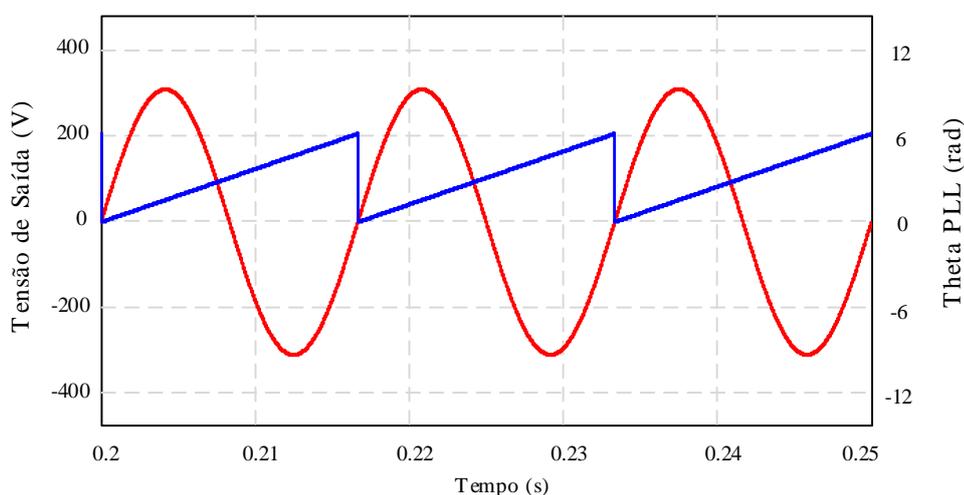
Figura 62 – Tensão e corrente de saída para um degrau de carga.



Fonte: Elaborada pelo Autor.

Na Figura 63 são apresentadas a tensão da rede (V_r) e o theta (θ_r) da saída do bloco PLL do inversor. Como pode ser observado, o PLL está em sincronismo com a tensão da rede, mostrando a eficácia do controle projetado.

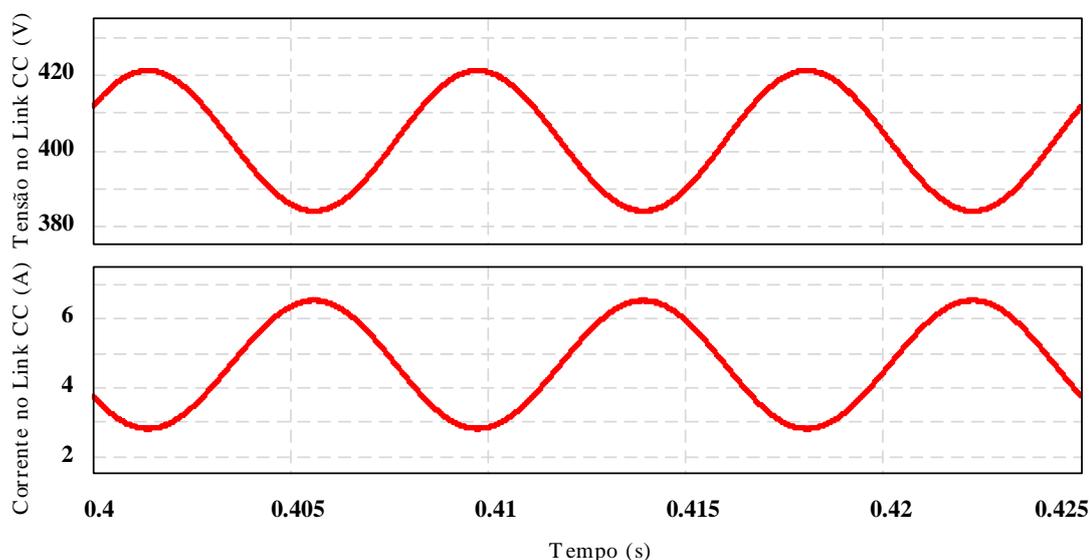
Figura 63 – Tensão da rede e Theta do PLL sincronizado em sincronismo.



Fonte: Elaborada pelo Autor.

Desconsiderando a energia proveniente das ondulações de 120Hz no barramento CC, a capacitância mínima teórica para energia que circula no sistema é de $68\mu\text{F}$. Dando uma margem de segurança nos testes iniciais, a capacitância selecionada para C_{bus} é de $300\mu\text{F}$, mais 5 vezes menor que a projetada anteriormente.

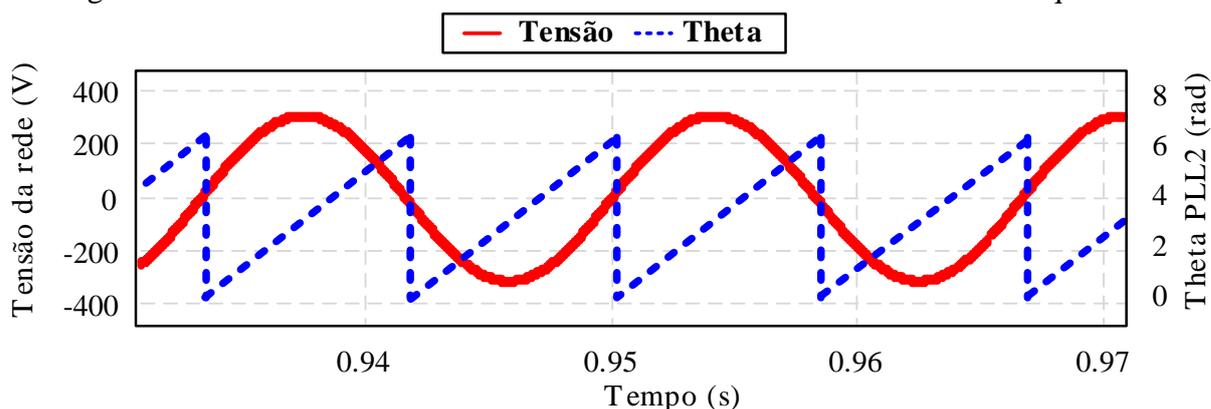
Figura 64 – Tensão e corrente no barramento CC.



Fonte: Elaborada pelo Autor.

Na Figura 64 é apresentado o comportamento do sistema com o capacitor de $300\mu\text{F}$ e sem o filtro ativo, a ondulação da tensão e da corrente do barramento se mostram bem elevadas. Como o Barramento CC não tem nenhum método para lidar com a ondulação em baixa frequência, a corrente e a tensão têm que sustentar toda a ondulação.

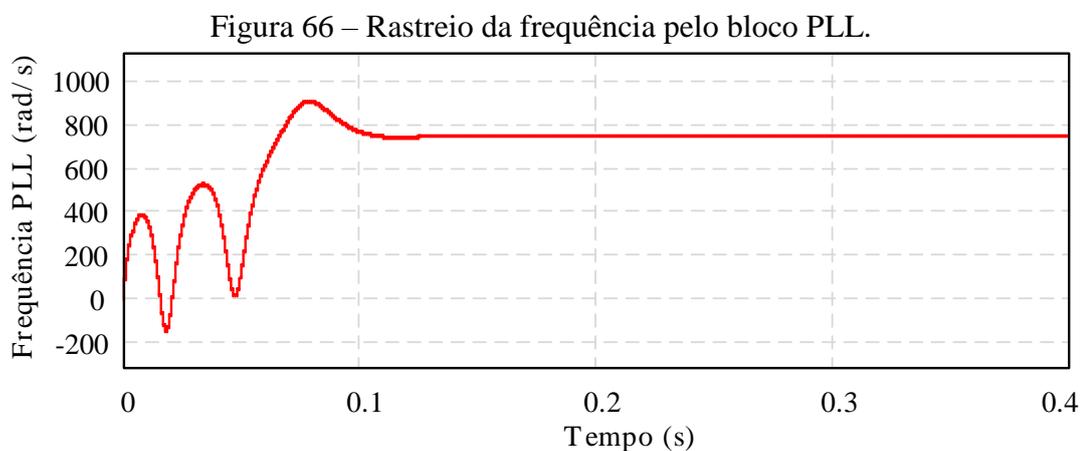
Figura 65 – Tensão da rede e Theta do PLL sincronizado com o dobro da frequência.



Fonte: Elaborada pelo Autor.

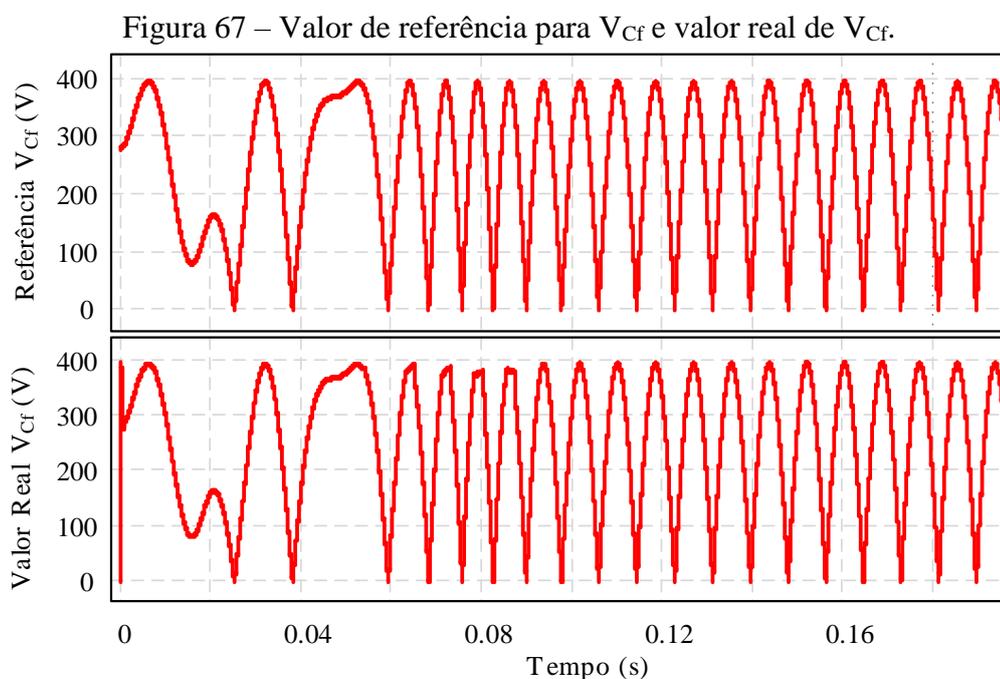
Na Figura 65 são apresentadas a tensão da rede (V_r) e o theta (θ_f) da saída do PLL do filtro ativo. Como pode ser observado, o PLL foi projetado de forma que retorne na saída um valor de θ_f com o dobro da frequência da rede. Assim, foi possível ajustar o circuito auxiliar para mitigar apenas as ondulações em 120Hz provenientes do inversor.

A frequência é ajustada em 740rad/s, valor da ondulação de baixa frequência (120Hz). Na Figura 66, é apresentada o rastreo do PLL do filtro, estabilizando na frequência desejada em 140ms.



Fonte: Elaborada pelo Autor.

Utilizando o valor θ_f , o bloco gerador de referência gera o valor que o controlador de tensão deve estabilizar a tensão do capacitor de filtro C_f . Na Figura 67 são mostradas a tensão de referência calculada pelo valor de θ_{PLL} e tensão obtida pelo controlador de tensão projetado. Como pode ser observado a tensão segue perfeitamente a referência calculada, sendo a instabilidade inicial proveniente do rastreo do PLL.



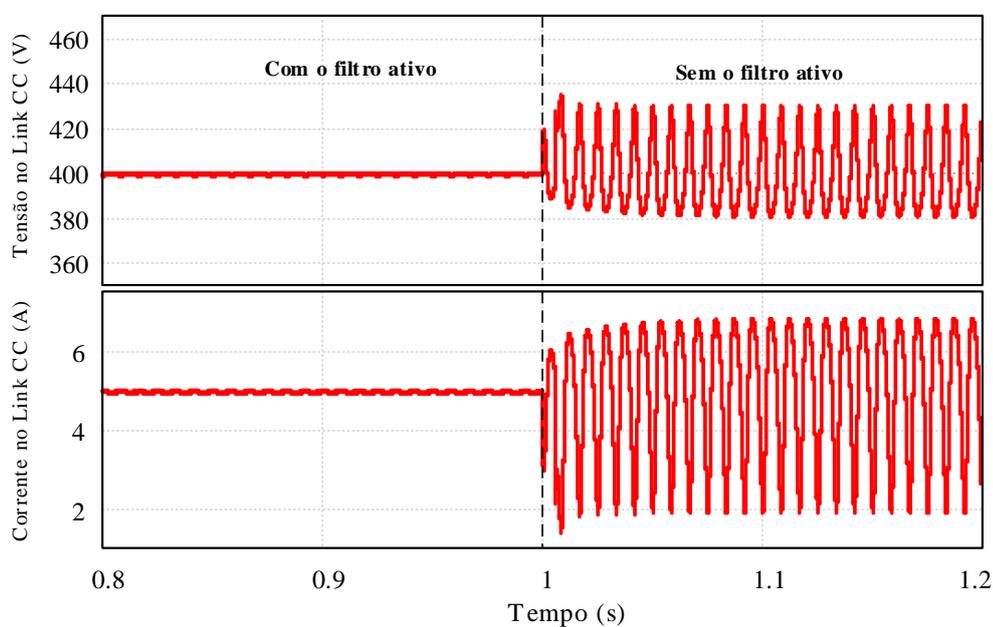
Fonte: Elaborada pelo Autor.

Pela equação (3.6), a tensão de referência foi projetada para uma potência de pico de 4kW, um capacitor de filtro de 68 μ F e um coeficiente de ocupação $k=1$, de modo que, a

tensão do capacitor varie de 0 a 400V. No Projeto foi utilizado um diodo em paralelo com o capacitor de filtro para que em nenhum momento a tensão atingisse valores negativos, o que seria prejudicial para o resto do conversor.

Ao ativar o circuito auxiliar, a ondulação em baixa frequência passa a ser filtrada, retirando do lado CC toda componente alternada. Na Figura 68 apresenta o comportamento da tensão e corrente do barramento CC com e sem a atuação do circuito auxiliar. Até $t = 1$ s o circuito auxiliar está ativo no sistema, toda ondulação é retida do barramento CC ao ser desabilitado a ondulação retorna aos valores apresentados na Figura 64.

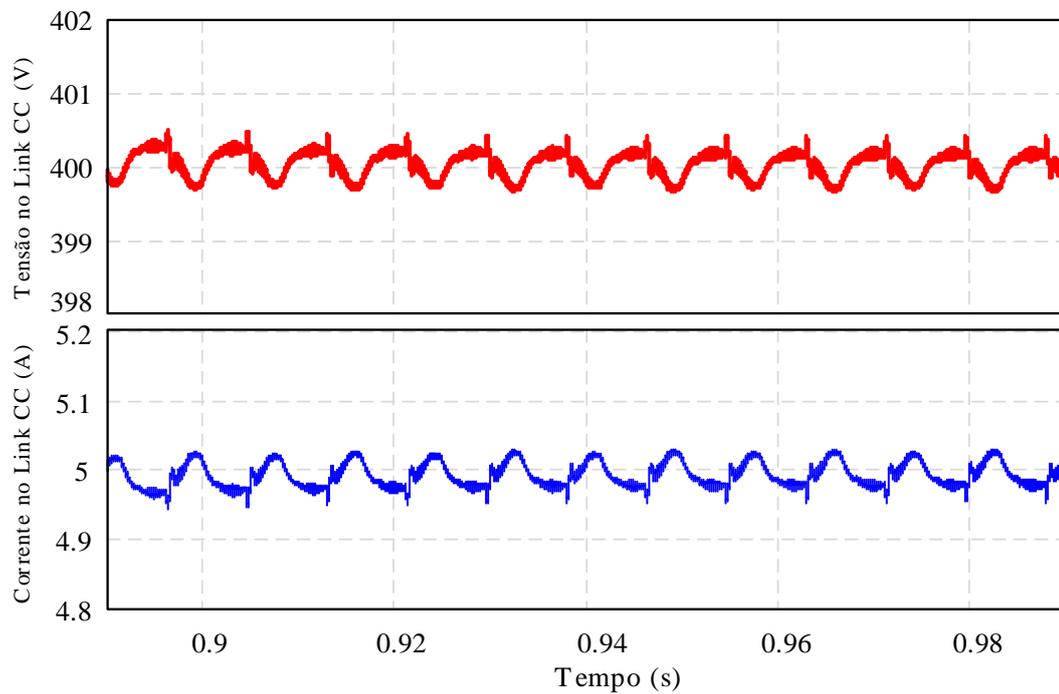
Figura 68 – Simulação do efeito do filtro ativo no sistema.



Fonte: Elaborada pelo Autor.

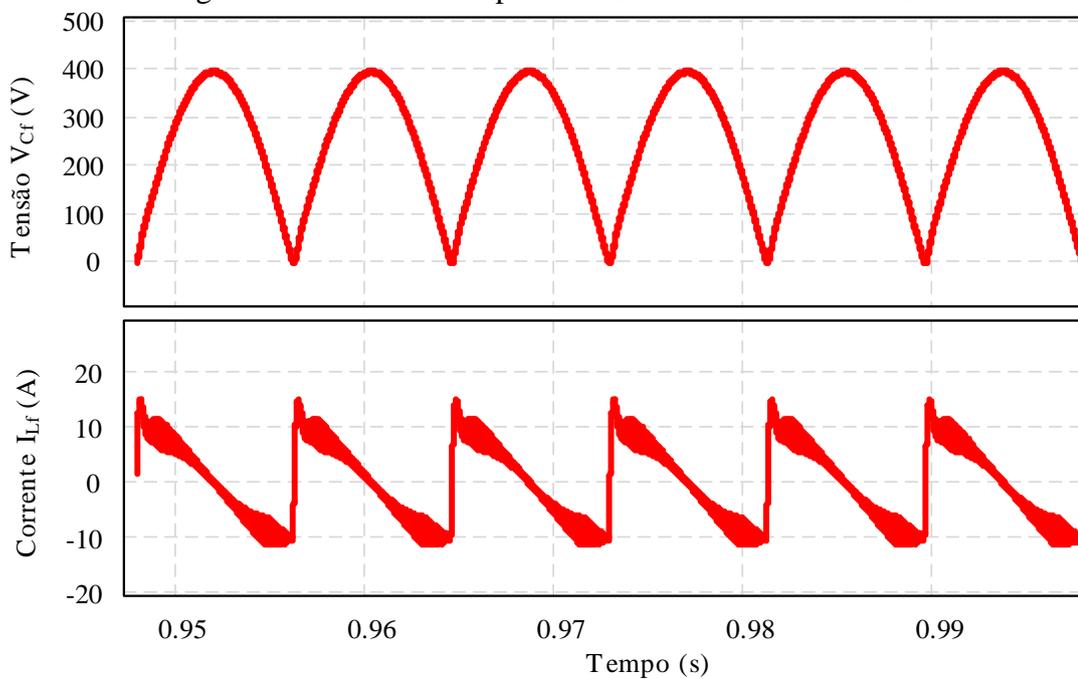
Ao ativar o filtro ativo, a tensão passa a ter uma ondulação de 0,8V (valor de pico-a-pico) e de 80mA na corrente do barramento. Mitigando quase toda a influência de componente alternada no lado CC do conversor. O detalhe da tensão e corrente do barramento é mostrada na Figura 69.

Figura 69 – Tensão e corrente no Barramento CC como o filtro ativo.



Fonte: Elaborada pelo Autor.

Figura 70 – Tensão no capacitor C_f e tensão no indutor L_f .



Fonte: Elaborada pelo Autor.

A tensão no capacitor e a corrente no indutor do filtro estão operando de modo de condução contínuo (CCM) como projetado e de forma a compensar as ondulações em 120Hz,

como pode ser visto na Figura 70. A operação em CCM apresenta vantagens em relação ao descontinuo (DCM) por diminuir os esforços nas chaves.

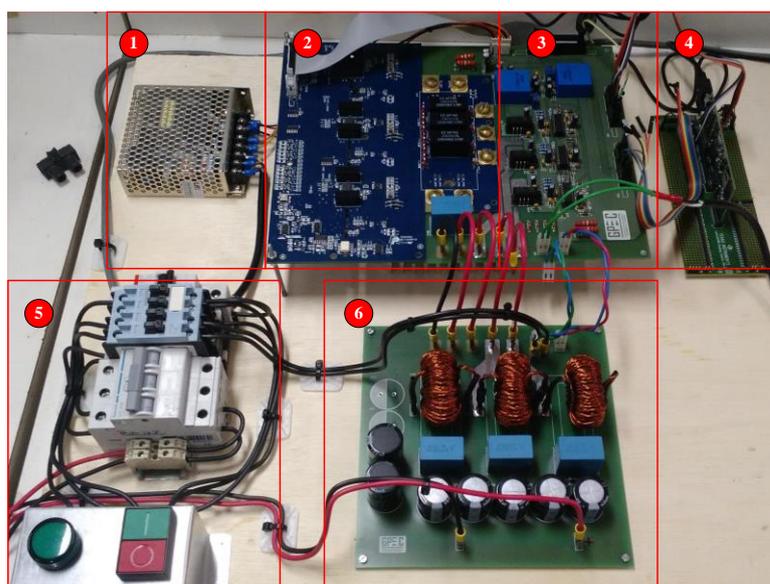
6.3. Resultados Experimentais

Com base em todos os cálculos e nos resultados de simulação foi construído um protótipo para validar o princípio de funcionamento do conversor base desta dissertação. O protótipo de 2 kW foi implementado em laboratório, e o seu esquemático completo, contendo o circuito de potência, controle e sensores são apresentados no Apêndice A.

A fotografia apresentada na Figura 71 mostra o protótipo implementado. Pela imagem podem se identificar os seguintes componentes:

- 1) Fonte CC para alimentação dos circuitos de controle e sensores;
- 2) Driver CGD15FB45P para os seis MOSFETs SiC;
- 3) Placa dos sensores de corrente e tensão;
- 4) Microcontrolador Delfino TMS320F2837xD da Texas Instruments;
- 5) Proteção para a rede elétrica;
- 6) Placa de potência com três filtros LC e capacitores do barramento CC.
- 7)

Figura 71 – Fotografia do protótipo implementado em laboratório.

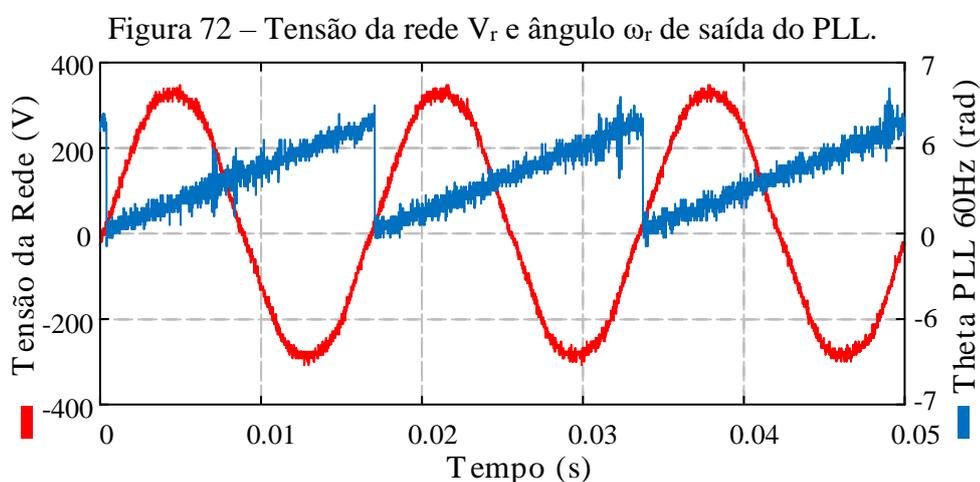


Fonte: Elaborada pelo Autor.

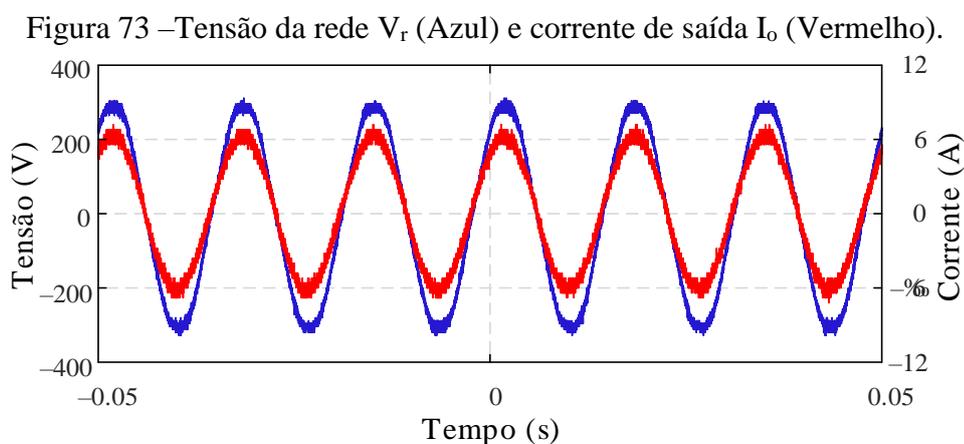
6.3.1. Sincronismo com a Rede

Considerando uma carga puramente resistiva de $48,4\Omega$ (meia carga) na saída e uma alimentação de $400V_{cc}$, foram realizados testes das malhas das correntes de saída do inversor monofásico.

Na Figura 72 são mostradas a tensão da rede V_r e o ângulo ω_r de saída do PLL. O sinal ω_r obtido a partir do DAC (Conversor Analógico-Digital) do microcontrolador, assim é possível observar que o ângulo está variando à uma frequência de 60Hz, de acordo com o esperado.



Fonte: Elaborada pelo Autor.



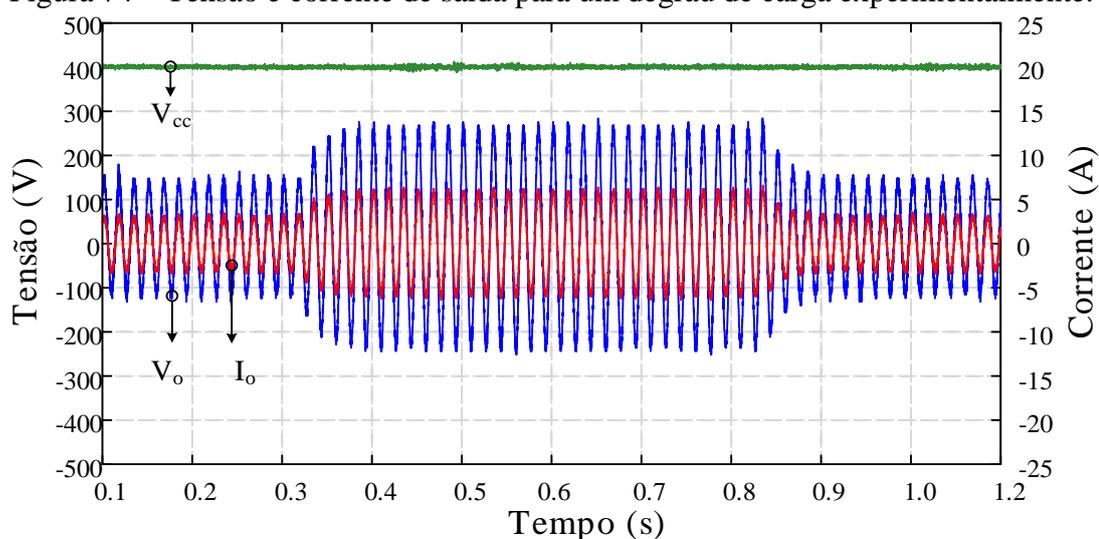
Fonte: Elaborada pelo Autor.

Na Figura 73 são mostradas a tensão da rede V_r e a corrente injetada I_o . A corrente de saída apresenta um formato senoidal e sincronizadas com a tensão da rede, mostrando que o controle do PLL conseguiu rastrear a frequência estipulada. A corrente apresenta um valor de pico de 6,43A, de acordo com a referência estabelecida em código.

6.3.2. Malha de Corrente de Saída

Para testar a operação da malha de corrente foi realizada um degrau na referência da malha de corrente de 35% (4,5 A) para 50% (6,48 A) da corrente de saída do conversor e, em seguida, um degrau de 50% para 35%, mostrado na Figura 74. A corrente de saída (I_o) segue os valores de referência e a tensão de saída (V_o) aumenta para acompanhar a variação de carga, já que o teste foi realizado com uma carga resistiva.

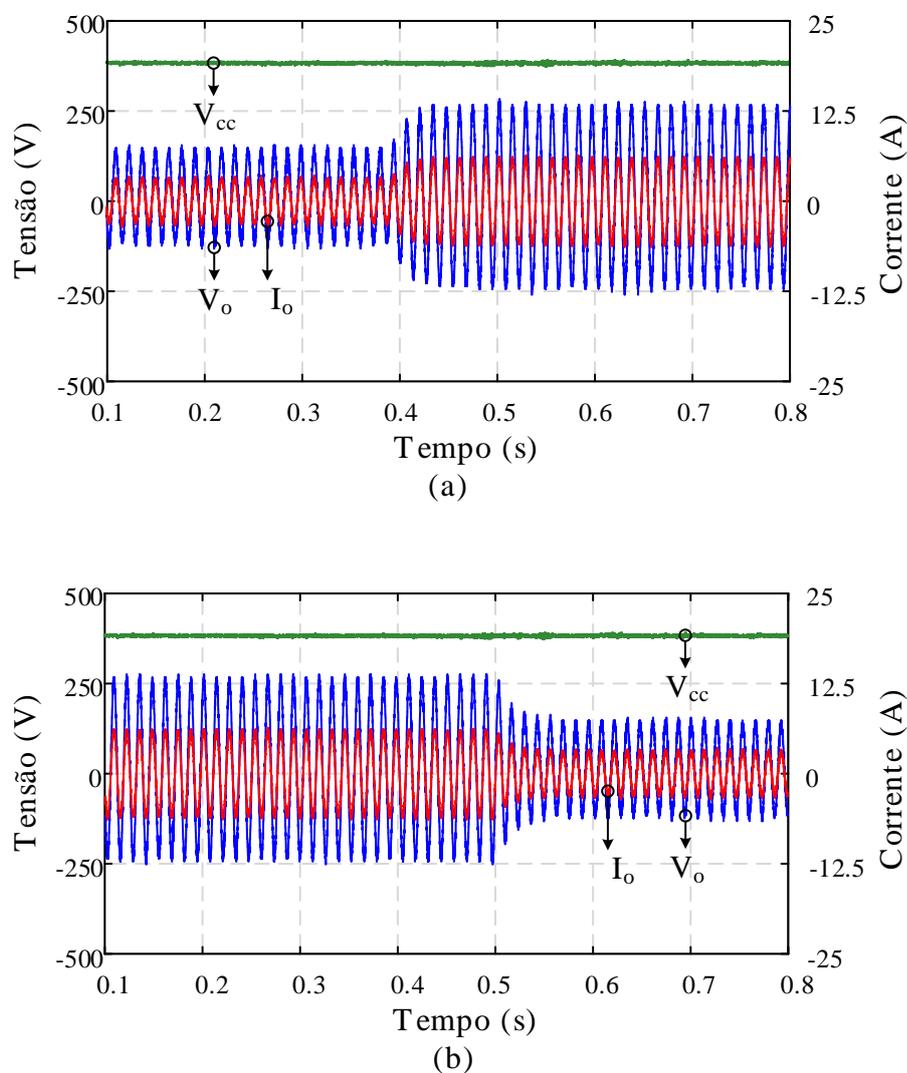
Figura 74 – Tensão e corrente de saída para um degrau de carga experimentalmente.



Fonte: Elaborada pelo Autor.

Na Figura 75 são apresentados os detalhes da corrente e tensão de saída no ensaio de degrau na referência de corrente. Observa-se que a corrente I_o consegue atingir a referência desejada em apenas meio ciclo da rede para variações de 4,5 A para 6,43 A, mostrando uma boa resposta do controlador da corrente.

Figura 75 – Detalhes da corrente e tensão de saída no ensaio de degrau de carga: (a) Entrada de carga; (b) Saída de carga.



Fonte: Elaborada pelo Autor.

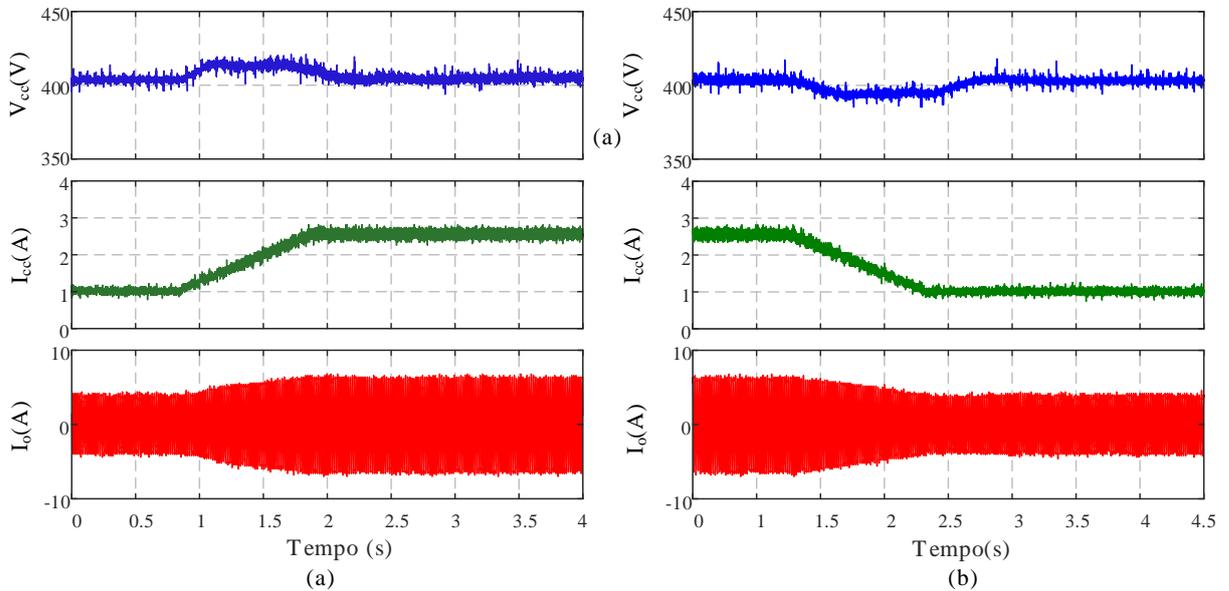
6.3.3. Malha de Tensão (com ALTA Capacitância de Barramento)

Com a malha de corrente validada é possível ativar a malha de tensão do barramento. Neste primeiro teste é realizado com um barramento com alta capacitância (1880 μF no link CC). Considerando o projeto para uma baixa ondulação no link CC ($\Delta V_{cc} = 2\% V_{cc}$) utilizando 4 capacitores eletrolíticos de 470 μF em paralelo, foi realizado o ensaio para mostrar do sistema sem a atuação do filtro ativo. Desta vez, realizando um degrau na carga para obter uma variação de 35% para 50% da potência nominal do conversor.

Na Figura 78 é apresentada a tensão de entrada V_{cc} , a corrente de entrada I_{cc} e a corrente de saída I_o com a atuação da malha de tensão. Na Figura 76 (a) é mostrada a variação

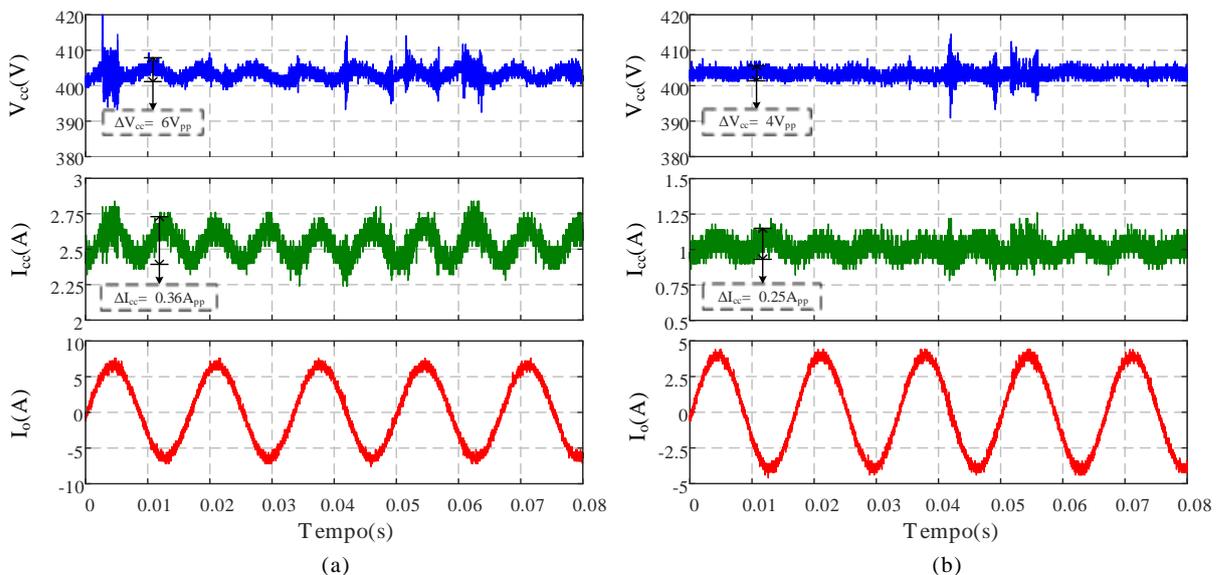
de 35-50% de carga e na Figura 76 (b) a variação de 50-35% da carga. Nota-se a malha de tensão consegue manter os 400 V no barramento em ambos os casos e com o baixo *over/undershoot* (abaixo do 10% em ambos os casos).

Figura 76 – Degrau de carga com alta capacitância de entrada.



Fonte: Elaborada pelo Autor.

Figura 77 – Detalhes do ensaio com alta capacitância de entrada.



Fonte: Elaborada pelo Autor.

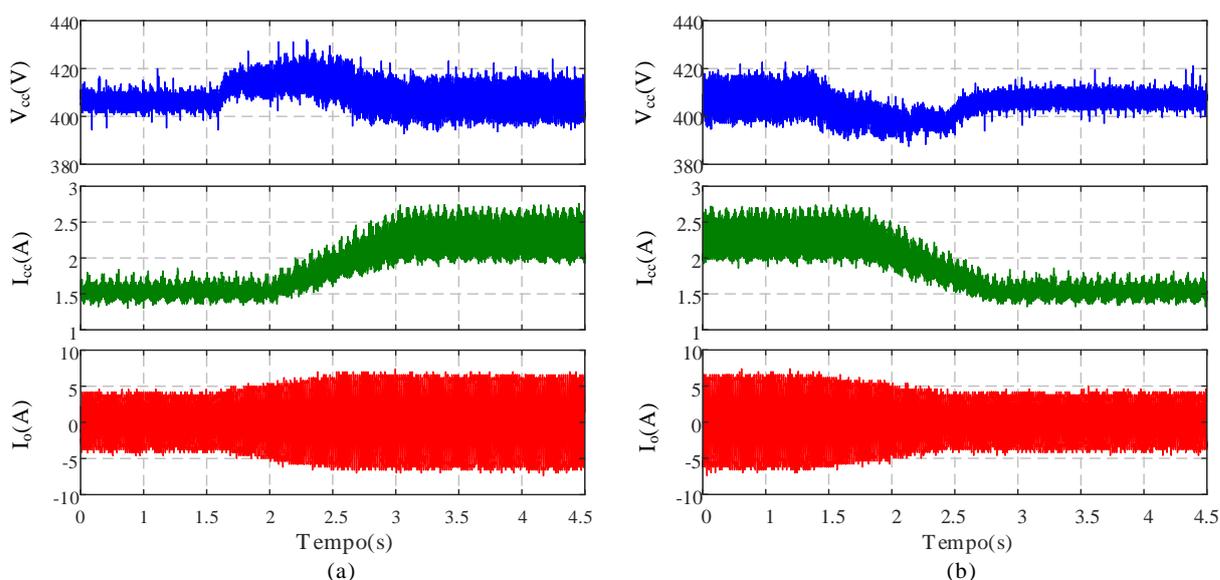
O comportamento mais detalhado dos sinais para o ensaio com alta capacitância de barramento pode ser visto na Figura 77. Na Figura 77(a) temos a tensão de entrada V_{cc} , a

corrente de entrada I_{cc} e a corrente de saída I_o com 50% da carga nominal do conversor e na Figura 77(b), os mesmos sinais, agora com para uma carga de 35%. Para as duas condições de carga, é vista uma ondulação de 6 V e 4 V (pico-a-pico) na tensão V_{cc} , respectivamente, para 50% e 35% de carga, e uma ondulação de 0,36 A e 0,25 A na corrente I_{cc} . Como esperado, nas duas condições apresentam uma baixa ondulação de 120Hz, tendo em vista que a alta capacitância no barramento CC consegue mitigar boa parte da ondulação.

6.3.4. Malha de Tensão (com BAIXA Capacitância de Barramento)

Na Figura 78 é apresentada a corrente de entrada I_{cc} , a tensão de entrada V_{cc} e a corrente de saída I_o com a atuação da malha de tensão e uma baixa capacitância no barramento CC. Neste ensaio foram utilizados dois capacitores de 150 μF em paralelo, obtendo um barramento de 300 μF . Foram realizadas as mesmas condições de ensaio de carga, onde é realizada uma variação de 35% para 50% da potência nominal do conversor. O controle em cascata consegue manter a corrente senoidal e manter a tensão em torno dos 400 V de referência, mas pode-se notar que a corrente e a tensão de entrada são bastante onduladas devido à baixa capacitância de entrada e a ausência do filtro ativo.

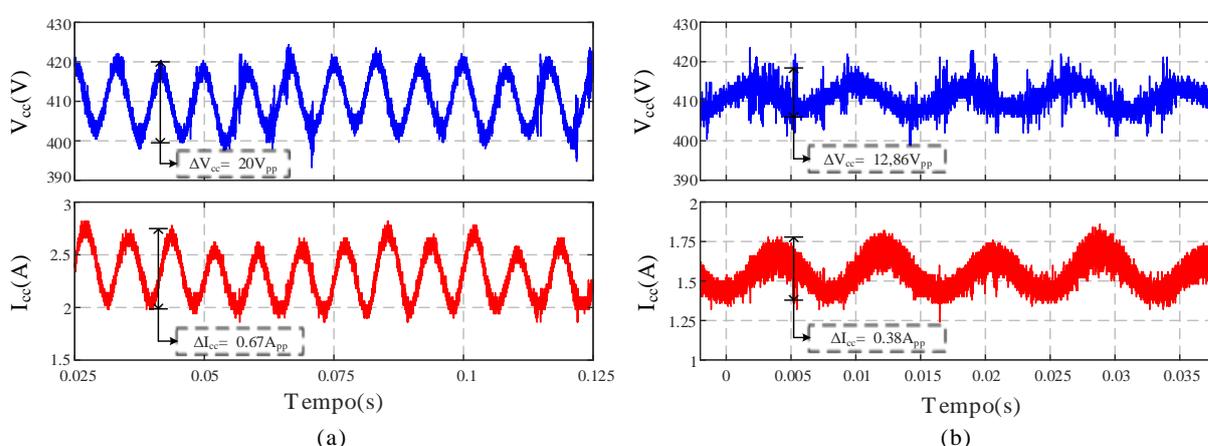
Figura 78 – Degrau de carga com baixa capacitância de entrada.



Fonte: Elaborada pelo Autor.

Os detalhes para as duas condições de carga são apresentados na Figura 79. Na Figura 79(a) temos o comportamento para da tensão V_{cc} e da corrente I_{cc} com 50% de carga e na Figura 79(b) com 35% da carga nominal. Nota-se que as ondulações de baixa frequência no Link CC aumentam de acordo com a potência processada, e sem a presença de alguma estratégia para mitiga-las, os níveis de tensão e corrente podem chegar ao ponto de prejudicar tanto o controle quanto comprometer os limites estruturais dos demais componentes, uma vez que estes valores podem chegar a ultrapassar os limites de tensão/corrente devido à instabilidade.

Figura 79 – Detalhes do ensaio com baixa capacitância de entrada.

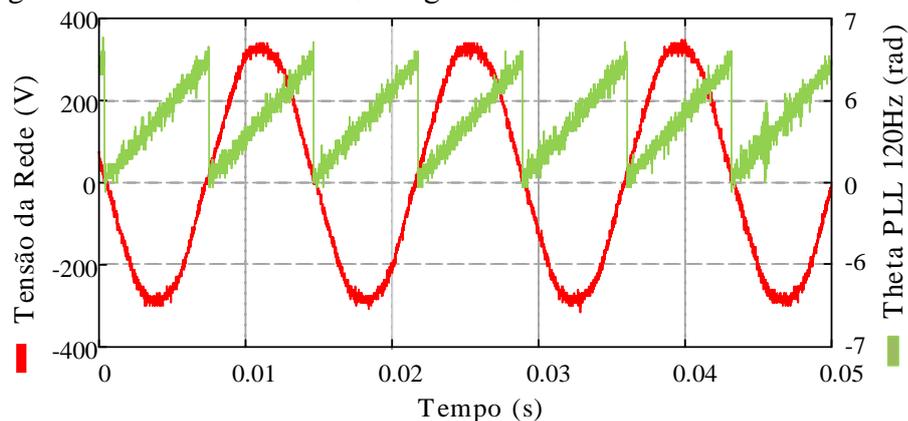


Fonte: Elaborada pelo Autor.

6.3.5. Sistema Completo (Filtro Ativo Operando)

Com todas as malhas do inversor validadas, agora é necessário validar a operação do filtro ativo proposto. Na Figura 80 são mostradas a tensão da rede V_r e o ângulo ω_{ft} de saída do PLL do filtro ativo.

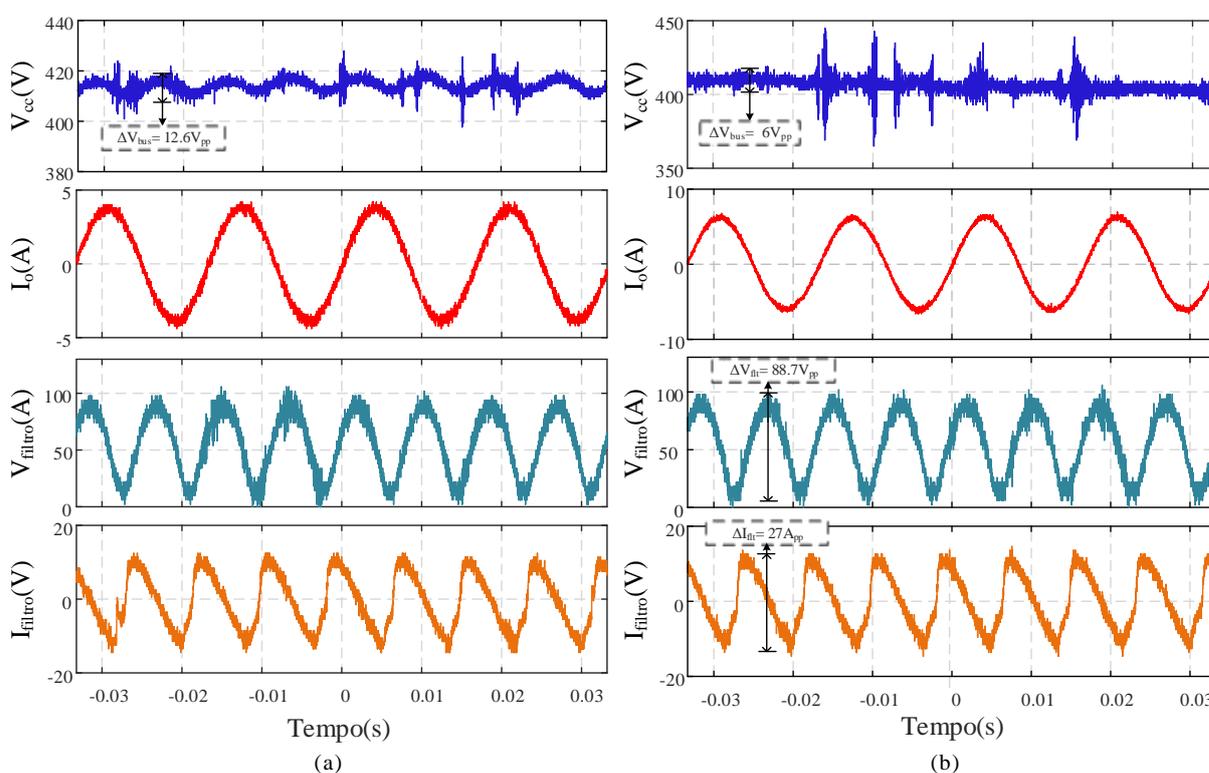
Figura 80 – Tensão da rede V_r e ângulo ω_{ft} de saída do PLL do filtro ativo.



Fonte: Elaborada pelo Autor.

Este sinal está sincronizado com o dobro da frequência da rede, afim de obter a referência para a tensão de C_f , conforme mostrado na Equação (3.6). Com o ângulo sincronizado com a ondulação e com base nos parâmetros de projeto, como a potência processada, capacitância do filtro ativo e considerando o fato k igual a 1,04, foi possível calcular o comportamento que se deseja impor para o filtro ativo. O fator k foi escolhido com um valor acima de 1 para evitar que a tensão de C_f chegue em um estado de zero volts. Na Figura 81(a) temos o ensaio do sistema para 35% e na Figura 81(b) para 50% da carga nominal.

Figura 81 – Ensaio do completo (Filtro Ativo Operando).



Fonte: Elaborada pelo Autor.

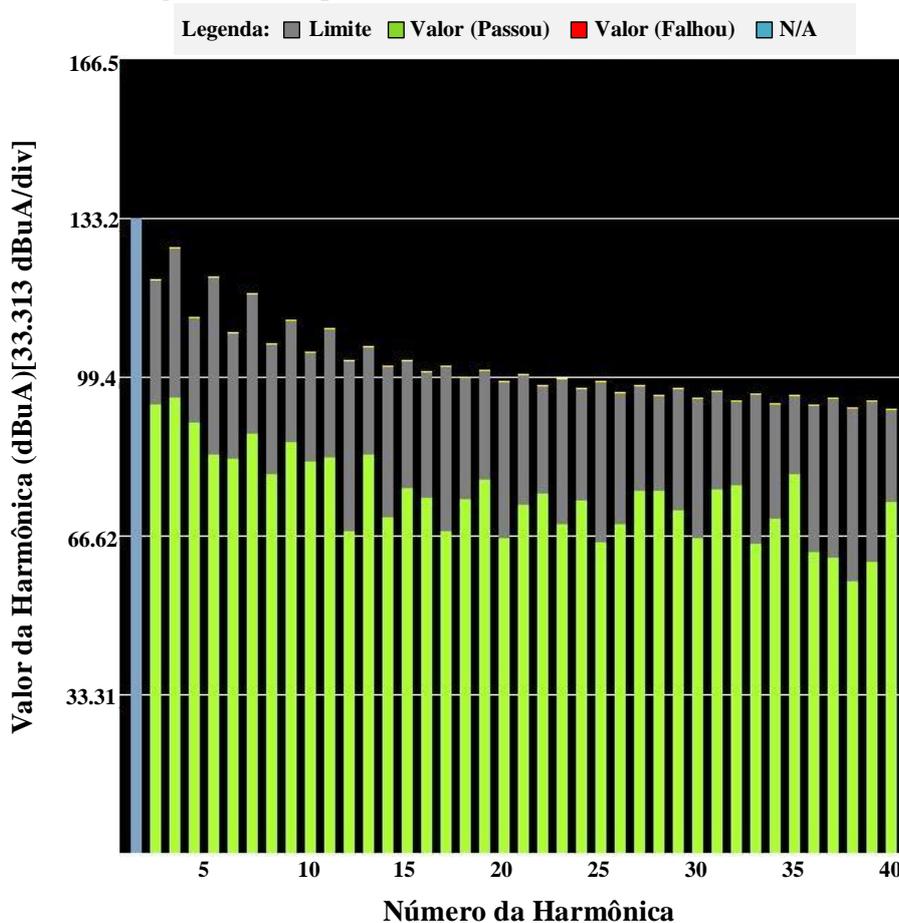
Pela Figura 81 é possível ver que, para as duas condições de carga, a corrente de saída é puramente senoidal (com baixo THD) e o controle consegue entregar a potência imposta, mantendo o barramento em 400 V, como esperado. As correntes encontradas para 35% e 50% de carga são, respectivamente, 4,8 A e 6,8 A. No filtro ativo, temos que a tensão no capacitor fica oscilando entre 10 V e 98,7 V, com sincronizado em 120 Hz, seguindo a

referência calculada. O comportamento da corrente está de acordo com os encontrados em simulação e para este nível de potência a corrente fica com uma oscilação de 27 A (pico-a-pico).

Na tensão V_{cc} é possível ver que, com a ativação do filtro ativo, a ondulação de baixa frequência é atenuada pela metade nos dois casos, apresentando uma de $12,6 V_{pp}$ e $6 V_{pp}$, respectivamente, para 35 e 50% de carga. No controle adotado foi aplicada uma tensão de referência fixa no filtro ativo, sem um cálculo iterativo da potência a ser mitigada. Apesar disso já se nota uma influência bastante significativa no barramento de link CC no que diz respeito a redução das ondulações de baixa frequência.

Nas Figura 82 é apresentada o espectro de harmônicas da corrente de saída obtido experimentalmente. Em condições de meia carga foi obtido um THDi de 2,22% e passando pelos requisitos comparado com a norma IEC 61000-3-2, verifica-se que a corrente está em conformidade com o padrão para equipamentos classificados na Classe A.

Figura 82 – Espectro harmônico da corrente de saída.



Fonte: Elaborada pelo Autor.

6.4. Considerações Finais

Neste capítulo foram apresentados os resultados finais de simulação e experimentais obtidos em laboratório para validar a topologia e estratégias de controle adotada. Primeiramente foram validados os controladores do inversor, começando pela malha de corrente, aplicando referências fixas e aplicando uma carga puramente resistiva na saída. Posteriormente foi testada a malha de tensão com dois barramentos, um com alta e outro com baixa capacitância, para testar as implicações na tensão do link CC. O controlador conseguiu manter a tensão em torno da referência de 400 V, como especificado, mas notou-se o aumento significativo das ondulações de 120 Hz no caso de baixa capacitância. Com a ativação do filtro ativo, esta ondulação foi reduzida pela metade, mostrando a funcionalidade do filtro proposto. O conversor completo apresentou um bom comportamento na aplicação de degraus de carga na saída e uma taxa de distorção harmônica de 2,22% na corrente de saída, operando com 50% da carga.

7. CONCLUSÃO

Neste trabalho foi apresentado um inversor monofásico para painéis fotovoltaicos operando em alta frequência. O conversor proposto é voltado para aplicações que possuam uma eleva tensão contínua de entrada e em sistemas com elevada densidade de potência.

Primeiramente foi realizada uma revisão bibliográfica dos sistemas de geração fotovoltaica, mostrando que os conversores de único estágio de conversão são mais compactos e apresentam menores custo e complexidade. Entretanto, foi visto que este tipo de configuração apresentava bastante problemas com corrente de fuga e tensão de modo comum, foram apresentadas variações da topologia *full-bridge* para lidar com estes problemas. No final do capítulo foi proposta uma topologia com dois LC de saída para lidar com a corrente de fuga sem aumentar o número de chaves ou a complexidade do controle.

Em seguida foi realizada uma análise qualitativa e quantitativa da topologia adotada, mostrando os principais esforços de tensão e corrente no conversor. A fim de realizar a conexão com a rede elétrica foram apresentadas técnicas de PLL e escolhida a configuração que mais se adequa com o sistema adotado.

Na análise do conversor foi visto a presença da ondulação de baixa frequência proveniente da conversão CC-CA causa um sobredimensionamento do barramento CC do conversor, que contribui para o aumento do volume do conversor, além dos custos e redução da vida útil. Partindo deste ponto, foram abordadas técnicas de filtragem até chegar no circuito auxiliar adotado neste trabalho.

No capítulo posterior, foi realizado o projeto de um protótipo de 2kW, com tensão de entrada de 400Vcc e saída de 220Vca eficaz em 60Hz. Foram projetados os componentes necessários para implementação do protótipo.

Após dimensionado o conversor, foram definidos os controladores de cada estágio do conversor e realizada a simulação computacional para validar o projeto realizado. Por fim, foram implementados os principais resultados experimentais do protótipo montado no laboratório para validação definitiva e levantar a curva de rendimento da topologia proposta.

No estágio de conversão CC-CA, foi mostrado que o controle implementado, composto por uma malha de tensão em cascata com dois controladores das correntes de saída, apresentou boa resposta aos degraus de carga e um THDi de 2% mesmo com metade da carga nominal.

Pelos métodos convencionais, a capacitância necessária para compensa as ondulações de baixa frequência decorrente do estágio CC-CA é muito elevada (1,6mF). A partir do método de filtro ativo proposto esta capacitância pode ser reduzida em mais de 25 vezes (66,3 μ F). Em um projeto utilizando o método convencional, para conseguir tal capacitância seria necessário colocar uma associação de capacitores eletrolíticos em série e em paralelo. A vida útil deste tipo de componente é bastante reduzida, assim a utilização de componente ativos mostra ser uma escolha promissora para aumentar a vida útil do conversor e aumentar a densidade de potência. Como foi mostrado, a topologia de filtro ativo mostrou-se bastante promissora para a redução das ondulações de baixa frequência tanto operando em DCM como proposto em (RUXI et al., 2011), quanto operando em CCM proposto por este trabalho. Sendo que, a utilização em CCM implica menos esforços nas chaves e o controle torna-se mais simplificado.

O controle proposto para o filtro respondeu de forma eficaz, rastreando a frequência da rede e seguindo a referência de tensão e corrente, de acordo com o projetado. O controle com malha de corrente e de tensão permitiu um controle mais robusto do circuito, conseguindo mitigar praticamente toda ondulação de baixa frequência sem interferir na operação do inversor.

Como trabalhos futuros pode-se incluir o estudo componente mais adequados para a implementar um protótipo com alta densidade de potência, como a utilização de capacitores de filme que suportem uma corrente mais elevada, o que proporcionaria uma redução ainda maior do barramento CC.

REFERÊNCIAS

ABDEL-QAWEE, I. et al. Closed-loop control of single phase selective harmonic elimination PWM inverter using proportional-resonant controller. *Modelling, Identification & Control (ICMIC)*, 2013 Proceedings of International Conference on, 2013. Aug. 31 2013-Sept. 2 2013. p.169-174.

ABNT NBR, A. B. D. N. T. **Sistemas fotovoltaicos (FV) - Características de interface de conexão com a rede elétrica de distribuição** 2013.

AGAMY, M. S.; JAIN, P. K. A State Space Modeling Approach of a Single-Stage Three Level Resonant AC/DC Converter Operating in Discontinuous Conduction Mode. *Telecommunications Energy Conference*, 2006. INTELEC '06. 28th Annual International, 2006. Sept. 2006. p.1-7.

ALMEIDA, P. M. et al. Controle e redução das correntes harmônicas de um sistema de geração fotovoltaico interligado à rede elétrica sem filtros passivos. **Eletrônica de Potência (Impresso)**, v. 18, p. 1149-1160, 2013. ISSN 14148862.

BLAABJERG, F.; ZHE, C.; KJAER, S. B. Power electronics as efficient interface in dispersed power generation systems. **Power Electronics, IEEE Transactions on**, v. 19, n. 5, p. 1184-1194, 2004. ISSN 0885-8993.

BOLZIN, A. S. **Estudo e implementação de um conversor bidirecional CC-CA monofásico de dois estágios com interface ente nanorede e a rede elétrica**. 2014. Dissertação (Mestrado em Engenharia Elétrica). Universidade Federal de Minas Gerais, Belo Horizonte - MG.

BUSO, S.; MATTAVELLI, P. **Digital Control in Power Electronics**. 1ª Edição. Morgan & Claypool, 2006.

CARRASCO, J. M. et al. Power-Electronic Systems for the Grid Integration of Renewable Energy Sources: A Survey. **Industrial Electronics, IEEE Transactions on**, v. 53, n. 4, p. 1002-1016, 2006. ISSN 0278-0046.

COUTO, M. B. **Ensaio de equipamentos de consumo típico utilizados em sistemas fotovoltaicos**. 2000. Dissertação (Mestrado em Engenharia Mecânica). Universidade Federal do Rio Grande do Sul, Porto Alegre.

DIAS, A. et al. Unified control of two-stage bidirectional converter with an active filter for eliminating low frequency ripple. *13th Brazilian Power Electronics Conference - COBEP and the 1st Southern Power Electronics Conference - SPEC*, Fortaleza, 2015.

FREDDY, T. K. S. et al. Comparison and Analysis of Single-Phase Transformerless Grid-Connected PV Inverters. **Power Electronics, IEEE Transactions on**, v. 29, n. 10, p. 5358-5369, 2014. ISSN 0885-8993.

GOMES, P. H. C. **Análise e síntese de um algoritmo “Phase Locked Loop” robusto para estimação de amplitude, fase e frequência de sinais elétricos**. 2007. Dissertação (Mestrado em Engenharia Elétrica). Universidade Federal de Juiz de Fora, Juiz de Fora - MG.

GONZALEZ, R. et al. Transformerless Inverter for Single-Phase Photovoltaic Systems. **Power Electronics, IEEE Transactions on**, v. 22, n. 2, p. 693-697, 2007. ISSN 0885-8993.

GOOGLE; IEEE, T. I. O. E. A. E. E. The Little Box Challenge. 2014. Disponível em: < <http://www.littleboxchallenge.com/> >. Acesso em: 26/10/2015.

GUO-RONG, Z. et al. Mitigation of Low-Frequency Current Ripple in Fuel-Cell Inverter Systems Through Waveform Control. **Power Electronics, IEEE Transactions on**, v. 28, n. 2, p. 779-792, 2013. ISSN 0885-8993.

HAILI, S. et al. Modeling MW-dependent ramp rate in the electricity market. PES General Meeting | Conference & Exposition, 2014 IEEE, 2014. jul. 2014. p.1-5.

HANJU, C.; TRUNG-KIEN, V. Comparative analysis of low-pass output filter for single-phase grid-connected Photovoltaic inverter. Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE, 2010. 21-25 Feb. 2010. p.1659-1665.

HUANG-JEN, C. et al. A module-integrated isolated solar microinverter. **Industrial Electronics, IEEE Transactions on**, v. 60, n. 2, p. 781-788, 2013. ISSN 0278-0046.

INFINEON. **Mosfet Power Losses Calculation Using the Data-Sheet Parameters** 2006.

LEE, S. H. et al. Single-phase transformerless bi-directional inverter with high efficiency and low leakage current. **IET Power Electronics**, v. 7, n. 2, p. 451-458, 2014. ISSN 1755-4535.

LINARD, F. M. A. **Sistema Ininterrupto de Energia de Dupla Conversão com Integração do Retificador e do Inversor**. 2009. Dissertação (Mestrado em Engenharia Elétrica). Universidade Federal do Ceará, Fortaleza - CE.

LIRIO, L. E. A. **Contribuições para análise de perdas em conversores de potência com MOSFET**. 2013. Dissertação (Mestrado em Engenharia Elétrica). Universidade Federal do Rio de Janeiro, Rio de Janeiro - RJ.

LOPEZ, O. et al. Leakage current evaluation of a singlephase transformerless PV inverter connected to the grid. Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE, 2007. Feb. 25 2007-March 1 2007. p.907-912.

MAGMATTEC, M. M. T. **NÚCLEO TOROIDAL DE PÓ DE FERRO - MATERIAL 34** 2015.

MARANGONI, F. **Inversores monofásicos para conexão de sistemas fotovoltaicos à rede**. 2012. Dissertação (Mestrado em Engenharia Elétrica). Universidade Tecnológica Federal do Paraná, Pato Branco, PR.

MARTHINS, D. C.; BARBI, I. **Introdução ao estudo dos conversores CC-CA**. 2ª Edição. Florianópolis, Brasil: Edições dos Autores, 2008.

MCLYMAN, C. W. T. **Transformer and Inductor Design Handbook**. 4ª Edição. CRC Press, 2011.

NAKABAYASHI, R. K. **Microgeração fotovoltaica no Brasil: Condições Atuais e perspectivas futuras**. 2014. Dissertação (Mestrado em Ciências). Universidade de São Paulo

NOVAES, Y. R. D. **Contribuições para sistemas de processamento de energia de células a combustível**. 2006. Tese (Doutorado em Engenharia Elétrica). Universidade Federal De Santa Catarina, Florianópolis - SC.

NUOTIO, M. et al. Innovative AC photovoltaic module system using series connection and universal low-voltage micro inverters. Photovoltaic Specialist Conference (PVSC), 2014 IEEE 40th, 2014. 8-13 June 2014. p.1367-1369.

OCHOA ROBLES, O. E.; BERISTÁIN JIMÉNEZ, J. A.; RAMÍREZ, J. P. Single-phase bidirectional high frequency link photovoltaic inverter with reactive power compensation function. Power Electronics and Power Quality Applications (PEPQA), 2015. p.1-6.

OLDENKAMP, H. et al. Reliability and accelerated life tests of the AC module mounted OKE4 inverter. Photovoltaic Specialists Conference, 1996., Conference Record of the Twenty Fifth IEEE, 1996. 13-17 May 1996. p.1339-1342.

OLIVEIRA, D. S.; ALMEIDA, B. R. D. A Bidirectional Single-stage Three-Phase AC/DC Converter with High-Frequency Isolation and PFC. PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of, 2015. 19-20 May 2015. p.1-8.

POMILIO, J. A. **Eletrônica de Potência para Geração, Transmissão e Distribuição de Energia Elétrica**. 2013. Disponível em: <
<http://www.dsce.fee.unicamp.br/~antenor/pdf/files/it744/introdu%E7%E3o.pdf>>. Acesso em: 01/01/2016.

RASHID, M. H. **Eletrônica de Potência: circuitos, dispositivos e aplicações**. São Paulo, Brasil: Makron Books, 1999.

RODRIGUES, M. D. C. B. **Inversor boost multinível em corrente e sua aplicação em sistemas fotovoltaicos conectados à rede elétrica**. 2004. Dissertação (Mestrado em Engenharia Elétrica). Universidade Federal De Juiz De Fora, Juiz de Fora, MG.

ROLIM, L. G. B.; DA COSTA, D. R.; AREDES, M. Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Based on the pq Theory. **Industrial Electronics, IEEE Transactions on**, v. 53, n. 6, p. 1919-1926, 2006. ISSN 0278-0046.

RUXI, W. et al. A High Power Density Single-Phase PWM Rectifier With Active Ripple Energy Storage. **Power Electronics, IEEE Transactions on**, v. 26, n. 5, p. 1430-1443, 2011. ISSN 0885-8993.

SANTOS, H. A. **Projeto de conversor cc-ca monofásico controlado para interligação de barramentos cc e ca de uma microrrede**. 2014. Dissertação (Mestrado em Engenharia Elétrica). Universidade Federal do Ceará

SANTOS, L. **Cálculo das perdas técnicas dos transformadores de distribuição, operando em ambiente não-senoidal**. 2006. Dissertação (Mestrado em Engenharia Elétrica). Universidade Estadual Paulista, Ilha Solteira - SP.

SARIDAKIS, S.; KOUTROULIS, E.; BLAABJERG, F. Optimization of SiC-Based H5 and Conergy-NPC Transformerless PV Inverters. **Emerging and Selected Topics in Power Electronics, IEEE Journal of**, v. 3, n. 2, p. 555-567, 2015. ISSN 2168-6777.

SENJUN, H. et al. Enhanced HERIC based transformerless inverter with hybrid clamping cell for leakage current elimination. Energy Conversion Congress and Exposition (ECCE), 2015 IEEE, 2015. 20-24 Sept. 2015. p.5337-5341.

SERBAN, I. A novel transistor-less power decoupling solution for single-phase inverters. Industrial Electronics Society, IECON 2013 - 39th Annual Conference of the IEEE, 2013. 10-13 Nov. 2013. p.1496-1500.

SILVA, C. E. A. **Inversor Monofásico Isolado em Alta Frequência com Ampla Faixa de Tensão de Entrada**. 2007. Dissertação (Dissertação em Engenharia Elétrica). Universidade Federal do Ceará, Fortaleza - CE.

SMA, S. T. A. Corrientes de fuga capacitivas. **Datasheet: Indicações para o dimensionamento de inversores sem transformador**, 2015. Disponível em: <<http://www.technosun.com/es/descargas/buscador-documentacion.php>>. Acesso em: 26/10/2015.

SONTI, V.; JAIN, S.; BHATTACHARYA, S. Analysis of the Modulation Strategy for the Minimization of the Leakage Current in the PV Grid-Connected Cascaded Multilevel Inverter. **IEEE Transactions on Power Electronics**, v. 32, n. 2, p. 1156-1169, 2017. ISSN 0885-8993.

TEODORESCU, R. et al. Proportional-resonant controllers and filters for grid-connected voltage-source converters. **Electric Power Applications, IEE Proceedings**, v. 153, n. 5, p. 750-762, 2006. ISSN 1350-2352.

TEODORESCU, R.; LISERRE, M.; RODRÍGUEZ, P. In: (Ed.). **Grid converters for photovoltaic and wind power systems**. 1 ed: John Wiley & Sons, Ltd, 2011. cap. 2, p.5-6.

VIDAL, E. F.; BARBI, I. AC-DC Bidirectional Single-Phase Step-Down Converter with High Power Factor. IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on, 2006. 6-10 Nov. 2006. p.2043-2048.

WATANABE, E. H. et al. New concepts of instantaneous active and reactive powers in electrical systems with generic loads. **Power Delivery, IEEE Transactions on**, v. 8, n. 2, p. 697-703, 1993. ISSN 0885-8977.

WEN, C. et al. An Active Low-Frequency Ripple Control Method Based on the Virtual Capacitor Concept for BIPV Systems. **Power Electronics, IEEE Transactions on**, v. 29, n. 4, p. 1733-1745, 2014. ISSN 0885-8993.

XIA, X.; XIA, J. Evaluation of Potential for Developing Renewable Sources of Energy to Facilitate Development in Developing Countries. Power and Energy Engineering Conference (APPEEC), 2010 Asia-Pacific, 2010. 1 ed, mar. 2010. p.1-3.

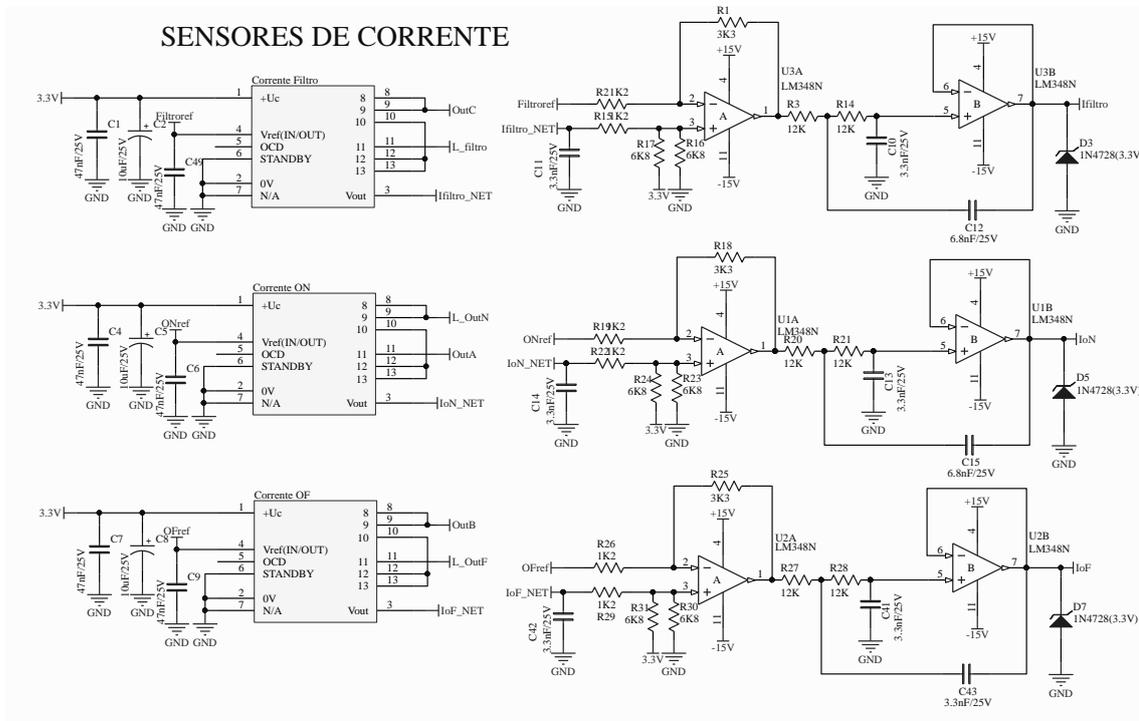
YOUNG-HO, K. et al. Flyback inverter using voltage sensorless MPPT for AC module systems. Power Electronics Conference (IPEC), 2010 International, 2010. 21-24 June 2010. p.948-953.

Z et al. A survey and extension of high efficiency grid connected transformerless solar inverters with focus on leakage current characteristics. 2012 IEEE Energy Conversion Congress and Exposition (ECCE), 2012. 15-20 Sept. 2012. p.3453-3460.

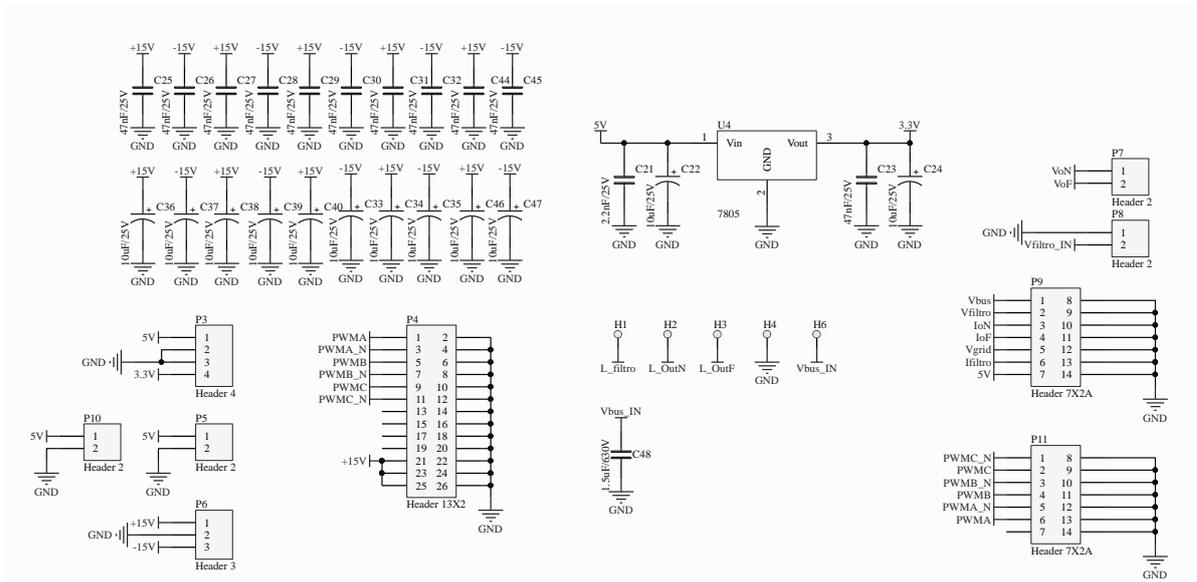
APÊNDICE A – ESQUEMÁTICOS E PCBs DESENVOLVIDOS

Neste apêndice são apresentados todos os esquemáticos e PCBs das placas desenvolvidas para o funcionamento deste protótipo.

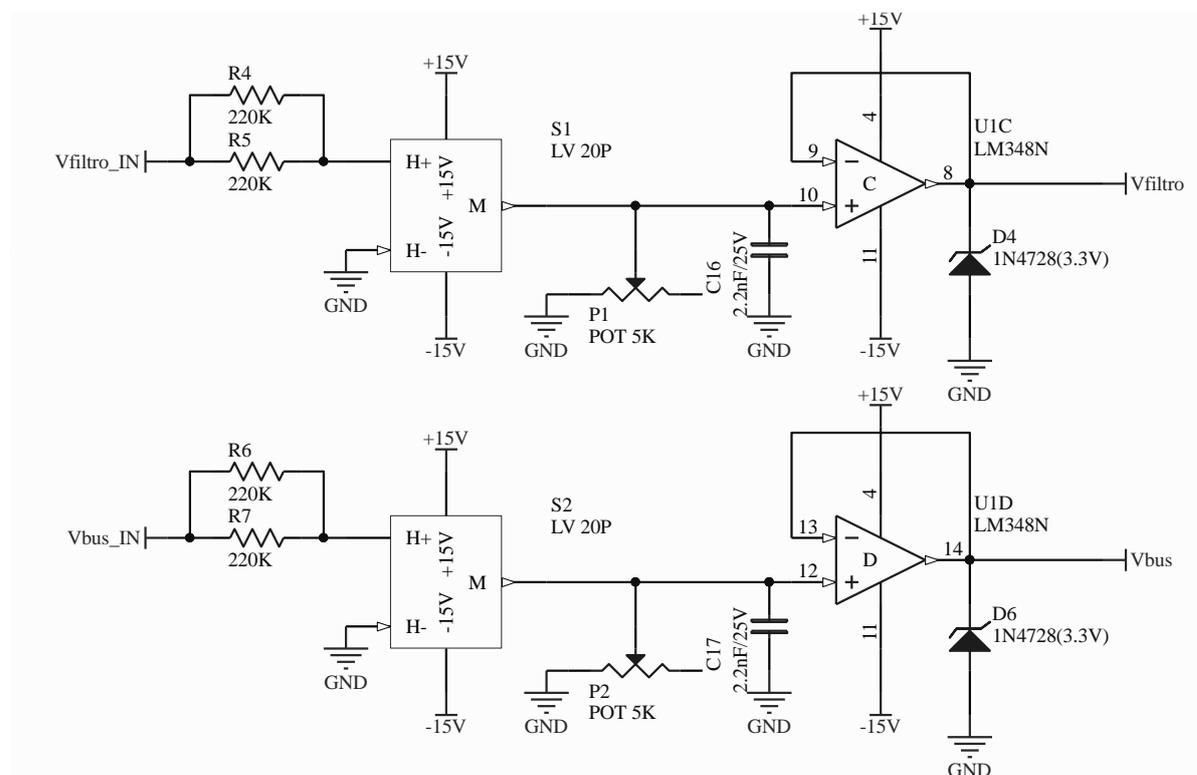
A1. ESQUEMÁTICO DOS SENSORES DE CORRENTE



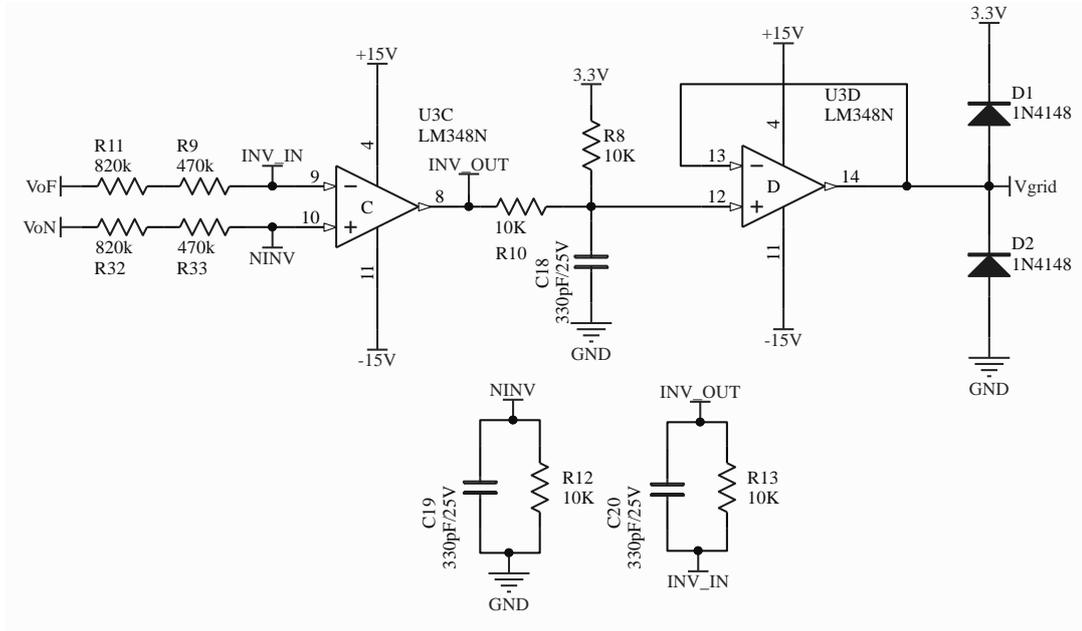
A2. ESQUEMÁTICO DOS CONECTORES DE SINAIS E ALIMENTAÇÃO DA PLACA



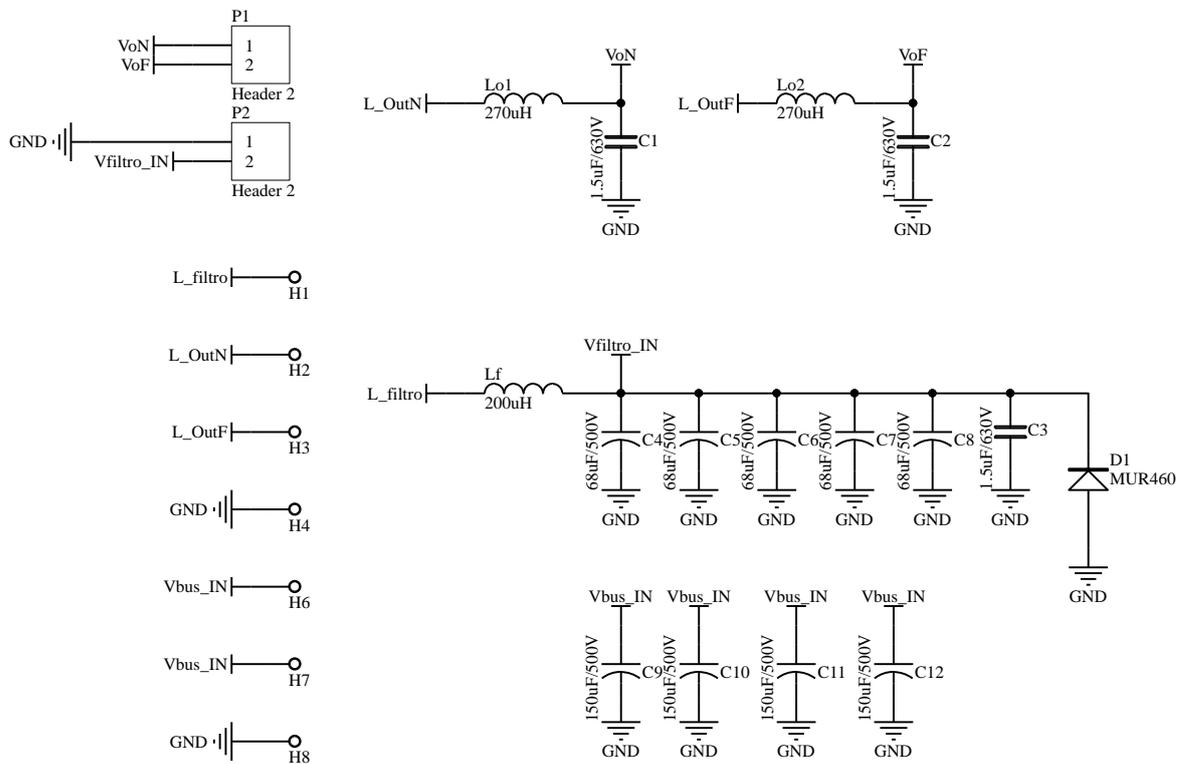
A3. ESQUEMÁTICO DOS SENSORES DE TENSÃO LEM PARA O BARRAMENTO CC E CAPACITOR DE FILTRO



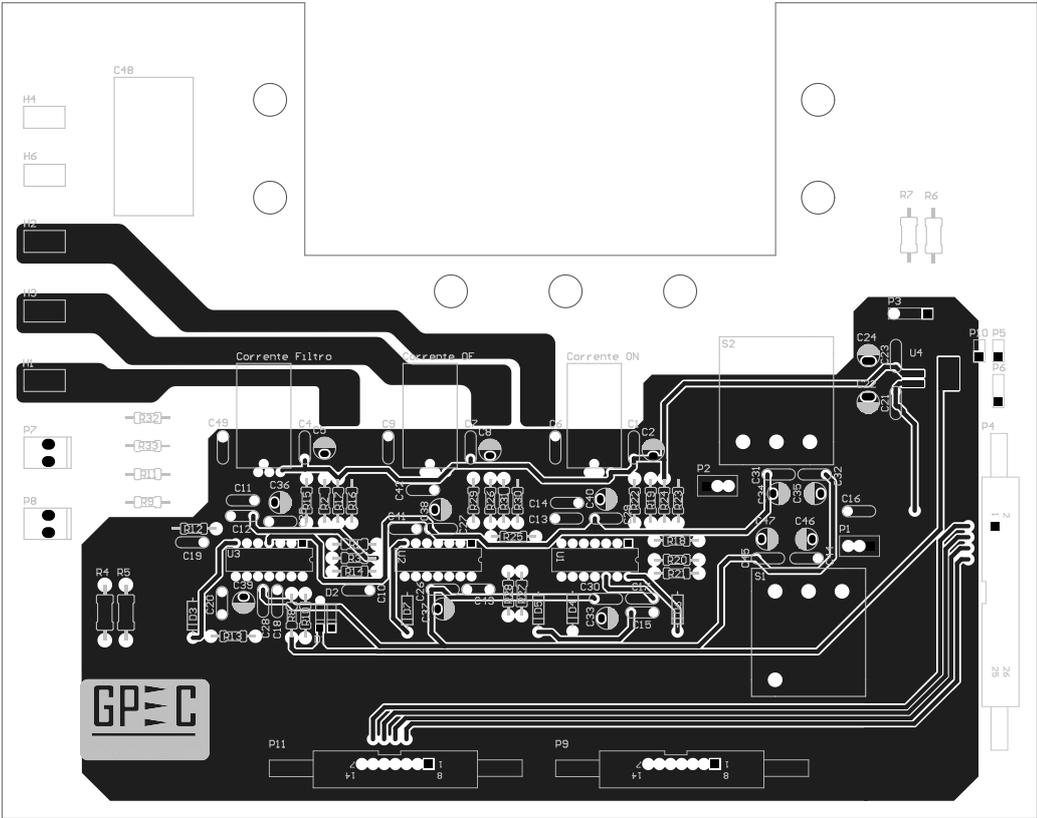
A4. ESQUEMÁTICO DO SENSOR DA TENSÃO DA REDE ELÉTRICA



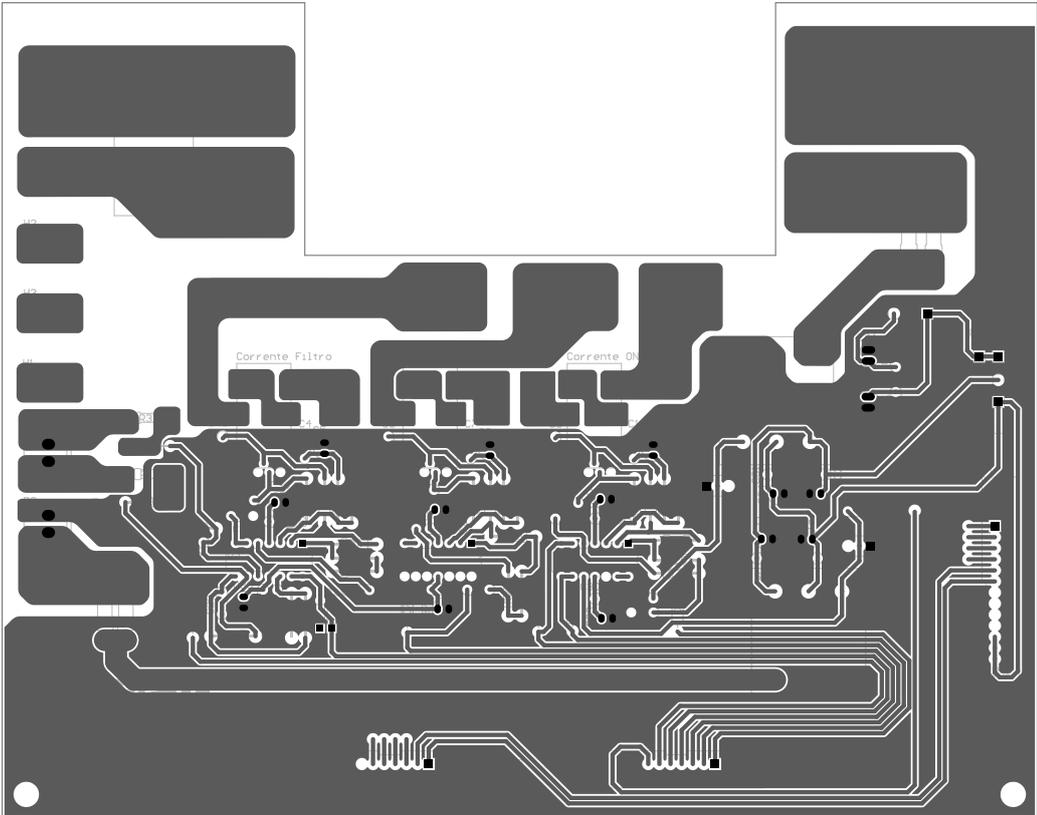
A5. ESQUEMÁTICO DAS CONEXÕES DA PLACA DE POTÊNCIA



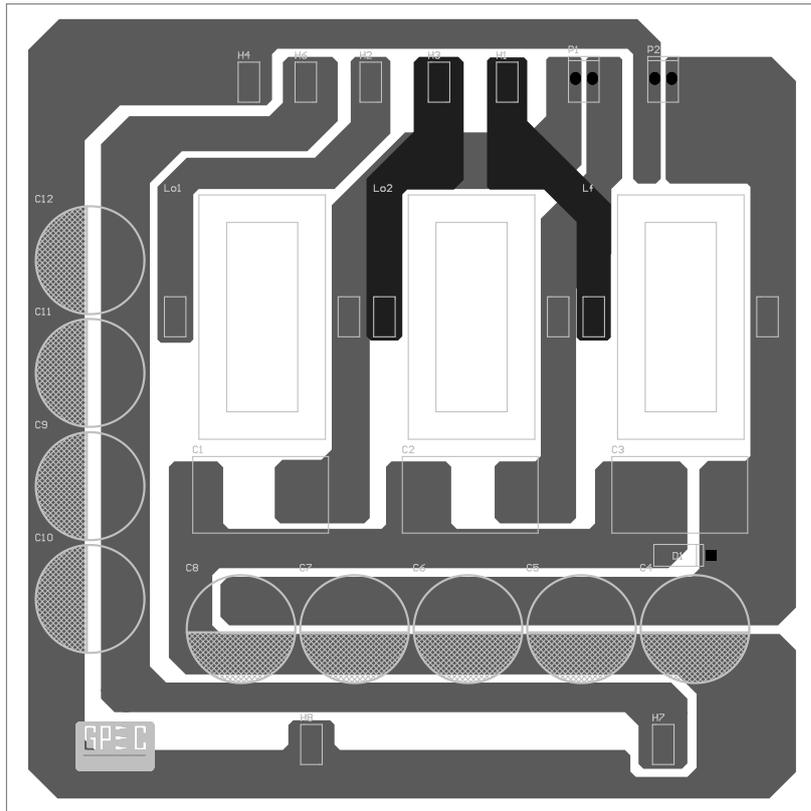
A6. PCB DA PLACA DOS SENSORES (TOP LAYER)



A7. PCB DA PLACA DOS SENSORES (BOTTOM LAYER)



A8. PCB DA PLACA DE POTÊNCIA



APÊNDICE B – CÓDIGO DE CONTROLE DO MICROCONTROLADOR DELFINO TMS320F2837XD

```

#include <math.h>
#include <stdio.h>
#include "F28x_Project.h" // Device Headerfile and Examples Include File

// Prototipagem das funções.
void SetupADC(void);

void ConfigureIHM_pins(void);
void InitEPWMs(void);
void LigaEPWMs (void);
void DesligaEPWMs (void);

__interrupt void adca1_isr(void);

// Variaveis Globais
Uint16 Teste = 0;

Uint16 ui16FlagInterruptPWM = 0;
Uint16 ui16Startup = 0;
Uint32 ui32CtrlStartup = 0;

Uint16 ui16CtrlLED = 0;
Uint16 ui16EstadoPWM = 0;

Uint16 ui16CtrlMedia4 = 0;

Uint16 ui16CtrlSeno = 0;
float32 f32SenoRef = 0;
float32 f32Theta = 0;

Uint16 ui16CtrlRef = 0;
Uint32 ui16CtrlAmostragemRef = 0;

int16 i16Vbus[4] = {0,0,0,0};
int16 i16Vbus_media = 0;
int16 i16Vbus_zero = 0;
float32 f32Vbus_aj = 0;
int16 i16IoL1[4] = {0,0,0,0};
int16 i16IoL1_media = 0;
int16 i16IoL1_zero = 0;
float32 f32IoL1_aj = 0;
int16 i16IoL2[4] = {0,0,0,0};
int16 i16IoL2_media = 0;
int16 i16IoL2_zero = 0;
float32 f32IoL2_aj = 0;
int16 i16IoLf[4] = {0,0,0,0};
int16 i16IoLf_media = 0;
int16 i16IoLf_zero = 0;
float32 f32IoLf_aj = 0;
int16 i16Vgrid[4] = {0,0,0,0};
int16 i16Vgrid_media = 0;
int16 i16Vgrid_zero = 0;
float32 f32Vgrid_aj = 0;

```

```

int16 i16VCf[4]      = {0,0,0,0};
int16 i16VCf_media  = 0;
int16 i16VCf_zero   = 0;
float32 f32VCf_aj    = 0;

float32 f32PWM1aj, f32PWM2aj, f32PWM3aj;

// Malha de Corrente Inversor
float32 uk_iLo1, u1k_iLo1, u2k_iLo1, ek_iLo1, e1k_iLo1, e2k_iLo1, iLo1_ref;
float32 uk_iLo2, u1k_iLo2, u2k_iLo2, ek_iLo2, e1k_iLo2, e2k_iLo2, iLo2_ref;
float32 uk_iLo1_1, uk_iLo2_1;

//Malha de Tensão Inversor
float32 uk_vbus, u1k_vbus, u2k_vbus, ek_vbus, e1k_vbus, e2k_vbus;
//float32 uk_vsec, u1k_vsec, u2k_vsec, ek_vsec, e1k_vsec, e2k_vsec;

//Malha do Filtro Ativo
float32 uk_vCf, u1k_vCf, ek_vCf, e1k_vCf;
float32 uk_iLf, u1k_iLf, ek_iLf, e1k_iLf;
float32 VCs;
float32 aux;

float32 f32ThetaRef;

// PLL Monofásico
Uuint32 i = 0;
float32 f32Valfa, f32Vbeta, buffer[834];
float32 f32Theta, f32Theta0, f32Theta120, f32Theta120_0, f32Theta120_ref;
float32 Ki_PLL = 0.000674;
float32 PI_PLL[2] = {141.5, 0.05}; // coeficientes do controlador Kp, Ki;
float32 CONTROL_PLL[4] = {0,0,0,0}; // erro, up, ui, uil;
float32 OUTPUT_PLL = 0; // u
float32 u = 0;

// Definições de variáveis
#define EPWM_DB_UP 10 // Define tempo morto subida
#define EPWM_DB_DOWN 10 // Define tempo morto descida
#define LIMITE_Mod 245 // Limite da Muduladora

//#define BT1 GpioDataRegs.GPCDAT.bit.GPI087
//#define BT2 GpioDataRegs.GPCDAT.bit.GPI089

void main(void)
{
    InitSysCtrl();
    //Seleciona MUX EPWM (Fig. 13-7) Regs. pag. 1754
    EALLOW;
    TrigRegs.SYNCSELECT.bit.EPWM10SYNCIN = 2;
    EDIS;

    InitGpio();

    // Habilita PWM1-3
    CpuSysRegs.PCLKCR2.bit.EPWM1=1;
    CpuSysRegs.PCLKCR2.bit.EPWM2=1;
    CpuSysRegs.PCLKCR2.bit.EPWM3=1;

```



```

i16IoL2[3]>>>2;          i16IoL2_media = (i16IoL2[0] + i16IoL2[1] + i16IoL2[2] +
i16IoLf[3]>>>2;          i16IoLf_media = (i16IoLf[0] + i16IoLf[1] + i16IoLf[2] +
i16Vgrid[2] + i16Vgrid[3])>>>2;
                          i16Vgrid_media = (i16Vgrid[0] + i16Vgrid[1] +
                          if (ui32CtrlStartup >= 800000)
                          {
                              i16IoL1_zero = i16IoL1_media;
                              i16IoL2_zero = i16IoL2_media;
                              i16Vgrid_zero = i16Vgrid_media;
                              ui32CtrlStartup = 0;
                              ui16Startup = 1;
                              LigaEPWMs();
                          }
                      }
                }
        }
} // THE END

// -----
// -----

////////////////////////////////////

__interrupt void adca1_isr(void)
{
    ui16FlagInterruptPWM = 1;

    if (ui16CtrlMedia4 >= 3) ui16CtrlMedia4 = 0;
    else ui16CtrlMedia4++;

//  AQUISIÇÃO DAS LEITURAS ADs -----
//  -----
//  ADC-A
i16IoL1[ui16CtrlMedia4] = AdcaResultRegs.ADCRESULT0; //AD-A2 pin 15
i16IoLf[ui16CtrlMedia4] = AdcaResultRegs.ADCRESULT4; //AD-A3 pin 17

//  ADC-B
i16IoL2[ui16CtrlMedia4] = AdcbResultRegs.ADCRESULT1; //AD-B2 pin 18
i16Vcf [ui16CtrlMedia4] = AdcbResultRegs.ADCRESULT5; //AD-B3 pin 20

//  ADC-C
i16Vbus[ui16CtrlMedia4] = AdccResultRegs.ADCRESULT2; //AD-C2 pin 31

//  ADC-D
i16Vgrid[ui16CtrlMedia4] = AdcdResultRegs.ADCRESULT3; //AD-D2 pin 34

// -----
// -----

//  CONTROLE DAS CORRENTES -----
//  -----
    if (ui16Startup == 1)
    {

```



```

//          ui16CtrlRef ^= 1;
//      }
//
//      if (ui16CtrlRef == 0)
//      {
//          iLo1_ref = 1;
//          iLo2_ref = 1;
//      }
//      else
//      {
//          iLo1_ref = 2;
//          iLo2_ref = 2;
//      }

//      ui16CtrlSeno++;
//      if (ui16CtrlSeno == 9)
//      {
//          ui16CtrlSeno = 0;
//          f32ThetaRef = f32ThetaRef + 0.016964;
//      }

//      MALHA DE TENSÃO INVERSOR -----
//      -----
//          i16Vbus_media = (i16Vbus[0] + i16Vbus[1] + i16Vbus[2] +
i16Vbus[3])>>2;

//          f32Vbus_aj = i16Vbus_media*0.156250;

//          ek_vbus = f32Vbus_aj - 400;
//          uk_vbus = 0.033885*ek_vbus -0.033861*e1k_vbus +1*u1k_vbus;

//          if (uk_vbus> 12.86) uk_vbus = 12.86;
//          if (uk_vbus< -12.86) uk_vbus = -12.86;

//          u1k_vbus = uk_vbus;
//          e1k_vbus = ek_vbus;

//          iLo1_ref = uk_vbus;
//          iLo2_ref = uk_vbus;

//          iLo1_ref = __sin(f32ThetaRef)*iLo1_ref;
//          iLo2_ref = __sin(f32ThetaRef)*iLo2_ref;

//      MALHA DE CORRENTE INVERSOR -----
//      -----
//          i16IoL1_media = (i16IoL1[0] + i16IoL1[1] + i16IoL1[2] +
i16IoL1[3])>>2;
//          i16IoL2_media = (i16IoL2[0] + i16IoL2[1] + i16IoL2[2] +
i16IoL2[3])>>2;

//          f32IoL1_aj = (i16IoL1_media - 2047)*0.0066255;
//          f32IoL2_aj = (i16IoL2_media - 2047)*0.0066255;

//          ek_iLo1 = (iLo1_ref - f32IoL1_aj);
//          ek_iLo2 = (iLo2_ref - f32IoL2_aj);

//          uk_iLo1 = 6.471164*ek_iLo1 -12.847987*e1k_iLo1 +6.376845*e2k_iLo1
+1.999946*u1k_iLo1 -0.999950*u2k_iLo1;

```

```

        uk_iLo2 = -6.471164*ek_iLo2 +12.847987*e1k_iLo2 -6.376845*e2k_iLo2
+1.999946*u1k_iLo2 -0.999950*u2k_iLo2;

        u2k_iLo1 = u1k_iLo1;
        u1k_iLo1 = uk_iLo1;

        u2k_iLo2 = u1k_iLo2;
        u1k_iLo2 = uk_iLo2;

        e2k_iLo1 = e1k_iLo1;
        e1k_iLo1 = ek_iLo1;

        e2k_iLo2 = e1k_iLo2;
        e1k_iLo2 = ek_iLo2;

        if (uk_iLo1 > LIMITE_Mod) uk_iLo1 = LIMITE_Mod;
        if (uk_iLo1 < -LIMITE_Mod) uk_iLo1 = -LIMITE_Mod;

        if (uk_iLo2 > LIMITE_Mod) uk_iLo2 = LIMITE_Mod;
        if (uk_iLo2 < -LIMITE_Mod) uk_iLo2 = -LIMITE_Mod;

//     CONTROLE DO FILTRO ATIVO -----
//     CONTROLE DE TENSÃO -----

        f32Theta120_ref = f32Theta120 + 1.57; //Defasagem de 90°
        if (f32Theta120_ref > 6.283185) f32Theta120_ref = f32Theta120_ref -
6.283185;

        i16VCf_media = (i16VCf[0] + i16VCf[1] + i16VCf[2] +
i16VCf[3])>>2;

        f32VCf_aj = i16VCf_media*0.156250;

        aux = (1.04-__cos(f32Theta120_ref))*7801.69465;
        VCs = __sqrt(aux);

        ek_vCf = VCs-f32VCf_aj;

        uk_vCf = 0.7802*ek_vCf -0.7534*e1k_vCf +1*u1k_vCf

        if (uk_vCf > 20) uk_vCf = 20;
        if (uk_vCf < -20) uk_vCf = -20;

        u1k_vCf = uk_vCf;
        e1k_vCf = ek_vCf;

//     CONTROLE DE CORRENTE -----

        i16IoLf_media = (i16IoLf[0] + i16IoLf[1] + i16IoLf[2] +
i16IoLf[3])>>2;

        f32IoLf_aj = (i16IoLf_media - 2047)*0.0066255;

//     ek_iLf = (10-(f32Theta120*3.1831) - f32IoLf_aj);

```

```

    ek_iLf = (uk_vCf - f32IoLf_aj);

    uk_iLf = -37.2543*ek_iLf +27.2712*e1k_iLf +1*u1k_iLf;

    if (uk_iLf > 220) uk_iLf = 220;
    if (uk_iLf < -220) uk_iLf = -220;

    e1k_iLf = ek_iLf;
    u1k_iLf = uk_iLf;

// ATUALIZA VALORES DOS PWMS -----
// -----

    f32PWM2aj = uk_iLo1+250;
    f32PWM1aj = uk_iLo2+250;
    f32PWM3aj = uk_iLf+250;

    EPwm1Regs.CMPA.bit.CMPA = f32PWM1aj;
    EPwm2Regs.CMPA.bit.CMPA = f32PWM2aj;
    EPwm3Regs.CMPA.bit.CMPA = f32PWM3aj;

// -----
// -----

}

// FIM DA INTERRUPTÃO -----
// -----
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //clear INT1 flag
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

////////////////////////////////////

void SetupADC(void)
{
    EALLOW;

    //write configurations
    AdcaRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
    AdcbRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
    AdccRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
    AdcdRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5

    AdcaRegs.ADCCTL2.bit.RESOLUTION = 0;
    AdcaRegs.ADCCTL2.bit.SIGNALMODE = 0;
    AdcaRegs.ADCOFFTRIM.bit.OFFTRIM = 0;

    AdcbRegs.ADCCTL2.bit.RESOLUTION = 0;
    AdcbRegs.ADCCTL2.bit.SIGNALMODE = 0;
    AdcbRegs.ADCOFFTRIM.bit.OFFTRIM = 0;

    AdccRegs.ADCCTL2.bit.RESOLUTION = 0;
    AdccRegs.ADCCTL2.bit.SIGNALMODE = 0;
    AdccRegs.ADCOFFTRIM.bit.OFFTRIM = 0;
}

```

```

AdcdRegs.ADCCTL2.bit.RESOLUTION = 0;
AdcdRegs.ADCCTL2.bit.SIGNALMODE = 0;
AdcdRegs.ADCOFFTRIM.bit.OFFTRIM = 0;

//Set pulse positions to late
AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdccRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdcdRegs.ADCCTL1.bit.INTPULSEPOS = 1;

//power up the ADCs
AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdcbRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdccRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdcdRegs.ADCCTL1.bit.ADCPWDNZ = 1;

EDIS;

DELAY_US(2000);

EALLOW;

//Configuração ADC-A
AdcaRegs.ADCSOC0CTL.bit.CHSEL = 2; //SOC0 will convert pin A2
AdcaRegs.ADCSOC0CTL.bit.ACQPS = 28;
AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 5; //trigger on ePWM1 SOCA/C

AdcaRegs.ADCSOC4CTL.bit.CHSEL = 3; //SOC4 will convert pin A3
AdcaRegs.ADCSOC4CTL.bit.ACQPS = 28;
AdcaRegs.ADCSOC4CTL.bit.TRIGSEL = 5; //trigger on ePWM1 SOCA/C

AdcaRegs.ADCINTSEL1N2.bit.INT1SEL = 0; //end of SOC0 will set INT1
flag
AdcaRegs.ADCINTSEL1N2.bit.INT1E = 1; //enable INT1 flag
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //make sure INT1 flag is
cleared

// //Configuração ADC-B
AdcbRegs.ADCSOC1CTL.bit.CHSEL = 2; //SOC1 will convert pin B0
AdcbRegs.ADCSOC1CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC1CTL.bit.TRIGSEL = 5; //trigger on ePWM1 SOCA/C

AdcbRegs.ADCSOC5CTL.bit.CHSEL = 3; //SOC5 will convert pin B2
AdcbRegs.ADCSOC5CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC5CTL.bit.TRIGSEL = 5; //trigger on ePWM1 SOCA/C

// //Configuração ADC-C
AdccRegs.ADCSOC2CTL.bit.CHSEL = 2; //SOC2 will convert pin C2
AdccRegs.ADCSOC2CTL.bit.ACQPS = 28;
AdccRegs.ADCSOC2CTL.bit.TRIGSEL = 5; //trigger on ePWM1 SOCA/C

// //Configuração ADC-D
AdcdRegs.ADCSOC3CTL.bit.CHSEL = 2; //SOC3 will convert pin D2
AdcdRegs.ADCSOC3CTL.bit.ACQPS = 28;
AdcdRegs.ADCSOC3CTL.bit.TRIGSEL = 5; //trigger on ePWM1 SOCA/C

```

```

    EDIS;
}

void ConfigureIHM_pins()
{
//  CONFIGURA OS PINOS DOS LEDS -----
//  -----
    EALLOW;
//  GpioCtrlRegs.GPCPUD.bit.GPIO82 = 0; // Enable Pullup // LED1 - GPIO82 -
PIN 149
//  GpioCtrlRegs.GPCGMUX2.bit.GPIO82= 0; // GPIO82 = IO
//  GpioCtrlRegs.GPCDIR.bit.GPIO82 = 1; // GPIO82 = output
//
//  GpioCtrlRegs.GPCPUD.bit.GPIO84 = 0; // Enable Pullup // LED2 - GPIO84 -
PIN 151
//  GpioCtrlRegs.GPCGMUX2.bit.GPIO84= 0; // GPIO84 = IO
//  GpioCtrlRegs.GPCDIR.bit.GPIO84 = 1; // GPIO84 = output
//
//  GpioCtrlRegs.GPCPUD.bit.GPIO86 = 0; // Enable Pullup // LED3 - GPIO86 -
PIN 153
//  GpioCtrlRegs.GPCGMUX2.bit.GPIO86= 0; // GPIO86 = IO
//  GpioCtrlRegs.GPCDIR.bit.GPIO86 = 1; // GPIO86 = output
//
//  GpioCtrlRegs.GPCPUD.bit.GPIO88 = 0; // Enable Pullup // LED4 - GPIO88 -
PIN 155
//  GpioCtrlRegs.GPCGMUX2.bit.GPIO88= 0; // GPIO88 = IO
//  GpioCtrlRegs.GPCDIR.bit.GPIO88 = 1; // GPIO88 = output
//  EDIS;
//
//  GpioDataRegs.GPCSET.bit.GPIO82 = 1; // LED1 = 1
//  GpioDataRegs.GPCCLEAR.bit.GPIO84= 1; // LED2 = 0
//  GpioDataRegs.GPCCLEAR.bit.GPIO86= 1; // LED3 = 0
//  GpioDataRegs.GPCCLEAR.bit.GPIO88= 1; // LED4 = 0
//
////// CONFIGURA OS PINOS DOS BOTÕES -----
-----
////// -----
-----
//  GpioCtrlRegs.GPCPUD.bit.GPIO87 = 0; // Enable Pullup // BT1 - GPIO87 -
PIN 154
//  GpioCtrlRegs.GPCGMUX2.bit.GPIO87= 0; // GPIO87 = IO
//  GpioCtrlRegs.GPCDIR.bit.GPIO87 = 0; // GPIO87 = input
//
//  GpioCtrlRegs.GPCPUD.bit.GPIO89 = 0; // Enable Pullup // BT2 - GPIO89 -
PIN 156
//  GpioCtrlRegs.GPCGMUX2.bit.GPIO89= 0; // GPIO89 = IO
//  GpioCtrlRegs.GPCDIR.bit.GPIO89 = 0; // GPIO89 = input

//  GpioCtrlRegs.GPCPUD.bit.GPIO70 = 0; // Enable Pullup // OVER - GPIO70 -
PIN 137
//  GpioCtrlRegs.GPCGMUX1.bit.GPIO70= 0; // GPIO70 = IO
//  GpioCtrlRegs.GPCDIR.bit.GPIO70 = 0; // GPIO70 = input
//
//  GpioCtrlRegs.GPCPUD.bit.GPIO71 = 0; // Enable Pullup // RDY - GPIO71 -
PIN 138
//  GpioCtrlRegs.GPCGMUX1.bit.GPIO71= 0; // GPIO71 = IO
//  GpioCtrlRegs.GPCDIR.bit.GPIO71 = 0; // GPIO71 = input
//

```

```

//   GpioCtrlRegs.GPCPUD.bit.GPIO72 = 0; // Enable Pullup // FLT - GPIO72 -
PIN 139
//   GpioCtrlRegs.GPCGMUX1.bit.GPIO72= 0; // GPIO72 = IO
//   GpioCtrlRegs.GPCDIR.bit.GPIO72 = 0; // GPIO72 = input
EDIS;
}
// -----
// -----

//   CONFIGURA OS PINOS PWMS COMO IO = 0 -----
//   -----

void DesligaEPWMs()
{
    ui16EstadoPWM = 0;
    GpioDataRegs.GPCSET.bit.GPIO82 = 1;

    EALLOW;
    GpioCtrlRegs.GPAPUD.bit.GPIO00 = 0; // Enable Pullup // PWM1A
    GpioCtrlRegs.GPAMUX1.bit.GPIO00 = 0; // GPIO00 = IO
    GpioCtrlRegs.GPADIR.bit.GPIO00 = 1; // GPIO00 = output
    GpioCtrlRegs.GPAPUD.bit.GPIO01 = 0; // Enable Pullup // PWM1B
    GpioCtrlRegs.GPAMUX1.bit.GPIO01 = 0; // GPIO01 = IO
    GpioCtrlRegs.GPADIR.bit.GPIO01 = 1; // GPIO01 = output

    GpioCtrlRegs.GPAPUD.bit.GPIO02 = 0; // Enable Pullup // PWM2A
    GpioCtrlRegs.GPAMUX1.bit.GPIO02 = 0; // GPIO02 = IO
    GpioCtrlRegs.GPADIR.bit.GPIO02 = 1; // GPIO02 = output
    GpioCtrlRegs.GPAPUD.bit.GPIO03 = 0; // Enable Pullup // PWM2B
    GpioCtrlRegs.GPAMUX1.bit.GPIO03 = 0; // GPIO03 = IO
    GpioCtrlRegs.GPADIR.bit.GPIO03 = 1; // GPIO03 = output

    GpioCtrlRegs.GPAPUD.bit.GPIO04 = 0; // Enable Pullup // PWM3A
    GpioCtrlRegs.GPAMUX1.bit.GPIO04 = 0; // GPIO04 = IO
    GpioCtrlRegs.GPADIR.bit.GPIO04 = 1; // GPIO04 = output
    GpioCtrlRegs.GPAPUD.bit.GPIO05 = 0; // Enable Pullup // PWM3B
    GpioCtrlRegs.GPAMUX1.bit.GPIO05 = 0; // GPIO05 = IO
    GpioCtrlRegs.GPADIR.bit.GPIO05 = 1; // GPIO05 = output
    EDIS;

    GpioDataRegs.GPACLEAR.bit.GPIO00 = 1; //PWM1A = 0;
    GpioDataRegs.GPACLEAR.bit.GPIO01 = 1; //PWM1B = 0;
    GpioDataRegs.GPACLEAR.bit.GPIO02 = 1; //PWM2A = 0;
    GpioDataRegs.GPACLEAR.bit.GPIO03 = 1; //PWM2B = 0;
    GpioDataRegs.GPACLEAR.bit.GPIO04 = 1; //PWM3A = 0;
    GpioDataRegs.GPACLEAR.bit.GPIO05 = 1; //PWM3B = 0;

}
// -----
// -----

//   LIGA PWMS -----
//   -----

void LigaEPWMs()
{
    ui16EstadoPWM = 1;
    GpioDataRegs.GPCCLEAR.bit.GPIO82 = 1;

```

```

EALLOW;

GpioCtrlRegs.GPAPUD.bit.GPIO00 = 0; // Enable Pullup // PWM1A
GpioCtrlRegs.GPAMUX1.bit.GPIO00 = 1; // GPIO00 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO00 = 1; // GPIO00 = output
GpioCtrlRegs.GPAPUD.bit.GPIO01 = 0; // Enable Pullup // PWM1B
GpioCtrlRegs.GPAMUX1.bit.GPIO01 = 1; // GPIO01 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO01 = 1; // GPIO01 = output

GpioCtrlRegs.GPAPUD.bit.GPIO02 = 0; // Enable Pullup // PWM2A
GpioCtrlRegs.GPAMUX1.bit.GPIO02 = 1; // GPIO02 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO02 = 1; // GPIO02 = output
GpioCtrlRegs.GPAPUD.bit.GPIO03 = 0; // Enable Pullup // PWM2B
GpioCtrlRegs.GPAMUX1.bit.GPIO03 = 1; // GPIO03 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO03 = 1; // GPIO03 = output

GpioCtrlRegs.GPAPUD.bit.GPIO04 = 0; // Enable Pullup // PWM3A
GpioCtrlRegs.GPAMUX1.bit.GPIO04 = 1; // GPIO04 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO04 = 1; // GPIO04 = output
GpioCtrlRegs.GPAPUD.bit.GPIO05 = 0; // Enable Pullup // PWM3B
GpioCtrlRegs.GPAMUX1.bit.GPIO05 = 1; // GPIO05 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO05 = 1; // GPIO05 = output

EDIS;

}

void InitEPWMs()
{
// ePWM 1 -----
// -----
EPwm1Regs.TBPRD = 500; // Set timer period 100kHz
EPwm1Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
EPwm1Regs.TBCTR = 0x0000; // Clear counter

EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
EPwm1Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1
Positivo - 0 Negativo
EPwm1Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;

EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

EPwm1Regs.CMPA.bit.CMPA = 250;

EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm1Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm1Regs.AQCTLB.bit.CAD = AQ_CLEAR;

EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm1Regs.DBCTL.bit.IN_MODE = DBA_ALL;

```

```

EPwm1Regs.DBRED = EPWM_DB_UP;
EPwm1Regs.DBFED = EPWM_DB_DOWN;

EPwm1Regs.ETSEL.bit.SOCAEN = 0; // Disable SOC on A group
EPwm1Regs.ETSEL.bit.SOCASEL = 0b011; // Select SOC on up-count
// 001
TBCTR = 0 (Inicio) // 010
TBCTR = TBPRD (Pico) // 011
Inicio ou Pico
EPwm1Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event

// ePWM 2 -----
// -----
EPwm2Regs.TBPRD = 500; // Set timer period 100kHz
EPwm2Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
EPwm2Regs.TBCTR = 0x0000; // Clear counter

EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm2Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
EPwm2Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1
Positivo - 0 Negativo
EPwm2Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow just to observe on the

EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

EPwm2Regs.CMPA.bit.CMPA = 250;

EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm2Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm2Regs.AQCTLB.bit.CAD = AQ_CLEAR;

EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm2Regs.DBCTL.bit.IN_MODE = DBA_ALL;
EPwm2Regs.DBRED = EPWM_DB_UP;
EPwm2Regs.DBFED = EPWM_DB_DOWN;

// ePWM 3 -----
// -----
EPwm3Regs.TBPRD = 500; // Set timer period 100kHz
EPwm3Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
EPwm3Regs.TBCTR = 0x0000; // Clear counter

EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm3Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
EPwm3Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1
Positivo - 0 Negativo
EPwm3Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow so we can observe on

```

```
EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

EPwm3Regs.CMPA.bit.CMPA = 250;

EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm3Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm3Regs.AQCTLB.bit.CAU = AQ_SET;
EPwm3Regs.AQCTLB.bit.CAD = AQ_CLEAR;

EPwm3Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm3Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm3Regs.DBCTL.bit.IN_MODE = DBA_ALL;
EPwm3Regs.DBRED = EPWM_DB_UP;
EPwm3Regs.DBFED = EPWM_DB_DOWN;

}

//=====
// No more.
//=====
```