



UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

JULIANO DE OLIVEIRA PACHECO

TRANSFORMADOR DE ESTADO SÓLIDO CA-CC COM ESTÁGIO INTEGRADO
BASEADO NO CASCATEAMENTO E INTERCALAMENTO DE CONVERSORES
PONTE COMPLETA PARA APLICAÇÃO EM TRENS ELÉTRICOS

FORTALEZA

2019

JULIANO DE OLIVEIRA PACHECO

TRANSFORMADOR DE ESTADO SÓLIDO CA-CC COM ESTÁGIO INTEGRADO
BASEADO NO CASCATEAMENTO E INTERCALAMENTO DE CONVERSORES
PONTE COMPLETA PARA APLICAÇÃO EM TRENS ELÉTRICOS

Tese apresentada ao Curso de Doutorado em Engenharia Elétrica do Departamento de Engenharia Elétrica da Universidade Federal do Ceará como parte dos requisitos para obtenção do título de Doutor em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica.

Orientador: Prof. Dr. Demercil de Souza Oliveira Júnior.

FORTALEZA

2019

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca Universitária

Gerada automaticamente pelo módulo Catalog, mediante os dados fornecidos pelo(a) autor(a)

- O47t Oliveira Pacheco, Juliano de.
TRANSFORMADOR DE ESTADO SÓLIDO CA-CC COM ESTÁGIO INTEGRADO BASEADO NO
CASCATEAMENTO E INTERCALAMENTO DE CONVERSORES PONTE COMPLETA PARA
APLICAÇÃO EM TRENS ELÉTRICOS / Juliano de Oliveira Pacheco. – 2019.
138 f. : il. color.
- Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação
em Engenharia Elétrica, Fortaleza, 2019.
Orientação: Prof. Dr. Demercil de Souza Oliveira Júnior.
1. Conversor multinível modular. 2. Conversor CA-CC bidirecional. 3. Correção de fator de potência. 4.
Isolação em alta frequência. 5. Topologia de estágio integrado. I. Título.

CDD 621.3

JULIANO DE OLIVEIRA PACHECO

TRANSFORMADOR DE ESTADO SÓLIDO CA-CC COM ESTÁGIO INTEGRADO
BASEADO NO CASCATEAMENTO E INTERCALAMENTO DE CONVERSORES
PONTE COMPLETA PARA APLICAÇÃO EM TRENS ELÉTRICOS

Tese apresentada ao Curso de Doutorado em Engenharia Elétrica do Departamento de Engenharia Elétrica da Universidade Federal do Ceará como parte dos requisitos para obtenção do título de Doutor em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica.

Aprovada em: 26/07/2019

BANCA EXAMINADORA

Prof. Dr. Demercil de Souza Oliveira Júnior (Orientador)
Universidade Federal do Ceará (UFC)

Prof. Dr. Dalton de Araújo Honório
Universidade Federal do Ceará (UFC)

Prof. Dr. Hermínio Miguel de Oliveira Filho
Universidade da Integração Internacional da Lusofonia Afro-Brasileira (UNILAB)

Prof. Dr. Luiz Henrique Silva Colado Barreto
Universidade Federal do Ceará (UFC)

Prof. Dr. Paulo Peixoto Praça
Universidade Federal do Ceará (UFC)

À Deus.

Aos meus pais, Seloé e Nazarita.

Aos meus avós, Antônio (*in memorian*) e Zita
(*in memorian*).

AGRADECIMENTOS

Primeiro a Deus pela vida e saúde.

Ao povo brasileiro. Agradeço à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES), pelo apoio financeiro com a manutenção da bolsa de auxílio.

Aos meus pais e avôs pelo carinho, amor, compreensão e apoio dados ao longo de minha vida, pois sou o que sou graças ao esforço e sacrifício deles.

Aos meus dois irmãos Gabriel e Nazareno pela amizade e fraternidade e por me aturarem até hoje.

A minha esposa Vanessa pela atenção e paciência esperando ao meu lado o término da tese.

A toda a família Barroso a família cearense que me adotou principalmente as minhas duas mães cearenses Tânia e Eduarda e meus irmãos cearenses Dudu, Raul e Rafael.

Ao Prof. Demercil de Souza Oliveira Junior, pela orientação, pelo conhecimento transmitido durante as disciplinas, pelos ensinamentos durante a fase de construção da proposta da pesquisa, pelos rascunhos de papel que contêm informações valiosas, pela paciência e a seriedade.

Ao Grupo de Processamento de Energia e Controle (GPEC) pelo suporte a realização do trabalho.

Aos professores participantes da banca examinadora: Dalton Honório, Hermínio Miguel, Luiz Henrique e Paulo Praça, pelo tempo, pelas colaborações e sugestões.

Aos professores do Programa de Pós-Graduação em Engenharia Elétrica, Fernando Luiz Marcelo Antunes, José Carlos Teles Campos e René Pastor Torrico-Bascopé, pelos ensinamentos durante as disciplinas.

Aos colegas e amigos do laboratório e do departamento: Antônio Barbosa, Andresa, Bruno, Breno, Cicero, Dalton, Caio, Davi Joca, Débora, Ernande, Francisco Brito, Felipe, Guilherme, Hermínio, Ícaro, Janaína, José Ailton, Jefferson, Janiere, Jorge Wattes, Jéssica, José Willamy, Kristian, Luan, Marcus Anderson, Nonato, Olympio, Pedro Henrique, Paulo Henrique, Samuel Queiroz, Samanta, Rosana, Stephany, Wellington, Welton entre tantos outros.

Aos técnicos e funcionários: Edna, Pedro Augusto, Socorro, Danielle agradeço pelo auxílio.

Aos meus amigos de toda a vida que de alguma forma contribuíram para minha formação como cidadão.

“Solidários, seremos união. Separados uns dos outros seremos pontos de vista. Juntos, alcançaremos a realização de nossos propósitos.”

(Bezerra de Menezes)

“Quando alguém cair em erro, estendamos os braços em socorro do irmão equivocado, evitando a crítica que apenas o precipita a quedas ainda maiores. Lembremos que amanhã poderá ser a nossa vez de cair também.”

(Bezerra de Menezes)

RESUMO

Os transformadores de estado sólidos vêm ganhando mais destaque na atualidade por conta do aumento da utilização de energias renováveis, *smart grids* e sistemas que requerem redução de peso e volume como aplicações em tração elétrica. Assim, esta tese propõe o estudo e desenvolvimento de uma topologia de conversor CA-CC isolada bidirecional de único estágio baseada no conversor multinível modular. Essa topologia é baseada no conversor modular multinível e emprega os conceitos de intercalamento de conversores e de integração de estágios de potência. Essa topologia conta com a presença de três elementos magnético, sendo eles um transformador que garante a isolação galvânica em alta frequência, um indutor de filtro de corrente de entrada e um indutor para o auxílio na transferência de potência do lado primário para o lado secundário do conversor. As principais características da estrutura são advindas dos conceitos empregados, tais como elementos passivos operando com frequência efetiva maior que a de comutação, minimização das ondulações de corrente em média frequência e volume e peso reduzidos. É realizada uma análise qualitativa onde são mostradas as etapas de operação do conversor, a técnica de modulação empregada, bem como a estratégia de controle adotada para o conversor. Também é feita a análise quantitativa apresentando os cálculos de perdas do conversor, a variação da corrente de entrada e a análise do fluxo de potência entre o primário e o secundário do conversor. É realizado o dimensionamento dos controladores no domínio discreto e no domínio da frequência. Por fim são apresentados os resultados de simulação e experimentais do conversor, operando com uma frequência de comutação de 5 kHz, potência nominal de 1,5 kW, tensão de saída de 300 V e tensão de alimentação de 165 V com frequência de 60 Hz. Um elevado fator de potência, com cerca de 0,99, uma baixa distorção harmônica da corrente de entrada de 3,6%, e um rendimento de 87% foram alcançados.

Palavras-chave: Conversor multinível modular, Conversor CA-CC bidirecional, Correção de fator de potência, Isolação em alta frequência, Topologia de estágio integrado.

ABSTRACT

Solid state transformers are gaining more prominence today due to the increased use of renewable energies, smart grids and systems that require weight and volume reduction as applications in electric traction. Thus, this thesis proposes the study and development of a single stage bidirectional AC-DC converter topology based on the multilevel modular converter. This topology is based on the modular multilevel converter and employs the concepts of interleaving converters and integrating power stages. This topology has the presence of three magnetic elements, which are a transformer that ensures galvanic isolation at high frequency, an input current filter inductor and an inductor to aid in the transfer of power from the primary to the secondary side of the converter. The main characteristics of the structure come from the concepts employed, such as passive elements operating with an effective frequency higher than that of switching, minimizing current ripples in medium frequency and reduced volume and weight. A qualitative analysis is carried out, showing the operation steps of the converter, the modulation technique used, as well as the control strategy adopted for the converter. Quantitative analysis is also performed showing the converter's loss calculations, the variation of the input current and the power flow analysis between the primary and secondary of the converter. The controllers are dimensioned in the discrete domain and in the frequency domain. Finally, the simulation and experimental results of the converter are presented, operating with a switching frequency of 5 kHz, nominal power of 1.5 kW, output voltage of 300 V and supply voltage of 165 V with a frequency of 60 Hz. A high power factor, around 0.99, a low harmonic distortion of the input current of 3.6%, and an efficiency of 87% were achieved.

Keywords: Multilevel Modular Converter, Bidirectional AC-DC Converter, Power Factor Correction, High Frequency Isolation, Integrated Stage Topology.

LISTA DE FIGURAS

Figura 1 - Configuração genérica do <i>SST</i>	25
Figura 2 - Classificação do <i>SST</i> , quanto ao número de estágios de conversão.	27
Figura 3 - Classificação do <i>SST</i> , quanto ao arranjo dos conversores.	28
Figura 4 - Aplicações do <i>SST</i>	29
Figura 5 - Visão genérica de submódulo.	30
Figura 6 - Tipos de submódulos.	31
Figura 7 - Estrutura do conversor MMC monofásico com barramento duplo.	32
Figura 8 - Classificação e terminologia da família de CCMM.....	33
Figura 9 - Configuração dos CCMMs sem barramento CC comum.	34
Figura 10 - Configuração dos CCMMs com barramento CC comum.....	34
Figura 11 - Diagrama simplificado da topologia proposta nesta tese.....	37
Figura 12 - Tensões V_{an} e V_{xy}	38
Figura 13 - Etapas de operação do conversor do lado primário.	39
Figura 14 - Etapas de operação do conversor ponte completa.	40
Figura 15 - Topologia proposta para n submódulos.	41
Figura 16 - Circuito elementar do conversor.....	42
Figura 17 - Mapa vetorial para n submódulos.....	44
Figura 18 - Mapa de vetores para quatro submódulos.....	44
Figura 19 - Comportamento da frequência associada a v_{xy} em função do respectivo número de níveis de tensão.....	45
Figura 20 - Esquema de geração <i>PWM</i> e disposição das portadoras triangulares.....	46
Figura 21 - Tensões multiníveis geradas.	47
Figura 22 - Razão cíclica efetiva.	48
Figura 23 - Diagrama de blocos do esquema de modulação do conversor do lado secundário.	49
Figura 24 - Fluxograma do algoritmo de modulação.	50
Figura 25 - Tensões multiníveis geradas.	51
Figura 26 - (a) Faixas de operação γ para o conversor com n submódulos, (b) Tensão para uma dada faixa de operação γ	52
Figura 27 - Ondulação de corrente normalizada para dois submódulos.....	53
Figura 28 - Ondulação de corrente normalizada para quatro submódulos	54
Figura 29 - Modelo fundamental e diagrama fasorial.	55

Figura 30 - Tensões de três níveis v_{xy} , v_{ab} e corrente i_{Ltr}	55
Figura 31 - Curvas de potências ativa, reativa e fator de potência no transformador em função do ângulo φ	58
Figura 32 - Circuito equivalente do conversor para controle da corrente de entrada i_{Li}	67
Figura 33 - Circuito equivalente para o controle da tensão dos capacitores dos submódulos.....	69
Figura 34 - Método de medição da corrente de magnetização com indutância externa.....	71
Figura 35 - Circuito equivalente para controle da corrente de circulação.....	71
Figura 36 - Simbologia do <i>gyrator</i> condutância.....	72
Figura 37 - Circuito equivalente para controle da tensão de saída.....	73
Figura 38 - Filtros <i>anti-aliasing</i> de primeira e segunda ordem.....	77
Figura 39 - Diagrama de blocos da estratégia de controle utilizada.....	80
Figura 40 - Diagrama de Bode da $FTMA_{vm}$ com controlador PI.....	82
Figura 41 - Resposta ao degrau da $FTMA_{vm}$	82
Figura 42 - Diagrama de Bode da $FTMA_{vmeq}$ com controlador PI.....	84
Figura 43 - Resposta ao degrau da $FTMA_{vmeq}$	84
Figura 44 - Diagrama de Bode da $FTMA_{Ientrada}$ com controlador PI.....	86
Figura 45 - Diagrama de Bode do controlador P-Ressonante não ideal discretizado.....	88
Figura 46 - Diagrama de Bode da $FTMA_{Icirc}$ com controlador PI.....	89
Figura 47 - Resposta ao degrau da $FTMA_{Icirc}$	90
Figura 48 - Diagrama de Bode da $FTMA_{vo}$ com controlador PI.....	91
Figura 49 - Resposta ao degrau da $FTMA_{vo}$	92
Figura 50 - Diagrama de blocos do <i>q-PLL</i> monofásico.....	92
Figura 51 - Formas de onda da tensão v_{an} , tensão v_{xy} , tensão v_{ab} e corrente i_{Ltr}	96
Figura 52 - Tensão de entrada, corrente de entrada e tensão de saída.....	96
Figura 53 - Correntes i_x , i_y e corrente de circulação i_{circ}	97
Figura 54 - Tensão CC nos capacitores de cada submódulo.....	97
Figura 55 - Tensão CC nos capacitores de cada submódulo para aplicação de degrau de cara de 50% para 100%.....	98
Figura 56 - Tensão CC de saída para aplicação de degrau de cara de 50% para 100%.....	98
Figura 57 - Tensão de entrada, corrente de entrada e tensão de saída durante inversão do fluxo de potência.....	99
Figura 58 - Protótipo experimental.....	100
Figura 59 - Placa de elementos magnéticos, sensores de corrente e sensor de tensão de entrada.....	101

Figura 60 - <i>Delfino</i> F28379D (com <i>MCU</i> TMS320F2879D) e <i>dock-station</i>	101
Figura 61 - Tensão v_{an} (CH1), tensão v_{xy} (CH2), tensão no lado secundário v_{sec} (CH3) e corrente no lado secundário i_{sec}	103
Figura 62 - Tensão da rede (CH1), corrente de entrada (CH2) e tensão de saída CC (CH3). 103	
Figura 63 - Corrente i_x (CH1) no módulo do lado superior, corrente i_y (CH2) no módulo do lado inferior e corrente circulante (CH3).	104
Figura 64 - Tensões nos capacitores do submódulos durante degrau de carga de 50% para 100%.	105
Figura 65 - Tensão na porta CC durante degrau de carga de 50% para 100%.....	105
Figura 66 - Tensão da porta CA (CH1), corrente da porta CA (CH2) e tensão da porta CC (CH3) durante a inversão do fluxo de energia.....	106

LISTA DE TABELAS

Tabela 1 - Possíveis vetores de comutação para o lado primário do conversor.	37
Tabela 2 - Possíveis vetores de comutação para o lado secundário do conversor.....	40
Tabela 3 - Especificações do conversor.	59
Tabela 4 - Correntes eficazes e médias no enrolamento primário e secundário do transformador.	60
Tabela 5 - Correntes eficazes e médias nas chaves S_1 e S_2 ligadas ao lado primário.	61
Tabela 6 - Correntes eficazes e médias nas chaves S_1 e S_2 ligadas ao lado primário.	61
Tabela 7 - Correntes eficazes e médias nos diodos D_{1p} e D_{2p} e D_{1sec} e D_{2sec}	61
Tabela 8 - Características elétricas das chaves.	62
Tabela 9 - Características interpoladas das chaves.	62
Tabela 10 - Perdas nas chaves.	63
Tabela 11 - Características dos indutores.	64
Tabela 12 - Característica do transformador.	65
Tabela 13 - Perdas nos magnéticos.	66
Tabela 14 - Especificações do projeto	75
Tabela 15 - Parâmetros do conversor	75
Tabela 16 - Resumo do projeto dos circuitos associados aos sensores de tensão.	76
Tabela 17 - Resumo do projeto dos filtros <i>anti-aliasing</i>	78
Tabela 18 - Especificações do protótipo.	95

LISTA DE ABREVIATURAS E SIGLAS

<i>AC</i>	<i>Alternate Current</i> (Corrente Alternada)
<i>CA</i>	Corrente Alternada
<i>CC</i>	Corrente Contínua
<i>DAB</i>	<i>Dual Active Bridge</i>
<i>DC</i>	<i>Direct Current</i> (Corrente Contínua)
<i>IGBT</i>	<i>Insulated Gate Bipolar Transistor</i>
<i>MOSFET</i>	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
<i>NPC</i>	<i>Neutral Point Clamped</i> (Grampeamento do Ponto Neutro)
<i>PFC</i>	<i>Power Factor Correction</i> (Correção de Fator de Potência)
<i>PI</i>	Proporcional-Integral
<i>PLL</i>	<i>Phase Locked Loop</i>
<i>PWM</i>	<i>Pulse-Width Modulation</i> (Modulação por Largura de Pulso)
<i>RMS</i>	<i>Root Mean Square</i> (Raiz quadrada da média quadrática)
<i>SiC</i>	<i>Silicon Carbide</i> (Carboneto de Silício)
<i>SPWM</i>	<i>Sinusoidal Pulse-Width Modulation</i> (Modulação por Largura de Pulso Senoidal)
<i>PS-PWM</i>	<i>Phase Shift Pulse-Width Modulation</i> (Modulação por Largura de Pulso por deslocamento de fase)
<i>THD</i>	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
<i>ZCS</i>	<i>Zero Current Switching</i> (Comutação sob Corrente Nula)
<i>ZVS</i>	<i>Zero Voltage Switching</i> (Comutação sob Tensão Nula)

SUMARIO

1	INTRODUÇÃO	21
2	REVISÃO BIBLIOGRAFICA	24
2.1	Transformadores de estado sólido	24
2.1.1	<i>Funcionamento.....</i>	25
2.1.2	<i>Classificação.....</i>	26
2.1.2.1	<i>Quanto aos estágios de conversão</i>	26
2.1.2.2	<i>Quanto ao arranjo dos conversores.....</i>	27
2.1.3	<i>Aplicações</i>	28
2.1.4	<i>Conversor Multinível Modular CMM</i>	29
2.1.4.1	<i>Funcionamento.....</i>	31
2.1.4.2	<i>Classificação</i>	32
2.1.4.3	<i>Aplicações</i>	34
2.2	Considerações Finais.....	35
3	ANÁLISE DO CONVERSOR PROPOSTO.....	36
3.1	Análise qualitativa.....	36
3.1.1	<i>Estrutura do conversor.....</i>	36
3.1.2	<i>Princípio de funcionamento.....</i>	37
3.1.3	<i>Generalização e equacionamento da topologia.....</i>	40
3.1.4	<i>Técnica de modulação.....</i>	43
3.1.1	<i>Modulação para três níveis de tensão no transformador.....</i>	46
3.1.2	<i>Modulação para 5 níveis de tensão no transformador e 7 níveis na entrada</i>	50
3.1.3	<i>Ondulação normalizada de corrente no indutor de entrada L_i.....</i>	52
3.1.4	<i>Análise do fluxo de potência.....</i>	54
3.1.5	<i>Estudo das Perdas.....</i>	58
3.1.5.1	<i>Cálculo das perdas nos semicondutores do lado primário e lado secundário</i>	59
3.1.5.2	<i>Cálculo das Perdas dos Magnéticos</i>	64
3.2	Considerações Finais.....	66
4	MODELAGEM DO CONVERSOR.....	67
4.1	Controle da corrente de entrada.....	67
4.2	Controle da tensão dos capacitores dos submódulos.	68
4.3	Controle da corrente de circulação.....	70
4.4	Controle da tensão de saída.....	72

4.5	Considerações Finais.....	73
5	PROCEDIMENTO DE PROJETO	75
5.1	Sensores de Tensão.....	76
5.2	Sensores de corrente.....	76
5.3	Filtros <i>Anti-aliasing</i>	77
5.4	Projeto dos controladores	79
5.4.1	<i>Controlador da média das tensões nos submódulos.....</i>	<i>80</i>
5.4.2	<i>Controlador do equilíbrio das tensões dos módulos.....</i>	<i>83</i>
5.4.3	<i>Controlador da corrente de entrada.....</i>	<i>85</i>
5.4.4	<i>Controlador da corrente de circulação.....</i>	<i>88</i>
5.4.5	<i>Controlador da tensão de saída.....</i>	<i>90</i>
5.4.6	<i>Controle do q-PLL.....</i>	<i>92</i>
5.5	Considerações Finais.....	94
6	RESULTADOS DE SIMULAÇÃO	95
6.1	Considerações Finais.....	99
7	RESULTADOS EXPERIMENTAIS	100
7.1	Considerações Finais.....	106
8	CONCLUSÃO	107
8.1	Publicações	108
	REFERÊNCIAS	109
	APÊNDICE A – DIMENSIONAMENTO DOS MAGNÉTICOS.....	121
	APÊNDICE B – CÓDIGO EM LINGUAGEM C UTILIZADO NO	
	MICROCONTROLADOR DELFINO TMS320F28379D.....	123

1 INTRODUÇÃO

O transporte ferroviário é uma das formas mais utilizadas de transporte coletivo. Por este motivo, o mesmo continua em desenvolvimento para melhorar velocidade de locomoção, propulsão distribuída por múltiplas unidades elétricas e para fornecer mais conforto aos passageiros. Entretanto, um dos maiores obstáculos é o tradicional transformador de baixa frequência (TBF). Os TBFs são pesados e volumosos devido sua operação em baixa frequência, mesmo quando tem sua eficiência comprometida pelo aumento da densidade de potência para reduzir seu volume. Por outro lado, a possibilidade de trabalhar com médias ou altas frequências tem sido explorada para aplicações de baixa potência, reduzindo significativamente o volume dos transformadores, indutores e capacitores, alcançando assim uma maior densidade de potência (Mermet-Guyennet, 2010) e (Barreto, 2018). Com essa necessidade de aumentar a densidade de potência sem comprometer o desempenho do transformador vem o conceito de um transformador eletrônico de potência (*PET - Power Electronic Transformer*) em desenvolvimento há alguns anos (McMurray, 1970), (McMurray, 1971) e (Brooks, 1982). O termo *PET* não é universal. Na literatura existem outros termos alternativos, como transformador de média frequência (*MFT - Médium frequency transformer*), transformador de alta frequência (*HFT - High frequency transformer*), transformador eletrônico (*ET - Electronic transformer*), transformador universal inteligente (*intelligent universal transformer – IUT*) e transformador de estado sólido (*solid state transformer – SST*). O *SST* consiste na topologia de um conversor com a aplicação de tensão de alta frequência nos terminais de um transformador (Lai, 2005), (Bifarretti, 2011), (McMurray, 1970) e (Brooks, 1979). A terminologia *SST*, que é a mais utilizada para essa tecnologia e por esse motivo sendo adotada ao longo da tese, vem do conceito apresentado por (Brooks, 1979), chamada de transformador de estado sólido devido ao grande número de dispositivos semicondutores, normalmente encontrados nas topologias propostas por essa nova tecnologia (Brooks, 1979).

Com os avanços em dispositivos de eletrônica de potência e materiais magnéticos flexíveis, os *SSTs* baseados na frequência média de operação fornecem uma nova solução para alcançar um melhor desempenho do sistema para diversas aplicações em alta potência como redes inteligentes (Ronan, 2000), (Kang, 1999), energias renováveis (Ostlund, 1993) assim como tração ferroviária. Os primeiros conceitos de tração ferroviária baseados no *SST* podem ser achados em (Weiss, 1985), (Ostlund, 1993). Os *SSTs* apresentam as mesmas funcionalidades básicas de um transformador convencional, porém com a inclusão das

seguintes vantagens (Kolar, 2014; Honório, 2015; Heuber, 2019; Huag, 2016; Akagi, 2011; Glinka, 2003; Shu, 2013; Ronanki, 2018): controle bidirecional do fluxo de potência; operação em corrente contínua CC ou corrente alternada CA de entrada ou de saída; os valores de tensão e frequência da energia processada podem ser modificados; melhorias na qualidade de energia através da compensação de reativos e filtragem ativa de harmônicos; compensação de queda de tensão e limitação da corrente de falha; fornece encaminhamento eficiente de energia baseado na comunicação entre os provedores do serviço (concessionárias) com o usuário final e outros transformadores conectados à rede; redução do peso e volume dos equipamentos individuais dos transformadores com uma potência equivalente.

Entretanto, existem desvantagens no *SST* quando comparado com um transformador de potência em baixa frequência convencional, tais como: baixa confiabilidade, altos custos de implementação, maior complexidade na construção, baixa capacidade de tensão de bloqueio dos semicondutores, o que não é adequado para aplicações de alta tensão. A complexidade é justificada pelos benefícios que um sistema inteligente oferece. Os custos dos semicondutores diminuirão ao longo do tempo, reduzindo o custo dos conversores. Conversores *SST* são implementados como topologias modular multinível, permitindo a produção em massa dos módulos, reduzindo os custos de manufaturas e facilitando montagem e manutenção. Além disso, a modulação adiciona a possibilidade circuitos redundantes, aumentando a confiabilidade e versatilidade do sistema, permitindo projetar o *SST* com diferentes níveis de tensão e potência.

Enquanto isso, a tração ferroviária é significativamente diferente de outras aplicações de tração, já que os trens são alimentados por catenária com média tensão e baixa frequência de linha. 15 kV / 16.7 Hz e 25 kV / 50 Hz são os sistemas de catenária mais comumente utilizados (Mermet-Guyennet, 2010; Barreto, 2018). Devido a configuração monofásica, os sistemas de tração também precisam se acoplar a harmônicas de frequência de linha dupla relativamente altas. Em 2012, houve um grande avanço quando a ABB testou com sucesso seu sistema de tração *SST* em uma locomotiva na Suíça (Dujic, 2013; Zhao, 2014). O sistema de tração baseado no *SST* é amplamente reconhecido como o futuro da tração ferroviária. É, portanto, necessário realizar uma revisão abrangente dos sistemas de tração ferroviária.

Dessa forma, o desenvolvimento de conversores CA-CC para aplicação em transformadores de estado sólido representa uma grande contribuição.

Neste contexto, a presente tese visa à análise e desenvolvimento de um conversor CA-CC multinível com estágio integrado para aplicação em transformadores de estado sólido.

Esse documento está organizado em oito capítulos, sendo estes descritos abaixo:

Capítulo 2 – Revisão Bibliográfica: Este capítulo é dedicado a contextualização do tema e motivação para este trabalho bem como a revisão bibliográfica do estado da arte sobre os transformadores de estado sólido, conversores multiníveis modulares, suas características e classificações. Além disso, foi justificado o motivo da realização desta tese e os objetivos.

Capítulo 3 – Análise do Conversor Proposto: Este capítulo é dedicado em apresentar topologia proposta, a partir da descrição mais detalhada do conversor, por meio das análises qualitativas. São mostradas as técnicas de modulação dos conversores nos lados de alta e baixa tensão, ondulação normalizada da corrente de entrada, análise do fluxo de potência do conversor e a análise das perdas do conversor.

Capítulo 4 – Modelagem do conversor: Este capítulo é dedicado a modelagem orientada ao controle do conversor onde serão apresentados os procedimentos para a obtenção das funções de transferência necessárias para o projeto dos controladores das malhas de controle necessárias para o bom funcionamento do conversor.

Capítulo 5 – Procedimento de Projeto: Neste capítulo, é descrito de forma detalhada o projeto dos sensores e filtros empregados. Em seguida, é apresentado o projeto dos controladores digitais utilizados.

Capítulo 6 – Resultados de simulação: Com a finalidade de validação da topologia proposta, os resultados de simulação são apresentados neste capítulo. Além dos resultados em regime permanente, são expostas as situações de testes de controlabilidade e estabilidade do sistema de controle.

Capítulo 7 – Resultados experimentais: Com a finalidade de validação experimental da topologia proposta, os resultados experimentais são apresentados neste capítulo. Além dos resultados em regime permanente, são expostas as situações de testes de controlabilidade e estabilidade do sistema de controle.

Capítulo 8 – Conclusão: Por fim, neste capítulo são explanadas as conclusões obtidas com o estudo até o presente momento, juntamente com as publicações realizadas.

2 REVISÃO BIBLIOGRAFICA

Neste capítulo é realizada a revisão de literatura dos conceitos envolvendo os transformadores de estado sólido e conversores multiníveis modulares relacionados ao tema proposto. Com base na discussão do capítulo anterior serão apresentados: o conceito, princípio de funcionamento, classificação e aplicações dos transformadores de estado sólidos e dos conversores multiníveis modulares.

2.1 Transformadores de estado sólido

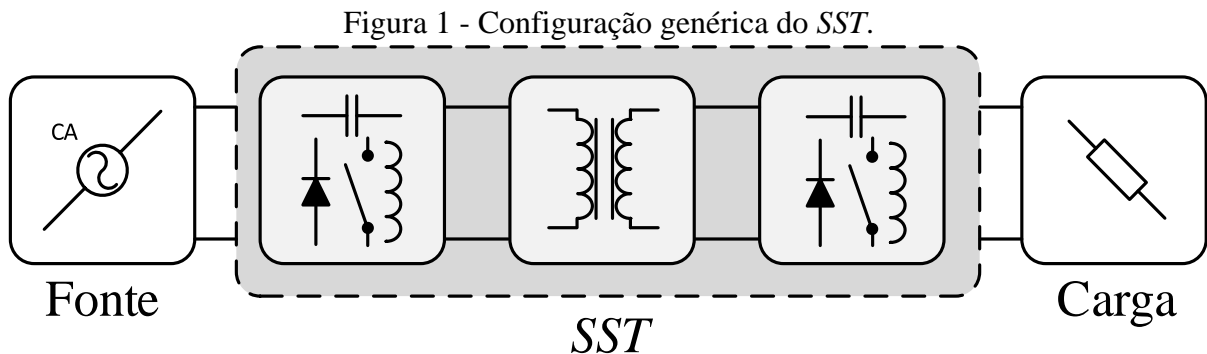
Transformadores são dispositivos eletromagnéticos simples normalmente utilizados para transferir energia de um sistema elétrico a outro seja simplesmente para isolar eletricamente os circuitos, ajustar a impedância os entre circuitos, condicionar os níveis de tensão tanto elevando quanto abaixando o valor de tensão, ou para mais de uma finalidade simultaneamente (Fitzgerald *et al.*, 2006).

A frequência de operação desse dispositivo influencia diretamente no seu peso e volume, sendo essa influência inversamente proporcional a essas grandezas, ou seja, com a diminuição da frequência de operação tem-se o aumento do peso e volume do mesmo (Mclyman, 2004).

Portanto, o desenvolvimento dos transformadores de potência tradicionais segue tendência de aprimorar a engenharia de novos materiais magnéticos e de isolamento, processos de fabricação e considerar fatores econômicos e ambientais (She, 2013), (Xu *et al.*, 2013).

Todavia, nos últimos dez anos, o transformador de estado sólido (Lai *et al.*, 2005), (Bifaretti *et al.*, 2011) vem sendo considerado como a evolução do transformador tradicional de potência. Seu conceito mais antigo foi apresentado por (William, 1970), no qual é apresentado uma topologia de conversor com a aplicação de tensão em alta frequência no barramento do transformador. Atualmente, a terminologia mais utilizada para esta tecnologia vem do conceito de (Brooks, 1979), chamada de transformador de estado sólido (*SST – Solid state transformer*) devido ao grande número de dispositivos semicondutores, também denominados de dispositivos de estado sólido, do inglês, *solid state devices*, normalmente encontrados nas topologias propostas para essa nova tecnologia (Brooks, 1979).

A Figura 1 apresenta uma configuração genérica de uma topologia de transformador de estado sólido.



Fonte: Próprio autor.

Os apresentam as mesmas funcionalidades básicas do transformador convencional, porém com a inclusão das seguintes vantagens (Tatcho *et al.*, 2011), (Kolar, 2014), (Dragicevic *et al.*, 2014), (Ronan *et al.*, 2000) e (She, 2013):

- permitir o controle de fluxo de potência bidirecional;
- entrada ou saída em corrente contínua CC ou corrente alternada CA;
- os valores de tensão e frequência da energia processada podem ser modificados;
- melhoria na qualidade de energia através da compensação de reativos e filtragem ativa de harmônicos;
- compensação de quedas de tensão e limitação de corrente de falta;
- fornecer roteamento eficiente de energia elétrica com base na comunicação entre os prestadores de serviços (concessionárias), o usuário final e outros transformadores ligados à rede;
- pode reduzir do peso e volume dos equipamentos individuais de transformadores com potências equivalentes.

Todavia, mesmo com todas as vantagens supracitadas os SSTs possuem como principal limitação a baixa capacidade de bloqueio de tensão dos semicondutores, a qual é inadequada para aplicações em alta tensão. Para resolver esse problema, os interruptores podem ser ligados em série a fim de dividir a tensão total aplicado no conversor fazendo-se uso de topologias de conversores multiníveis e ou conversores multiníveis modulares.

2.1.1 Funcionamento

A finalidade básica do SST é a isolação em média ou alta frequência e a adaptação dos níveis de tensão utilizadas pelos consumidores finais. Dessa forma, obtêm-se a redução do

volume e peso do transformador interno ao *SST* quando comparado aos transformadores tradicionais utilizados para o mesmo fim.

A tensão proveniente de uma fonte CA é processada por um conversor eletrônico de potência que gera uma tensão em média ou alta frequência aplicada ao transformador. Em seguida, essa tensão pode ser elevada ou abaixada pelo transformador e finalmente, condicionada para a aplicação, a qual o *SST* foi projetado, através de um segundo conversor conectado no lado secundário do transformador.

A partir da configuração genérica apresentada na Figura 1 nota-se que o *SST* pode ser utilizado em diversas aplicações e com a combinação de diversas topologias de conversores estáticos de potência. Dessa forma faz-se necessária uma categorização geral do *SST* para que se possam classificar as topologias existentes ou topologias futuras.

2.1.2 Classificação

Em (Heinemann and Mauthe, 2001) é apresentada uma classificação baseada nos estágios de conversão que formam o *SST*, com o foco em sistemas de distribuição. Nos trabalhos de (Falcones, 2010), (She, 2013) é apresentada uma classificação similar. Porém, também é apresentada outra classificação em relação ao arranjo dos módulos básicos para modular a tensão de entrada e a tensão de saída. Já em (Kolar, 2014) apresentam-se três formas de classificar os *SSTs*. A primeira é pela forma como o sistema realiza o fluxo de potência, a segunda pela forma de interconexão que o *SST* promove entre dois sistemas trifásicos, similar à apresentada em (Heinemann and Mauthe, 2001). Por fim, como a estrutura do *SST* pode ser configurada para suportar a rede de média ou de alta tensão, assemelhando-se a apresentada em (Falcones, 2010).

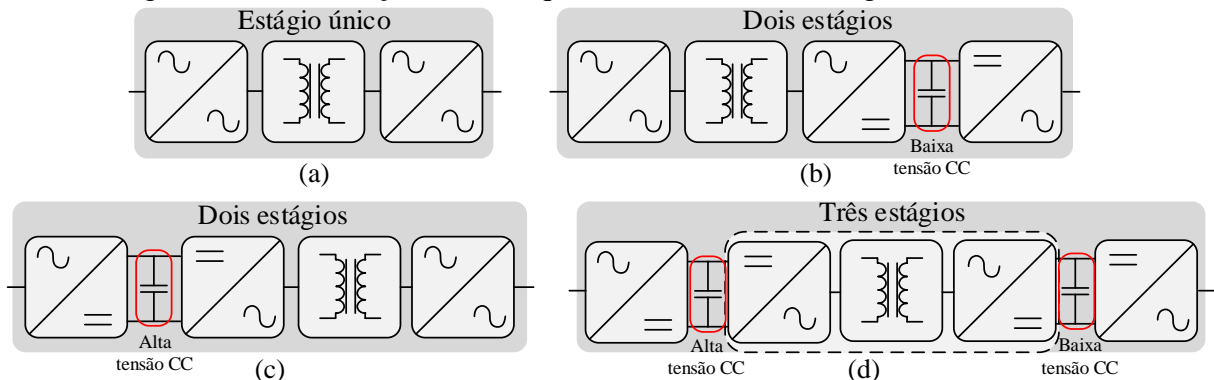
Nesta tese serão utilizadas as classificações por número de estágios de conversão de (Falcones, 2010) e a forma que são obtidas as tensões de entrada e saída do *SST* pelo arranjo dos conversores potência apresentados em (Kolar, 2014).

2.1.2.1 Quanto aos estágios de conversão

Na Figura 2 é apresentada a classificação quanto número de estágio apresentado em (Falcones, Sixifo *et al.*, 2010; Falcones, S. *et al.*, 2010). A Figura 2.a apresenta a categoria “Tipo 1” que é caracterizada por uma única conversão CA-CA com um transformador abaixador. A Figura 2.b apresenta a categoria “Tipo 2” que possui uma conversão CA-CC isolada provendo um barramento CC em baixa tensão seguido de uma conversão CC-CA, caracterizando dois estágios de conversão.

Já na Figura 2.c é apresentada a categoria “Tipo 3”, que apesar de apresentar dois estágios de conversão como no Tipo 2, a isolamento e a redução da tensão são realizadas pelo estágio CC-CA, assim um barramento de alta tensão CC é criado. Por fim, a Figura 2.d apresenta a categoria “Tipo 4” que é caracterizada por três estágios de conversão (CA-CC, CC-CC e CC-CA) com isolamento no estágio CC-CC, proporcionando tanto um barramento de alta tensão CC quanto um de baixa tensão CC.

Figura 2 - Classificação do SST, quanto ao número de estágios de conversão.



Fonte: Próprio Autor.

2.1.2.2 Quanto ao arranjo dos conversores

Levando-se em conta a limitação dos dispositivos semicondutores de potência e componentes magnéticos disponíveis atualmente, as categorias acima apresentadas devem ser dispostas em arranjos séries para aplicações em média e alta tensão caracterizando topologias multiníveis, ou arranjos paralelos para o compartilhamento adequado dos elevados níveis de corrente. Por essa razão faz-se necessário outra classificação.

A Figura 3 apresenta as principais formas de arranjos das células do SST. A Figura 3 (a) apresenta a abordagem direta, onde o conversor do SST é projetado para suportar todo o esforço da tensão de entrada.

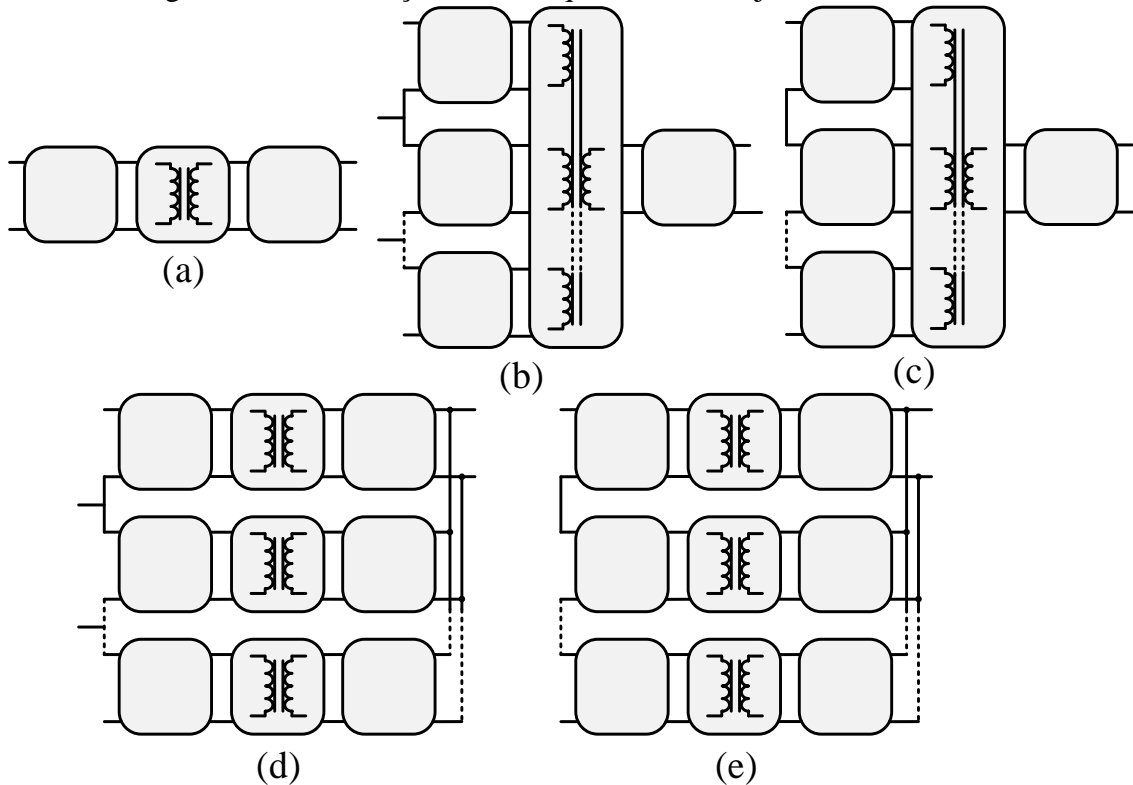
Nas Figuras 3 (Abedini, 2010), são utilizados diversos módulos no primário do SST para dividir a tensão de entrada entre os módulos, sendo possível a utilização de semicondutores com baixa tensão de bloqueio. Na Figura 3 (b) utiliza-se estruturas de conversores que possibilitam o acesso do barramento CC, com o lado de baixa tensão sendo composto por uma única estrutura. Os enrolamentos das Figuras 3 (b) e (c) são dispostos em um único *link* de acoplamento magnético. Na Figura 3 (c) o conversor do lado de alta tensão é composto de vários módulos em série e o conversor ligado ao secundário é composto de um único módulo.

Os conversores do lado de baixa tensão apresentados nas Figuras 3 (d) e (e) são ligados em configuração paralela, sendo que em (d) são utilizadas estruturas semelhantes ao

primário de (b). Na Figura 3 (e) são utilizadas estruturas cascadeadas com barramentos CC independentes.

Vale ressaltar que as duas formas de classificação se completam, sendo possível classificar diversas estruturas aplicadas nos SSTs.

Figura 3 - Classificação do SST, quanto ao arranjo dos conversores.



Fonte: Próprio Autor.

2.1.3 Aplicações

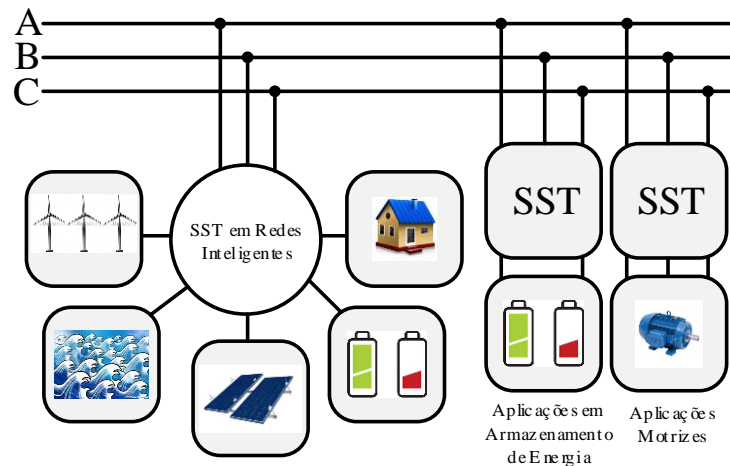
Os SSTs têm como finalidade substituir os transformadores convencionais de potência, logo eles podem herdar todas as aplicações em que os transformadores convencionais fossem necessários. Nessa seção são apresentadas algumas de suas possíveis aplicações.

A Figura 4 apresenta algumas aplicações clássicas, e algumas aplicações que se pretende usar o SST. Dentre elas, pode-se destacar a obtenção uma rede inteligente residencial, onde em um sistema elétrico residencial será possível a interligação entre um aereo gerador de pequeno porte com painéis fotovoltaicos localizados na casa, bem como bancos de baterias (armazenamento da energia em momentos de excesso de geração) e a rede de distribuição local.

A possibilidade da redução de volume e peso dos magnéticos do sistema torna o SST, extremamente atrativo, quando se trabalha com aplicações de tração. Da mesma forma, para aplicações em redes de distribuição, quando existe a possibilidade de se desenvolver

alguma capacidade ativa na rede a ser gerida pelo *SST*. Com isso, esses dois campos de atuação demandam muito esforço de pesquisa entre indústria e academia.

Figura 4 - Aplicações do *SST*.



Fonte: Próprio Autor.

2.1.4 *Conversor Multinível Modular CMM*

Os conversores multiníveis modulares (CMM) podem ser enquadrados na grande família dos conversores *MVD* (*Medium Voltage Drives*) sendo uma alternativa aos conversores multiníveis tradicionais (Systems, 2012). A família dos conversores multiníveis modulares é caracterizada pelo cascadeamento de um grande número de submódulos de conversores. Estes submódulos ou células estão arranjado em grupos, denominados de módulos ou braços, que geram vários níveis de tensão na saída de acordo com a modulação da tensão na entrada (Cúnico *et al.*, 2012).

Uma de suas vantagens é a dispensabilidade de fontes individuais de alimentação e de transformadores de linha. Além disso, a sua modularidade permite outras vantagens (Glinka, 2005):

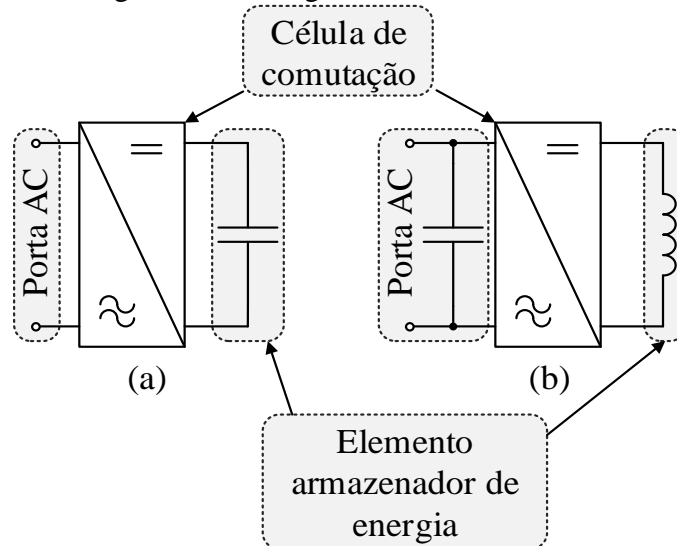
- apresenta elevado número de níveis de tensão na saída utilizando dispositivos de baixa tensão e baixa potência;
- eliminação de filtro LC no lado da rede ou circuitos *tank* ressonantes no dobro da frequência da rede;
- possibilita que os capacitores dos submódulos suportem maiores valores de ondulação de tensão ($\Delta V_c \approx 20\%$);

- como os submódulos são idênticos, em caso de falha, o correspondente defeituoso pode ser desativado, mantendo o conversor em operação e contribuindo para a confiabilidade do sistema.

Entretanto, as desvantagens estão no elevado número de componentes, resultando em uma maior complexidade do sistema de controle.

Geralmente, os conversores CMM são compostos por vários submódulos idênticos, tais submódulos são compostos por um elemento armazenador de energia e uma célula de comutação responsável por conectar e desconectar o elemento armazenador de energia como mostra a Figura 5 (a). Comumente é utilizado um capacitor como elemento armazenador de energia como mostrado a Figura 5 (a), porém algumas pesquisas sugerem o uso de indutores para tal fim (Liang, 2013) e (Perez, 2012) como mostrado na Figura 5 (b). O uso do indutor teria como vantagem uma maior robustez em relação ao uso do capacitor. Há ainda alguns trabalhos indicando o uso de baterias como elemento armazenador principal (Hillers and Biela, 2013) dessa forma, provendo uma grande quantidade de armazenamento de energia, de modo que, essa energia possa ser utilizada para compensar possíveis flutuações de potência ativa na geração local de energia.

Figura 5 - Visão genérica de submódulo.

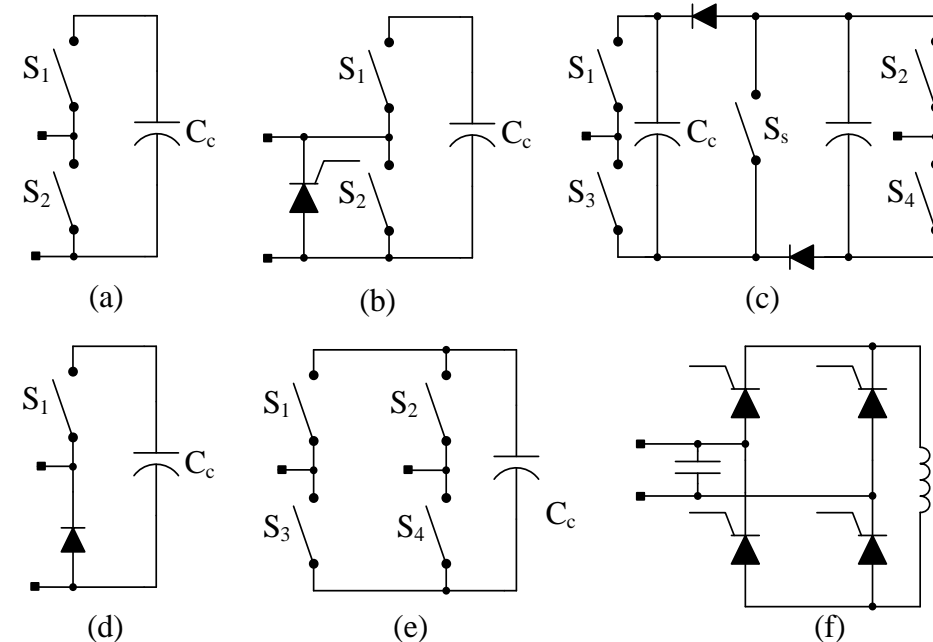


Fonte: Próprio autor.

A Figura 6 apresenta alguns tipos de submódulos utilizados nos conversores CMM apresentados em (Lesnicar, 2003) e (Marquardt, 2003). A Figura 6 (a) apresenta o submódulo básico composto por um conversor meia ponte e um capacitor como elemento armazenador de energia, essa topologia utilizada como submódulo foi utilizada no primeiro trabalho divulgado

no *IEEE (Institute of Electrical and Electronics Engineers)* no qual o conversor CMM é proposto em (Marquardt, 2004). A Figura 6 (b) apresenta a mesma topologia de submódulo que a Figura 6 (a), porém com a utilização de um *SCR (Silicon controlled rectifier)* para *by-pass* caso seja necessário. Ambas as topologias são bidirecionais em corrente. A Figura 6 (c) apresenta a topologia *Double-Clamp-Submodule* (Submódulo duplo grampeado) que pode operar em três quadrantes. A Figura 6 (d) apresenta uma topologia meia ponte unidirecional em corrente. A Figura 6 (e) mostra a topologia ponte completa ou *Full-Bridge* que apresenta bidirecionalidade de corrente e tensão. Por fim a Figura 6(f) que mostra uma topologia composta por uma ponte completa de *SCRs* que possui característica de fonte de corrente devido a utilização de um indutor como elemento armazenador de energia.

Figura 6 - Tipos de submódulos.



Fonte: Próprio autor.

Existem outros submódulos que podem ser utilizados nos conversores CMM além dos já apresentados da Figura 6. Como por exemplo topologias de conversores multiníveis com o *NPC* e *FC* apresentados em (Perez *et al.*, 2015).

2.1.4.1 Funcionamento

Para entender o funcionamento básico dos conversores CMM é utilizado o conversor CMM-1f, apresentado na Figura 7 que é a versão monofásica da primeira topologia de conversores CMM publicada por (Glinka, 2005). O CMM é composto principalmente por

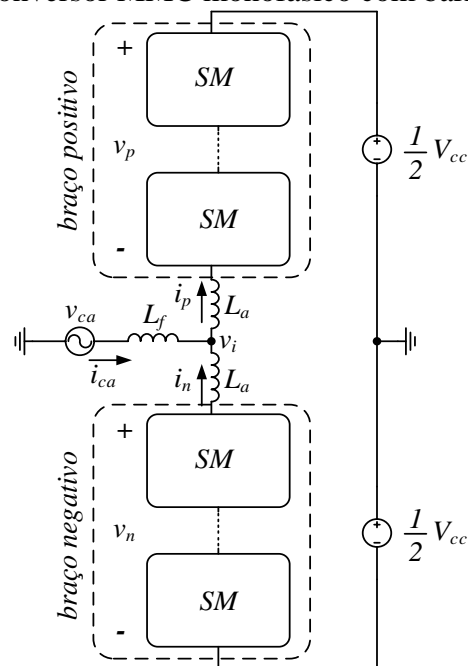
dois braços contendo N módulos cada. Nesta configuração, o braço conectado ao lado positivo do barramento CC é denominado braço positivo, enquanto o braço conectado ao lado negativo do barramento CC é denominado braço negativo. As outras extremidades de cada braço são conectadas ao indutor de filtro L_f através dos indutores de braço L_a , os quais possuem a função primária de limitar a corrente que circula através do laço composto pelas fontes do barramento CC e os braços do conversor. Outra função destes indutores é limitar o crescimento de uma possível corrente de falta na porta CC do conversor.

As análises aqui apresentadas consideram que o CCMM-1f realiza a conversão CC-CA com formas de onda senoidais. Assim, a fonte de tensão alternada v_{ca} possui amplitude \hat{V} e frequência angular ω , como definido em (2.1). A corrente na porta CA, considerando que o conversor opera idealmente em regime permanente e desprezando qualquer componente harmônico, é dada pela equação (2.2).

$$v_{ca} = \hat{V} \cos(\omega t) \quad (2.1)$$

$$i_{ca} = i_p - i_n = \hat{I} \cos(\omega t + \phi) \quad (2.2)$$

Figura 7 - Estrutura do conversor MMC monofásico com barramento duplo.



Fonte: Próprio autor.

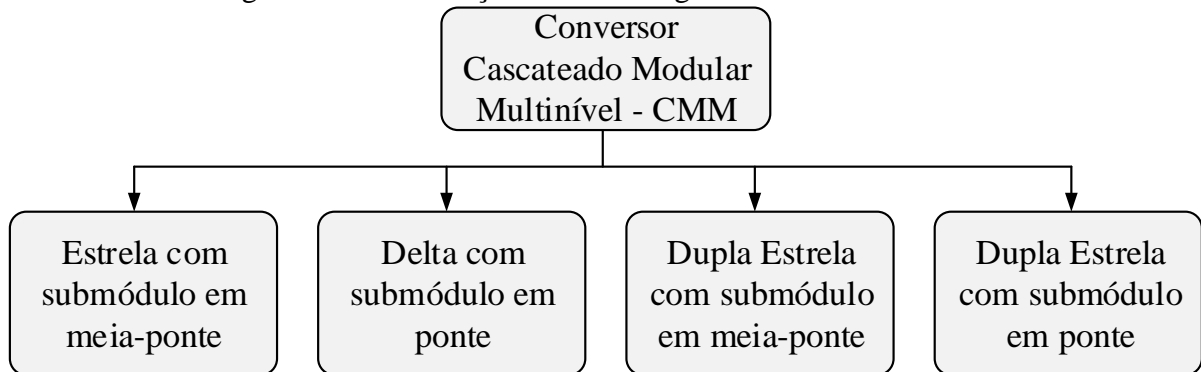
2.1.4.2 Classificação

Desde a sua introdução em (Lesnicar, 2003), a topologia baseada na ligação de submódulos em cascata foi nomeada de “conversor multinível modular” ou do inglês “*modular multilevel line converter*” (MMLC).

Todavia, em (Akagi, 2010), o autor abrangeu outras estruturas de conversores “modulares em cascata”, apresentados em (Glinka, 2005), (Hagiwara, 2009), e propôs a classificação de uma família de conversores, denominando-a de conversor cascadeado multinível modular (CCMM) ou (*Modular Multilevel Cascade Converter*) (MMCC).

A família CCMM é classificada de acordo com a disposição dos submódulos SMs (estrela, delta, dupla-estrela ou tripla-estrela) e com a configuração da estrutura das células PWM (meia ponte ou ponte completa). A Figura 8 apresenta a classificação dos conversores CCMM no que tange a configuração de conexão entre os seus módulos e submódulos.

Figura 8 - Classificação e terminologia da família de CCMM

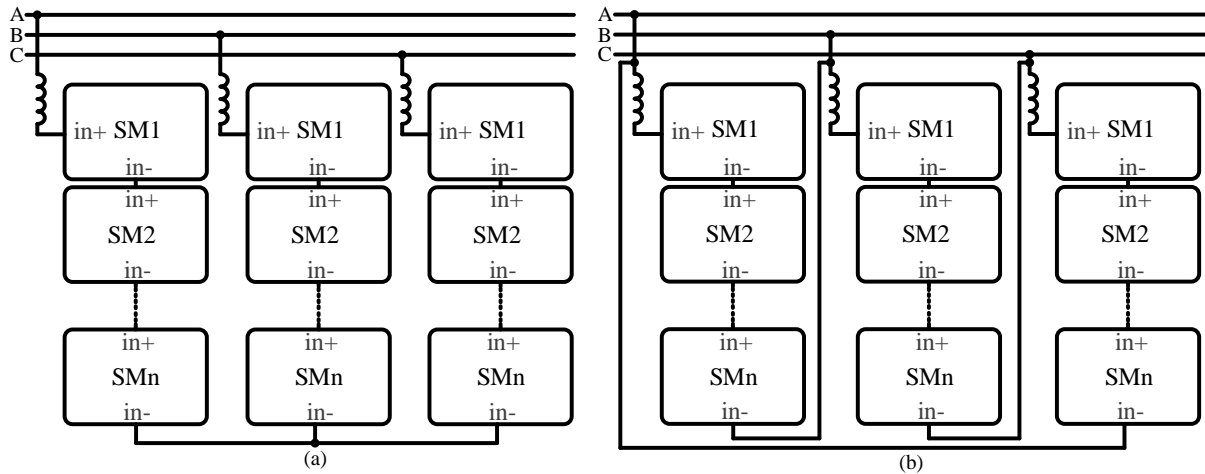


Fonte: Próprio autor.

A Figura 9 apresenta as topologias sem barramento CC comum. A Figura 9 (a) apresenta a configuração Estrela com submódulo em meia-ponte ou *Single-Star Bridge Cells (SSBC)* e a Figura 9 (b) apresenta configuração em Delta com submódulos em ponte ou *Single-Delta Bridge-Cells (SDBC)*.

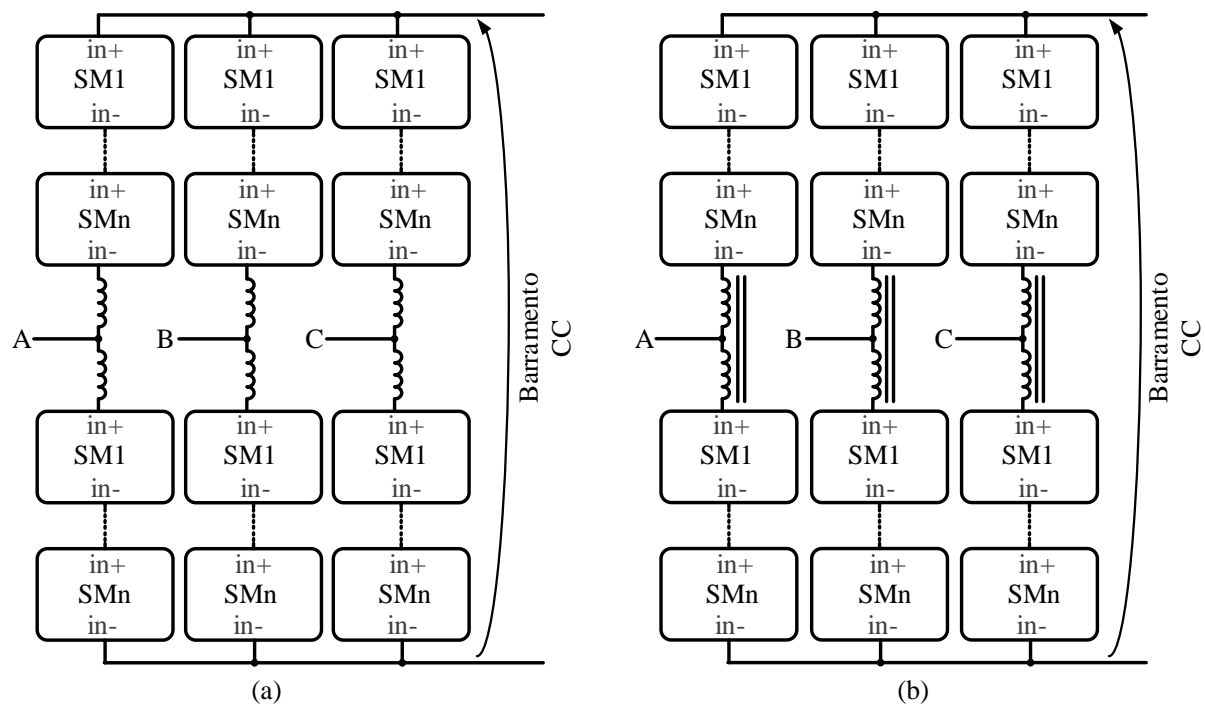
A Figura 10 apresenta a configuração dos CCMMs com barramento CC comum. Sendo que a Figura 10 (a) apresentada a configuração Dupla Estrela com submódulo em meia-ponte ou *Double-Star Chopper-Cells (DSCC)* e a Figura 10 (b) apresenta a configuração Dupla Estrela com submódulo em ponte completa ou *Double-Star Bridge-Cells (DSBC)*.

Figura 9 - Configuração dos CCMMs sem barramento CC comum.



Fonte: Próprio autor.

Figura 10 - Configuração dos CCMMs com barramento CC comum



Fonte: Próprio autor.

2.1.4.3 Aplicações

Devido às suas características de modularidade, escalabilidade, ausência de fontes isoladas, possibilidade de operação em alta tensão e alta potência os conversores CCMMs tem como uma de suas principais aplicações a transmissão de energia em alta tensão em corrente contínua ou comumente denominada de *HVDC (High Voltage Direct Current)*. De fato, já existem estações de *HVDC* operando e outras em construção, baseadas nesta topologia (Knaak, 2011).

Porém, não é só em transmissões *HVDC* que pode-se aplicar os conversores CCMMs. Existem outros nichos de aplicação como os *SSTs* que podem ser utilizados em *Smart Grids* (She, 2013 15), (Joca *et al.*, 2015), conversores CA-CC com alta densidade de potência como visto em (Kasper, 2015; Kasper, 2014), acionamento de máquinas com velocidade variável (Hillers and Biela, 2013), frenagem regenerativa em sistemas de transmissão *HVDC* de parques eólicos offshore (Debnath, 2013), “*flexible ac transmissions systems*” *FATCS* e “*static synchronous compensator*” *STATCOM* (Ch, 2020; Rathod, 2017), tração ferroviária (Guo, 2019; Zhao, 2014; Lei, 2020), etc.

2.2 Considerações Finais

Este capítulo apresentou uma revisão bibliográfica dos *SSTs* e dos *MMCs*. As formas de classificação dos *SSTs* quanto ao arranjo topológico, quantidade de estágios processamento de energia foram apresentadas, bem como as suas principais aplicações. Também foram apresentadas as formas de classificação, princípio simplificado de funcionamento e aplicações dos *MMCs*.

Diante do exposto, foi proposto o estudo de uma nova topologia de *SST* baseada na estrutura *MMC* bidirecional, com um único transformador de isolamento em média frequência. O conversor possui viabilidade para integração com diversas cargas ou fontes de energias renováveis. Além disso, devido à isolamento galvânica em média frequência e a capacidade de correção do fator de potência o conversor também pode ser aplicado em transformadores de estado sólido aplicados a tração ferroviária.

3 ANÁLISE DO CONVERSOR PROPOSTO

Neste capítulo é feita a descrição detalhada do conversor proposto. Na primeira parte do capítulo é realizada uma análise qualitativa do conversor onde é descrito o seu funcionamento através dos seus estados de operação, a generalização e o equacionamento básico da topologia e pôr fim a estratégia de modulação.

Na segunda parte do capítulo é realizada a análise quantitativa do conversor através do equacionamento da potência ativa, potência reativa e fator de potência entre o primário e secundário do conversor, determinação da ondulação máxima de corrente e estudo das perdas.

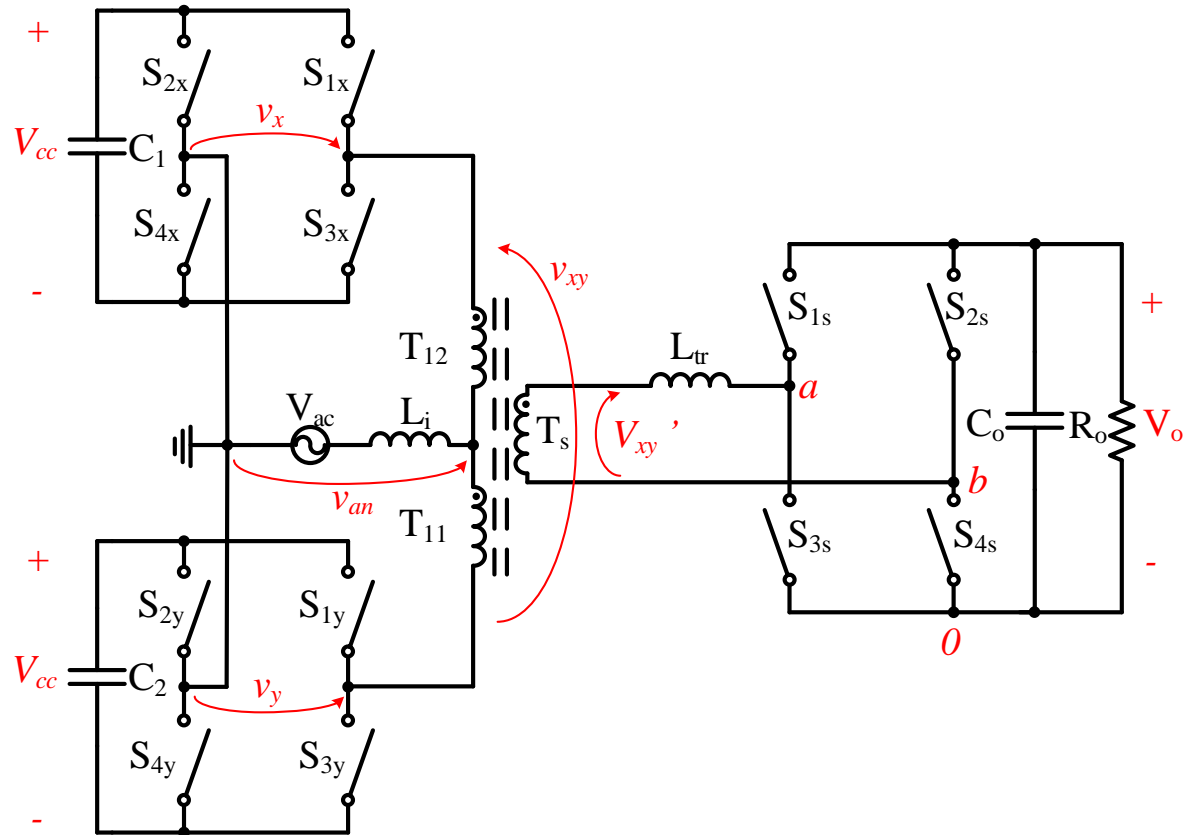
3.1 Análise qualitativa

Nesta seção é apresentada a análise qualitativa do conversor através dos seus estados de funcionamento, a generalização e as equações básicas e a estratégia de modulação.

3.1.1 Estrutura do conversor

A Figura 11 apresenta o diagrama esquemático da versão com apenas dois submódulos da topologia proposta. A topologia é dividida entre primário e secundário, onde do lado primário temos o indutor de armazenamento de entrada ligado ao ponto central dos enrolamentos T_{11} e T_{12} do primário do transformador que por sua vez tem a função de intercalar dois conversores ponte completa. No enrolamento secundário do transformador T_s é ligado um indutor adicional de transferência de potência de forma a propiciar que o conversor funcione como um conversor “DAB - *Dual active bridge*” (Santos, 2012) e um conversor ponte completa.

Figura 11 - Diagrama simplificado da topologia proposta nesta tese.



Fonte: Próprio autor.

Com a utilização dessa estrutura é possível obter um conversor CA-CC de estágio integrado de conversão aplicável em SST.

3.1.2 Princípio de funcionamento

Considerando a versão do conversor utilizando dois submódulos pode-se definir dezesseis possíveis combinações de chaveamento para as oito chaves ligadas ao lado primário conforme mostra a Tabela 1. Dessas dezesseis etapas pode-se concluir que existem redundâncias nos estados das tensões v_{an} e v_{xy}' , dessa forma pode-se representar as etapas de operação do conversor por meio de oito etapas.

Tabela 1 - Possíveis vetores de comutação para o lado primário do conversor.

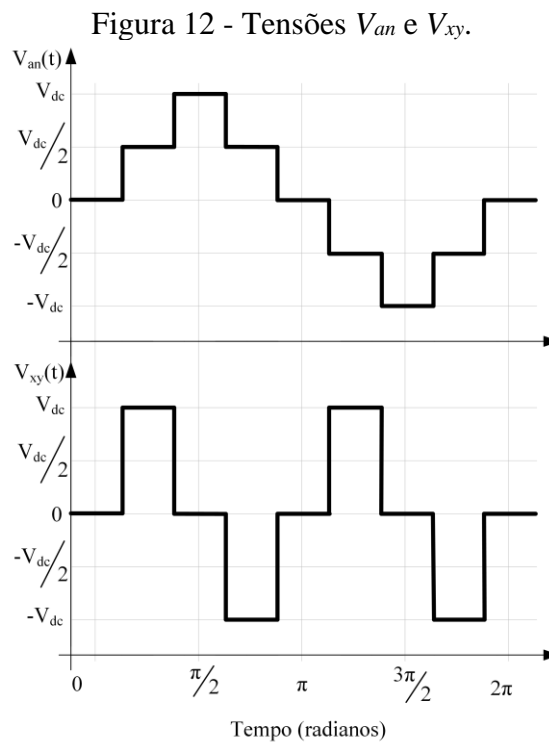
	S_{1x}	S_{2x}	S_{1y}	S_{2y}	V_x	V_y	V_{an}	V_{xy}'
ss^0	0	0	0	0	0	0	0	0
ss^1	0	0	0	1	0	$-V_{dc}$	$-V_{dc}/2$	V_{dc}
ss^2	0	0	1	0	0	V_{dc}	$V_{dc}/2$	$-V_{dc}$
ss^3	0	0	1	1	0	0	0	0

ss^4	0	1	0	0	$-V_{dc}$	0	$-V_{dc}/2$	$-V_{dc}$
ss^5	0	1	0	1	$-V_{dc}$	$-V_{dc}$	$-V_{dc}$	0
ss^6	0	1	1	0	$-V_{dc}$	V_{dc}	0	$-2V_{dc}$
ss^7	0	1	1	1	$-V_{dc}$	0	$-V_{dc}/2$	$-V_{dc}$
ss^8	1	0	0	0	V_{dc}	0	$V_{dc}/2$	V_{dc}
ss^9	1	0	0	1	V_{dc}	$-V_{dc}$	0	$2V_{dc}$
ss^{10}	1	0	1	0	V_{dc}	V_{dc}	V_{dc}	0
ss^{11}	1	0	1	1	V_{dc}	0	$V_{dc}/2$	V_{dc}
ss^{12}	1	1	0	0	0	0	0	0
ss^{13}	1	1	0	1	0	$-V_{dc}$	$-V_{dc}/2$	V_{dc}
ss^{14}	1	1	1	0	0	V_{dc}	$V_{dc}/2$	$-V_{dc}$
ss^{15}	1	1	1	1	0	0	0	0

Fonte: Próprio autor.

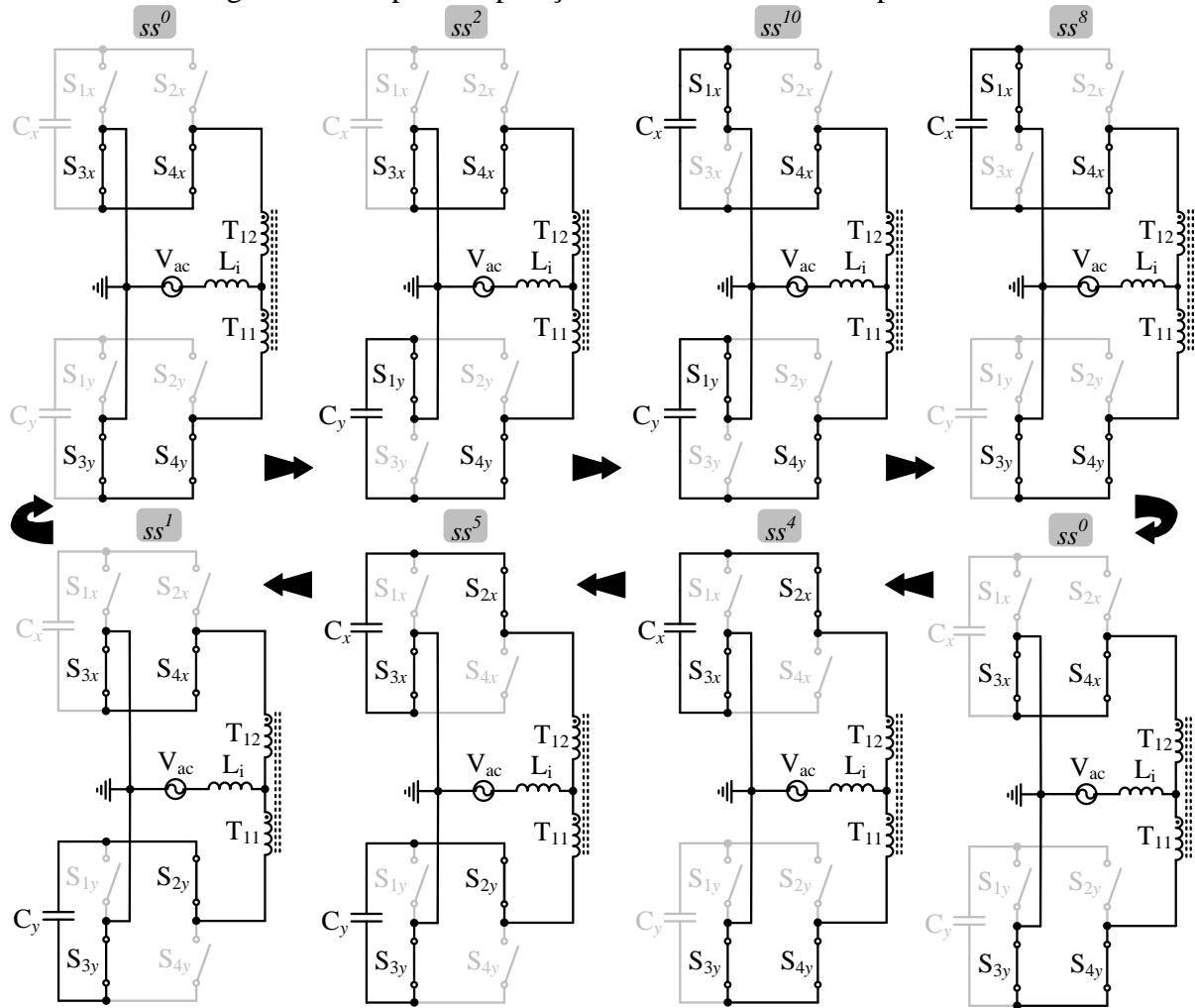
Os estados apresentados na Tabela 1 são escolhidos de tal forma que a tensão v_{an} apresente uma forma de onda de tensão de cinco níveis em baixa frequência completando um ciclo da rede e a forma de onda de tensão v_{xy} de dois níveis conforme mostra a Figura 12.

A sequência de estados para produzir a forma de onda da Figura 12 de forma a completar a operação do conversor em ciclo da rede é: $ss^0, ss^2, ss^{10}, ss^8, ss^0, ss^4, ss^5, ss^1, ss^0$. A Figura 13 apresenta as etapas de operação do conversor do lado primário.



Fonte: Próprio autor.

Figura 13 - Etapas de operação do conversor do lado primário.



Fonte: Próprio autor.

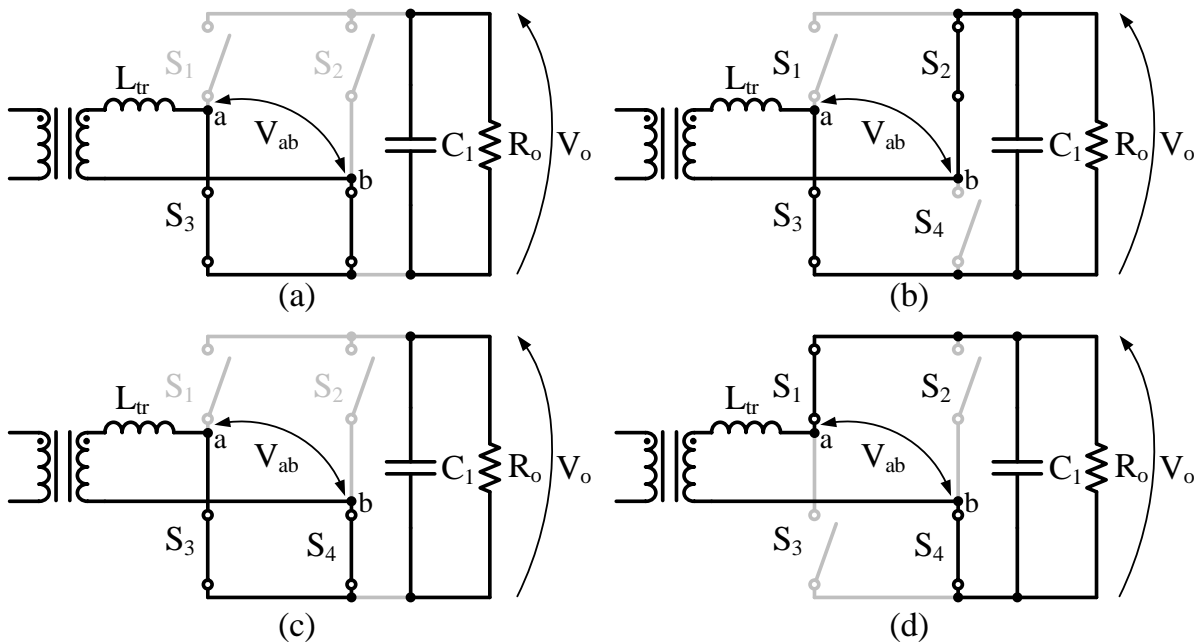
No lado secundário é ligado um conversor ponte completa monofásico composto pelos interruptores S_1, S_2, S_3 e S_4 , um capacitor C_o no barramento CC e a carga na saída R_o , conforme mostra a Figura 14. O conversor é modulado por uma modulação por largura de pulso unipolar (Barbi, 2005). A partir da Tabela 2 pode-se descrever as etapas de funcionamento do conversor ligado ao lado secundário do transformador. Conforme mostra a Figura 14, quando os interruptores S_1 e S_4 conduzem simultaneamente, a tensão v_{ab} aparece sobre os terminais do conversor, a corrente no secundário i_s possui sentido positivo e a corrente i_o é igual a i_s . Se os interruptores S_2 e S_3 conduzem ao mesmo tempo, a tensão sobre os terminais de entrada é invertida e igual a $-V_o$, a corrente no secundário possui sentido negativo e a corrente na saída é igual $-i_s$. A tensão sobre os terminais de entrada é igual a zero quando os interruptores S_1 e S_2 ou S_3 e S_4 estão ligados ao mesmo tempo, logo não há fluxo de potência.

Tabela 2 - Possíveis vetores de comutação para o lado secundário do conversor

	S_1	S_2	V_{a0}	V_{b0}	v_{ab}
e^0	0	0	0	0	0
e^1	0	1	0	V_o	$-V_o$
e^2	1	0	1	$-V_o$	V_o
e^3	1	1	V_o	V_o	0

Fonte: Próprio autor.

Figura 14 - Etapas de operação do conversor ponte completa.



Fonte: Próprio autor.

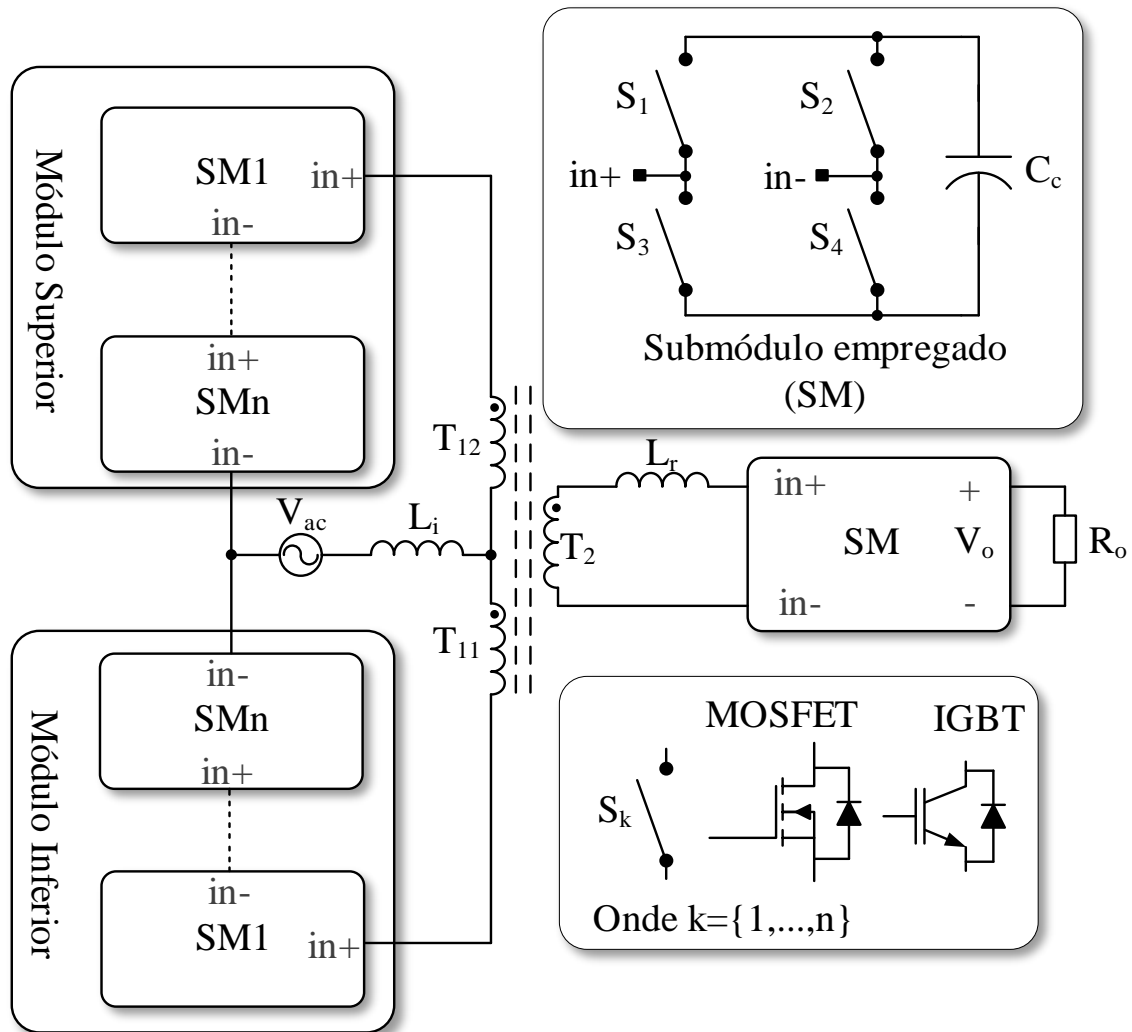
3.1.3 Generalização e equacionamento da topologia

A partir da estrutura básica do conversor apresentada na Figura 11 pode-se intercalar e cascatear os conversores ponte completa ligados ao primário do transformador a fim de aumentar o número de níveis de tensão aplicados ao transformador e ao indutor de entrada L_i conforme pode ser visto na Figura 15 que apresenta a estrutura genérica da topologia e suas conexões em cascata caracterizando um conversor multinível modular devido a presença de N submódulos iguais para cada módulo superior e inferior.

A técnica de intercalação baseada no acoplamento de indutores foi primeiramente apresentada por (Bascopé, 2000; Bascopé, 2001) e sua avaliação ao longo do tempo foi resumida por (Cougo, 2012). Devido a configuração de ligação do lado primário, pode-se

afirmar que a topologia é baseada no CMM se enquadrando como um braço na classificação Dupla-estrela, só que sem barramento CC comum (Akagi, 2014).

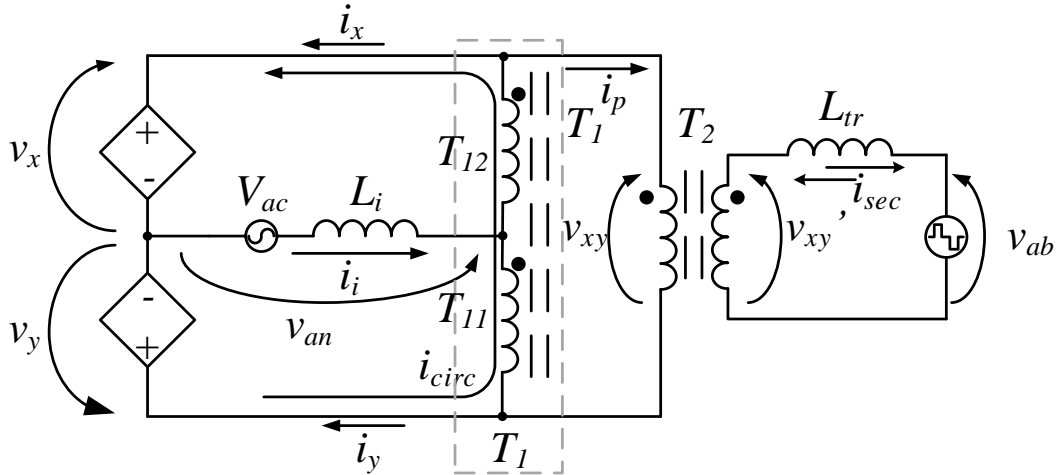
Figura 15 - Topologia proposta para n submódulos.



Fonte: Próprio autor.

A partir das Figuras 11 e 15 pode-se desenhar um circuito elementar mostrado na Figura 16 que representa o circuito elementar do conversor. A fim de facilitar a análise das malhas do circuito elementar é conectado em paralelo com o transformador T_1 o transformador T_2 . Para a simplificar a obtenção das equações básicas foram feitas as seguintes considerações: as indutâncias de dispersão e magnetização do transformador foram desprezadas e os módulos superiores e inferiores foram substituídos por fontes de tensão ideais V_x e V_y .

Figura 16 - Circuito elementar do conversor.



Fonte: Próprio autor.

A tensão multinível v_{an} gerada pelo conversor é dada por:

$$v_{an} = \frac{v_x + v_y}{2} \quad (3.1)$$

Onde as tensões v_x e v_y geradas pelos módulos superior e inferior são definidas por:

$$v_x = \sum_{k=1}^n v_{xk} \quad (3.2)$$

$$v_y = \sum_{k=1}^n v_{yk} \quad (3.3)$$

Onde n é o número de submódulos por módulos.

A tensão v_{xy} é a diferença entre as tensões v_x e v_y aplicada no enrolamento primário do transformador T_1 e é definida por:

$$v_{xy} = v_x - v_y \quad (3.4)$$

A corrente i_p que flui através do primário do transformador T_2 é definida (3.5) em termos da indutância L_{tr} , da frequência angular $\omega_{tr} = 2 \cdot \pi \cdot f_{ch}$, das tensões v_{xy}' e v_{ab} e a relação de espiras a do enrolamento T_2 . A corrente i_{sec} que flui pelo secundário do transformador é dada pela equação (3.6).

$$i_p = \frac{v_{xy}' - v_{ab}}{a \cdot \omega_{tr} \cdot L_{tr}} \quad (3.5)$$

$$i_{sec} = a \cdot \frac{v_{xy}' - v_{ab}}{\omega_{tr} \cdot L_{tr}} \quad (3.6)$$

As correntes que fluem pelos enrolamentos T_{11} e T_{12} são a metade da corrente que flui pelo do indutor do filtro de entrada L_i , uma vez que os enrolamentos acoplados têm o mesmo

número de espiras. De fato, devido à técnica de modulação, essas correntes têm o mesmo valor eficaz e a mesma defasagem angular na componente fundamental de baixa frequência. No entanto, considerando a representação de média frequência, essas quantidades são deslocadas em 180° , conforme apresentado em (Cougo, 2012).

A corrente i_x que flui pela fonte de tensão v_x é dada por:

$$i_x = \frac{i_i}{2} + i_{circ} - i_p \quad (3.7)$$

A corrente i_y que flui pela fonte de tensão v_y é dada por:

$$i_y = \frac{i_i}{2} - i_{circ} + i_p \quad (3.8)$$

Assim, a partir das equações (3.7) e (3.8) a corrente de circulação que flui da fonte de tensão v_x para a fonte de tensão v_y produzida devido a variação instantânea entres as mesmas é dada por:

$$i_{circ} = \frac{i_x - i_y}{2} \quad (3.9)$$

Essa corrente i_{circ} deve apresentar valor médio nulo para diminuir seu impacto na operação ideal do conversor, bem como as perdas de potência no submódulo (Konstantinou, 2016). De fato, essa corrente é igual à corrente de magnetização em T_2 , cujo sistema de controle atua para evitar a saturação do transformador de média frequência.

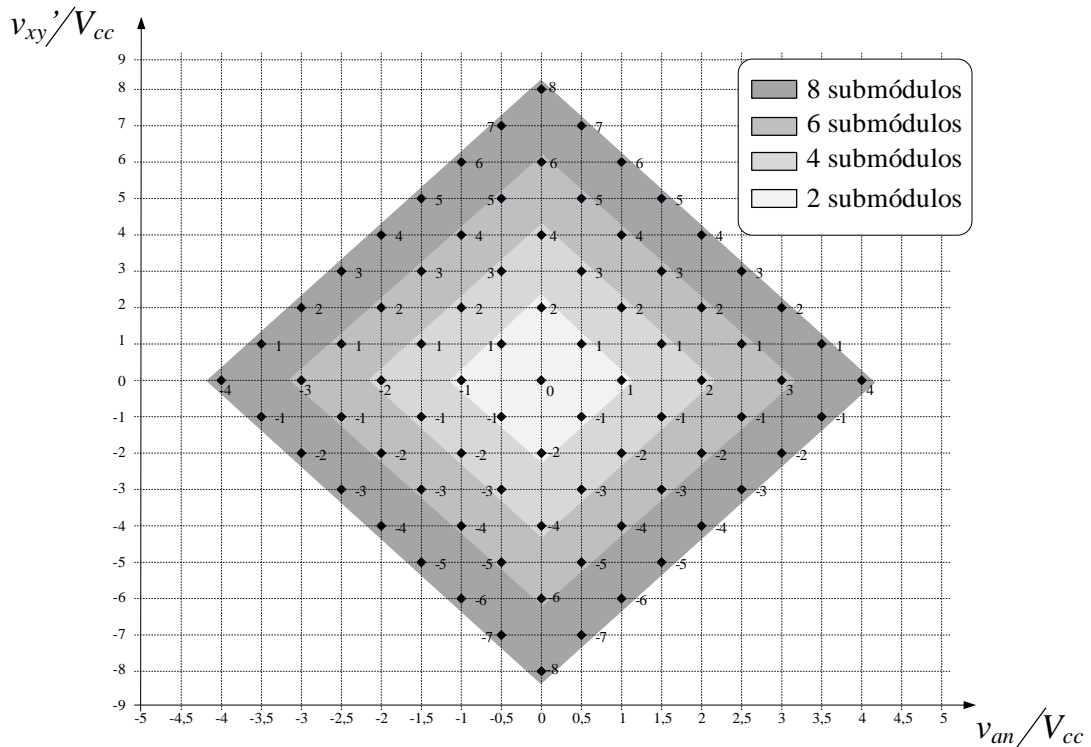
O índice de modulação do conversor que relaciona a tensão de pico da rede V_{acpk} com a tensão de pico multinível V_{anpk} , sendo $V_{anpk} = n \cdot V_{cc}$ é dado por:

$$m_{van} = \frac{V_{acpk}}{V_{anpk}} \quad (3.10)$$

3.1.4 Técnica de modulação

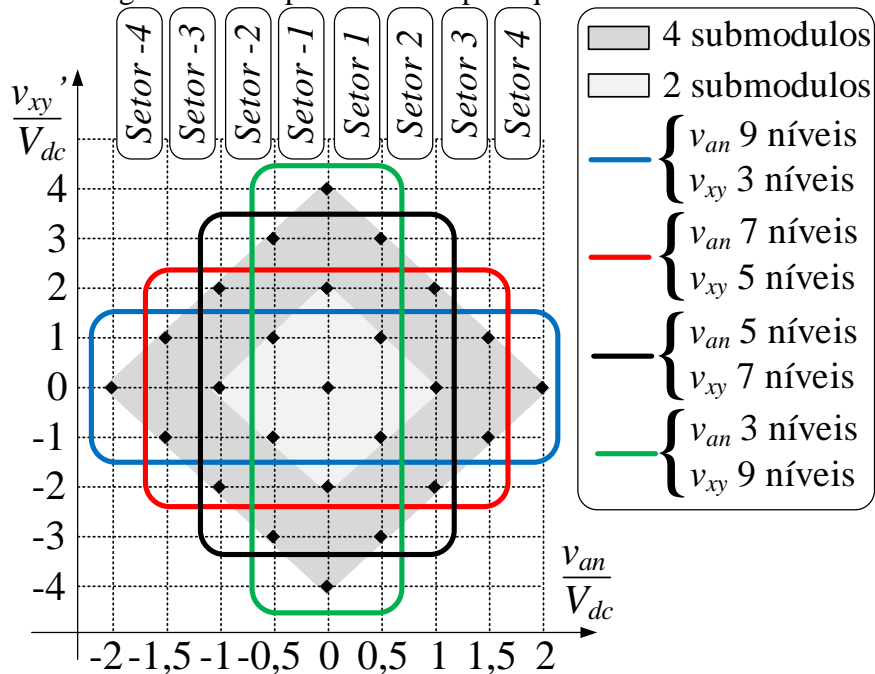
A partir das equações (3.1) e (3.4) descritas na seção anterior, pode-se obter o mapa dos possíveis vetores de tensão aplicados ao lado primário do conversor proposto. Esse mapa é construído considerando a tensão v_{an} como sendo o eixo horizontal e a tensão v_{xy} como sendo o eixo vertical. A Figura 17 apresenta o mapa dos vetores de tensão de forma genérica com o conversor utilizando até oito submódulos. Todavia, para a análise da modulação são utilizados quatro submódulos, conforme mostra a Figura 18.

Figura 17 - Mapa vetorial para n submódulos.



Fonte: Próprio autor.

Figura 18 - Mapa de vetores para quatro submódulos.



Fonte: Próprio autor.

A Figura 18 apresenta quatro possíveis regiões de vetores que podem ser utilizados para apresentar três, cinco, sete e nove níveis de tensão v_{xy}' , e três, cinco, sete ou nove níveis

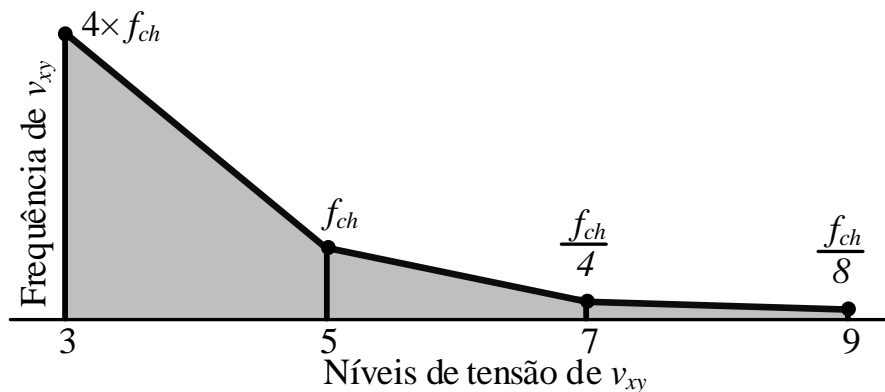
de tensão v_{an} . Além disso, percebe-se que à medida que aumenta o número de níveis de uma determinada tensão, acaba diminuindo os níveis de tensão da outra e vice e versa. A Figura 19 apresenta o comportamento da frequência associada a tensão v_{xy} e função do respectivo número de níveis de tensão, onde é possível ver que com o aumento dos níveis de tensão v_{xy} há um decaimento da frequência associada a mesma.

A partir da Figura 17 e 18 e levando em consideração que o lado primário do conversor é a intercalação de conversores pontes completas operando com modulação unipolar pode-se expressar o número de níveis da tensão V_{an} pela equação (3.11) e o número de níveis da tensão v_{xy} pela equação (3.12).

$$N_{V_{an}} = 2M + 1 \quad (3.11)$$

$$N_{V_{xy}} = 2M + 1 \quad (3.12)$$

Figura 19 - Comportamento da frequência associada a v_{xy} em função do respectivo número de níveis de tensão.



Fonte: Próprio autor.

Assim, a partir da manipulação das equações (3.10) e (3.11) pode-se chegar nas equações que definem o índice de modulação em função no número de submódulos dado pela equação (3.13) e na equação (3.14) que define o número de níveis da tensão v_{an} em função do índice de modulação.

$$m_{van} = \frac{2 \cdot V_{ipk}}{M \cdot V_{cc}} \quad (3.13)$$

$$N_{van} = \frac{4 \cdot V_{ipk}}{m_{van} \cdot V_{cc}} + 1 \quad (3.14)$$

Considerando que em regime permanente o pico da tensão da rede V_{ipk} e V_{cc} são constantes, nota-se que o número de níveis N_{van} pode variar em função do índice de modulação m_{van} conforme é descrito pela equação (3.15).

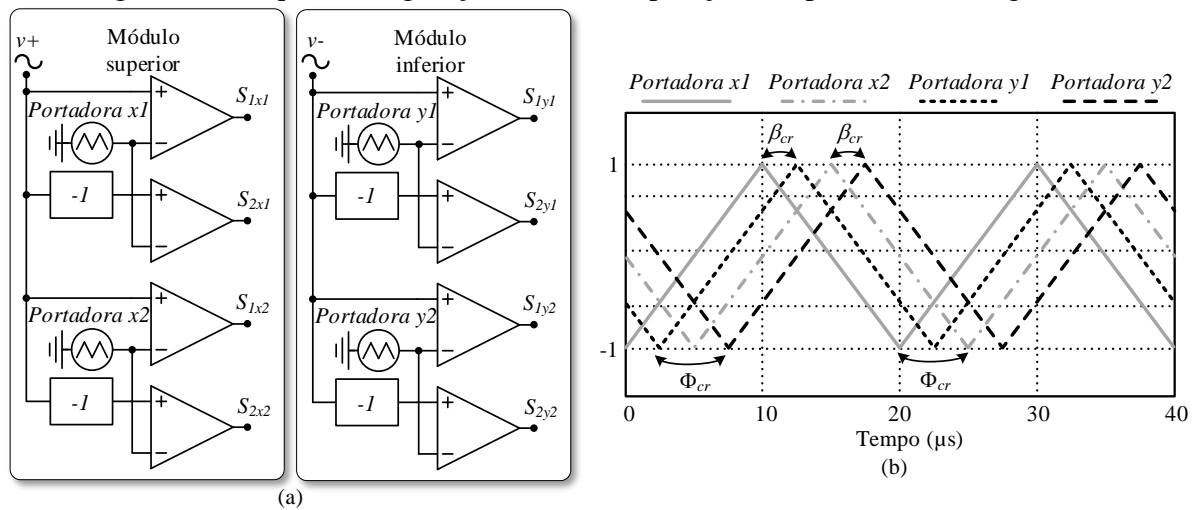
$$N_{v_{an}} = \begin{cases} 3 & \text{se } 0 < m_{van} \leq 0.3 \\ 5 & \text{se } 0.3 \leq m_{van} \leq 0.5 \\ 7 & \text{se } 0.5 \leq m_{van} \leq 0.7 \\ 9 & \text{se } 0.7 \leq m_{van} \leq 1 \end{cases} \quad (3.15)$$

3.1.1 Modulação para três níveis de tensão no transformador

Para a modulação com três níveis de tensão no transformador é proposto a utilização da técnica de modulação *Unipolar Phase Shift Pulse Width Modulation (PS-PWM)* (Holmes; Lipo, 2003). A modulação é feita através de quatro portadoras triangulares defasadas.

A Figura 20 (a) apresenta o esquema de modulação e a Figura 20 (b) apresenta a disposição das portadoras triangulares.

Figura 20 - Esquema de geração PWM e disposição das portadoras triangulares.



Fonte: Próprio autor.

A partir da Figura 20 (b) define-se que a defasagem angular entre as portadoras de submódulos do mesmo módulo é dada por:

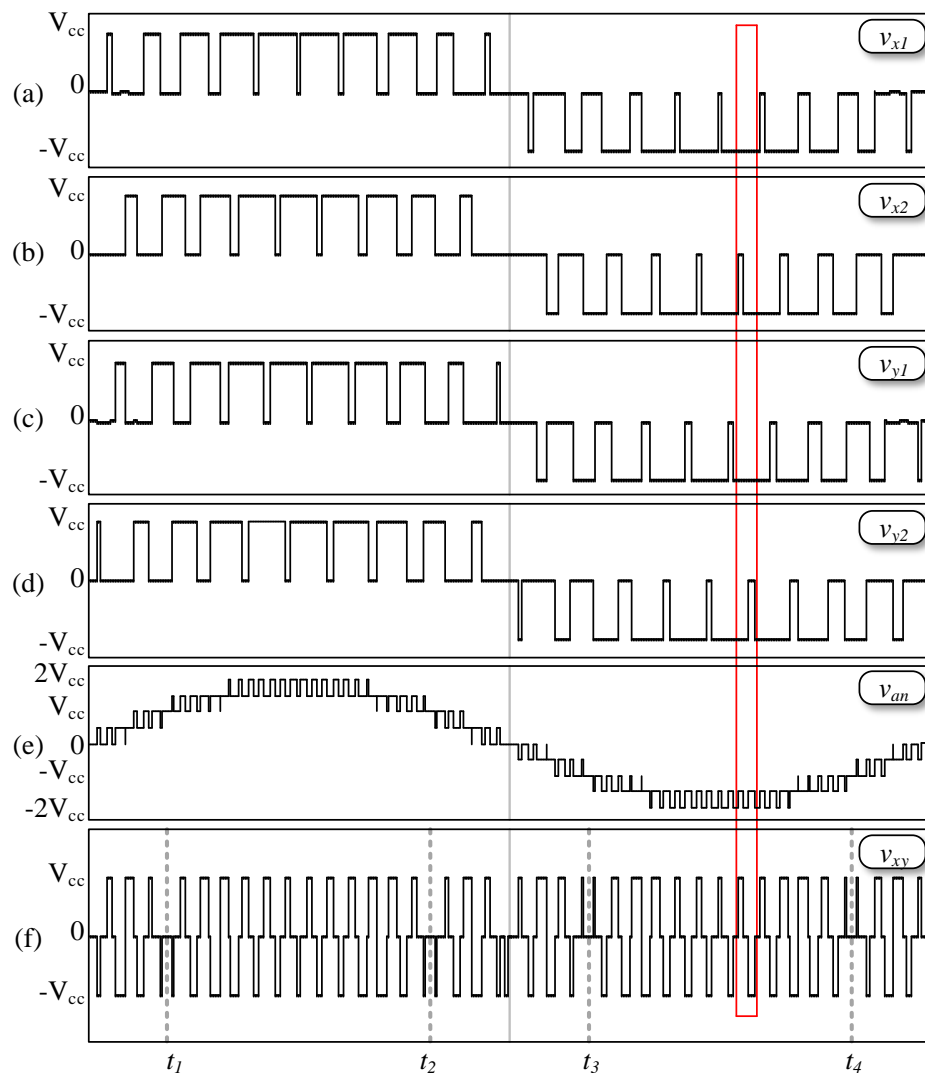
$$\Phi_{cr} = \frac{\pi}{n} \quad (3.16)$$

A equação define a defasagem angular entre portadoras de submódulos de mesmo subscrito, porém de módulos diferentes.

$$\beta_{cr} = \frac{\pi}{2 \cdot n} \quad (3.17)$$

As tensões geradas pela modulação empregando três níveis são apresentadas na Figura 21. As Figura 21 (a) e (b) apresentam as tensões dos submódulos superiores e a as Figura 21 (c) e (d) apresentam as tensões dos submódulos inferiores. As Figura 21 (e) e (f) mostram as tensões v_{an} e v_{xy} . Na Figura 21 (f) são destacados quatro instantes de transição (t_1 , t_2 , t_3 e t_4) onde a tensão v_{xy} inverte sua fase em relação ao período anterior, esse fenômeno deve ser contornado para evitar picos de corrente prejudiciais ao conversor. O método para contornar esse fenômeno é apresentado na Figura 23 onde é explicado a estratégia de modulação do conversor do lado secundário.

Figura 21 - Tensões multiníveis geradas.



Fonte: Próprio autor.

A partir da combinação das portadoras *PWM* e do entrelaçamento dos módulos proporcionada pelos enrolamentos primários do transformador T_1 , tem-se o aumento da frequência nas tensões v_{an} e v_{xy} com o aumento do número de submódulos contribuindo para a redução de peso e volume dos magnéticos.

A frequência associada a tensão v_{xy} é dada pela equação (3.18) e a frequência associada a tensão v_{an} é dada pela equação (3.19). Onde f_{ch} é a frequência de chaveamento dos interruptores.

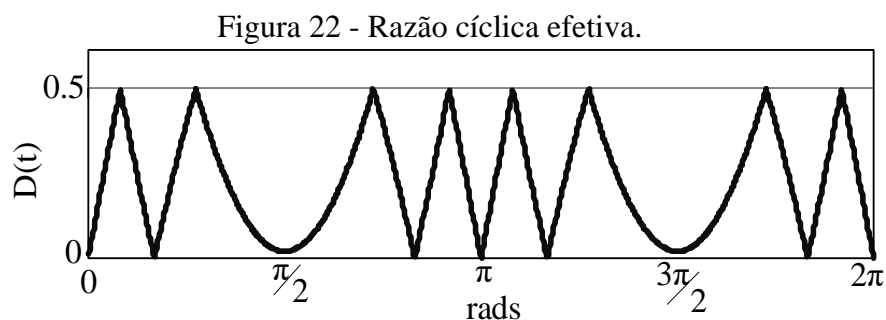
$$fv_{xy} = f_{ch} \cdot n \quad (3.18)$$

$$fv_{an} = 2 \cdot fv_{xy} \quad (3.19)$$

A razão cíclica efetiva da tensão no transformador é dada pela equação (3.20).

$$d(t) = \begin{cases} 2 \cdot t_{ch} \cdot f_{ch} |m(t)|, & \text{se } 0 < |m(t)| \leq 0,25 \\ 2 \cdot t_{ch} \cdot f_{ch} \left(\frac{1}{2} - |m(t)| \right), & \text{se } 0,25 < |m(t)| \leq 0,5 \\ 2 \cdot t_{ch} \cdot f_{ch} \left(|m(t)| - \frac{1}{2} \right), & \text{se } 0,5 < |m(t)| \leq 0,75 \\ 2 \cdot t_{ch} \cdot f_{ch} (1 - |m(t)|), & \text{se } 0,75 < |m(t)| < 1 \end{cases} \quad (3.20)$$

A Figura 22 apresenta o comportamento da razão cíclica efetiva da tensão v_{xy} aplicado ao transformador para três níveis de tensão em um período da rede. Conforme visto na equação (2.18) essa razão cíclica representada na Figura 22 é composta por trechos da senoide utilizada na modulação da tensão v_{an} .

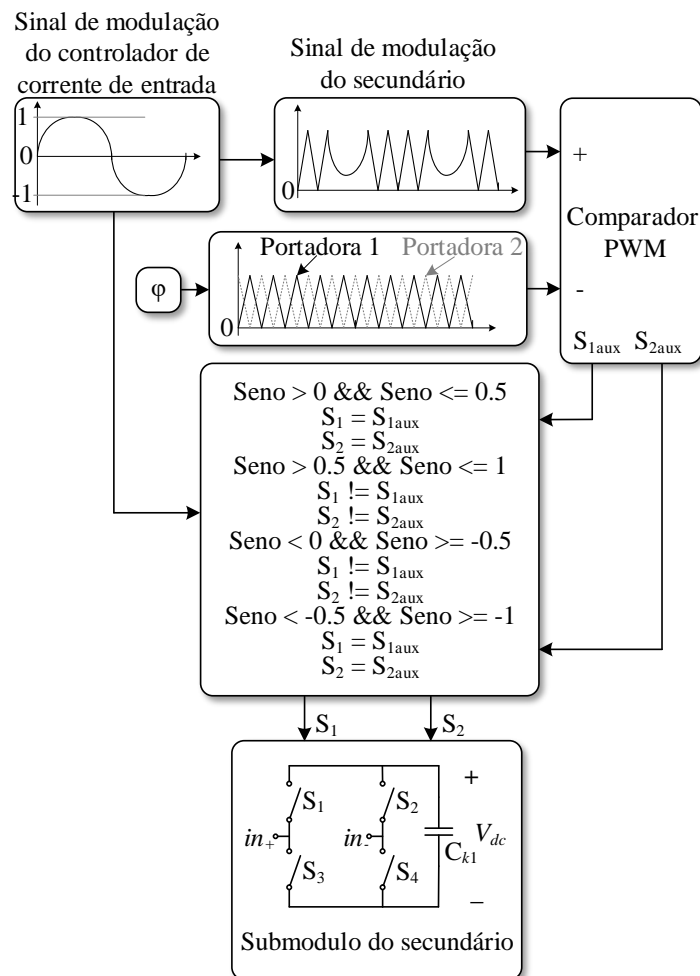


Fonte: Próprio autor.

A Figura 23 apresenta o diagrama de blocos explicando a estratégia de modulação empregada no conversor do lado secundário. É possível ver que o sinal de modulação do lado secundário é obtido da onda senoidal de modulação gerada pelo controlador de corrente de entrada combinado com a equação (2.18), resultando na forma de onda apresentada Figura 22. Os sinais da portadora são defasados em 180° um do outro e, sua respectiva frequência deve ser quatro vezes maior do que aquela associada à frequência das portadoras usadas no lado

primário. As portadoras usam o ângulo φ para gerar o deslocamento de fase necessário entre v_{xy}' e v_{ab} para controlar o fluxo de potência entre os lados primário e secundário do conversor. No bloco comparador *PWM*, o sinal de modulação do lado secundário é comparado com as portadoras, resultando nos sinais auxiliares S_{1aux} e S_{2aux} . Depois disso, um bloco lógico usará o sinal de modulação do controle de corrente de entrada (seno) para escolher os estados definitivos dos interruptores S_1 e S_2 . Essa ação feita pelo bloco lógico é necessária para contornar as inversões de fase apresentadas na Figura 21, já que a tensão v_{ab} deve acompanhar a tensão v_{xy}' com o ângulo de deslocamento φ independente do comportamento imposto pela operação do lado primário. Sendo garantida essas medidas, é possível controlar a direção da corrente através do indutor L_{Tr} analogamente a um conversor *DAB* proporcionando a bidirecionalidade no fluxo de potência do conversor.

Figura 23 - Diagrama de blocos do esquema de modulação do conversor do lado secundário.

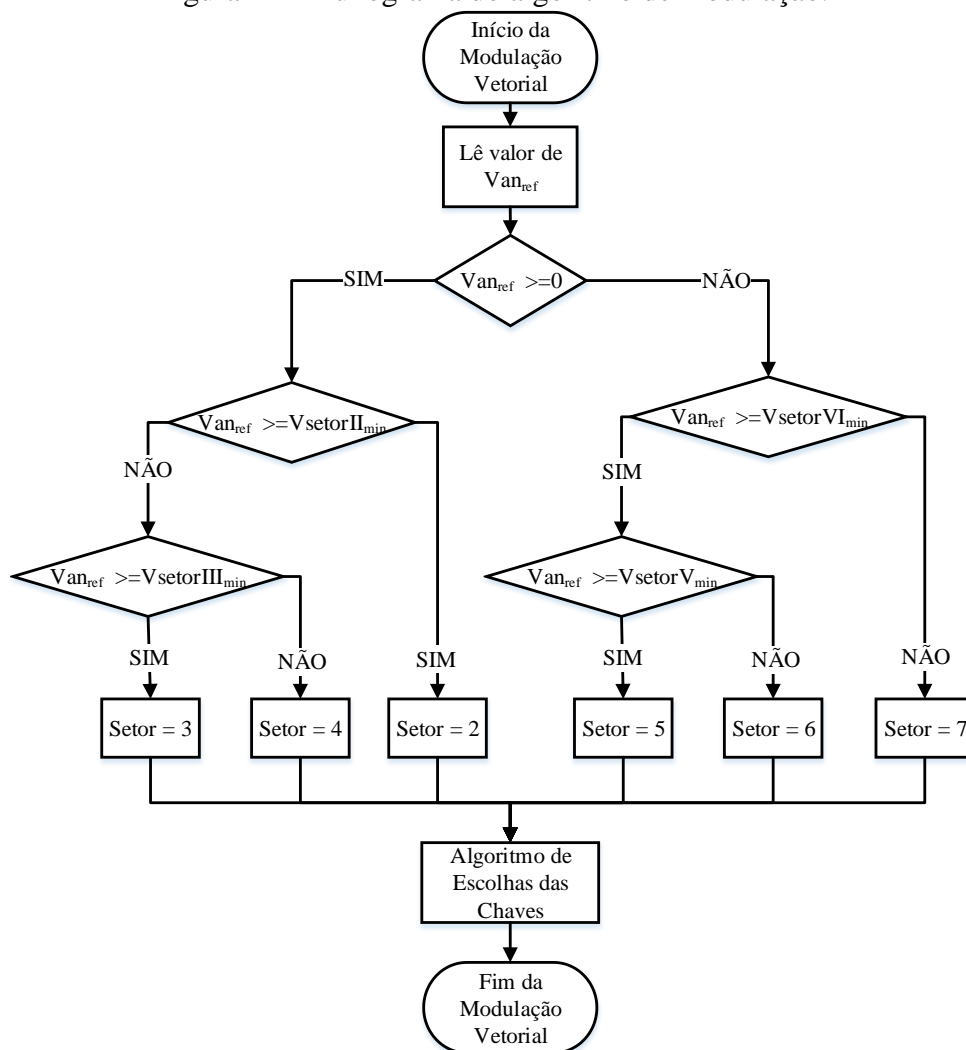


Fonte: Próprio autor.

3.1.2 Modulação para 5 níveis de tensão no transformador e 7 níveis na entrada

Para a modulação que impõe 5 níveis de tensão em v_{xy} foi adotado uma técnica de modulação vetorial baseada nos vetores de tensão apresentados na Figura 18. A partir de simulações é constatado que a razão cíclica efetiva no transformador é constante para cinco níveis de tensão. A Figura 24 apresenta o fluxograma do algoritmo utilizado para a modulação vetorial.

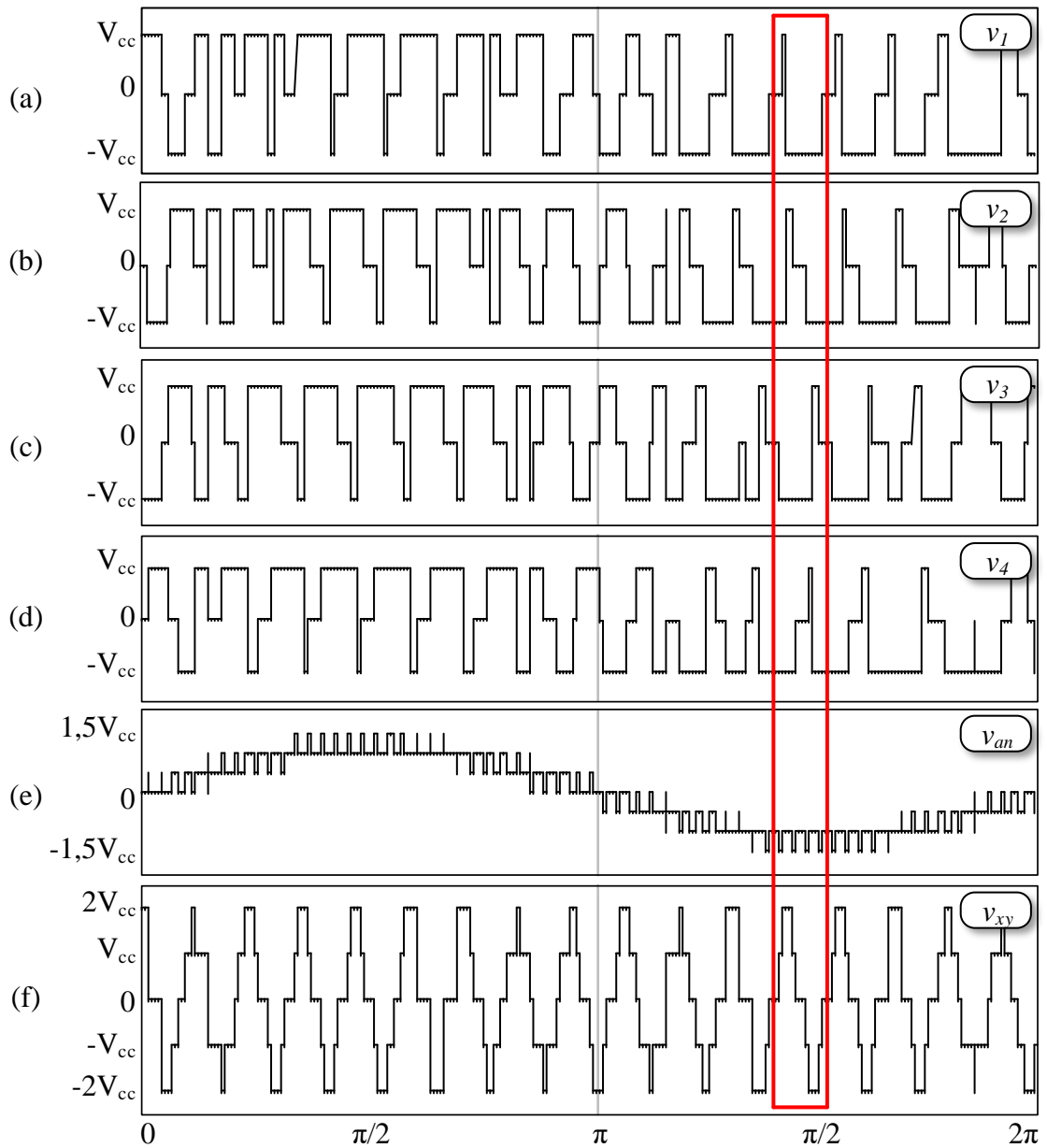
Figura 24 - Fluxograma do algoritmo de modulação.



Fonte: Próprio autor.

As tensões geradas pela técnica de modulação empregando cinco níveis de tensão no enrolamento primário do transformador são apresentadas na Figura 25. As Figuras 25 (a) e (b) apresentam as tensões dos submódulos superiores. As Figuras 25 (c) e (d) apresentam as tensões dos submódulos inferiores. As Figuras 25 (e) e (f) mostram as tensões v_{an} e v_{xy} .

Figura 25 - Tensões multiníveis geradas.



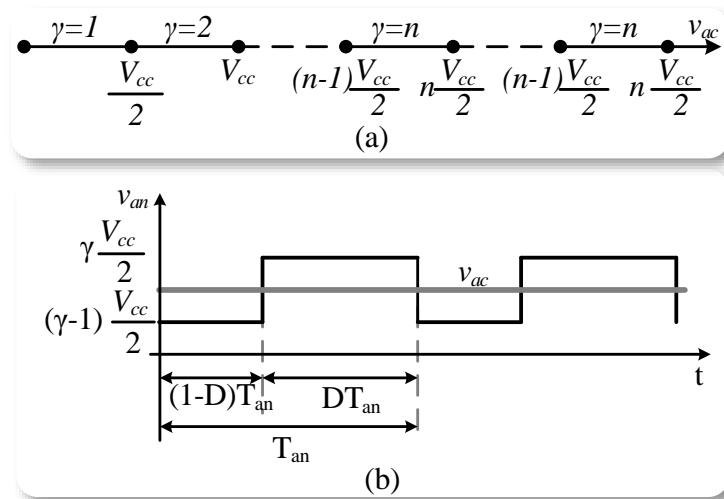
Fonte: Próprio autor.

A partir da região em destacada em vermelho na Figura 25 pode-se afirmar que o período da tensão v_{xy} é igual ao período das tensões geradas em qualquer submódulo. Considerando que é empregado a modulação unipolar em cada submódulo pode-se afirmar que a frequência de v_{xy} é apenas duas vezes maior que a frequência de chaveamento dos interruptores.

3.1.3 Ondulação normalizada de corrente no indutor de entrada L_i

A forma de onda de uma tensão multinível é obtida em termos de uma variação entre dois valores definidos, que mudam em função do nível de tensão (γ). A faixa de operação para o conversor com n submódulos é apresentada na Figura 26 (a), sendo que as faixas para tensões negativas são omitidas devido à simetria inerente. A Figura 26 (b) mostra que a tensão v_i depende de v_{an} em diferentes níveis de tensão, pois é possível escrever (2.19) para mostrar que o valor médio de v_i é o mesmo em todos os casos.

Figura 26 - (a) Faixas de operação γ para o conversor com n submódulos, (b) Tensão para uma dada faixa de operação γ .



Fonte: Próprio autor.

Em todas as faixas de operação o armazenamento de energia no indutor ocorre quando a tensão v_{an} muda do menor valor absoluto para o maior valor absoluto. A tensão no indutor L_i é dada por:

$$v_{ac} = \frac{1}{T_{v_{an}}} \cdot \int_0^{T_{v_{an}}} v_{an} \cdot dt = \frac{1}{T_{v_{an}}} \cdot \left[(\gamma-1) \cdot \frac{V_{cc}}{2} \cdot (1-D) \cdot T_{v_{an}} + \gamma \cdot \frac{V_{cc}}{2} \cdot D \cdot T_{v_{an}} \right] \quad (3.21)$$

A tensão no indutor L_i é dada por:

$$v_{L_i} = v_{ca} - (\gamma-1) \cdot \frac{V_{cc}}{2} = L_i \cdot \frac{di_{L_i}}{dt} \quad (3.22)$$

Resolvendo a equação diferencial dada por (3.22) e usando a equação (3.21), é possível obter a variação da corrente de entrada normalizada como em (3.23).

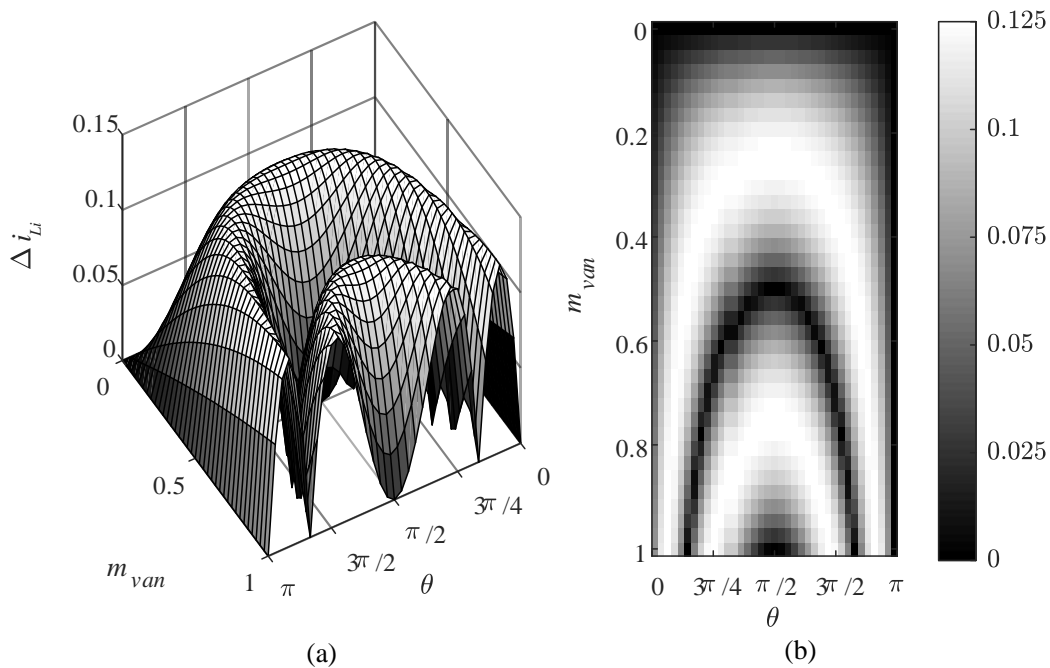
$$\overline{\Delta i_{L_i}} = \frac{L_i \cdot \Delta i_{L_i} \cdot f_{v_{an}}}{V_{cc}} = \frac{1}{2} \cdot \left[[m \cdot n \cdot \sin(\theta) - \gamma + 1] \cdot [1 - (m \cdot n \cdot \sin(\theta) - \gamma + 1)] \right] \quad (3.23)$$

Onde f_{van} é a alta frequência presente na tensão v_{an} ; e Δi_{Li} é a variação de corrente normalizada, sendo que o seu valor máximo é dado por (3.24).

$$\bar{\Delta i}_{Li,MAX} = \frac{1}{8} \quad (3.24)$$

A Figura 27 mostra a ondulação de corrente no indutor de entrada para dois submódulos, onde a Figura 27 (a) mostra a ondulação em perspectiva e a Figura 27 (b) apresenta uma vista em duas dimensões da ondulação de corrente. A ondulação varia em função do índice de modulação m_{van} e o ângulo θ que equivale a meio período da rede. Em ambas as figuras é possível perceber que a ondulação máxima normalizada é de 0,125 e ocorre com o índice de modulação próximo de 1 e nas mudanças de setores da tensão multinível v_{an} em função da rede.

Figura 27 - Ondulação de corrente normalizada para dois submódulos.

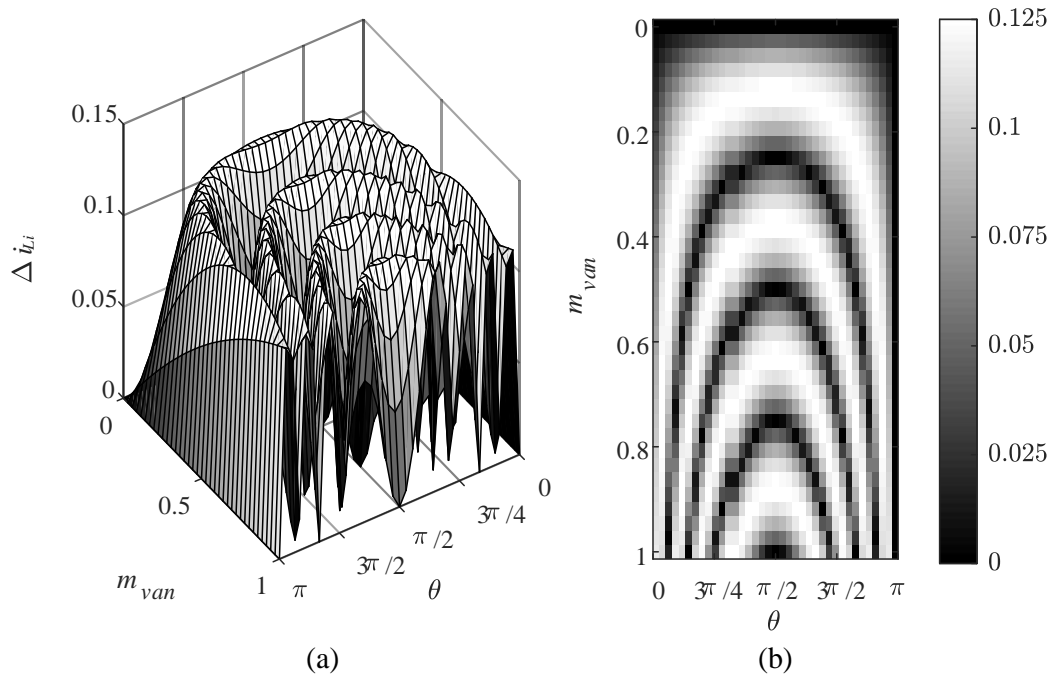


Fonte: Próprio autor.

A Figura 28 mostra a ondulação de corrente no indutor de entrada para quatro submódulos, onde a Figura 28 (a) mostra a ondulação de corrente em perspectiva e a Figura 28 (b) apresenta uma vista em duas dimensões da ondulação de corrente. Assim, comparando os comportamentos de ondulação apresentados nas Figuras 27 e 28, pode-se notar que, independentemente do número de submódulos utilizados e o número de níveis da tensão v_{an} , o conversor tem a ondulação máxima de 0,125 mudando apenas o número de intervalos de

ondulação ao longo de um período da rede conforme aumentar o número de níveis da tensão multinível v_{an} .

Figura 28 - Ondulação de corrente normalizada para quatro submódulos



Fonte: Próprio autor.

3.1.4 Análise do fluxo de potência

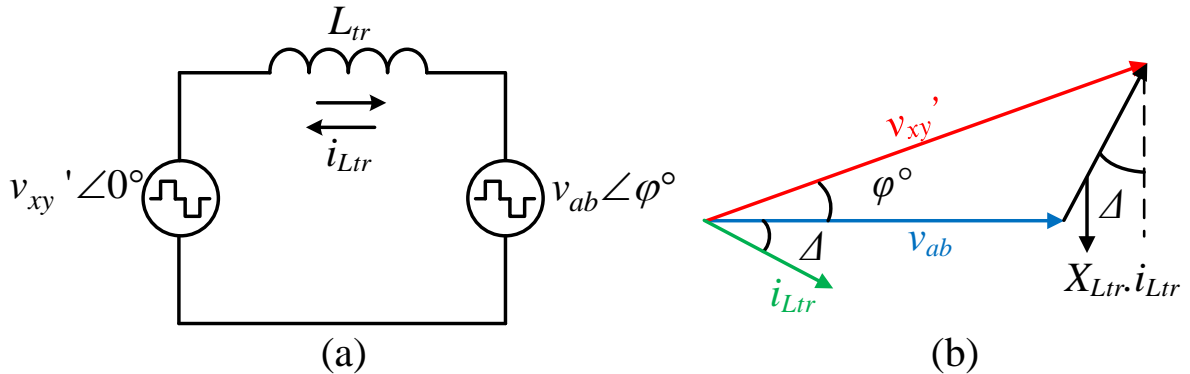
Para a análise do fluxo de potência do lado primário para o lado secundário do conversor proposto é adotado o modelo fundamental conforme visto em (Santos, 2011), tal modelo fundamental composto por duas fontes de tensão e uma indutância é apresentado na Figura 29 (a). Considerando que as tensões v_{xy}' e v_{ab} tem o mesmo valor de pico e eficaz é possível afirmar que a troca de energia entre as duas fontes dependerá da reatância indutiva conectada entre elas e principalmente do ângulo de defasagem entre as duas fontes v_{xy}' e v_{ab} conforme pode ser entendido no diagrama fasorial apresentado na Figura 29 (b).

Para prosseguir com a análise do fluxo de potência entre as fontes v_{xy}' e v_{ab} deve-se achar as equações que definem os valores eficazes e de pico das tensões, para tal, se utiliza a análise de *Fourier*, a qual estabelece que as tensões v_{xy}' e v_{ab} podem ser expressas por um termo constante mais uma série infinita de termos em senos e cossenos de frequência $h.\omega$, mostrada

em (3.25), respectivamente, na qual h é a ordem da componente harmônica (Rashid, p. 764, 1999).

$$V_{xy}'(t) = \frac{a_{01}}{2} + \sum_{h=1,2,\dots}^{\infty} (a_{h1} \cdot \cos(h \cdot \omega \cdot t) + b_{h1} \cdot \text{sen}(h \cdot \omega \cdot t)) \tag{3.25}$$

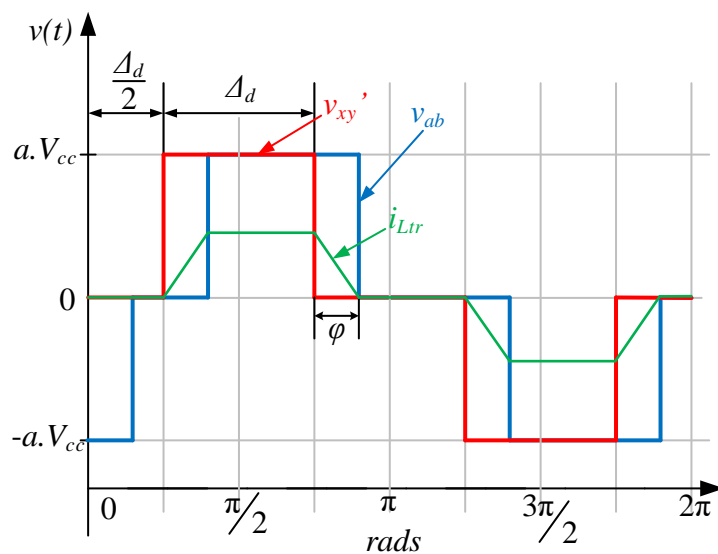
Figura 29 - Modelo fundamental e diagrama fasorial.



Fonte: Próprio autor.

A Figura 30 apresenta a formas de onda das tensões v_{xy}' e v_{ab} que apresentam um ângulo φ de defasagem entre elas, bem como a forma de onda da corrente i_{Ltr} . É importante ressaltar que o intervalo Δ_d representa a razão cíclica efetiva das tensões v_{xy}' e v_{ab} e apresentam o comportamento descrito pela equação (3.20) e ilustrado na Figura 22.

Figura 30 - Tensões de três níveis v_{xy}' , v_{ab} e corrente i_{Ltr} .



Fonte: Próprio autor.

A partir da Figura 30 pode-se definir os termos a_{h1} e b_{h1} definidas em (3.26) e (3.27) para construir a equação da fundamental $v_{xy}'(t)$ dada pela equação (3.28).

$$a_{h1} = 0 \quad (3.26)$$

$$b_{h1} = \frac{2 \cdot V_{cc}}{\pi \cdot h} \cdot \left[\begin{array}{l} \cos(\pi \cdot h)^2 \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) - \cos(\pi \cdot h) \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) + \\ + \cos(\pi \cdot h) \cdot \text{sen}(\pi \cdot h) \cdot \left(\frac{h \cdot \Delta d}{2}\right) \end{array} \right] \quad (3.27)$$

$$v_{xy}'(t) = \sum_h^{\infty} \left\{ \frac{2 \cdot V_{cc}}{\pi \cdot h} \cdot \left[\begin{array}{l} \cos(\pi \cdot h)^2 \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) - \\ - \cos(\pi \cdot h) \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) + \\ + \cos(\pi \cdot h) \cdot \text{sen}(\pi \cdot h) \cdot \left(\frac{h \cdot \Delta d}{2}\right) \end{array} \right] \cdot (\text{sen}(h \cdot \omega \cdot t)) \right\} \quad (3.28)$$

A equação (3.29) apresenta a tensão fundamental $v_{ab}(t)$ produzida pelo conversor ponte completa conectado ao enrolamento secundário do transformador por meio de um indutor L_{tr} de transferência de potência, nota-se que ela é idêntica a fundamental de três níveis apresentada em (3.28), porém com um ângulo φ de defasagem necessário para controlar o fluxo de potência que flui entre as duas fontes v_{xy}' e v_{ab} .

$$v_{ab}(t) = \sum_h^{\infty} \left\{ \frac{2 \cdot V_{cc}}{\pi \cdot h} \cdot \left[\begin{array}{l} \cos(\pi \cdot h)^2 \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) - \\ - \cos(\pi \cdot h) \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) + \\ + \cos(\pi \cdot h) \cdot \text{sen}(\pi \cdot h) \cdot \left(\frac{h \cdot \Delta d}{2}\right) \end{array} \right] \cdot (\text{sen}(h \cdot \omega \cdot t - h \cdot \varphi)) \right\} \quad (3.29)$$

A tensão eficaz para a modulação de três níveis de tensão aplicado ao enrolamento primário do transformador é dada por:

$$V_{xy_eficaz}'(t) = \frac{\sqrt{2} \cdot \sqrt{-V_{cc}^2 \cdot (\Delta_d(t) - \pi)}}{\sqrt{\pi}} \quad (3.30)$$

A tensão eficaz para a modulação de três níveis de tensão produzida pelo conversor ponte completa conectado do lado secundário é dada por:

$$V_{ab_eficaz}(t) = \frac{\sqrt{2} \cdot \sqrt{-V_{cc}^2 \cdot (\Delta_d(t) - \pi)}}{\sqrt{\pi}} \quad (3.31)$$

O valor de pico da fundamental é dado por:

$$v_{xy_pico}(t) = \frac{2 \cdot V_{cc}}{\pi \cdot h} \cdot \left[\begin{array}{l} \cos(\pi \cdot h)^2 \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) - \cos(\pi \cdot h) \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) + \\ + \cos(\pi \cdot h) \cdot \text{sen}(\pi \cdot h) \cdot \left(\frac{h \cdot \Delta d}{2}\right) \end{array} \right] \quad (3.32)$$

O valor de pico da fundamental é dado por:

$$v_{ab_pico}(t) = \frac{2 \cdot V_{cc}}{\pi \cdot h} \cdot \left[\begin{array}{l} \cos(\pi \cdot h)^2 \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) - \cos(\pi \cdot h) \cdot \cos\left(\frac{h \cdot \Delta d}{2}\right) + \\ + \cos(\pi \cdot h) \cdot \text{sen}(\pi \cdot h) \cdot \left(\frac{h \cdot \Delta d}{2}\right) \end{array} \right] \quad (3.33)$$

A partir da equação (3.5) pode-se aplicar a definição de valor médio e valor eficaz para por meio das equações (3.34) e (3.35) calcular os valores médios e eficazes necessário para os cálculos das potências consumidas em um período da rede elétrica.

$$i_{Ltr_m\u00e9dio} = \frac{1}{t_r} \int_0^{t_r} i_p(t) \cdot dt \quad (3.34)$$

$$i_{Ltr_eficaz} = \sqrt{\frac{1}{t_r} \int_0^{t_r} i_p(t)^2 \cdot dt} \quad (3.35)$$

A potência ativa transferida entre v_{xy}' e v_{ab} em função do ângulo φ é dada por:

$$P_{tr}(\varphi) = \frac{v_{xy_eficaz}' \cdot v_{ab_eficaz}}{4 \cdot \pi \cdot f_{tr} \cdot L_{tr}} \text{sen}(\varphi) \quad (3.36)$$

A potência reativa transferida entre v_{xy}' e v_{ab} em função do ângulo φ é dada por:

$$Q_{tr}(\varphi) = \frac{v_{xy_eficaz}' \cdot v_{ab_eficaz} \cdot (\cos(\varphi) - v_{ab_eficaz})}{2 \cdot \pi \cdot f_{tr} \cdot L_{tr}} \text{sen}(\varphi) \quad (3.37)$$

A potência aparente transferida entre v_{xy}' e v_{ab} em função do ângulo φ é dada por:

$$S_{tr}(\varphi) = \sqrt{P_{tr}(\varphi)^2 + Q_{tr}(\varphi)^2} \quad (3.38)$$

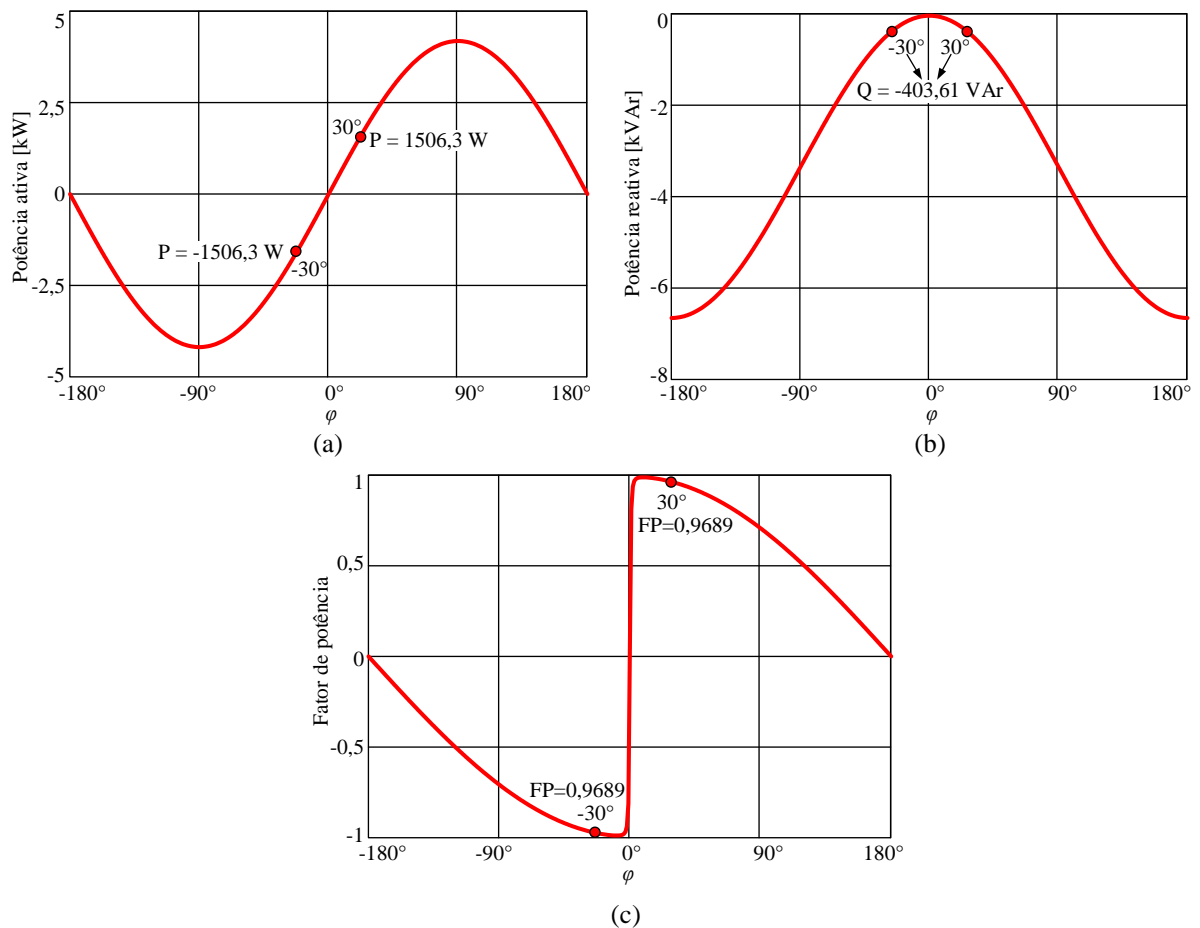
O fator de potência é dado pela relação entre a potência ativa e a potência aparente conforme (3.39).

$$FP(\varphi) = \frac{P_{tr}(\varphi)}{S_{tr}(\varphi)} \quad (3.39)$$

A partir das equações (3.36) e (3.37), pode-se gerar as curvas das potências ativa, potência reativa e o fator de potência em função do ângulo de defasagem φ apresentadas na Figura 31. A Figura 31 (a) apresenta a curva da potência ativa indicando que quando o ângulo

φ assume um valor de 30° a potência de $1506,3\text{W}$ flui da fonte de tensão v_{xy}' para a fonte v_{ab} e quando o ângulo φ assume o valor de -30° a potência de $1506,3\text{W}$ flui da fonte de tensão v_{ab} para a fonte v_{xy}' . Na Figura 31 (c) que apresenta a curva da potência reativa pode-se notar que a potência reativa trocada entre as fontes é de $-403,61\text{ VAr}$ tanto para o ângulo φ igual a 30° ou -30° . Por fim, a partir da curva do fator de potência apresentada na Figura 31 (c) pode-se notar que o valor do fator de potência é de $0,9689$ tanto para o φ de 30° quanto para o φ de -30° .

Figura 31 - Curvas de potências ativa, reativa e fator de potência no transformador em função do ângulo φ .



Fonte: Próprio autor.

3.1.5 Estudo das Perdas

Para o estudo das perdas, considera-se que o conversor opera no modo inversor. Onde é conectada uma fonte CC ideal no barramento do conversor ligado ao lado secundário e é conectada uma carga RL no lugar da fonte CA que representa a rede elétrica. Dessa forma o

fluxo de potência dá-se do secundário para o primário. Os parâmetros adotados são apresentados na Tabela 3.

Tabela 3 - Especificações do conversor.

Especificação	Valor
Potência de saída P_o	1,5 kW
Tensão de entrada V_i	165V
Tensão do barramento CC do lado secundário V_{cc}	300 V
Relação de espiras do transformador	1:1,45
Indutância de transferência de potência L_{tr3}	50 μ H
Frequência do transformador	20 kHz
Frequência da rede	60 Hz
Frequência de comutação p/ 3 níveis	5 kHz
Número de sub módulos	4
Índice de modulação m_{van}	0,56

Fonte: Próprio autor.

3.1.5.1 Cálculo das perdas nos semicondutores do lado primário e lado secundário

Para o cálculo das perdas nos semicondutores são necessários calcular os valores médios e eficazes das correntes que circulam no lado primário do conversor e do lado secundário. Assim, a partir das equações (3.5), (3.6), (3.7) e (3.8) em função do tempo pode-se construir as correntes que circulam pelo enrolamento primário e secundário do transformador e as correntes que circulam pelos módulos x e y .

Assim, tendo as correntes em função do tempo pode-se aplicar a definição de corrente média e corrente eficaz descritas nas equações (3.40) e (3.41) para calcular seus valores eficazes e médios em um período da rede.

$$i_{x,y,p,sec\text{médio}} = \frac{1}{t_r} \int_0^{t_r} i_{x,y,p,sec}(t) \cdot dt \quad (3.40)$$

$$i_{x,y,p,sec\text{eficaz}} = \sqrt{\frac{1}{t_r} \int_0^{t_r} i_{x,y,p,sec}(t)^2 \cdot dt} \quad (3.41)$$

A Tabela 4 apresenta os valores dos cálculos teóricos e os valores simulados para as correntes do enrolamentos primário e secundário do transformador.

Tabela 4 - Correntes eficazes e médias no enrolamento primário e secundário do transformador.

Correntes médias e eficazes	Valores calculados [A]	Valores simulados [A]
$I_{Pm\u00e9dia}$	-0,046	-0.005
$I_{Peficaz}$	4,849	4,857
$I_{secm\u00e9dia}$	-0,067	-0,057
$I_{seceficaz}$	6,598	6,578

Fonte: Pr\u00f3prio autor.

Para identificar as correntes que circulam pelas chaves e as acorrentes que circulam pelos diodos ligados ao lado prim\u00e1rio s\u00e3o utilizadas as equa\u00e7\u00f5es (3.42) e (3.43).

$$i_{Sx,y}(t) = \begin{cases} i_{x,y}(t) & \text{se } i_{x,y}(t) \geq 0 \\ 0 & \text{se } i_{x,y}(t) < 0 \end{cases} \quad (3.42)$$

$$i_{Dx,y}(t) = \begin{cases} 0 & \text{se } i_{x,y}(t) \geq 0 \\ |i_{x,y}(t)| & \text{se } i_{x,y}(t) < 0 \end{cases} \quad (3.43)$$

Para calcular a corrente eficaz e m\u00e9dia de cada chave e cada diodo ligadas ao lado prim\u00e1rio deve-se utilizar as equa\u00e7\u00f5es (3.44), (3.45) e (3.46) que definem a fun\u00e7\u00e3o de chaveamento dos semicondutores e por fim aplicar a defini\u00e7\u00e3o de corrente m\u00e9dia e corrente eficaz dadas pelas equa\u00e7\u00f5es (3.40) e (3.41).

$$\lambda_{S1}(t) = \begin{cases} 1 & \text{se } 0,75 \cdot \text{sen}(\omega_r \cdot t) > v_{tri}(t) \\ 0 & \text{se } 0,75 \cdot \text{sen}(\omega_r \cdot t) < v_{tri}(t) \end{cases} \quad (3.44)$$

$$\lambda_{S2}(t) = \begin{cases} 1 & \text{se } -0,75 \cdot \text{sen}(\omega_r \cdot t) > v_{tri}(t) \\ 0 & \text{se } -0,75 \cdot \text{sen}(\omega_r \cdot t) < v_{tri}(t) \end{cases} \quad (3.45)$$

$$\lambda_{D1,2}(t) = \begin{cases} 0 & \text{se } \lambda_{S1,2}(t) = 1 \\ 1 & \text{se } \lambda_{S1,2}(t) = 0 \end{cases} \quad (3.46)$$

Para calcular a corrente eficaz e m\u00e9dia de cada chave e cada diodo ligados ao lado secund\u00e1rio deve-se utilizar as equa\u00e7\u00f5es (3.47), (3.48) e (3.49) que definem a fun\u00e7\u00e3o de chaveamento dos semicondutores e por fim aplicar a defini\u00e7\u00e3o de corrente m\u00e9dia e corrente eficaz dadas pelas equa\u00e7\u00f5es (3.40) e (3.41).

$$\lambda_{S1sec}(t) = \begin{cases} 1 & \text{se } 0,75 \cdot \text{sen}(\omega_r \cdot t) \cdot d(t) > v_{tri}(t) \\ 0 & \text{se } 0,75 \cdot \text{sen}(\omega_r \cdot t) \cdot d(t) < v_{tri}(t) \end{cases} \quad (3.47)$$

$$\lambda_{S2sec}(t) = \begin{cases} 1 & \text{se } 0,75 \cdot \text{sen}(\omega_r \cdot t) \cdot d(t) > v_{tri}(t) \\ 0 & \text{se } 0,75 \cdot \text{sen}(\omega_r \cdot t) \cdot d(t) < v_{tri}(t) \end{cases} \quad (3.48)$$

$$\lambda_{D1,2sec}(t) = \begin{cases} 0 & \text{se } \lambda_{S1,2sec}(t) = 1 \\ 1 & \text{se } \lambda_{S1,2sec}(t) = 0 \end{cases} \quad (3.49)$$

A Tabela 5 apresenta os valores teóricos e simulados de corrente média e eficaz para as chaves S_1 e S_2 .

Tabela 5 - Correntes eficazes e médias nas chaves S_1 e S_2 ligadas ao lado primário.

Correntes médias e eficazes	Valores calculados [A]	Valores simulados [A]
$I_{S1m\u00e9dia}$	2,52	2,54
$I_{S2m\u00e9dia}$	2,51	2,50
$I_{S1eficaz}$	3,36	3,38
$I_{S2eficaz}$	3,35	3,34

Fonte: Pr\u00f3prio autor.

A Tabela 6 apresenta os valores te\u00f3ricos e simulados de corrente m\u00e9dia e eficaz para as chaves S_1 e S_2 ligadas ao lado secund\u00e1rio do transformador.

Tabela 6 - Correntes eficazes e m\u00e9dias nas chaves S_1 e S_2 ligadas ao lado prim\u00e1rio.

Correntes m\u00e9dias e eficazes	Valores calculados [A]	Valores simulados [A]
$I_{S1m\u00e9dia}$	2,52	2,54
$I_{S2m\u00e9dia}$	2,51	2,50
$I_{S1eficaz}$	3,36	3,38
$I_{S2eficaz}$	3,35	3,34

Fonte: Pr\u00f3prio autor.

A Tabela 7 apresenta os valores te\u00f3ricos e simulados de corrente m\u00e9dia e eficaz para os diodos D_{1p} e D_{2p} ligadas ao lado prim\u00e1rio e aos diodos D_{1sec} e D_{2sec} ligados ao lado secund\u00e1rio.

Tabela 7 - Correntes eficazes e m\u00e9dias nos diodos D_{1p} e D_{2p} e D_{1sec} e D_{2sec} .

Correntes m\u00e9dias e eficazes	Valores calculados [A]	Valores simulados [A]
$I_{D1pm\u00e9dia}$	1,626	1,68
$I_{D2pm\u00e9dia}$	1,621	1,65
$I_{D1peficaz}$	3,572	3,52
$I_{D2peficaz}$	3,568	3,54
$I_{D1secm\u00e9dia}$	2,45	2,68

$I_{D2secm\u00e9dia}$	2,38	2,65
$I_{D1seceficaz}$	5,613	5,52
$I_{D2seceficaz}$	5,422	5,54

Fonte: Pr\u00f3prio autor.

Ao se analisar os valores apresentados nas tabelas supracitadas pode-se perceber uma diferen\u00e7a entre os valores apresentados, podendo ser justificados pelo comportamento n\u00e3o ideal das correntes nos m\u00f3dulos x e y , o qual n\u00e3o foi considerado na planilha de perdas. De posse dos valores m\u00e9dios e eficazes pode-se calcular as perdas em condu\u00e7\u00e3o nas chaves e nos diodos por meio das equa\u00e7\u00f5es (3.50) e (3.51).

$$P_{S1,2cond} = V_{ce} \cdot i_{S1,2m\u00e9dia} + R_{S1,2} \cdot i_{S1,2eficaz}^2 \quad (3.50)$$

$$P_{D1,2cond} = V_F \cdot i_{D1,2m\u00e9dia} + R_{D1,2} \cdot i_{D1,2eficaz}^2 \quad (3.51)$$

Onde:

V_{ce} – tens\u00e3o coletor-emissor do *IGBT* em condu\u00e7\u00e3o.

R_s – Resist\u00eancia s\u00e9rie do *IGBT* em condu\u00e7\u00e3o.

V_F – Queda de tens\u00e3o em condu\u00e7\u00e3o do diodo.

R_D - Resist\u00eancia s\u00e9rie do diodo.

Esses par\u00e2metros s\u00e3o extra\u00eddos da folha s\u00e3o apresentados nas Tabelas 8 e 9. Para a an\u00e1lise foram adotados os transistores *IGBT IRGP4063D* e *IRGP50B60PD1*.

Tabela 8 - Caracter\u00edsticas el\u00e9tricas das chaves.

Caracter\u00edstica	IRGP4063DPBF	IRGP50B60PD1
Tens\u00e3o da chave	600 V	600 V
Corrente nominal	48 A	33 A
Tempo de recupera\u00e7\u00e3o reversa	115 ns	74 ns

Fonte: Pr\u00f3prio autor.

Tabela 9 - Caracter\u00edsticas interpoladas das chaves.

Caracter\u00edstica	IRGP4063DPBF	IRGP50B60PD1
V_{CEsat}	1,043 V	1,057 V
R_s	289 m Ω	167 m Ω
V_{Dcond}	1,479 V	1,252 V

R_D	134 mΩ	129 mΩ
k_{0_ON}	70 μJ	300 μJ
k_{1_ON}	3 μJ	20 μJ
k_{2_ON}	0,04 μJ	0,001 μJ
k_{0_OFF}	20 μJ	300 μJ
k_{1_OFF}	3 μJ	9 μJ
k_{2_OFF}	0,04 μJ	0,4 μJ

Fonte: Próprio autor.

Para calcular as perdas por comutação na chave e diodo são utilizadas as equações (3.52) e (3.53).

$$P_{S1,2com_on} = \frac{1}{2} \int_0^{t_s} f_s \cdot W_{S1,2com_on}(t) \cdot dt \quad (3.52)$$

$$P_{S1,2com_off} = \frac{1}{2} \int_0^{t_s} f_s \cdot W_{S1,2com_off}(t) \cdot dt \quad (3.53)$$

Onde $W_{S1,2com_on}$ e $W_{S1,2com_off}$ são as energias totais gastas para o ligamento e desligamento das chaves e são expressos pelas equações (3.54) e (3.55).

$$W_{S1,2com_on} = K_{2on} \cdot i_{S1,2}(t)^2 + K_{1on} \cdot i_{S1,2}(t) + K_{0on} \quad (3.54)$$

$$W_{S1,2com_off} = K_{2off} \cdot i_{S1,2}(t)^2 + K_{1off} \cdot i_{S1,2}(t) + K_{0off} \quad (3.55)$$

As equações (3.56), (3.57) e (3.58) definem as perdas totais por condução e comutação nas chaves e nos diodos.

$$P_{Stotal\ cond_} = 8 \cdot (P_{S1cond_} + P_{S2com_}) \quad (3.56)$$

$$P_{Dtotal\ cond_} = 8 \cdot (P_{D1cond_} + P_{D2cond_}) \quad (3.57)$$

$$P_{Stotal\ com_} = 8 \cdot (P_{S1com_on} + P_{S2com_off}) \quad (3.58)$$

A Tabela 10 apresenta os valores das perdas calculadas nos semicondutores adotados para a análise de perdas e para a construção do protótipo. Nota-se que as maiores perdas estão concentradas nas perdas por condução dos interruptores, seguidas das perdas nos diodos e por fim as perdas por comutação.

Tabela 10 - Perdas nas chaves.

Característica	IRGP4063DPBF	IRGP50B60PD1
----------------	--------------	--------------

Condução	38,477 W	27,863 W
Comutação	2,950 W	2,8 W
Perdas no diodo	30,647 W	19,736 W
Total	72,074 W	50,399 W

Fonte: Próprio autor.

3.1.5.2 Cálculo das Perdas dos Magnéticos

O conversor proposto possui três magnéticos. O indutor de entrada, o indutor de transferência de potência e o transformador de potência.

A indutância de entrada pode ser calculada através da equação (3.23) especificando a ondulação de corrente máxima de entrada.

A indutância de dispersão pode ser obtida utilizando a equação (3.36) juntamente com a potência desejada, índice de modulação e o ângulo de defasagem. O ângulo de defasagem deve ser escolhido entre 15° e 45° para que o conversor opere com baixa circulação de reativo. O valor escolhido no presente estudo é 30° .

Utilizando os valores apresentados na Tabela 3 e as equações supracitadas, encontra-se o valor de $500 \mu\text{H}$ para a indutância de entrada e $50 \mu\text{H}$ para o indutor de transferência de potência.

Com esses valores de indutâncias pode se especificar os indutores para o conversor. As características do projeto dos indutores podem ser vistas na Tabela 11.

Tabela 11 - Características dos indutores.

Parâmetro	Indutor de entrada	Indutor de transferência de potência
Densidade de corrente	450 A/cm ²	450 A/cm ²
Densidade de fluxo magnético	1,1 T	0,3 T
Número de espiras	86	68
Condutor utilizado	24 fios 26 AWG	17 fios 26 AWG
Comprimento do condutor	11,3 m	5,6 m
Fator de utilização	0,4	0,4

Núcleo utilizado	MMT034T7725	MMT002T4416
------------------	-------------	-------------

Fonte: Próprio autor.

Os parâmetros densidade de corrente e densidade de fluxo magnético foram escolhidos visando manter a temperatura do magnético dentro dos limites estabelecidos pelo fabricante.

As características de construção dos transformador podem ser vistas na Tabela 12. Os magnéticos foram dimensionados conforme o apêndice A.

Tabela 12 - Característica do transformador.

Parâmetro	Transformador de potência
Densidade de corrente	450 A/cm ²
Densidade de fluxo magnético	0,2 T
Número de espiras do primário	22
Número de espiras do secundário	32
Condutor utilizado no primário	20 fios 26 AWG
Comprimento do condutor primário	1,2 m
Comprimento do condutor secundário	3,3 m
Fator de utilização	0,4
Núcleo utilizado	2 x MMT139T6325

Fonte: Próprio autor.

Tanto os indutores quanto os transformadores possuem perdas nos condutores dadas pela equação (3.59).

$$P_{cobre} = R_{fio} \cdot I_{rms}^2 \quad (3.59)$$

Onde R_{fio} é a resistência do enrolamento. Além disso, os transformadores estão sujeitos a perdas no núcleo. Essas perdas são proporcionais à frequência de chaveamento, variação de densidade de fluxo magnético e volume do núcleo (MCLYMAN, 2014). O fabricante do núcleo oferece valores empíricos relacionados a cada um dos núcleos permitindo assim o cálculo dessas perdas nos transformadores. Por outro lado, os indutores apresentam

perdas baixas no núcleo, pois a variação de densidade de fluxo magnético é baixa. Na Tabela 13 são apresentadas as perdas dos magnéticos conforme explicado previamente.

Tabela 13 - Perdas nos magnéticos.

Magnético	Perda
Indutor de transferência de potência	1 W
Indutor de entrada	10,83 W
Transformador de potência	16,68 W
Total	28,51 W

Fonte: Próprio autor.

3.2 Considerações Finais

Este capítulo apresentou a análise qualitativa e quantitativa do conversor proposto. Na análise qualitativa foram abordadas as etapas de operação e técnica de modulação.

Na análise quantitativa foi feita a generalização e o equacionamento do conversor, onde foi apresentada a análise da corrente no indutor de entrada mostrando a ondulação normalizada de corrente, bem como o comportamento da potência ativa, potência reativa, fator de potência e corrente do transformador.

Por fim, foi desenvolvido o estudo das perdas do conversor. Primeiramente foram determinados os valores médios e eficazes das correntes de todas as chaves para a obtenção das perdas de condução, comutação e as perdas nos diodos das chaves. Para completar a análise foi realizado o estudo de perdas dos magnéticos para a obtenção das perdas.

4 MODELAGEM DO CONVERSOR

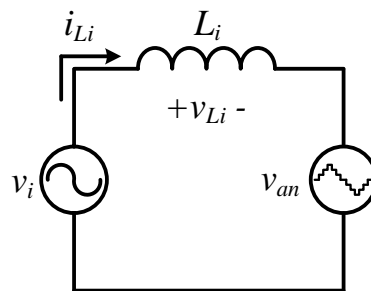
Usualmente a modelagem de conversores estáticos dá-se pelo equacionamento do circuito para cada etapa de operação ponderando-as afim de obter um valor médio quase instantâneo, para perturbar e linearizar encontrando o modelo de pequenos sinais que descreve o comportamento dinâmico para um ponto de operação do conversor (ERICKSON, MAKSIMOVIC, 2005). Entretanto, devido à complexidade dos conversores multiníveis e o grande número de etapas de operação foi adotada a modelagem orientada ao controle, que se utiliza de circuitos equivalentes simplificados a fim de facilitar o projeto dos controladores.

4.1 Controle da corrente de entrada.

Para que o conversor corrija o fator de potência ele deve controlar o formato e defasagem angular da corrente de entrada que é justamente a corrente que circula através do indutor de entrada L_i . Para tanto, o controle da corrente de entrada deve garantir que a corrente que circula através do indutor L_i deve ter formato senoidal em fase com a tensão de alimentação da rede elétrica e com baixa distorção harmônica total.

O circuito equivalente do conversor para o projeto da malha de controle da corrente i_{L_i} é apresentado na Figura 32, ele é composto por uma fonte de tensão v_i , um indutor de entrada L_i e uma fonte v_{an} que possui o formato de uma tensão multinível.

Figura 32 - Circuito equivalente do conversor para controle da corrente de entrada i_{L_i} .



Fonte: Próprio Autor.

A tensão no indutor L_i é expressa pela equação.

$$v_{L_i} = L_i \cdot \frac{di_{L_i}}{dt} \quad (4.1)$$

A partir da análise do circuito apresentado na Figura 32 é obtida a equação (4.2) que define a tensão aplicada no indutor L_i .

$$v_{Li} = v_i - v_{an} \quad (4.2)$$

Substituindo (4.1) em (4.2) e considerando que o valor da tensão v_{an} pode ser escrito em função de um ciclo de trabalho $(1-D_{van})$ e da tensão V_{cc} , é obtida a equação (4.3).

$$L_t \cdot \frac{di_{Li}}{dt} = v_i - (1-D_{van}) \cdot \frac{n}{2} \cdot V_{cc} \quad (4.3)$$

De posse da equação diferencial que descreve o circuito, pode ser obtido o modelo de pequeno sinal para um determinado ponto de operação, assumindo que v_i , d_{van} e i_{Li} são iguais a um valor constante equivalente a um ponto de operação somado a um valor de pequeno sinal que varia com tempo, como mostrado em (4.4), (4.5) e (4.6)

$$v_i = V_i + \hat{v}_i \quad (4.4)$$

$$d_{van} = D_{van} + \hat{d}_{van} \quad (4.5)$$

$$i_{Li} = I_{Li} + \hat{i}_{Li} \quad (4.6)$$

Substituindo (4.4), (4.5) e (4.6) em (4.3) é obtida a equação (4.7).

$$L_t \cdot \frac{d(I_{Li} + \hat{i}_{Li})}{dt} = \left(V_i - D'_{van} \cdot \frac{M}{2} \cdot V_{cc} \right) + \left(\hat{v}_i - \hat{d}'_{van} \cdot \frac{M}{2} \cdot V_{cc} \right) \quad (4.7)$$

Assim, igualando os termos de pequeno sinal de ambos os lados da equação, igualando a zero o pequeno sinal da tensão v_i e aplicando a transformada de *Laplace* é obtida a função de transferência que relaciona a corrente de entrada com a razão cíclica complementar.

$$\frac{\tilde{i}_{Li}(s)}{\tilde{d}'(s)} = -\frac{V_{cc} \cdot \frac{n}{2}}{s \cdot L_t} \quad (4.8)$$

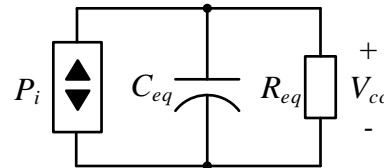
4.2 Controle da tensão dos capacitores dos submódulos.

O controle das tensões dos submódulos dá-se por duas malhas, a primeira malha é referente ao controle da média das tensões de todos os submódulo. Para a obtenção da função de transferência necessária para o projeto do controlador, são feitas algumas considerações para encontrar um circuito equivalente de fácil resolução, tais considerações são:

- As tensões nos submódulos são equilibradas entre si.
- A corrente de entrada é senoidal e em fase com a tensão de entrada, além de ser dividida igualmente entre os enrolamentos primários do transformador.

Feitas as devidas considerações, pode-se distribuir a potência consumida pelo secundário entre cada submódulo por meio da inserção de resistências de mesmo valor, dessa forma é possível usar o circuito equivalente apresentado na Figura 33, onde para o balanço de potência, a parcela referente ao indutor L_i é desconsiderada em função da reduzida magnitude que apresenta na faixa de frequência de interesse (Manhabir et al, 1990).

Figura 33 - Circuito equivalente para o controle da tensão dos capacitores dos submódulos.



Fonte: Próprio Autor.

O circuito equivalente é composto de uma fonte de potência P_i , um capacitor equivalente C_{eq} e uma resistência R_{eq} equivalente. A fonte de potência representa a potência de entrada do conversor e pode ser escrita como em (4.9)

$$P_i = v_i \cdot i_{L_i} \quad (4.9)$$

O capacitor C_{eq} é uma associação série dos capacitores dos submódulos superiores que estão em paralelo com uma associação série dos capacitores dos submódulos inferiores, como mostrado em (4.10)

$$C_{eq} = \frac{4 \cdot C_n}{n} \quad (4.10)$$

A resistência R_{eq} possui um valor equivalente para consumir a potência do conversor, como mostrado em (4.11)

$$R_{eq} = \frac{V_{cc}^2}{P_i} \quad (4.11)$$

Após a análise do circuito equivalente é obtida a equação (4.12), que devido a presença de uma derivada de um termo quadrático, torna-se necessário linearizar esse termo em torno do ponto de operação V_{cc} utilizando série de *Taylor* para se obter uma equação diferencial linear. Os dois primeiros da série de *Taylor* são mostradas na equação (4.13). Substituindo (4.13) no termo V_{cc}^2 da derivada de (4.12), é obtida (4.14).

$$v_i \cdot i_{L_i} = \frac{1}{2} \cdot C_{eq} \cdot \frac{dv_{cc}^2}{dt} + \frac{v_{cc}^2}{R_{eq}} \quad (4.12)$$

$$v_{cc}^2 \approx 2 \cdot V_{cc} \cdot v_{cc} - V_{cc}^2 \quad (4.13)$$

$$v_i \cdot i_{Li} = \frac{1}{2} \cdot C_{eq} \cdot \frac{d(2 \cdot V_{cc} \cdot v_{cc} - V_{cc}^2)}{dt} + \frac{v_{cc}^2}{R_{eq}} \quad (4.14)$$

Aplicando as perturbações de pequeno sinal em V_{cc} , i_{Li} e, V_i como mostrado em (4.15), (4.16) e (4.17)

$$v_{cc} = V_{cc} + \hat{v}_{cc} \quad (4.15)$$

$$i_{Li} = I_{Li} + \hat{i}_{Li} \quad (4.16)$$

$$v_i = V_i + \hat{v}_i \quad (4.17)$$

Substituindo (4.15), (4.16) e (4.17) em (4.14) e igualando os termos de pequenos sinais, é encontrada a função de transferência que relaciona a média da tensão dos capacitores dos submódulos com a corrente de entrada para uma perturbação nula na tensão de entrada ($\hat{v}_i=0$), essa função de transferência é mostrada em (4.18)

$$\frac{\hat{v}_{cc}(s)}{\hat{i}_{Li}(s)} = \frac{V_i}{2 \cdot V_{cc}} \cdot \frac{R_{eq}}{s \cdot \frac{R_{eq} \cdot C_{eq}}{2} + 1} \quad (4.18)$$

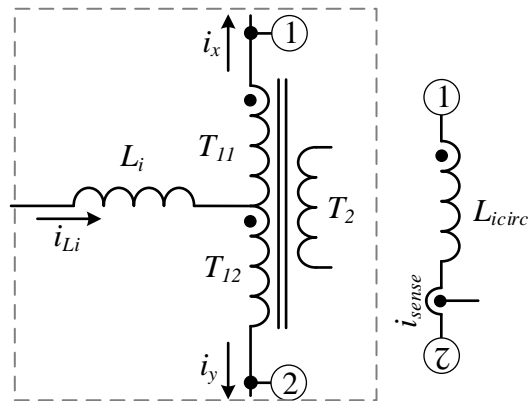
Para a malha de controle que garante o equilíbrio das tensões entre os módulos superior e inferior foi adotado a função de transferência apresentada (NODARI, 2011). Onde os valores de seguem a mesma regra aplicada para o circuito equivalente para malha das médias das tensões dos submódulos.

$$\frac{\hat{v}_{xy}(s)}{\hat{i}_{Lcirc}(s)} = \frac{R_{eq}}{s \cdot R_{eq} \cdot C_{eq} + 1} \quad (4.19)$$

4.3 Controle da corrente de circulação.

No conversor proposto a corrente de circulação é produzida devido da presença da indutância de magnetização do transformador do conversor e da diferença das tensões instantâneas entre os módulos superior e inferior, como consequência dela os submódulos ficam trocando energia entre eles, aumentando a corrente i_{Li} de entrada. Como forma de se medir a corrente de circulação adotou-se um indutor externo em paralelo com os enrolamentos primários do conversor para a medição de corrente conforme apresentado na Figura 34.

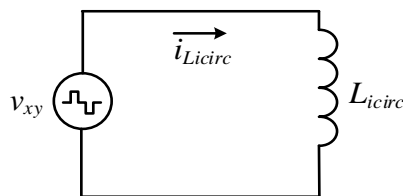
Figura 34 - Método de medição da corrente de magnetização com indutância externa.



Fonte: Próprio Autor.

A partir da adição do indutor extra podemos simplificar o circuito conforme apresentado na Figura 35. Essa simplificação é válida, pois para que a corrente média que circula através do indutor L_{icirc} seja zero a soma das médias das tensões v_x e v_y deve ser igual a zero.

Figura 35 - Circuito equivalente para controle da corrente de circulação.



Fonte: Próprio Autor.

Analisando o circuito da Figura 35 é obtida a equação (4.19).

$$v_{xy} = L_{icirc} \cdot \frac{di_{Licirc}}{dt} \quad (4.19)$$

Aplicando as perturbações de pequeno sinal em v_{xy} e i_{circ} como mostrado em (4.20) e (4.21).

$$i_{circ} = I_{Licirc} + \tilde{i}_{Licirc} \quad (4.20)$$

$$v_{xy} = V_{xy} + \hat{v}_{xy} \quad (4.21)$$

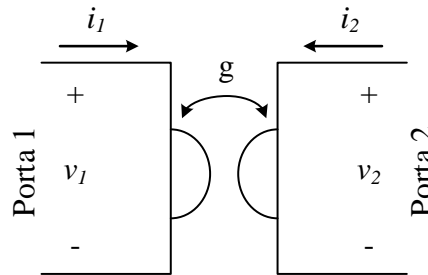
Substituindo (4.20) e (4.21) em (4.19) e igualando os termos de pequeno sinal, é encontrada a função de transferência que relaciona a corrente de circulação com a tensão v_{xy} , mostrada em (4.22).

$$\frac{\hat{i}_{Licirc}(s)}{\hat{v}_{xy}(s)} = \frac{1}{L_{Licirc} \cdot s} \quad (4.22)$$

4.4 Controle da tensão de saída.

Para o modelo do conversor do lado secundário é utilizado o *gyrator* como visto em (OLIVEIRA, 2015), (SANTOS, 2011) e (BARAZARTE, 2010). A modelagem utilizando o *gyrator* consiste na representação de um circuito elétrico, onde todos os elementos são refletidos para um lado do conversor de acordo com a teoria que define um *gyrator* como apresentado na Figura 36 o *gyrator* condutância. A equação (4.23) estabelece a relação entre corrente e tensão para esse *gyrator*, onde a tensão v_1 seria equivalente a tensão v_{xy} e a tensão v_2 seria equivalente a v_{ab} , as correntes i_1 e i_2 são iguais em módulo a i_{Ltr} e o g é o coeficiente girostático.

Figura 36 - Simbologia do *gyrator* condutância.



Fonte: Próprio Autor.

$$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} 0 & g \\ -g & 0 \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix} \quad (4.23)$$

A equação (3.36) que define potência transferida da porta 1 para a porta 2 e pode ser reescrita como em (4.24) levando em consideração que as duas tensões v_{xy}' e v_{ab} tem o mesmo valor de pico e o mesmo valor eficaz da fundamental.

$$P_{Tr} = \frac{V_{ab(ef)}^2 \cdot \text{sen}\varphi}{\omega_{ab} \cdot L_{Tr}} \quad (4.24)$$

Considerando a potência na porta 1 igual a potência transferida, a equação (4.24) pode ser reescrita como em (2.29) e isolando $I_{LTr(ef)}$ é obtida (2.31)

$$V_{ab(ef)} \cdot I_{LTr(ef)} = \frac{V_{ab(ef)}^2 \cdot \text{sen}\varphi}{\omega_{ab} \cdot L_{Tr}} \quad (4.25)$$

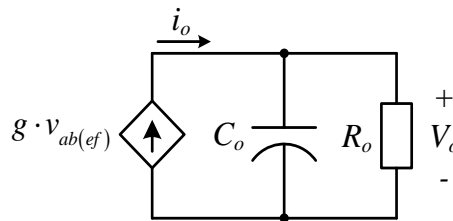
$$I_{LTr(ef)} = \frac{V_{ab(ef)} \cdot \text{sen}(\varphi)}{\omega_{ab} \cdot L_{Tr}} \quad (4.26)$$

Por conta das relações entre corrente e tensão do *gyrator* dadas por (4.23) e pela relação entre $I_{LTr(ef)}$ e $V_{ab(ef)}$ dada por (4.26), o valor do coeficiente girostático é dado por (4.27).

$$g = \frac{\text{sen}(\varphi)}{\omega_{ab} \cdot L_{Tr}} \quad (4.27)$$

Através de (4.26) e (4.27) é obtido o circuito equivalente apresentado na Figura 37, para modelagem considerando uma carga na saída com um capacitor de filtro, onde i_o é $I_{LTr(ef)}$.

Figura 37 - Circuito equivalente para controle da tensão de saída.



Fonte: Próprio Autor.

Aplicando perturbação em φ e i_o , e linearizando (4.27) utilizando série de *Taylor* é obtida a função de transferência que relaciona a corrente \hat{i}_o com $\hat{\varphi}$.

$$\frac{\hat{i}_o(s)}{\hat{\varphi}(s)} = \frac{V_{ab(ef)} \cdot \text{cos}(\varphi_{Op.})}{\omega_{ab} \cdot L_{Tr}} \quad (4.28)$$

Analisando o circuito da Figura 37, é obtida a função de transferência que relaciona a tensão \hat{v}_o com a corrente \hat{i}_o .

$$\frac{\hat{v}_o(s)}{\hat{i}_o(s)} = \frac{R_o}{C_o \cdot R_o \cdot s + 1} \quad (4.29)$$

4.5 Considerações Finais

Este capítulo apresentou a modelagem orientada ao controle do conversor proposto. Essa modelagem fez o uso de circuitos simplificados para representar os modelos necessários no projeto dos controladores utilizados para garantir a estabilidade e a controlabilidade do conversor proposto.

Vale ressaltar que esse tipo de modelagem foi escolhido devido à complexidade da estrutura do conversor proposto e essa modelagem por meio de circuitos equivalentes simplificados só representa o comportamento das grandezas de interesse para o funcionamento do conversor.

5 PROCEDIMENTO DE PROJETO

Neste capítulo são apresentados os procedimentos de projeto para os circuitos de condicionamento de sinais necessários para o fechamento da malha de controle do conversor, bem como o projeto dos controladores responsáveis o funcionamento adequado do conversor.

As especificações do projeto e os parâmetros do conversor utilizados para o dimensionamento dos componentes de condicionamento e dos controladores são apresentados nas Tabela 14 e Tabela 15.

Tabela 14 - Especificações do projeto

Tensão de entrada (CA)	165 V
Frequência da rede	60 Hz
Potência de saída	1,5 kW
Tensão de entrada V_i	165 V
Tensão CC por submódulo	206,7 V
Tensão de saída CC	300 V
Frequência de comutação	5 kHz
Número de sub módulos	4

Fonte: Próprio autor.

Tabela 15 - Parâmetros do conversor

Indutância de entrada L_i	500 μ H
Frequência da rede	60 Hz
Indutância de transferência de potência L_{Tr}	50 μ H
Indutância auxiliar de medição L_m	9 mH
Capacitância por submódulo	1100 μ F
Capacitância de saída	4230 μ F
Relação de transformação	1:1,45

Fonte: Próprio autor.

Os valores das capacitâncias empregadas tanto nos submódulos do lado primário quanto no conversor ponte completa ligado ao lado secundário são obtidos por meio do critério de tempo de manutenção (*hold-up time*) (Todd, 1999) dado pela equação (5.1).

$$C = \frac{2 \cdot P \cdot \Delta t}{V^2 - V_{\min}^2} \quad (5.1)$$

Onde, Δt é o tempo de manutenção e o V_{\min} é o valor mínimo de tensão no barramento. Para o cálculo da capacitância dos submódulos considera-se que cada submódulo pode processar até um quarto da potência nominal do conversor, e para o cálculo da capacitância do barramento CC de saída considera-se a potência nominal do conversor.

5.1 Sensores de Tensão

Foram utilizados sensores de tensão isolados fabricados por *LEM*[®]. O sensor escolhido foi o LV-20P com capacidade de medir até 500V com isolação de tensão de 2,5 kV. São necessários seis sensores de tensão, sendo quatro sensores para medir os barramentos CC dos submódulos, um sensor para medir a tensão da rede para a sincronia com a mesma e um sensor para medir a tensão CC de saída.

Para o funcionamento adequado desse sensor é necessário especificar dois resistores. Um resistor para limitar a corrente de entrada do sensor em +/-14 mA e um segundo resistor conectado ao pino de saída do sensor para converter o sinal de saída em corrente do sensor em um sinal de tensão com o ajustado dentro da faixa de leitura do conversor A/D do DSP utilizado. O ganho de corrente do sensor é de 2500:1000 e a faixa de trabalho do conversor A/D é de 0 à 3,3 V tendo uma resolução de 12 bits. A Tabela 16 apresenta um resumo do projeto dos sensores de tensão.

Tabela 16 - Resumo do projeto dos circuitos associados aos sensores de tensão.

	V_{ca}	V_{cc}	V_o
Modelo LEM	LV-20P	LV-20P	LV-20P
$V_{entrada\ máximo}$	311 V	330 V	480 V
$R_{entrada}$	44 k Ω	41 k Ω	56 k Ω
$I_{entrada}$	6 mA	8 mA	8 mA
$V_{saída\ máximo}$	1,5 V	3 V	3 V
$i_{saída}$	14 mA	20 mA	21 mA
$R_{saída}$	110 Ω	150 Ω	140 Ω
Ganho	0,004	0,009	0,006

Fonte: Próprio autor.

Devido ao fato da tensão de entrada ser alternada o valor da tensão de saída do sensor varia entre -1,5 V até 1,5 V. Como a entrada do conversor A/D não aceita valores negativos é adicionado um valor de *offset* de 1,65 V para que os valores de medição se encaixem na faixa de trabalho do A/D.

5.2 Sensores de corrente

Para a leitura das correntes foram utilizados sensores de corrente de efeito *Hall* fabricados por *LEM*[®] da série H0-NP/SP33. Considerando a potência de 1,5 kW e a tensão de entrada de 165 V a corrente de pico de entrada é definida pela equação (5.2).

$$I_{ipico} = \frac{P_o}{V_{ca}} \sqrt{2} = \frac{1500}{165} \sqrt{2} = 12,85A \quad (5.2)$$

Para esse valor de corrente de entrada foi escolhido o sensor HO 25-NP/SP33 com três bobinas em paralelo. O valor de ganho especificado pelo fabricante é de 0,0184 V/A e o mesmo já possui um *offset* de 1,65 V em seu sinal de saída.

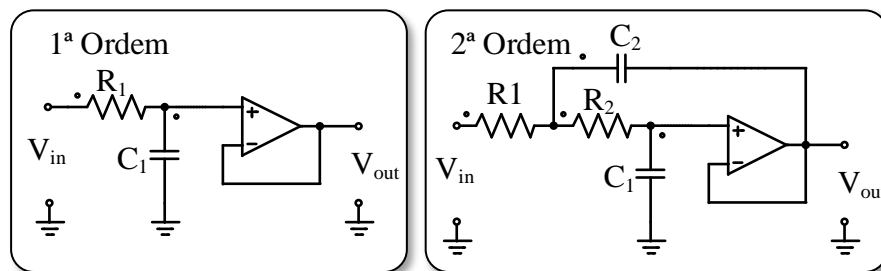
Para a medição de corrente de magnetização com o indutor L_m é utilizado o sensor HO 8-NP/SP33 com a sensibilidade de 0,619 V/A, pois a amplitude da corrente é muito pequena tendo a necessidade de utilizar o sensor com a configuração das bobinas em série para a melhor aquisição do sinal.

5.3 Filtros *Anti-aliasing*

São empregados filtros passa-baixas do tipo *Sallen-key* de segunda ordem e filtros passa-baixas de primeira ordem na aquisição dos sinais medidos devido a presença de ruídos produzidos pelo chaveamento do conversor, ruídos que podem interferir de forma negativa no fechamento das malhas de controle ocasionando o mal funcionamento do conversor (MALVINO, 1997).

Para a filtragem dos sinais de medição de corrente foi adotado o filtro passa-baixa *Sallen-key* de segunda ordem e para a filtragem dos sinais de medição das tensões foi adotado um filtro passa-baixa de primeira ordem. A Figura 38 apresenta as topologia dos filtros *anti-aliasing* utilizadas.

Figura 38 - Filtros *anti-aliasing* de primeira e segunda ordem.



Fonte: Próprio autor.

A Figura 38 apresenta o circuito utilizado na implementação do filtro passa-baixa de primeira ordem usado na filtragem nos sinais de medição das tensões.

Para o dimensionamento do filtro passa-baixa de primeira ordem, define-se a frequência de corte (f_{corte}), adota-se o valor de um dos componentes e calcula-se o outro a partir da equação (5.3).

$$C_1 = \frac{1}{2 \cdot \pi \cdot f_{corte} \cdot R_1} \quad (5.3)$$

A função de transferência do filtro de segunda ordem é dada por:

$$H_{\text{filtro2}} = \frac{1}{s^2 + \frac{2}{C_2 \cdot R_2} s + \frac{2}{R_2 \cdot C_2 \cdot C_1}} \quad (5.4)$$

Associando-se a função de transferência do filtro (5.4) com a função de um sistema de segunda ordem (5.5), deixando em função do fator de amortecimento ξ e da frequência natural do sistema ω_n , onde ω_n é a frequência de corte do filtro:

$$H_{\text{filtro1}} = \frac{\omega^2}{s^2 + 2 \cdot \xi \cdot \omega_n s + \omega_n^2} \quad (5.5)$$

$$\omega_n = 2 \cdot \pi \cdot f_{\text{corte}} = \frac{1}{R_2 \cdot \sqrt{C_1 \cdot C_2}} \quad (5.6)$$

$$\xi = \sqrt{\frac{C_1}{C_2}} \quad (5.7)$$

Assim, para o projeto dos componentes, adota-se um fator de amortecimento, a frequência de corte (f_{corte}), e escolhendo um dos capacitores é possível calcular os outros componentes do circuito pelas equações:

$$C_2 = \frac{C_1}{\xi^2} \quad (5.8)$$

$$R_2 = \frac{1}{2 \cdot \pi \cdot f_{\text{corte}} \cdot \sqrt{C_1 \cdot C_2}} \quad (5.9)$$

Para o projeto do filtro passa-baixa de segunda ordem foi considerado um fator de amortecimento $\xi = 0,707$. Na tabela apresentam-se os valores dos componentes dos filtros *anti-aliasing* utilizados em bancada.

Tabela 17 - Resumo do projeto dos filtros *anti-aliasing*.

		Tensões	Corrente de entrada	Corrente magnetizante
	f_{corte}	600 Hz	20 kHz	2 kHz
1ª Ordem	C_1	33 nF	-	-
	R_1	8,2 k Ω	-	-
	$R_{1,2}$	-	9,1 k Ω	8,2 k Ω
2ª Ordem	C_1	-	680 pF	680 pF
	C_2	-	1,2 nF	1,5 nF

Fonte: Próprio autor.

5.4 Projeto dos controladores

Nesta seção é descrito de forma sucinta e objetiva o projeto dos controladores digitais necessários para controlar o conversor proposto.

Existem diversas metodologias para projetar os controladores digitais conforme visto em (OGATA, 2005) e (LANDAU; ZITO, 2006). Para este trabalho opta-se por utilizar dois métodos específicos, sendo que o primeiro segue a metodologia de discretizar a planta e realizar o projeto dos controladores no domínio discreto e o segundo método consiste em projetar o controlador no domínio da frequência, levando em consideração os ganhos do conversor analógico-digital e posteriormente discretizando o controlador para a obtenção das equações a diferenças usadas no microcontrolador.

Neste trabalho opta-se por discretizar as plantas e projetar os controladores no tempo discreto para os controladores das tensões e corrente de circulação e para o controlador da corrente de entrada é utilizado o segundo método. O projeto dos controladores foi feito com o auxílio da ferramenta *SISOTOOL* presente no *software MATLAB*[®].

A Figura 39 apresenta o diagrama de blocos da estratégia de controle utilizada e como as malhas de controle são conectadas entre si.

A malha de controle (II) mantém o valor médio das tensões dos capacitores dos submódulos regulada no valor nominal, gerando o sinal de referência do pico da corrente da porta CA. Após ser multiplicado pelo sinal senoidal de referência produzido pelo *PLL*, a saída da malha (II) se torna a referência da malha (I), responsável por controlar a corrente da porta CA, assegurando que o conversor opere com alto fator de potência e baixa distorção harmônica total.

Essas duas malhas são construídas em cascata, com o controlador da tensão fornecendo a referência para o pico da corrente. Além disso, é utilizado um *PLL* para o rastreamento da fase da tensão de entrada. A estrutura do *PLL* adotada é descrita posteriormente.

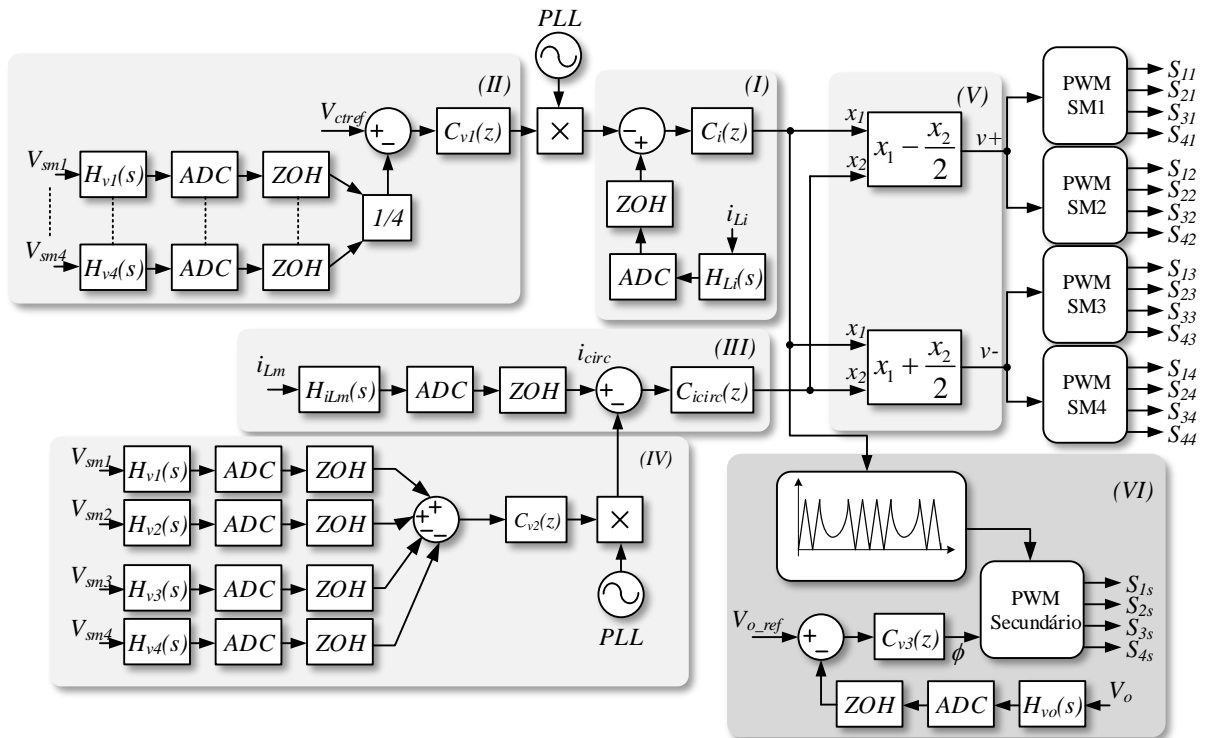
Além disso, a estrutura do controle possui ainda uma malha capaz de realizar o balanceamento da tensão dos capacitores. Essa malha atua adicionando sua saída ao sinal de controle da malha de tensão multiplicada pela senoide proveniente do *PLL*.

O equilíbrio entre as somas das tensões de cada módulo é obtido pela malha de controle (IV), a qual gera um sinal que ao ser multiplicado pela senoide de referência resulta um nível de offset negativo aplicado à corrente circulante calculada. A malha de controle (III), por sua vez, é responsável por regular o sinal da corrente circulante com offset nulo.

O bloco (V) é usado para decompor o sinal de controle. A decomposição do sinal é necessária para produzir um pequeno deslocamento entre os sinais de modulação v_+ e v_- para equilibrar as tensões médias nos módulos dos lados superior e inferior.

A malha de controle (VI) é responsável por controlar a tensão na porta CC do conversor. O controle da tensão se dá por meio da defasagem angular das tensões v_{xy} e v_{ab} aplicadas no indutor de transferência de potência L_{tr} , conforme mostra a Figura 3. O ângulo de defasagem é obtido por meio da comparação da tensão CC medida com um sinal de referência, gerando um erro aplicado a um controlador PI (proporcional-integral) tipo 2. O sinal do controlador é convertido em ângulo por meio do *gyrator* baseado em (OLIVEIRA, 2015), (SANTOS, 2011) e (BARAZARTE, 2010).

Figura 39 - Diagrama de blocos da estratégia de controle utilizada.



FONTE: Próprio autor.

5.4.1 Controlador da média das tensões nos submódulos

Conforme visto na Figura 39 o controlador da média das tensões nos submódulos é cascateado com o controlador da corrente de entrada. Para projetar o controlador é utilizada a função de transferência de malha aberta dada pela equação (5.10).

$$FTMA_{vm} = G_{vm}(s) \cdot ADC \cdot H_v \cdot H_{filtro1} \cdot MFI \quad (5.10)$$

Onde $G_{vm}(s)$ é dado pela equação (4.18), H_v é o ganho do sensor de tensão dos submódulos, $H_{filtro1}$ é a dinâmica do filtro passa-baixa conforme visto em (MALVINO, 1997) e MFI é como o controlador de tensão enxerga a malha de controle da corrente de entrada.

O ganho ADC é dado por:

$$ADC = \frac{4096-1}{3,3} \quad (5.11)$$

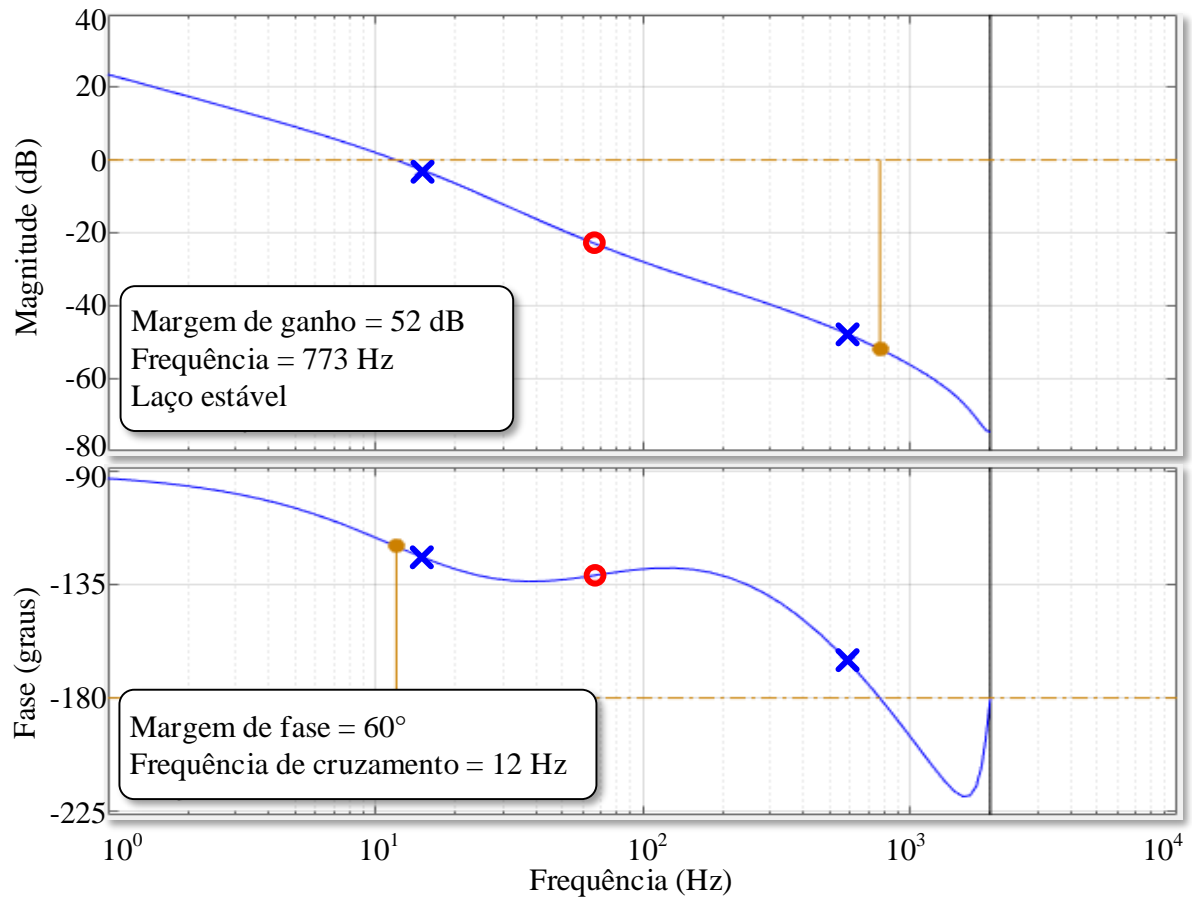
O ganho MFI é dado por:

$$MFI = \frac{1}{H_{Li}(s)} \quad (5.12)$$

Onde H_i é o ganho do sensor da corrente de entrada.

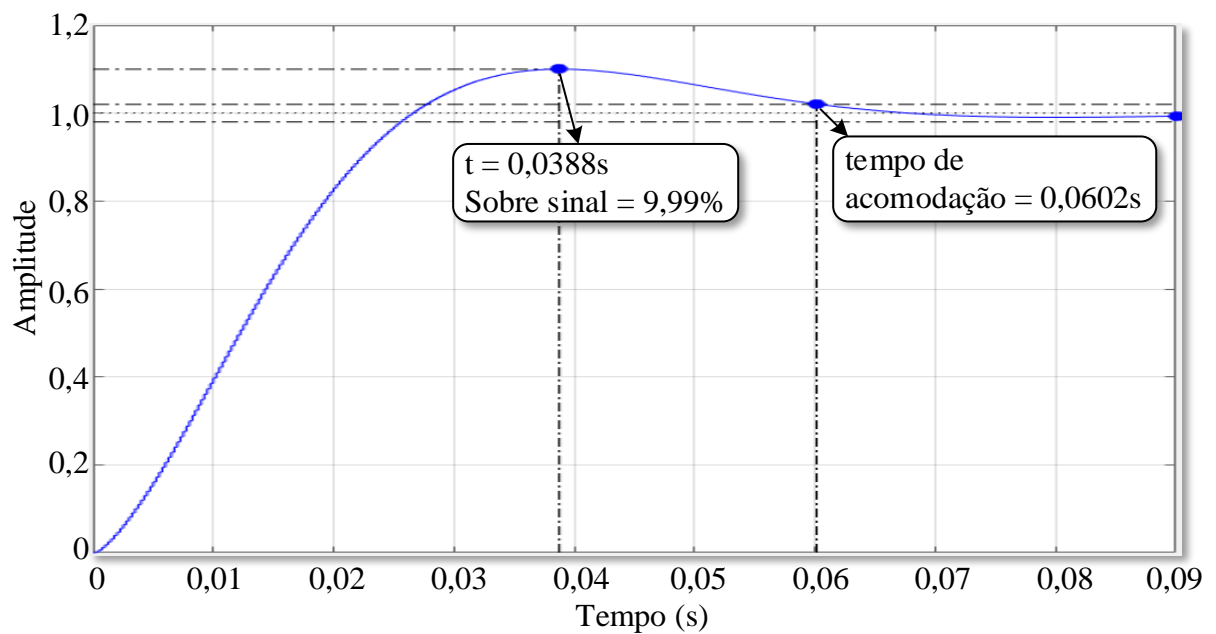
De posse da função de transferência de laço aberto dada em (5.10) é feita a discretização pelo método *backward* onde $s = \frac{(z-1)}{T_a \cdot z}$ adotando uma frequência de amostragem de 4 kHz (BUSO; MATTAVELLI, 2006). A partir da planta discreta é projetado um controlador PI adicionando um polo na origem para elevar o ganho das baixas frequências a fim de proporcionar erro nulo em regime permanente, um zero na frequência 66 Hz é adicionada e o ganho em dB é ajustado de forma interativa para que o controlador proporcione uma margem de fase de 60° e com a frequência de cruzamento de 12Hz que ajuda a atenuar a ondulação de 120 Hz que pode distorcer a referência da corrente de entrada.

A Figura 40 apresenta o diagrama de Bode da $FTMA_{vm}$ com o controlador PI. Nota-se que o diagrama de Bode só consegue representar a planta até os 4 kHz que corresponde a frequência de amostragem adotada, a frequência máxima em que a planta continua estável é de 773 Hz e a margem de ganho máxima que garante a estabilidade é 52 dB.

Figura 40 - Diagrama de Bode da $FTMA_{vm}$ com controlador PI.

Fonte: Próprio autor.

A Figura 41 apresenta a resposta ao degrau da $FTMA_{vm}$ com um sobressinal de 9,99% e um tempo acomodação de 60,2 ms.

Figura 41 - Resposta ao degrau da $FTMA_{vm}$.

Fonte: Próprio autor.

A equação (5.13) apresenta a função de transferência do controlador PI da malha da média das tensões dos submódulos.

$$C_{v1}(z) = \frac{U(z)}{E(z)} = \frac{0,12501(z - 0,9015)}{(z - 1)} \quad (5.13)$$

Onde $U(z)$ é o sinal de controle e $E(z)$ é o sinal de erro. Aplicando-se a transformada z inversa na equação (5.13) obtêm-se a equação a diferenças (5.14) usada no microcontrolador.

$$u[k] = 0,12501 \cdot e[k] - 0,1126 \cdot e[k - 1] + u[k - 1] \quad (5.14)$$

5.4.2 Controlador do equilíbrio das tensões dos módulos

Conforme visto na Figura 39 o controlador do equilíbrio das tensões nos módulos é cascadeado com o controlador da corrente de circulação. Para projetar o controlador é utilizada a função de transferência de malha aberta dada pela equação (5.15).

$$FTMA_{vmeq} = G_{veq}(s) \cdot ADC \cdot H_v \cdot H_{filtro1} \cdot MFI_{circ} \quad (5.15)$$

Onde $G_{veq}(s)$ é dado pela equação (4.19), H_v é o ganho do sensor de tensão dos submódulos, $H_{filtro1}$ é a dinâmica do filtro passa-baixa conforme visto em (MALVINO, 1997) e MFI_{circ} é como o controlador de tensão enxerga a malha de controle da corrente de circulação. O ganho ADC é dado pela equação (5.16).

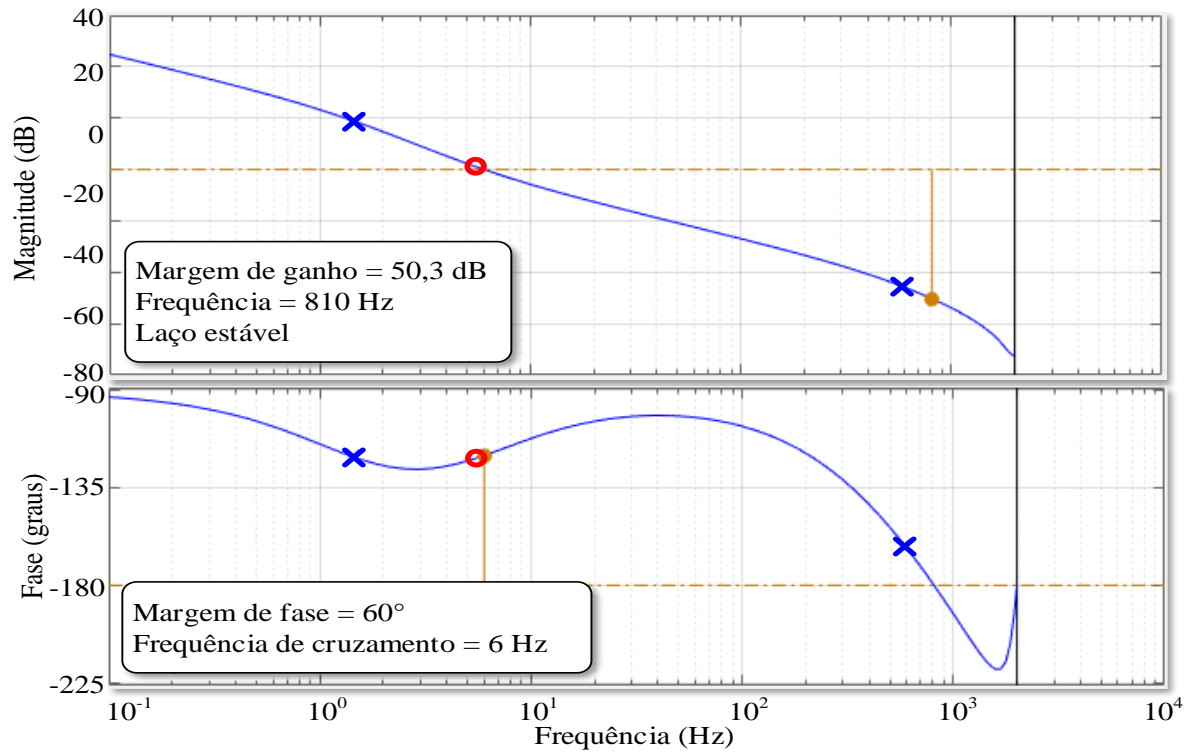
O ganho MFI_{circ} é dado por:

$$MFI = \frac{1}{H_{icirc}(s)} \quad (5.16)$$

Onde H_{icirc} é o ganho do sensor da corrente de circulação.

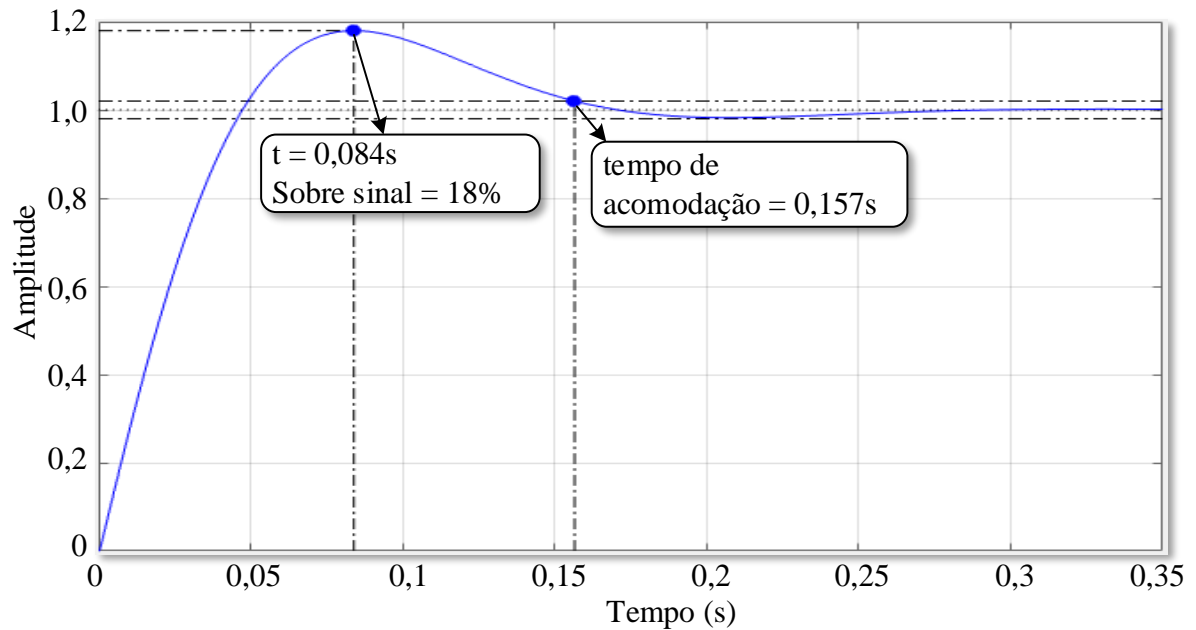
De posse da função de transferência de laço aberto dada em (5.15) é feita a discretização pelo método *backward* adotando uma frequência de amostragem de 4 kHz. A partir da planta discreta é projetado um controlador PI adicionando um polo na origem para elevar o ganho das baixas frequências a fim de proporcionar erro nulo em regime permanente, um zero na frequência 5,52 Hz é adicionada e o ganho em dB é ajustado de forma interativa para que o controlador proporcione uma margem de fase de 60° com a frequência de cruzamento de 6 Hz.

A Figura 42 apresenta o diagrama de Bode da $FTMA_{vm}$ com o controlador PI. Nota-se que o diagrama de Bode só consegui representar a planta até os 4 kHz que corresponde a frequência de amostragem adotada, a frequência máxima em que a planta continua estável é de 810 Hz e a margem de ganho máxima que garante a estabilidade é 50,3 dB.

Figura 42 - Diagrama de Bode da $FTMA_{vmeq}$ com controlador PI.

Fonte: Próprio autor.

A Figura 43 apresenta a resposta ao degrau da $FTMA_{vmeq}$ com um sobressinal de 18% e um tempo acomodação de 157 ms.

Figura 43 - Resposta ao degrau da $FTMA_{vmeq}$.

Fonte: Próprio autor.

A equação (5.17) apresenta a função de transferência do controlador PI da malha da média das tensões dos submódulos.

$$C_{v2}(z) = \frac{U(z)}{E(z)} = \frac{15,182(z-0,9914)}{(z-1)} \quad (5.17)$$

Onde $U(z)$ é o sinal de controle e $E(z)$ é o sinal de erro. Aplicando-se a transformada z inversa na equação (5.17) obtêm-se a equação a diferenças (5.18) usada no microcontrolador.

$$u[k] = 15,1821 \cdot e[k] - 15,0514 \cdot e[k-1] + u[k-1] \quad (5.18)$$

5.4.3 Controlador da corrente de entrada

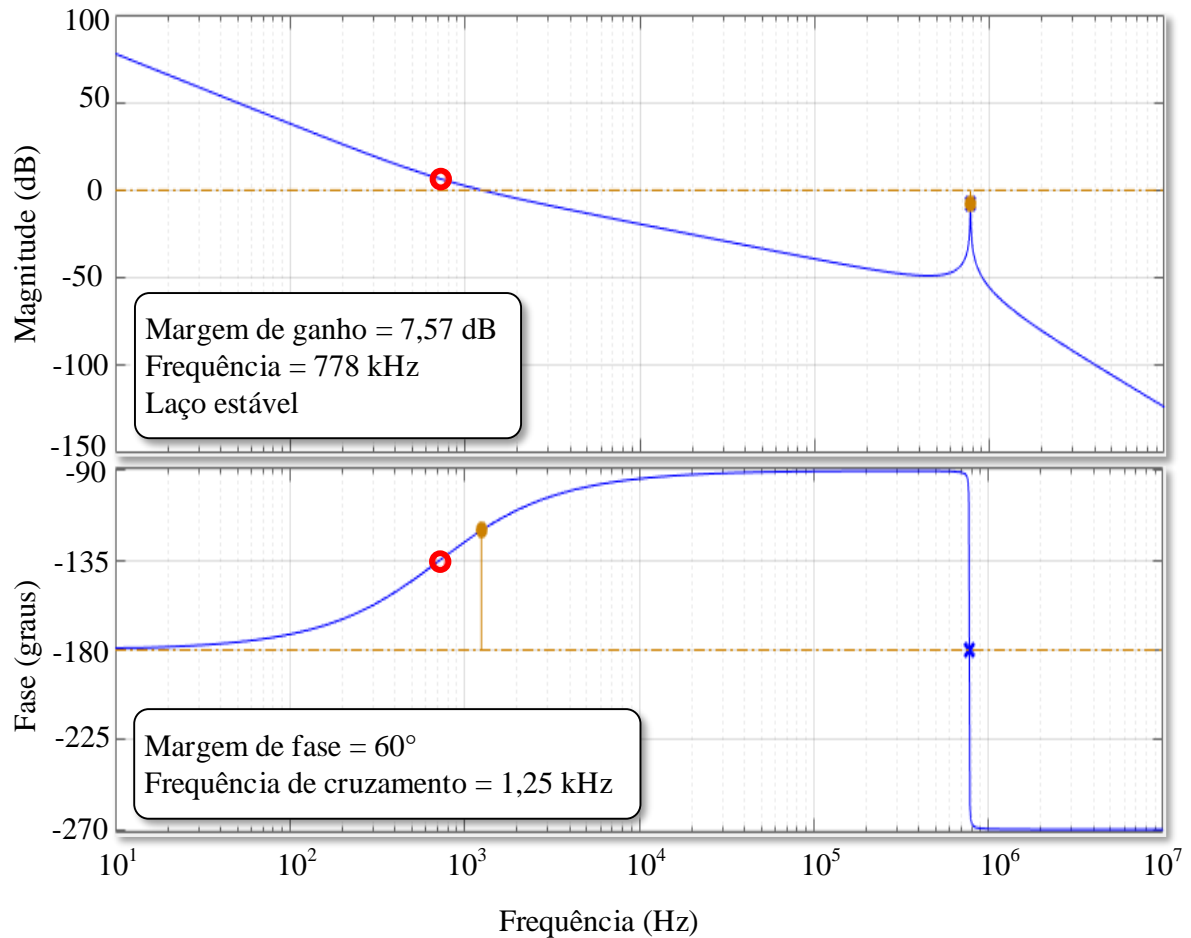
Para o controlador da corrente de entrada opta-se por projetar um controlador P-Ressonante que garante o erro de regime permanente nulo para referencias senoidais (TEODORESCU, 2006; ABDEL-QAWEE,2013). A partir da Figura 39 pode-se expressar a função de transferência de malha aberta pela equação (5.19) necessária para o projeto do controlador.

$$FTMA_{I_{entrada}} = G_{I_{entrada}}(s) \cdot ADC \cdot H_i \cdot H_{filtro2} \cdot \frac{1}{PWM} \quad (5.19)$$

Onde $G_{I_{entrada}}(s)$ é dado por (4.8), o ADC é dado por (5.11), H_i é o ganho do sensor da corrente de entrada, $H_{filtro2}$ é a dinâmica do filtro *Sallen-Key* de segunda ordem dado por (5.4) e o $PWM = 10000$ é o valor de pico da portadora digital gerada internamente no microcontrolador.

Diferentemente dos outros controladores implementados no projeto, o controlador P-Ressonante é projetado conforme a metodologia apresentada em (TEODORESCU, 2006; ABDEL-QAWEE,2013) onde inicialmente o projeto é feito no domínio da frequência para posteriormente ser discretizado.

O procedimento inicial para o projeto do controlador é sintonizar um controlador PI por meio da ferramenta *SISOTOOL*, para a partir do mesmo obter os ganhos k_p e k_i que são inseridos na função de transferência do controlador P-Ressonante não ideal dada pela equação (4.22). A Figura 44 apresenta o diagrama de Bode da $FTMA_{I_{entrada}}$ com um controlador PI adicionando um polo na origem para elevar o ganho das baixas frequências a fim de proporcionar erro nulo em regime permanente, um zero na frequência 722 Hz é adicionada e o ganho em dB é ajustado de forma interativa para que o controlador proporcione uma margem defase de 60° com a frequência de cruzamento de 1,25 kHz.

Figura 44 - Diagrama de Bode da $FTMA_{entrada}$ com controlador PI.

Fonte: Próprio autor.

Para obter os ganhos k_p e k_i utiliza-se a equação do controlador PI organizada em constantes de tempo conforme a equação (5.20) (OGATA, 2003).

$$C_{PI}(s) = DC \cdot \frac{1 + t_z \cdot s}{1 + t_p \cdot s} \quad (5.20)$$

Onde t_z é a constante de tempo do zero e t_p é a constante de tempo do polo. A partir de (5.20) define-se $k_i = DC$ e $k_p = k_i \cdot t_z$.

$$C_{PI}(s) = 5,14 \cdot 10^6 \cdot \frac{1 + 0,0002 \cdot s}{s} \quad (5.21)$$

Aplicando as definições de k_p e k_i na equação (5.21), temos $k_p = 1,13 \cdot 10^3$ e $k_i = 5,14 \cdot 10^6$. Os ganhos k_p e k_i são inseridos na equação (5.22). Onde ω_{corte} é a frequência que define a banda do controlador e ω_0 é a frequência da rede na qual o controlador deve ser sintonizado para que funcione como um filtro passa-faixa sintonizado em ω_0 .

$$G_{pr_n\tilde{a}o_ideal}(s) = k_p + \frac{2 \cdot k_i \cdot \omega_{corte} \cdot s}{s^2 + 2\omega_{corte} \cdot s + \omega_0^2} \quad (5.22)$$

Após encontrar os ganhos k_i e k_p do controlador PI deve-se definir a frequência ω_0 e a frequência de corte ω_{corte} . Onde $\omega_0 = 2 \cdot \pi \cdot 60$ e $\omega_{corte} = 2 \cdot \pi \cdot \frac{60}{600}$. Substituindo-se esses valores em (4.22), temos:

$$C_{ressonante}(s) = \frac{U(s)}{E(s)} = \frac{1130s^2 + 6,461 \cdot 10^6 s + 1,606 \cdot 10^8}{s^2 + 1,257s + 1,421 \cdot 10^5} \quad (5.23)$$

Para discretizar o controlador é utilizado o método de *Tustin*. Onde os termos em s são substituídos por (5.24).

$$s = \frac{2}{T_a} \cdot \left(\frac{z-1}{z+1} \right) \quad (5.24)$$

A frequência de amostragem é definida como 40 kHz dessa forma definindo $T_a = \frac{1}{40 \cdot 10^3} = 25 \mu s$. Assim aplicando (5.24) em (5.23) temos o controlador discreto dado pela equação (5.25).

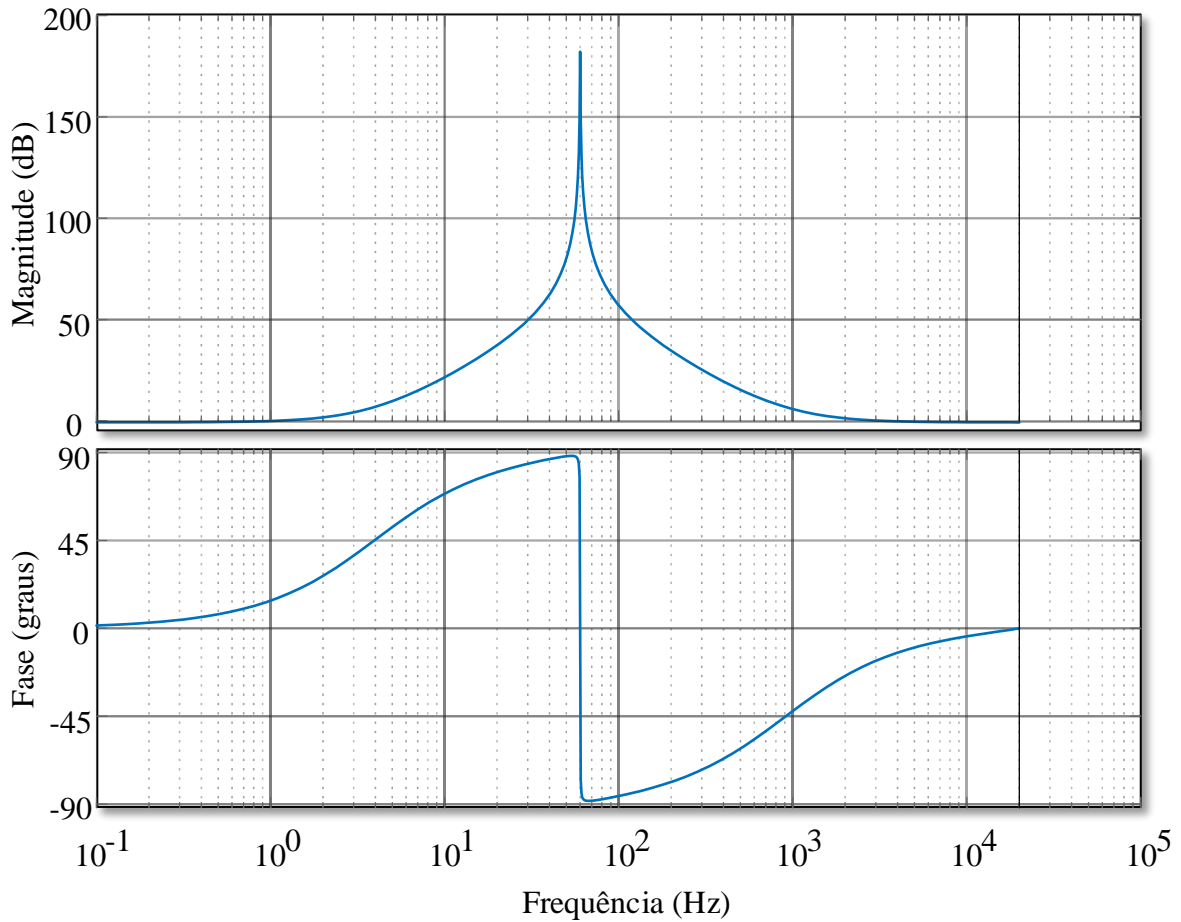
$$C_{ressonante}(z) = \frac{U(z)}{E(z)} = \frac{1211z^2 - 2260z + 1049}{z^2 - 2z + 1} \quad (5.25)$$

Onde $U(z)$ é o sinal de controle e $E(z)$ é o sinal de erro. Aplicando-se a transformada z inversa na equação (5.25) obtêm-se a equação a diferenças (5.26) usada no microcontrolador.

$$u[k] = 1211 \cdot e[k] - 2260 \cdot e[k-1] + 1049 \cdot e[k-2] + 2 \cdot u[k-1] - u[k-2] \quad (5.26)$$

A Figura 45 apresenta o diagrama de Bode dos controladores P-Ressonante não ideal discretizado. Como esperado nota-se um elevado ganho na frequência de interesse fazendo com que as frequências diferentes de 60 Hz sejam atenuadas.

Figura 45 - Diagrama de Bode do controlador P-Ressonante não ideal discretizado.



Fonte: Próprio autor.

5.4.4 Controlador da corrente de circulação

Conforme visto na Figura 39 o controlador da corrente de circulação recebe o sinal de referência produzido pelo controlador $C_{v2}(z)$. Para projetar o controlador é utilizada a função de transferência de malha aberta dada pela equação (5.27).

$$FTMA_{I_{circ}} = G_{I_{circ}}(s) \cdot ADC \cdot H_{iLm}(s) \cdot H_{filtro2} \cdot \frac{1}{PWM} \quad (5.27)$$

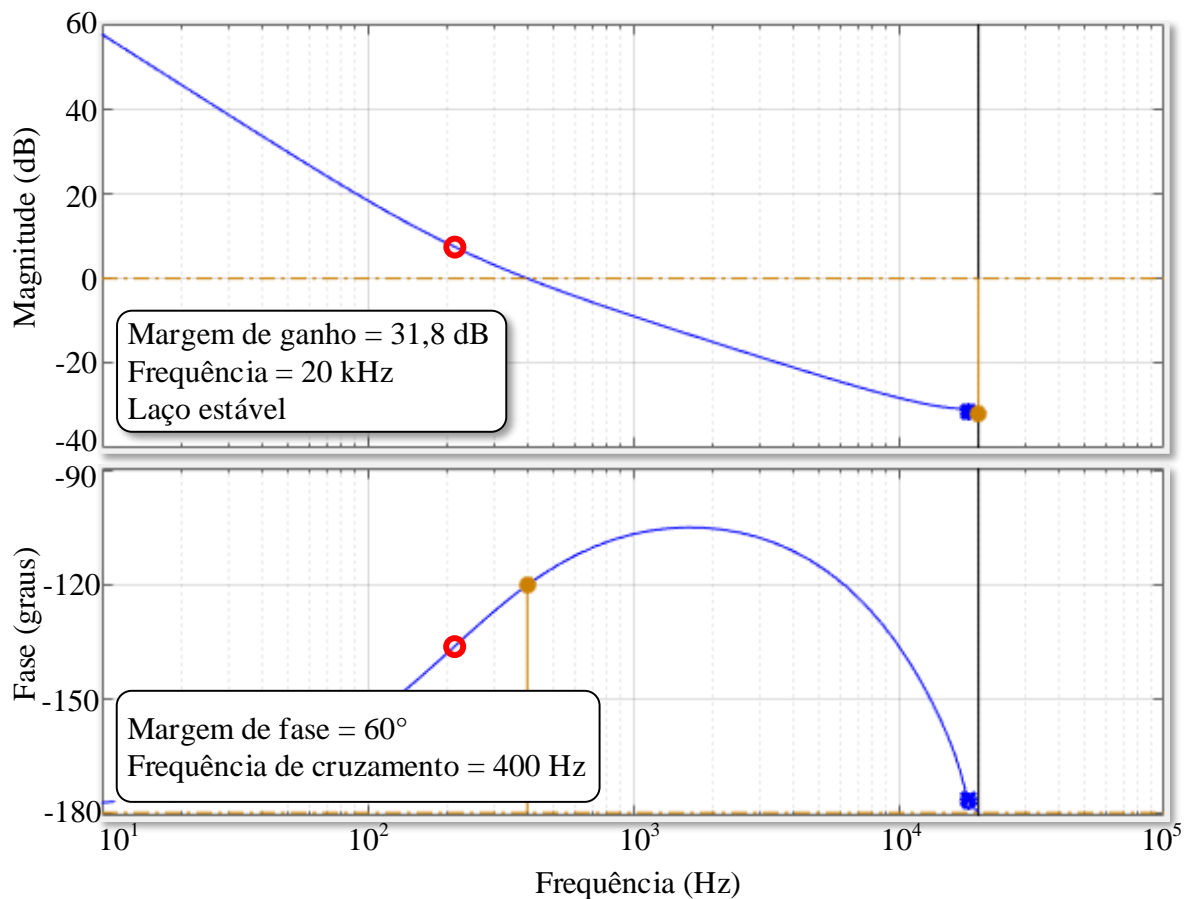
Onde $G_{I_{circ}}(s)$ é dado por (4.22), o ADC é dado por (5.11), $H_{iLm}(s)$ é o ganho do sensor da corrente de circulação, $H_{filtro2}$ é a dinâmica do filtro *Sallen-Key* de segunda ordem dado por (5.4) e o $PWM = 10000$ é o valor de pico da portadora digital gerada internamente no microcontrolador.

De posse da função de transferência de laço aberto dada em (5.27) é feita a discretização pelo método *backward* adotando uma frequência de amostragem de 40 kHz. A partir da planta discreta é projetado um controlador PI adicionando um polo na origem para

e elevar o ganho das baixas frequências a fim de proporcionar erro nulo em regime permanente, um zero na frequência 215 Hz é adicionada e o ganho em dB é ajustado de forma interativa para que o controlador proporcione uma margem de fase de 60° com a frequência de cruzamento de 400 Hz.

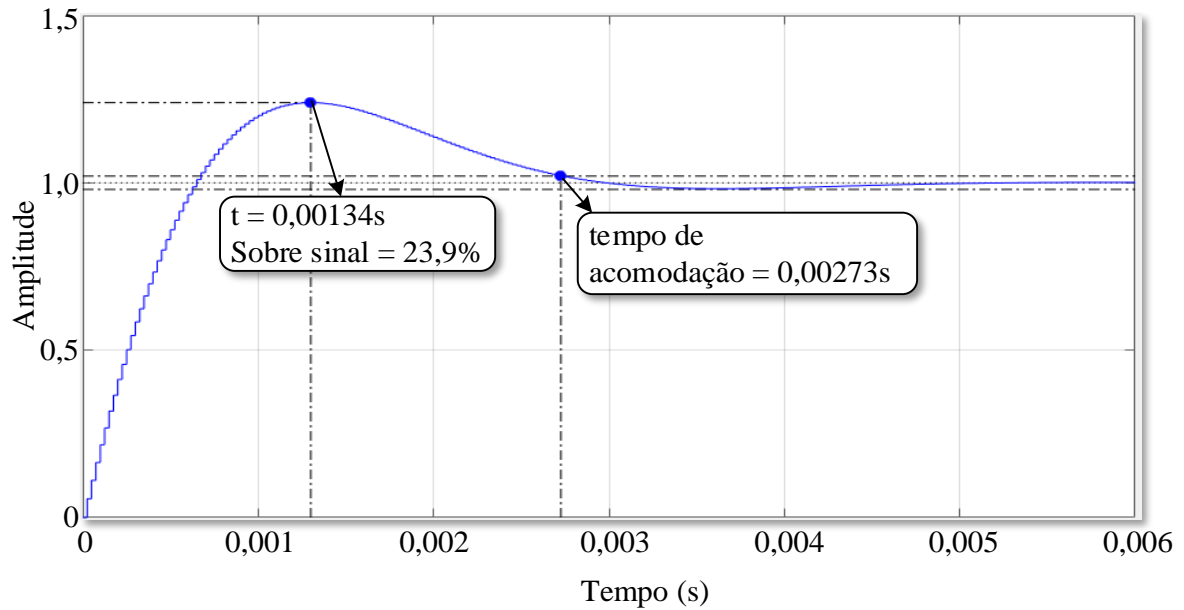
A Figura 46 apresenta o diagrama de Bode da $FTMA_{Icirc}$ com o controlador PI. Nota-se que o diagrama de Bode só conseguiu representar a planta até os 40 kHz que corresponde a frequência de amostragem adotada, a frequência máxima em que a planta continua estável é de 20 kHz e a margem de ganho máxima que garante a estabilidade é 31,8 dB.

Figura 46 - Diagrama de Bode da $FTMA_{Icirc}$ com controlador PI.



Fonte: Próprio autor.

A Figura 47 apresenta a resposta ao degrau da $FTMA_{Icirc}$ com um sobressinal de 23,9% e um tempo acomodação de 2,73 ms.

Figura 47 - Resposta ao degrau da $FTMA_{Icirc}$.

Fonte: Próprio autor.

A equação (4.28) apresenta a função de transferência do controlador PI da malha da média das tensões dos submódulos.

$$C_{icirc}(z) = \frac{U(z)}{E(z)} = \frac{0,30678(z - 0,9669)}{(z - 1)} \quad (5.28)$$

Onde $U(z)$ é o sinal de controle e $E(z)$ é o sinal de erro. Aplicando-se a transformada z inversa na equação (5.28) obtêm-se a equação a diferenças (5.29) usada no microcontrolador.

$$u[k] = 0,30678 \cdot e[k] - 0,29662 \cdot e[k - 1] + u[k - 1] \quad (5.29)$$

5.4.5 Controlador da tensão de saída

Conforme visto na Figura 39 o controlador da tensão de saída atua gerando um ângulo φ de defasagem das portadoras do conversor do lado secundário em relação as portadoras do lado primário. Para projetar o controlador é utilizada a função de transferência de malha aberta dada pela equação (5.30).

$$FTMA_{vo} = G_{vo}(s) \cdot g \cdot x \cdot ADC \cdot H_{vo} \cdot H_{filtro1} \quad (5.30)$$

Onde $G_{vo}(s)$ é dado pela equação (4.29), H_{vo} é o ganho do sensor da tensão de saída, $H_{filtro1}$ é a dinâmica do filtro passa-baixa conforme visto em (MALVINO, 1997), ADC é dado por (5.11), g é o coeficiente girostático dado por (4.27) necessário para transformar o sinal de controle em ângulo e o x é um valor adimensional necessário para converter o valor de ângulo

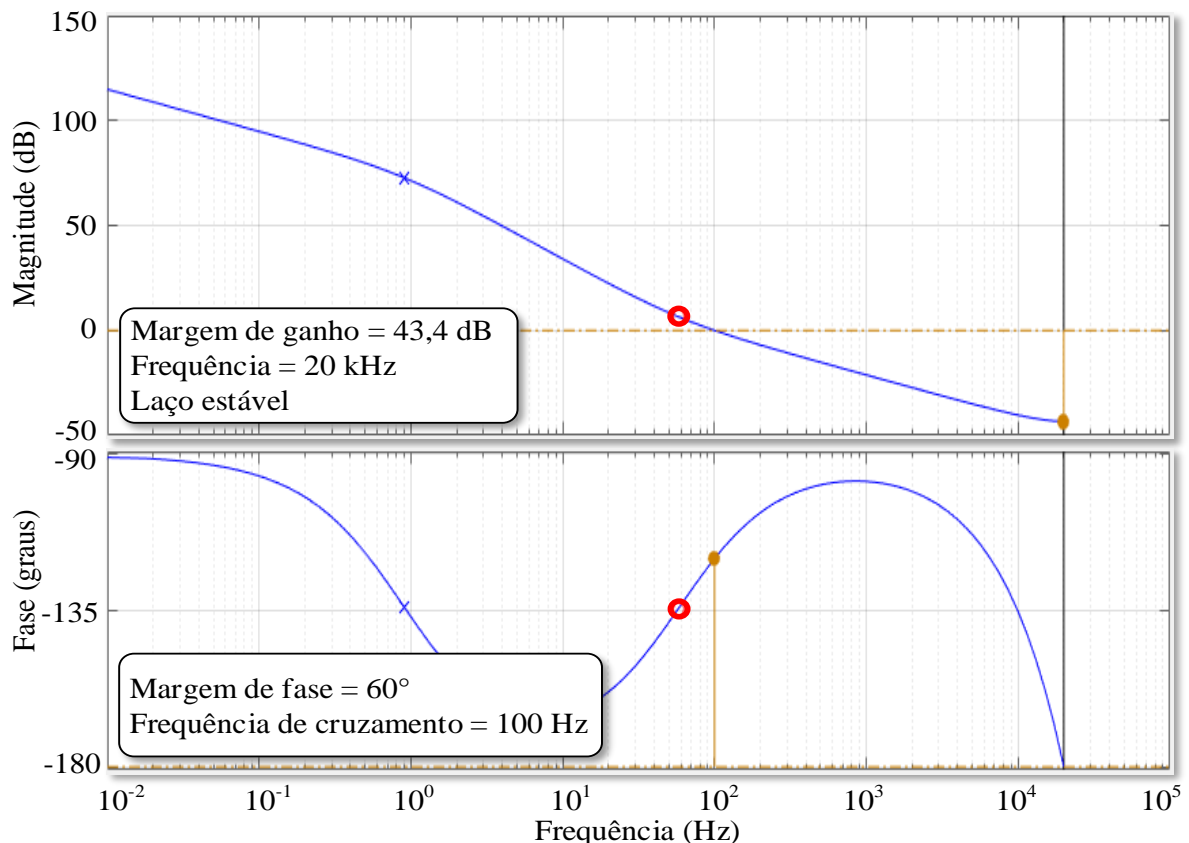
de φ em um valor proporcional ao pico das portadoras internas do microcontrolador. Onde x é dado por:

$$x = \frac{\text{portadora}_{\text{sec}}}{180} = \frac{2500}{180} = 13,88 \quad (5.31)$$

De posse da função de transferência de laço aberto dada em (5.30) é feita a discretização pelo método *backward* adotando uma frequência de amostragem de 40 kHz. A partir da planta discreta é projetado um controlador PI adicionando um polo na origem para elevar o ganho das baixas frequências a fim de proporcionar erro nulo em regime permanente, um zero na frequência 57,9 Hz é adicionada e o ganho em dB é ajustado de forma interativa para que o controlador proporcione uma margem de fase de 60° e com a frequência de cruzamento de 100 Hz para que a variação do ângulo φ seja lenta.

A Figura 48 apresenta o diagrama de *Bode* da $FTMA_{vo}$ com o controlador PI. Nota-se que o diagrama de *Bode* só conseguiu representar a planta até os 40 kHz que corresponde a frequência de amostragem adotada, a frequência máxima em que a planta continua estável é de 20 kHz e a margem de ganho máxima que garante a estabilidade é 43,4 dB.

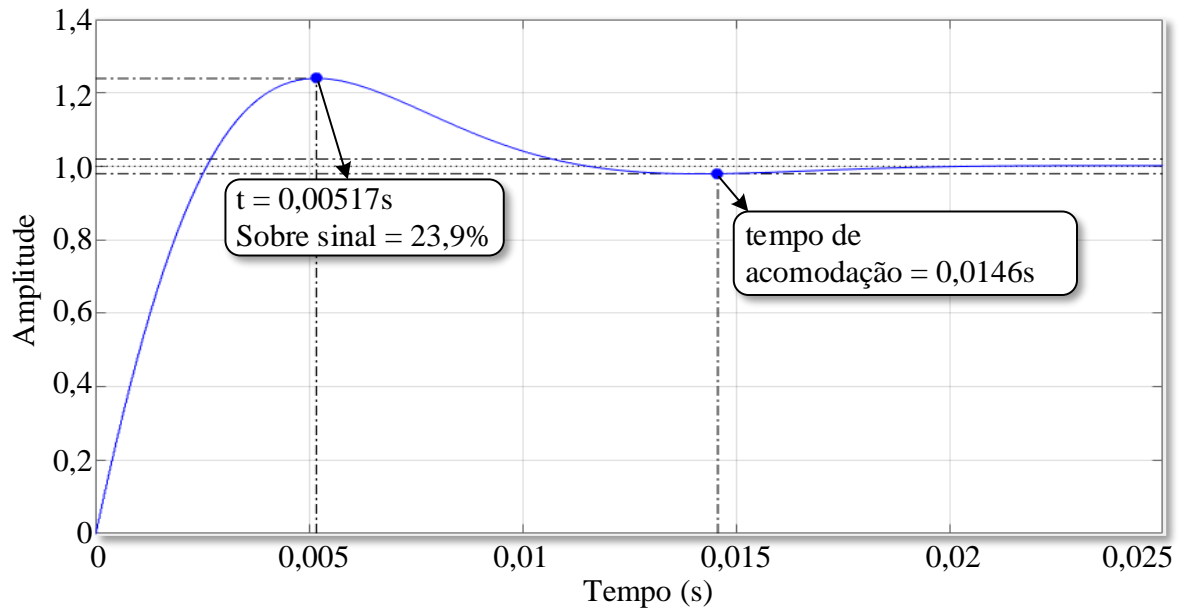
Figura 48 - Diagrama de Bode da $FTMA_{vo}$ com controlador PI



Fonte: Próprio autor.

A Figura 49 apresenta a resposta ao degrau da $FTMA_{vo}$ com um sobressinal de 23,9% e um tempo acomodação de 14,6 ms.

Figura 49 - Resposta ao degrau da $FTMA_{vo}$.

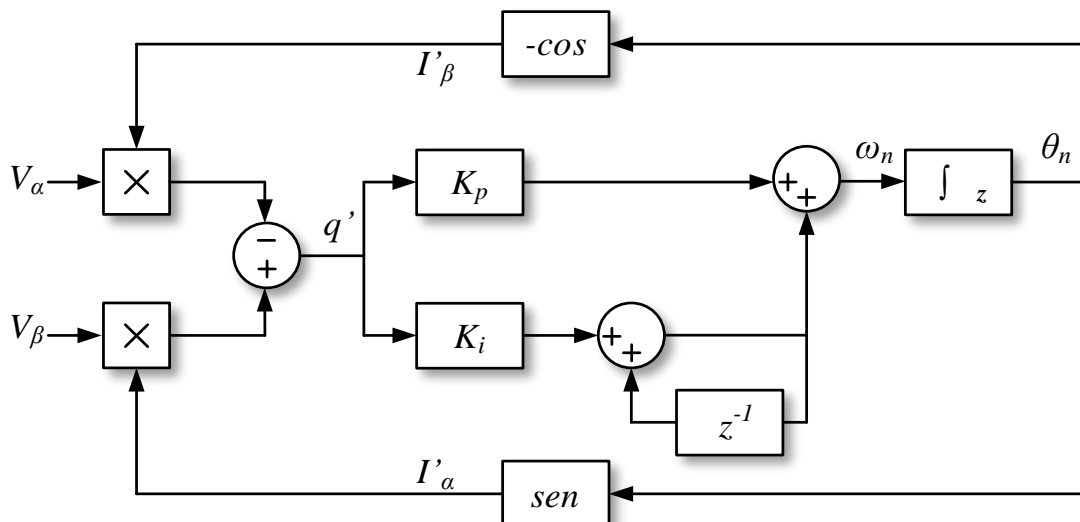


Fonte: Próprio autor.

5.4.6 Controle do q -PLL

Dando ênfase no controlador do circuito q -PLL, o sistema pode ser representado de acordo com a Figura 50.

Figura 50 - Diagrama de blocos do q -PLL monofásico.



Fonte: Próprio autor.

Conforme apresentado no diagrama de blocos da Figura 54, apesar de não ser utilizada a transformada de Clarke, as tensões no sistema de coordenadas $\alpha\beta$ são necessárias para o correto funcionamento do *PLL*. Portanto, o sinal V_α é gerado como uma duplicata da tensão amostrada da rede elétrica e o sinal V_β é gerado como uma cópia do sinal V_α atrasado em 90° . Tomando uma taxa de amostragem do sistema de 40 kHz, tem-se que um ciclo da rede são 667 amostragens, conforme mostrado na equação (5.32).

$$amostras = \frac{f_{amostragem}}{f_{rede}} \cong 667 \quad (5.32)$$

$$atraso = \frac{1}{4} amostras \cong 167 \quad (5.33)$$

Logo, pela equação (5.33), para que seja efetuado o atraso de 90° entre o sinal V_α e o sinal V_β deve-se atrasar em 167 amostras o sinal V_β em relação ao sinal V_α .

Pela Figura 50, temos que o controlador PI circuito *PLL* pode ser expresso por:

$$\frac{U(z^{-1})}{E(z^{-1})} = K_p + \frac{K_i}{1-z^{-1}} = \frac{(K_p + K_i) - K_p z^{-1}}{1-z^{-1}} \quad (5.34)$$

Para (ROLIM; DA COSTA; AREDES, 2006), um sistema *PLL* bem projetado deve atender aos seguintes critérios:

- $\xi \approx 0,707$ para ótima resposta a transientes;
- Largura de banda estreita (baixo ω_n) para melhorar a rejeição de ruído, a fim de produzir um sinal de saída puramente senoidal mesmo na presença de harmônicos de entrada.

Adotando um ω_n igual a 100 Hz e um ξ igual a 0,707, ganhos K_p e K_i do controlador PI podem ser calculados a partir das equações.

$$K_i = \omega_n^2 = 1000 \quad (5.35)$$

$$K_p = 2\xi\sqrt{K_i} = 141,4 \quad (5.36)$$

Para discretizar o controlador PI do circuito *q-PLL*, o termo proporcional não se altera e o termo integrador leva em conta a taxa de amostragem, como mostrado a seguir:

$$K_{id} = \omega_n^2 \cdot T_{sample} = 1000 \cdot 25\mu s = 0,025 \quad (5.37)$$

$$K_{pd} = K_p = 2\xi\sqrt{K_i} = 141,4 \quad (5.38)$$

5.5 Considerações Finais

Neste capítulo foi descrito os sensores, filtros *anti-aliasings* e o projeto dos controladores empregados das diversas malhas necessárias para o funcionamento do conversor proposto.

Com exceção da malha de controle da corrente de entrada todas as outras malhas foram projetadas no domínio discreto alocando polos e zeros de forma interativa com o auxílio da ferramenta *SISOTOOL* do *software* MATLAB®. A malha da corrente de entrada foi projetada no domínio da frequência e posteriormente discretizada pelo método *Tustin*. Foi possível observar por meio dos diagramas de *Bode* e as repostas ao degrau que a metodologia alcançou o objetivo especificado.

6 RESULTADOS DE SIMULAÇÃO

Com o objetivo de validar o funcionamento do conversor foram feitos testes preliminares em simulação no *software PSIM®* para dar mais segurança antes da experimentação em bancada. As especificações para a simulação do conversor são apresentadas na Tabela 18.

Os testes de simulação foram divididos em ensaios em regime permanente e ensaios dinâmicos. Nos testes em regime permanente o conversor opera em condições nominais de funcionamento e os ensaios dinâmicos foram divididos em testes com degrau de carga de 50% para 100% e testes fazendo a inversão de fluxo de potência, ou seja, o conversor começa funcionando como um retificador drenando corrente da rede e depois é feita a inversão do fluxo de potência fazendo com que o conversor passe a operar como um inversor injetando corrente da rede.

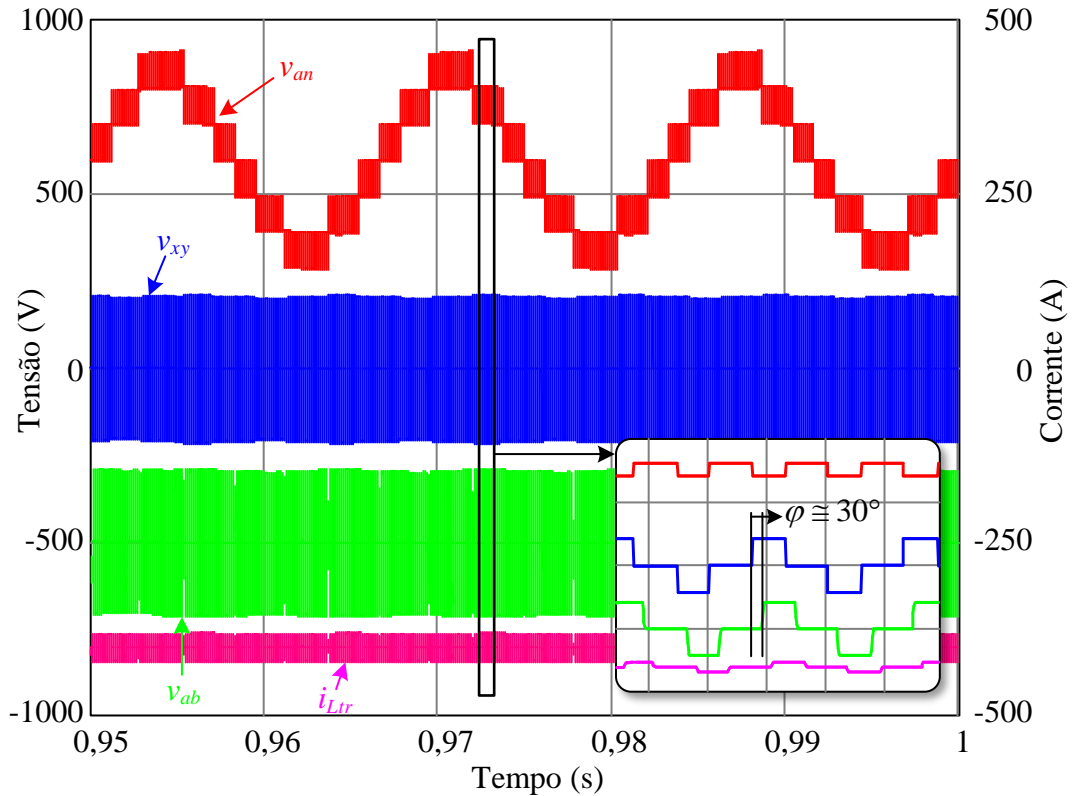
Tabela 18 - Especificações do protótipo.

Especificações	Valores
Potência de saída	1500 W
Tensão de saída	300 V
Tensão eficaz de entrada	165 V
Relação de transformação do transformador	1:1,45
Frequência de chaveamento	5 kHz
Frequência CA	60 Hz
Número de submódulos	4
Índice de modulação m_{van}	0,56
Tensão CC por submódulo	206,7 V
Capacitância por submódulo	1100 μ F
Indutância de entrada L_i	500 μ H
Indutância de transferência de energia L_{tr}	50 μ H

Fonte: Próprio autor.

A Figura 51 apresenta as formas de onda das tensões v_{an} , v_{xy} , v_{ab} e corrente no lado secundário do transformador i_{Ltr} . A tensão v_{an} tem um valor eficaz de 169,99 V, tensão v_{xy} tem um valor eficaz de 127,53 V, a tensão v_{ab} produzida pelo submódulo ligado a porta CC do conversor tem um valor eficaz de 183,33 V e a corrente i_{sec} tem um valor eficaz de 8,19 A. A defasagem da tensão v_{ab} é de cerca de 30° com relação a v_{xy} , a fim de transferir a energia da rede para a carga. Para a melhor representação das formas de onda, as mesmas foram deslocadas no eixo horizontal por meio de valores de *off-set*. Para a tensão v_{an} é adicionado 600 V, v_{xy} encontra-se no eixo 0 V, v_{ab} é adicionado -500 V e i_{Ltr} é adicionado -400 A.

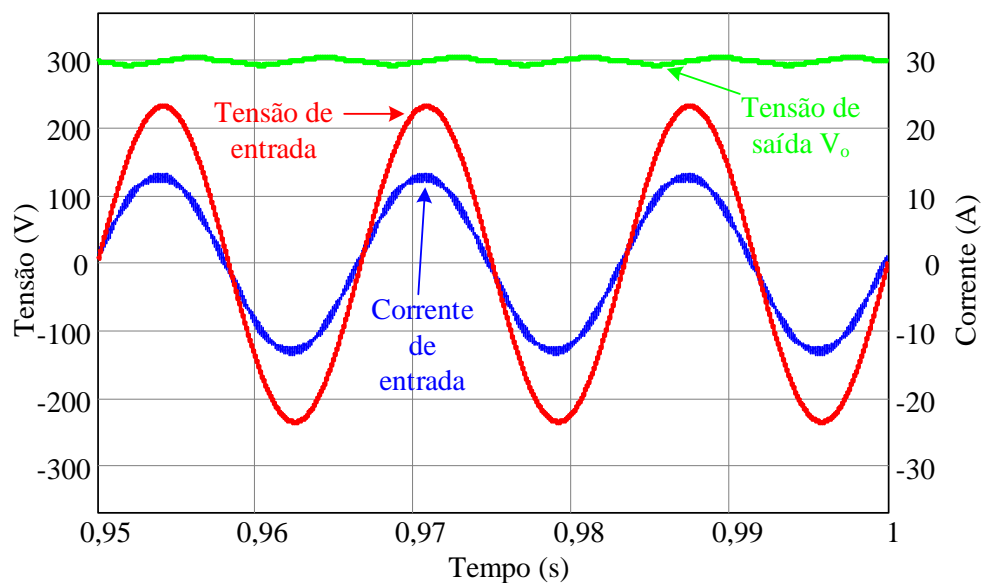
Figura 51 - Formas de onda da tensão v_{an} , tensão v_{xy} , tensão v_{ab} e corrente i_{Ltr} .



Fonte: Elaborada pelo autor.

A Figura 52 apresenta a corrente de entrada senoidal com o valor eficaz de 9,14 A e em fase com a tensão da rede com valor eficaz de 165 V apresentando um fator de potência de 0,996 e uma taxa de distorção harmônica de 2,84%. A tensão de saída apresenta um valor eficaz de aproximadamente 299,99 V.

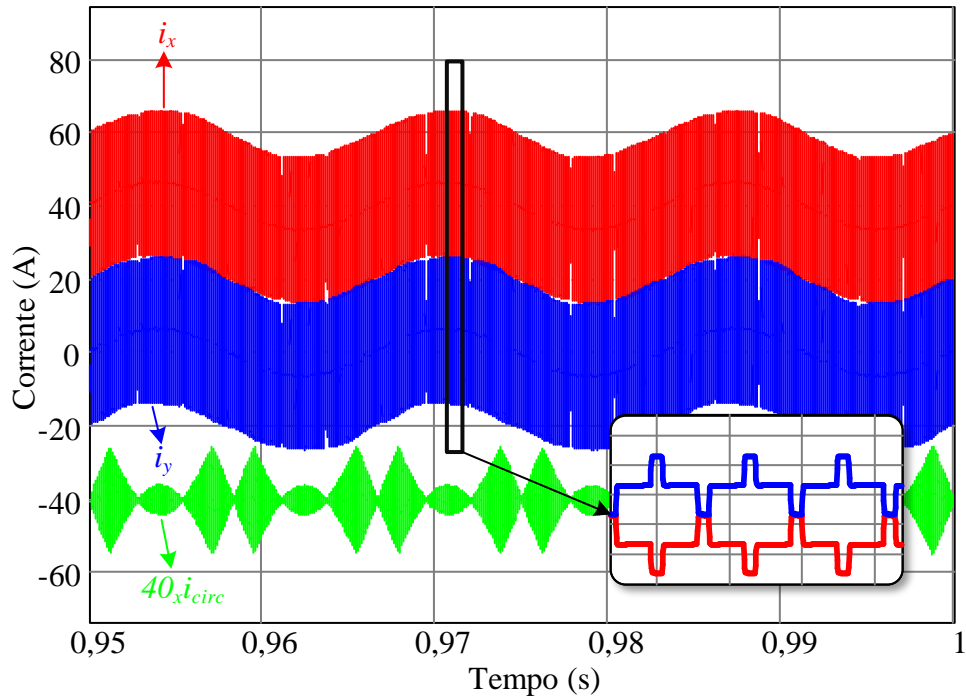
Figura 52 - Tensão de entrada, corrente de entrada e tensão de saída.



Fonte: Elaborada pelo autor.

A Figura 53 apresenta a corrente de circulação i_{circ} com o valor médio em torno de zero.

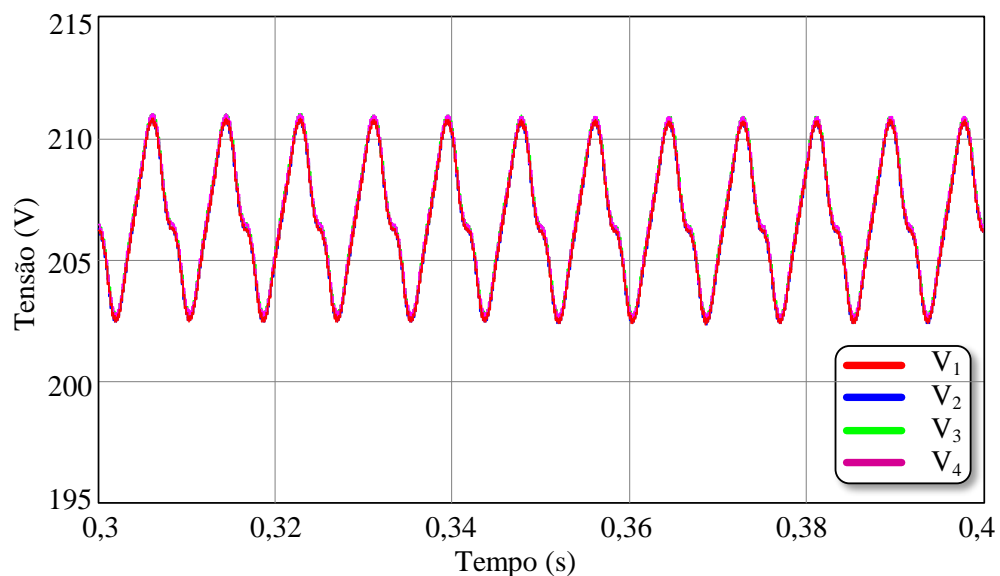
Figura 53 - Correntes i_x , i_y e corrente de circulação i_{circ} .



Fonte: Elaborada pelo autor.

A Figura 54 apresenta as tensões CC dos barramentos de cada submódulo em regime permanente. As tensões de cada submódulo apresentaram um valor eficaz aproximado de 206,64 V e uma ondulação de tensão de 3,96%.

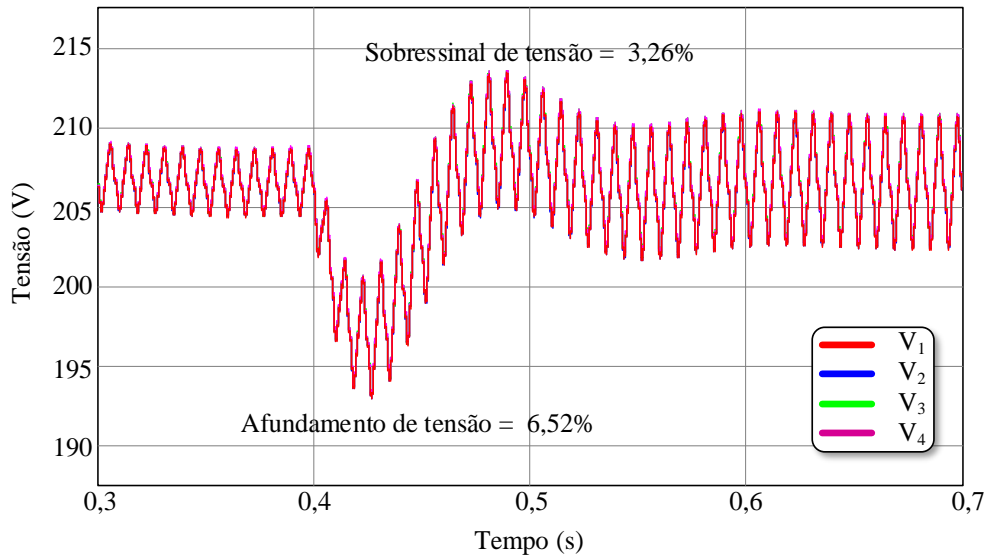
Figura 54 - Tensão CC nos capacitores de cada submódulo.



Fonte: Elaborada pelo autor.

A Figura 55 apresenta as tensões CC de cada submódulo durante um degrau de 50% para 100% de carga. O degrau é aplicado em 0,4 s, o tempo de acomodação é de 200 ms apresentando um afundamento de tensão da ordem de 6,52% e um sobressinal de 3,26%.

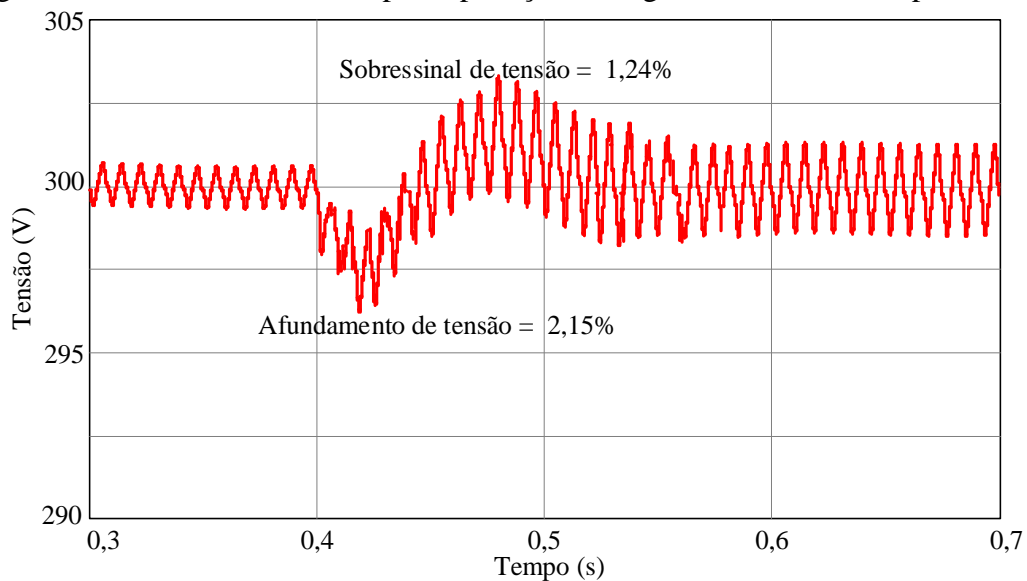
Figura 55 - Tensão CC nos capacitores de cada submódulo para aplicação de degrau de carga de 50% para 100%.



Fonte: Próprio autor.

A Figura 56 apresenta a tensão de saída durante o degrau de 50% para 100% de carga. O degrau é aplicado em 0,4s, o tempo de acomodação é de aproximadamente 200 ms e apresentando um afundamento de tensão da ordem de 2,15% e um sobressinal de 1,24%.

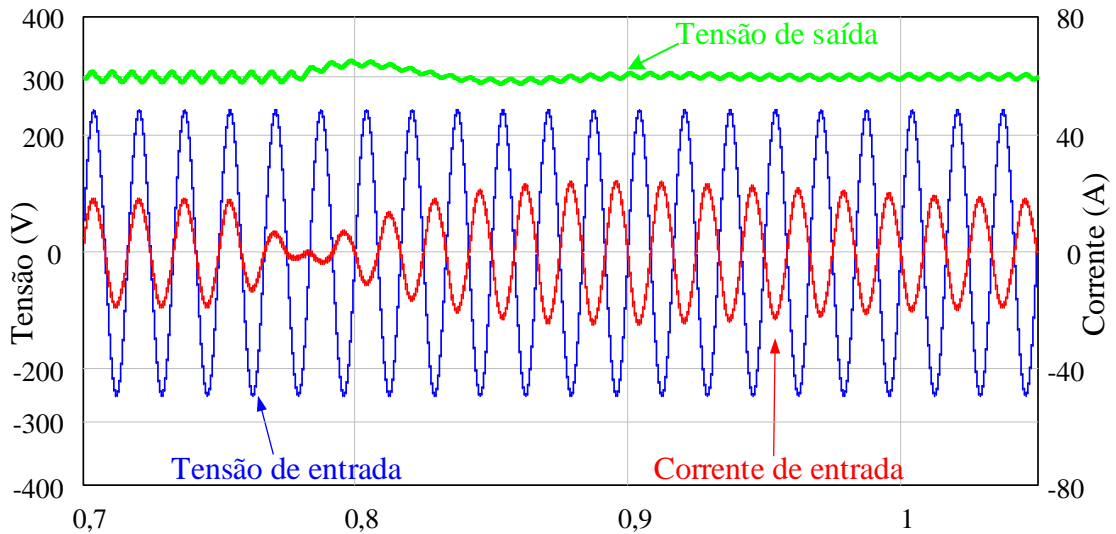
Figura 56 - Tensão CC de saída para aplicação de degrau de carga de 50% para 100%.



Fonte: Próprio autor.

A Figura 57 apresenta a corrente e tensão de entrada durante a inversão do fluxo de potência no instante $t=0,750$ s. A partir do instante t o fluxo de potência é invertido fazendo com que a fonte de tensão ligada ao conversor do lado secundário do conversor passe a fornecer energia para a fonte (rede elétrica) conectada na entrada do conversor. Nota-se que a corrente apresenta um tempo de acomodação de 200 ms.

Figura 57 - Tensão de entrada, corrente de entrada e tensão de saída durante inversão do fluxo de potência.



Fonte: Próprio autor.

6.1 Considerações Finais

Os principais resultados de simulação são apresentados a fim de validar o funcionamento do conversor e sua modelagem. Para os ensaios em regime permanente foi visto que as formas de onda da tensão de entrada, corrente de entrada, tensão multinível, corrente e tensão no transformador tiveram um comportamento satisfatório. Foi obtido um fator de potência de 0,996 e uma taxa de distorção harmônica total de 2,84%.

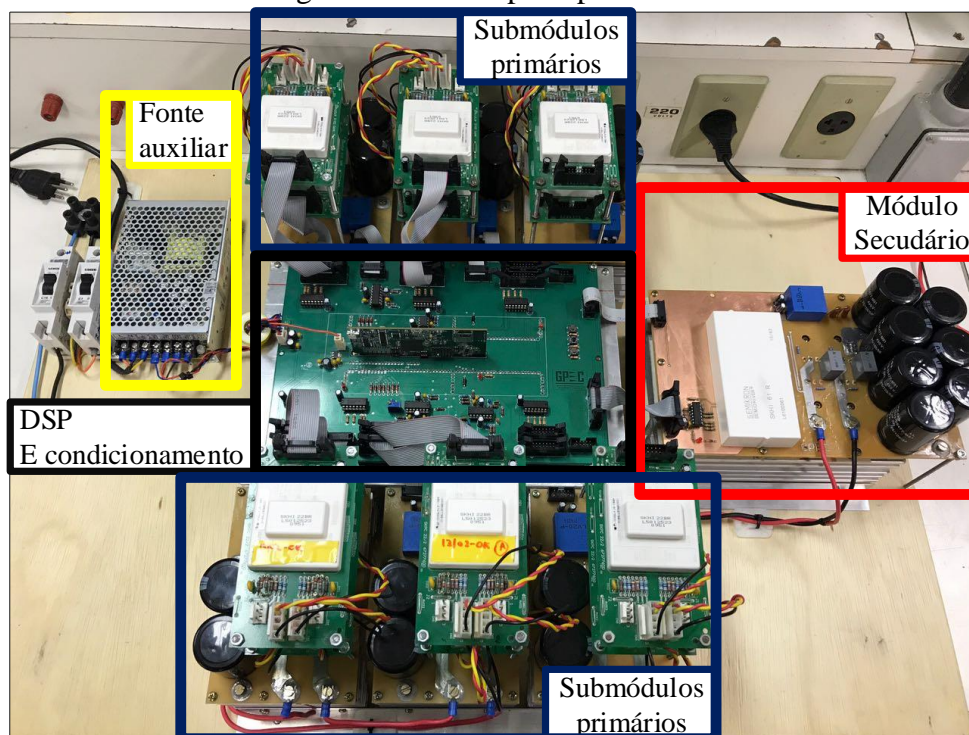
Os ensaios com aplicação de degrau de carga e inversão do fluxo de potência foram validados de forma satisfatória. Os controladores projetados foram capazes de regular as tensões dos barramentos CC dos submódulos e o barramento CC da tensão de saída, bem como mantiveram a corrente de entrada senoidal e em fase com a tensão de entrada.

7 RESULTADOS EXPERIMENTAIS

Com o objetivo de verificar a operação do conversor proposto e avaliar seu desempenho, foram realizados testes experimentais de acordo com as especificações dadas na Tabela 18. A Figura 58 mostra o protótipo experimental usado para obter os resultados com tensão e potência em escala reduzida do conversor. Como pode ser visto na Figura 58 o protótipo é constituído de seis submódulos ligados ao lado primário do conversor e um único módulo ligado ao lado secundário, a placa central é a placa de condicionamento e filtragem dos sinais dos sensores e os *buffers* para o envio dos sinais *PWMs* para os *drivers* de acionamento dos *IGBTs*. Ao centro da placa de condicionamento, filtragem e *buffer* é encaixada a placa do microcontrolador usado para embarcar todo o controle digital da topologia proposta.

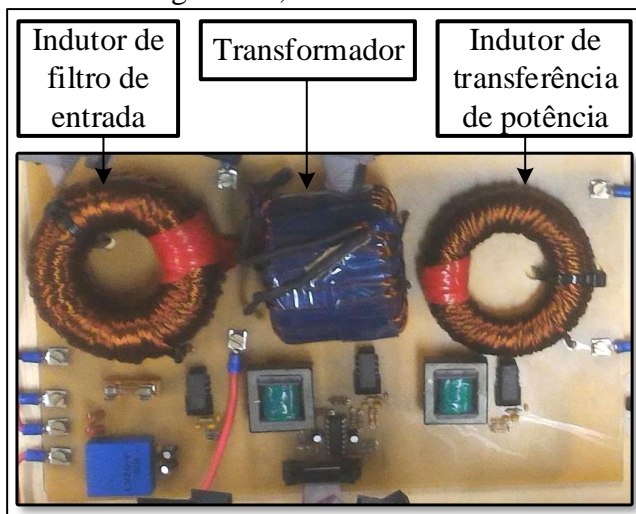
Os elementos magnéticos da topologia proposta, sendo dois indutores e um transformador estão localizados em baixo da estrutura metálica que servi de base para a placa de condicionamento e filtragem e podem ser vistos na Figura 59.

Figura 58 - Protótipo experimental.



Fonte: Próprio autor.

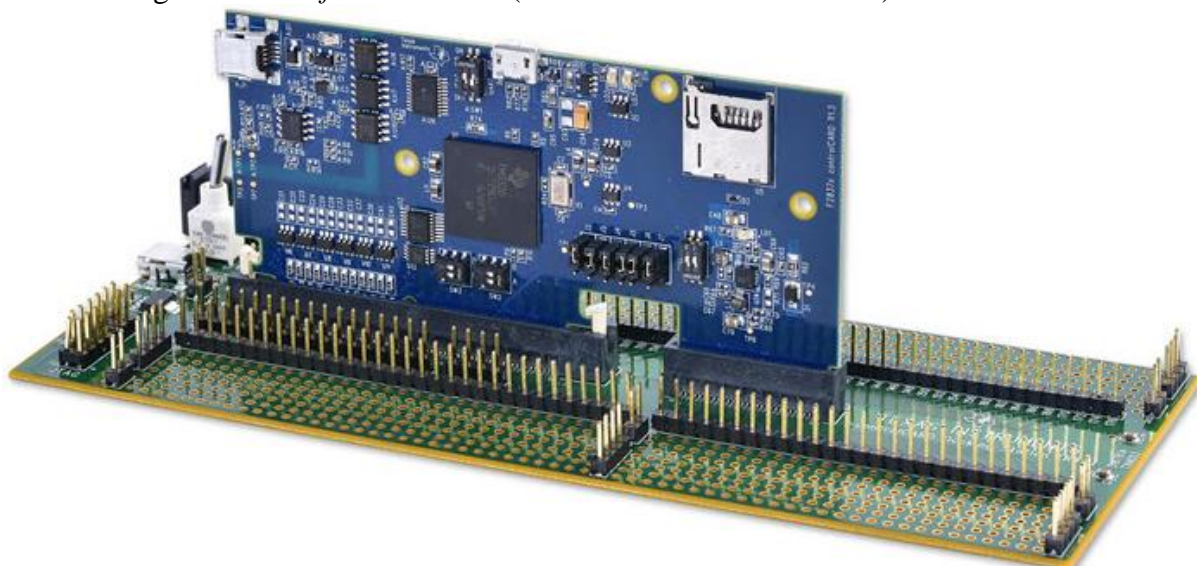
Figura 59 - Placa de elementos magnéticos, sensores de corrente e sensor de tensão de entrada.



Fonte: Próprio autor.

O controle do conversor proposto é realizado pelo microcontrolador *dual-core* da *Texas Instruments* TMS320F28379D. Na Figura 60 apresenta-se a placa do “*Delfino F28379D* 180 pinos”, onde já está o circuito de gravação (*boot loader*) e *debug* (*JTAG*) encaixada na *dock-station* utilizada para ter acesso aos pinos de entrada e saída. O código em linguagem C implementado neste microcontrolador pode ser visto na íntegra no Apêndice B.

Figura 60 - *Delfino F28379D* (com *MCU* TMS320F2879D) e *dock-station*.



Fonte: Próprio autor.

Como principais características deste microcontrolador destacam-se:

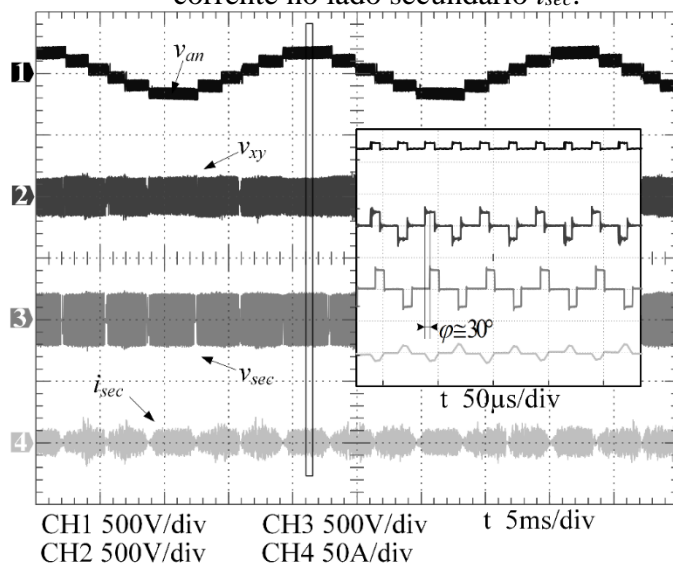
- Arquitetura *dual-core* com processadores de 32 bits / 200 MHz;
- Operação com ponto flutuante (*IEE 754*);

- Unidade trigonométrica matemática (*TMU*) e unidade complexa matemática (*VCU-II*) implementada em *hardware*;
- 172KB ou 204KB de memória *RAM*; e 512KB ou 1MB de memória *Flash*;
- Alimentação de 3,3 volts e 169 pinos de entrada/saída (*I/O*);
- Comunicação: USB 2.0; 2xCAN-Bus; 3xSPI; 2xSerial; 4xSCIs; e 2xI²C;
- 3 buffers digital-analógicos de 12 bits;
- 6 módulos de captura (eCAP);
- 4 módulos *ADCs*, com *sample-hold* individuais (máximo 16 leituras *AD*, sendo amostrada simultaneamente de 4 em 4), podendo ser configurado: 12 canais (16 bits/1,1 MSPS/Diferencial); ou 24 canais (12 bits/3,5 MSPS/Single);
- 12 módulos *PWMs* individuais de uso geral (*ePWM*), ou 6 módulos *PWMs* de alta resolução (*HPWM*);

Os testes experimentais foram divididos em ensaios em regime permanente e ensaios dinâmicos. Nos testes em regime permanente o conversor opera em condições nominais de funcionamento e os ensaios dinâmicos foram divididos em testes com degrau de carga de 50% para 100% e testes fazendo a inversão de fluxo de potência, ou seja, o conversor começa funcionando como um inversor injetando corrente na rede e depois é feita a inversão do fluxo de potência fazendo com que o conversor passe a operar com retificador drenando a corrente da rede. Os resultados experimentais foram obtidos com a utilização de uma fonte de tensão de 165 V_{rms} na porta CA e com tensões de submódulos controladas em 206,7 V. Na porta CC utilizou-se uma carga resistiva para o teste de controle dinâmico, e uma fonte de 300V para o teste de inversão de fluxo de potência.

A Figura 61 mostra as formas de onda das tensões v_{an} (CH1), v_{xy} (CH2), v_{sec} (CH3) e corrente no lado secundário do transformador i_{sec} (CH4). A tensão v_{an} tem um valor eficaz de 170,23 V, tensão v_{xy} tem um valor eficaz de 131,2 V, a tensão v_{sec} produzida pelo submódulo ligado a porta CC do conversor tem um valor eficaz de 184,85 V e a corrente i_{sec} tem um valor eficaz de 11 A. A defasagem da tensão v_{sec} é de cerca de 30° com relação a v_{xy} , a fim de transferir a energia da rede para a carga.

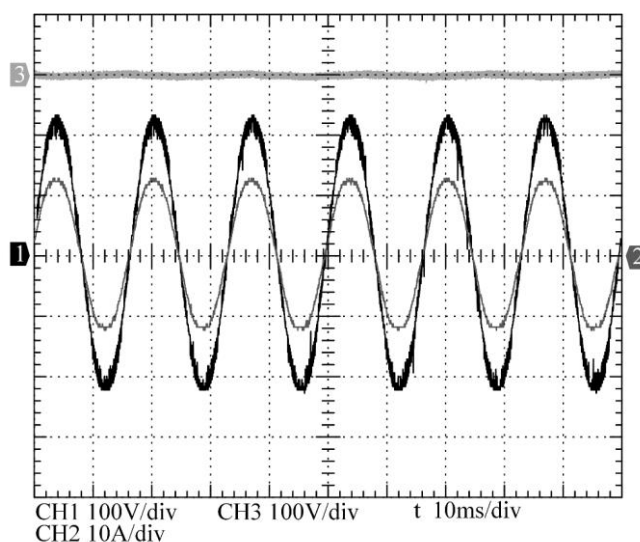
Figura 61 - Tensão v_{an} (CH1), tensão v_{xy} (CH2), tensão no lado secundário v_{sec} (CH3) e corrente no lado secundário i_{sec} .



Fonte: Próprio autor.

A Figura 62 mostra a tensão da porta CA (CH1), cujo valor eficaz é de 165 V. A corrente de entrada (CH2) tem um valor eficaz de 11,36 A, estando em fase com a tensão da rede, sendo sua respectiva distorção harmônica total (THD) igual para 3,64% e fator de potência igual a 0,99. Além disso, a tensão da porta CC (CH3) tem um valor eficaz de 300 V. Para uma potência de saída de 1500 W, a potência de entrada do conversor é de 1687 W, enquanto a eficiência é de 87,5%.

Figura 62 - Tensão da rede (CH1), corrente de entrada (CH2) e tensão de saída CC (CH3).

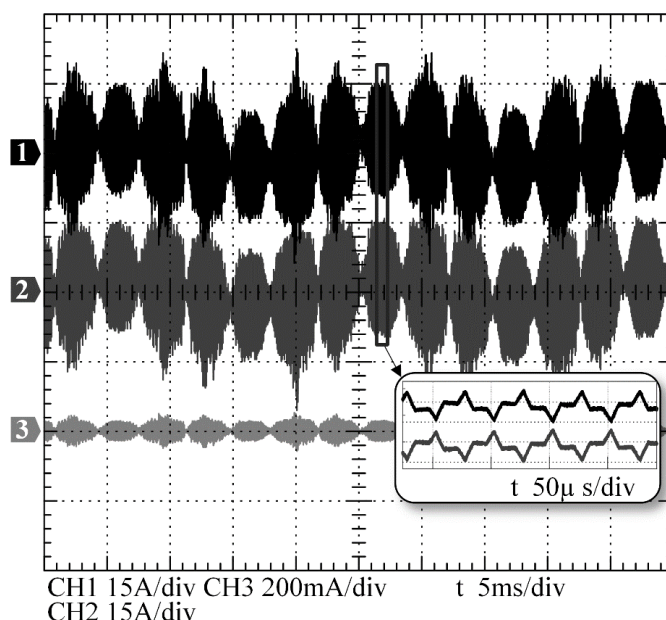


Fonte: Próprio autor.

A Figura 63 mostra a corrente i_x no módulo superior, a corrente i_y no módulo inferior e também a corrente circulante. As correntes i_x (CH1) e i_y (CH2) possuem valores eficazes de 13,5 A, mas a corrente de circulação (CH3) possui um valor médio próximo a zero, o que garante que não ocorra saturação do transformador. As correntes i_x e i_y estão em fase uma com a outra em baixa frequência e defasadas em 180° em alta frequência.

A Figura 64 apresenta as tensões nos capacitores dos quatro submódulos durante um degrau de carga de 50% para 100% que ocorre em $t = 490 \text{ ms}$. Observou-se um afundamento de tensão de aproximadamente 7,07%.

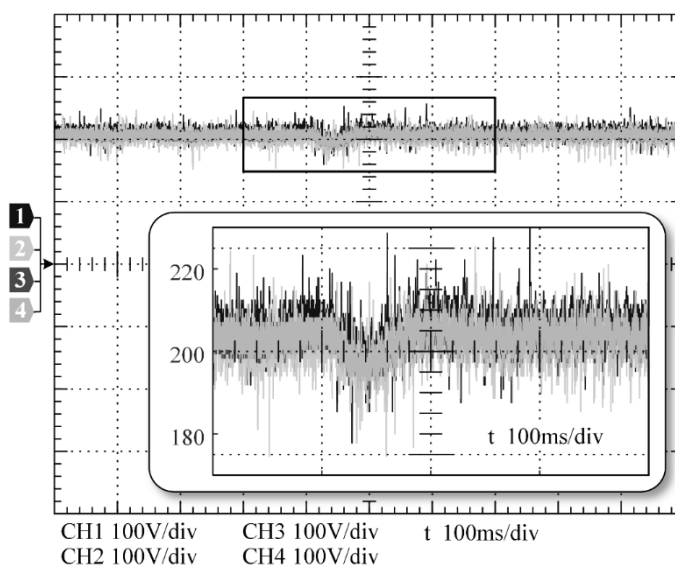
Figura 63 - Corrente i_x (CH1) no módulo do lado superior, corrente i_y (CH2) no módulo do lado inferior e corrente circulante (CH3).



Fonte: Próprio autor.

A Figura 65 mostra a tensão da porta CC durante o degrau crescente de carga de 50% para 100%, que ocorre em $t = 400 \text{ ms}$ resultando em uma queda de tensão de cerca de 6,66%.

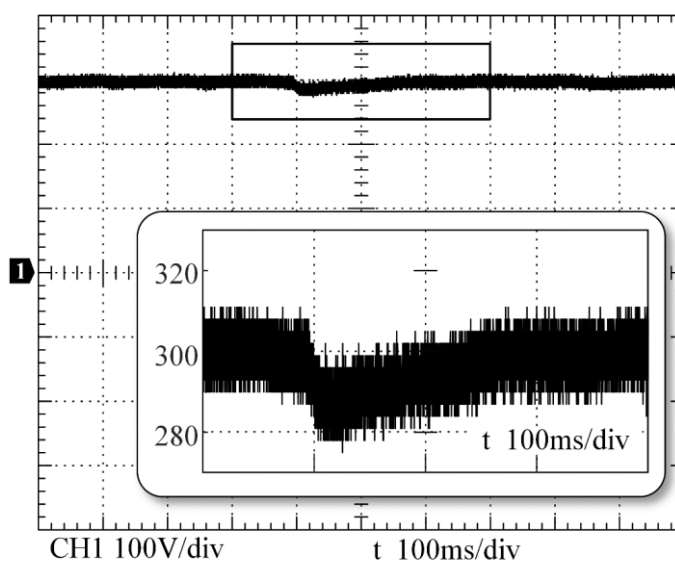
Figura 64 - Tensões nos capacitores do submódulos durante degrau de carga de 50% para 100%.



Fonte: Próprio autor.

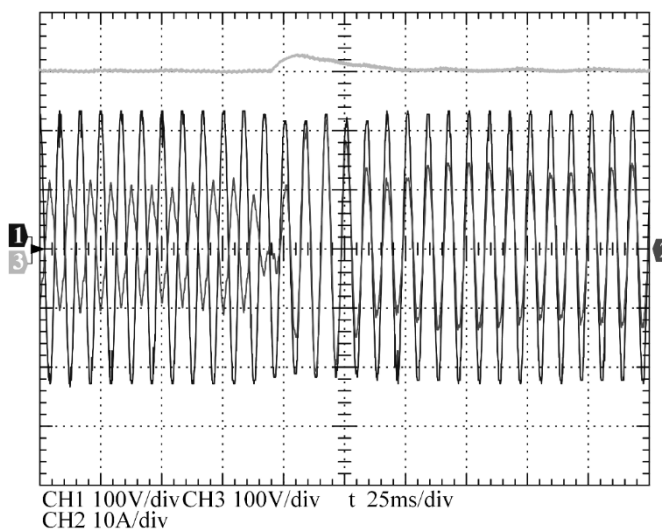
A Figura 66 apresenta a tensão e a corrente da porta CA (CH1) e (CH2), respectivamente é a tensão da porta CC (CH3) durante a inversão do fluxo de energia, que ocorre durante a transição do modo inversor para o modo retificador. Nota-se um atraso de seis a sete ciclos para atingir a condição de estado estacionário. A tensão da porta CC apresenta um sobressinal de 7,66%.

Figura 65 - Tensão na porta CC durante degrau de carga de 50% para 100%.



Fonte: Próprio autor.

Figura 66 - Tensão da porta CA (CH1), corrente da porta CA (CH2) e tensão da porta CC (CH3) durante a inversão do fluxo de energia.



Fonte: Próprio autor.

7.1 Considerações Finais

Neste capítulo foram apresentados os resultados experimentais obtidos com o protótipo montado em laboratório. Esses resultados foram coerentes com os resultados obtidos em simulação e com a análise teórica.

Foram feitos testes em regime permanente mostrando as principais formas de ondas relacionadas ao conversor bem como o estudo dinâmico, por meio de degraus de carga, validando as malhas de controle projetadas. A bidirecionalidade do conversor proposto foi comprovada por meio de um degrau de inversão do fluxo de potência.

O rendimento obtido está coerente com as perdas demonstradas no capítulo 3 mostrando que seria possível obter um maior rendimento com o uso de semicondutores de melhor qualidade.

8 CONCLUSÃO

Este trabalho apresentou um conversor CA-CC baseado bidirecional baseado no conversor modular multinível. A análise teórica e os resultados experimentais para a validação da topologia foram apresentados e discutidos. Os resultados experimentais demonstraram que um fator de potência elevado, isto é, 0,99 e uma baixa distorção harmônica da corrente de entrada, isto é, 3,64%. Considerando que as perdas referentes aos elementos passivos e aos semicondutores conectados no lado da porta CC do conversor foram negligenciadas na estimativa das perdas teóricas, uma eficiência de 87,5% obtida experimentalmente mostrando-se coerentes. Embora seja considerado um valor baixo para SST, essa limitação pode ser superada com o uso de semicondutores com características melhores. Dessa forma, o estudo demonstra a possibilidade de utilização em soluções que exigem transformadores de estado sólido, como um estágio CA-CC, para a aplicação em tração ferroviária.

A partir dos resultados obtidos no estudo desse conversor é possível observar que ele apresenta as características necessárias para a aplicação em um transformador de estado sólido. Dentre elas pode-se citar a operação com alto fator de potência, baixo *THD* de corrente, isolamento galvânica entre suas portas, bidirecionalidade no fluxo de potência e uma estrutura modular capaz de operar em elevadas tensões através da divisão dos esforços nos semicondutores.

Como principal contribuição desse trabalho, destaca-se o equacionamento do modelo completo do conversor. A modelagem foi validada através da simulação e do protótipo sendo obtidos resultados semelhantes. Pode-se citar também a análise da ondulação de corrente normalizada do indutor de entrada que demonstrou que o embora possa diminuir o THD de corrente com o aumento do número de níveis de tensão no indutor a ondulação normalizada chega a um valor que independe do número de níveis de tensão. Por fim a implementação.

Trabalhos futuros incluem a substituição da técnica *PS-PWM* para modulação por vetores de espaço (*Space Vector Pulse Width Modulation - SVPWM*) ou outras abordagens com portadoras que podem ser empregadas com sinal de modulação descontínuo, testar diferentes estratégias de controle, alterar a topologia do conversor do lado secundário para que a obtenção de mais níveis de tensão, alterar a topologia do conversor do lado secundário no intuito de modificar a topologia obtendo um conversor CA-CA de único estágio ou estágio integrado, etc.

8.1 Publicações

Até o presente momento, foram publicados artigos científicos e apresentados em congressos internacionais e um artigo publicado em revista internacional Qualis A2.

Artigos em congresso:

- 2015 Congresso Brasileiro em Eletrônica de Potência *SPEC* (COBEP 2015) – “*Bidirectional AC-DC Modular Multilevel Converter Based on Three-State Switching Cells*”.
- 2016 12th *IEEE International Conference on Industry Applications* – “*Bidirectional modular multilevel PFC rectifier based on cascading full-bridge and interleaving technique suitable for SST applications*”.
- 2016 12th *IEEE International Conference on Industry Applications* – “*Three-phase AC-DC solid-state transformer for low-voltage DC power distribution applications*”.

Artigo publicado em revista:

IEEE ACCESS – “*An AC-DC Isolated MMC-based Structure Suitable for MV SST Traction Applications*”.

REFERÊNCIAS

ABDEL-QAWEE, I. et al. Closed-loop control of single phase selective harmonic elimination PWM inverter using proportional-resonant controller. In: Modelling, Identification & Control (ICMIC), 2013 Proceedings of International Conference on, 2013. Aug. 31 2013-Sept. 2 2013. p.169-174.

AKAGI, H. Classification, Terminology, and Application of the Modular Multilevel Cascade Converter (MMCC), in IEEE Transactions on Power Electronics, vol. 26, no. 11, pp. 3119-3130, Nov. 2011.

ALMEIDA, B. R. **Conversor CA-CC trifásico de único estágio, bidirecional, isolado em alta frequência, com correção de fator de potência.** 2016. 191 f. Tese (Doutorado em Engenharia Elétrica) Departamento de Engenharia Elétrica, Universidade Federal do Ceará, Fortaleza, 2016.

BARBI, Ivo; MARTINS, Denizar Cruz. Introdução ao estudo dos conversores CC-CA. Edição dos autores, 2005.

BARANWAL, R. et al. A Dual-Active-Bridge-Based Single-Phase AC to DC Power Electronic Transformer With Advanced Features. **IEEE Transactions on Power Electronics**, v. 33, n. 1, p. 313-331, Jan. 2018.

BARAZARTE, R. Y.; GONZALEZ, G. G.; EHSANI, M. Generalized Gyrator Theory, in IEEE Transactions on Power Electronics, vol. 25, no. 7, pp. 1832-1837, Julho 2010, doi: 10.1109/TPEL.2010.2042820.

BARRETO L. H. S. C.; HONÓRIO, D. A., OLIVEIRA, D.; PRAÇA, P. P. An Interleaved-Stage AC-DC Modular Cascaded Multilevel Converter as a Solution for MV Railway Applications, in IEEE Transactions on Industrial Electronics, vol. 65, no. 4, pp. 3008-3016, April 2018.

BASCOPE, G. V. T.; BARBI, I. Generation of a family of non-isolated DC-DC PWM converters using new three-state switching cells. 2000 IEEE 31st Annual Power Electronics Specialists Conference. **Conference Publications...** (Cat. No.00CH37018), Galway, 2000, v. 2, p. 858-863.

BASCOPE, Grover Torrico. Nova Família de Conversores CC-CC PWM não Isolados Utilizando Células de Comutação de Três Estados. Tese (Doutorado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis - SC, 2001.

BHATTACHARYA, S.; DIVAN, D. Synchronous frame based controller implementation for a hybrid series active filter system. Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., **Conference Publications...**, Orlando, FL, 1995, v. 3, p. 2531-2540.

BIELA, J. et al. Optimal design of a 5kW/dm³ / 98.3% efficient TCM resonant transition single-phase PFC rectifier. The 2010 International Power Electronics Conference - ECCE ASIA - **Conference Publications...**, Sapporo, 2010, p. 1709-1716.

BIFARETTI, S. et al. Advanced power electronic conversion and control system for universal and flexible power management. **IEEE Transactions on Smart Grid**, v. 2, n. 2, p. 231-243, 2011. ISSN 1949-3053.

BROOKS, J. L. **Solid state transformer concept development**. Naval Construction Battalion Center. Port Hueneme, CA. 1979.

BUSO, Simone; MATTAVELLI, Paolo. Digital control in power electronics. Lectures on power electronics, v. 1, n. 1, p. 1-158, 2006.

CASANELLAS, F. Losses in PWM inverters using IGBTs. **IEE Proceedings - Electric Power Applications**, v. 141, n. 5, p. 235-239, Sep. 1994.

CH, Anil Bharadwaj et al. Modular Multilevel Converter based STATCOM with Hybrid Energy Storage System Considering Unbalanced Loading Condition. In: 2020 IEEE 9th Power India International Conference (PIICON). IEEE. p. 1-6.

COUGO, B.; FRIEDLI, T.; BOILLAT, D. O.; KOLAR, J. W. Comparative Evaluation of Individual and Coupled Inductor Arrangements for Input Filters of PV Inverter Systems, 2012 7th International Conference on Integrated Power Electronics Systems (CIPS), Nuremberg, 2012, pp. 1-8.

CÚNICO, L. M.; DE NOVAES, Y. R.; OLIVEIRA, S. V. Modelagem e controle de corrente do conversor modular multinível (M2LC). XIX Congresso Brasileiro de Automtica CBA2012, 2012.

DONCKER, R. W. A. A.; DIVAN, D. M.; KHERALUWALA, M. H. A three-phase soft-switched high-power-density DC/DC converter for high-power applications. **IEEE Transactions on Industry Applications**, v. 27, n. 1, p. 63-73, Jan./Feb. 1991.

DRAGICEVIC, T. et al. Advanced LVDC Electrical Power Architectures and Microgrids: A step toward a new generation of power distribution networks. **IEEE Electrification Magazine**, v. 2, n. 1, p. 54-65, 2014. ISSN 2325-5897.

ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of Power Electronics**. 2^a ed. New York. Kluwer Academic Publishers. 2005.

EVERTS, J. et al. Optimal ZVS modulation of single-phase single-stage bidirectional DAB ac-dc converters. **IEEE Trans. Power Electron.**, v. 29, n. 8, p. 3954-3970, Aug. 2014a.

EVERTS, J. et al. Comparative evaluation of soft-switching, bidirectional, isolated AC/DC converter topologies. 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Orlando, FL, **Conference Publications...** 2012, p. 1067-1074.

EVERTS, J. **Modeling and Optimization of Bidirectional Dual Active Bridge AC-DC Converter Topologies** 2014. 360 f. Tese (Doctor in Engineering Science) Arenberg Doctoral School, Faculty of Engineering Science, Heverlee, 2014b.

FALCONES, S.; XIAOLIN, M.; AYYANAR, R. Topology comparison for Solid State Transformer implementation. Power and Energy Society General Meeting, 2010 IEEE, **Conference Publications...** 2010. 25-29 July 2010. p.1-8.

FAN, H.; LI, H. High-Frequency Transformer Isolated Bidirectional DC–DC Converter Modules With High Efficiency Over Wide Load Range for 20 kVA Solid-State Transformer. **IEEE Transactions on Power Electronics**, v. 26, n. 12, p. 3599-3608, Dec. 2011.

FENG, J. et al. Power Electronic Transformer-Based Railway Traction Systems: Challenges and Opportunities. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 5, n. 3, p. 1237-1253, Sept. 2017.

FITZGERALD, A. E.; KINGSLEY, C.; UMANS, S. D. **Máquinas Eléctricas**. São Paulo: Bookman, 2006.

GLINKA, M.; MARQUARDT, R. A new AC/AC-multilevel converter family applied to a single-phase converter. *The Fifth International Conference on Power Electronics and Drive Systems, 2003. PEDS 2003*. Vol. 1. IEEE, 2003.

GLINKA, M.; MARQUARDT, R. A new AC/AC multilevel converter family. **IEEE Transactions on Industrial Electronics**, v. 52, n. 3, p. 662-669, June 2005

GLINKA, M. Prototype of multiphase modular-multilevel-converter with 2 MW power rating and 17-level-output-voltage. 2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551), **Conference Publications...**, 2004, v.4, p. 2572-2576.

GUO, Peng et al. Analysis and control of modular multilevel converter with split energy storage for railway traction power conditioner. *IEEE Transactions on Power Electronics*, v. 35, n. 2, p. 1239-1255, 2019.

HEINEMANN, L.; MAUTHE, G. The universal power electronics based distribution transformer, an unified approach. Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual, 2001, 2001. p.504-509 vol.2.

HILLERS, A.; BIELA, J. Optimal design of the modular multilevel converter for an energy storage system based on split batteries. *Power Electronics and Applications (EPE), 2013 15th European Conference on*, 2013, IEEE. p.1-11.

HOLMES, D. G.; LIPO, T. A. **Introduction to Power Electronic Converters. Pulse Width Modulation for Power Converters: Principles and Practice**, Wiley-IEEE Press, 2003, p. 744-

HONORIO, D. D. A. et al. A Space Vector PWM scheme for a Single-stage Ac-Dc Modular Cascaded Multilevel Converter 2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC), **Conference Publications...** Fortaleza, 2015, p. 1-6.

HONÓRIO, D.; OLIVEIRA, D.; BARRETO, L. H. An AC-DC Multilevel Converter Feasible to Traction Application, *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Geneva, 2015, pp. 1-9.

HUANG, A. Q. et al. 15 kV SiC MOSFET: An enabling technology for medium voltage solid state transformers. **CPSS Transactions on Power Electronics and Applications**, v. 2, n. 2, p. 118-130, 2017.

HUANG, A. Q.; BURGOS, R. Review of Solid-State Transformer Technologies and Their Application in Power Distribution Systems. **Emerging and Selected Topics in Power Electronics IEEE Journal**, v. 1, n. 3, p. 186-198, Sept. 2013

HUBER, J. E.; KOLAR, J. W. Solid-state transformers: On the origins and evolution of key concepts. **IEEE Industrial Electronics Magazine**, v. 10, n. 3, p. 19-28, 2016.

HUBER, J. E.; KOLAR, J. W. Applicability of Solid-State Transformers in Today's and Future Distribution Grids, *IEEE Trans. on Smart Grid*, vol. 10, no. 1, pp. 317-326, Jan. 2019.

HUNAG, A. Q. Medium-Voltage Solid-State Transformer: Technology for a Smarter and Resilient Grid, in *IEEE Industrial Electronics Magazine*, vol. 10, no. 3, pp. 29-42, Sept. 2016.

IEC. IEC 61000-3-2: Electromagnetic Compatibility (EMC) – Part 3: Limits – Section 2: Limits for Harmonic Current Emissions (Equipment input current < 16 A per phase). INTERNATIONAL ELECTROTECHNICAL COMMISSION. Emenda A14 2001.

Infineon IGBT IRGP4063D Datasheet: Insulated Gate Bipolar Transistor with ultrafast soft recovery diode. 2013. Disponível em: < <https://www.infineon.com/dgdl/Infineon-IRGP4063D-DataSheet-vNA-EN.pdf?fileId=5546d462533600a401535655ee0c2450> > Acesso em: 7 de dez. de 2016.

Infineon IGBT IRGP50B60PD1 Datasheet: Insulated Gate Bipolar Transistor with ultrafast soft recovery diode. 2013. Disponível em: < <https://www.infineon.com/dgdl/Infineon-IRGP50B60PD1-DataSheet-vNA-EN.pdf?fileId=5546d462533600a401535655ee0c2450> > Acesso em: 7 de dez. de 2016.

JAUCH, F.; BIELA, J. Combined Phase-Shift and Frequency Modulation of a Dual-Active-Bridge AC–DC Converter With PFC. **IEEE Transactions on Power Electronics**, v. 31, n. 12, p. 8387-8397, Dec. 2016.

JAUCH, F.; BIELA, J. Single-phase single-stage bidirectional isolated ZVS AC-DC converter with PFC. Proc. 15th Int. Power Electron. Motion Control Conf., **Conference Publications...** p. LS5d.1-1-LS5d.1-8, 2012.

JOCA, D. R. et al. A single-phase isolated AC-DC converter using an interleaved MMC. 2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC), 2015, Nov. 29 2015-Dec. 2 2015. p.1-6.

KASPER, M. et al. Hardware verification of a hyper-efficient (98%) and super-compact (2.2kW/dm³) isolated AC/DC telecom power supply module based on multi-cell converter approach. Applied Power Electronics Conference and Exposition (APEC) 2015 IEEE, **Conference Publications...** p. 65-71, 15–19 March 2015.

KIM, H. S. et al. High-Efficiency Isolated Bidirectional AC–DC Converter for a DC Distribution System, **IEEE Transactions on Power Electronics**, v. 28, n. 4, p. 1642-1654, April 2013.

KIM, H. S. et al. High efficiency bidirectional LLC resonant converter for 380V DC power distribution system using digital control scheme. 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Orlando, **Conference Publications...** FL, 2012, p. 532-538.

KONSTANTINOU, G.; POU, J.; CEBALLOS, S.; PICAS, R.; ZARAGOZA, J.; AGELIDIS, V. G. Control of Circulating Currents in Modular Multilevel Converters Through Redundant Voltage Levels, *IEEE Trans. on Power Electronics*, vol. 31, no. 11, pp. 7761-7769, Nov. 2016.

KOLAR, J. W.; ORTIZ, G. Solid State Transformer Concepts in Traction and Smart Grid Applications. (Seminário apresentado no Applied Power Electronic Conference (APEC)). **Conference Publications...** Long Beach, CA. 2013.

KOLAR, J. W; ORTIZ, G. Solid-state-transformers: Key components of future traction and smart grid systems. International Power Electronics Conference (IPEC), Hiroshima. 2014.

KNAAK, H.-J. Modular multilevel converters and HVDC/FACTS: A success story. Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on, 2011, IEEE. p.1-6.

KUO, B. C. **Digital Control Systems**, *Oxford University Press*, 2ª Edição ,2003.

LAI, J.-S. et al. Multilevel intelligent universal transformer for medium voltage applications. Fourtieth IAS Annual Meeting. Conference Record of the 2005 Industry Applications Conference, 2005., 2005, IEEE. p.1893-1899.

LEI, Ming et al. A Single-Phase Five-Branch Direct AC–AC Modular Multilevel Converter for Railway Power Conditioning. *IEEE Transactions on Industrial Electronics*, v. 67, n. 6, p. 4292-4304, 2019.

LIANG, J. et al. Current source modular multilevel converter for HVDC and FACTS. In: 15th European Conference on Power Electronics and Applications (EPE),. [S.l.: s.n.], 2013. p. 1–10.

LISERRE, M. et al. Power routing in modular smart transformers: Active thermal control through uneven loading of cells. **IEEE Industrial Electronics Magazine**, v. 10, n. 3, p. 43-53, 2016.

MALVINO, Albert Paul. **ELETRÔNICA Volume II**. 4ª ed. São Paulo: Makron Books, 1997.

MARXGUT, C.; BIELA, J.; KOLAR, J. W. Interleaved Triangular Current Mode (TCM) resonant transition, single phase PFC rectifier with high efficiency and high power density. The 2010 International Power Electronics Conference - ECCE ASIA -, Sapporo, **Conference Publications...** 2010, p. 1725-1732.

MCLYMAN, C. W. T. **Transformer and inductor design handbook**, third edition, California, CRC PRESS, 2004.

MERMET-GUYENNET, M. New power technologies for traction drives, in Int. Symp. Power Electron. Elect. Drives Automation Motion (SPEEDAM), 2010, pp. 719-723.

MUSAVI, F.; EBERLE, W.; DUNFORD, W. G. A high-performance single-phase bridgeless interleaved PFC converter for plug-in hybrid electric vehicle battery chargers. **IEEE Trans. Ind. Appl.**, v. 47, n. 4, p. 1833-1843, Jul./Aug. 2011.

OLIVEIRA FILHO, H. M. Conversor CC-CC trifásico isolado bidirecional com comutação suave utilizando dual phase-shift e razão cíclica variável. 159 f. 2015. Tese (Doutorado em Engenharia Elétrica)-Centro de Tecnologia, Universidade Federal do Ceará, Fortaleza, 2015.

OLIVEIRA, D. S. et al. A bidirectional single stage AC-DC converter with high frequency isolation feasible to DC distributed power systems. 10th IEEE/IAS International Conference on Industry Applications (INDUSCON), **Conference Publications...** 2012, p. 1-7.

OLIVEIRA, D. S. et al. A Single-Stage AC-DC Modular Cascaded Multilevel Converter Feasible to SST Applications. Proceedings of PCIM Europe, **Conference Publications...** 2015;

ORTMANN, M. S.; MUSSA, S. A.; HELDWEIN, M. L. Concepts for high efficiency single-phase three-level PWM rectifiers. IEEE Energy Conversion Congress and Exposition-ECCE, **Conference Publications...** p. 3768-3775, Sept. 2009.

PACHECO, J. O.; BRITO, F. J. B.; OLIVEIRA, D. S. Bidirectional AC-DC modular multilevel converter based on the three-state switching cell. 2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC), **Conference Publications...** Fortaleza, 2015, p. 1-5.

PEREZ, M. et al. Modular multilevel cascaded converter based on current source H-bridges cells. In: IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society. [S.l.: s.n.], 2012. p. 3443–3448. ISSN 1553-572X.

PEREZ, M. A. et al. Circuit topologies, modeling, control schemes, and applications of modular multilevel converters. **IEEE transactions on power electronics**, v. 30, n. 1, p. 4-17, 2015. ISSN 0885-8993.

PRITCHARD, E.; GREGORY, D. C.; SRDIC, S. The DC Revolution. **IEEE Electification Magazine**, v. 4, n. 2, p. 4-9, June 2016.

QIAO, W. et al. Smart Transmission Grid: Vision and Framework. **IEEE Transactions on smart grid**, v. 1, n. 2, p. 168-177, Sept. 2010.

RATHOD, Umesh Kumar; MODI, Bharat. Simulation and analysis of various configuration of MMC for new generation STATCOM. In: 2017 8th International Conference on Computing, Communication and Networking Technologies (ICCCNT). IEEE, 2017. p. 1-4.

RASHID, M. H. **Eletrônica de potência: circuitos, dispositivos e aplicações**. Makron, 1999. ISBN 853460598X.

ROLIM, L. G. B.; DA COSTA, D. R.; AREDES, M. Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Based on the pq Theory. **Industrial Electronics, IEEE Transactions on**, v. 53, n. 6, p. 1919-1926, 2006. ISSN 0278-0046.

RONANKI, D.; WILLIAMSON, S. S. Modular Multilevel Converters for Transportation Electrification: Challenges and Opportunities, *IEEE Trans. on Transportation Electrification*, vol. 4, no. 2, pp. 399-407, June 2018.

SANTOS, W. M.; MARTINS, D. C. Dual Active Bridge converter as gyrator. 2012 IEEE Third International Conference on Sustainable Energy Technologies (ICSET), Kathmandu, **Conference Publications...** 2012, p. 169-176.

SHE, X. et al. Design and Demonstration of a 3.6-kV–120-V/10-kVA Solid-State Transformer for Smart Grid Application. **IEEE Transactions on Power Electronics**, v. 29, n. 8, p. 3982-3996, Aug. 2014.

SHU, Z. et al., Digital Detection, Control, and Distribution System for Co-Phase Traction Power Supply Application, *IEEE Trans. on Industrial Electronics*, vol. 60, no. 5, pp. 1831-1839, May 2013.

SILVA, R. N. A. L. **Inversor multinível híbrido simétrico trifásico de cinco níveis baseado nas topologias half-bridge e ANPC**. 2013. 125 f. Tese (Doutorado em Engenharia Elétrica) Departamento de Engenharia Elétrica, Universidade Federal do Ceará, Fortaleza, 2013.

SINGH, B. et al. A review of single-phase improved power quality ACDC converters. **IEEE Trans. on Industrial Electronics**, v. 50, n.5, p. 962- 981, Oct., 2003.

SINGH, B. et al. Comprehensive Study of Single-Phase AC-DC Power Factor Corrected Converters With High-Frequency Isolation. **IEEE Transactions on Industrial Informatics**, v. 7, n. 4, p. 540-556, Nov. 2011.

SYSTEMS, B. S. P. Review of the ECPE Workshop on Advanced Multilevel Converter Systems. 2012. Available at: < <http://www.powerguru.org/review-of-the-ecpe-workshop-on-advanced-multilevel-converter-systems/> >. Accessed on: 01/04/2016.

TATCHO, P.; JIANG, Y.; LI, H. A novel line section protection for the FREEDM system based on the solid state transformer. 2011 IEEE Power and Energy Society General Meeting, 2011, IEEE. p.1-8.

TELLEGEN, B. D. H.; **The gyrator, a new electric network element**, Philips Research Laboratories, the Netherlands, 1948.

TEODORESCU, R. et al. Proportional-resonant controllers and filters for grid-connected voltage-source converters. *Electric Power Applications, IEE Proceedings*, v. 153, n. 5, p. 750-762, 2006. ISSN 1350-2352.

TODD, Philip C. "UC3854 Controlled Power Factor Correction Circuit Design" Nota de aplicação U-134, UNITRODE, 1999.

TSAI-FU, W.; TE-HUNG, Y.; YUAN-CHUAN, L. An alternative approach to synthesizing single-stage converters with power-factor-correction feature. **IEEE Transactions on Industrial Electronics**, v. 46, n. 4, p. 734-748, Aug., 1999.

WILLIAM, M. **Power converter circuits having a high frequency link**: Google Patents 1970.

VANCU, F. et al. Comparative evaluation of bidirectional buck-type PFC converter systems for interfacing residential DC distribution systems to the smart grid. Proc. 38th Annu. Conf. IEEE Ind. Electron. (IECON), **Conference Publications...** Oct., 2012.

VENABLE, H. D. The k factor: a new mathematical tool for stability analysis and synthesis. Proc. Powercon 10. **Conference Publications...** 1983. San Diego, CA. p. H1-1 to H1-12

U. K. Rathod and B. Modi, "Simulation and analysis of various configuration of MMC for new generation STATCOM," 2017 8th International Conference on Computing, Communication

and Networking Technologies (ICCCNT), Delhi, 2017, pp. 1-4, doi: 10.1109/ICCCNT.2017.8203944.

XU, S.; HUANG, A. Q.; BURGOS, R. Review of Solid-State Transformer Technologies and Their Application in Power Distribution Systems. **Emerging and Selected Topics in Power Electronics, IEEE Journal of**, v. 1, n. 3, p. 186-198, 2013. ISSN 2168-6777.

ZHAO, C.; DUJIC, D.; MESTER, A.; STEINKE, J. K.; WEISS, M.; LEWDENI-SCMID, S.; CHAUDHURI, T.; STEFANUTTI, P. Power electronic traction transformer- medium voltage prototype, IEEE Trans. Ind. Electron., vol. 61, no. 7, pp. 3257-3268, 2014.

ZHAO, Yan et al. Application of three-phase modular multilevel converter (MMC) in co-phase traction power supply system. In: 2014 IEEE Conference and Expo Transportation Electrification Asia-Pacific (ITEC Asia-Pacific). IEEE, 2014. p. 1-6.

APÊNDICE A – DIMENSIONAMENTO DOS MAGNÉTICOS

Conforme Mclyman (2014) o dimensionamento dos magnéticos é realizado através do índice A_p que pode ser calculado conforme equação (A.1).

$$A_p = A_c \cdot A_w \quad (\text{A.1})$$

Onde, A_c é a área da seção transversal do núcleo e A_w a área da janela do núcleo. O valor do índice A_p para indutores pode ser calculado através da equação (A.2).

$$A_{pL} = \frac{L \cdot I_{pico} \cdot I_{rms}}{B_{max} \cdot J_{max} \cdot k_u} \quad (\text{A.2})$$

Onde L é a indutância, I_{pico} o valor de pico da corrente, I_{rms} o valor eficaz da corrente, B_{max} a densidade de fluxo magnética máxima, J_{max} a densidade de corrente máxima nos condutores e k_u o fator de utilização do núcleo.

O número de espiras do indutor pode ser determinado através da equação (A.3).

$$N = \sqrt{\frac{L}{AL}} \quad (\text{A.3})$$

Onde AL é uma constante fornecida pelo fabricante do núcleo que relaciona a indutância com o número de espiras. Em alguns casos o núcleo pode apresentar uma queda de permeabilidade relativa em função da força magnetizante, devendo-se dessa maneira realizar diversas iterações para obtenção do número de espiras através da equação (A.4) e (A.5).

$$H_i = \frac{0,4 \cdot \pi \cdot N_i \cdot I_{pico}}{MPL} \quad (\text{A.4})$$

$$N_{i+1} = \sqrt{\frac{L}{X_i \cdot AL}} \quad (\text{A.5})$$

Onde, H_i é a força magnetizante, MPL o caminho magnético do núcleo e X_i é o percentual de permeabilidade magnética do núcleo com a força magnetizante H_i .

Para os transformadores o índice A_p pode ser calculado pela equação (A.6).

$$A_p = \frac{P_o \cdot \left(1 + \frac{1}{\eta}\right)}{2 \cdot k_u \cdot J_{max} \cdot \Delta B \cdot f_s} \quad (\text{A.6})$$

Onde P_o é a potência do transformador, η é o rendimento, ΔB é a variação de densidade de fluxo magnético e f_s a frequência de chaveamento.

O número de espiras que cada bobina do transformador deve ter pode ser calculado pela equação (A.7).

$$N = \frac{V_o}{2 \cdot f_s \cdot A_c \cdot \Delta B} \quad (\text{A.7})$$

Onde V_o é a tensão no transformador. Por fim deve se ainda calcular a área da seção dos condutores. A mesma pode ser obtida através da equação (A.8).

$$A_{fio} = \frac{I_{rms}}{J_{max}} \quad (\text{A.8})$$

No caso dos transformadores, devido à grande variação de densidade de fluxo magnético pode ocorrer efeito pelicular. Dessa forma o diâmetro máximo que o condutor deve possuir é dado pela equação (A.9).

$$A_{max} = \frac{43,82 \cdot \pi}{f_s} \quad (\text{A.9})$$

O comprimento de fio necessário para o magnético pode ser obtido pela equação (A.10).

$$l_{fio} = MLT \cdot N \quad (\text{A.10})$$

Onde MLT é o comprimento médio de uma espira e pode ser calculado para núcleos toroidais através da equação (A.11).

$$MLT = 0,8 \cdot (D_{ext} + 2 \cdot h) \quad (\text{A.11})$$

Onde D_{ext} é o diâmetro externo do núcleo e h a altura.

APÊNDICE B – CÓDIGO EM LINGUAGEM C UTILIZADO NO MICROCONTROLADOR DELFINO TMS320F28379D

```

/*
 * Created on: 05 de agosto de 2017
 * Author: Juliano de O. Pacheco
 */
// Included Files
//
#include <math.h>
#include <stdio.h>
#include "F28x_Project.h"

// Defines

#define DB_UP      1
#define DB_DOWN    0
#define EPWM_DB_UP 100 // Define tempo morto subida 100 = 1us pag. 1592 spruhm8f.pdf
#define EPWM_DB_DOWN 100 // Define tempo morto descida
#define PI 3.14159265
#define Hi 22.83272727
#define offset 5000
#define offset1 10000
#define uk_iL1_sat 8500 //saturação da malha de corrente de entrada
#define uk_mag_sat 65 //saturação da malha de corrente de magnetização Lmag1
#define uk_mag_sat2 65 //saturação da malha de corrente de magnetização Lmag2
#define uk_Vt_sat 820
#define uk_Vd_sat 65
#define uk_vo_sat 830
//define botao_1 GpioDataRegs.GPBDAT.bit.GPIO36 //Botão usado para incrementar o indice de
//modulação
//define botao_2 GpioDataRegs.GPBDAT.bit.GPIO38 //Botão usado para decrementar o indice de
//modulação
#define botao_3 GpioDataRegs.GPBDAT.bit.GPIO61 //Botão usado para calibrar o valor zero dos canais
ADCs das correntes
#define erro_P GpioDataRegs.GPCDAT.bit.GPIO67 //sinal de erro P (N)
#define erro_N GpioDataRegs.GPCDAT.bit.GPIO70 //sinal de erro N (P)
#define erro_sec GpioDataRegs.GPCDAT.bit.GPIO66 //sinal de erro Secundario
#define angulo_SM1 0 //0° de referencia = 0 //nota: tentar usar dois submodulos com defasagem de
0° e 90°
#define angulo_SM2 5000 //defasagem de 90° = 5000
#define angulo_SM3 2500 //defasagem de 45° = 2500
#define angulo_SM4 7500 //defasagem de 135° = 7500

//coeficientes do controlador de corrente de entrada iL1
//Malha de 1,25 kHz
float32 Ai=4.13299829, Bi=8.25373793, Ci=4.12110622, Ei=1.99987976, Fi=0.99996858;

//coeficientes do controlador de corrente de magnetização iLm1
//Malha 400Hz
float32 Aim=0.22578773, Bim=0.22560155, Dim=1;

//coeficientes do controlador da média da tensão dos barramentos CC
//Hv=0.97955023;
float32 Av =0.48882182, ABv = 0.47808220;

```



```

//coeficientes do controlador de desbalanço de tensão entre os módulos
float32 Avd=0.47349034, Bvd=1.39284985, Cvd=1.38238628, Dvd=0.46264284, Fvd=2.94448820,
Gvd=2.92403844, Hvd=0.97955023;
//float32 Avd=0.48752646, Bvd=0.47681393, Dvd=1;

//coeficientes do controlador de tensão de saída Vo
//Malha 1 kHz
//float32 Avo=3.90614504, ABvo=3.90392004;
//Malha 100 Hz
float32 Avo=0.39117355, ABvo=0.39108355;

float32 i32amp = 0; //amplitude da moduladora;
int32 i32aux = 0;
int16 senha = 0;
Uint16 n9 =0;
//Variáveis para a construção da moduladora do conversor do lado secundario
float32 f32a = 0;
float32 f32a_ = 0;
float32 f32aux = 0;
float32 f32d = 0;

int32 I32phi = 0;

float32 f32vmais = 0;
float32 f32vmenos = 0;
float32 f32vmais180 = 0;
float32 f32vmenos180 = 0;
float32 f32imag1ref = 0;
float32 f32Vrede_aj = 0;
float32 f32iREF = 0;
float32 f32imREF = 0;

Uint16 ui16CtrlMedia4 = 0;
Uint16 ui16CtrlMedia20 = 0;

Uint16 ui16flagRDY = 0;
Uint16 ui16Startup = 0;
Uint32 ui32CtrlStartup = 0;

Uint16 ui16CtrlSeno = 0;
float32 f32SenoRef = 0;
float32 f32Theta = 0;
float32 f32sinTeste = 0;

//Variáveis de medição
int16 i16iL1_media = 0;
int16 i16iL1_zero = 0;

int16 i16imag1_media = 0;
int16 i16imag1_zero = 0;

int16 i16Vrede_media = 0;
int16 i16Vrede_zero = 0;

int16 i16V1_media = 0;
int16 i16V1_zero = 0;

int16 i16V2_media = 0;
int16 i16V2_zero = 0;

```

```

int16 i16V3_media = 0;
int16 i16V3_zero = 0;

int16 i16V4_media = 0;
int16 i16V4_zero = 0;
int16 i16Vout_media = 0;

//Variáveis do controlador de corrente de entrada
float32 uk_iL1=0, u1k_iL1=0, u2k_iL1=0, ek_iL1=0, e1k_iL1=0, e2k_iL1=0;

//Variáveis do controlador de corrente de circulação
float32 uk_imag1=0, u1k_imag1=0, ek_imag1=0, e1k_imag1=0;

//Controlador da média da tensão dos barramentos CC
float32 uk_Vt=0, ek_Vt=0, e1k_Vt=0, u1k_Vt=0;

//Controlador de desbalanço das tensões entre os módulos superiores e inferiores
float32 uk_Vd=0, uk_Vdaux=0, ek_Vd=0, e1k_Vd=0, e2k_Vd=0, e3k_Vd=0, u1k_Vd=0, u2k_Vd=0,
u3k_Vd=0;

//Variáveis do controlador de tensão de saída
float32 uk_vo=0, u1k_vo=0, ek_vo=0, e1k_vo=0;
int16 uk_vo_aux = 0;
//Variáveis do controlador de
//// PLL Monofásico
Uint32 i = 0;
float32 f32Valfa, f32Vbeta, buffer[167];
float32 f32Theta, f32Theta0, f32Theta120, f32Theta120_0, f32Theta120_ref;
float32 Ki_PLL = 0.00205575;
float32 PI_PLL[2] = {240,1}; // coeficientes do controlador Kp, Ki;
float32 CONTROL_PLL[4] = {0,0,0,0}; // erro, up, ui, ui1;
float32 OUTPUT_PLL = 0; // u
float32 u = 0;
float32 f32senoref = 0;
float32 Vrefgeral = 206.5;
float32 VrefT = 0; //138 = 110V ac // 206.5 = 165V ac // 241 = 187V ac// 275 = 220V ac
float32 VrefVo = 0; //1500 = 200V dc // 2250 = 300V dc //2625 = 350 V dc // 3000 = 400V dc
float32 Vrefd = 0;

volatile struct DAC_REGS* DAC_PTR[4] = {0x0,&DacaRegs,&DacbRegs,&DaccRegs};

// Function Prototypes
void InitEPwmS(void);
void LigaEPWMs(void);
void DesligaEPWMs(void);
void SetupTimers(void);
void SetupADC(void);
void configureDAC(void);

__interrupt void adca1_isr(void);

// Main
void main(void)

{
//
// Passo 1. Inicializar o controle do sistema:
// PLL, WatchDog, habilita o clock dos periféricos
InitSysCtrl();

```

```

//Configuração dos pinos:
EALLOW;

GpioCtrlRegs.GPCMUX2.bit.GPIO82 = 0; //Pin 149 dock station.
GpioCtrlRegs.GPCDIR.bit.GPIO82 = 1;

GpioCtrlRegs.GPBMUX2.bit.GPIO61 = 0; //Pin 126 dock station BOTAO_3
GpioCtrlRegs.GPBDIR.bit.GPIO61 = 0;

GpioCtrlRegs.GPCMUX1.bit.GPIO67 = 0; //Pin 124 dock station BOTAO_2
GpioCtrlRegs.GPCDIR.bit.GPIO67 = 0;
GpioCtrlRegs.GPCPUD.bit.GPIO67 = 0;

GpioCtrlRegs.GPCMUX1.bit.GPIO70 = 0; //Pin 126 dock station BOTAO_3
GpioCtrlRegs.GPCDIR.bit.GPIO70 = 0;
GpioCtrlRegs.GPCPUD.bit.GPIO70 = 0;

//Configuração dos pinos PWM de comando das chaves do conv. secundario
GpioCtrlRegs.GPBMUX1.bit.GPIO35 = 0; //S1.
GpioCtrlRegs.GPBDIR.bit.GPIO35 = 1;

GpioCtrlRegs.GPBMUX1.bit.GPIO37 = 0; //S3
GpioCtrlRegs.GPBDIR.bit.GPIO37 = 1;

GpioCtrlRegs.GPBMUX2.bit.GPIO60 = 0; //S2
GpioCtrlRegs.GPBDIR.bit.GPIO60 = 1;

GpioCtrlRegs.GPBMUX2.bit.GPIO62 = 0; //S4
GpioCtrlRegs.GPBDIR.bit.GPIO62 = 1;

EDIS;
// habilitando PWM1, PWM2, PWM3, PWM4, PWM5, PWM6, PWM7, PWM8, EPWM9 e EPWM10
CpuSysRegs.PCLKCR2.bit.EPWM1=1; CpuSysRegs.PCLKCR2.bit.EPWM2=1;
CpuSysRegs.PCLKCR2.bit.EPWM3=1; CpuSysRegs.PCLKCR2.bit.EPWM4=1;
CpuSysRegs.PCLKCR2.bit.EPWM5=1; CpuSysRegs.PCLKCR2.bit.EPWM6=1;
CpuSysRegs.PCLKCR2.bit.EPWM7=1; CpuSysRegs.PCLKCR2.bit.EPWM8=1;
CpuSysRegs.PCLKCR2.bit.EPWM9=1;
// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
DINT;
// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the F2837xD_PieCtrl.c file.
InitPieCtrl();
// Disable CPU interrupts and clear all CPU interrupt flags:
IER = 0x0000;
IFR = 0x0000;
// Initialize the PIE vector table with pointers to the shell Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example. This is useful for debug purposes.
// The shell ISR routines are found in F2837xD_DefaultIsr.c.
// This function is found in F2837xD_PieVect.c.
InitPieVectTable();
// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.

DINT; //step1
PieCtrlRegs.PIECTRL.bit.ENPIE = 1; // Enable the PIE block //step2

```

```

PieCtrlRegs.PIEIER1.bit.INTx1 = 1;
EALLOW;

// As interrupções que são usadas devem ser re-mapeadas.
EALLOW;
PieVectTable.ADCA1_INT = &adca1_isr;
DesligaEPWMs();
EDIS;

// Step 4. Initialize the Device Peripherals:
//
EALLOW;
CpuSysRegs.PCLKCR0.bit.TBCLKSYNC =0;
EDIS;
InitEPwmS();
SetupTimers();
SetupADC();
configureDAC();
EALLOW;
CpuSysRegs.PCLKCR0.bit.TBCLKSYNC =1;
EDIS;

// Enable CPU INT3 which is connected to EPWM1-3 INT:
IER |= M_INT1;
PieCtrlRegs.PIEIER3.bit.INTx1 = 1;
PieCtrlRegs.PIEIER3.bit.INTx2 = 1;
PieCtrlRegs.PIEIER3.bit.INTx3 = 1;
// Enable global Interrupts and higher priority real-time debug events:
EINT; // Enable Global interrupt INTM
ERTM; // Enable Global realtime interrupt DBGEM

// Step 6. IDLE loop. Just sit and loop forever (optional):
while(1)
{
    VrefT = Vrefgeral;
    VrefVo = Vrefgeral*10.9;
    if(!botao_3)
    {
        while (botao_3) // Aguarda o botão BT1 ser solto
        {
            DELAY_US(500); // Delay "anti bouncing"
        }
        ui16flagRDY = 1;
    }

    if ((ui16Startup == 0) && (ui16flagRDY == 1))
    {
        ui32CtrlStartup++;

        if (ui32CtrlStartup >= 5000000)
        {
            i16imag1_zero = i16imag1_media;
            //i16imag2_zero = i16imag2_media;
            i16iL1_zero = i16iL1_media;
            i16Vrede_zero = i16Vrede_media;
            ui32CtrlStartup = 0;
            ui16Startup = 1;
            ui16flagRDY = 1;
            //i32amp = 0;
        }
    }
}

```

```

}
if((ui16Startup == 1) && (ui16flagRDY == 1) && (senha == 840))
{
    i32aux++;

    if (i32aux >= 1000000)
    {
        LigaEPWMs();
        senha = 0;
    }
}
if((erro_P == 0) || (erro_N == 0) || (erro_sec == 0))
{
    DesligaEPWMs();
}

if(f32a_ > 0 && f32a_ <= 0.5)
{
    if(f32aux > EPwm9Regs.TBCTR)
    {
        GpioDataRegs.GPBSET.bit.GPIO35 = 1;
        GpioDataRegs.GPBCLEAR.bit.GPIO37 = 1;
    }
    else
    {
        GpioDataRegs.GPBCLEAR.bit.GPIO35 = 1;
        GpioDataRegs.GPBSET.bit.GPIO37 = 1;
    }
}
if(f32aux > (2500-EPwm9Regs.TBCTR))
{
    GpioDataRegs.GPBSET.bit.GPIO60 = 1;
    GpioDataRegs.GPBCLEAR.bit.GPIO62 = 1;
}
else
{
    GpioDataRegs.GPBCLEAR.bit.GPIO60 = 1;
    GpioDataRegs.GPBSET.bit.GPIO62 = 1;
}

}
if(f32a_ > 0.5 && f32a_ <= 1)
{
    if(f32aux > EPwm9Regs.TBCTR)
    {
        GpioDataRegs.GPBCLEAR.bit.GPIO35 = 1;
        GpioDataRegs.GPBSET.bit.GPIO37 = 1;
    }
    else
    {
        GpioDataRegs.GPBSET.bit.GPIO35 = 1;
        GpioDataRegs.GPBCLEAR.bit.GPIO37 = 1;
    }
}
if(f32aux > (2500-EPwm9Regs.TBCTR))
{
    GpioDataRegs.GPBCLEAR.bit.GPIO60 = 1;
    GpioDataRegs.GPBSET.bit.GPIO62 = 1;
}
else
{
    GpioDataRegs.GPBSET.bit.GPIO60 = 1;
}

```

```

    GpioDataRegs.GPBCLEAR.bit.GPIO62 = 1;
}
}
if(f32a_ < 0 && f32a_ >= -0.5)
{
    if(f32aux > EPwm9Regs.TBCTR)
    {
        GpioDataRegs.GPBCLEAR.bit.GPIO35 = 1;
        GpioDataRegs.GPBSET.bit.GPIO37 = 1;
    }
    else
    {
        GpioDataRegs.GPBSET.bit.GPIO35 = 1;
        GpioDataRegs.GPBCLEAR.bit.GPIO37 = 1;
    }
    if(f32aux > (2500-EPwm9Regs.TBCTR))
    {
        GpioDataRegs.GPBCLEAR.bit.GPIO60 = 1;
        GpioDataRegs.GPBSET.bit.GPIO62 = 1;
    }
    else
    {
        GpioDataRegs.GPBSET.bit.GPIO60 = 1;
        GpioDataRegs.GPBCLEAR.bit.GPIO62 = 1;
    }
}
if(f32a_ < -0.5 && f32a_ >= -1)
{
    if(f32aux > EPwm9Regs.TBCTR)
    {
        GpioDataRegs.GPBSET.bit.GPIO35 = 1;
        GpioDataRegs.GPBCLEAR.bit.GPIO37 = 1;
    }
    else
    {
        GpioDataRegs.GPBCLEAR.bit.GPIO35 = 1;
        GpioDataRegs.GPBSET.bit.GPIO37 = 1;
    }
    if(f32aux > (2500-EPwm9Regs.TBCTR))
    {
        GpioDataRegs.GPBSET.bit.GPIO60 = 1;
        GpioDataRegs.GPBCLEAR.bit.GPIO62 = 1;
    }
    else
    {
        GpioDataRegs.GPBCLEAR.bit.GPIO60 = 1;
        GpioDataRegs.GPBSET.bit.GPIO62 = 1;
    }
}

DAC_PTR[1]->DACVALS.all =
__divf32((uk_iL1+offset),4);//f32a*4096;//f32moduladora_sec*4096;//(S1sec+S2sec)*4096;//__divf32((uk_iL1
+offset),2);//; //sinal da Moduladora /f32Theta*500;// //f32sinTeste;
DAC_PTR[2]->DACVALS.all = uk_vo*1.638;//f32aux;//Corrente de referencia
//i16Vrede_media;__divf32((uk_imag1+offset),2);
//DAC_PTR[1]->DACVALS.all =
__divf32((EPwm1Regs.TBCTR),4);//__divf32(EPwm9TimerIntCount,1);//f32moduladora_sec*4096;//(S1sec+S
2sec)*4096;//__divf32((uk_iL1+offset),2);//; //sinal da Moduladora /f32Theta*500;// //f32sinTeste;
//DAC_PTR[2]->DACVALS.all = EPwm9Regs.TBCTR;//__divf32(EPwm10TimerIntCount,1);//Corrente
de referencia //i16Vrede_media;__divf32((uk_imag1+offset),2);

```

```

}
}
// Initialize EPWM1 configuration
void InitEPwmS()
{
    // Configuração do EPWM1
    EPwm1Regs.TBPRD = 10000;           // Set timer period 5kHz
    EPwm1Regs.TBPHS.bit.TBPHS = angulo_SM1; // Phase is 0
    EPwm1Regs.TBCTR = 0x0000;         // Clear counter

    EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
    EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
    EPwm1Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1 Positivo - 0 Negativo
    EPwm1Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
    EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
    EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;

    EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
    EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

    EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
    EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
    EPwm1Regs.AQCTLB.bit.CAU = AQ_SET;
    EPwm1Regs.AQCTLB.bit.CAD = AQ_CLEAR;

    EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
    EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
    EPwm1Regs.DBCTL.bit.IN_MODE = DBA_ALL;
    EPwm1Regs.DBRED.bit.DBRED = EPWM_DB_UP;
    EPwm1Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
    // Configuração do EPWM2
    EPwm2Regs.TBPRD = 10000;           // Set timer period 5kHz
    EPwm2Regs.TBPHS.bit.TBPHS = angulo_SM1; // Phase is 0
    EPwm2Regs.TBCTR = 0x0000;         // Clear counter

    EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
    EPwm2Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
    EPwm2Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1 Positivo - 0 Negativo
    EPwm2Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
    EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
    EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1;

    EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
    EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

    EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
    EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
    EPwm2Regs.AQCTLB.bit.CAU = AQ_SET;
    EPwm2Regs.AQCTLB.bit.CAD = AQ_CLEAR;

    EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
    EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
    EPwm2Regs.DBCTL.bit.IN_MODE = DBA_ALL;
    EPwm2Regs.DBRED.bit.DBRED = EPWM_DB_UP;
    EPwm2Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;

```

```

// Configuração do EPWM3
EPwm3Regs.TBPRD = 10000;           // Set timer period
EPwm3Regs.TBPHS.bit.TBPHS = angulo_SM3; // Phase is 0
EPwm3Regs.TBCTR = 0x0000;         // Clear counter

EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm3Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow so we can observe on

EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM3A on Zero
EPwm3Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm3Regs.AQCTLB.bit.CAU = AQ_SET; // Set PWM3A on Zero
EPwm3Regs.AQCTLB.bit.CAD = AQ_CLEAR;

EPwm3Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm3Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm3Regs.DBCTL.bit.IN_MODE = DBA_ALL;

// Definição do tempo morto de subida e descida
EPwm3Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm3Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
// Configuração do EPWM4
EPwm4Regs.TBPRD = 10000;           // Set timer period
EPwm4Regs.TBPHS.bit.TBPHS = angulo_SM3; // Phase is 0
EPwm4Regs.TBCTR = 0x0000;         // Clear counter
//
EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm4Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1;

EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm4Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm4Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm4Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
// Set actions
//
EPwm4Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM1A on Zero
EPwm4Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm4Regs.AQCTLB.bit.CAU = AQ_SET; // Set PWM1A on Zero
EPwm4Regs.AQCTLB.bit.CAD = AQ_CLEAR;
//
EPwm4Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm4Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm4Regs.DBCTL.bit.IN_MODE = DBA_ALL;

// Definição do tempo morto de subida e descida
EPwm4Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm4Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
// Configuração do EPWM5
EPwm5Regs.TBPRD = 10000;           // Set timer period
EPwm5Regs.TBPHS.bit.TBPHS = angulo_SM2; // Phase is 0
EPwm5Regs.TBCTR = 0x0000;         // Clear counter
// Setup TBCLK
EPwm5Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm5Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
EPwm5Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm5Regs.TBCTL.bit.CLKDIV = TB_DIV1;

```



```

EPwm5Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm5Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm5Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm5Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
// Set actions
EPwm5Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM1A on Zero
EPwm5Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm5Regs.AQCTLB.bit.CAU = AQ_SET; // Set PWM1A on Zero
EPwm5Regs.AQCTLB.bit.CAD = AQ_CLEAR;
// Active Low PWMs - Setup Deadband
EPwm5Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm5Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm5Regs.DBCTL.bit.IN_MODE = DBA_ALL;
// Definição do tempo morto de subida e descida
EPwm5Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm5Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
// Interrupt where we will change the Deadband
EPwm5Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO; // Select INT on Zero event
EPwm5Regs.ETSEL.bit.INTEN = 1; // Enable INT
EPwm5Regs.ETPS.bit.INTPRD = ET_3RD; // Generate INT on 3rd event
// Configuração do EPWM6
EPwm6Regs.TBPRD = 10000; // Set timer period
EPwm6Regs.TBPHS.bit.TBPHS = angulo_SM2; // Phase is 0
EPwm6Regs.TBCTR = 0x0000; // Clear counter
// Setup TBCLK
EPwm6Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm6Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
EPwm6Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm6Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow so we can observe on

EPwm6Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm6Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm6Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm6Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
// Set actions
EPwm6Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM3A on Zero
EPwm6Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm6Regs.AQCTLB.bit.CAU = AQ_SET; // Set PWM3A on Zero
EPwm6Regs.AQCTLB.bit.CAD = AQ_CLEAR;
// Active high complementary PWMs - Setup the deadband
EPwm6Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm6Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm6Regs.DBCTL.bit.IN_MODE = DBA_ALL;
// Definição do tempo morto de subida e descida
EPwm6Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm6Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
// Interrupt where we will change the deadband
EPwm6Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO; // Select INT on Zero event
EPwm6Regs.ETSEL.bit.INTEN = 1; // Enable INT
EPwm6Regs.ETPS.bit.INTPRD = ET_3RD; // Generate INT on 3rd event
//-----
// Configuração do EPWM7
EPwm7Regs.TBPRD = 10000; // Set timer period
EPwm7Regs.TBPHS.bit.TBPHS = angulo_SM4; // Phase is 0
EPwm7Regs.TBCTR = 0x0000; // Clear counter
// Setup TBCLK
EPwm7Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm7Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
EPwm7Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm7Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow so we can observe on

```

```

EPwm7Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm7Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm7Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm7Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
// Set actions
EPwm7Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM3A on Zero
EPwm7Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm7Regs.AQCTLB.bit.CAU = AQ_SET; // Set PWM3A on Zero
EPwm7Regs.AQCTLB.bit.CAD = AQ_CLEAR;
// Active high complementary PWMs - Setup the deadband
EPwm7Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm7Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm7Regs.DBCTL.bit.IN_MODE = DBA_ALL;
// Definição do tempo morto de subida e descida
EPwm7Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm7Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
//-----
// Configuração do EPWM8
//-----
EPwm8Regs.TBPRD = 10000; // Set timer period
EPwm8Regs.TBPHS.bit.TBPHS = angulo_SM4; // Phase is 0
EPwm8Regs.TBCTR = 0x0000; // Clear counter
// Setup TBCLK
EPwm8Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm8Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
EPwm8Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm8Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow so we can observe on

EPwm8Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm8Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm8Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm8Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
// Set actions
//
EPwm8Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM8A on Zero
EPwm8Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm8Regs.AQCTLB.bit.CAU = AQ_SET; // Set PWM8A on Zero
EPwm8Regs.AQCTLB.bit.CAD = AQ_CLEAR;
// Active high complementary PWMs - Setup the deadband
//
EPwm8Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm8Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm8Regs.DBCTL.bit.IN_MODE = DBA_ALL;
// Definição do tempo morto de subida e descida
EPwm8Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm8Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
// Configuração do EPWM9
EPwm9Regs.TBPRD = 2500; // Set timer period
EPwm9Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
EPwm9Regs.TBCTR = 0x0000; // Clear counter

//EPwm9Regs.CMPA.bit.CMPA = 625;
EPwm9Regs.TBCTL.bit.PHSDIR = 0; //Direção Phase 1 Positivo - 0 Negativo
// Setup TBCLK
EPwm9Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
EPwm9Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
EPwm9Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm9Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow so we can observe on

```

```

EPwm9Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
EPwm9Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm9Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm9Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
// Set actions
//
EPwm9Regs.AQCTLA.bit.CAU = AQ_CLEAR; // Set PWM8A on Zero
EPwm9Regs.AQCTLA.bit.CAD = AQ_SET;
EPwm9Regs.AQCTLB.bit.CAU = AQ_SET; // Set PWM8A on Zero
EPwm9Regs.AQCTLB.bit.CAD = AQ_CLEAR;
// Active high complementary PWMs - Setup the deadband
//
EPwm9Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
EPwm9Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
EPwm9Regs.DBCTL.bit.IN_MODE = DBA_ALL;
// Definição do tempo morto de subida e descida
EPwm9Regs.DBRED.bit.DBRED = EPWM_DB_UP;
EPwm9Regs.DBFED.bit.DBFED = EPWM_DB_DOWN;
}
// LIGA PWMS -----
void LigaEPWMs()
{
EALLOW;
GpioCtrlRegs.GPAPUD.bit.GPIO0 = 0; // Enable Pullup // PWM1A
GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1; // GPIO0 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; // GPIO0 = output
GpioCtrlRegs.GPAPUD.bit.GPIO1 = 0; // Enable Pullup // PWM1B
GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 1; // GPIO1 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; // GPIO1 = output

GpioCtrlRegs.GPAPUD.bit.GPIO2 = 0; // Enable Pullup // PWM2A
GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1; // GPIO2 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // GPIO2 = output
GpioCtrlRegs.GPAPUD.bit.GPIO3 = 0; // Enable Pullup // PWM2B
GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 1; // GPIO3 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; // GPIO3 = output

GpioCtrlRegs.GPAPUD.bit.GPIO4 = 0; // Enable Pullup // PWM3A
GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 1; // GPIO4 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // GPIO4 = output
GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; // Enable Pullup // PWM3B
GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 1; // GPIO5 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO5 = 1; // GPIO5 = output

GpioCtrlRegs.GPAPUD.bit.GPIO6 = 0; // Enable Pullup // PWM4A
GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1; // GPIO6 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO6 = 1; // GPIO6 = output
GpioCtrlRegs.GPAPUD.bit.GPIO7 = 0; // Enable Pullup // PWM4B
GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 1; // GPIO7 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO7 = 1; // GPIO7 = output

GpioCtrlRegs.GPAPUD.bit.GPIO8 = 0; // Enable Pullup // PWM5A
GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1; // GPIO8 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO8 = 1; // GPIO8 = output
GpioCtrlRegs.GPAPUD.bit.GPIO9 = 0; // Enable Pullup // PWM5B
GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 1; // GPIO9 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO9 = 1; // GPIO9 = output

GpioCtrlRegs.GPAPUD.bit.GPIO10 = 0; // Enable Pullup // PWM6A

```

```

GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1; // GPIO10 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO10 = 1; // GPIO10 = output
GpioCtrlRegs.GPAPUD.bit.GPIO11 = 0; // Enable Pullup // PWM6B
GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 1; // GPIO11 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO11 = 1; // GPIO11 = output

GpioCtrlRegs.GPAPUD.bit.GPIO12 = 0; // Enable Pullup // PWM7A
GpioCtrlRegs.GPAMUX1.bit.GPIO12 = 1; // GPIO12 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO12 = 1; // GPIO12 = output
GpioCtrlRegs.GPAPUD.bit.GPIO13 = 0; // Enable Pullup // PWM7B
GpioCtrlRegs.GPAMUX1.bit.GPIO13 = 1; // GPIO13 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO13 = 1; // GPIO13 = output

GpioCtrlRegs.GPAPUD.bit.GPIO14 = 0; // Enable Pullup // PWM8A
GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 1; // GPIO14 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO14 = 1; // GPIO14 = output
GpioCtrlRegs.GPAPUD.bit.GPIO15 = 0; // Enable Pullup // PWM8B
GpioCtrlRegs.GPAMUX1.bit.GPIO15 = 1; // GPIO15 = PWM
GpioCtrlRegs.GPADIR.bit.GPIO15 = 1; // GPIO15 = output
EDIS;
}
// Desliga PWM-----
void DesligaEPWMs()
{
// ui16EstadoPWM = 0;
// GpioDataRegs.GPCSET.bit.GPIO82 = 1;
EALLOW;
GpioCtrlRegs.GPAPUD.bit.GPIO0 = 0; // Enable Pullup // PWM1A
GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 0; // GPIO0 = IO
GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; // GPIO0 = output
GpioDataRegs.GPACLEAR.bit.GPIO0 = 1; // PWM1A = 0;
GpioCtrlRegs.GPAPUD.bit.GPIO1 = 0; // Enable Pullup // PWM1B
GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 0; // GPIO1 = IO
GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; // GPIO1 = output
GpioDataRegs.GPACLEAR.bit.GPIO1 = 1; // PWM1B = 0;

GpioCtrlRegs.GPAPUD.bit.GPIO2 = 0; // Enable Pullup // PWM2A
GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 0; // GPIO2 = IO
GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // GPIO2 = output
GpioDataRegs.GPACLEAR.bit.GPIO2 = 1; // PWM2A = 0;
GpioCtrlRegs.GPAPUD.bit.GPIO3 = 0; // Enable Pullup // PWM2B
GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 0; // GPIO3 = IO
GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; // GPIO3 = output
GpioDataRegs.GPACLEAR.bit.GPIO3 = 1; // PWM2B = 0;

GpioCtrlRegs.GPAPUD.bit.GPIO4 = 0; // Enable Pullup // PWM3A
GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 0; // GPIO4 = IO
GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // GPIO4 = output
GpioDataRegs.GPACLEAR.bit.GPIO4 = 1; // PWM3A = 0;
GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; // Enable Pullup // PWM3B
GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 0; // GPIO5 = IO
GpioCtrlRegs.GPADIR.bit.GPIO5 = 1; // GPIO5 = output
GpioDataRegs.GPACLEAR.bit.GPIO5 = 1; // PWM3B = 0;

GpioCtrlRegs.GPAPUD.bit.GPIO6 = 0; // Enable Pullup // PWM4A
GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 0; // GPIO6 = IO
GpioCtrlRegs.GPADIR.bit.GPIO6 = 1; // GPIO6 = output
GpioDataRegs.GPACLEAR.bit.GPIO6 = 1; // PWM4A = 0;
GpioCtrlRegs.GPAPUD.bit.GPIO7 = 0; // Enable Pullup // PWM4B
GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 0; // GPIO7 = IO

```

```

GpioCtrlRegs.GPADIR.bit.GPIO7 = 1; // GPIO7 = output
GpioDataRegs.GPACLEAR.bit.GPIO7 = 1; // PWM4B = 0;

GpioCtrlRegs.GPAPUD.bit.GPIO8 = 0; // Enable Pullup // PWM5A
GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 0; // GPIO8 = IO
GpioCtrlRegs.GPADIR.bit.GPIO8 = 1; // GPIO8 = output
GpioDataRegs.GPACLEAR.bit.GPIO8 = 1; // PWM5A = 0;
GpioCtrlRegs.GPAPUD.bit.GPIO11 = 0; // Enable Pullup // PWM6B
GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 0; // GPIO11 = IO
GpioCtrlRegs.GPADIR.bit.GPIO11 = 1; // GPIO11 = output
GpioDataRegs.GPACLEAR.bit.GPIO11 = 1; // PWM6B = 0;

GpioCtrlRegs.GPAPUD.bit.GPIO12 = 0; // Enable Pullup // PWM7A
GpioCtrlRegs.GPAMUX1.bit.GPIO12 = 0; // GPIO12 = IO
GpioCtrlRegs.GPADIR.bit.GPIO12 = 1; // GPIO12 = output
GpioDataRegs.GPACLEAR.bit.GPIO12 = 1; // PWM7A = 0;
GpioCtrlRegs.GPAPUD.bit.GPIO13 = 0; // Enable Pullup // PWM7B
GpioCtrlRegs.GPAMUX1.bit.GPIO13 = 0; // GPIO13 = IO
GpioCtrlRegs.GPADIR.bit.GPIO13 = 1; // GPIO13 = output
GpioDataRegs.GPACLEAR.bit.GPIO13 = 1; // PWM7B = 0;

GpioCtrlRegs.GPAPUD.bit.GPIO14 = 0; // Enable Pullup // PWM8A
GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 0; // GPIO14 = IO
GpioCtrlRegs.GPADIR.bit.GPIO14 = 1; // GPIO14 = output
GpioDataRegs.GPACLEAR.bit.GPIO14 = 1; // PWM8A = 0;
GpioCtrlRegs.GPAPUD.bit.GPIO15 = 0; // Enable Pullup // PWM8B
GpioCtrlRegs.GPAMUX1.bit.GPIO15 = 0; // GPIO15 = IO
GpioCtrlRegs.GPADIR.bit.GPIO15 = 1; // GPIO15 = output
GpioDataRegs.GPACLEAR.bit.GPIO15 = 1; // PWM8B = 0;
EDIS;
}
// Configuração do Timer1
void SetupTimers(void)
{
    CpuTimer1Regs.PRD.all = 5000; //25us 40kHz
    CpuTimer1Regs.TCR.all = 0x4400;
}
// Configuração do ADC
void SetupADC(void)
{
    EALLOW;

    //write configurations
    AdcaRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
    AdcbRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
    AdccRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
    AdcdRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5

    AdcaRegs.ADCCTL2.bit.RESOLUTION = 0;
    AdcaRegs.ADCCTL2.bit.SIGNALMODE = 0;
    AdcaRegs.ADCOFFTRIM.bit.OFFTRIM = 0;

    AdcbRegs.ADCCTL2.bit.RESOLUTION = 0;
    AdcbRegs.ADCCTL2.bit.SIGNALMODE = 0;
    AdcbRegs.ADCOFFTRIM.bit.OFFTRIM = 0;

    AdccRegs.ADCCTL2.bit.RESOLUTION = 0;
    AdccRegs.ADCCTL2.bit.SIGNALMODE = 0;
    AdccRegs.ADCOFFTRIM.bit.OFFTRIM = 0;

```

```

AdcdRegs.ADCCTL2.bit.RESOLUTION = 0;
AdcdRegs.ADCCTL2.bit.SIGNALMODE = 0;
AdcdRegs.ADCOFFTRIM.bit.OFFTRIM = 0;

//Set pulse positions to late
AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdccRegs.ADCCTL1.bit.INTPULSEPOS = 1;
AdcdRegs.ADCCTL1.bit.INTPULSEPOS = 1;

//power up the ADCs
AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdcbRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdccRegs.ADCCTL1.bit.ADCPWDNZ = 1;
AdcdRegs.ADCCTL1.bit.ADCPWDNZ = 1;

EDIS;

DELAY_US(2000);

EALLOW;

//Configuração ADC-A
AdcaRegs.ADCSOC0CTL.bit.CHSEL = 5; //SOC0 will convert pin A5 corrente iREDE
AdcaRegs.ADCSOC0CTL.bit.ACQPS = 28;
AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 2; //trigger on Timer1 SOCA/C

AdcaRegs.ADCSOC1CTL.bit.CHSEL = 2; //SOC4 will convert pin A3 tensão V1
AdcaRegs.ADCSOC1CTL.bit.ACQPS = 28;
AdcaRegs.ADCSOC1CTL.bit.TRIGSEL = 2; //trigger on Timer1 SOCA/C

AdcaRegs.ADCSOC2CTL.bit.CHSEL = 3; //SOC4 will convert pin A4 tensão V2
AdcaRegs.ADCSOC2CTL.bit.ACQPS = 28;
AdcaRegs.ADCSOC2CTL.bit.TRIGSEL = 2; //trigger on Timer1 SOCA/C

AdcaRegs.ADCSOC3CTL.bit.CHSEL = 4; //SOC4 will convert pin A4 tensão V5
AdcaRegs.ADCSOC3CTL.bit.ACQPS = 28;
AdcaRegs.ADCSOC3CTL.bit.TRIGSEL = 2; //trigger on Timer1 SOCA/C

AdcaRegs.ADCINTSEL1N2.bit.INT1SEL = 0; //end of SOC0 will set INT1 flag
AdcaRegs.ADCINTSEL1N2.bit.INT1E = 1; //enable INT1 flag
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //make sure INT1 flag is cleared

// //Configuração ADC-B
AdcbRegs.ADCSOC0CTL.bit.CHSEL = 4; //SOC5 will convert pin B4 Tensão de saída Vout
AdcbRegs.ADCSOC0CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC0CTL.bit.TRIGSEL = 2; //trigger on TIMER1 SOCA/C

AdcbRegs.ADCSOC1CTL.bit.CHSEL = 1; //SOC9 will convert pin B1 Tensão V3
AdcbRegs.ADCSOC1CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC1CTL.bit.TRIGSEL = 2; //trigger on TIMER1 SOCA/C

AdcbRegs.ADCSOC2CTL.bit.CHSEL = 3; //SOC5 will convert pin B2 Tensão V4
AdcbRegs.ADCSOC2CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC2CTL.bit.TRIGSEL = 2; //trigger on TIMER1 SOCA/C

AdcbRegs.ADCSOC3CTL.bit.CHSEL = 2; //SOC9 will convert pin B3 Tensão V6
AdcbRegs.ADCSOC3CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC3CTL.bit.TRIGSEL = 2; //trigger on TIMER1 SOCA/C

```

```

// //Configuração ADC-C
AdccRegs.ADCSOC0CTL.bit.CHSEL = 3; //SOC2 will convert pin C3 Tensão da rede
AdccRegs.ADCSOC0CTL.bit.ACQPS = 28;
AdccRegs.ADCSOC0CTL.bit.TRIGSEL = 2; //trigger on Timer1 SOCA

AdccRegs.ADCSOC1CTL.bit.CHSEL = 5; //SOC2 will convert pin C5 Corrente Imag1
AdccRegs.ADCSOC1CTL.bit.ACQPS = 28;
AdccRegs.ADCSOC1CTL.bit.TRIGSEL = 2; //trigger on Timer1 SOCA/C

AdccRegs.ADCSOC2CTL.bit.CHSEL = 4; //SOC2 will convert pin C4 Corrente Imag2
AdccRegs.ADCSOC2CTL.bit.ACQPS = 28;
AdccRegs.ADCSOC2CTL.bit.TRIGSEL = 2; //trigger on Timer1 SOCA/C

EDIS;
}

__interrupt void adca1_isr(void)
{

i16iL1_media = AdcaResultRegs.ADCRESULT0;
i16imag1_media = AdccResultRegs.ADCRESULT1;
//i16imag2_media = AdccResultRegs.ADCRESULT2;

i16Vrede_media = AdccResultRegs.ADCRESULT0;
//Calculo dos valores medios das tensões CC
i16V1_media = AdcaResultRegs.ADCRESULT1;
i16V2_media = AdcaResultRegs.ADCRESULT2;
i16V3_media = AdcbResultRegs.ADCRESULT1;
i16V4_media = AdcbResultRegs.ADCRESULT2;

i16Vout_media = AdcbResultRegs.ADCRESULT0;
//          PLL
f32Vrede_aj = (i16Vrede_media - i16Vrede_zero)*0.000806;

f32Valfa = f32Vrede_aj;
buffer[i] = f32Valfa;
if(i<166)
{
    f32Vbeta = buffer[i+1];
    i = i+1;
}
else
{
    f32Vbeta = buffer[0];
    i = 0;
}

//

//Integrador com reset
u = OUTPUT_PLL;

f32Theta = Ki_PLL*u;

f32Theta = f32Theta + f32Theta0;

if (f32Theta < 0)    { f32Theta = 0; f32Theta120 = 0; }
if (f32Theta > 6.283185){ f32Theta = 0; f32Theta120 = 0; }

f32Theta0 = f32Theta;

```

```

CONTROL_PLL[0] = sin(f32Theta)*f32Vbeta + cos(f32Theta)*f32Valfa;

OUTPUT_PLL = 0;
CONTROL_PLL[1] = PI_PLL[0]*CONTROL_PLL[0];           // proporcional
CONTROL_PLL[2] = PI_PLL[1]*CONTROL_PLL[0] + CONTROL_PLL[3]; // integral
CONTROL_PLL[3] = CONTROL_PLL[2];                     // ação integral atrasada
OUTPUT_PLL = CONTROL_PLL[1] + CONTROL_PLL[2];

f32senoref = 1*(sin(f32Theta));

if(n9>=9)
{
    ek_Vt = VrefT*12.7 - __divf32((i16V1_media + i16V2_media + i16V3_media + i16V4_media),4); //
    ganho antigo 11.28099173

    //Controlador da média da tensão dos barramentos CC
    //uk_Vt = Av*ek_Vt - Bv*e1k_Vt + Cv*e2k_Vt - Dv*e3k_Vt + Fv*u1k_Vt - Gv*u2k_Vt + Hv*u3k_Vt;
    Não funciona
    uk_Vt = Av*ek_Vt - ABv*e1k_Vt + u1k_Vt;

    if(uk_Vt >= uk_Vt_sat) uk_Vt = uk_Vt_sat;
    if(uk_Vt <= -uk_Vt_sat) uk_Vt = -uk_Vt_sat;

    //e3k_Vt = e2k_Vt;
    //e2k_Vt = e1k_Vt;
    e1k_Vt = ek_Vt;
    //u3k_Vt = u2k_Vt;
    //u2k_Vt = u1k_Vt;
    u1k_Vt = uk_Vt;

    //Controlador de desbalanço das tensões entre os módulos superiores e inferiores
    ek_Vd = 0 - ((i16V1_media + i16V2_media)-(i16V3_media + i16V4_media));
    uk_Vd = __divf32((Avd*ek_Vd - Bvd*e1k_Vd + Cvd*e2k_Vd - Dvd*e3k_Vd + Fvd*u1k_Vd -
    Gvd*u2k_Vd + Hvd*u3k_Vd),80);
    //uk_Vd = __divf32((u1k_Vd + Avd*ek_Vd - Bvd*e1k_Vd),40); //Controlador PI 12 Hz

    if(uk_Vd >= uk_Vd_sat) uk_Vd = uk_Vd_sat;
    if(uk_Vd <= -uk_Vd_sat) uk_Vd = -uk_Vd_sat;

    e3k_Vd = e2k_Vd;
    e2k_Vd = e1k_Vd;
    e1k_Vd = ek_Vd;
    u3k_Vd = u2k_Vd;
    u2k_Vd = u1k_Vd;
    u1k_Vd = uk_Vd;

    n9 = 0;
}
n9++;

f32iREF = f32senoref*uk_Vt;///i32amp*Hi;///uk_Vt;
f32imREF = f32senoref*uk_Vd; //sinal de referencia da corrente de magnetização proveniente do
controlador de desbalanço de tensão

//f32sinTeste = 1000*sin(f32Theta)+1000;

//Controlador da corrente de entrada iL1
ek_iL1 = -f32iREF + (i16iL1_media - i16iL1_zero);
uk_iL1 = Ai*ek_iL1 - Bi*e1k_iL1 + Ci*e2k_iL1 + Ei*u1k_iL1 - Fi*u2k_iL1;
//uk_iL1 = u1k_iL1 + Ai*ek_iL1 - ABi*e1k_iL1;

```



```

if(uk_iL1 >= uk_iL1_sat) uk_iL1 = uk_iL1_sat;
if(uk_iL1 <= -uk_iL1_sat) uk_iL1 = -uk_iL1_sat;

e2k_iL1 = e1k_iL1;
e1k_iL1 = ek_iL1;
u2k_iL1 = u1k_iL1;
u1k_iL1 = uk_iL1;

//Controlador da corrente de magnetização do lado primário.
ek_imag1 = f32imREF - (i16imag1_media - i16imag1_zero);
uk_imag1 = u1k_imag1 + Aim*ek_imag1 - Bim*e1k_imag1;

if(uk_imag1 >= uk_mag_sat) uk_imag1 = uk_mag_sat;
if(uk_imag1 <= -uk_mag_sat) uk_imag1 = -uk_mag_sat;

e1k_imag1 = ek_imag1;
u1k_imag1 = uk_imag1;

f32vmais = uk_iL1 - (__divf32(uk_imag1,2));
f32vmenos = uk_iL1 + (__divf32(uk_imag1,2));

f32vmais180 = -uk_iL1 - (__divf32(uk_imag1,2));
f32vmenos180 = -uk_iL1 + (__divf32(uk_imag1,2));
// GpioDataRegs.GPCTOGGLE.bit.GPIO82 = 1;
//Construção da moduladora do conversor do lado secundario
f32a = __divf32((uk_iL1+offset),10000); //moduladora normalizada de 0 a 1 com offset de 0.5
f32a_ = __divf32(uk_iL1,5000); //moduladora normalizada com valores +/- para indentificação do
indices de modulação

if(f32a > 0 && f32a <= .25)
{
    f32d = 4*f32a;
}
else if(f32a > .25 && f32a < .5)
{
    f32d = 4*(.5-f32a);
}
else if(f32a > .5 && f32a < .75)
{
    f32d = 4*(f32a-.5);
}
else if(f32a > .75 && f32a <=1)
{
    f32d = 4*(1-f32a);
}

f32aux=2500*(-f32d+1);

//Controlador da tensão de saída Vo.
ek_vo = VrefVo - i16Vout_media; //1500 = 200V 2250 = 300V e 3000 = 400V
uk_vo = u1k_vo + Avo*ek_vo - ABvo*e1k_vo;

if(uk_vo >= uk_vo_sat) uk_vo = uk_vo_sat;
if(uk_vo <= -uk_vo_sat) uk_vo = -uk_vo_sat;

e1k_vo = ek_vo;
u1k_vo = uk_vo;

uk_vo_aux = uk_vo;

```

```

if (uk_vo >= 0)
{
    EPwm9Regs.TBCTL.bit.PHSDIR = 0;
    EPwm9Regs.TBPHS.bit.TBPHS = uk_vo_aux;
}
if (uk_vo < 0)
{
    EPwm9Regs.TBCTL.bit.PHSDIR = 1;
    EPwm9Regs.TBPHS.bit.TBPHS = -1*uk_vo_aux;
}

// GpioDataRegs.GPCTOGGLE.bit.GPIO82 = 1;
//Moduladoras aplicadas aos modulos superiores
EPwm1Regs.CMPA.bit.CMPA = f32vmais + offset;
EPwm2Regs.CMPA.bit.CMPA = f32vmais180 + offset;
EPwm3Regs.CMPA.bit.CMPA = f32vmais + offset;
EPwm4Regs.CMPA.bit.CMPA = f32vmais180 + offset;

//Moduladoras aplicadas aos modulos inferiores
EPwm5Regs.CMPA.bit.CMPA = f32vmenos + offset;
EPwm6Regs.CMPA.bit.CMPA = f32vmenos180 + offset;
EPwm7Regs.CMPA.bit.CMPA = f32vmenos + offset;
EPwm8Regs.CMPA.bit.CMPA = f32vmenos180 + offset;

AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //clear INT1 flag
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

void configureDAC()
{
    EALLOW;
    //DAC-A
    DAC_PTR[1]->DACCTL.bit.DACREFSEL = 0;
    DAC_PTR[1]->DACOUTEN.bit.DACOUTEN = 1;
    DAC_PTR[1]->DACVALS.all = 0;
    //DAC-B
    DAC_PTR[2]->DACCTL.bit.DACREFSEL = 0;
    DAC_PTR[2]->DACOUTEN.bit.DACOUTEN = 1;
    DAC_PTR[2]->DACVALS.all = 0;

    DELAY_US(10); // Delay for buffered DAC to power up

    EDIS;
}

```