



UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

SAMANTA GADELHA BARBOSA

**CONVERSOR CA-CC MONOFÁSICO BIDIRECIONAL COM ESTÁGIO
INTEGRADO E ISOLAÇÃO EM ALTA FREQUÊNCIA APLICÁVEL A
CARREGAMENTO ON-BOARD DE VEÍCULOS ELÉTRICOS**

FORTALEZA

2020

SAMANTA GADELHA BARBOSA

CONVERSOR CA-CC MONOFÁSICO BIDIRECIONAL COM ESTÁGIO
INTEGRADO E ISOLAÇÃO EM ALTA FREQUÊNCIA APLICÁVEL A
CARREGAMENTO ON-BOARD DE VEÍCULOS ELÉTRICOS

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: Sistemas de Energia.

Orientador: Prof. Dr. Demercil de Souza Oliveira Júnior.

Coorientador: Prof. Dr. Bruno Ricardo de Almeida.

FORTALEZA

2020

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca Universitária
Gerada automaticamente pelo módulo Catalog, mediante os dados fornecidos pelo(a) autor(a)

B212c Barbosa, Samanta Gadelha.

Conversor CA-CC monofásico bidirecional com estágio integrado e isolamento em alta frequência aplicável a carregamento on-board de veículos elétricos / Samanta Gadelha Barbosa. – 2020.
148 f. : il. color.

Dissertação (mestrado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2020.

Orientação: Prof. Dr. Demercil de Souza Oliveira Júnior.

Coorientação: Prof. Dr. Bruno Ricardo de Almeida.

1. Conversor CA-CC monofásico. 2. Dual Active Bridge (DAB). 3. Modulação SPWM. 4. Veículos elétricos. I. Título.

CDD 621.3

SAMANTA GADELHA BARBOSA

CONVERTOR CA-CC MONOFÁSICO BIDIRECIONAL COM ESTÁGIO
INTEGRADO E ISOLAÇÃO EM ALTA FREQUÊNCIA APLICÁVEL A
CARREGAMENTO ON-BOARD DE VEÍCULOS ELÉTRICOS

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: Sistemas de Energia.

Aprovada em: 07/02/2020.

BANCA EXAMINADORA

Prof. Dr. Demercil de Souza Oliveira Júnior (Orientador)
Universidade Federal do Ceará (UFC)

Prof. Dr. Bruno Ricardo de Almeida (Coorientador)
Universidade de Fortaleza (Unifor)

Prof. Dr. Luiz Henrique Silva Colado Barreto
Universidade Federal do Ceará (UFC)

Prof. Ph.D. Fernando Luiz Marcelo Antunes
Universidade Federal do Ceará (UFC)

Prof. Dr. André Luís Kirsten
Universidade Federal de Santa Catarina (UFSC)

A Deus,
a minha mãe Cristiane,
a meu pai Rui,
eu dedico esse trabalho.

AGRADECIMENTOS

Agradeço primeiramente a Deus por todas as benções concedidas.

Por seguinte à minha mãe, Cristiane Gadelha, meu pai, Rui Barbosa, e minha irmã, Amanda Gadelha, por todo amor, carinho, educação e suporte. Nada seria possível sem vocês. Assim como a todos os outros membros da minha família que, mesmo distantes, torceram por mim e me apoiaram.

Ao meu namorado, Tito Livio, pelo amor, paciência e compreensão, estando sempre ao meu lado, suportando estresses e ajudando a superar problemas. Agradeço também a toda sua família, que me acolheram e torceram por mim, revestindo meu caminho com amor, carinho e dedicação.

Ao meu orientador, Dr. Demercil de Souza Oliveira Júnior, pela orientação e as oportunidades a mim concedidas, ao meu coorientador, Dr. Bruno Ricardo de Almeida, assim como aos professores Dr. Luiz Henrique Silva Colado Barreto e Ph.D. Fernando Luiz Marcelo Antunes, da Universidade Federal do Ceará (UFC), e o professor Dr. André Luís Kirsten, Universidade Federal de Santa Catarina (UFSC), por aceitarem participar desta banca avaliadora. Agradeço também a todos os outros professores e funcionários do Departamento de Engenharia Elétrica da UFC que de alguma forma contribuíram para o conhecimento aqui apresentado.

Ao Grupo de Processamento de Energia e Controle (GPEC) pelo acolhimento e suporte ao projeto, e aos colegas e amigos da universidade, pelas contribuições técnicas e pelos momentos de descontração. Em especial, aos colegas e amigos do laboratório, do departamento e da universidade: Juliano, Gabriela, Débora, Janiere, Andresa, Felipe, Bruno (velho), Kristian, Samuel, Willamy, Welton, Cícero, Luan, Jefferson, Janaína, Nonato, Pedro, Caio, Bruno (novo), Judá, Dário, Álvaro e àqueles que posso não estar me lembrando agora, mas sabem que deveriam estar aqui.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001. Agradeço, portanto, à CAPES e ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) que contribuíram financeiramente com a realização do projeto.

Finalmente, agradeço a todos aqueles que de alguma maneira contribuíram para conclusão deste trabalho e para minha formação como profissional e cidadã.

“Ler fornece ao espírito materiais para o conhecimento, mas só o pensar faz nosso o que lemos.”

(John Locke)

“Talvez não tenha conseguido fazer o melhor, mas lutei para que o melhor fosse feito. Não sou o que deveria ser, mas Graças a Deus, não sou o que era antes.”

(Martin Luther King)

RESUMO

Este trabalho apresenta o estudo e desenvolvimento de um conversor monofásico CA-CC bidirecional de estágio único e com isolamento em alta frequência aplicável a veículos elétricos. O conversor proposto utiliza-se do conceito de *interleaving* e acoplamento de células de comutação para obtenção de um protótipo com alta densidade de potência. Tais vantagens tornam a topologia uma potencial solução para aplicações em níveis de potência similares àqueles requeridos em carregadores *onboard*, bem como nas situações onde peso e volume devam ser limitados. Desta forma, neste trabalho é desenvolvida uma análise teórica da estrutura proposta, validada por simulação através do *software* PSIM e por resultados experimentais utilizando-se de um protótipo de 1kW. Ensaio em malha fechada são apresentados, verificando o desempenho dinâmico e a capacidade de estabilização dos controladores. Sendo a topologia bidirecional, ensaios no modo retificador e inversor são discutidos, comprovando a capacidade de operação em ambos os modos com eficiência de 90%. No modo retificador o FP foi de 0,996 com THD de corrente de 2,8%, e no modo inversor, conectando uma fonte CC à rede elétrica, o FP foi de 0,995 com THD de 7,6%. Os resultados foram satisfatórios, validando a análise teórica e, conseqüentemente, a eficácia da topologia em aplicações com alta densidade de potência, porém algumas melhorias como integração de magnéticos e técnicas de comutação suave demonstram-se necessárias para elevação de sua eficiência, tornando-a uma estrutura adequada a aplicações em veículos elétricos com carregadores *on-board*.

Palavras-chave: Conversor CA-CC monofásico, *Dual Active Bridge* (DAB), modulação SPWM, veículos elétricos.

ABSTRACT

This work proposes the study and development of a bidirectional single-phase AC-DC converter with single stage and high frequency isolation, feasible to electrical vehicles. The proposed converter is based on the interleaving concept and switching cells coupling to obtain a prototype with high power density. Those characteristics make the topology an excellent solution for applications with high power level where weight and volume must be limited. Thus, within this work is developed a theoretical analysis for the proposed structure, validated through simulation on the software PSIM and experimental results using a 1kW prototype. Closed loop tests are presented verifying the dynamic performance and the controller's stabilization capabilities. Being this topology bidirectional, assays on both rectifier and inverter modes are discussed, proving the capability of operation in both modes with 90% efficiency. In rectifier mode the FP was 0.996 with current THD of 2.8% and in inverter mode, connecting a DC source to the power grid, the FP was 0.995 with current THD of 7.6%. The obtained results were satisfactory, validating the theoretical analysis and, consequently, the topology efficacy in applications with high power density, however some improvements like magnetics integration and zero voltage switching showed up to be necessary in order to elevate its efficiency, making the structure more adequate for applications on electrical vehicles with on-board chargers.

Keywords: Single-stage CA-CC converter, Dual Active Bridge (DAB), electrical vehicles, SPWM.

LISTA DE FIGURAS

Figura 1.1 – Sistema de um VE e soluções genéricas de carregamento.....	23
Figura 1.2 – Comparativo das propriedades físicas de Si, GaN e SiC.	26
Figura 1.3 – Conversor proposto conectado ao sistema elétrico.	27
Figura 2.1 – Estrutura básica de um OBC com dois estágios.	29
Figura 2.2 – Conversor DAB.....	30
Figura 2.3 – Unidade da topologia modular de 10,5 kW.	31
Figura 2.4 – Unidade da topologia modular de 22 kW.	32
Figura 2.5 – Unidade da topologia modular de 22 kW e estágio integrado.	33
Figura 2.6 – Topologia trifásica bidirecional de 10 kW.....	33
Figura 2.7 – Topologia trifásica de 20 kW unidirecional.....	34
Figura 2.8 – Conversor CA-CC trifásico de único estágio bidirecional.....	36
Figura 2.9 – Conversor CA-CA monofásico bidirecional com estágio integrado.....	36
Figura 2.10 – Estrutura proposta.	37
Figura 3.1 – Topologia proposta.....	39
Figura 3.2 – Conversor lado primário.	40
Figura 3.3 – Regiões de modulação e tensão multinível v_{xy}	41
Figura 3.4 – Principais formas de onda teórica para Região 1 do primário.	43
Figura 3.5 – Etapas de operação para a região 1 do primário.	44
Figura 3.6 – Principais formas de onda teórica para Região 2 do primário.	46
Figura 3.7 – Etapas de operação para a região 2 do primário.	47
Figura 3.8 – Principais formas de onda teórica para Região 3 do primário.	49
Figura 3.9 – Etapas de operação para a região 3 do primário.	50
Figura 3.10 – Principais formas de onda teórica para Região 4 do primário.	52
Figura 3.11 – Etapas de operação para a região 4 do primário.	53
Figura 3.12 – Razão cíclica no transformador em um ciclo de rede.	55
Figura 3.13 – Conversor lado secundário.....	56
Figura 3.14 – Formas de onda no transformador: a) defasagem fixa; b) defasagem variável.	57
Figura 3.15 – Defasamento das portadores e esforços no transformador 1: a) defasagem fixa; b) defasagem variável.....	58
Figura 3.16 – Conversor proposto sem a conexão do barramento CA.....	59
Figura 3.17 – Conversor DAB de referência.....	60
Figura 3.18 – Gráfico das regiões de operação do conversor DAB-CCTE.....	60

Figura 3.19 – Conversor DAB equivalente referido ao secundário.	60
Figura 3.20 – Regiões de operação: a) limites de operação; b) intervalos de operação.	61
Figura 3.21 – Circuito do DAB simplificado.	62
Figura 3.22 – Combinações de chaveamento para região 1 do DAB.	63
Figura 3.23 – Etapas de operação para a região 1 do DAB.	64
Figura 3.24 – Combinações de chaveamento para região 2 do DAB.	66
Figura 3.25 – Etapas de operação para a região 2 do DAB.	67
Figura 3.26 – Combinações de chaveamento para região 3 do DAB.	69
Figura 3.27 – Etapas de operação para a região 3 do DAB.	70
Figura 3.28 – Formas de onda para a potência do conversor.	72
Figura 3.29 – Potência e eficiência do conversor para diferentes parâmetros.	74
Figura 3.30 – Potência transferida pelo conversor.	75
Figura 4.1 – Configuração dos sensores de tensão.	77
Figura 4.2 – Filtro <i>anti-aliasing</i> de 1º ordem.	78
Figura 4.3 – Configuração dos sensores de corrente.	79
Figura 4.4 – Diagrama de blocos do controle.	80
Figura 4.5 – Diagrama de blocos do q-PLL.	81
Figura 4.6 – Diagrama de blocos de um controlador P+Ressonante.	82
Figura 4.7 – Projeto do controlador de corrente i_{LS} no sisotool.	82
Figura 4.8 – Diagramas de bode da planta de corrente sem (FTi) e com compensador (FTCi).	83
Figura 4.9 – Circuito equivalente da planta de tensão.	83
Figura 4.10 – Projeto do controlador de corrente V_{PRI} no sisotool.	84
Figura 4.11 – Diagramas de bode da planta de tensão sem (FTv) e com compensador (FTCv).	85
Figura 4.12 – Projeto do controlador de corrente i_{magPRI} no sisotool.	86
Figura 4.13 – Projeto do controlador de corrente i_{magSEC} no sisotool.	86
Figura 4.14 – Diagramas de bode da planta i_{magPRI} sem (FTi) e com compensador (FTCi). ..	87
Figura 4.15 – Diagramas de bode da planta i_{magSEC} sem (FTi) e com compensador (FTCi). ..	87
Figura 4.16 – Projeto do controlador de tensão V_{SEC} no sisotool.	88
Figura 4.17 – Diagramas de bode da planta V_{SEC} sem (FTv) e com compensador (FTCv). ...	89
Figura 5.1 – Circuito de potência do lado primário.	90
Figura 5.2 – Circuito de potência do lado secundário.	90
Figura 5.3 – Acoplamento entre os lados do conversor.	91

Figura 5.4 – Circuitos de medição e processador digital.....	91
Figura 5.5 – Moduladoras do primário e do secundário.....	92
Figura 5.6 – Circuito de defasamento das portadoras do secundário.	92
Figura 5.7 – Resposta em regime permanente.....	93
Figura 5.8 – Parâmetros dos DABs em alta frequência para o regime permanente.	94
Figura 5.9 – Resposta a um degrau de carga positivo (1,05s) e negativo (1,5s).	95
Figura 5.10 – Mudanças no ângulo de potência.	96
Figura 5.11 – Resposta a um degrau de inversão de potência em 1,05s.	97
Figura 5.12 – Mudança de polaridade do ângulo de potência.	98
Figura 6.1 – Bancada experimental com o protótipo de 1kW.....	101
Figura 6.2 – Formas de onda nos barramentos principais no modo retificador.	102
Figura 6.3 – Tensão multinível e parâmetros da rede CA.	102
Figura 6.4 – FP e THD medidos pelo osciloscópio no modo retificador.	103
Figura 6.5 – Correntes nos indutores de potência no modo retificador.....	103
Figura 6.6 – Formas de onda do DAB no modo retificador.	104
Figura 6.7 – Fator de potência do conversor no modo retificador.	104
Figura 6.8 – Rendimento do conversor no modo retificador.....	105
Figura 6.9 – Potência x ângulo de potência no modo retificador.	105
Figura 6.10 – Formas de onda nos barramentos principais no modo inversor.....	106
Figura 6.11 – FP e THD medidos pelo osciloscópio no modo inversor.....	107
Figura 6.12 – Correntes nos indutores de potência no modo inversor.	107
Figura 6.13 – Formas de onda do DAB no modo inversor.	108
Figura 6.14 – Fator de potência do conversor no modo inversor.	108
Figura 6.15 – Rendimento do conversor no modo inversor.	109
Figura 6.16 – Potência x ângulo de potência no modo inversor.....	109
Figura 6.17 – Curvas de potência: experimental x teórico.	110
Figura 6.18 – Resposta a um degrau positivo de carga.	111
Figura 6.19 – Resposta a um degrau negativo de carga.	111
Figura 6.20 – Caso 1: modo retificador para inversor (50% para -40%).	112
Figura 6.21 – Caso 2: modo inversor para retificador (-40% para 50%).	113
Figura 6.22 – Sinais de controle: (a) o caso 1; (b) caso 2.....	113

LISTA DE TABELAS

Tabela 3.1 – Combinações de chaveamento do lado primário.	41
Tabela 3.2 – Combinações de chaveamento para região 1 do primário.	42
Tabela 3.3 – Combinações de chaveamento para região 2 do primário.	46
Tabela 3.4 – Combinações de chaveamento para região 3 do primário.	50
Tabela 3.5 – Combinações de chaveamento para região 4 do primário.	52
Tabela 3.6 – Combinações de chaveamento para região 1 do DAB.	63
Tabela 3.7 – Combinações de chaveamento para região 2 do DAB.	67
Tabela 3.8 – Combinações de chaveamento para região 3 do DAB.	70
Tabela 4.1 – Especificações de projeto.	76
Tabela 4.2 – Parâmetros do conversor.	76
Tabela 4.3 – Configuração dos sensores de tensão.	77
Tabela 4.4 – Especificação dos filtros de tensão.	78
Tabela 4.5 – Configuração dos sensores de corrente.	79
Tabela 4.6 – Especificação dos filtros de corrente.	79
Tabela 4.7 – Resumo de projeto dos controladores.	89
Tabela 6.1 – Componentes do hardware.	100

LISTA DE ABREVIATURAS E SIGLAS

3SSC	<i>Three-State Switching Cell</i> (Célula de Comutação de Três Estados)
AD	Analógico/Digital
CA	Corrente Alternada
CC	Corrente Contínua
DA	Digital/Analógico
DAB	<i>Dual Active Bridge</i>
DSP	<i>Digital Signal Processor</i> (Processador Digital de Sinais)
EMI	<i>Electromagnetic Interference</i> (Interferência eletromagnética)
FP	Fator de Potência
GaN	<i>Gallium Nitride</i> (Nitreto de Gálio)
GD	Geração Distribuída
GEE	Gases de Efeito Estufa
OBC	<i>On-Board Charger</i> (Carregador On-board)
PFC	<i>Power Factor Correction</i> (Correção de Fator de Potência)
PI	Proporcional-Integral
PLL	<i>Phase-Locked Loop</i> (Rastreamento de fase)
PR	Proporcional + Ressonante
PWM	<i>Pulse-Width Modulation</i> (Modulação por Largura de Pulso)
Si	<i>Silicon</i> (Silício)
SiC	<i>Silicon Carbide</i> (Carboneto de Silício)
SPWM	<i>Sinusoidal Pulse-Width Modulation</i> (Modulação por Largura de Pulso Senoidal)
THD	<i>Total Harmonic Distortion</i> (Distorção harmônica total)
VE	Veículo Elétrico
WBG	<i>Wide Bandgap</i> (Ampla Largura de banda)
ZVS	<i>Zero Voltage Switching</i> (Comutação sob Tensão Nula)

LISTA DE SIMBOLOS

α	Relação de transformação
Δd	Razão cíclica instantânea do conversor/ Largura dos pulsos de tensão no transformador
Δm_{PRI}	Variação nos pulsos do primário para controle da magnetizante
Δm_{SEC}	Variação nos pulsos do secundário para controle da magnetizante
Δt_{Rx}	Tempo de duração da região x do DAB
$\Delta \varphi$	Razão entre o ângulo de potência e o período de chaveamento
τ_1	Tempo de transição entre as regiões 1 e 2 do DAB
τ_2	Tempo de transição entre as regiões 2 e 3 do DAB
φ	Ângulo de potência geral (<i>phase-shift</i>)
$\varphi_{deslocamento}$	Ângulo de deslocamento total aplicado as portadoras do secundário
φ_{main}	Ângulo de potência para deslocamento das portadoras do secundário
φ_{SEC}	Ângulo de deslocamento adicional entre as portadoras do secundário
ω	Variável de frequência angular
ω_g	Frequência angular da rede CA
ϕ	Fluxo magnético no autotransformador
C_{If}	Capacitância do filtro <i>anti-aliasing</i> (1ª ordem)
C_{PRI}	Capacitor do barramento CC primário
C_{SEC}	Capacitor do barramento CC secundário
C_x	Controlador projetado para o parâmetro x
D_{PRI}	Razão cíclica dos interruptores S1 e S2 da ponte 1
d_{PRI}	Razão cíclica aplicada nos interruptores do primário
d_{SEC}	Razão cíclica aplicada nos interruptores do secundário
e_{iLs}	Erro entre a referência e o valor medido de i_{Ls}
e_{imag}	Erro entre a referência e o valor medido de i_{magx}
e_{vPRI}	Erro entre a referência e o valor medido de V_{PRI}
e_{vSEC}	Erro entre a referência e o valor medido de V_{SEC}
f_c	Frequência de corte do filtro <i>anti-aliasing</i> (1ª ordem)
f_g	Frequência da rede CA
f_{samp}	Frequência de amostragem
f_{sw}	Frequência de chaveamento
FT_x	Função de transferência no tempo contínuo do parâmetro x
FTd_x	Função de transferência no tempo discreto do parâmetro x

G_{AD}	Ganho de conversão AD
G_{cc}	Ganho estático do conversor do lado primário
G_{COMP}	Ganho de compensação da amostragem
G_{LV20-P}	Ganho do transdutor de tensão LV 20-P
G_{X-NP}	Ganho do transdutor de corrente modelo HO x-NP/SP33
G_v	Ganho de amostragem de tensão
H_{sensor}	Ganho de amostragem analógico
i_{oPRI}	Corrente no barramento CC do primário
i_{oSEC}	Corrente no barramento CC do secundário
i_{Llk}	Corrente no indutor de potência do lado
K_i	Ganho integral
K_p	Ganho proporcional
I_{Llkx}	Valor da corrente i_{Llk} no ponto x de mudança da sua inclinação
i_{Ls}	Corrente que circula pelo indutor de filtro CA
i_{Ls_ref}	Referência senoidal de i_{Ls}
i_{Lspk_ref}	Referência do pico de corrente de i_{Ls}
i_{magx}	Corrente medida no indutor de controle da magnetizante do lado x
I_{mag_ref}	Corrente de referência para i_{magx}
i_{Tx}	Correntes nos enrolamentos dos autotransformadores (x – número da ponte e letra de cada braço de conexão do autotransformador)
L	Elemento indutivo genérico
L_d	Indutor série para transferência de potência
L_{lk}	Indutância total de potência
L_{mag}	Indutor de medição da magnetizante
L_s	Indutor de filtro CA no primário
L_{Tdx}	Indutância de dispersão do transformador referida ao lado x
L_{Tmag}	Indutância de magnetização do transformador
m_ϕ	Moduladora de ajuste dos pulsos de tensão no secundário
m_a	Índice de modulação
MF	Margem de fase
MG	Margem de ganho
m_{PRI}	Moduladora do primário
m_{SEC}	Moduladora do secundário
P_o	Potência de saída

R_I	Resistor de entrada do circuito de amostragem da tensão
R_{If}	Resistor do filtro <i>anti-aliasing</i> (1ª ordem)
R_{1i}	Resistor de ganho de corrente 1
R_{2i}	Resistor de ganho de corrente 2
R_M	Resistor de saída do circuito de amostragem da tensão
R_{PRI}	Resistencia no barramento V_{PRI} para potência nominal
R_x	Região x de potência
s	Variável de Laplace
$S_1...S_4$	Interruptores superiores do lado primário
$S_1...S_4$	Interruptores inferiores do lado primário
$S_5...S_8$	Interruptores superiores do lado secundário
$S_5...S_8$	Interruptores inferiores do lado secundário
t	Variável de tempo
$T1$	Transformador entre a ponte 1 e 2
$T2$	Transformador entre a ponte 3 e 4
T_s	Período de chaveamento
ukv_{PRI}	Saída do controlador da tensão V_{PRI}
v_{ab1}	Tensão no primário do transformador T1
v_{ab1}'	Tensão no primário do transformador T1
v_{ab2}	Tensão no secundário do transformador T2
V_{AD}	Tensão máxima do conversor AD
v_{cd1}	Tensão no primário do transformador T1
v_{cd2}	Tensão no secundário do transformador T2
V_{DC}	Tensão CC no circuito equivalente do DAB
v_g	Tensão eficaz da rede CA
V_{gPK}	Tensão de pico da rede CA
v_{in}	Tensão de entrada do filtro <i>anti-aliasing</i> (1ª ordem)
v_{Llk}	Tensão sobre o indutor de potência
v_o	Tensão de saída do filtro <i>anti-aliasing</i> (1ª ordem)
v_o_{LEM}	Tensão de saída do transdutor de corrente
v_{oPRI_ref}	Referência para controle de V_{PRI}
v_{oSEC_ref}	Referência para controle de V_{SEC}
V_{PRI}	Tensão do barramento CC primário
V_{PRI}'	Tensão do barramento CC primário referida ao secundário
v_{ref_LEM}	Tensão de referência do transdutor de corrente

V_{SEC}	Tensão do barramento CC secundário
v_{TRI_x}	Portadora triangular do interruptor x
v_{xy}	Tensão multinível entre as pontes do primário
z	Variável do tempo discreto

SUMÁRIO

1	INTRODUÇÃO	22
1.1	Contextualização e motivação	22
1.2	Veículos Elétricos e soluções de carregamento	23
1.3	Conversores eletrônicos	24
1.4	Dispositivos eletrônicos	25
1.5	Proposta da Dissertação e Metodologia.....	26
2	CONVERSORES ELETRÔNICOS PARA VEÍCULOS ELÉTRICOS.....	29
2.1	Revisão Bibliográfica	29
2.1.1	<i>Topologia modular de 10,5 kW e duplo estágio de potência.....</i>	<i>31</i>
2.1.2	<i>Topologia modular de 22 kW e duplo estágio de potencia.....</i>	<i>31</i>
2.1.3	<i>Topologia modular de 22 kW e estágio integrado de potência.....</i>	<i>32</i>
2.1.4	<i>Topologia trifásica bidirecional de 10 kW.....</i>	<i>33</i>
2.1.5	<i>Topologia trifásica de 20 kW com LLC ressonantes em série.....</i>	<i>34</i>
2.2	Conversores integrados com isolamento em alta frequência	35
2.2.1	<i>Conversor CA-CC trifásico de único estágio bidirecional.....</i>	<i>35</i>
2.2.2	<i>Conversor CA-CA monofásico de estágio integrado bidirecional.....</i>	<i>36</i>
2.3	Topologia proposta.....	37
3	ANÁLISE DO CONVERSOR PROPOSTO.....	39
3.1	Análise do lado primário	40
3.1.1	<i>Técnica de modulação.....</i>	<i>40</i>
3.1.2	<i>Regiões e etapas de operação.....</i>	<i>42</i>
3.1.2.1	<i>Região 1.....</i>	<i>42</i>
3.1.2.2	<i>Região 2.....</i>	<i>45</i>
3.1.2.3	<i>Região 3.....</i>	<i>49</i>
3.1.2.4	<i>Região 4.....</i>	<i>51</i>
3.1.3	<i>Ganho do conversor primário.....</i>	<i>53</i>
3.2	Análise do lado secundário	55
3.2.1	<i>Técnica de modulação.....</i>	<i>56</i>
3.2.2	<i>Defasamento entre as portadoras</i>	<i>56</i>
3.3	Transferência de potência entre os lados	58
3.3.1	<i>Princípio de operação.....</i>	<i>59</i>
3.3.2	<i>Regiões e etapas de operação.....</i>	<i>61</i>

3.3.2.1	<i>Região 1 ($\Delta d > 0.25$ e $\Delta \varphi > 0.5 - \Delta d$)</i>	62
3.3.2.2	<i>Região 2 ($\Delta d > 0.25$ e $\Delta \varphi < 0.5 - \Delta d$ ou $\Delta d < 0.25$ e $\Delta \varphi < \Delta d$)</i>	66
3.3.2.3	<i>Região 3 ($\Delta d < 0.25$ e $\Delta \varphi > \Delta d$)</i>	69
3.3.3	Potência transferida	72
4	PROCEDIMENTO DE PROJETO	76
4.1	Parâmetros do conversor	76
4.2	Amostragem das tensões	77
4.3	Amostragem das correntes	78
4.4	Projeto dos controladores	79
4.4.1	<i>Sincronismo com a rede (PLL)</i>	81
4.4.2	<i>Malha de corrente senoidal (i_{Ls})</i>	81
4.4.3	<i>Malha de tensão do primário (V_{PRI})</i>	83
4.4.4	<i>Malha de corrente magnetizante (i_{LmagX})</i>	85
4.4.5	<i>Malha de tensão do secundário (V_{SEC})</i>	88
5	RESULTADOS DE SIMULAÇÃO	90
5.1	Circuito de simulação	90
5.2	Resultados em regime permanente	93
5.3	Resultados em regime dinâmico	95
5.4	Considerações finais	99
6	RESULTADOS EXPERIMENTAIS	100
6.1	Descrição do protótipo inicial	100
6.2	Resultados experimentais	101
6.2.1	<i>Conversor em regime permanente</i>	101
6.2.1.1	<i>Operação no modo retificador</i>	101
6.2.1.2	<i>Operação no modo inversor</i>	106
6.2.2	<i>Comportamento dinâmica do conversor em malha fechada</i>	110
6.2.2.1	<i>Resposta a um degrau de carga no secundário</i>	110
6.2.2.2	<i>Resposta a um degrau de inversão de fluxo de potência</i>	112
6.3	Considerações finais	114
7	CONCLUSÃO	116
7.1	Publicações Resultantes	118
	REFERÊNCIAS	119

APÊNDICE A – CÓDIGO EM LINGUAGEM DE PROGRAMAÇÃO C UTILIZADO NAS SIMULAÇÕES DO PSIM®.....	124
APÊNDICE B – CÓDIGO EM LINGUAGEM DE PROGRAMAÇÃO C DESENVOLVIDO EXPERIMENTALMENTE (TMS320F28379D).....	128
APÊNDICE C – DESCRIÇÃO DO HARDWARE	142

1 INTRODUÇÃO

O avanço tecnológico e a busca por soluções sustentáveis vêm acarretando grandes mudanças no setor elétrico mundial. A regularização da geração distribuída (GD) e a crescente popularização dos veículos elétricos (VEs), acompanhados de políticas de incentivo a utilização de fontes renováveis, vem reestruturando o setor energético, descentralizando as fontes de energia e exigindo um gerenciamento mais complexo do fluxo energético, partindo desde as concessionárias até os consumidores de energia.

Este avanço também vem refletindo sobre os dispositivos e componentes eletrônicos, permitindo a elevação da frequência de chaveamento dos conversores eletrônicos, e, conseqüentemente, reduzindo o volume e elevando a potência processada. Em conjunto, novas topologias também vêm sendo estudadas afim de melhorar ainda mais a densidade de potência processada por esses conversores, mantendo como foco a alta eficiência e qualidade de energia. Neste capítulo, uma breve introdução é realizada sobre os principais tópicos a serem explorados no presente trabalho.

1.1 Contextualização e motivação

Os veículos elétricos, quando comparados aos tradicionais veículos à combustão, apresentam como vantagens a redução das emissões globais de gases de efeito estufa (GEE), redução da poluição sonora e desempenho veicular elevado, com torque superior associado a um menor custo por km rodado. Porém, possuem barreiras iniciais como: custo inicial elevado, deficiência na infraestrutura de postos de carregamento e problemas relacionados ao uso de baterias, como produção, autonomia e descarte (KHALIGH; ANTONIO, 2019). A necessidade de baterias com alta capacidade de armazenamento de energia, rápida carga e peso reduzido é um obstáculo para os VEs. Porém, o avanço da tecnologia de baterias *lithium-ion* atingiu uma densidade energética suficiente e, embora ainda com custos consideráveis, facilitarão o crescimento destes veículos no mercado automotivo (IEA, 2017). Além do mais, atualmente existe um massivo investimento no melhoramento e desenvolvimento de novas tecnologias de baterias, de modo que, apesar das dificuldades técnicas, prevê-se um salto tecnológico considerável nos próximos anos (HANNAN et al., 2018; KEIM, 2018).

Outro aspecto importante a ser analisado é o impacto que o crescimento indiscriminado de veículos elétricos pode ocasionar na rede elétrica devido as técnicas de carregamento empregadas. Embora um reforço na rede elétrica possa ser realizado, isto

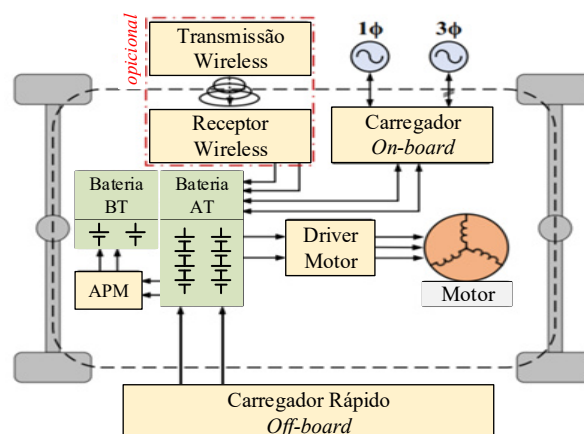
acarretaria grandes investimentos pelas concessionárias. Como alternativa, o gerenciamento pelo lado da demanda, com o consumidor como um *player* ativo, pode permitir uma maior penetração das fontes renováveis. Para o caso dos veículos elétricos, um sistema com um certo nível de inteligência poderia programar, de forma mais adequada, os momentos nos quais ocorreriam a carga da bateria, permitindo a otimização do uso da infraestrutura existente da rede elétrica (LOPES; SOARES; ALMEIDA, 2011). Além disso, o uso de sistemas armazenadores de pequeno, médio ou grande porte, também poderia atenuar os efeitos dessas variações e desses períodos de sobrecarga. Como os veículos elétricos contêm uma considerável quantidade de armazenamento e passam a maior parte do tempo estacionados, pode-se imaginar, no futuro, que diversos carregadores bidirecionais de baterias possam contribuir com essa energia para auxiliar na estabilização da rede elétrica (JAFARI et al., 2018).

Em vista dessas vantagens, desafios e tendências, diversos países vêm traçando ordens e metas futuras para ampliar o uso e a venda de veículos elétricos (IEA, 2018). Logo, pesquisas e inovações nessa área se tornam promissoras e necessárias.

1.2 Veículos Elétricos e soluções de carregamento

A Figura 1.1 ilustra o sistema elétrico de um VE de forma genérica, destacando as principais soluções de carregamento existentes.

Figura 1.1 – Sistema de um VE e soluções genéricas de carregamento.



Fonte: Adaptado de Khaligh e Antonio (2019).

Os carregadores de veículos elétricos, em geral, podem ser classificados quanto a sua localização física, *on-board* ou *off-board*; o nível de carregamento (1, 2 ou 3), dependendo da potência ou da velocidade de carga; o tipo de conexão (conexão física ou

wireless); o tipo de alimentação (monofásica, trifásica ou CC); os estágios de conversão (integrados ou não-integrados) e a direção do seu fluxo de potência (unidirecional ou bidirecional) (KHALIGH; DUSMEZ, 2012).

Os carregadores *on-board* (OBCs - *On-board chargers*) estão embarcados nos veículos, sendo o carregamento realizado através de uma conexão direta com a rede elétrica através de um conector adaptado, tendo como vantagem a simplicidade de conexão, porém há limitações de peso e volume. Já os *off-board* são externos, o que permite serem mais rápidos e com maior capacidade de potência sem muitas preocupações com peso e volume.

Em relação a capacidade de potência, existem três níveis de carregamento. O nível 1 é relativo a aplicações CA limitadas em 3,7 kW, o que o torna o mais demorado. O nível 2 também é CA, podendo chegar até 22 kW, sendo o de maior popularidade entre os métodos. Já o nível 3 pode ser aplicado a sistemas CA trifásicos, com limitação de potência entre 22 kW e 43,5 kW, ou para sistemas CC, com capacidade de potência de até 200 kW, sendo consequentemente o padrão que permite o carregamento mais rápido entre os apresentados (KHALIGH; ANTONIO, 2019). Normalmente, as soluções monofásicas são usadas para os níveis 1 e 2, podendo este último também ser trifásico. O carregamento rápido de nível 3 é destinado a aplicações comerciais e públicas, operando como uma estação de abastecimento (YILMAZ; KREIN, 2013).

1.3 Conversores eletrônicos

Para interligação entre fontes de energia e aplicações de elevada potência (acima de 1 kW), o conversor *Dual Active Bridge* (DAB) apresenta-se extremamente atrativo. O mesmo utiliza-se da indutância de dispersão do transformador para a transmissão de energia ativa entre as partes isoladas, o que permite um alto processamento de energia com isolamento galvânica de maneira compacta, justificando sua característica de alta densidade de potência. O DAB trifásico bidirecional e algumas variações de topologia, todas com comutação suave, é primeiramente apresentado em Doncker et al. (1991) enquanto uma estrutura monofásica é estudada em Kheraluwala et al. (1992).

Outra técnica disponível para redução do volume dos conversores mantendo um alto processamento de potência é a utilização das células de comutação de três estados (3SSC - *Three-State Switching Cell*) (BASCOPE; BARBI, 2000). A mesma permite elevar a frequência das variações de corrente sobre os magnéticos de entrada, reduzindo o volume dos

mesmos, sem alterar a frequência de chaveamento do conversor, além de redução dos esforços de corrente sobre os interruptores eletrônicos.

Em Oliveira et al. (2012) é proposta uma topologia CA-CC bidirecional monofásica com duas portas para aplicações em GD, utilizando-se também do acoplamento das 3SSCs para composição do transformador de transferência de potência. Em Almeida (2016) é apresentado um conversor CA-CC trifásico de único estágio bidirecional com duas portas ativas utilizando a mesma estratégia. Baseado neste trabalho, em Silva Filho e Oliveira (2016) uma nova família de conversores monofásicos CA-CA isolados em alta frequência é proposta. Dando continuidade ao trabalho anterior, em Silva Filho et al. (2018) uma destas topologias é aprofundada e direcionada para aplicações de qualidade de energia. Embora as topologias citadas tenham aplicações diversas, alterações nas mesmas podem resultar em conversores eletrônicos para veículos elétricos com alta densidade de potência e qualidade de energia. As topologias citadas, assim como algumas estruturas relevantes para veículos elétricos, são detalhadas no capítulo seguinte.

1.4 Dispositivos eletrônicos

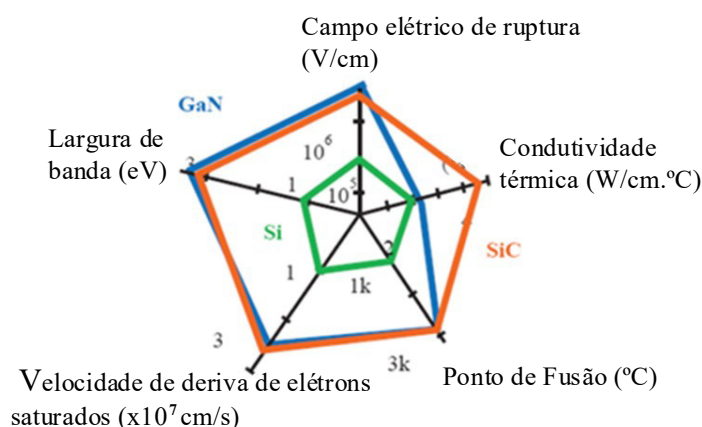
No ramo de dispositivos semicondutores, o material silício (Si - *Silicon*) veio sendo amplamente explorado nas últimas décadas, estando seu estudo e aprimoramento já bastante amadurecido na literatura, de forma que a busca por melhorias em dispositivos de Si vem se tornando cada vez mais árdua com custo econômico mais elevado. Devido à crescente demanda por conversores com alta eficiência e alta densidade de potência, os semicondutores Si não estão sendo capazes de acompanhar as necessidades de mercado. Aprimoramento de materiais derivados do silício vem sendo explorado, tendo como destaque os dispositivos com a tecnologia do carbeto de silício (SiC - *Silicon Carbide*), que apresentam alta eficiência e capacidade de operações em altas temperaturas (BOUTROS; CHU; HUGHES, 2012; MITOVA et al., 2014).

Como solução a crescente necessidade de semicondutores mais rápidos e com baixa resistência de condução, os dispositivos de nitreto de gálio (GaN - *Gallium Nitride*) vem se destacando no mercado devido suas excelentes propriedades. Sua utilização em sistemas elétricos permite vantagens como tamanho e peso reduzidos, além de menor geração de interferência eletromagnética (EMI - *Electromagnetic Interference*) (BOUTROS et al., 2012). Porém, devido a capacidade de chaveamento em alta frequência dos dispositivos GaN, soluções de acionamento com baixa impedância de saída e baixo atraso de propagação para

estes semicondutores torna-se um desafio. Outro limitante é a baixa faixa de tensão em que estes dispositivos são disponibilizados no mercado (CZYZ et al., 2016; HUANG et al., 2013; MITOVA et al., 2014; XUE et al., 2015). Em Town (2015) um breve resumo sobre o estado atual dos semicondutores GaN e um comparativo com seus principais concorrentes de mercado é apresentado, ressaltando suas vantagens e os desafios para tornar esta tecnologia mais popular, assim como as expectativas de redução de custo e melhoria dos circuitos de acionamento nos próximos anos.

Uma comparação entre as propriedades físicas de Si, GaN e SiC é apresentada através da Figura 1.2, constatando as vantagens do GaN e do SiC, com superior largura de banda, maior campo elétrico de ruptura, maior velocidade de deriva de elétrons saturados e maior condutividade térmica (BUENO; SILVA, 2014). Devido à grande largura de banda dos materiais GaN e SiC, estes são classificados como dispositivos WBG (*Wide Bandgap*) (HOSHI, 2016).

Figura 1.2 – Comparativo das propriedades físicas de Si, GaN e SiC.



Fonte: Adaptado de Hoshi (2016).

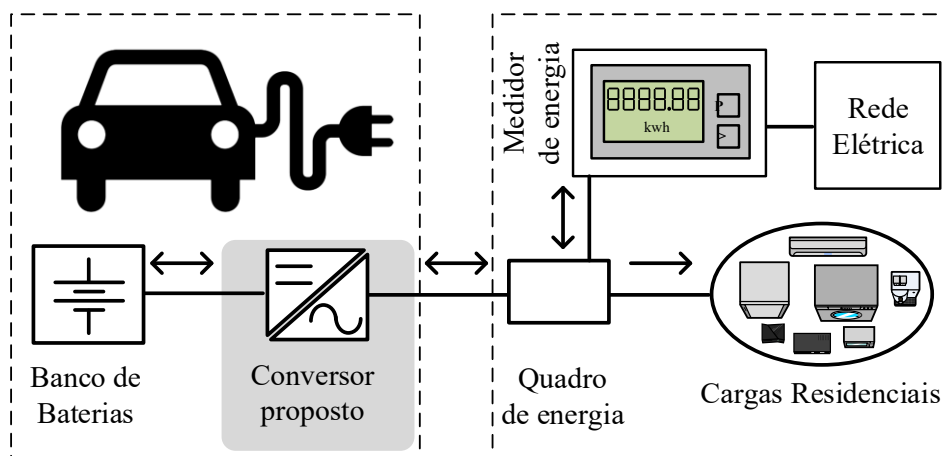
Os dispositivos WBG são amplamente explorados em OBCs, no qual a necessidade de se trabalhar em altas correntes e alta frequência de chaveamento para redução de peso e volume dos carregadores demanda o emprego de semicondutores que apresentem baixa resistência e rápida comutação, reduzindo as perdas elétricas por condução e comutação.

1.5 Proposta da Dissertação e Metodologia

O presente trabalho tem como objetivo propor uma topologia monofásica bidirecional baseada nas topologias apresentadas em Oliveira et al. (2012) e Silva Filho et al.

(2018), podendo ser associada a uma versão bifásica do conversor desenvolvido em ALMEIDA et al. (2018). A topologia consiste em um conversor monofásico CA-CC bidirecional multiportas com estágio integrado e isolamento em alta frequência, com potencial para aplicação em veículos elétricos. A Figura 1.3 ilustra o conversor proposto em um sistema *on-board*, considerando bidirecionalidade de fluxo entre o veículo e a rede elétrica.

Figura 1.3 – Conversor proposto conectado ao sistema elétrico.



Fonte: Próprio autor.

O presente trabalho está organizado em sete capítulos, contando com a presente introdução, sendo os demais descritos a seguir:

Capítulo 2 – Conversores eletrônicos para veículos elétricos: Neste capítulo é apresentado uma revisão da literatura referente aos conversores eletrônicos utilizados para carregamento *on-board* de veículos elétricos e aos conversores de derivação do proposto trabalho. Estruturas monofásicas e trifásicas são abordadas, destacando as vantagens e desvantagens de cada uma. No final do capítulo é apresentado a topologia proposta.

Capítulo 3 – Análise do conversor proposto: Neste tópico é realizado uma análise teórica sobre o conversor proposto, detalhando o funcionamento de cada lado isolado e a técnica de modulação aplicada, além do arranjo para a transferência de potência e suas regiões de operação.

Capítulo 4 – Procedimento de projeto: Nesta parte são apresentados os parâmetros e especificações adotados para validação da topologia via simulação e experimental. São também descritos os circuitos de condicionamento e os controladores projetados.

Capítulo 5 – Resultados de simulação: Neste capítulo tem-se a validação da topologia proposta utilizando ferramentas computacionais. Os circuitos utilizados são apresentados e as principais formas de onda que caracterizam as operações do conversor são discutidas.

Capítulo 6 – Resultados experimentais: Neste capítulo são apresentados as especificações e os dispositivos utilizados para montagem do protótipo, além de resultados em bancada experimental e suas análises.

Capítulo 7 – Conclusão: Por fim, tem-se uma conclusão geral sobre os tópicos apresentados e resultados obtidos, além de sugestões para continuidade da pesquisa e trabalhos resultantes.

2 CONVERSORES ELETRÔNICOS PARA VEÍCULOS ELÉTRICOS

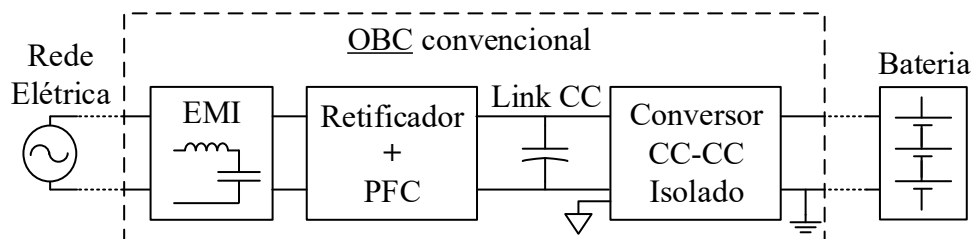
Neste capítulo é apresentada uma revisão da literatura referente a conversores eletrônicos, retratando estruturas relevantes propostas para carregamento *on-board* de veículos elétricos e estruturas que serviram como base para o desenvolvimento do presente trabalho. Topologias monofásicas e trifásicas são abordadas, destacando as vantagens e desvantagens de cada uma. No final do capítulo é apresentado a topologia proposta a ser explorada no presente trabalho.

2.1 Revisão Bibliográfica

Um carregador de bateria para aplicações embarcadas deve ser eficiente e confiável, possuir alta densidade de energia, volume e peso compactados e ser financeiramente viável. Sua operação e desempenho dependem da topologia adotada, dos componentes empregados, do controle e das estratégias de modulação. Para conexão com a rede elétrica, deve apresentar correntes com baixa taxa de distorção harmônica (THD - *Total Harmonic Distortion*) e alto fator de potência (FP), além de apresentar isolação galvânica de forma a não impactar na qualidade de energia dos sistemas elétricos e na segurança do usuário.

As topologias convencionais para OBCs usualmente apresentam dois estágios de conversão de energia, cuja a estrutura básica está ilustrada na Figura 2. Inicialmente tem-se um filtro para redução das interferências eletromagnéticas, seguido por um retificador e um conversor com correção ativa do fator de potência (PFC – *Power Factor Correction*). Estabelecido o link CC, o segundo estágio consiste de um conversor CC-CC preferencialmente isolado para conexão com a bateria. Para um OBC ser bidirecional, todas as etapas devem apresentar chaves bidirecionais.

Figura 2.1 – Estrutura básica de um OBC com dois estágios.

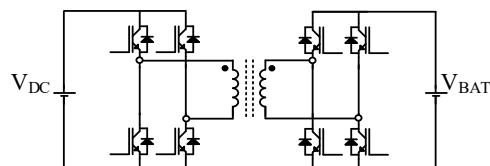


Fonte: Próprio autor.

Robustez, fator de potência, eficiência, custo, complexidade de controle e reduzida THD de corrente são os principais fatores que influenciam a seleção de uma topologia de retificador PFC específica. As topologias do tipo *Boost* são as mais utilizadas na literatura para o primeiro estágio. Devido as altas perdas por condução em operações com potência elevada, variações do conversor convencional são implementadas, como, por exemplo, conversores intercalados, elevando a frequência resultante nos filtros, reduzindo o tamanho dos indutores e melhorando a densidade de potência. Técnicas de comutação suave também vêm sendo intensificadas, buscando redução das perdas por chaveamento e elevação da eficiência dos carregadores.

Em relação às topologias de conversores CC-CC isolados para conexão com a bateria, pontes alimentadas por corrente, pontes alimentadas por tensão, combinações apropriadas de ambos e conversores ressonantes são comumente utilizados (KHALIGH; DUSMEZ, 2012). Para interligação entre barramentos CC com isolamento galvânica em aplicações de elevada potência, o conversor DAB, ilustrado na Figura 2.2, apresenta-se atrativo, utilizando-se da indutância de dispersão do transformador para a transmissão de energia ativa entre pontes completas isoladas, o que permite um alto processamento de energia com isolamento galvânica e volume compacto, tornando-o favorável em aplicações *on-board* (DONCKER, R. W. A. A. D. et al., 1991).

Figura 2.2 – Conversor DAB.



Fonte: Próprio autor.

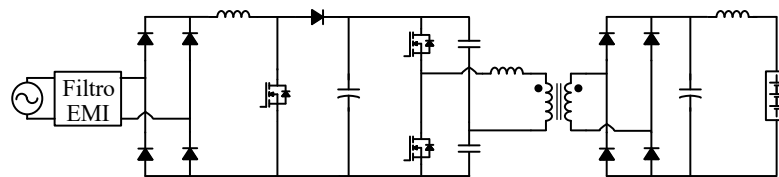
Em Khaligh e Dusmez (2012), soluções não integradas de dois estágios para carregadores on-board são apresentadas, conversores monofásicos em torno de 3 kW são comparados, cuja eficiência varia entre 88% e 93%, e a frequência de chaveamento entre 45 kHz e 200 kHz. Em Khaligh e Antonio (2019) já se tem uma revisão mais recente onde são discutidas soluções de OBCs não integrados presentes na literatura para potências superiores a 7,4 kW. Embora haja uma diferença de mais de 5 anos entre essas revisões, constata-se que em geral as topologias básicas são mantidas, variando-se usualmente a conexão entre os estágios, o emprego da técnica *interleaved*, modularidade de conversores, e técnicas de modulação e obtenção de comutações suaves. A seguir são apresentadas algumas topologias

propostas para OBCs. Para obtenção de potências elevadas, são exploradas topologias monofásicas modulares que juntas compõem um conversor trifásico de potência superior.

2.1.1 Topologia modular de 10,5 kW e duplo estágio de potência

Em Yang et al. (2016) propõe-se a utilização de conversores monofásicos como células para composição de uma estrutura trifásica com maior processamento de energia. A topologia monofásica base da célula está ilustrada na Figura 2.3, a mesma apresenta dois estágios de conversão, onde no primeiro tem-se um retificador em ponte completa unidirecional seguido por um conversor *Boost* PFC operando com 90 kHz, e no segundo tem-se um conversor LLC ressonante operando com frequência variável entre 90 e 275 kHz. O LLC é composto no primário por um conversor meia ponte chaveado e no secundário por outra ponte completa à diodos, o que limita a direção do fluxo de potência em um único sentido

Figura 2.3 – Unidade da topologia modular de 10,5 kW.



Fonte: Adaptado de Yang et al. (2016).

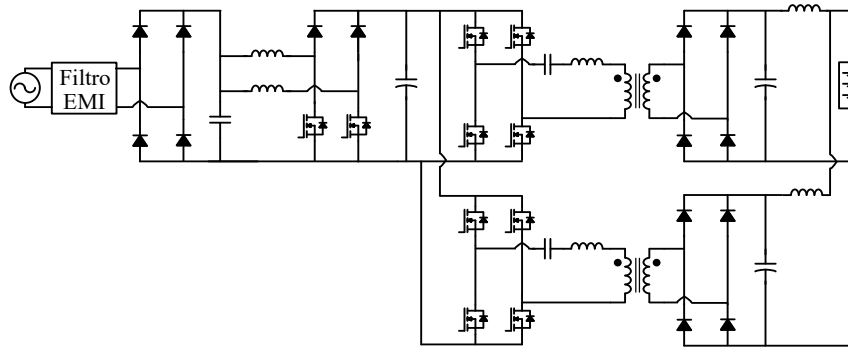
Cada célula monofásica é capaz de trabalhar de maneira quase independente, sem interferir nas outras células de energia; assim, o conversor pode operar no modo trifásico a 10,5 kW, e também no modo monofásico, com 3,5 kW. A custo dessa modularidade, 6 processadores de sinais digitais (DSP – *Digital Signal Processor*) são utilizados para acionamento e seleção das células, além do balanceamento de potência entre elas, o que eleva a complexidade e o custo de execução desse protótipo. O conversor opera com comutação suave (*ZVS – Zero Voltage Switching*) alcançando alta eficiência energética e baixo volume. Foi relatada uma eficiência de 95,6% e densidade de potência de 1,75 kW/l.

2.1.2 Topologia modular de 22 kW e duplo estágio de potencia

Em Schmenger et al. (2014) também é apresentada uma estrutura trifásica modular, cuja estrutura básica da unidade monofásica está ilustrada na Figura 2.4. Cada unidade monofásica é projetada para 7,4 kW quando conectadas à rede europeia, e 5,73 kW,

seguindo o padrão americano ou japonês, resultando em uma potência total de 22 kW (Europa) ou 17,2 kW (EU e Japão). Adotando o padrão europeu, cada unidade monofásica é subdividida em dois conversores idênticos com 3,7 kW cada.

Figura 2.4 – Unidade da topologia modular de 22 kW.



Fonte: Adaptado de Schmenger et al., (2014).

Como pode ser observado, o estágio inicial é composto por um retificador em ponte completa a diodo, seguido por dois *Boosts* PFC intercalados. Já o estágio CC-CC é composto pelo paralelo de dois LLC ressonantes isolados, composto por pontes completas com chaves MOSFETs no primário e a diodo no secundário. Os conversores LLC são acionados com chaveamento constante sendo empregado a técnica *phase-shift* para transferência de potência. É relatada uma eficiência de 94,5% e densidade de potência de 1,98 kW/l.

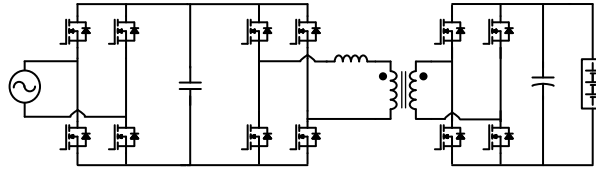
As vantagens do conversor como um todo incluem filtros de entrada e saída reduzidos devido o PFC *interleaved* e a frequência constante nos LLCs em paralelo, além de redução do volume total do conversor. Como desvantagens têm-se o fluxo de energia unidirecional e um grande número de componentes de circuito, embora em cada fase apenas dez sejam dispositivos de comutação ativos.

2.1.3 Topologia modular de 22 kW e estágio integrado de potência

Outra topologia trifásica modular é apresentada em Lu et al. (2018), cuja estrutura monofásica básica está ilustrada na Figura 2.5. A potência de cada unidade monofásica é de 7,2 kW, resultando em um conversor trifásico de 22 kW. Cada monofásico apresenta uma ponte completa bidirecional para etapa de retificação, acionada na frequência da rede CA. Dessa forma, como não há necessidade de manter a tensão no barramento CC constante, a capacitância do barramento CC pode ser reduzida e o conversor operar com estágio integrado de potência. O link CC é seguido por um conversor DAB em ponte completa, cujo

chaveamento também é responsável pelo ajuste da corrente senoidal e correção do fator de potência.

Figura 2.5 – Unidade da topologia modular de 22 kW e estágio integrado.



Fonte: Adaptado de Lu et al. (2018).

Para transferência de potência e obtenção de ZVS em todas as regiões de operação, três deslocamentos de fases distintos são aplicados entre os braços do DAB, modulação denominada de *dual/tripple-phase-shift*, consistindo de um ângulo de defasagem entre os braços do primário, outro entre os braços do secundário, e um terceiro entre as pontes do primário e secundário.

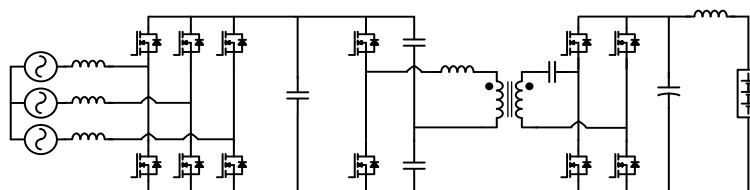
Essa estrutura apresenta capacidade bidirecional de fluxo e comutação ZVS em todas os interruptores. No referido trabalho são empregados semicondutores GaN e posteriormente chaves SiC, obtendo-se superioridade no protótipo com GaN. É relatada uma eficiência de 97% e uma densidade de potência de 3,3 kW/l.

Como principal vantagem desta estrutura tem-se estágio integrado de potência, alta densidade de energia e alta eficiência do conversor. Suas desvantagens incluem a adição de componentes ativos para a implementação bidirecional, o alto custo dos componentes GaN no mercado atual e uma implementação de controle complexa.

2.1.4 Topologia trifásica bidirecional de 10 kW

Saindo das topologias trifásicas modulares, a Figura 2.6 ilustra um conversor trifásico de dois estágios bidirecional. O primeiro estágio é composto por um inversor trifásico bidirecional com um link CC capacitivo, e o segundo por um LLC ressonante isolado com uma estrutura meia ponte no primário e ponte completa no secundário.

Figura 2.6 – Topologia trifásica bidirecional de 10 kW.



Fonte: Adaptado de Wang et al. (2016).

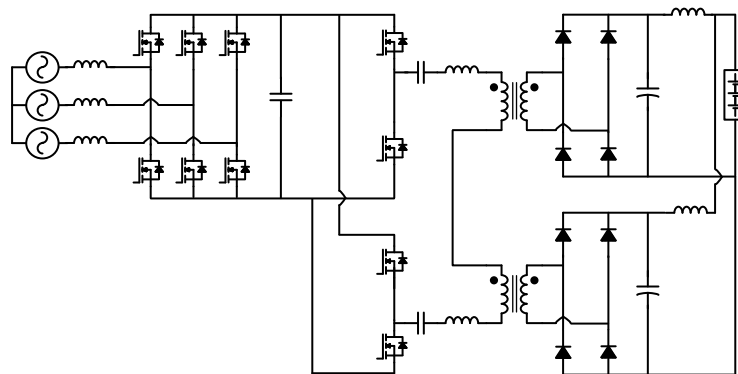
Em Wang et al. (2016) esta topologia é estudada para aplicações em veículos elétricos, no qual são utilizados interruptores SiC em um protótipo de 10 kW e proposto a obtenção de fluxo de energia bidirecional com ZVS para toda a faixa de potência. O trabalho também propõe uma conexão extra no link CC para painéis fotovoltaicos, omitido neste documento por simplificação.

O conversor LLC é controlado por modulação em frequência, variando entre 90 kHz e 150 kHz. A eficiência relatada foi de 96% e a densidade de potência não foi fornecida. Como vantagens dessa topologia tem-se simplificação da modelagem, processamento de alta potência com fluxo bidirecional e alta eficiência. Como desvantagem tem-se altas correntes no circuito em meia ponte e alto esforço nos capacitores ressonantes.

2.1.5 Topologia trifásica de 20 kW com LLC ressonantes em série

A Figura 2.7 ilustra o conversor trifásico apresentado em Johnson e Bai (2017) capaz de processar 20 kW de potência. O estágio inicial também é composto por um *Boost* trifásico com PFC conectado a um *link* CC capacitivo. O estágio secundário é composto por duas topologias LLC ressonantes cujo os lados primários são meia ponte conectadas em série através dos transformadores, enquanto os secundários são conectados em paralelo e compostos por pontes completa a diodo.

Figura 2.7 – Topologia trifásica de 20 kW unidirecional.



Fonte: Adaptado de Johnson e Bai (2017).

Os conversores em meia ponte operam com ZVS e, em toda a topologia, são utilizados MOSFETs e diodos com tecnologia SiC. Como resultado obteve-se uma eficiência de 96% e a densidade de potência não foi fornecida. Como vantagens tem-se o compartilhamento igual da corrente no primário dos transformadores devido a ligação adotada, rastreamento de alta eficiência do conversor CC-CC através de um controle variável

de tensão no link CC, além de uma alta eficiência como um todo. Como desvantagem apresenta fluxo de potência unidirecional, baixa confiabilidade do link CC e dos capacitores ressonantes, além de altas correntes nos circuitos em meia ponte.

2.2 Conversores integrados com isolamento em alta frequência

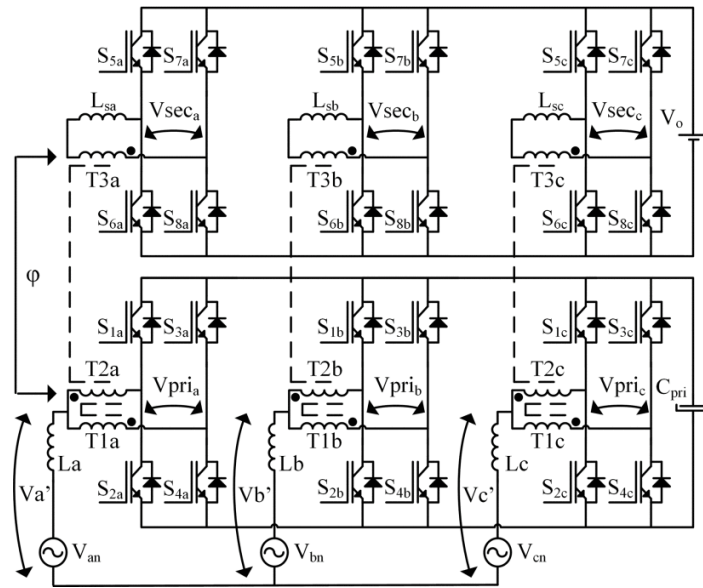
Com base nas estruturas apresentadas para aplicações OBCs não integradas, verifica-se a prevalência de conversores de dois estágios, com pouca variação das configurações já existentes, tendo como maior investimento técnicas de modulação mais elaboradas, modularidade de conversores, comutação ZVS e empregabilidade de dispositivos WBG para elevação da eficiência e densidade de potência. Porém, novas topologias de conversores também se tornam promissoras, desde que as exigências para carregadores *on-board* sejam atendidas.

A utilização de conversores com 3SSCs nos estágios de isolamento galvânica vem sendo um ponto de forte estudo na Universidade Federal do Ceará (UFC), iniciado no trabalho de Oliveira et al. (2012), no qual uma topologia CA-CC bidirecional monofásica com duas portas para aplicações em GD é proposta. A seguir são apresentadas as derivações mais relevantes para o desenvolvimento da topologia proposta.

2.2.1 Conversor CA-CC trifásico de único estágio bidirecional

Em Almeida (2016) um conversor CA-CC trifásico de único estágio bidirecional é proposto utilizando a mesma estratégia de acoplamento das 3SSCs para composição de um DAB, cuja estrutura está ilustrada na Figura 2.8. O conversor apresenta 3 portas: a porta 1 para o barramento CA, a porta 2 com um barramento CC, e a porta 3 com outro barramento CC isolado do lado CA, das quais somente as portas 1 e 3 são ativas, isto é, são utilizadas para conexão de cargas. Nos interruptores do lado CA o conversor opera com ZVS durante aproximadamente meio ciclo da rede, enquanto nos interruptores do lado CC isolado os interruptores apresentam ZVS em toda a faixa de operação. A topologia é adequada para interconexão entre fontes e/ou cargas de naturezas distintas, sendo sugerido aplicações como fontes de telecomunicação e em geração distribuída.

Figura 2.8 – Conversor CA-CC trifásico de único estágio bidirecional.



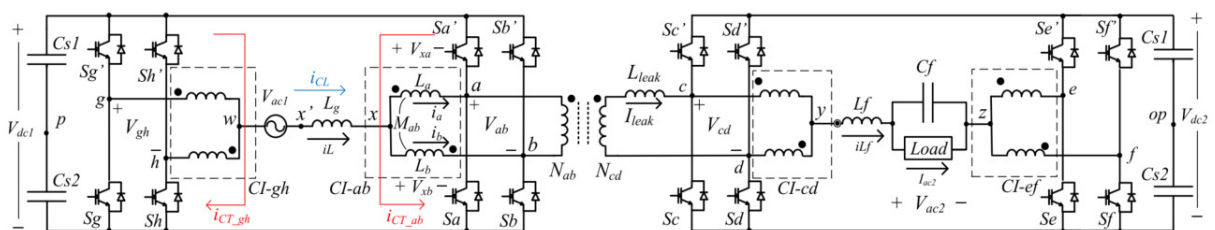
Fonte: (ALMEIDA, 2016).

Neste trabalho um protótipo de 5 kW com interruptores SiCs é utilizado para validação da topologia. No modo retificador é obtido um FP de 0,998 e THD de corrente CA de 3,19%, e no modo inversor um FP de 0,997 e THD de 2,95%. O rendimento total relatado foi de 92,3%.

2.2.2 Conversor CA-CA monofásico de estágio integrado bidirecional

Em Silva Filho e Oliveira (2016) uma nova família de conversores monofásicos CA-CA isolados em alta frequência é proposta, na qual destaca-se a estrutura simétrica denominada *full-bridge-I*, cuja configuração está ilustrada na Figura 2.9.

Figura 2.9 – Conversor CA-CA monofásico bidirecional com estágio integrado.



Fonte: (SILVA FILHO et al., 2018).

Cada lado é composto por duas pontes completas intercaladas. Os barramentos CA são conectados em série com indutores de filtro entre as 3SSCs. Um transformador realiza o acoplamento entre as 3SSCs de uma das pontes de cada lado, resultando em um conversor

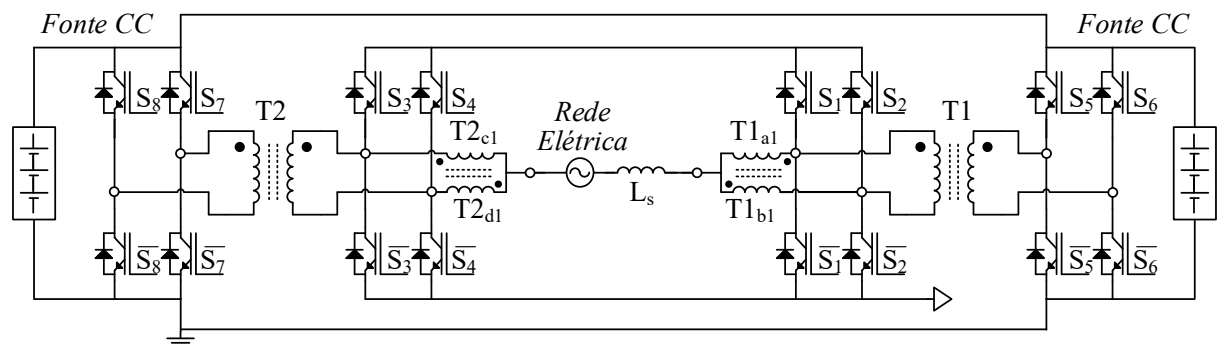
DAB e permitindo obter propriedades de ZVS. A frequência efetiva sobre o filtro CA é 4 vezes a frequência de chaveamento possibilitando redução dos mesmos.

Um aprofundamento desta estrutura é realizado em Silva Filho et al. (2018), onde analisa-se o acoplamento dos indutores e as regiões de ZVS obtidas variando-se o ângulo de potência, além das perdas do conversor. Através de uma adaptação da bancada experimental de Almeida (2016), um protótipo de 500 W foi analisado, para o qual relatou-se um FP de 0,99 enquanto os demais parâmetros não foram comentados. Utilizando-se do cálculo teórico das perdas, para uma topologia de 1kW, pode-se estimar uma eficiência em torno de 93%.

2.3 Topologia proposta

O presente trabalho propõe uma topologia CA-CC monofásica com estágio integrado de potência cuja estrutura está ilustrada na Figura 2.10.

Figura 2.10 – Estrutura proposta.



Fonte: Próprio autor.

A topologia utiliza-se do conceito de *interleaving* e acoplamento de células de comutação para obtenção de um protótipo com alta densidade de potência. Também são utilizados DABs com modulação por *phase-shift* para isolamento galvânica e controle do fluxo de potência. Tais vantagens tornam a topologia uma solução favorável para aplicações em elevados níveis de potência em que peso e volume devem ser limitados.

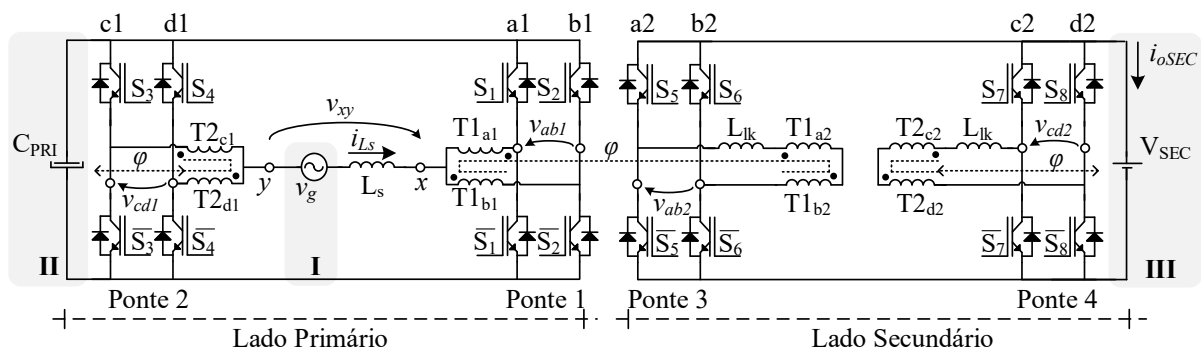
Em relação as topologias revisadas, a estrutura proposta foi derivada de Almeida (2016) podendo ser associada a sua versão bifásica. Embora seja similar à de Silva Filho et al. (2018), difere tanto pela ausência de um dos barramentos CA como também pelo acoplamento de todas as pontes completas presentes na estrutura, resultando em dois conversores DABs *interleaved*. Essas diferenças permitem uma melhor distribuição de esforços entre os interruptores da estrutura, podendo processar maior nível de potência, porém resulta em perda de ZVS em grande faixa de operação.

Quando comparada as topologias para veículos elétricos, o conversor proposto apresenta maior similaridade com a unidade monofásica de estágio integrado apresentada em Lu et al. (2018). Apesar da topologia aqui proposta apresentar 4 interruptores a mais, a utilização das 3SSCs e de DABs *inteleaved* permite um maior processamento de energia, maior integração dos magnéticos, maior frequência resultante sobre os elementos de filtro e, conseqüentemente, maior densidade de potência. Porém, por ainda não apresentar comutação ZVS em toda sua faixa de operação devido a utilização de uma modulação senoidal nos interruptores do lado CA, a topologia proposta tende a apresentar maiores perdas por chaveamento, que poderão ser reduzidas futuramente explorando-se as técnicas de comutação suave provenientes da patente de Oliveira Junior (2019).

3 ANÁLISE DO CONVERSOR PROPOSTO

A topologia proposta está ilustrada novamente na Figura 3.1 com um maior detalhamento. A mesma apresenta três portas: a porta I em corrente alternada (CA), à qual se conecta a rede elétrica; e as portas II e III em corrente contínua (CC). No presente trabalho considera-se somente as portas I e III como ativas, isto é, nas quais haverá conexão de carga/fonte, enquanto a porta II é utilizada para obtenção de uma tensão multinível capaz de garantir um desempenho com alto fator de potência (FP) e baixa distorção harmônica (THD) da corrente da rede (i_{Ls}).

Figura 3.1 – Topologia proposta.



Fonte: Próprio autor.

Para facilitar a análise qualitativa, as partes isoladas do conversor são nomeadas como primário e secundário, embora a topologia apresente capacidade de fluxo de potência bidirecional e qualquer lado possa absorver ou fornecer energia. No lado primário estão as portas I e II e no secundário a porta III, na qual se propõe a conexão com os armazenadores de energia entre outros elementos CC.

No geral, o conversor consiste de dois conversores DAB intercalados, cujo acoplamento entre os lados isolados é realizado através das células 3SSCs presente em cada ponte completa, sendo as mesmas denominadas pela numeração cardinal de 1 a 4 e seus respectivos braços por letras, também por facilidade de análise, cujo o índice 1 refere-se ao primário, e o 2 ao secundário.

Para análise do conversor, inicialmente são adotadas as seguintes considerações:

- A tensão da rede apresenta um formato senoidal ideal;
- Os barramentos CC da porta II e III não apresentam oscilações, comportando-se como fontes de tensão ideais;
- Os semicondutores são ideais;

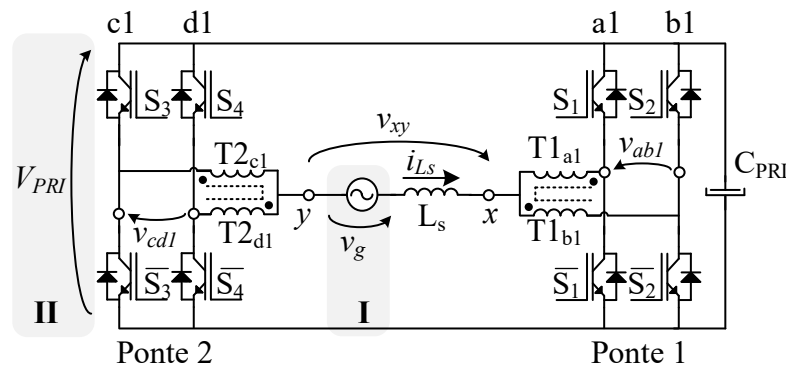
- Os transformadores são ideais e apresentam somente uma indutância de dispersão de valor conhecido (L_{lk});
- O tempo morto é desconsiderado durante as comutações.

A seguir inicia-se a análise detalhada do conversor proposto.

3.1 Análise do lado primário

O lado primário, ilustrado na Figura 3.2, corresponde a um conversor CA-CC composto por duas pontes completas intercaladas, podendo operar como inversor ou retificador devido sua característica de fluxo de potência bidirecional.

Figura 3.2 – Conversor lado primário.



Fonte: Próprio autor.

Na mesma estão presentes a porta I, para conexão da rede elétrica (v_g), e a porta II, barramento de tensão CC (V_{PRI}) que permite a obtenção de uma tensão de cinco níveis entre as pontes (v_{xy}) e uma tensão de três níveis entre os braços de uma mesma ponte (v_{ab1} e v_{cd1}).

3.1.1 Técnica de modulação

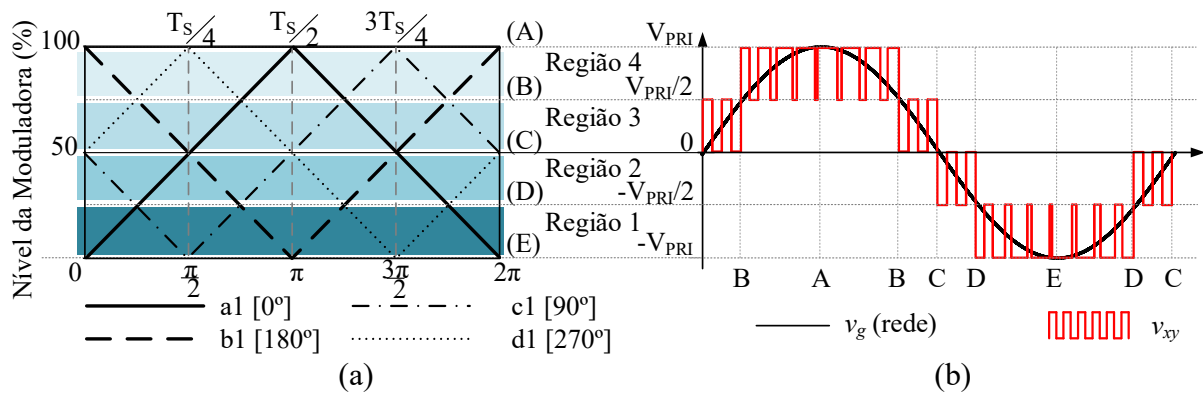
Para comutação dos braços é utilizada a técnica de modulação *Sinusoidal Pulse Width Modulation* (SPWM) e portadoras triangulares defasadas de 180° em relação ao braço oposto de uma mesma ponte. Adota-se como referência a ponte 1, cujas portadoras dos braços a1 e b1 se situarão em 0° e 180° , respectivamente, e o *duty cycle* de referência do lado primário (D_{PRI}) corresponderá a razão cíclica aplicada aos interruptores superiores S1 e S2 da ponte 1. As pontes 1 e 2 são defasadas de 90° , de forma que as portadoras dos braços c1 e d1 se situarão em 90° e 270° , respectivamente. A moduladora da ponte 2 ($m_{PRI}(180^\circ)$) é defasada de 180° da moduladora da ponte 1 ($m_{PRI}(0^\circ)$), de forma que o *duty cycle* da ponte 2 ($D_{PRI(2)}$),

razão cíclica referente aos interruptores S3 e S4, está relacionado com D_{PRI} através da relação (3.1).

$$D_{PRI(2)} = 1 - D_{PRI} \quad (3.1)$$

A Figura 3.3 representa as regiões de operação e os níveis de tensão do conversor resultantes da técnica de modulação aplicada durante um ciclo de rede. A Figura 3.3a ilustra o defasamento das portadoras e as quatro possíveis regiões de operação, enquanto a Figura 3.3b ilustra a tensão multinível em fase com a tensão da rede e diretamente relacionada com as regiões de modulação. Através desta configuração são obtidas 14 combinações distintas de chaveamento, conforme apresentado na Tabela 3.1.

Figura 3.3 – Regiões de modulação e tensão multinível v_{xy} .



Fonte: Próprio autor.

Tabela 3.1 – Combinações de chaveamento do lado primário.

Limites	Combinação de chaveamento				Tensões			Níveis
	S1	S2	S3	S4	V_{ab}	V_{cd}	V_{xy}	
A	1	1	0	0	0	0	$+V_{PRI}$	N2
	1	0	0	0	V_{PRI}	0	$+V_{PRI}/2$	
B	1	1	1	0	0	V_{PRI}	$+V_{PRI}/2$	N1
	0	1	0	0	$-V_{PRI}$	0	$+V_{PRI}/2$	
C	1	1	0	1	0	$-V_{PRI}$	$+V_{PRI}/2$	N0
	1	0	1	0	V_{PRI}	V_{PRI}	0	
	0	1	1	0	$-V_{PRI}$	V_{PRI}	0	
D	1	0	0	1	V_{PRI}	$-V_{PRI}$	0	-N1
	0	0	1	0	0	V_{PRI}	$-V_{PRI}/2$	
	0	1	1	1	$-V_{PRI}$	0	$-V_{PRI}/2$	
E	0	0	0	1	0	$-V_{PRI}$	$-V_{PRI}/2$	-N2
	0	0	1	1	0	0	$-V_{PRI}$	

Fonte: Próprio autor.

3.1.2 Regiões e etapas de operação

Conforme Figura 3.3 são quatro regiões distintas de operação, descritas a seguir:

- Região 1 - operação entre os limites D e E ($0 < D_{PRI} < 0,25$);
- Região 2 - operação entre os limites C e D ($0,25 < D_{PRI} < 0,5$);
- Região 3 - operação entre os limites B e C ($0,5 < D_{PRI} < 0,75$);
- Região 4 - operação entre os limites A e B ($0,75 < D_{PRI} < 1$).

Cada região apresenta oito etapas de operação durante cada ciclo de chaveamento. A variação da tensão v_{xy} e a ondulação de corrente sobre o indutor L_s se repetem 4 vezes em cada período, o que justifica a multiplicação por quatro da frequência de chaveamento sobre os elementos de entrada e saída da topologia em análise.

3.1.2.1 Região 1

A região 1 ocorre quando D_{PRI} é menor que 25%, situação em que a tensão da rede é negativa e está próxima do seu valor de pico, enquanto a tensão v_{xy} também é negativa e oscila entre 1 e $\frac{1}{2}$ da tensão do barramento V_{PRI} . A Figura 3.4 ilustra algumas formas de onda considerando uma razão cíclica em torno de 20%. As oito combinações de chaveamento estão apresentadas na Tabela 3.2 enquanto as etapas de operação estão ilustradas na Figura 3.5.

Tabela 3.2 – Combinações de chaveamento para região 1 do primário.

Etapas	Chaveamento				Tensões			Intervalo
	S1	S2	S3	S4	V_{ab}	V_{cd}	V_{xy}	Δt
1	0	0	1	1	0	0	$-V_{PRI}$	Δt_I
2	0	0	1	0	0	V_{PRI}	$-V_{PRI}/2$	Δt_{II}
3	0	0	1	1	0	0	$-V_{PRI}$	Δt_I
4	0	1	1	1	$-V_{PRI}$	0	$-V_{PRI}/2$	Δt_{II}
5	0	0	1	1	0	0	$-V_{PRI}$	Δt_I
6	0	0	0	1	0	$-V_{PRI}$	$-V_{PRI}/2$	Δt_{II}
7	0	0	1	1	0	0	$-V_{PRI}$	Δt_I
8	1	0	1	1	V_{PRI}	0	$-V_{PRI}/2$	Δt_{II}

Fonte: Próprio autor.

Primeira Etapa ($t_0 < t < t_1$)

No instante $t=t_0$, o interruptor S1 é bloqueado enquanto os interruptores S3 e S4 permanecem conduzindo e o interruptor S2 em bloqueio. Dessa forma, toda a tensão do barramento V_{PRI} é aplicada inversamente sobre v_{xy} e o indutor L_s armazena energia devido à

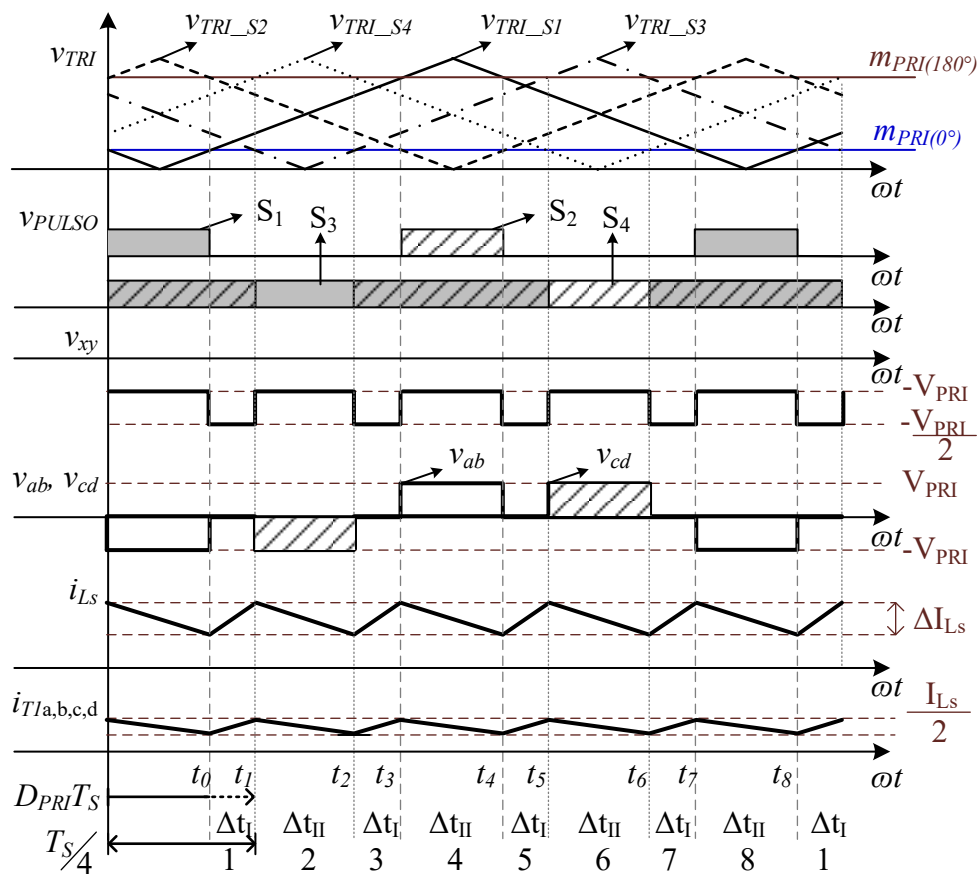
queda de tensão sobre o mesmo ser positiva. Logo, a corrente i_{Ls} aumenta e pode ser determinada pela equação diferencial (3.2).

$$Ls \cdot \frac{di_{Ls}}{dt} - v_g - V_{PRI} = 0 \quad (3.2)$$

A etapa está ilustrada na Figura 3.5a e termina quando o interruptor S4 é bloqueado. Seu tempo de duração é dado por (3.3).

$$\Delta t_I = \left(\frac{1}{4} - D_{PRI} \right) \cdot Ts \quad (3.3)$$

Figura 3.4 – Principais formas de onda teóricas para Região 1 do primário.



Fonte: Próprio autor.

Segunda Etapa ($t_1 < t < t_2$)

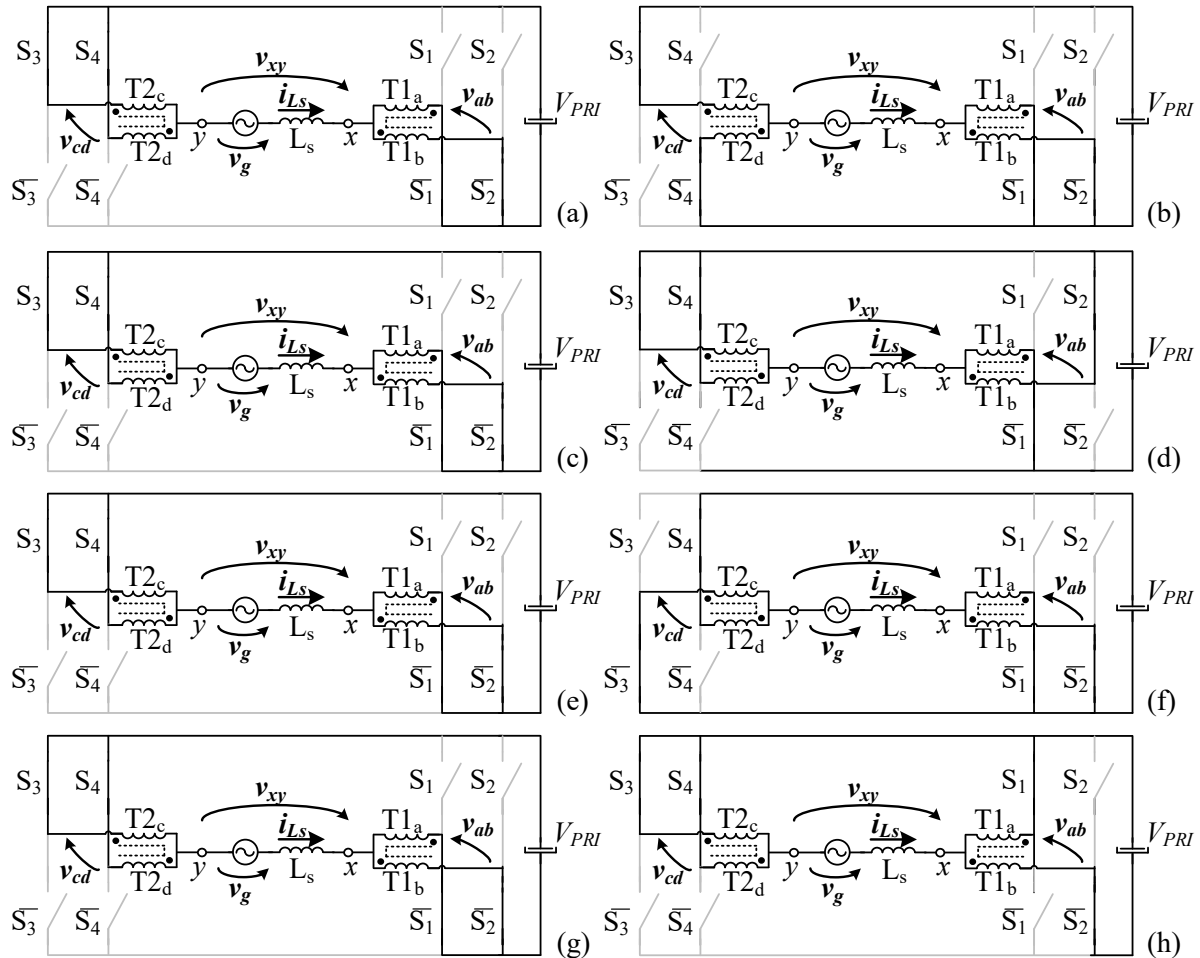
No instante $t=t_1$, o interruptor S4 é bloqueado e as demais permanecem no mesmo estado da etapa anterior. Nesta situação, v_{xy} é submetido a metade de $-V_{PRI}$ e a queda de tensão sobre o indutor Ls é negativa, sendo a variação de corrente através do mesmo dada pela equação diferencial (3.4).

$$Ls \cdot \frac{di_{Ls}}{dt} - v_g - \frac{V_{PRI}}{2} = 0 \quad (3.4)$$

A etapa está ilustrada na Figura 3.5b e termina quando o interruptor S4 volta ao estado de condução. O tempo de duração desta etapa é dado por (3.5).

$$\Delta t_{II} = (D_{PRI}) \cdot Ts \quad (3.5)$$

Figura 3.5 – Etapas de operação para a região 1 do primário.



Fonte: Próprio autor.

Terceira Etapa ($t_2 < t < t_3$)

No instante $t=t_2$, o interruptor S4 volta ao estado de condução e as demais permanecem no mesmo estado da etapa anterior. A etapa está ilustrada na Figura 3.5c, sendo seu funcionamento idêntico ao da primeira etapa. A mesma termina quando o interruptor S2 entra em condução.

Quarta Etapa ($t_3 < t < t_4$)

No instante $t=t_3$, o interruptor S2 entra em condução e as demais permanecem no mesmo estado. Nesta situação, v_{xy} é submetido a metade de $-V_{PRI}$ e a queda de tensão sobre o indutor L_s é negativa, fazendo com que a corrente decresça novamente conforme (3.4).

A etapa está ilustrada na Figura 3.5d e termina quando o interruptor S2 é novamente bloqueado. O tempo de duração é o mesmo da segunda etapa.

Quinta Etapa ($t_4 < t < t_5$)

No instante $t=t_4$, o interruptor S2 é bloqueado e as demais permanecem no mesmo estado da etapa anterior. A etapa está ilustrada na Figura 3.5e, sendo seu funcionamento idêntico ao da primeira etapa. A mesma termina quando o interruptor S3 é bloqueado.

Sexta Etapa ($t_5 < t < t_6$)

No instante $t=t_5$, o interruptor S3 é bloqueado e as demais permanecem no mesmo estado da etapa anterior. Nesta situação, v_{xy} é novamente submetida a metade de $-V_{PRI}$ e a queda de tensão sobre o indutor L_s é negativa, fazendo com que a corrente decresça novamente conforme equação (3.4).

A etapa está ilustrada na Figura 3.5f e termina quando o interruptor S3 volta ao estado de condução. O tempo de duração também é dado pela equação (3.5).

Sétima Etapa ($t_6 < t < t_7$)

No instante $t=t_6$, o interruptor S3 volta ao estado de condução e as demais permanecem no mesmo estado da etapa anterior. A etapa está ilustrada na Figura 3.5g, sendo seu funcionamento idêntico ao da primeira etapa. A mesma termina quando o interruptor S1 entra em condução.

Oitava Etapa ($t_7 < t < t_8$)

No instante $t=t_7$, o interruptor S1 entra em condução e as demais permanecem no mesmo estado da etapa anterior. Nesta situação, v_{xy} é novamente submetida a metade de $-V_{PRI}$ e a queda de tensão sobre o indutor L_s é negativa, fazendo com que a corrente decresça novamente conforme equação (3.4).

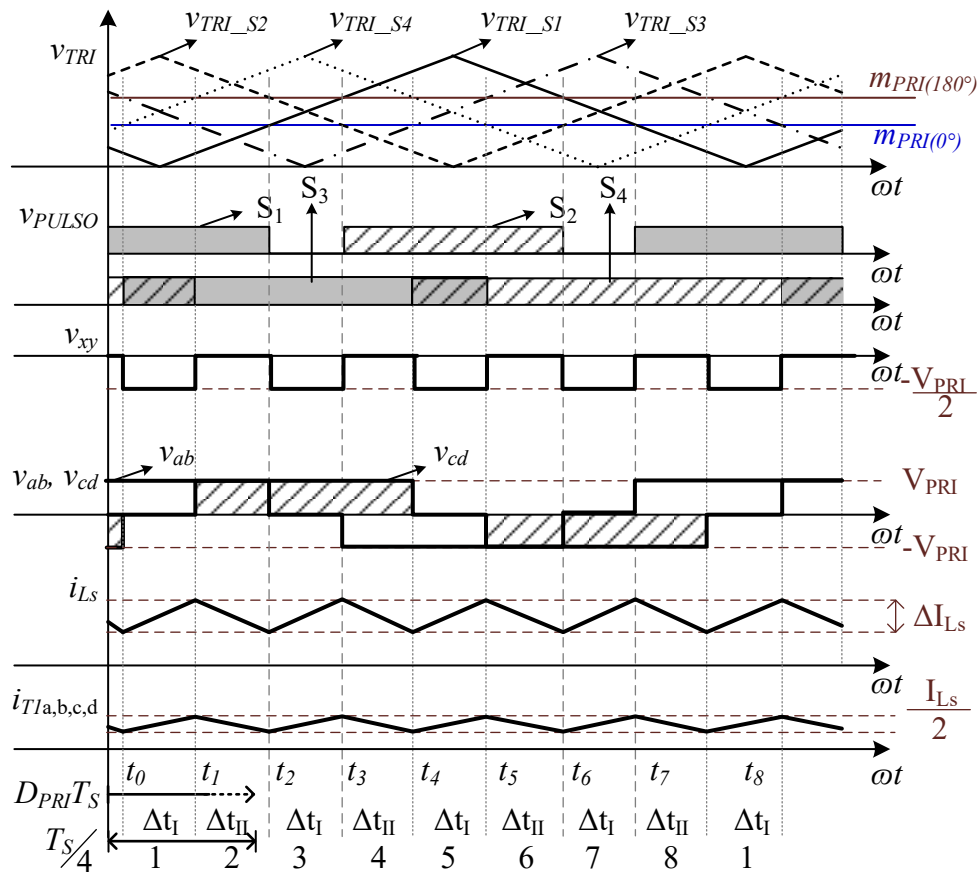
A etapa está ilustrada na Figura 3.5f e termina quando o interruptor S1 é novamente bloqueado. O tempo de duração também é dado pela equação (3.5).

3.1.2.2 Região 2

A região 2 ocorre quando D_{PRI} está entre 25% e 50%, situação em que a tensão da rede é negativa e menor que metade do seu valor de pico, enquanto a tensão v_{xy} oscila entre 0 e $\frac{1}{2}$ de $-V_{PRI}$. A Figura 3.6 ilustra algumas formas de onda considerando uma razão cíclica em

torno de 40%. As oito combinações de chaveamento estão apresentadas na Tabela 3.3 enquanto as etapas de operação estão ilustradas na Figura 3.7.

Figura 3.6 – Principais formas de onda teóricas para Região 2 do primário.



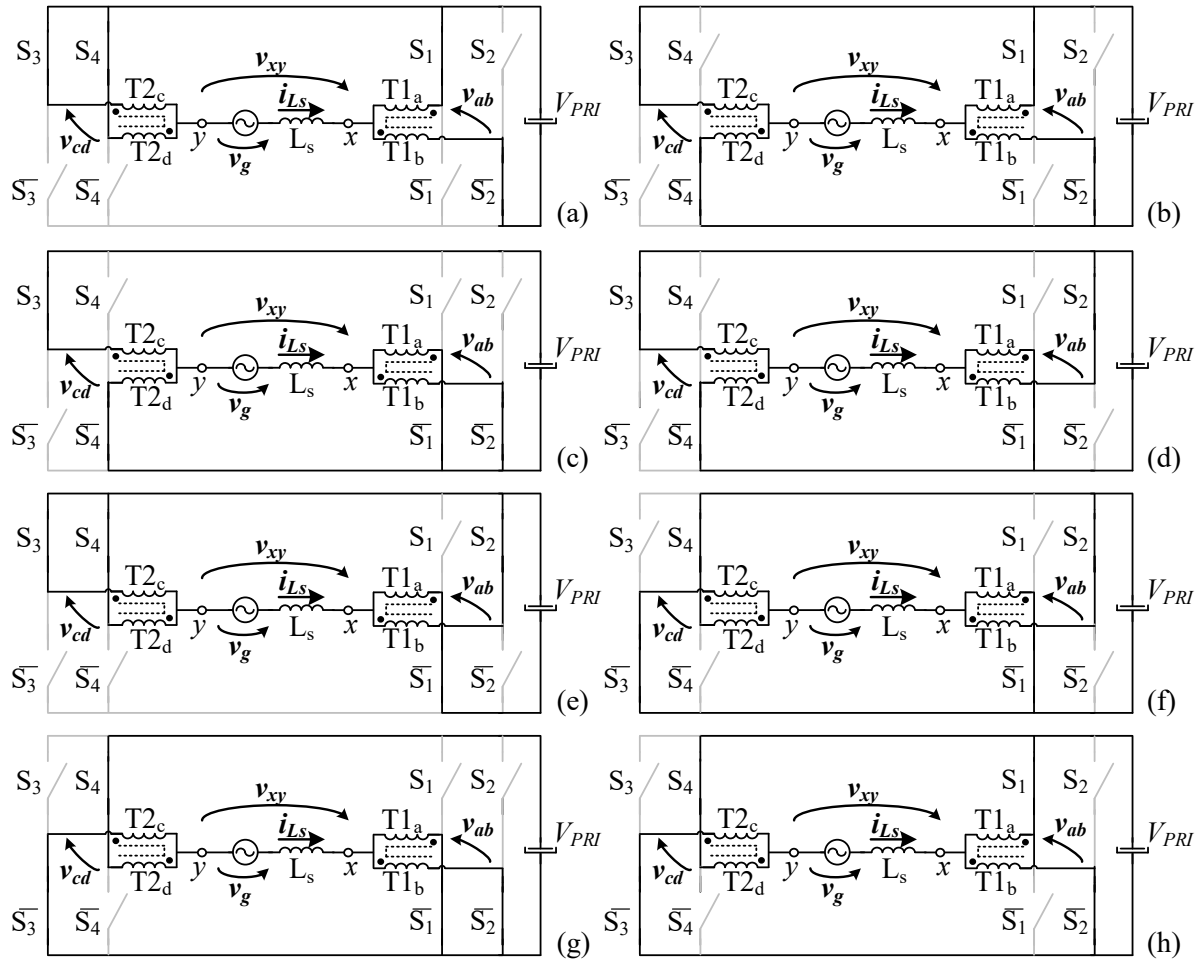
Fonte: Próprio autor.

Tabela 3.3 – Combinações de chaveamento para região 2 do primário.

Etapas	Chaveamento				Tensões			Intervalo
	S1	S2	S3	S4	V _{ab}	V _{cd}	V _{xy}	Δt
1	1	0	1	1	V _{PRI}	0	-V _{PRI} /2	Δt _I
2	1	0	1	0	V _{PRI}	V _{PRI}	0	Δt _{II}
3	0	0	1	0	0	V _{PRI}	-V _{PRI} /2	Δt _I
4	0	1	1	0	-V _{PRI}	V _{PRI}	0	Δt _{II}
5	0	1	1	1	-V _{PRI}	0	-V _{PRI} /2	Δt _I
6	0	1	0	1	-V _{PRI}	-V _{PRI}	0	Δt _{II}
7	0	0	0	1	0	-V _{PRI}	-V _{PRI} /2	Δt _I
8	1	0	0	1	V _{PRI}	-V _{PRI}	0	Δt _{II}

Fonte: Próprio autor.

Figura 3.7 – Etapas de operação para a região 2 do primário.



Fonte: Próprio autor.

Primeira Etapa ($t_0 < t < t_1$)

No instante $t=t_0$, o interruptor S3 é fechado enquanto os interruptores S4 e S1 permanecem conduzindo e o interruptor S2 em bloqueio. Dessa forma, metade da tensão do barramento V_{PRI} é aplicada inversamente sobre v_{xy} e o indutor L_s armazena energia devido à queda de tensão sobre o mesmo ser positiva. Logo a corrente i_{L_s} aumenta e pode ser determinada pela equação diferencial (3.6).

$$L_s \cdot \frac{di_{L_s}}{dt} - v_g - \frac{V_{PRI}}{2} = 0 \quad (3.6)$$

A etapa está ilustrada na Figura 3.7a e termina quando o interruptor S4 é bloqueado. Seu tempo de duração é dado por (3.7).

$$\Delta t_I = \left(\frac{1}{2} - D_{PRI} \right) \cdot T_s \quad (3.7)$$

Segunda Etapa ($t_1 < t < t_2$)

No instante $t=t_1$, o interruptor S4 é bloqueado e as demais permanecem no mesmo estado da etapa anterior. Nesta situação, a tensão v_{xy} é nula e a queda de tensão sobre L_s é negativa, sendo a variação de corrente através do mesmo dada pela equação diferencial (3.8).

$$L_s \cdot \frac{di_{L_s}}{dt} - v_g = 0 \quad (3.8)$$

A etapa está ilustrada na Figura 3.7b e termina quando o interruptor S1 é bloqueado. O tempo de duração desta etapa é dado por (3.9).

$$\Delta t_{II} = \left(D_{PRI} - \frac{1}{4} \right) \cdot T_s \quad (3.9)$$

Terceira Etapa ($t_2 < t < t_3$)

No instante $t=t_2$, o interruptor S1 é aberto e os demais permanecem no mesmo estado da etapa anterior. Durante a etapa o indutor armazena energia e sua variação de corrente também é expressa pela equação (3.6). A etapa está ilustrada na Figura 3.7c, sendo seu funcionamento similar a primeira etapa e com o mesmo tempo de duração de (3.7).

Quarta Etapa ($t_3 < t < t_4$)

No instante $t=t_3$, o interruptor S2 entra em condução e as demais permanecem no mesmo estado da etapa anterior. Nesta situação a tensão v_{xy} é nula e a queda de tensão sobre o indutor L_s é negativa, sendo a variação de corrente através do mesmo dada pela equação diferencial (3.8) e sua duração por (3.9). A etapa está ilustrada na Figura 3.7d e termina quando o interruptor S4 entra em condução.

Quinta Etapa ($t_4 < t < t_5$)

No instante $t=t_4$, o interruptor S4 entra em condução e as demais permanecem no mesmo estado da etapa anterior. A etapa está ilustrada na Figura 3.7c, sendo seu funcionamento similar ao da primeira etapa. A mesma termina quando o interruptor S3 é bloqueado.

Sexta Etapa ($t_5 < t < t_6$)

No instante $t=t_5$, o interruptor S3 é bloqueado e os demais permanecem no mesmo estado da etapa anterior. Nesta situação a tensão v_{xy} é novamente nula e a queda de tensão sobre o indutor L_s é negativa, sendo a variação de corrente através do mesmo dada pela equação diferencial (3.8) e sua duração por (3.9). A etapa está ilustrada na Figura 3.7f e termina quando o interruptor S2 é bloqueado.

Sétima Etapa ($t_6 < t < t_7$)

No instante $t=t_6$, o interruptor S2 é bloqueado e os demais permanecem no mesmo estado da etapa anterior. A etapa está ilustrada na Figura 3.7g, sendo seu funcionamento similar as demais etapas ímpares, terminando quando o interruptor S1 entra em condução.

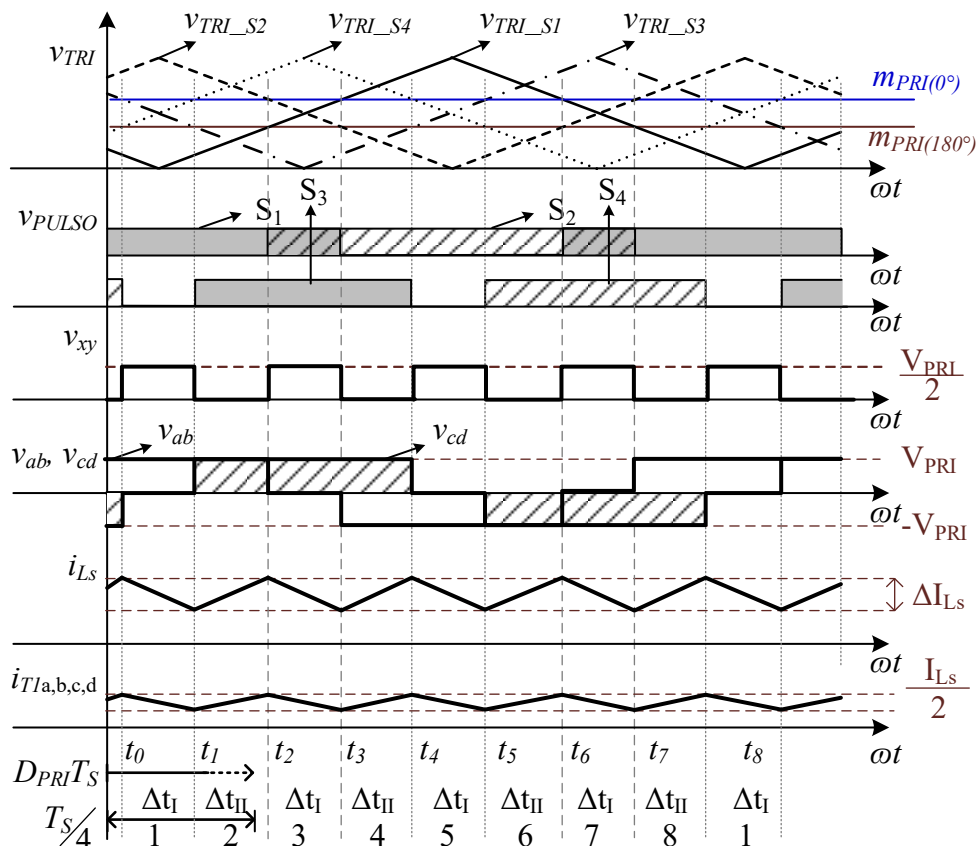
Oitava Etapa ($t_7 < t < t_8$)

No instante $t=t_7$, o interruptor S1 entra em condução e os demais permanecem no mesmo estado. A etapa está ilustrada na Figura 3.7h, sendo seu funcionamento similar as demais etapas pares. A mesma termina quando o interruptor S3 entra em condução.

3.1.2.3 Região 3

A região 3 ocorre quando D_{PRI} está entre 50% e 75% e as principais formas de onda estão ilustradas na Figura 3.8 para uma razão cíclica em torno de 70%. Nesta situação a tensão da rede é positiva e menor que metade do seu valor de pico, enquanto a tensão v_{xy} , também positiva, oscila entre 0 e $\frac{1}{2}$ de V_{PRI} .

Figura 3.8 – Principais formas de onda teóricas para Região 3 do primário.



Fonte: Próprio autor.

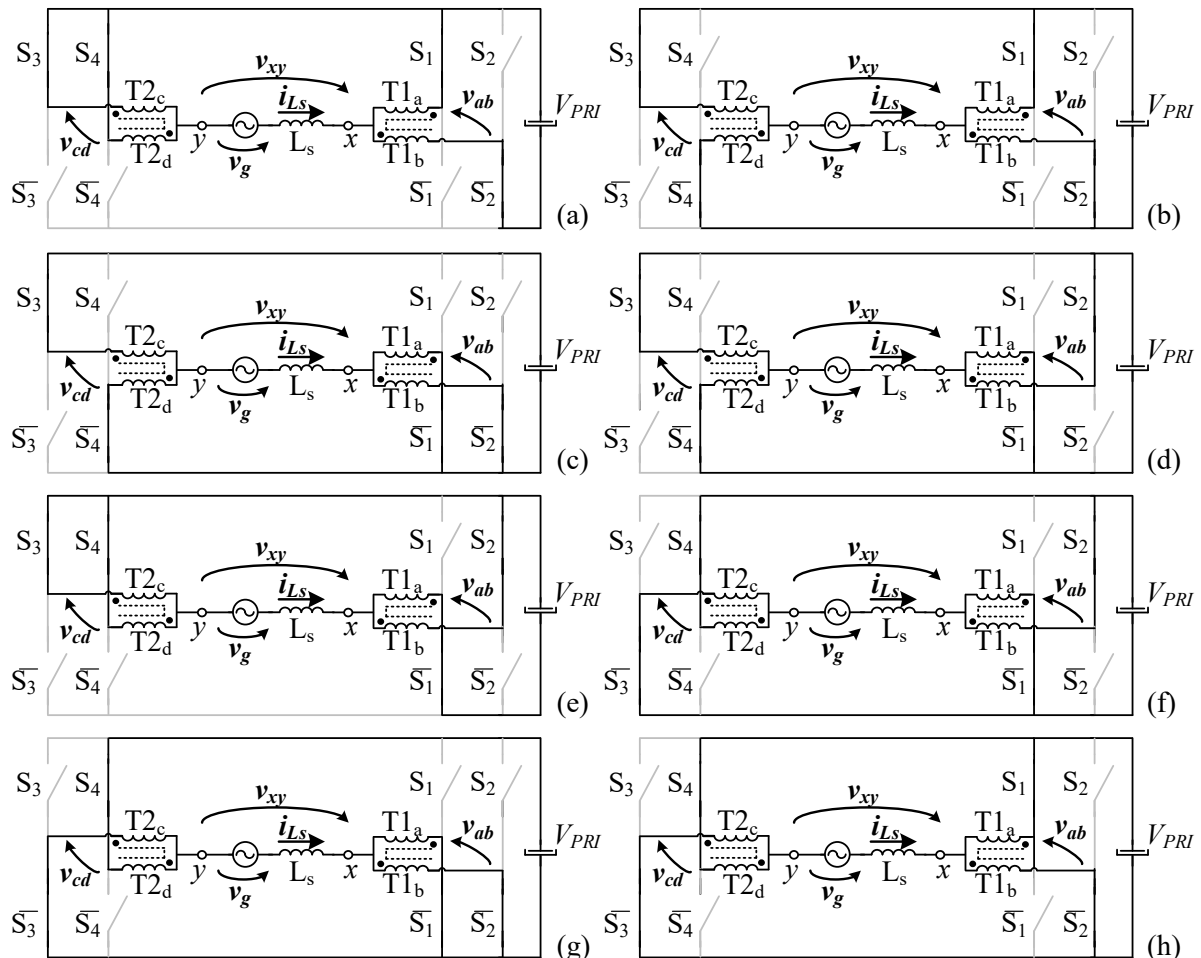
As oito combinações de chaveamento estão apresentadas na Tabela 3.4, enquanto as etapas de operação estão ilustradas na Figura 3.9.

Tabela 3.4 – Combinações de chaveamento para região 3 do primário.

Etapas	Chaveamento				Tensões			Intervalo
	S1	S2	S3	S4	V _{ab}	V _{cd}	V _{xy}	
1	1	0	1	1	V _{PRI}	0	-V _{PRI} /2	Δt _I
2	1	0	1	0	V _{PRI}	V _{PRI}	0	Δt _{II}
3	0	0	1	0	0	V _{PRI}	-V _{PRI} /2	Δt _I
4	0	1	1	0	-V _{PRI}	V _{PRI}	0	Δt _{II}
5	0	1	1	1	-V _{PRI}	0	-V _{PRI} /2	Δt _I
6	0	1	0	1	-V _{PRI}	-V _{PRI}	0	Δt _{II}
7	0	0	0	1	0	-V _{PRI}	-V _{PRI} /2	Δt _I
8	1	0	0	1	V _{PRI}	-V _{PRI}	0	Δt _{II}

Fonte: Próprio autor.

Figura 3.9 – Etapas de operação para a região 3 do primário.



Fonte: Próprio autor.

O procedimento de análise das etapas é o mesmo apresentado para as regiões anteriores. Tendo em vista a repetição dos parâmetros durante cada ciclo de chaveamento, a análise será resumida em etapas ímpares e pares.

Durante as etapas ímpares, a tensão sobre v_{xy} é metade do valor do barramento V_{PRI} e a queda de tensão sobre o indutor L_S é negativa, sendo a variação de corrente através do mesmo dada pela equação diferencial (3.10). A duração destas etapas é dada por (3.11).

$$L_S \cdot \frac{di_{L_S}}{dt} - v_g + \frac{V_{PRI}}{2} = 0 \quad (3.10)$$

$$\Delta t_I = \left(D_{PRI} - \frac{1}{2} \right) \cdot T_S \quad (3.11)$$

Durante as etapas pares, as combinações são as mesmas verificadas nas etapas ímpares da região 2. A tensão sobre v_{xy} é nula e a queda de tensão sobre o indutor L_S é positiva, sendo a variação de corrente através do mesmo dada pela equação diferencial (3.12). A duração destas etapas é dada por (3.13).

$$L_S \cdot \frac{di_{L_S}}{dt} - v_g = 0 \quad (3.12)$$

$$\Delta t_{II} = \left(\frac{3}{4} - D_{PRI} \right) \cdot T_S \quad (3.13)$$

3.1.2.4 Região 4

A região 4 ocorre quando D_{PRI} está entre 75% e 100%. Para uma razão cíclica em torno de 90%, a Tabela 3.5 apresenta as oito combinações de chaveamento resultantes, enquanto a Figura 3.10 ilustra as principais formas de onda.

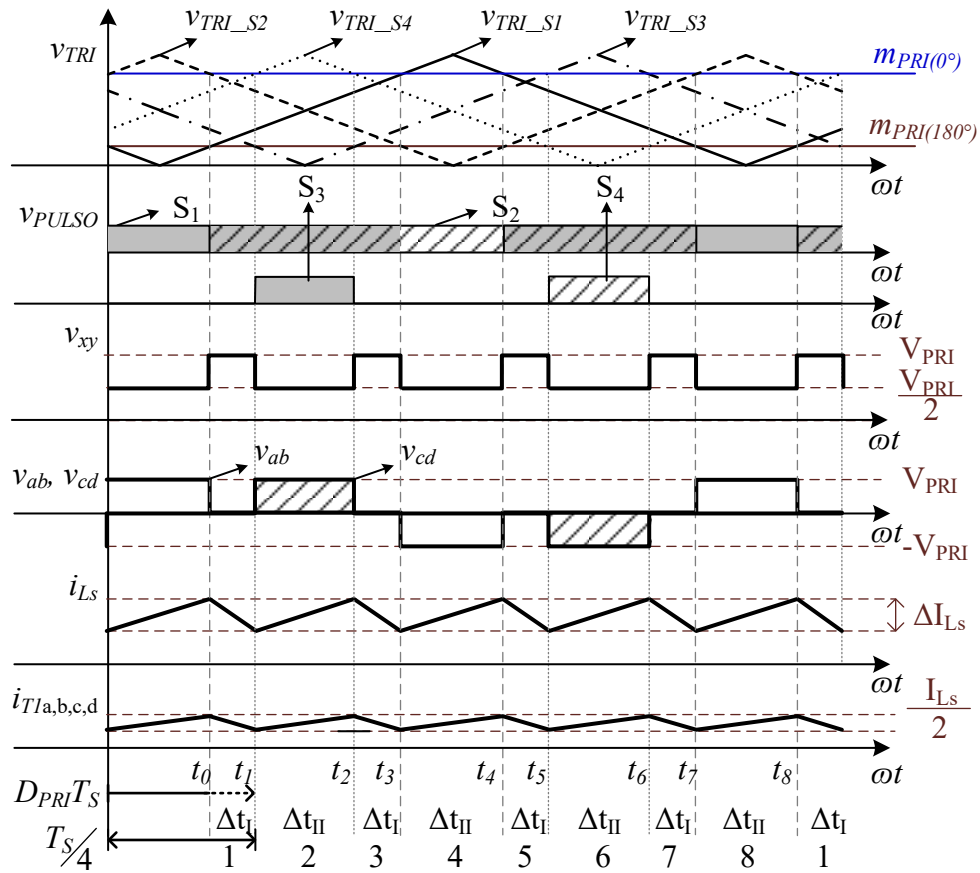
Nesta situação a tensão da rede é positiva e próxima do seu valor de pico, enquanto a tensão v_{xy} , também positiva, oscila entre 1 e $\frac{1}{2}$ de V_{PRI} . As oito etapas de operação estão ilustradas na Figura 3.11 e o procedimento de análise é o mesmo apresentado para as regiões anteriores. Tendo em vista a repetição dos parâmetros durante cada ciclo de chaveamento, a análise será resumida em etapas ímpares e pares.

Durante as etapas ímpares, a tensão sobre v_{xy} é todo o valor do barramento V_{PRI} e a queda de tensão sobre o indutor L_S é negativa, sendo a variação de corrente através do mesmo dada pela equação diferencial (3.14). A duração destas etapas é dada por (3.15).

$$L_S \cdot \frac{di_{L_S}}{dt} - v_g + V_{PRI} = 0 \quad (3.14)$$

$$\Delta t_I = \left(D_{PRI} - \frac{3}{4} \right) \cdot T_S \quad (3.15)$$

Figura 3.10 – Principais formas de onda teórica para Região 4 do primário.



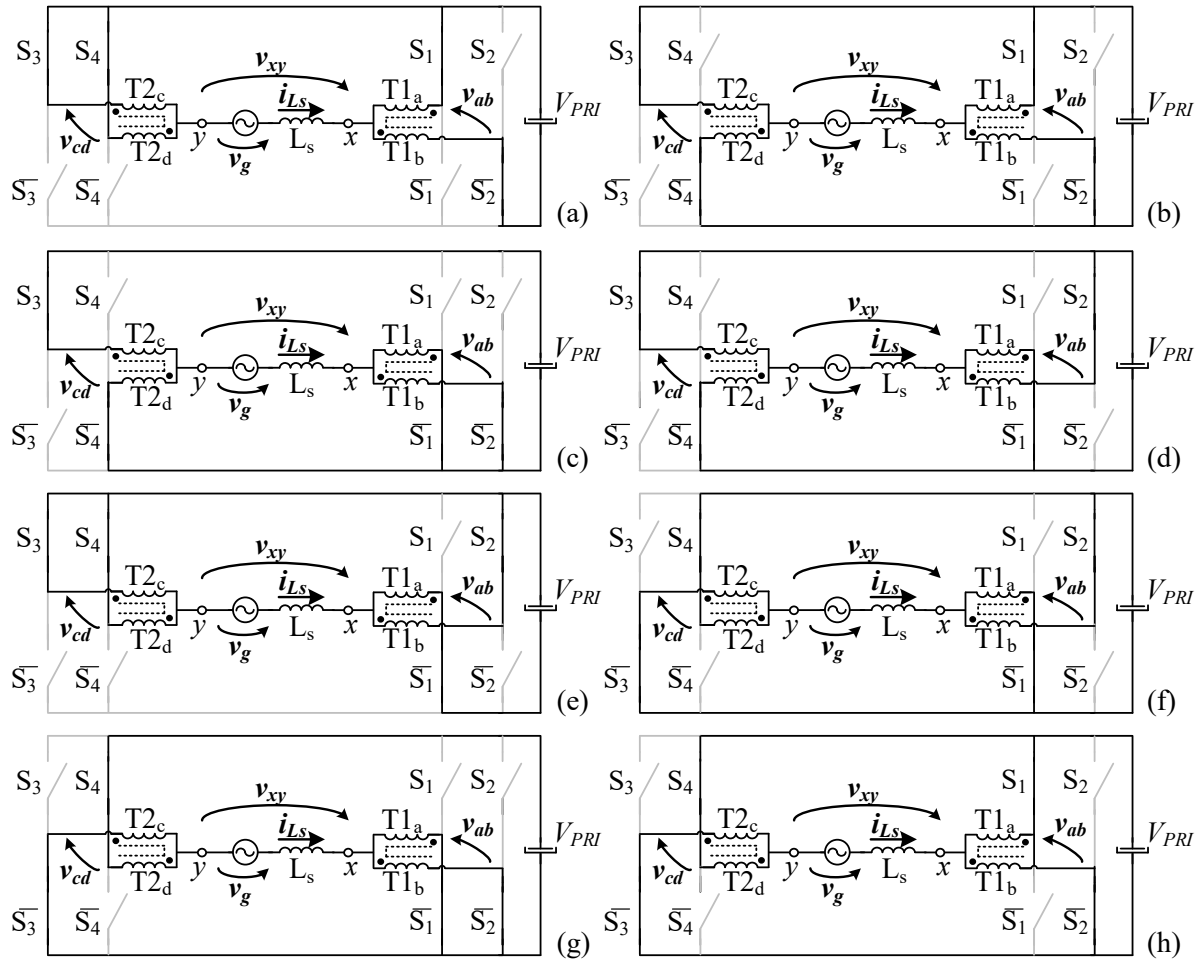
Fonte: Próprio autor.

Tabela 3.5 – Combinações de chaveamento para região 4 do primário.

Etapas	Chaveamento HVS				Tensões			Intervalo
	S1	S2	S3	S4	V _{ab}	V _{cd}	V _{xy}	Δt
1	1	0	1	1	V _{PRI}	0	-V _{PRI} /2	Δt _I
2	1	0	1	0	V _{PRI}	V _{PRI}	0	Δt _{II}
3	0	0	1	0	0	V _{PRI}	-V _{PRI} /2	Δt _I
4	0	1	1	0	-V _{PRI}	V _{PRI}	0	Δt _{II}
5	0	1	1	1	-V _{PRI}	0	-V _{PRI} /2	Δt _I
6	0	1	0	1	-V _{PRI}	-V _{PRI}	0	Δt _{II}
7	0	0	0	1	0	-V _{PRI}	-V _{PRI} /2	Δt _I
8	1	0	0	1	V _{PRI}	-V _{PRI}	0	Δt _{II}

Fonte: Próprio autor.

Figura 3.11 – Etapas de operação para a região 4 do primário.



Fonte: Próprio autor.

Durante as etapas pares, as combinações são as mesmas verificadas nas etapas ímpares da região 3. A tensão sobre v_{xy} é metade do valor do barramento V_{PRI} e a queda de tensão sobre o indutor L_S é positiva, sendo a variação de corrente através do mesmo dada pela equação diferencial (3.16). A duração destas etapas é dada por (3.17).

$$L_S \cdot \frac{di_{L_S}}{dt} - v_g = 0 \quad (3.16)$$

$$\Delta t_{II} = (1 - D_{PRI}) \cdot T_S \quad (3.17)$$

3.1.3 Ganho do conversor primário

Observa-se que a análise considerando cada região separadamente assemelha-se ao do conversor *Boost* com 3SSCs apresentado por Bascopé (2001), porém a frequência de oscilação da corrente no indutor é o quádruplo da frequência de comutação dos interruptores,

pois além da duplicação devido as células utilizadas, a configuração de pontes intercaladas permite duplicar novamente os valores de frequência.

Sabendo que em um quarto do período de comutação a variação de fluxo magnético no indutor L_s é nula, é possível determinar o ganho estático da topologia. A expressão em (3.18) indica a variação de fluxo em um quarto do ciclo de chaveamento, sendo $\Delta\phi$ o fluxo magnético, ΔV_{L_s} a queda de tensão sobre o indutor L_s e os subíndices I e II refere-se ao intervalo de tempo considerado.

$$\Delta\phi_{\Delta t_I} + \Delta\phi_{\Delta t_{II}} = 0 \rightarrow \Delta V_{L_{sI}} \cdot \Delta t_I + \Delta V_{L_{sII}} \cdot \Delta t_{II} = 0 \quad (3.18)$$

Utilizando as equações diferenciais (3.2) e (3.4), além de os tempos (3.3) e (3.5) relacionados a região 1, e substituindo na equação (3.18), tem-se a expressão (3.19). Desenvolvendo e definindo a razão entre V_{PRI} e v_g como um ganho estático do conversor (G_{cc}), o mesmo pode ser determinado por (3.20).

$$\left(v_g + V_{PRI}\right) \cdot \left(\frac{1}{4} - D_{PRI}\right) \cdot T_S + \left(v_g + \frac{V_{PRI}}{2}\right) \cdot D_{PRI} \cdot T_S \quad (3.19)$$

$$G_{cc} = \frac{V_{PRI}}{v_g} = \frac{1}{1 - 2 \cdot D_{PRI}} \quad (3.20)$$

Logo, G_{cc} pode ser associado ao ganho estático do conversor e é similar ao ganho de um *Boost* clássico, diferindo pelo dobro da razão cíclica no denominador, resultante da modulação senoidal e representando a inversão de fase em meio ciclo de rede. Através do mesmo, também se constata a simetria de operação do conversor, sendo possível verificar toda sua dinâmica considerando somente meio ciclo de rede.

Sendo a tensão da rede dada por (3.21), no qual V_{gPK} é seu valor de pico, e considerando a dinâmica do conversor durante meio ciclo de rede, a variação da fase (ωt) e o índice de modulação (m_a), dado por (3.22), estão intrinsicamente ligados a razão cíclica do conversor. O ganho instantâneo do conversor em função da fase da rede é então expresso por (3.23).

$$v_g(\omega t) = V_{gPK} \cdot \text{sen}(\omega t) \quad (3.21)$$

$$m_a = \frac{|V_{gPK}|}{V_{PRI}} \quad (3.22)$$

$$G(\omega t) = \frac{V_{gPK}}{V_{PRI}} = \frac{|\text{sen}(\omega t)|}{m_a} \quad (3.23)$$

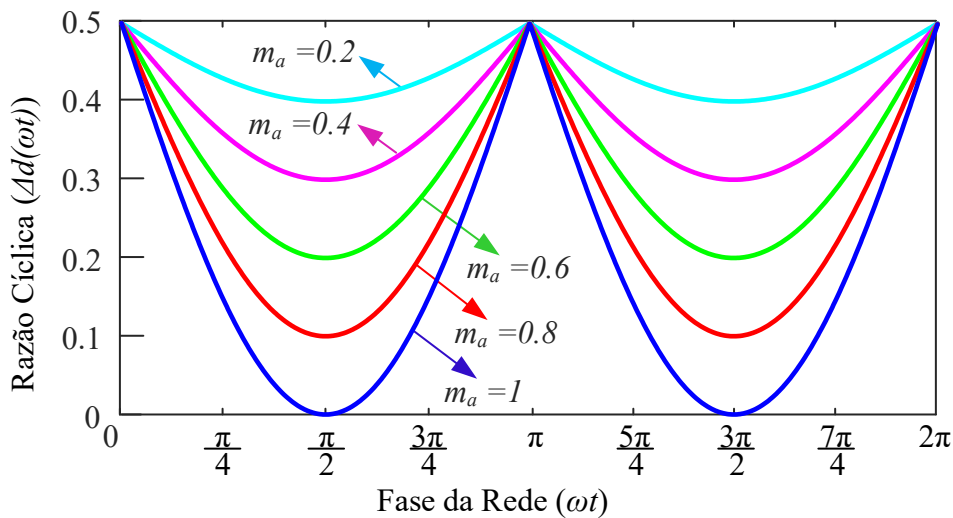
Isolando o *duty cycle* em (3.20) e considerando a variação do ganho em (3.23), a razão cíclica do conversor em função da fase da rede ($\Delta d(\omega t)$) é expresso por (3.24). O

mesmo está relacionado a largura dos pulsos de tensão entre as pontes, isto é, a tensão sobre o transformador de transferência de potência, considerada também como a razão cíclica instantânea do conversor em Almeida et al. (2018).

$$\Delta d(\omega t) = \frac{1}{2} \cdot (1 - m_a \cdot |\text{sen}(\omega t)|) \quad (3.24)$$

Na Figura 3.12 está apresentado o gráfico que relaciona a variação da razão cíclica no transformador durante um ciclo de rede para diferentes índices de modulação.

Figura 3.12 – Razão cíclica no transformador em um ciclo de rede.



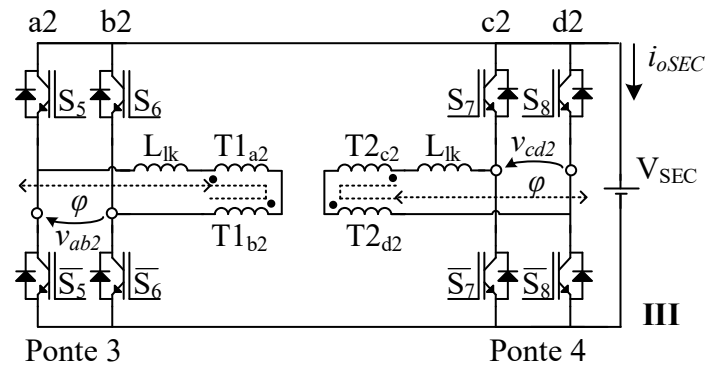
Fonte: Próprio autor.

Observa-se através da mesma que a razão cíclica máxima é $0,5$ e a razão cíclica mínima é limitada pelo índice de modulação. Constata-se também que a forma de onda de $\Delta d(\omega t)$ é a mesma do ciclo de trabalho do transformador em Araújo (2018), o que resultará em regiões e análises de potência similares, como será analisado mais adiante, no item 3.3.

3.2 Análise do lado secundário

O lado secundário, ilustrado na Figura 3.13, também apresenta duas pontes completas intercaladas, podendo estar recebendo ou fornecendo energia através dos transformadores. Neste lado está presente a porta III para conexão de cargas ou fontes CC cujo nível de tensão seja compatível ao barramento V_{SEC} . Também apresenta uma tensão de três níveis entre os braços de uma mesma ponte (v_{ab2} a tensão entre os braços a e b e v_{cd2} a tensão entre os braços c e d).

Figura 3.13 – Conversor lado secundário.



Fonte: Próprio autor.

3.2.1 Técnica de modulação

Para comutação dos interruptores é utilizada a técnica de modulação *Pulse Width Modulation* (PWM) e portadoras triangulares defasadas de 180° em relação ao braço oposto de uma mesma ponte.

Similar ao primário, as portadoras dos braços a2 e b2 se situam em 0° e 180° , respectivamente, enquanto as pontes 3 e 4 são defasadas de 90° , de forma que as portadoras dos braços c2 e d2 se situarão em 90° e 270° , respectivamente. A moduladora aplicada entre as pontes é fixada em 50%.

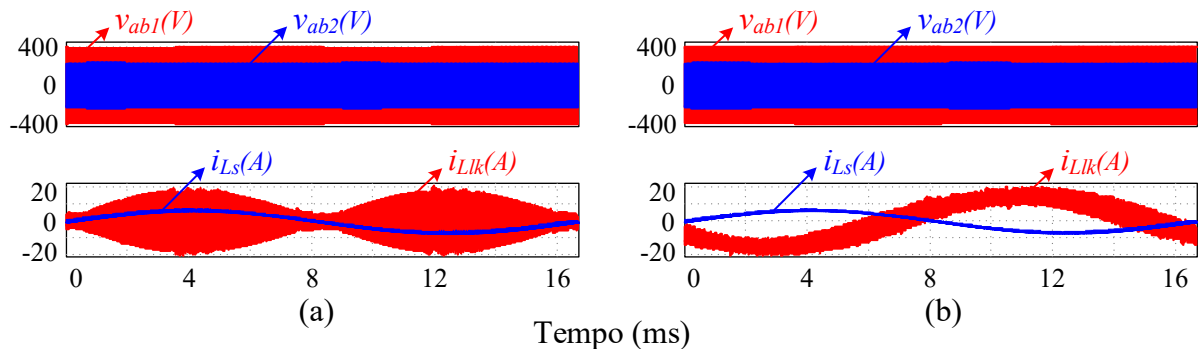
Devido a modulação SPWM do primário, para evitar eventual saturação dos transformadores, as portadoras do secundário se deslocam durante um ciclo de chaveamento com base na moduladora senoidal m_{PRI} . Esta técnica é explorada em (BARBOSA et al., 2018) e o defasamento é realizado de forma a garantir que a largura dos pulsos nos transformadores sejam iguais. Uma explicação mais detalhada é apresentada no tópico 3.2.2.

Através desta configuração, também são obtidas 14 combinações distintas de chaveamento, sendo estas as mesmas do primário apresentadas na Tabela 3.1.

3.2.2 Defasamento entre as portadoras

Para exemplificar, a Figura 3.14 ilustra a tensão entre os lados do transformador 1 (T1) e a corrente da rede (i_{LS}) junto a corrente do indutor de potência referida ao lado primário do T1 (i_{Llk}) para um ciclo da rede elétrica.

Figura 3.14 – Formas de onda no transformador: a) defasagem fixa; b) defasagem variável.



Fonte: Próprio autor.

A Figura 3.14a apresenta a situação em que as portadoras do secundário são mantidas fixas iguais às do primário, caso em que verifica-se uma grande variação dos valores de pico de i_{Llk} em alta frequência. A Figura 3.14b refere-se a situação em que as portadoras do secundário são deslocadas em relação a posição inicial com base na moduladora do primário (m_{PRI}), no qual observa-se uma amenização das oscilações da corrente no indutor de potência.

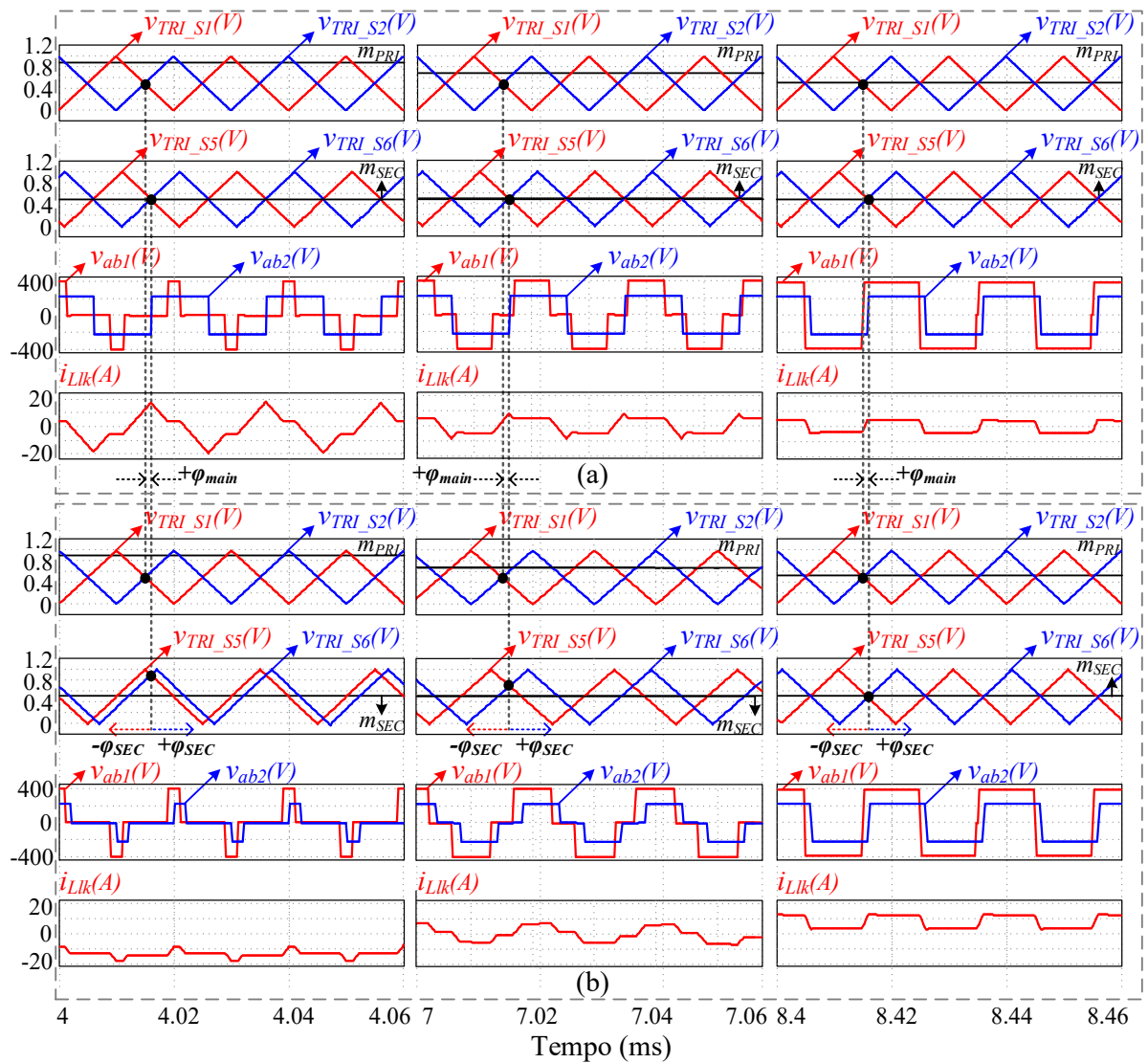
O defasamento entre as portadoras é ilustrado em alta frequência na Figura 3.15, onde são apresentadas as portadoras do primário (v_{TRI_S1} e v_{TRI_S2}), por seguinte as portadoras do secundário (v_{TRI_S5} e v_{TRI_S6}) e novamente as tensões v_{ab1} e v_{ab2} no T1 e a corrente que circula pelo mesmo. No item (a) aborda-se novamente a situação em que as portadoras são fixas, enquanto no (b) variam com a moduladora do primário. Cada qual ilustra três situações distintas de Δd no primário do transformador enquanto as razões cíclicas dos pulsos no secundário são mantidas em 50% independente da forma de onda no primário.

Na Figura 3.15a observa-se uma grande diferença entre os pulsos do transformador, o que faz com que a indutância de dispersão seja submetida a altos valores de tensão, resultando em altos valores de corrente durante curtos intervalos de tempo, o que pode acarretar na saturação do transformador.

Na Figura 3.15b é realizado o deslocamento das fases das portadoras do secundário através da equação (3.25), no qual φ_{SEC} é um deslocamento adicional, independente da fase inicial e do ângulo *phase-shift* (φ_{main}), que será comentado em tópicos posteriores. Observa-se que o resultado são pulsos no secundário do transformador com largura similar ao do primário, reduzindo as variações de i_{Llk} em alta frequência.

$$\varphi_{SEC} = (m_{PRI} - 0.5) \cdot 180^\circ \quad (3.25)$$

Figura 3.15 – Defasagem das portadores e esforços no transformador 1: a) defasagem fixa; b) defasagem variável.



Fonte: Próprio autor.

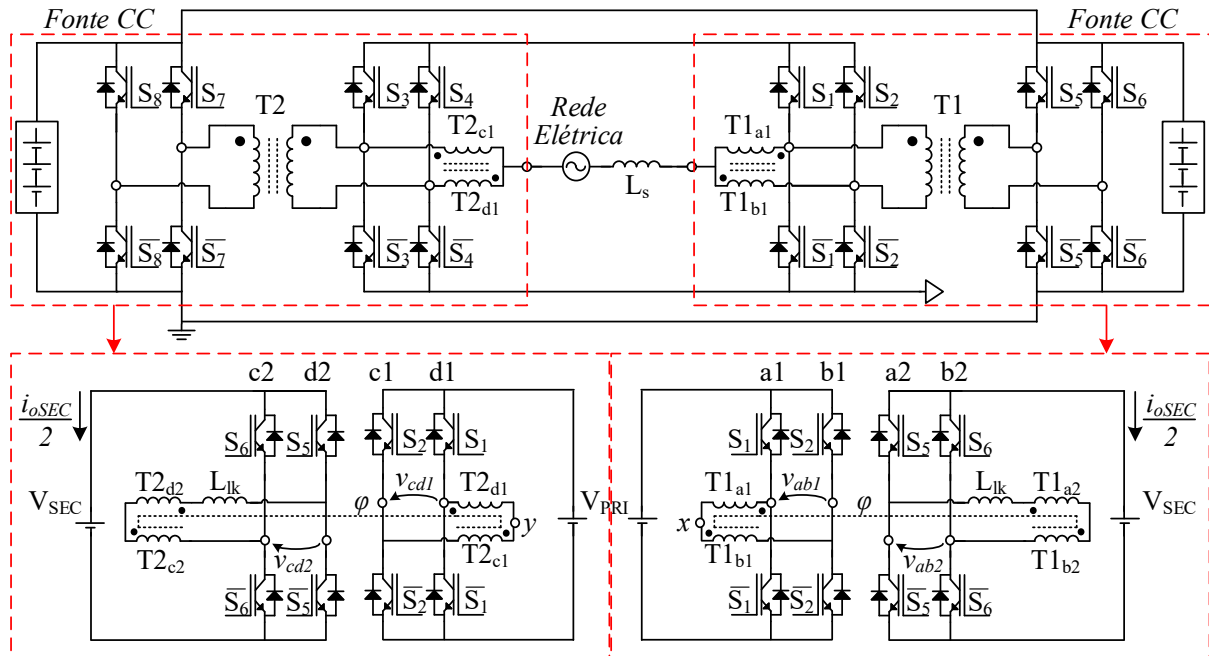
Em uma mesma ponte, cada braço recebe uma polaridade diferente de deslocamento, cujo valor negativo indica atraso, enquanto o valor positivo indica adianto. Logo, na situação apresentada, v_{TRI_S5} é atrasada, enquanto v_{TRI_S6} é adiantada.

3.3 Transferência de potência entre os lados

O transformador responsável pela transferência de potência entre o primário e o secundário é composto pelo acoplamento das 3SSCs. As células da ponte 1 são acopladas com as células da ponte 3, e as células da ponte 2 são acopladas com as células da ponte 4, de forma que, desconsiderando o barramento CA, o conversor pode ser decomposto em dois

conversores DAB, conforme ilustrado na Figura 3.16, que operam de maneira similar e independente.

Figura 3.16 – Conversor proposto sem a conexão do barramento CA.



Fonte: Próprio autor.

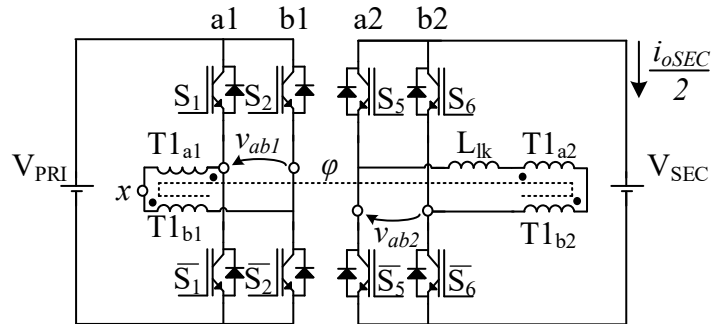
A transferência de potência é realizada com base no princípio do conversor DAB, na qual o fluxo de potência é controlado pelo ângulo de defasagem entre as tensões no primário e secundário do transformador, técnica usualmente denominada pelo termo inglês “*phase-shift*” (DONCKER; DIVAN; KHERALUWALA, 1988). O ângulo de potência, ou *phase-shift*, como também será chamado durante o texto, é representado pela letra φ . Um valor positivo de φ indica um fluxo seguindo do primário para o secundário, e um valor negativo indica um fluxo do secundário para o primário.

3.3.1 Princípio de operação

Sabendo que ambos conversores na Figura 3.16 podem ser considerados separadamente, somente a estrutura correspondente ao acoplamento entre as pontes 1 e 3 será apresentada e se encontra ilustrada na Figura 3.17. O mesmo opera como um conversor DAB com modulação à três níveis, e apresenta 12 regiões de operação das 16 regiões do conversor CC-CC bidirecional DAB-CCTE apresentado em Mazza (2014) devido a modulação SPWM no primário. As mesmas estão apresentadas na Figura 3.18, cuja as 12 regiões de operação desejadas do conversor proposto, para um ângulo de potência entre a faixa de $\pm 90^\circ$, estão

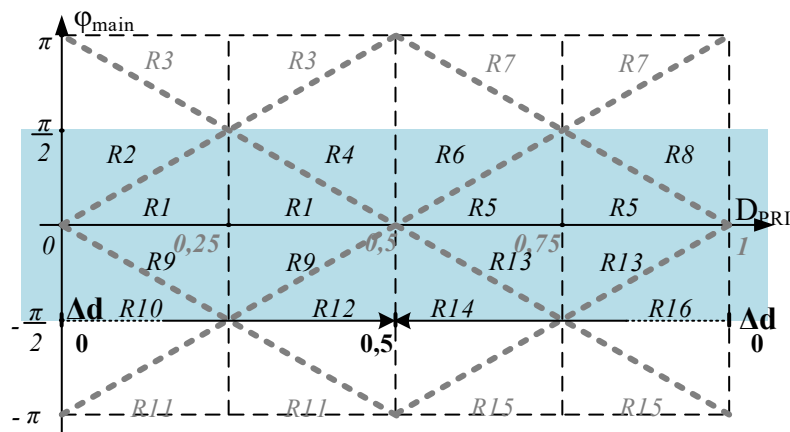
destacadas e associadas com a razão cíclica instantânea no lado primário do transformador (Δd).

Figura 3.17 – Conversor DAB de referência.



Fonte: Próprio autor.

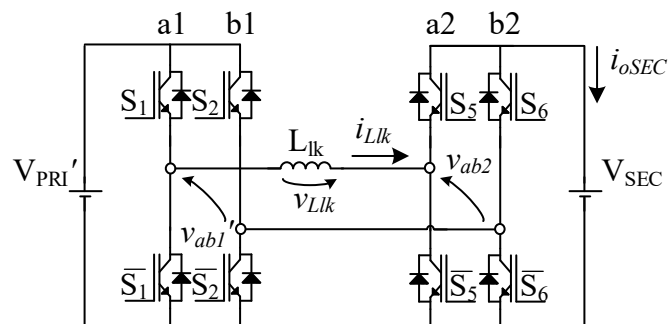
Figura 3.18 – Gráfico das regiões de operação do conversor DAB-CCTE.



Fonte: Adaptado de Mazza (2014).

Para análise da transferência de potência no conversor em estudo, serão consideradas as regiões de operação em função de Δd , apresentado previamente em (3.24). O circuito equivalente do conversor está ilustrado na Figura 3.19, cujo os parâmetros foram referidos ao lado secundário através das expressões (3.26) a (3.28).

Figura 3.19 – Conversor DAB equivalente referido ao secundário.



Fonte: Próprio autor.

$$\alpha = \frac{V_{SEC}}{V_{PRI}} = \frac{v_{ab2}}{v_{ab1}} \quad (3.26)$$

$$v_{ab1}' = \alpha \cdot v_{ab1} \quad (3.27)$$

$$V_{PRI}' = \alpha \cdot V_{PRI} \quad (3.28)$$

Durante as análises, considerar-se-á que a relação de transformação (α) é ajustada de forma que a tensão refletida do primário seja, em módulo, igual ao valor secundário, resultando na igualdade (3.29). Uma relação unitária entre as portas do conversor DAB equivalente garante um melhor fator de potência durante operação com baixos valores de φ (SANTOS; MARTINS, 2014). Para permitir uma comparação direta com a razão cíclica Δd , o *phase-shift* será tratado como uma razão do período de chaveamento ($\Delta\varphi$) expresso por (3.30), variando entre 0 e $0,25 (\pm 90^\circ)$.

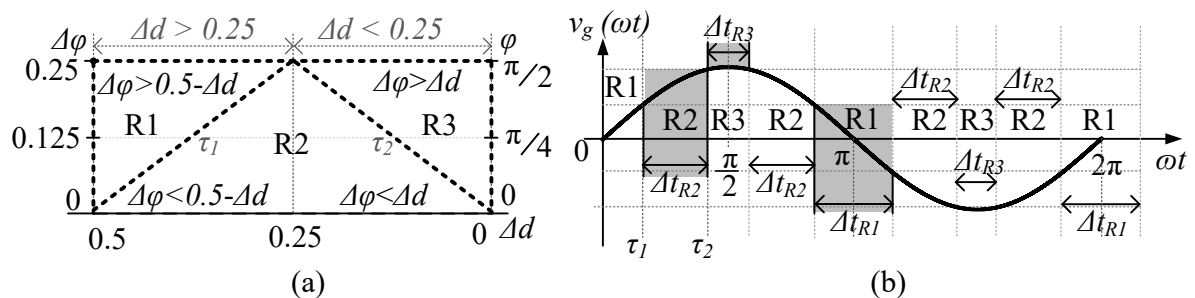
$$V_{PRI}' = V_{SEC} = V_{DC} \quad (3.29)$$

$$\Delta\varphi = \frac{\varphi_{main}}{2\pi} \quad (3.30)$$

3.3.2 Regiões e etapas de operação

Considerando a simetria e a operação com φ inferior a 90° (em módulo) devido à limitação de reativos (SANTOS; MARTINS, 2014), a as regiões da topologia em análise relativas a potência pode ser resumidas a três regiões, sendo estas as mesmas de Almeida et al. (2018) e se encontram ilustradas na Figura 3.20, renumeradas para uma melhor abordagem, cuja as regiões 1, 2 e 3 correspondem, respectivamente, as regiões 8, 5 e 6. Essas também são abordadas em Araújo (2018) através das regiões 1, 2 e 4, respectivamente. A Figura 3.20a considera os limites entre as regiões da topologia proposta, enquanto a Figura 3.20b representa os intervalos de operação.

Figura 3.20 – Regiões de operação: a) limites de operação; b) intervalos de operação.



Fonte: Próprio autor.

Observa-se que durante altos valores de Δd ($\Delta d > 0,25$), o conversor pode operar entre as regiões 1 (R1) e 2 (R2), enquanto para valores menores ($\Delta d < 0,25$), entre as regiões 2 (R2) e 3 (R3).

Considerando um $|\varphi|$ não nulo, na Figura 3.20 verifica-se que as regiões variam junto com Δd , que varia conforme ωt e é limitado pelo índice de modulação m_a adotado. Com base nos limites entre R1 e R2 (3.31) e R2 e R3 (3.32) na Figura 3.20a, e substituindo Δd por (3.24), tem-se os limites de tempo τ_1 e τ_2 na Figura 3.20d determinado através de (3.33) e (3.34), respectivamente, em função de $\Delta\varphi$ e m_a .

$$\Delta d = \frac{1}{2} - \Delta\varphi \quad (3.31)$$

$$\Delta d = \Delta\varphi \quad (3.32)$$

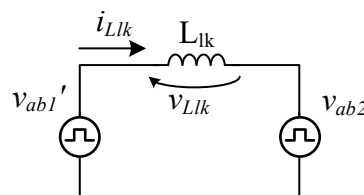
$$\tau_1 = \frac{T_s}{2\pi} \cdot \sin^{-1}\left(\frac{2\varphi}{m_a}\right) \quad (3.33)$$

$$\tau_2 = \frac{T_s}{2\pi} \cdot \sin^{-1}\left(\frac{1-2\varphi}{m_a}\right) \quad (3.34)$$

As condições para cada região são então definidas abaixo e suas análises a seguir, cujo início da contagem de tempo (t) analisado é dado pelo instante t_0 . Durante as etapas será utilizado o circuito simplificado do DAB apresentado na Figura 3.21.

- Região 1 (R1) – $\Delta d > 0,25$ e $\Delta\varphi > 0,5 - \Delta d$;
- Região 2 (R2) – $\Delta d > 0,25$ e $\Delta\varphi < 0,5 - \Delta d$ ou $\Delta d < 0,25$ e $\Delta\varphi < \Delta d$;|
- Região 3 (R3) – $\Delta d < 0,25$ e $\Delta\varphi > \Delta d$.

Figura 3.21 – Circuito do DAB simplificado.



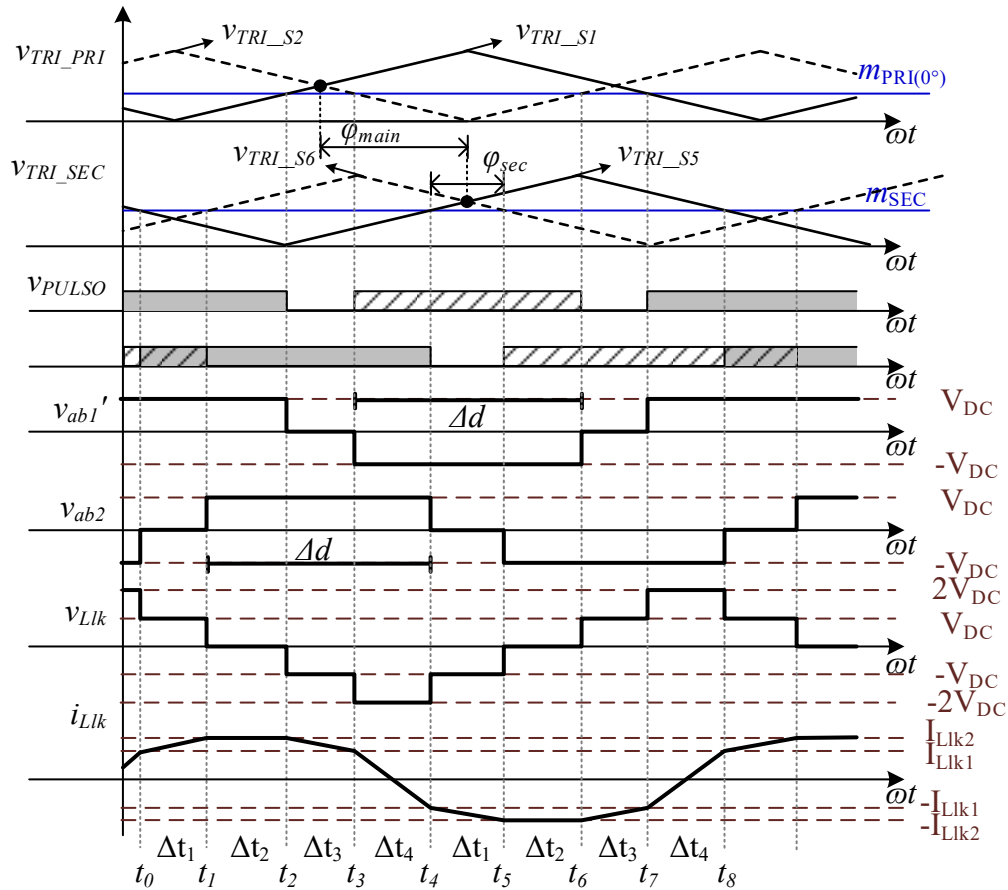
Fonte: Próprio autor.

3.3.2.1 Região 1 ($\Delta d > 0,25$ e $\Delta\varphi > 0,5 - \Delta d$)

A região 1 ocorre sempre que há transferência de potência entre as portas, correspondendo ao instante cuja tensão da rede está em torno de zero. Suas principais formas de onda para um período de chaveamento estão ilustradas na Figura 3.22, enquanto as oito

combinações de chaveamento correspondentes estão apresentadas na Tabela 3.6 e suas etapas de operação na Figura 3.23. Devido à similaridade das etapas durante um período, somente as quatro primeiras serão comentadas, sendo as demais similares.

Figura 3.22 – Combinações de chaveamento para região 1 do DAB.



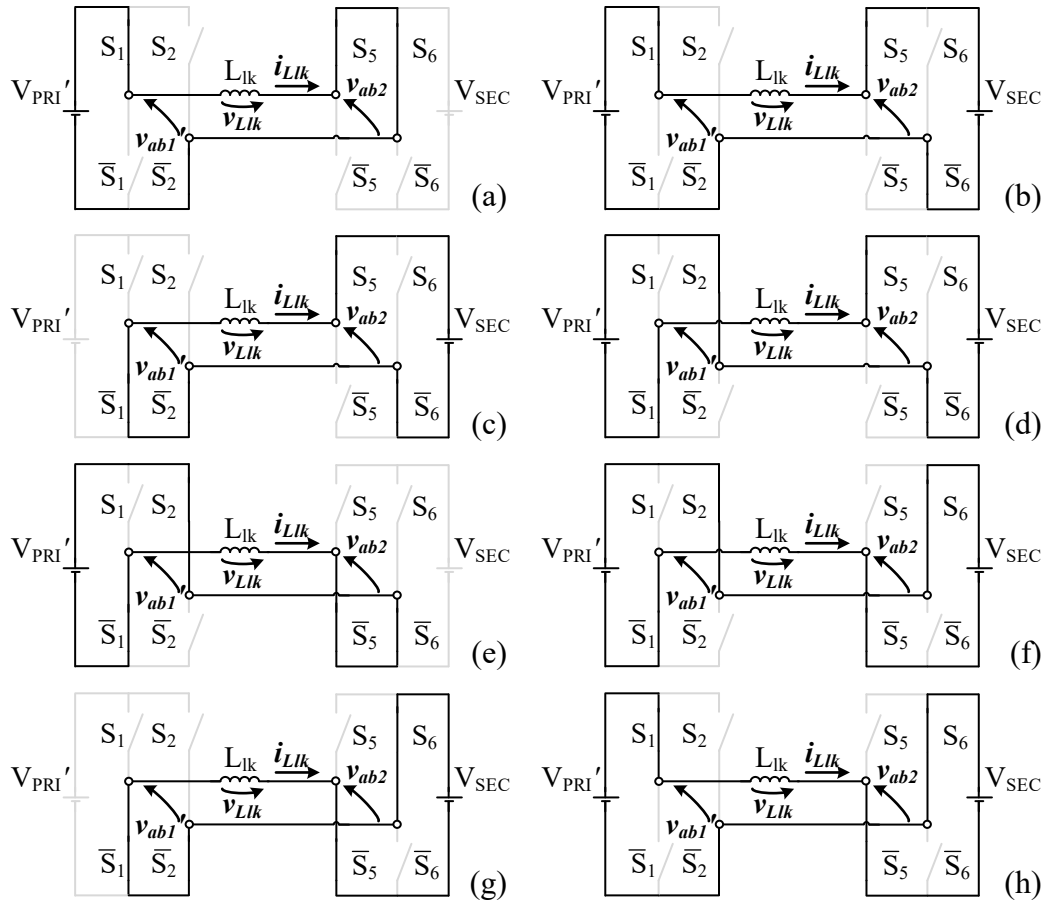
Fonte: Próprio autor.

Tabela 3.6 – Combinações de chaveamento para região 1 do DAB.

Etapas	Combinações de chaveamento				Tensões			Intervalo
	S1	S2	S5	S6	$V_{ab1'}$	V_{ab2}	V_{LLk}	Δt
1	1	0	1	1	V_{DC}	0	V_{DC}	Δt_1
2	1	0	1	0	V_{DC}	V_{DC}	0	Δt_2
3	0	0	1	0	0	V_{DC}	$-V_{DC}$	Δt_3
4	0	1	1	0	$-V_{DC}$	V_{DC}	$-2V_{DC}$	Δt_4
5	0	1	0	0	$-V_{DC}$	0	$-V_{DC}$	Δt_1
6	0	1	0	1	$-V_{DC}$	$-V_{DC}$	0	Δt_2
7	0	0	0	1	0	$-V_{DC}$	V_{DC}	Δt_3
8	1	0	0	1	V_{DC}	$-V_{DC}$	$2V_{DC}$	Δt_4

Fonte: Próprio autor.

Figura 3.23 – Etapas de operação para a região 1 do DAB.



Fonte: Próprio autor.

Esta região se destaca das demais por apresentar uma etapa em que as tensões v_{ab1} e v_{ab2} tem sinais opostos, resultando em um nível a mais de tensão no indutor de potência (L_{lk}), tendo como consequência uma corrente mais próxima da senoidal.

Primeira Etapa ($t_0 < t < t_1$)

No instante $t=t_0$, o interruptor S5 é comutado passando a conduzir junto com S1 e S6 enquanto S2 permanece em aberto. Neste momento, a tensão V_{DC} é aplicada sobre v_{ab1} enquanto v_{ab2} é nula. Logo, a tensão sobre o indutor L_{lk} é o próprio V_{DC} , passando a armazenar energia de forma que a corrente i_{Llk} , inicialmente em I_{Llk1} , aumenta conforme (3.35).

$$i_{Llk}(t) = I_{Llk1} + \frac{V_{DC}}{L_{lk}} \cdot (t - t_0) \quad (3.35)$$

A etapa está ilustrada na Figura 3.23a e termina quando o interruptor S6 é bloqueado e i_{Llk} se estabiliza em I_{Llk2} . Seu tempo de duração é dado por (3.36).

$$\Delta t_1 = \left(\frac{1}{2} - \Delta d \right) \cdot T_s \quad (3.36)$$

Segunda Etapa ($t_1 < t < t_2$)

No instante $t=t_1$, o interruptor S6 é comutado e os demais permanecem no estado anterior. Neste momento, a tensão V_{DC} é aplicada tanto em v_{ab1}' quanto em v_{ab2} , resultando em uma tensão nula sobre L_{lk} , de forma que a corrente i_{Llk} é constante conforme (3.37).

$$i_{Llk}(t) = I_{Llk2} \quad (3.37)$$

A etapa está ilustrada na Figura 3.23b e termina quando o interruptor S1 é bloqueado. Seu tempo de duração é dado por (3.38).

$$\Delta t_{II} = (\Delta d - \Delta \varphi) \cdot Ts \quad (3.38)$$

Terceira Etapa ($t_2 < t < t_3$)

No instante $t=t_2$, o interruptor S1 é comutado e os demais permanecem no estado anterior. Neste momento, a tensão V_{DC} é aplicada sobre v_{ab2} enquanto v_{ab1}' é nula. Logo, a tensão sobre o indutor L_{lk} é $-V_{DC}$ passando então a descarregar energia, de forma que a corrente i_{Llk} , inicialmente em I_{Llk2} , decresce conforme (3.39).

$$i_{Llk}(t) = I_{Llk2} - \frac{V_{DC}}{L_{lk}} \cdot (t - t_2) \quad (3.39)$$

A etapa está ilustrada na Figura 3.23c e termina quando o interruptor S2 é fechado e i_{Llk} atinge novamente I_{Llk1} . Seu tempo de duração é dado por (3.40), sendo igual ao da etapa 1.

$$\Delta t_{III} = \left(\frac{1}{2} - \Delta d \right) \cdot Ts \quad (3.40)$$

Quarta Etapa ($t_3 < t < t_4$)

No instante $t=t_3$, o interruptor S2 é comutado e os demais permanecem no estado anterior. Neste momento, a tensão V_{DC} é aplicada sobre v_{ab2} enquanto sobre v_{ab1}' tem-se $-V_{DC}$. Logo, a tensão sobre o indutor L_{lk} é $-2V_{DC}$ passando a descarregar energia mais rápido que a etapa anterior, de forma que a corrente i_{Llk} , inicialmente em I_{Llk1} , decresce conforme (3.41).

$$i_{Llk}(t) = I_{Llk1} - \frac{2V_{DC}}{L_{lk}} \cdot (t - t_3) \quad (3.41)$$

A etapa está ilustrada na Figura 3.23d e termina quando o interruptor S5 é comutado e i_{Llk} atinge $-I_{Llk1}$. Seu tempo de duração é dado por (3.42).

$$\Delta t_{IV} = \left[(\Delta d + \Delta \varphi) - \frac{1}{2} \right] \cdot Ts \quad (3.42)$$

As demais etapas apresentam comportamento e duração similar, porém, com combinações de chaveamento distintas e polaridades de tensão e corrente opostas.

Os valores constantes de I_{Lk1} e I_{Lk2} podem ser determinados com base nos valores de corrente em t_4 e t_1 , respectivamente. Logo, tem-se I_{Lk1} e I_{Lk2} através de (3.43) e (3.44), respectivamente.

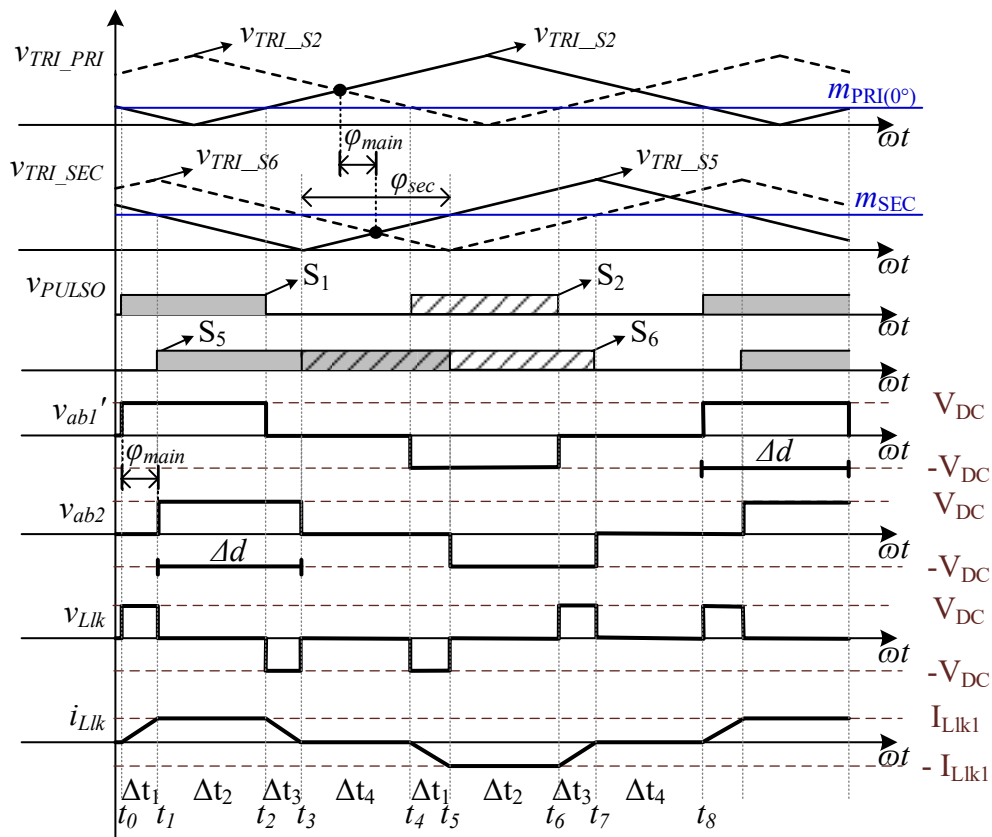
$$i_{Lk}(t_4) = I_{Lk1} - \frac{2V_{DC}}{L_{lk}} \cdot \Delta t_{IV} = -I_{Lk1} \rightarrow I_{Lk1} = \frac{V_{DC}}{L_{lk}} \cdot \left(\Delta d + \Delta \varphi - \frac{1}{2} \right) \cdot Ts \quad (3.43)$$

$$i_{Lk}(t_1) = I_{Lk1} + \frac{V_{DC}}{L_{lk}} \cdot \Delta t_I = I_{Lk2} \rightarrow I_{Lk1} = \frac{V_{DC}}{L_{lk}} \cdot \left(\frac{1}{2} - \Delta d \right) \cdot Ts \quad (3.44)$$

3.3.2.2 Região 2 ($\Delta d > 0.25$ e $\Delta \varphi < 0.5 - \Delta d$ ou $\Delta d < 0.25$ e $\Delta \varphi < \Delta d$)

A região 2 ocorre sempre que o intervalo τ_1 é menor que $\frac{1}{4}$ de T_s . Suas principais formas de onda para um ciclo de chaveamento estão ilustradas na Figura 3.24.

Figura 3.24 – Combinações de chaveamento para região 2 do DAB.



Fonte: Próprio autor.

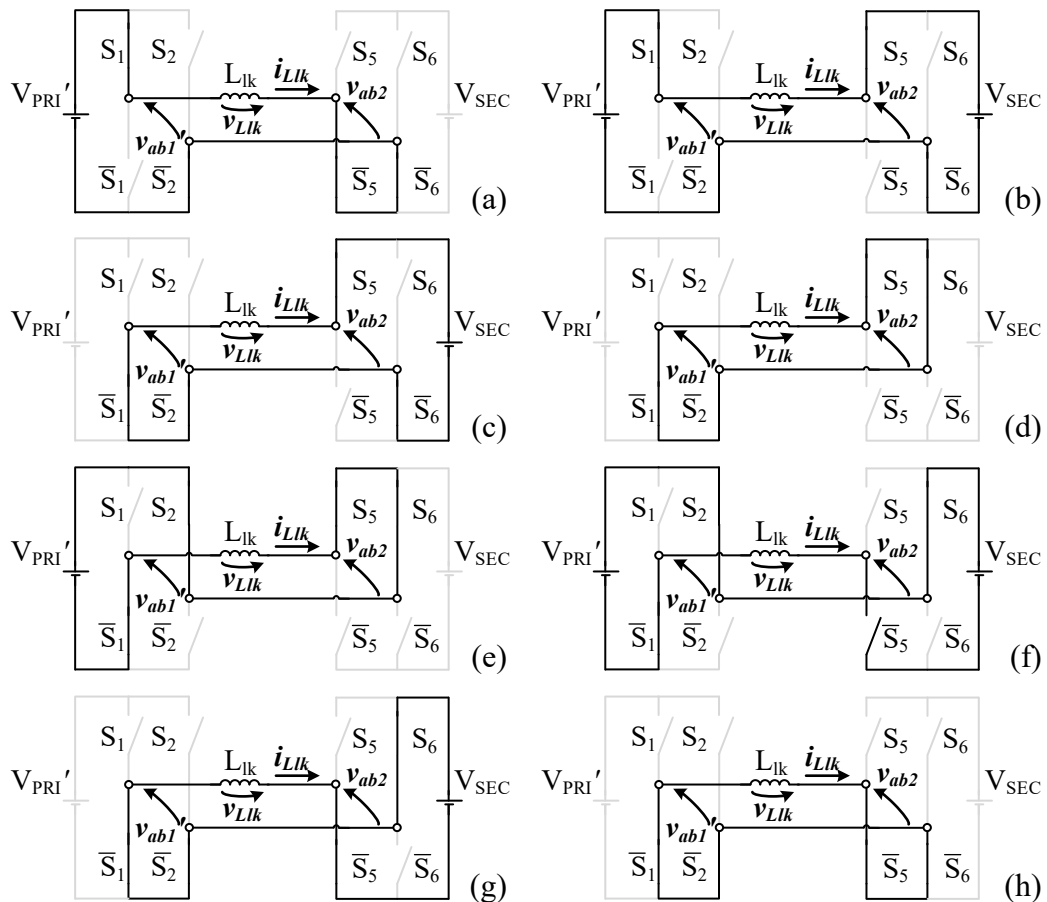
As oito combinações de chaveamento correspondentes a Figura 3.24 estão apresentadas na Tabela 3.7 e suas etapas de operação ilustradas na Figura 3.25.

Tabela 3.7 – Combinações de chaveamento para região 2 do DAB.

Etapas	Combinações de chaveamento				Tensões			Intervalo
	S1	S2	S5	S6	$V_{ab1'}$	V_{ab2}	V_{Llk}	Δt
1	1	0	0	0	V_{DC}	0	V_{DC}	Δt_1
2	1	0	1	0	V_{DC}	V_{DC}	0	Δt_2
3	0	0	1	0	0	V_{DC}	$-V_{DC}$	Δt_3
4	0	0	1	1	0	0	0	Δt_4
5	0	1	1	1	$-V_{DC}$	0	$-V_{DC}$	Δt_1
6	0	1	0	1	$-V_{DC}$	$-V_{DC}$	0	Δt_2
7	0	0	0	1	0	$-V_{DC}$	V_{DC}	Δt_3
8	0	0	0	0	0	0	0	Δt_4

Fonte: Próprio autor.

Figura 3.25 – Etapas de operação para a região 2 do DAB.



Fonte: Próprio autor.

Diferente da região 1, e assim como será observado para a região 3, a tensão máxima sobre o indutor de transferência de potência será V_{DC} e haverá intervalos em que não haverá corrente pelo mesmo. Devido à similaridade das etapas durante um período, somente as quatro primeiras serão comentadas, sendo as demais similares.

Primeira Etapa ($t_0 < t < t_1$)

No instante $t=t_0$, o interruptor S1 é fechado e os demais permanecem em aberto. Neste momento, a tensão V_{DC} é aplicada sobre v_{ab1} enquanto v_{ab2} é nula. Logo, a tensão sobre o indutor L_{lk} é o próprio V_{DC} e passa a armazenar energia, de forma que a corrente i_{Llk} , inicialmente nula, aumenta conforme (3.45).

$$i_{Llk}(t) = \frac{V_{DC}}{L_{lk}} \cdot (t - t_0) \quad (3.45)$$

A etapa está ilustrada na Figura 3.25a e termina quando o interruptor S5 é fechado e i_{Llk} se estabiliza em I_{Llk1} . Seu tempo de duração é dado por (3.46).

$$\Delta t_I = \Delta \varphi \cdot Ts \quad (3.46)$$

Segunda Etapa ($t_1 < t < t_2$)

No instante $t=t_1$, o interruptor S5 é comutado e os demais permanecem no estado anterior. Neste momento, a tensão V_{DC} é aplicada tanto em v_{ab1} quanto em v_{ab2} , resultando em uma tensão nula sobre L_{lk} , de forma que a corrente i_{Llk} é constante conforme (3.47).

$$i_{Llk}(t) = I_{Llk1} \quad (3.47)$$

A etapa está ilustrada na Figura 3.25b e termina quando o interruptor S1 é bloqueado. Seu tempo de duração é dado por (3.48).

$$\Delta t_{II} = (\Delta d - \Delta \varphi) \cdot Ts \quad (3.48)$$

Terceira Etapa ($t_2 < t < t_3$)

No instante $t=t_2$, o interruptor S1 é aberto e os demais permanecem no estado anterior. Neste momento, a tensão V_{DC} é aplicada sobre v_{ab2} enquanto v_{ab1} é nula. Logo, a tensão sobre o indutor L_{lk} é $-V_{DC}$ passando então a descarregar energia, de forma que a corrente i_{Llk} , inicialmente em I_{Llk1} , decresce conforme (3.49).

$$i_{Llk}(t) = I_{Llk1} - \frac{V_{DC}}{L_{lk}} \cdot (t - t_2) \quad (3.49)$$

A etapa está ilustrada na Figura 3.25c e termina quando o interruptor S6 é fechado e i_{Llk} zera. Seu tempo de duração é dado por (3.50), sendo igual ao da primeira etapa.

$$\Delta t_{III} = \Delta \varphi \cdot Ts \quad (3.50)$$

Quarta Etapa ($t_3 < t < t_4$)

No instante $t=t_3$, o interruptor S6 é comutado e os demais permanecem no estado anterior. Neste momento, a tensão sobre v_{ab2} e v_{ab1} é nula, resultando em uma tensão nula

sobre o indutor L_{lk} , não havendo circulação de corrente. A etapa está ilustrada na Figura 3.25d e termina quando o interruptor S2 é comutado. Seu tempo de duração é dado por (3.51).

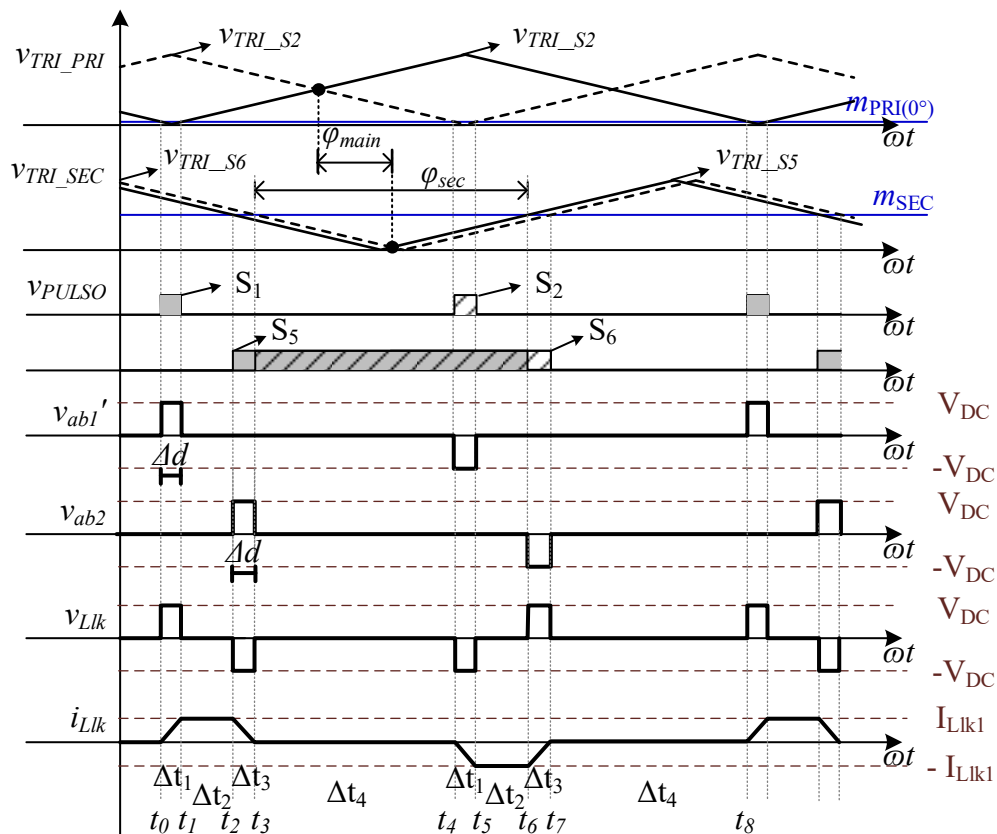
$$\Delta t_{IV} = \left[\frac{1}{2} - (\Delta d + \Delta \varphi) \right] \cdot T_s \quad (3.51)$$

As demais etapas apresentam comportamento e duração similar, porém, com combinações de chaveamento distintas e polaridades de tensão e corrente opostas.

3.3.2.3 Região 3 ($\Delta d < 0.25$ e $\Delta \varphi > \Delta d$)

A região 3 ocorre sempre que o intervalo τ_2 é menor que $\frac{1}{4}$ de T_s . Suas principais formas de onda para um ciclo de chaveamento estão ilustradas na Figura 3.26, enquanto as oito combinações de chaveamento correspondentes estão apresentadas na Tabela 3.8 e suas etapas de operação ilustradas na Figura 3.27.

Figura 3.26 – Combinações de chaveamento para região 3 do DAB.



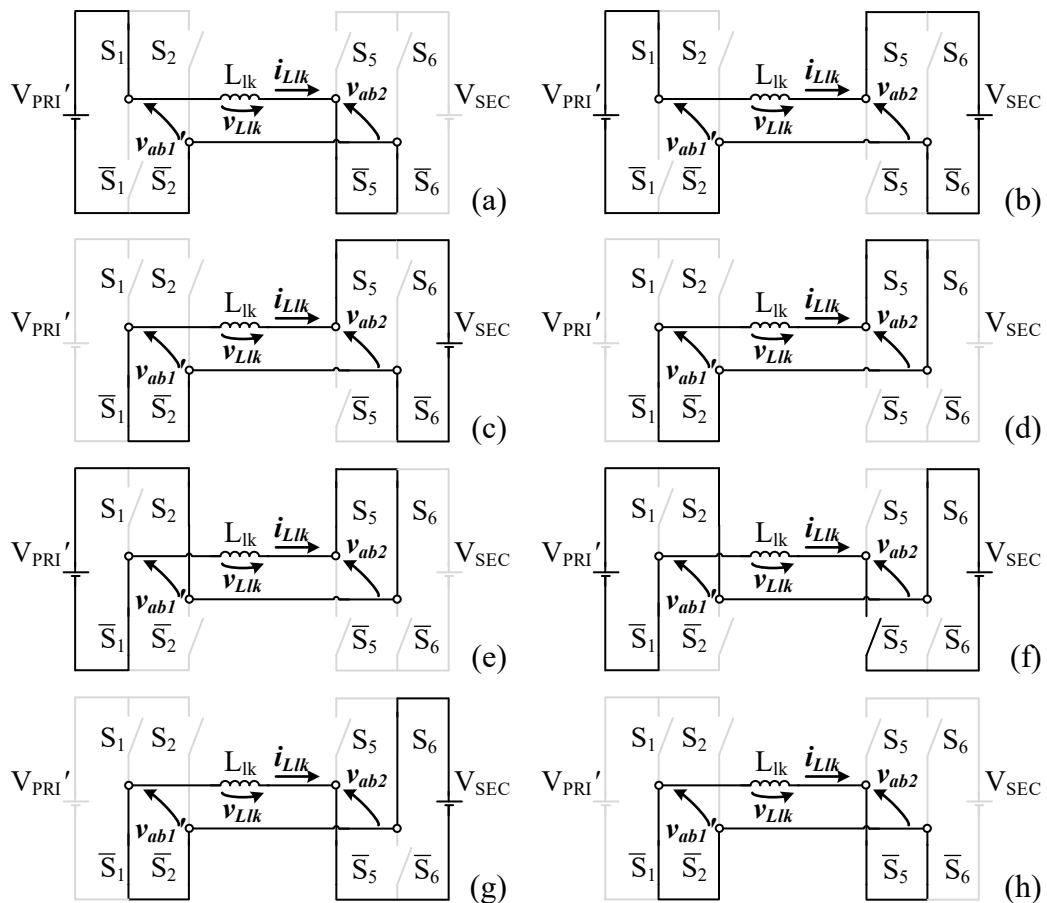
Fonte: Próprio autor.

Tabela 3.8 – Combinações de chaveamento para região 3 do DAB.

Etapas	Combinações de chaveamento				Tensões			Intervalo
	S1	S2	S5	S6	$V_{ab1'}$	V_{ab2}	V_{Llk}	Δt
1	1	0	0	0	V_{DC}	0	V_{DC}	Δt_1
2	0	0	0	0	0	0	0	Δt_2
3	0	0	1	0	0	V_{DC}	$-V_{DC}$	Δt_3
4	0	0	1	1	0	0	0	Δt_4
5	0	1	1	1	$-V_{DC}$	0	$-V_{DC}$	Δt_1
6	0	0	1	1	0	0	0	Δt_2
7	0	0	0	1	0	$-V_{DC}$	V_{DC}	Δt_3
8	0	0	0	0	0	0	0	Δt_4

Fonte: Próprio autor.

Figura 3.27 – Etapas de operação para a região 3 do DAB.



Fonte: Próprio autor.

Assim como na região 2, a tensão máxima sobre o indutor de transferência de potência será V_{DC} e haverá intervalos em que não haverá corrente pelo mesmo. Porém, devido

aos baixos valores de Δd , são curtos os intervalos em que há transferência de potência ativa, e, como será visto posteriormente, independem de φ .

Devido a repetição das etapas durante um período, somente as quatro primeiras serão comentadas, sendo as demais similares.

Primeira Etapa ($t_0 < t < t_1$)

No instante $t=t_0$, o interruptor S1 é comutado e os demais permanecem em aberto. Neste momento, a tensão V_{DC} é aplicada sobre v_{ab1} enquanto v_{ab2} é nula. Logo, a tensão sobre o indutor L_{lk} é o próprio V_{DC} e passa a armazenar energia, de forma que a corrente i_{Llk} , inicialmente nula, aumenta conforme (3.52).

$$i_{Llk}(t) = \frac{V_{DC}}{L_{lk}} \cdot (t - t_0) \quad (3.52)$$

A etapa está ilustrada na Figura 3.27a e termina quando o interruptor S1 é aberto novamente e i_{Llk} se estabiliza em I_{Llk1} . Seu tempo de duração é dado por (3.53).

$$\Delta t_I = \Delta d \cdot T_s \quad (3.53)$$

Segunda Etapa ($t_1 < t < t_2$)

No instante $t=t_1$, o interruptor S1 é comutado e os demais permanecem em aberto. Neste momento, a tensão tanto em v_{ab1} quanto em v_{ab2} é nula, resultando em uma tensão nula sobre L_{lk} , de forma que a corrente i_{Llk} é constante conforme (3.54).

$$i_{Llk}(t) = I_{Llk1} \quad (3.54)$$

A etapa está ilustrada na Figura 3.27b e termina quando o interruptor S5 é fechado. Seu tempo de duração é dado por (3.55).

$$\Delta t_{II} = (\Delta\varphi - \Delta d) \cdot T_s \quad (3.55)$$

Terceira Etapa ($t_2 < t < t_3$)

No instante $t=t_2$, o interruptor S5 é comutado e os demais permanecem no estado anterior. Neste momento, a tensão V_{DC} é aplicada sobre v_{ab2} enquanto v_{ab1} é nula. Logo, a tensão sobre o indutor L_{lk} é $-V_{DC}$ passando então a descarregar energia, de forma que a corrente i_{Llk} , inicialmente em I_{Llk1} , decresce conforme (3.56).

$$i_{Llk}(t) = I_{Llk1} - \frac{V_{DC}}{L_{lk}} \cdot (t - t_2) \quad (3.56)$$

A etapa está ilustrada na Figura 3.27c e termina quando o interruptor S6 é comutado e i_{Llk} zera. Seu tempo de duração é dado por (3.57), sendo igual ao da primeira etapa.

$$\Delta t_{III} = \Delta d \cdot Ts \quad (3.57)$$

Quarta Etapa ($t_3 < t < t_4$)

No instante $t=t_3$, o interruptor S6 é bloqueado e as demais permanecem no estado anterior. Neste momento, a tensão sobre v_{ab2} e v_{abl}' é nula, resultando em uma tensão nula sobre o indutor L_{lk} , não havendo circulação de corrente. A etapa está ilustrada na Figura 3.27d e termina quando o interruptor S2 é comutado. Seu tempo de duração é dado por (3.58).

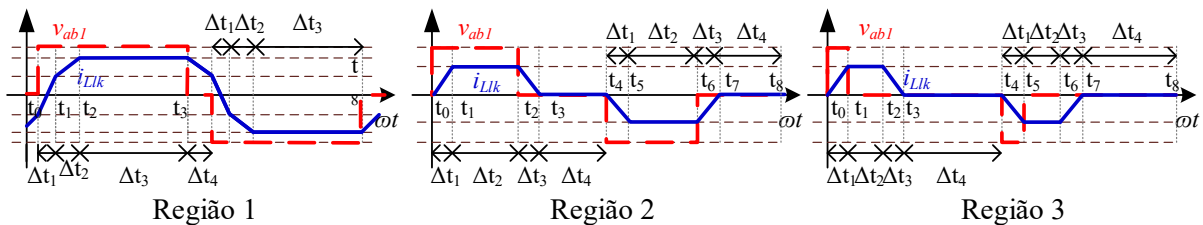
$$\Delta t_{IV} = \left[\frac{1}{2} - (\Delta d + \Delta \varphi) \right] \cdot Ts \quad (3.58)$$

As demais etapas apresentam comportamento e duração similar, porém, com combinações de chaveamento distintas e polaridades de tensão e corrente opostas.

3.3.3 Potência transferida

Com base nas equações levantadas na análise das regiões, resumidas de (3.62) a (3.70), é possível determinar a potência média e a potência total transferida com base em um dos lados do conversor. As formas de onda da tensão no primário (v_{abl}) e a corrente na indutância de dispersão (i_{Llk}) importantes no levantamento da potência estão ilustradas na Figura 3.28.

Figura 3.28 – Formas de onda para a potência do conversor.



Fonte: Próprio autor.

Região 1:

$$\Delta t_1 = ((\Delta d + \Delta \varphi) - 0.5) \cdot Ts \quad (3.59)$$

$$\Delta t_2 = \Delta t_4 = (0.5 - \Delta d) \cdot Ts \quad (3.60)$$

$$\Delta t_3 = (\Delta d - \Delta \varphi) \cdot Ts \quad (3.61)$$

$$i_{Llk}(t) = \begin{cases} \frac{-V_{DC}}{L_{lk}} \cdot (\Delta\varphi + \Delta d(t) - 0.5) + \frac{2V_{DC}}{L_{lk}} \cdot (t - t_0) \cdot Ts, & \text{if } t_0 < t < t_1 \\ \frac{V_{DC}}{L_{lk}} \cdot (\Delta\varphi + \Delta d(t) - 0.5) \cdot Ts + \frac{V_{DC}}{L_{lk}} \cdot (t - t_1), & \text{if } t_1 < t < t_2 \\ \frac{V_{DC}}{L_{lk}} \cdot \Delta\varphi \cdot Ts, & \text{if } t_2 < t < t_3 \\ \frac{V_{DC}}{L_{lk}} \cdot \Delta\varphi \cdot Ts - \frac{V_{DC}}{L_{lk}} \cdot (t - t_3), & \text{if } t_3 < t < t_4 \end{cases} \quad (3.62)$$

Região 2:

$$i_{Llk}(t) = \begin{cases} \frac{V_{DC}}{L_{lk}} \cdot (t - t_0), & \text{if } t_0 < t < t_1 \\ \frac{V_{DC}}{L_{lk}} \cdot \Delta\varphi \cdot Ts, & \text{if } t_1 < t < t_2 \\ \frac{V_{DC}}{L_{lk}} \cdot \Delta\varphi \cdot Ts - \frac{V_{DC}}{L_{lk}} \cdot (t - t_2), & \text{if } t_2 < t < t_3 \\ 0, & \text{if } t_3 < t < t_4 \end{cases} \quad (3.63)$$

$$\Delta t_1 = \Delta t_3 = \Delta\varphi \cdot Ts \quad (3.64)$$

$$\Delta t_2 = (\Delta d - \Delta\varphi) \cdot Ts \quad (3.65)$$

$$\Delta t_4 = (0.5 - (\Delta d + \Delta\varphi)) \cdot Ts \quad (3.66)$$

Região 3:

$$i_{Llk}(t) = \begin{cases} \frac{V_{DC}}{L_{lk}} \cdot (t - t_0), & \text{if } t_0 < t < t_1 \\ \frac{V_{DC}}{L_{lk}} \cdot \Delta d \cdot Ts, & \text{if } t_1 < t < t_2 \\ \frac{V_{DC}}{L_{lk}} \cdot \Delta d \cdot Ts - \frac{V_{DC}}{L_{lk}} \cdot (t - t_2), & \text{if } t_2 < t < t_3 \\ 0, & \text{if } t_3 < t < t_4 \end{cases} \quad (3.67)$$

$$\Delta t_1 = \Delta t_3 = \Delta d \cdot Ts \quad (3.68)$$

$$\Delta t_2 = (\Delta\varphi - \Delta d) \cdot Ts \quad (3.69)$$

$$\Delta t_4 = (0.5 - (\Delta d + \Delta\varphi)) \cdot Ts \quad (3.70)$$

Para determinação da potência real transferida e o fator de potência, torna-se necessário considerar os parâmetros em alta e baixa frequência. Devido a repetição das regiões a cada um quarto do período da rede, a análise pode ser resumida a este intervalo.

A potência ativa é determinada primeiramente calculando-se a potência média para cada região relativa a alta frequência de chaveamento (3.71), e por seguinte encontrando seu valor médio durante um ciclo da rede elétrica, no qual considera-se a baixa frequência e os tempos de transição entre as regiões (3.72).

$$P_{R_{x_{med}}} = \frac{2}{T_S} \left(\int_0^{\Delta t_1} v_{ab} \cdot i_{Llk}(t) dt + \int_0^{\Delta t_2} v_{ab} \cdot i_{Llk}(t) dt + \int_0^{\Delta t_3} v_{ab} \cdot i_{Llk}(t) dt + \int_0^{\Delta t_4} v_{ab} \cdot i_{Llk}(t) dt \right) \quad (3.71)$$

$$P = \frac{4}{T_S} \left(\int_0^{\tau_1} P_{R1_{med}} dt + \int_{\tau_1}^{\tau_2} P_{R2_{med}} dt + \int_{\tau_2}^{T_S/4} P_{R3_{med}} dt \right) \quad (3.72)$$

Para a potência aparente determina-se os valores de tensão e corrente eficaz para cada região relativa a alta frequência através de (3.73) e (3.74), e por seguinte encontra-se a tensão e a corrente eficaz para um ciclo de rede através de (3.75) e (3.76), respectivamente.

$$V_{R_{ef}}^2 = \frac{2}{T_S} \left(\int_0^{\Delta d(t)} v_{ab}(t)^2 dt \right) \quad (3.73)$$

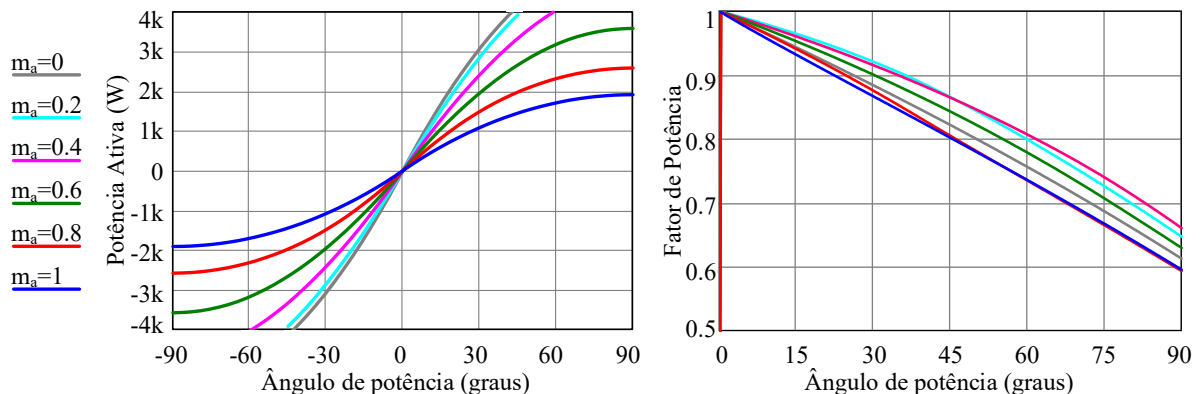
$$I_{R_{x_{ef}}}^2 = \frac{2}{T_S} \left(\int_0^{\Delta t_1} i_{Llk}(t)^2 dt + \int_0^{\Delta t_2} i_{Llk}(t)^2 dt + \int_0^{\Delta t_3} i_{Llk}(t)^2 dt + \int_0^{\Delta t_4} i_{Llk}(t)^2 dt \right) \quad (3.74)$$

$$V_{RMS} = \sqrt{\frac{4}{T_S} \left(\int_0^{T_S/4} V_{R_{ef}}^2 dt \right)} \quad (3.75)$$

$$I_{RMS} = \sqrt{\frac{4}{T_S} \left(\int_0^{\tau_1} I_{R1}^2 dt + \int_{\tau_1}^{\tau_2} I_{R2}^2 dt + \int_{\tau_2}^{T_S/4} I_{R3}^2 dt \right)} \quad (3.76)$$

A eficiência da topologia pode então ser estimada relacionando a potência ativa e a potência aparente. A Figura 3.29 ilustra a potência do conversor e sua eficiência para diferentes índices de modulação e ângulos de potência.

Figura 3.29 – Potência e eficiência do conversor para diferentes parâmetros.

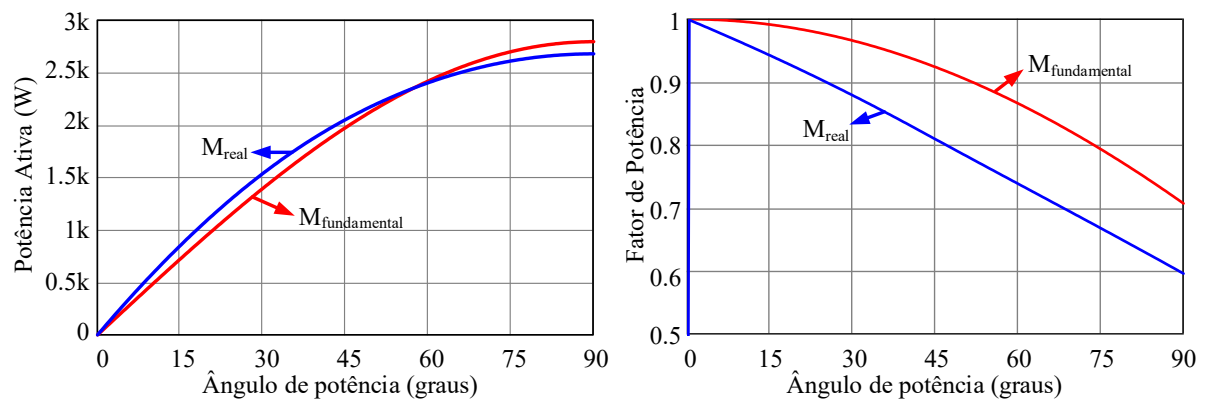


Fonte: Próprio autor.

Com base nas curvas apresentadas, observa-se que quanto menor o índice de modulação, maior é a potência e eficiência do conversor para um mesmo *phase-shift*. Isto ocorre pois está sendo analisada somente a característica CC-CC da transferência de potência na topologia. Portanto, um valor nulo de m_a indica que o conversor opera como um DAB CC-CC convencional com razão cíclica de 50%.

Devido à complexidade das expressões a serem desenvolvidas, conforme em Araújo (2018), as características de transferência do conversor podem ser aproximadas utilizando o modelo fundamental, obtendo-se valores de potência próximos ao da análise detalhada com menor esforço matemático. A Figura 3.30 apresenta a curva de potência e fator de potência para o modelo real calculado (M_{real}) e o modelo fundamental ($M_{\text{fundamental}}$), considerando um índice de modulação de 0,778.

Figura 3.30 – Potência transferida pelo conversor.



Fonte: Próprio autor.

Observa-se através das curvas na Figura 3.30 que a potência do modelo fundamental se aproxima bem do modelo real, porém ameniza o decréscimo da curva de fator de potência com o aumento do *phase-shift*.

Cada conversor DAB resultante do acoplamento entre as pontes operará com metade da potência total da topologia proposta, podendo a operação conjunta dos dois ser representada por um único conversor DAB com metade da indutância de potência dos individuais (L_{lk}).

4 PROCEDIMENTO DE PROJETO

Neste capítulo é apresentado um exemplo de projeto detalhado da topologia proposta para validação da mesma através de resultados de simulação e experimental, confirmando a análise teórica previamente discutida. As especificações de projeto adotadas estão descritas na Tabela 4.1.

Tabela 4.1 – Especificações de projeto.

Tensão eficaz da rede (v_g)	220	V
Frequência da rede (f_g)	60	Hz
Potência de saída (P_o)	1000	W
Tensão no barramento primário (V_{PRI})	400	V
Tensão no barramento secundário (V_{SEC})	228	V
Frequência de comutação (f_{sw})	50	kHz

Fonte: Próprio autor.

4.1 Parâmetros do conversor

Os parâmetros utilizados para o conversor estão apresentados na Tabela 4.2. Os valores de capacitância nos barramentos primário e secundário, assim como a relação de transformação e as indutâncias de entrada e de dispersão foram definidos com base nos elementos utilizados de Almeida (2016).

Tabela 4.2 – Parâmetros do conversor.

Indutor de entrada (L_s)	0,5	mH
Indutor de transferência de potência (L_d)	40	μ H
Indutor de controle da magnetizante (L_{mag})	5	mH
Capacitor do lado primário (C_{PRI})	940	μ F
Capacitor do lado secundário (C_{SEC})	940	μ F
Relação de transformação (α)	0,5714	-
Indutância de dispersão no Primário (L_{Tdp})	19	μ H
transformador referida ao lado: Secundário (L_{Tds})	6.4	μ H
Indutância de magnetização do transformador referida ao primário (L_{Tmag})	32	mH

Fonte: Próprio autor.

Logo, a indutância de transferência de potência (L_{lk}) de cada transformador do DAB é dada pelo indutor de transferência de potência mais o valor da indutância de dispersão inerente ao transformador referida ao lado secundário (3.77). A indutância de dispersão total equivalente aos dois transformadores operando juntos é metade de seus valores individuais.

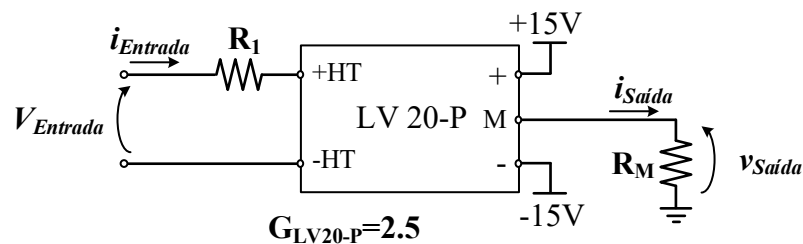
$$L_{lk} = L_d + L_{Tds} = 46.4\mu H \quad (3.77)$$

Com base nas características de potência apresentadas e a indutância total de dispersão (23,4 μ H), utilizando-se das fórmulas de potência levantadas no capítulo 3, o ângulo de transferência de potência para condição nominal será de aproximadamente 18°.

4.2 Amostragem das tensões

Foram utilizados os transdutores de tensão LV 20-P do fabricante LEM para medição das tensões em todas as portas (LEM, [201-]-b). Os mesmos apresentam isolamento galvânica e capacidade para tensões CC e CA até 500V. O esquema de ligação destes sensores está ilustrado na Figura 4.1, cujo ganho é calculado através de (3.78).

Figura 4.1 – Configuração dos sensores de tensão.



Fonte: Próprio autor.

$$G_v = \frac{V_{Entrada}}{v_{Saída}} = G_{LV20-P} \cdot \frac{R_M}{R_1} \quad (3.78)$$

Na Tabela 4.3 são apresentados os resistores e demais valores adotados para o projeto. A tensão de saída de v_g é limitada a 1,5V pois oscila entre valores positivos e negativos, sendo então utilizado um circuito somador com offset de 1,65V após a saída do sensor para ajuste da tensão de entrada no conversor analógico digital (AD) limitado em 3V.

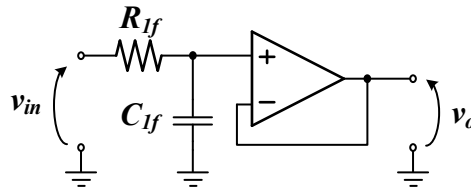
Tabela 4.3 – Configuração dos sensores de tensão.

	v_g	v_{PRI}	v_{SEC}	
$V_{entrada_máximo}$	358	480	275	V
R_I	34k	75k	33k	Ω
$i_{entrada}$	10.5	6.4	8.33	mA
$v_{saída_máximo}$	1.31	2.88	3.12	V
R_M	50	180	150	Ω
$i_{saída}$	26.3	16m	20.8	mA
Ganho total	3.6765m	6m	11.363m	-

Fonte: Próprio autor.

Para filtragem dos sinais amostrados são utilizados filtros *anti-aliasing* passa-baixa analógicos de primeira ordem, representados na Figura 4.2, cujas especificações estão apresentadas na Tabela 4.4.

Figura 4.2 – Filtro *anti-aliasing* de 1º ordem.



Fonte: Próprio autor.

Tabela 4.4 – Especificação dos filtros de tensão.

	v_g	v_{PRI}	v_{SEC}	
C_{FI}	1	2	2	nF
R_{FI}	3.3k	30k	30k	Ω
f_{corte}	48.3k	2.65k	2.65k	Hz

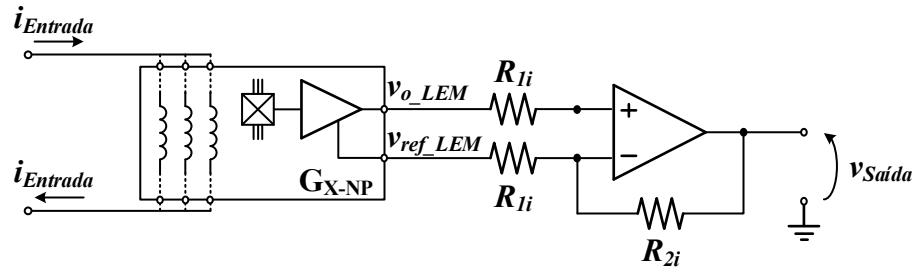
Fonte: Próprio autor.

4.3 Amostragem das correntes

Todas as correntes medidas do conversor são amostradas em 100 kHz. Foram utilizados os transdutores de corrente da série HO-NP/SP33LV do fabricante LEM, também com isolamento galvânica e capacidade de medição de correntes CA e CC (LEM, [201-]-a). Para as correntes da porta I e porta III foi utilizado o modelo HO 25-NP/SP33 ajustado para corrente nominal de 12,5A, e para medição das correntes magnetizantes dos transformadores utilizou-se o modelo HO 8-NP/SP33 ajustado para corrente nominal de 2,67A. A saída desses sensores é medida de forma diferencial, sendo utilizado um circuito diferencial na saída cuja configuração permite a elevação do ganho de amostragem para se obter uma melhor resolução na conversão analógico digital. O sensor e seu circuito diferencial estão ilustrados de modo genérico na Figura 4.3, com os ganhos de cada modelo identificados, e a tensão de saída resultante é determinada através de (3.79). Na Tabela 4.5 são apresentados os resistores e demais valores adotados para o projeto.

$$v_{Saida} = G_{X-NP} \cdot \frac{R_{2i}}{R_{1i}} \cdot i_{Entrada} + v_{ref_LEM} \quad (3.79)$$

Figura 4.3 – Configuração dos sensores de corrente.



Fonte: Próprio autor.

Tabela 4.5 – Configuração dos sensores de corrente.

	i_{Ls}	i_{SEC}	i_{mag}	
$i_{Entrada}$	8.0	5.0	0.7	A
G_{X-NP}	0.0368	0.0368	0.1725	V/A
R_{Li}	750	330	750	Ω
R_{2i}	2.0k	2.2k	22k	Ω
$v_{Saída}$	3.964	3.07	5.2	V

Fonte: Próprio autor.

Para filtragem dos sinais amostrados também são utilizados filtros *anti-aliasing* passa-baixa analógicos de primeira ordem, similares ao da Figura 4.2, cujas especificações estão apresentadas na Tabela 4.6.

Tabela 4.6 – Especificação dos filtros de corrente.

	i_{Ls}	i_{SEC}	i_{mag}	
C_{FI}	1	1	1	nF
R_{FI}	3k	6k	6k	Ω
f_{corte}	53.05k	26.53k	26.53k	Hz

Fonte: Próprio autor.

Observa-se na Tabela 4.5 que a tensão de saída do sensor de corrente i_{mag} é superior a 3V, porém, como o interesse é seu valor CC, a atenuação do filtro *anti-aliasing* adotado para a frequência de chaveamento é suficiente para manter o valor máximo da tensão de entrada no AD em torno de 3V.

4.4 Projeto dos controladores

Para implementação do controle do conversor será utilizado um microcontrolador *dual-core*, modelo TMS320F28379D, do fabricante Texas Instruments (INSTRUMENTS, 2013). Do mesmo, serão utilizados os PWM com resolução de 12 bits, os conversores

analógico/digital (AD) com resolução de 12 bits e tensão máxima de entrada (V_{AD}) de 3V, sendo o ganho de conversão AD (G_{AD}) dado por (3.80). Os sinais de corrente são amostrados em 100 kHz enquanto a frequência dos de tensão difere para cada barramento.

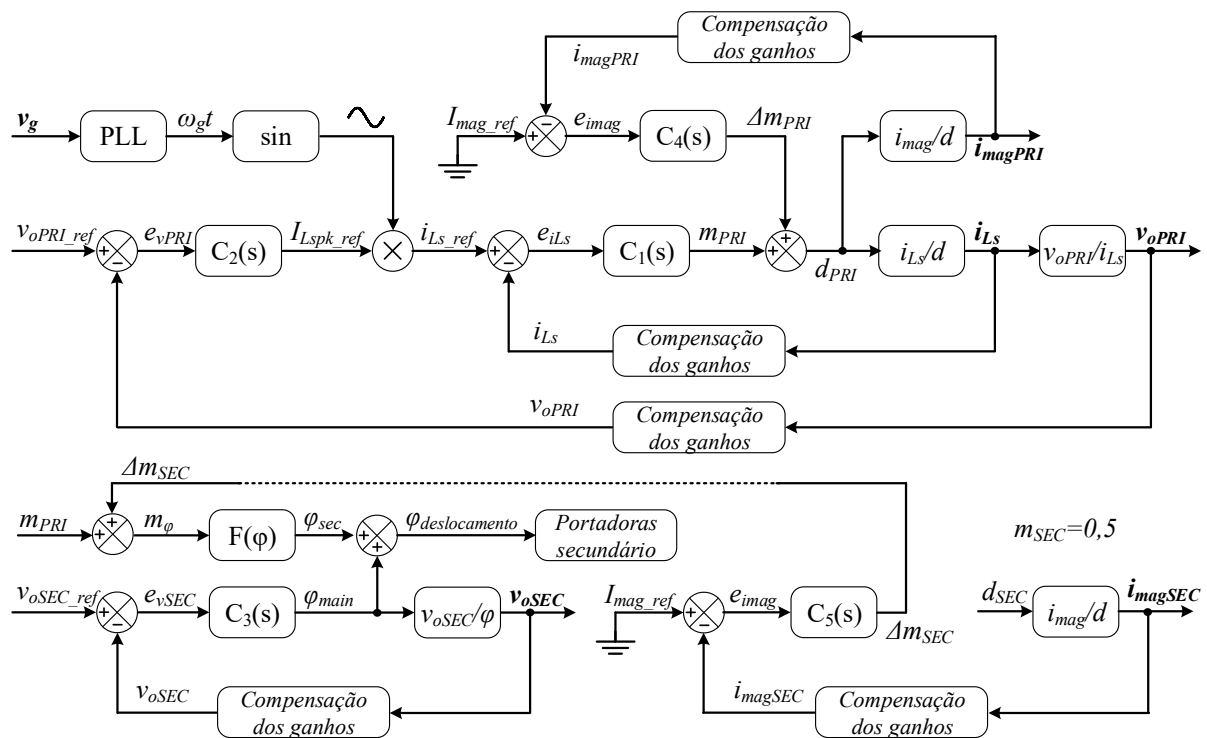
$$G_{AD} = \frac{V_{AD}}{2^{12}} = 7.326m \quad (3.80)$$

Devido à alta capacidade de processamento do DSP adotado, foram utilizados somente controladores digitais. Os ganhos de amostragem são compensados via software através da equação (3.81), no qual H_{sensor} representa o ganho do sensor de medição. Esta compensação permite trabalhar-se com valores equivalentes aos parâmetros reais durante o código de programação e no projeto dos controladores, não havendo a necessidade de adicionar os ganhos às funções de transferência.

$$G_{COMP} = \frac{G_{AD}}{H_{sensor}} \quad (3.81)$$

Para projeto dos controladores, inicialmente levantou-se a função de transferência das plantas a serem controladas, que por seguinte foram discretizadas através do método “forward” e seu controlador ajustado diretamente no plano z. O diagrama de blocos do controle empregado está apresentado Figura 4.4.

Figura 4.4 – Diagrama de blocos do controle.



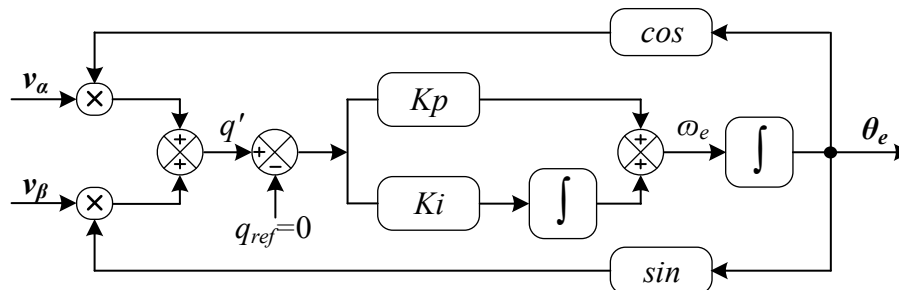
Fonte: Próprio autor.

As técnicas de controle utilizadas foram selecionadas com base nas características dos sinais a serem controlados, e a descrição do projeto de cada malha é apresentado individualmente a seguir.

4.4.1 Sincronismo com a rede (PLL)

Como apresentado, o sincronismo com a rede elétrica é realizado utilizando a técnica PLL (*Phase-Locked Loop*) para detecção da fase da rede. O circuito utilizado no projeto foi o q-PLL, ilustrado na Figura 4.5, que através de uma correta escolha dos ganhos do controlador Proporcional Integral (PI) é capaz de rejeitar altos níveis de ruído e harmônicos contidos nos sinais de entrada (KARIMI-GHARTEMANI; KARIMI; IRAVANI, 2004). Sendo o conversor monofásico, a tensão v_α é a tensão da rede v_g , amostrada em 100 kHz, e a componente v_β é criada a partir de um vetor defasado de 90° de v_g . Os ganhos K_p e K_i foram de 140 e 10000, respectivamente.

Figura 4.5 – Diagrama de blocos do q-PLL.



Fonte: Próprio autor.

4.4.2 Malha de corrente senoidal (i_{Ls})

A função de transferência utilizada para controle da corrente senoidal do lado primário baseia-se na função do conversor *Boost* clássico controlado por corrente média e é expresso por (3.82).

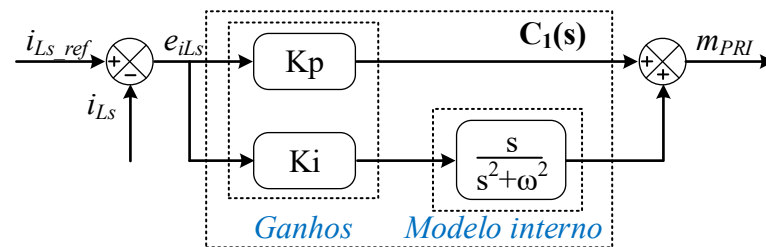
$$FT_{i_{Ls}}(s) = \frac{i_{Ls}(s)}{d(s)} = \frac{V_{PRI}}{s \cdot L_S} \quad (3.82)$$

Com base nos parâmetros de operação do conversor e com uma amostragem de 100 kHz, a planta discretizada é dada por (3.83).

$$FTd_{i_{Ls}}(z) = \frac{8}{z-1} \quad (3.83)$$

Conhecida a característica senoidal da corrente do primário na frequência da rede e sua função de transferência com característica integrativa, optou-se por um controlador do tipo P+Ressonante (PR). Com base no princípio do modelo interno, o mesmo é capaz de seguir uma referência senoidal eliminando o erro de fase nas frequências de interesse, que, no presente caso, é a frequência da rede. Alcançando vantagens de um PI tradicional, esta técnica demanda pouco esforço computacional e não requer a adição de um *feedforward* externo para antecipar o formato senoidal da tensão (TEODORESCU et al., 2006). A Figura 4.6 ilustra o conceito geral desta técnica, incluindo os casos em que se necessita de uma ação integrativa, no qual ganhos são ajustados e adicionados ao modelo interno de uma planta senoidal com frequência definida.

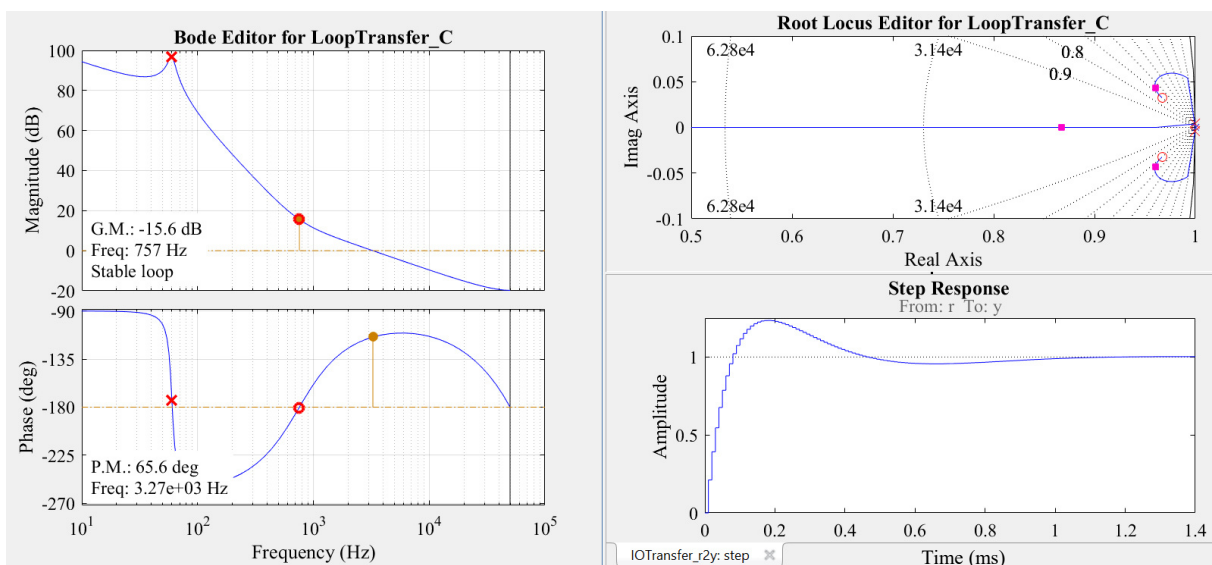
Figura 4.6 – Diagrama de blocos de um controlador P+Ressonante.



Fonte: Próprio autor.

Através da ferramenta sisotool, do *software* Matlab®, é possível alocar direto no plano z os polos complexos que caracterizam o comportamento senoidal desejado, além de zeros complexos que ajustem as características do controlador para a dinâmica desejada. Na Figura 4.7 está ilustrada a tela do sisotool para o controlador projetado.

Figura 4.7 – Projeto do controlador de corrente i_{Ls} no sisotool.

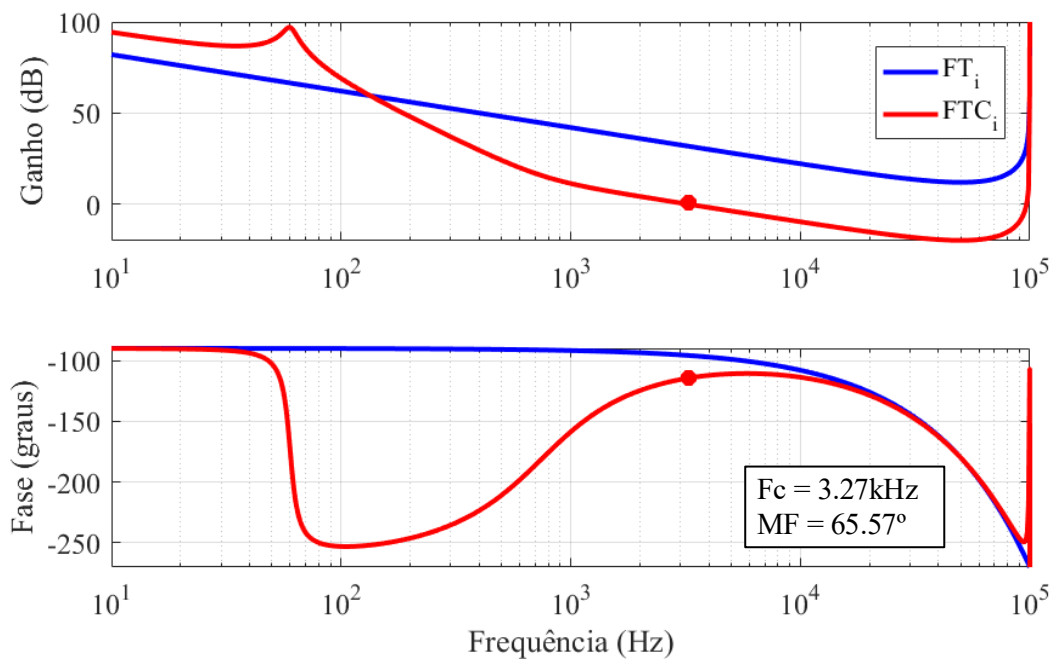


Fonte: Próprio autor.

Os polos foram alocados em $0,9998 \pm 0,0038i$ e os zeros em $0,9670 \pm 0,0326i$, resultando em uma margem de ganho de $-15,57$ dB, margem de fase de $65,57^\circ$ e frequência de cruzamento em $3,27$ kHz. A função resultante do controlador é dado por (3.84). Os diagramas de Bode da planta de corrente com e sem compensação estão apresentados na Figura 4.8.

$$C_{I_{Ls}}(z) = \frac{0.026453 \cdot (z^2 - 1.934z + 0.9362)}{(z^2 - 2z + 0.9995)} \quad (3.84)$$

Figura 4.8 – Diagramas de bode da planta de corrente sem (FT_i) e com compensador (FTC_i).

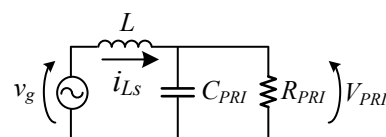


Fonte: Próprio autor.

4.4.3 Malha de tensão do primário (V_{PRI})

Esta malha tem como objetivo ajustar a tensão V_{PRI} através da corrente I_{Ls} , sendo então responsável por gerar a referência de corrente senoidal. Considerando somente a baixa frequência, a configuração do primário pode ser aproximada pelo circuito da Figura 4.9, no qual o elemento L representa o conjunto das indutâncias.

Figura 4.9 – Circuito equivalente da planta de tensão.



Fonte: Próprio autor.

Com base na análise deste circuito, a função de transferência da planta de tensão pode ser aproximada por (3.85).

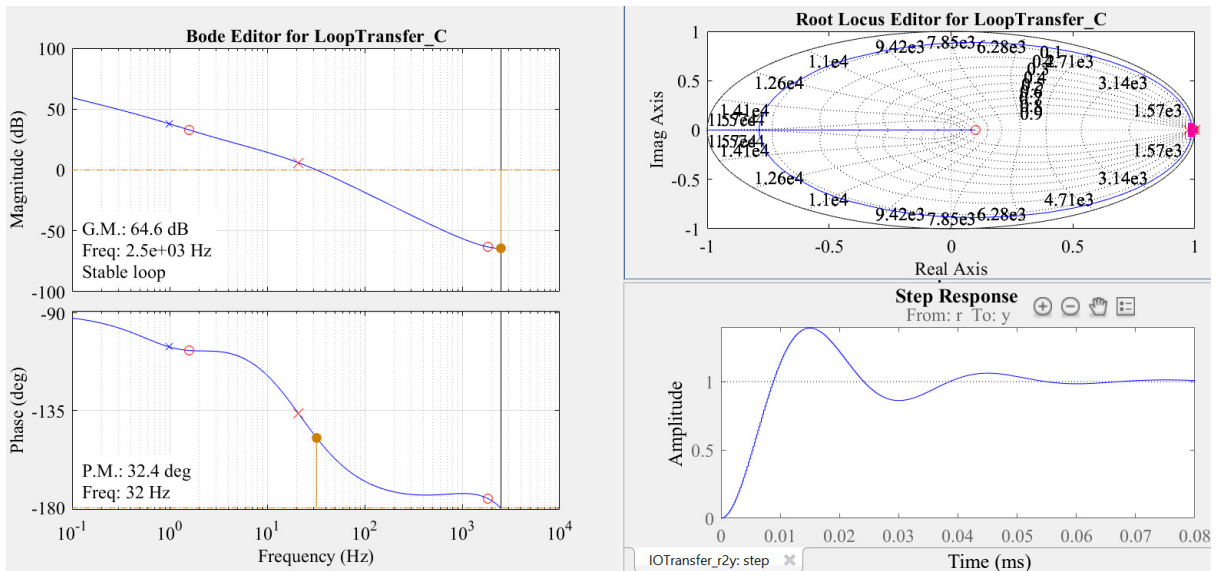
$$FT_{V_{PRI}}(s) = \frac{v_{PRI}(s)}{i_{Ls}(s)} = \frac{R_{PRI}}{s \cdot C_{PRI} \cdot R_{PRI} + 1} \quad (3.85)$$

Com base nos parâmetros de operação do conversor e com uma amostragem em 5 kHz, a planta discretizada é dada por (3.86).

$$FTd_{V_{PRI}}(z) = \frac{0.1999}{z - 0.9988} \quad (3.86)$$

A tela do programa sisotool, do *software* Matlab®, referente ao controlador projetado é apresentada na Figura 4.10.

Figura 4.10 – Projeto do controlador de corrente V_{PRI} no sisotool.

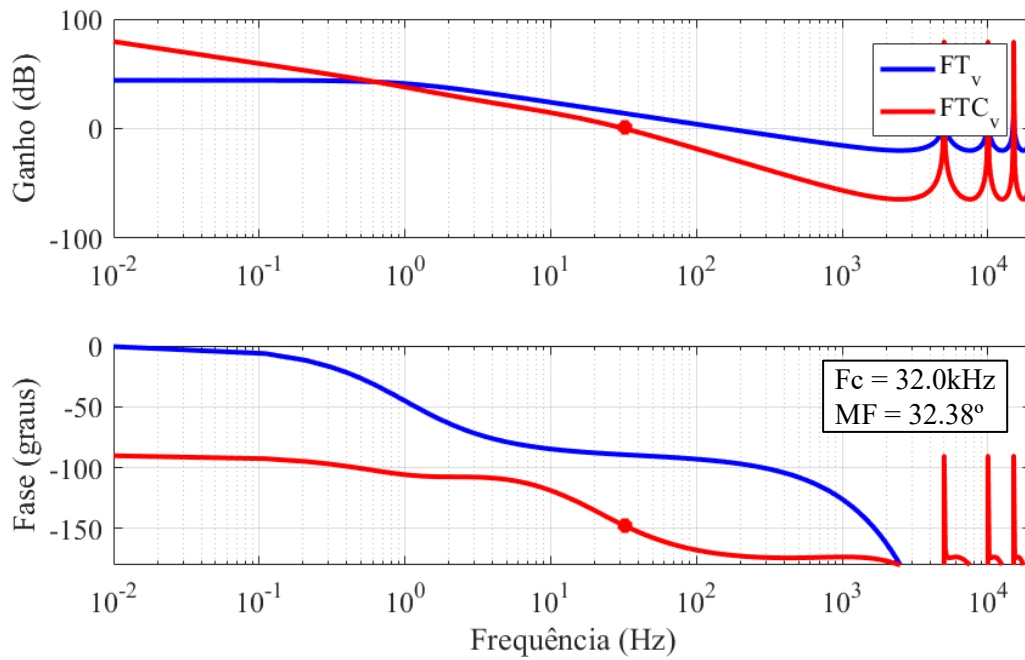


Fonte: Próprio autor.

Foi utilizado um polo integrador e outro em 0,974 enquanto os zeros foram alocados em 0,998 e 0,1, com ganho de 0,0106, resultando em uma margem de ganho de 64,56 dB, margem de fase de 32,38° e frequência de cruzamento em 32,03 Hz. A função resultante do controlador é expresso por (3.87). Os diagramas de Bode da planta de tensão com e sem compensação estão apresentados na Figura 4.11.

$$C_{V_{PRI}}(z) = \frac{0.010617 \cdot (z - 0.998) \cdot (z - 0.1)}{(z - 1) \cdot (z - 0.974)} \quad (3.87)$$

Figura 4.11 – Diagramas de bode da planta de tensão sem (FT_v) e com compensador (FTC_v).



Fonte: Próprio autor.

4.4.4 Malha de corrente magnetizante (i_{LmagX})

A função de transferência utilizada para controle das correntes magnetizantes, tanto do lado primário como do secundário, também baseia-se na função do conversor *Boost* clássico controlado por corrente média e é expresso por (3.88).

$$FT_{i_{mag}}(s) = \frac{i_{magX}(s)}{d(s)} = \frac{V_X}{s \cdot L_{mag}} \quad (3.88)$$

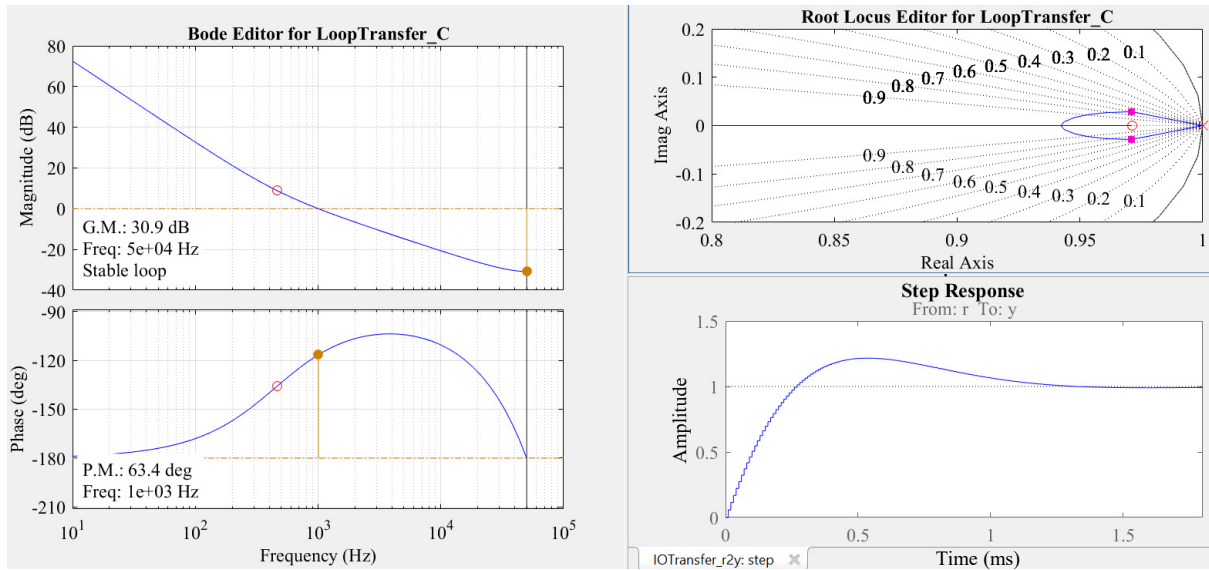
Com base nos parâmetros de operação do conversor e com uma amostragem de 100 kHz, as plantas discretizadas do primário e secundário são dadas por (3.89) e (3.90), respectivamente.

$$FTd_{i_{magPRI}}(z) = \frac{0.8}{z-1} \quad (3.89)$$

$$FTd_{i_{magSEC}}(z) = \frac{0.456}{z-1} \quad (3.90)$$

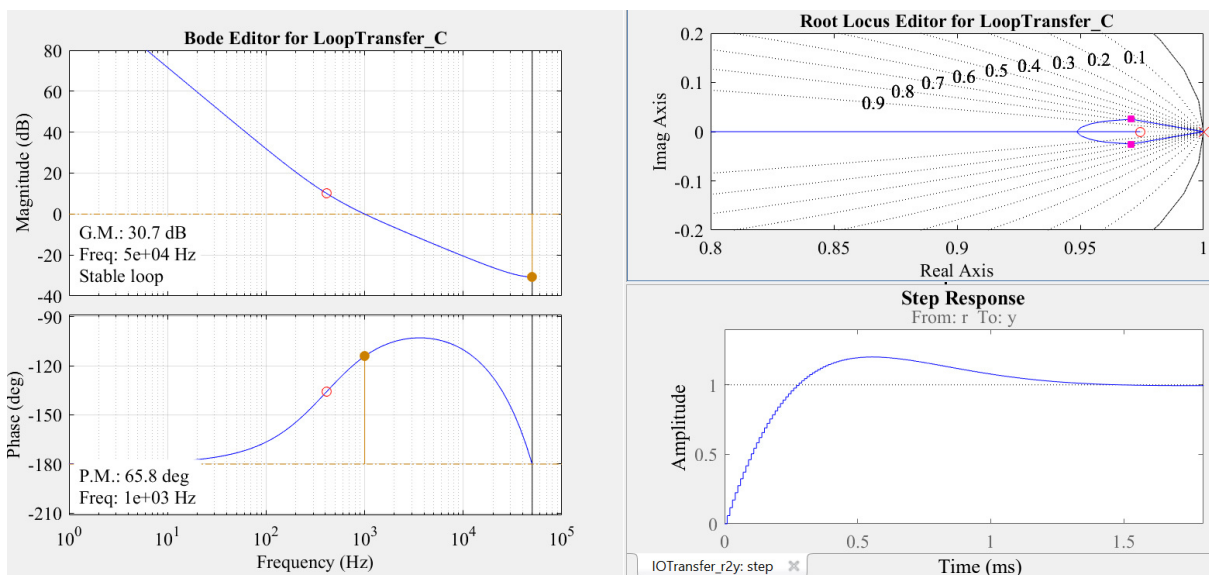
Através da ferramenta sisotool, do *software* Matlab®, um controlador PI foi projetado para cada planta através da técnica alocação de polos. Nas Figura 4.12 e Figura 4.13 estão ilustradas a tela do sisotool para cada controlador projetado.

Figura 4.12 – Projeto do controlador de corrente i_{magPRI} no sisotool.



Fonte: Próprio autor.

Figura 4.13 – Projeto do controlador de corrente i_{magSEC} no sisotool.



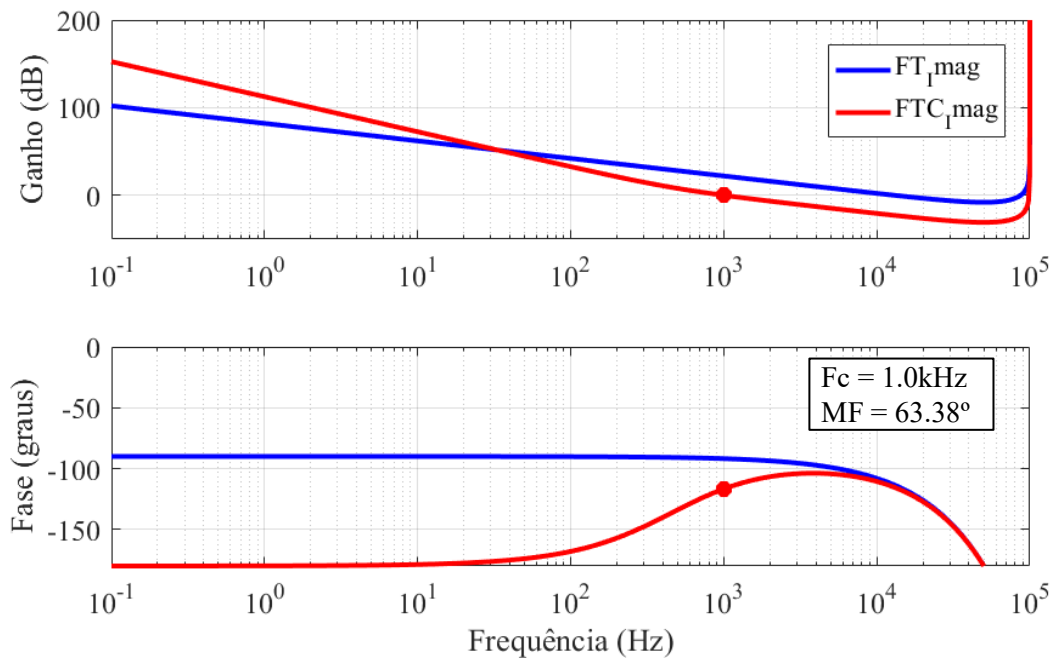
Fonte: Próprio autor.

O zero do controlador primário foi alocado em 0,9712 com ganho de 0,0726, resultando em uma margem de ganho de 30,86 dB, margem de fase de $63,38^\circ$ e frequência de cruzamento em 1 kHz. Já no secundário, o zero foi alocado em 0,9744 com ganho de 0,1289, resultando em uma margem de ganho de 30,74 dB, margem de fase de $65,77^\circ$ e frequência de cruzamento em 1 kHz. As funções dos controladores obtidos são dadas por (3.91) e (3.92). Os diagramas de Bode da planta de corrente com e sem compensação estão apresentados através da Figura 4.14 e da Figura 4.15.

$$C_{I_{magPRI}}(z) = \frac{0.072639 \cdot (z - 0.9712)}{(z - 1)} \quad (3.91)$$

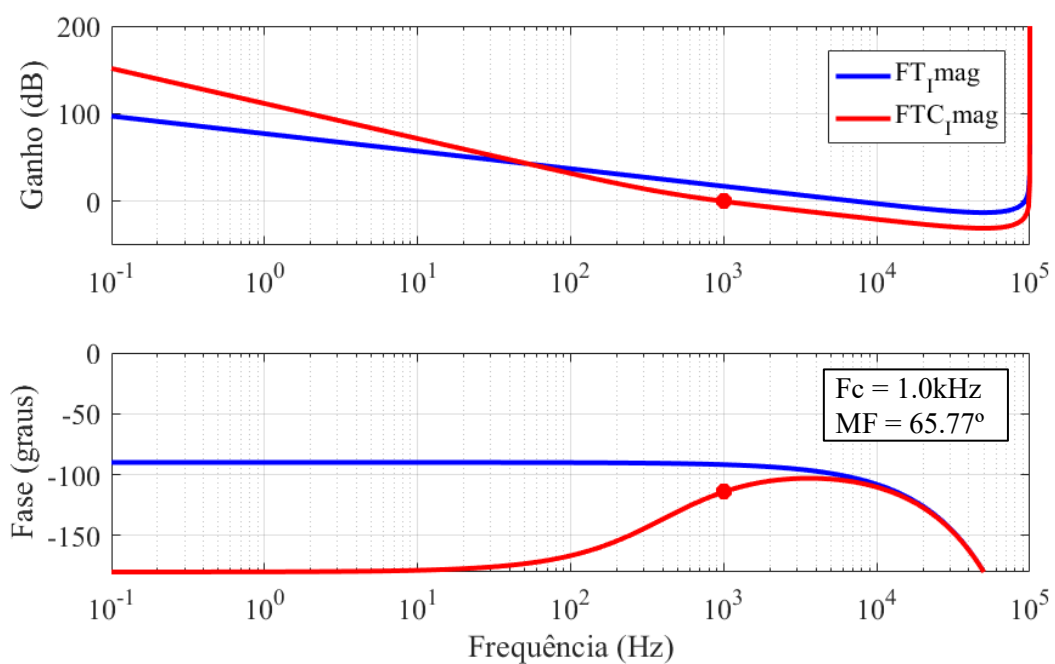
$$C_{I_{magSEC}}(z) = \frac{0.12891 \cdot (z - 0.9744)}{(z - 1)} \quad (3.92)$$

Figura 4.14 – Diagramas de bode da planta i_{magPRI} sem (FTi) e com compensador (FTCi).



Fonte: Próprio autor.

Figura 4.15 – Diagramas de bode da planta i_{magSEC} sem (FTi) e com compensador (FTCi).



Fonte: Próprio autor.

4.4.5 Malha de tensão do secundário (V_{SEC})

Esta malha tem como objetivo ajustar a tensão V_{SEC} através do ângulo de transferência de potência, definindo a quantidade e direção de potência entre os lados isolados. A função de transferência da planta relaciona a tensão do barramento com o ângulo φ e pode ser aproximada pela expressão (3.93), derivada pela teoria de Gyrator aplicada ao conversor DAB e apresentada em Santos e Martins (2012).

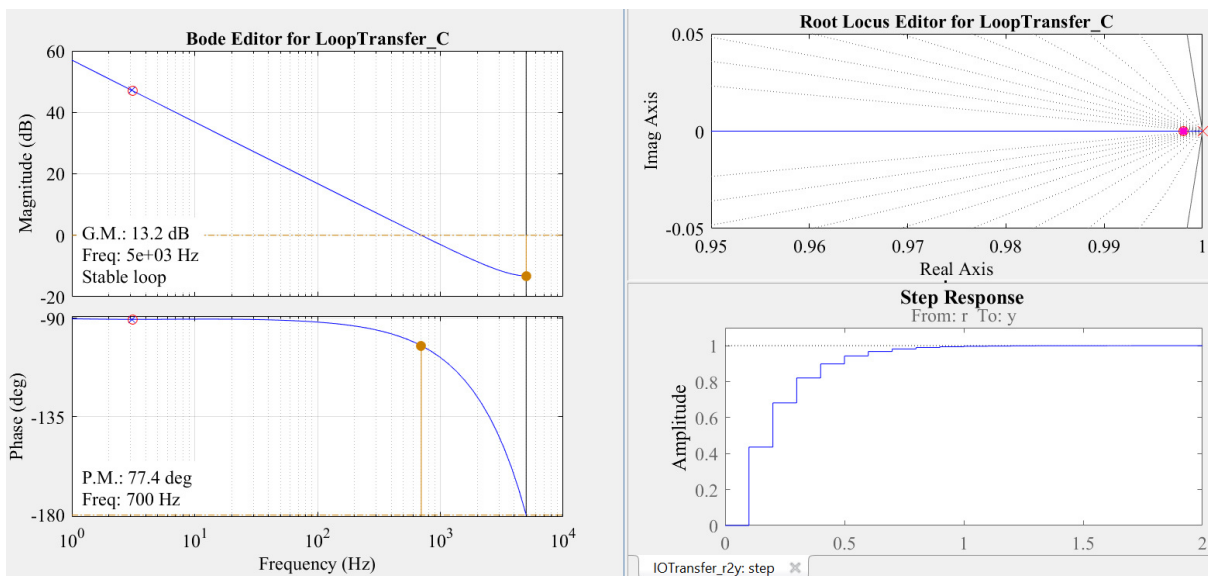
$$FT_{V_{oSEC}}(s) = \frac{v_{oSEC}(s)}{\varphi(s)} = \frac{V_{oSEC}}{2 \cdot \pi \cdot f_{sw} \cdot (L_{lk})} \cdot \varphi \cdot \left(1 - \frac{|\varphi|}{\pi}\right) \cdot \frac{R_{SEC}}{R_{SEC} \cdot C_{SEC} \cdot s + 1} \quad (3.93)$$

Com base nos parâmetros de operação do conversor e com uma amostragem de 10 kHz, a planta discretizada é dada por (3.94). O valor de amostragem alto quando comparado com o da tensão do primário foi escolhido para que a malha do secundário possa operar rapidamente e com menor impacto sobre as malhas do primário.

$$FTd_{V_{SEC}}(z) = \frac{0.4659}{z - 0.9992} \quad (3.94)$$

Conhecida a função de transferência, um PI convencional é suficiente para o controle do barramento CC. O controlador é então projetado através da ferramenta sisotool, *software* Matlab®, estando a tela de ajuste dos ganhos apresentada na Figura 4.16, cujo controlador resultante é dado por (3.95).

Figura 4.16 – Projeto do controlador de tensão V_{SEC} no sisotool.

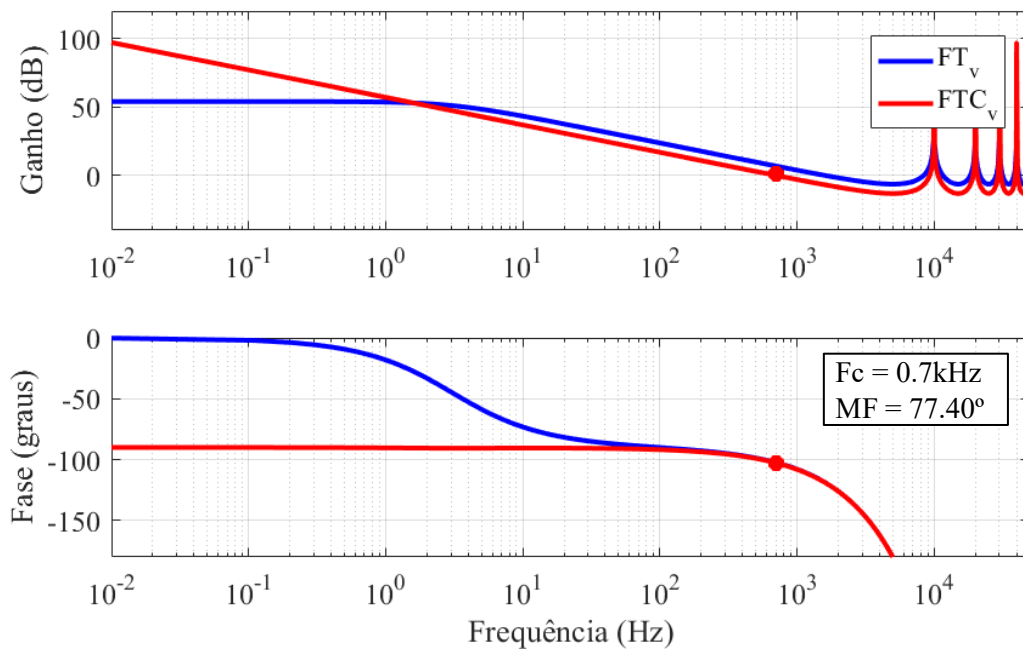


Fonte: Próprio autor.

$$FTd_{V_{SEC}}(z) = \frac{0.4659}{z - 0.9992} \quad (3.95)$$

O controlador adotado possui um zero real em 0.998, um integrador e ganho de 0,4556. Os diagramas de Bode da planta de tensão com e sem compensação estão apresentados na Figura 4.17. A frequência de corte ajustada foi de 700 Hz, com uma margem de fase 77,39° e margem de ganho de 30,7 dB.

Figura 4.17 – Diagramas de bode da planta V_{SEC} sem (FT_v) e com compensador (FTC_v).



Fonte: Próprio autor.

A Tabela 4.7 apresenta um resumo das especificações e características de cada controlador projetado.

Tabela 4.7 – Resumo de projeto dos controladores.

Malha	Técnica	Zeros	Polos	Ganho	f _c (Hz)	MG (dB)	MF (°)	f _{sample} (kHz)
Corrente do primário	P + Ressonante	0.9670 + 0.0326i	0.9998 + 0.0038i	0,0265	3,27k	-15,57	65,6	100
		0.9670 - 0.0326i	0.9998 - 0.0038i					
Tensão CC primário	PI+Filtro	0,998 0,1	1 0,974	0,0106	32,03	64,56	32,4	5
Tensão CC secundário	PI	0,998	1	0,4556	700	30,7	77,4	25
Correntes magnetizantes	PRI	0,9712	1	0,0726	1k	30,74	63,4	100
	SEC	0,9744	1	0,1289	1k	30,74	65,8	100

Fonte: Próprio autor.

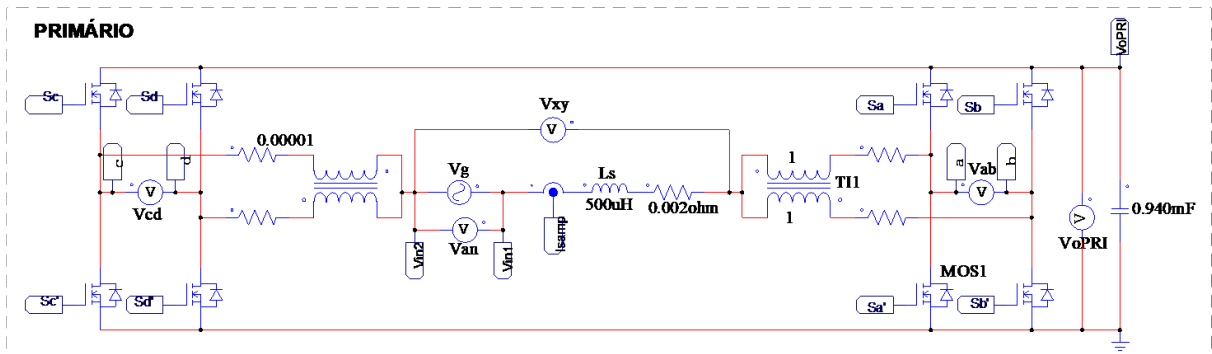
5 RESULTADOS DE SIMULAÇÃO

Neste capítulo a topologia proposta e os controladores projetados são validados através de simulações utilizando a ferramenta computacional PSIM®. Os circuitos de simulação, os resultados em regime permanente e dinâmicos além de suas análises são apresentados nos tópicos a seguir, cujos parâmetros e especificações de projeto foram os mesmos dos descritos no capítulo 4.

5.1 Circuito de simulação

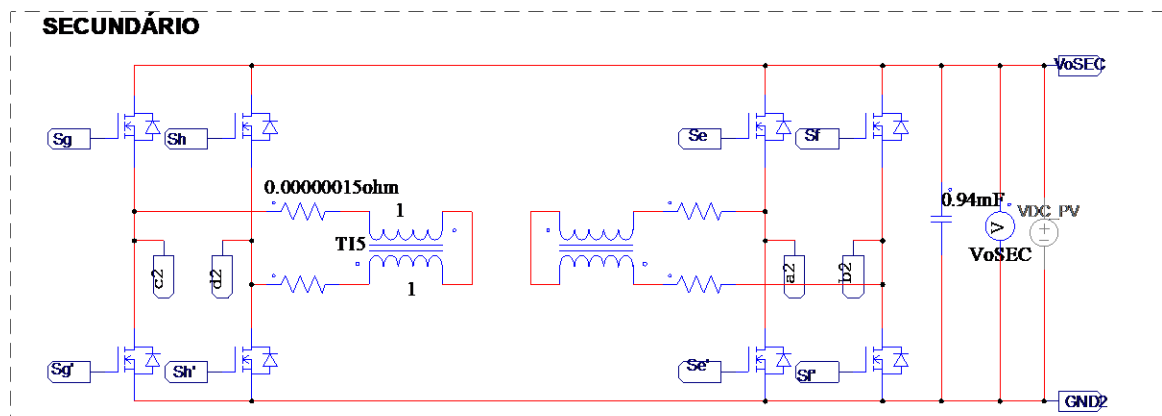
Na Figura 5.1 está ilustrado o circuito de potência do conversor utilizado referente ao lado primário. No mesmo estão presentes as células de comutação de três estados conectando a rede elétrica às pontes dos DABs. Deste circuito são medidos a tensão e a corrente CA da rede e o barramento CC. Na Figura 5.2 está ilustrado o circuito de potência do conversor referente ao lado secundário, do qual é medido somente a tensão do barramento.

Figura 5.1 – Circuito de potência do lado primário.



Fonte: Próprio autor.

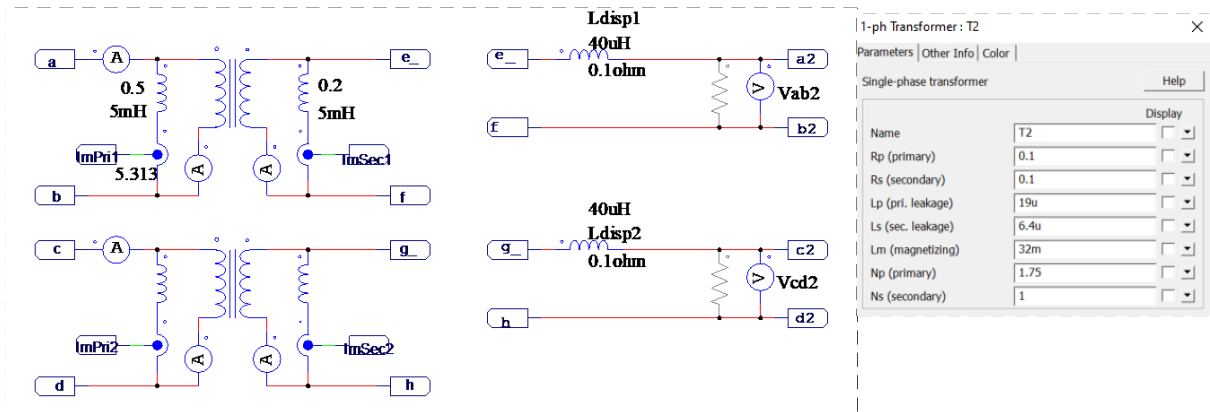
Figura 5.2 – Circuito de potência do lado secundário.



Fonte: Próprio autor.

A Figura 5.3 ilustra o transformador utilizado para acoplar os lados do conversor. O indutor de transferência de potência está conectado ao lado secundário de cada transformador. A medição da corrente magnetizante é realizada de maneira indireta, utilizando um ramo em paralelo com cada lado dos transformadores, composto por um sensor em série com uma indutância.

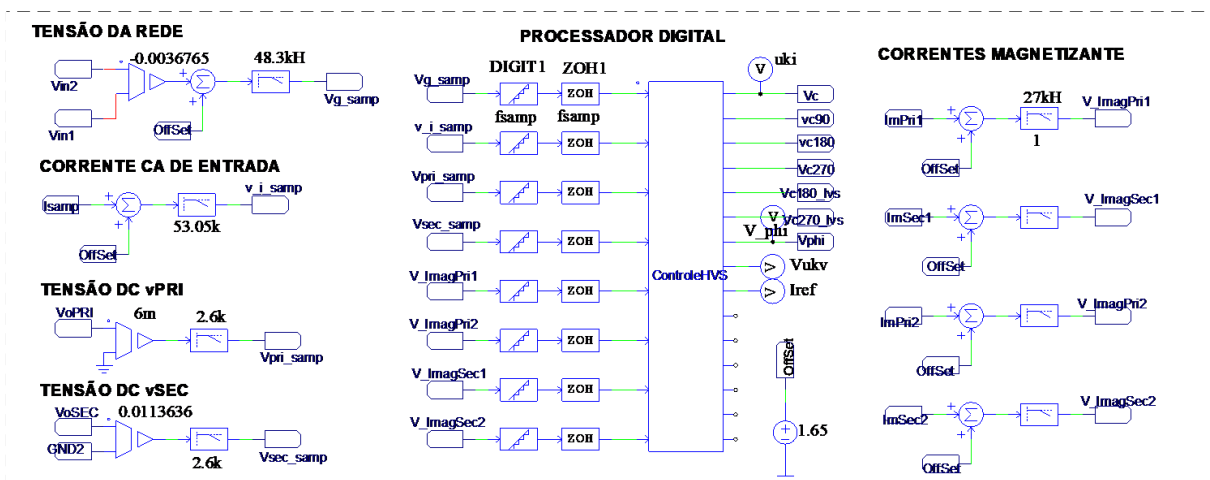
Figura 5.3 – Acoplamento entre os lados do conversor.



Fonte: Próprio autor.

Na Figura 5.4 são apresentados os sensores de medição, cujo os circuitos de condicionamento dos sinais foram reduzidos a um ganho seguido por um filtro de primeira ordem ajustados conforme o projeto. Na mesma também é ilustrado o componente C block com os blocos quantizador e ZOH modelando o processador digital, no qual são executados os controladores digitais.

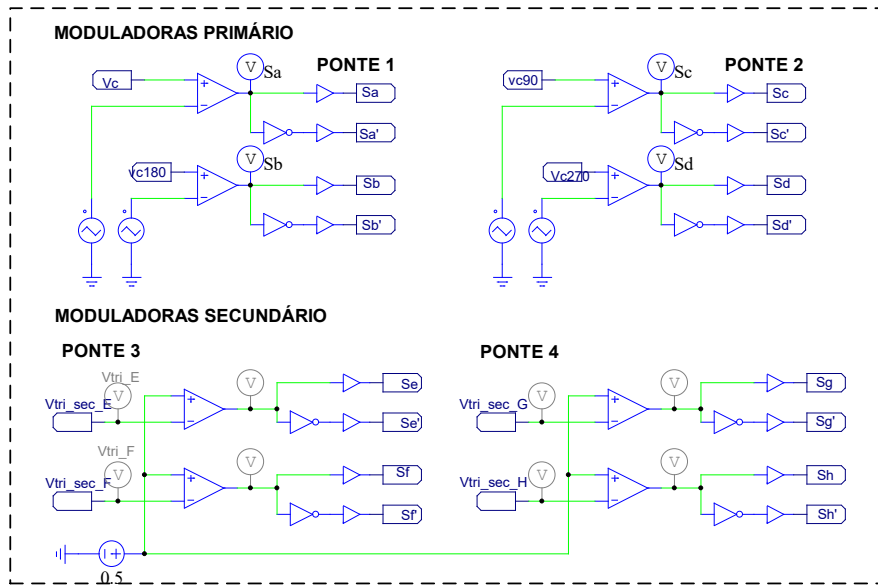
Figura 5.4 – Circuitos de medição e processador digital.



Fonte: Próprio autor.

A Figura 5.5 apresenta os circuitos para acionamento dos interruptores, com os sinais de modulação e triangulares para cada lado do conversor.

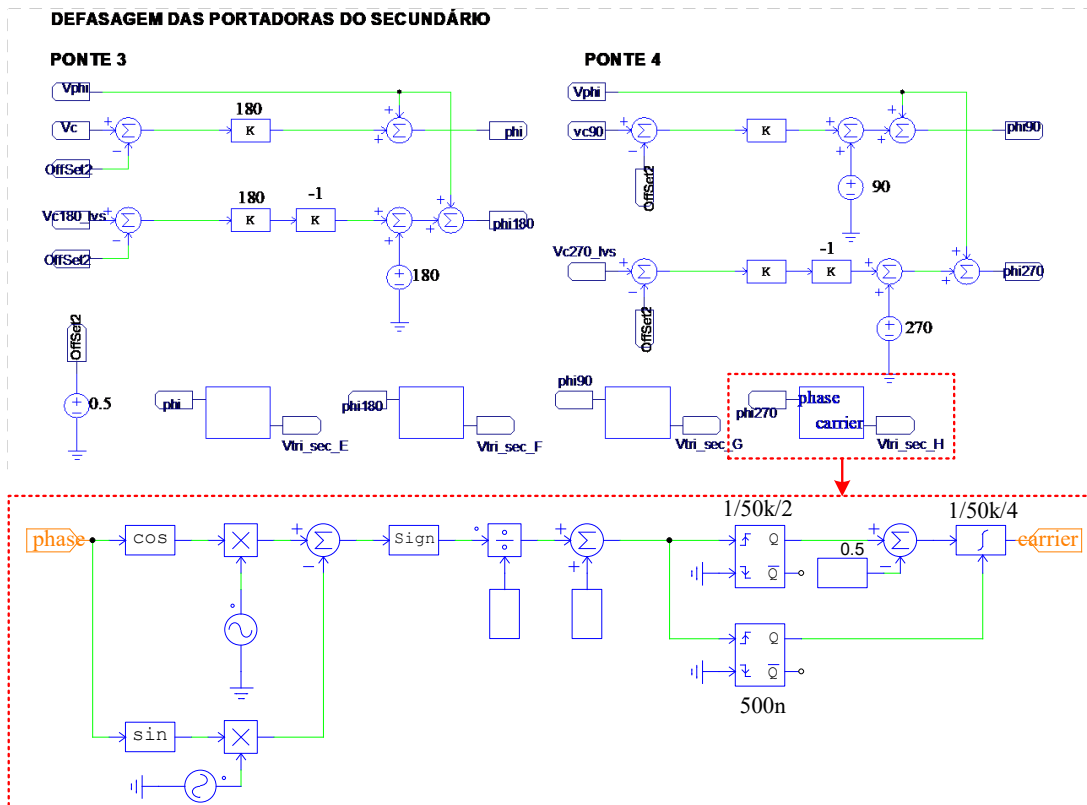
Figura 5.5 – Moduladoras do primário e do secundário.



Fonte: Próprio autor.

Na Figura 5.6 está ilustrado o circuito de defasagem das portadoras, responsável por definir o ângulo de início de cada triangular do lado secundário. Os valores de saída vão para os blocos de geração das triangulares, cuja saída são as portadoras do secundário apresentadas na Figura 5.5.

Figura 5.6 – Circuito de defasamento das portadoras do secundário.

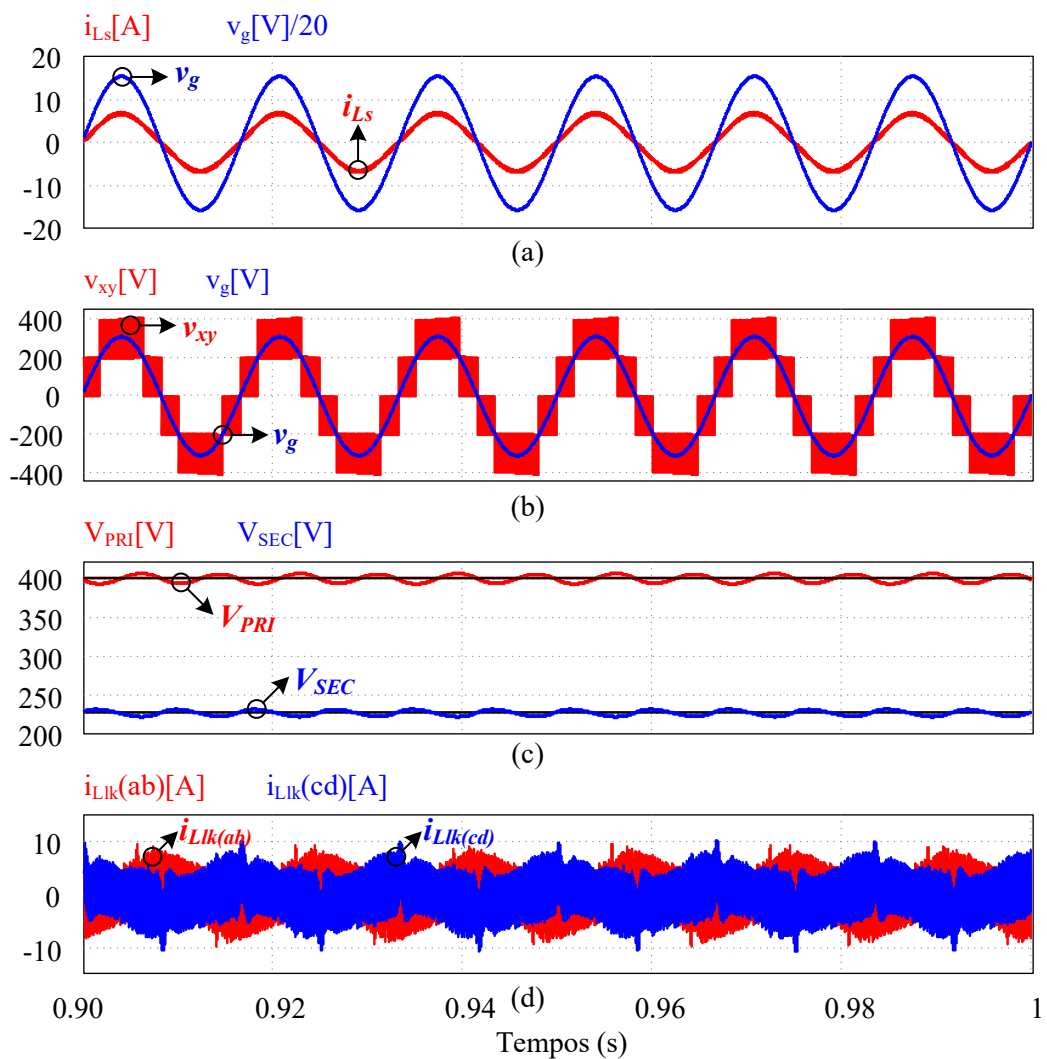


Fonte: Próprio autor.

5.2 Resultados em regime permanente

A Figura 5.7 corresponde a resposta em regime permanente do conversor operando como retificador, no qual uma carga resistiva é conectada ao barramento do secundário dissipando 1 kW. Na Figura 5.7a é possível observar a corrente senoidal solicitada da rede (i_{Ls}) em fase com a tensão da rede (v_g), resultando em um FP de 0,998 e uma THD de corrente de 5,89%. Em Figura 5.7b tem-se a tensão multinível do primário (v_{xy}) sobreposta pela tensão v_g , enquanto a Figura 5.7c apresenta as tensões CC no barramento primário (V_{PRI}) e no barramento secundário (V_{SEC}) estabilizadas em seus valores nominais com oscilações de 3,3% e 3,9%, respectivamente. Na Figura 5.7c observa-se as correntes nos indutores de potência com oscilações na frequência da rede, porém com valor médio nulo.

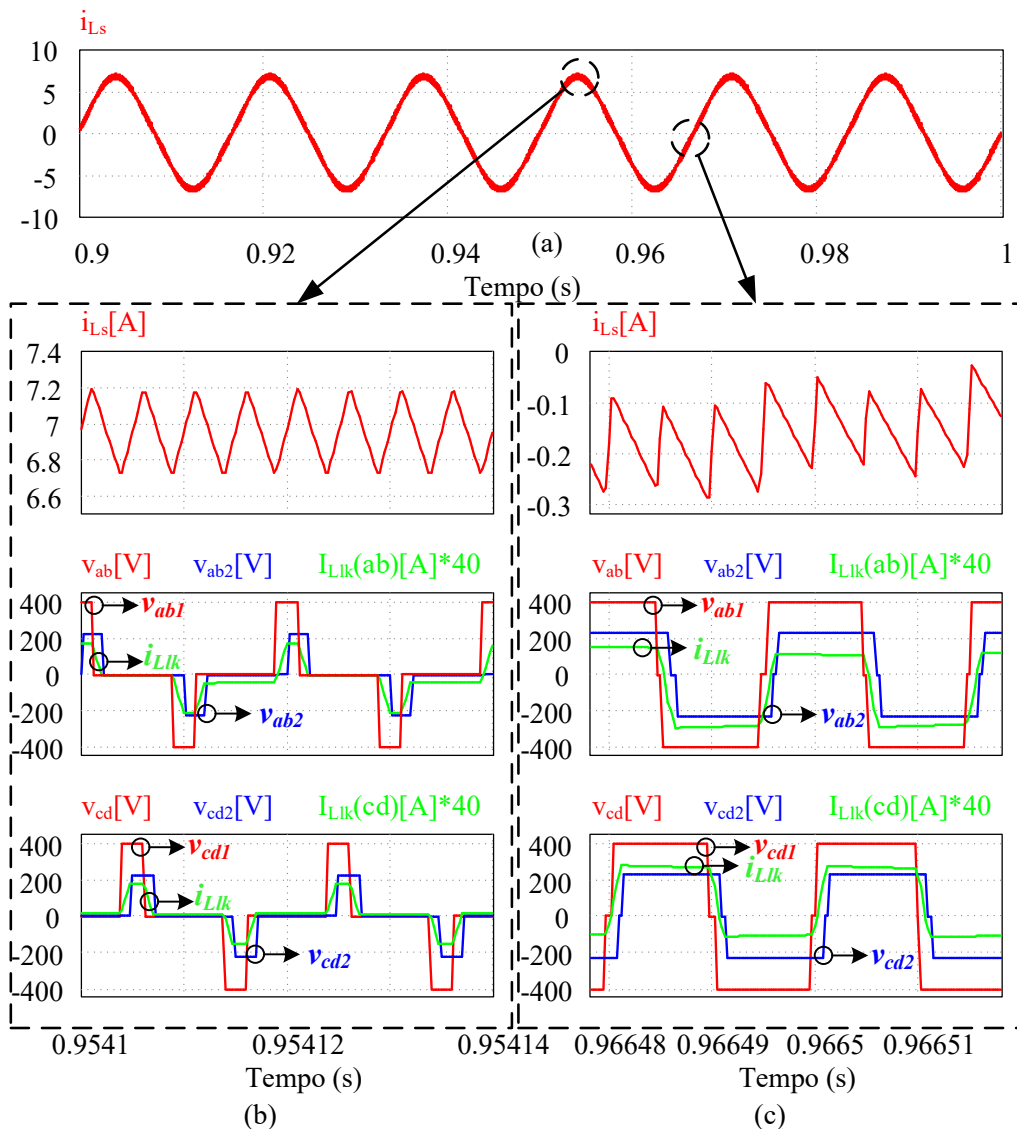
Figura 5.7 – Resposta em regime permanente.



Fonte: Próprio autor.

A análise dos parâmetros em alta frequência está apresentada na Figura 5.8, no qual o item (a) ilustra os pontos a serem analisados em alta frequência com base na corrente CA em baixa frequência. Nos itens (b) e (c) são apresentadas a ondulação da corrente i_{Ls} e as tensões no primário e secundário do transformador junto com as correntes no indutor de transferência de potência (i_{Llk}) conectado no secundário. São ampliados os parâmetros no pico e no cruzamento por zero da tensão da rede, respectivamente.

Figura 5.8 – Parâmetros dos DABs em alta frequência para o regime permanente.



Fonte: Próprio autor.

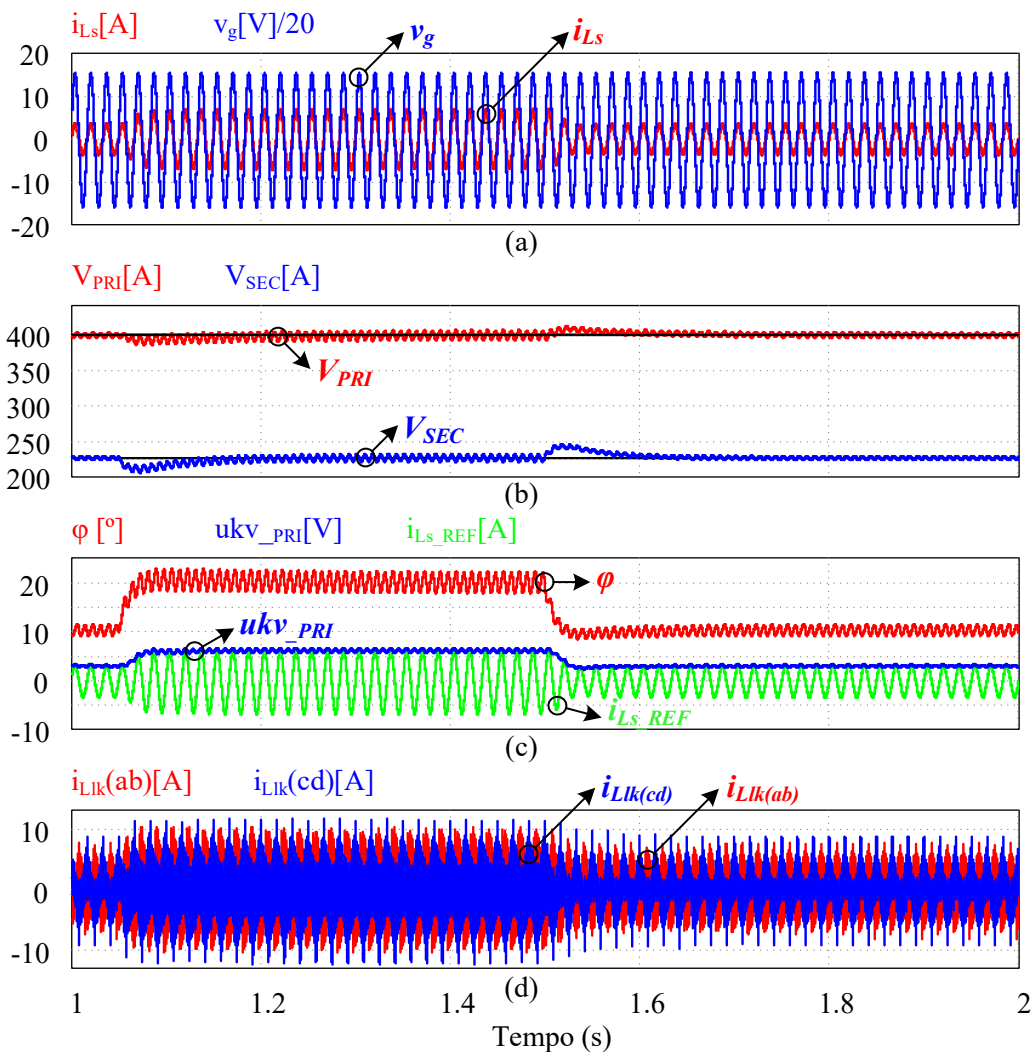
Na Figura 5.8b observa-se a operação do conversor na região 2 de potência, enquanto na Figura 5.8c tem-se a operação na região 1. Devido ao índice de modulação e o valor nominal do ângulo de potência, o conversor não possui operação na região 3, o que favorece a transferência de potência ativa durante um ciclo da rede elétrica, evitando regiões com alta circulação de reativos. Em relação à oscilação da corrente CA em alta frequência,

verifica-se que sua variação é quatro vezes mais elevada que a dos pulsos no transformador, confirmando a multiplicação da frequência de chaveamento por quatro sobre o indutor de filtro. O *ripple* medido foi de 3,4%, constatando-se também uma leve distorção durante o cruzamento por zero, que se repete durante os demais cruzamentos.

5.3 Resultados em regime dinâmico

Na Figura 5.9 é apresentada a resposta dinâmica do conversor para um acréscimo e uma retirada de carga no lado secundário. Para esta análise, considerou-se também o conversor operando como retificador e uma carga resistiva no secundário. O conversor inicialmente está operando com 50% de sua potência nominal e em 1,05s um degrau positivo de carga é aplicado, passando o conversor a operar com 100% de sua potência nominal.

Figura 5.9 – Resposta a um degrau de carga positivo (1,05s) e negativo (1,5s).

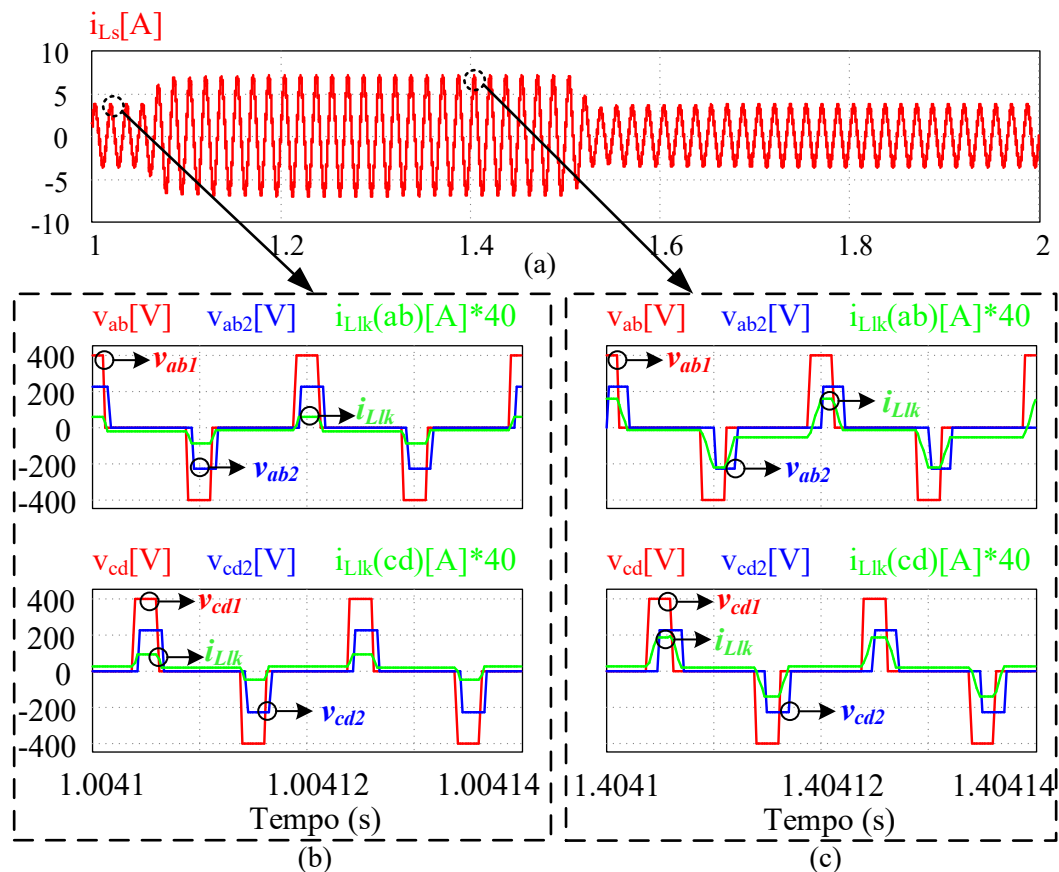


Fonte: Próprio autor.

Em 1,5s a carga é retirada e o conversor volta a operar com 500 W no secundário. Na Figura 5.9a tem-se a tensão e a corrente CA da rede em fase, onde se observa uma rápida resposta da corrente tanto no degrau positivo quanto negativo, sem distorções significativas durante a transição de potência. Na Figura 5.9b tem-se as tensões CC nos barramentos primário e secundário. Durante o degrau positivo o sobressinal em V_{PRI} foi de 2,34% e em V_{SEC} foi de 8,16%, com duração em torno de 150ms. Já no degrau negativo, o *undershoot* em V_{PRI} foi de 1,88% e em V_{SEC} foi de 8,73%, com duração aproximada também de 150ms. Os sinais de controle estão apresentados na Figura 5.9c. O sinal φ é a saída do controlador da tensão V_{SEC} e corresponde ao ângulo de potência, ukv_{PRI} é a saída do controlador da tensão V_{PRI} e define o pico de corrente em amperes a ser solicitado da rede, e I_{Ls_REF} é a referência de corrente em função do ângulo da rede rastreado através do PLL. Na Figura 5.9d tem-se as correntes no indutor de potência, que variam conforme a potência transferida entre os lados.

A Figura 5.10 ilustra as tensões e correntes nos transformadores em alta frequência operando na região 2 para dois pontos de potência distintos, conforme indicado na Figura 5.10a.

Figura 5.10 – Mudanças no ângulo de potência.

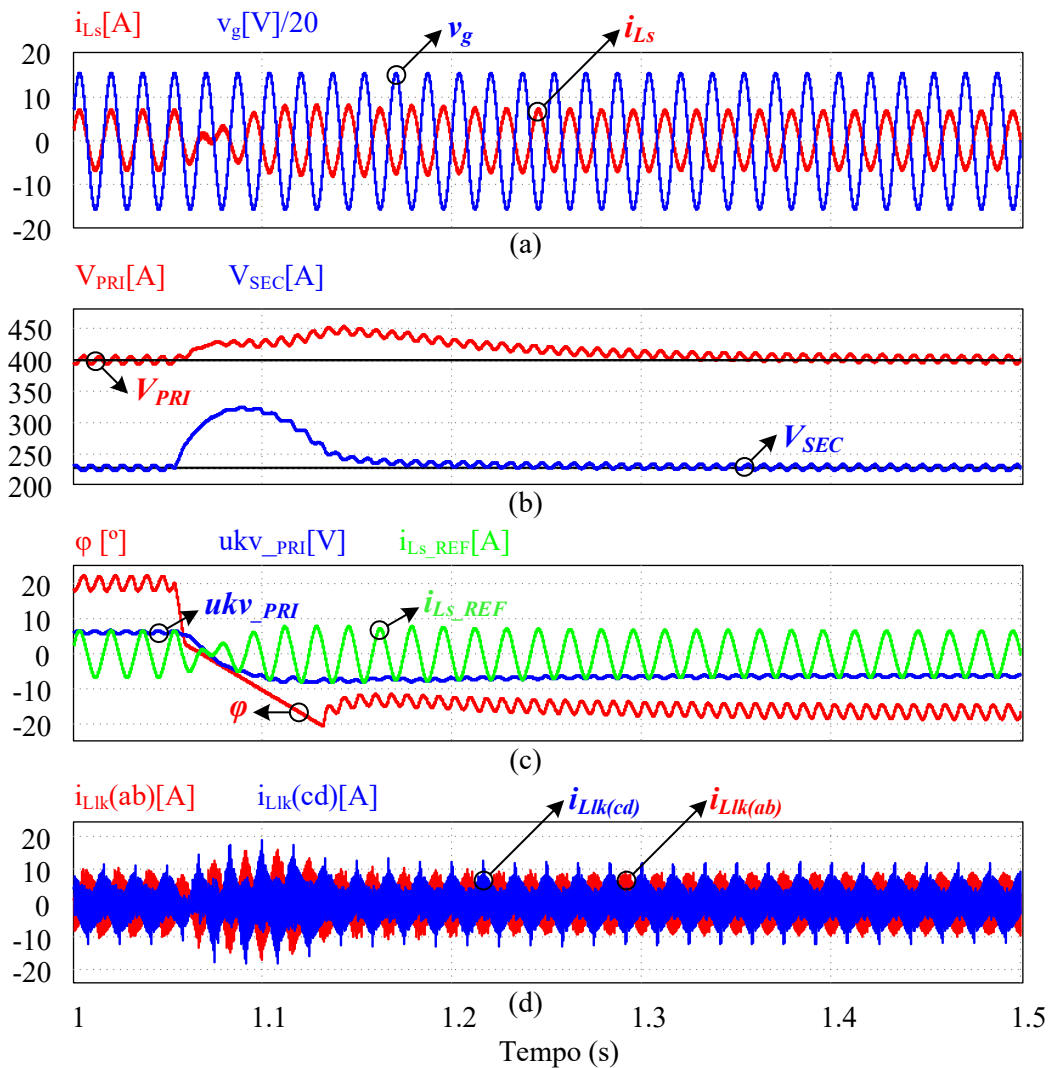


Fonte: Próprio autor.

Na Figura 5.10b tem-se os parâmetros do DAB para o conversor operando com 50% da potência nominal, e na Figura 5.10c tem-se os mesmos parâmetros para operação com 100%, onde é possível constatar o aumento do deslocamento das tensões nos transformadores.

A Figura 5.11 apresenta a resposta do conversor a uma inversão brusca do fluxo de potência. Para esta situação, o conversor inicialmente está operando como retificador com 100% da potência nominal e em 1,05s há uma inversão do sentido de potência no qual a rede passa a absorver energia do barramento secundário, operando também com 100% da potência.

Figura 5.11 – Resposta a um degrau de inversão de potência em 1,05s.



Fonte: Próprio autor.

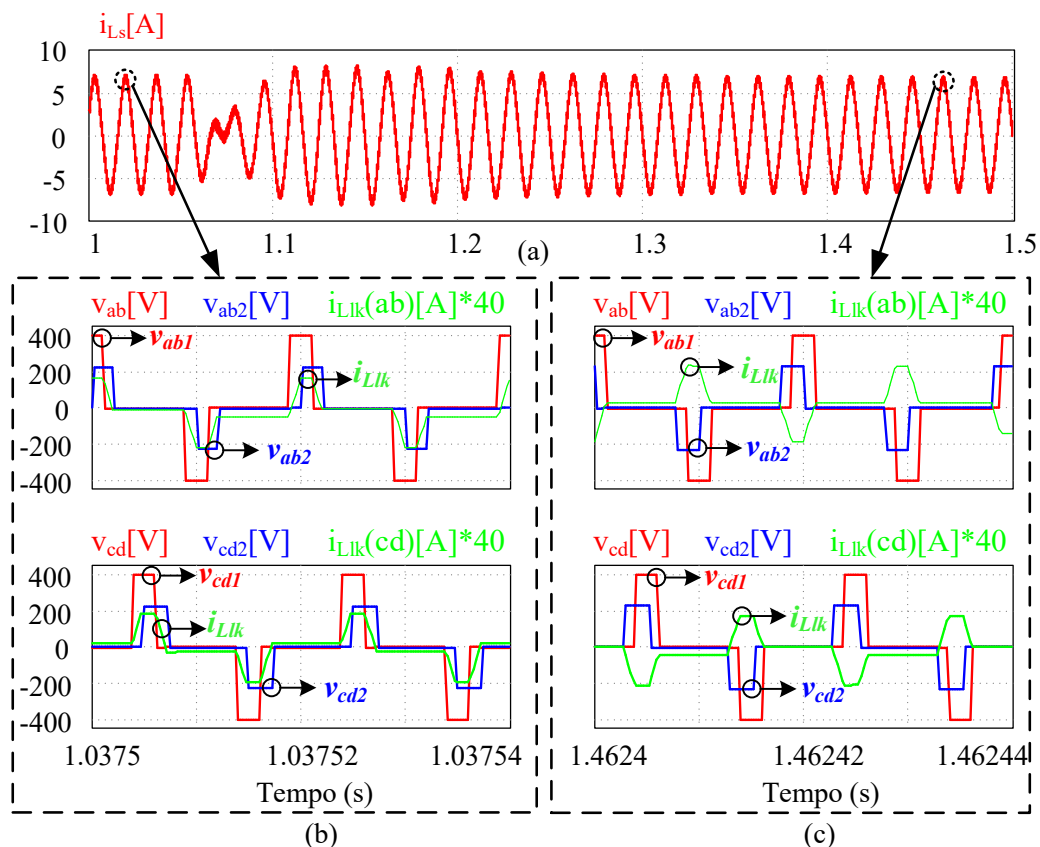
Na Figura 5.11a observa-se uma rápida resposta da corrente CA, sem sobressinal e baixa distorção durante a inversão. A Figura 5.11b apresenta as tensões nos barramentos CC. O sobressinal no barramento V_{PRI} foi de 13,26%, com duração de aproximadamente 270 ms até atingir o valor nominal novamente, e em V_{SEC} foi de 42,54%, com duração

aproximada de 180 ms. Os altos valores de estabilização dos barramentos CC são aceitáveis devido ao brusco degrau de inversão aplicado (200%), o que não costuma ocorrer em aplicações reais mas comprova a capacidade dos controladores de estabilizar os parâmetros.

Observando os sinais de controle na Figura 5.11c é possível compreender melhor os sobressinais dos barramentos CC. Por ser a malha mais rápida, a corrente CA responde instantaneamente as pequenas variações do controlador de V_{PRI} , sendo este último a malha mais lenta para suavizar as variações dos picos da corrente CA. O controlador da tensão V_{SEC} apresenta uma resposta mais rápida que a do V_{PRI} para que a inversão do fluxo ocorra de forma mais rápida e interferindo menos nos controladores do primário, porém essa velocidade torna a ação de controle ϕ mais brusca, implicando no alto sobressinal em V_{SEC} . Essa variação no secundário também é refletida ao barramento V_{PRI} através dos transformadores do DAB. Logo, apesar de os compensadores projetados serem capazes de estabilizar bruscas variações no conversor, métodos de controle com múltiplas variáveis podem se adequar melhor a topologia proposta.

A Figura 5.12 ilustra as tensões e correntes nos transformadores em alta frequência para dois pontos de potência distintos, conforme indicado na Figura 5.12a.

Figura 5.12 – Mudança de polaridade do ângulo de potência.



Fonte: Próprio autor.

Na Figura 5.12b tem-se os parâmetros do DAB para o conversor operando com 100% da potência nominal, no qual a potência flui do lado primário para o secundário (ângulo positivo) e na Figura 5.12c tem-se os mesmos parâmetros para operação com 100% da potência nominal, cujo fluxo está seguindo do secundário para o primário (ângulo negativo), onde é possível constatar o adiantamento das tensões no secundário em relação as no primário e a mudança de polaridade da corrente que circula pelos indutores de potência.

5.4 Considerações finais

Os principais resultados de simulação foram apresentados a fim de validar a topologia proposta e os controladores projetados. Em regime permanente, verificou-se as formas de onda da corrente CA e da tensão multinível, ambas em fase com a tensão da rede, as tensões CC nos barramentos primário e secundário estabilizadas em seus valores de projeto com baixo *ripple*, além das correntes nos indutores de potência cujo valor médio é mantido em zero. Como resultado obteve-se um FP de 0,998 e THD de 5,89%.

Em regime dinâmico, analisou-se o desempenho dos controladores para dois casos distintos, no primeiro considerou-se a entrada e retirada de carga no secundário sem modificação no sentido do fluxo de potência, e no segundo uma inversão brusca no sentido de potência. Em ambos os casos os controladores foram capazes de estabilizar os parâmetros com resultados satisfatórios.

Em todos os regimes verificou-se as formas de onda de tensão e corrente no transformador em concordância com a análise de potência apresentada no capítulo 3.

6 RESULTADOS EXPERIMENTAIS

Neste capítulo a topologia proposta e os controladores projetados são validados através de um protótipo de 1 kW implementado experimentalmente. As especificações de projeto e os parâmetros do conversor são os mesmos descritos no capítulo 4, assim como os circuitos de condicionamento dos sinais, com seus respectivos sensores, e os controladores digitais. Os demais componentes utilizados para composição do hardware, a bancada experimental e os resultados iniciais são apresentados no decorrer deste capítulo.

6.1 Descrição do protótipo inicial

Na Tabela 6.1 estão descritos os principais componentes utilizados na montagem do circuito de potência do protótipo.

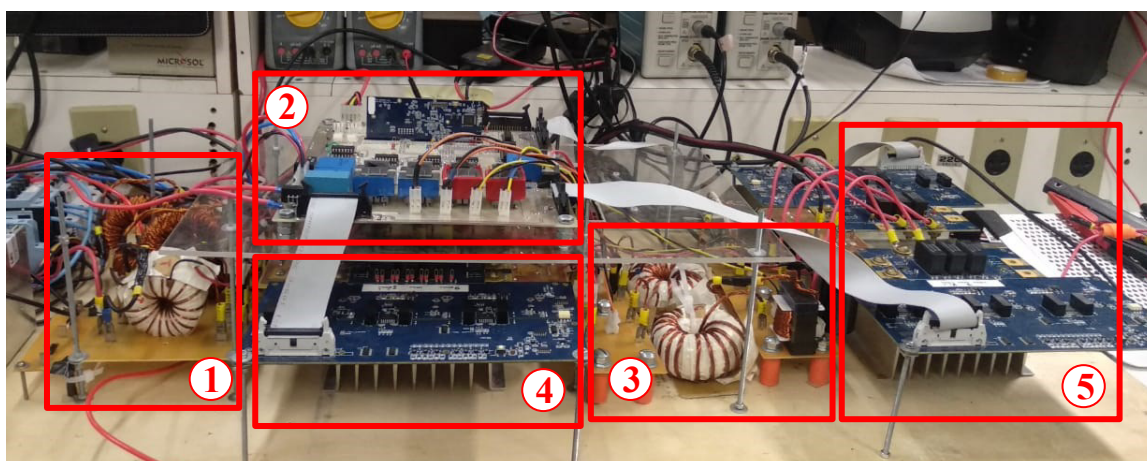
Tabela 6.1 – Componentes do hardware.

Componentes	Modelo	Quantidade	Especificações
Módulos trifásicos SiC (Cree)	CCS020M12CM2	4	1,2 kV/20 A
Driver trifásico (Cree)	CGD15FB45P	4	-
Capacitores do barramento primário	B43503-S5477-M91	8	470 μ F/450 V
($C_{PRI}=940 \mu$ F/900 V)	R75-MKP	4	0.22 μ F/1 kV
Capacitores do barramento secundário	B43503-S5477-M91	2	470 μ F/450 V
($C_{SEC}=940 \mu$ F/450 V)	R75-MKP	2	0,22 μ F/1 kV

Fonte: Próprio autor.

Na Figura 6.1 é apresentado o protótipo experimental utilizado para os ensaios, no qual é possível observar os magnéticos do primário, indicados pelo número 1; a placa de condicionamento e processamento de dados, indicado pelo número 2, no qual são realizadas a amostragem e o controle dos sinais; os magnéticos de acoplamento e transferência de potência, indicado pelo número 3; e os driver e módulos trifásicos da Cree que compõem os circuitos de potência do primário e secundário, indicados respectivamente pelos números 4 e 5, sendo utilizado somente dois braços de cada módulo para composição de cada ponte completa do conversor proposto.

Figura 6.1 – Bancada experimental com o protótipo de 1kW.



- ① Indutor de filtro CA + Autotransformadores (3SSCs) no primário;
- ② Placa de medição e processamento dos sinais;
- ③ Transformadores e indutores de potência;
- ④ Módulos e drivers da Cree do primário;
- ⑤ Módulos e drivers da Cree do secundário.

Fonte: Próprio autor.

6.2 Resultados experimentais

A seguir são apresentados os resultados experimentais, que consistem da análise em regime permanente e da resposta dinâmica.

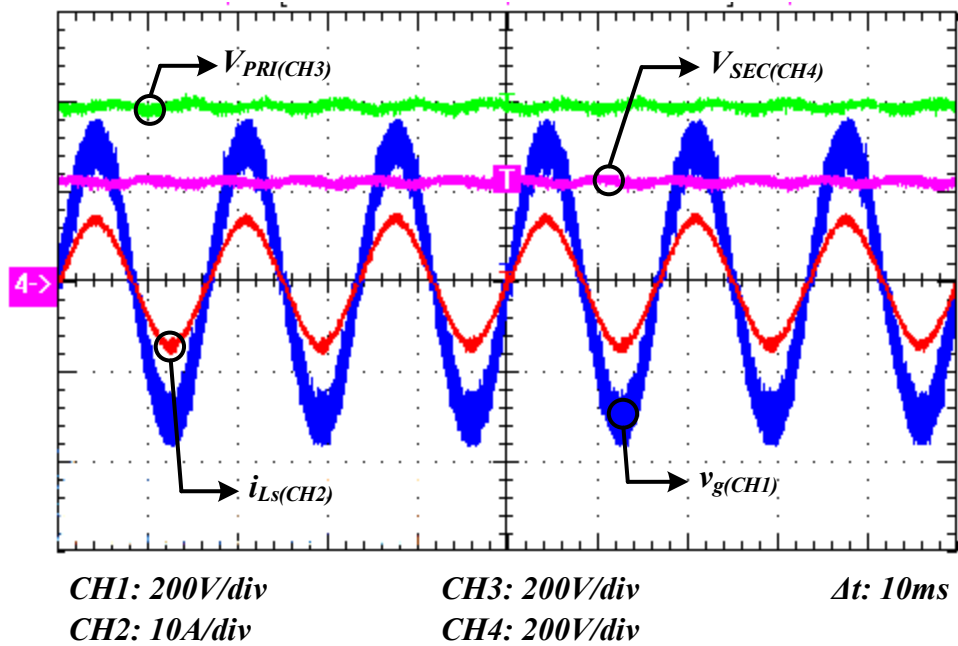
6.2.1 Conversor em regime permanente

Neste item é analisado o comportamento do conversor em regime permanente operando tanto no modo retificador como no modo inversor.

6.2.1.1 Operação no modo retificador

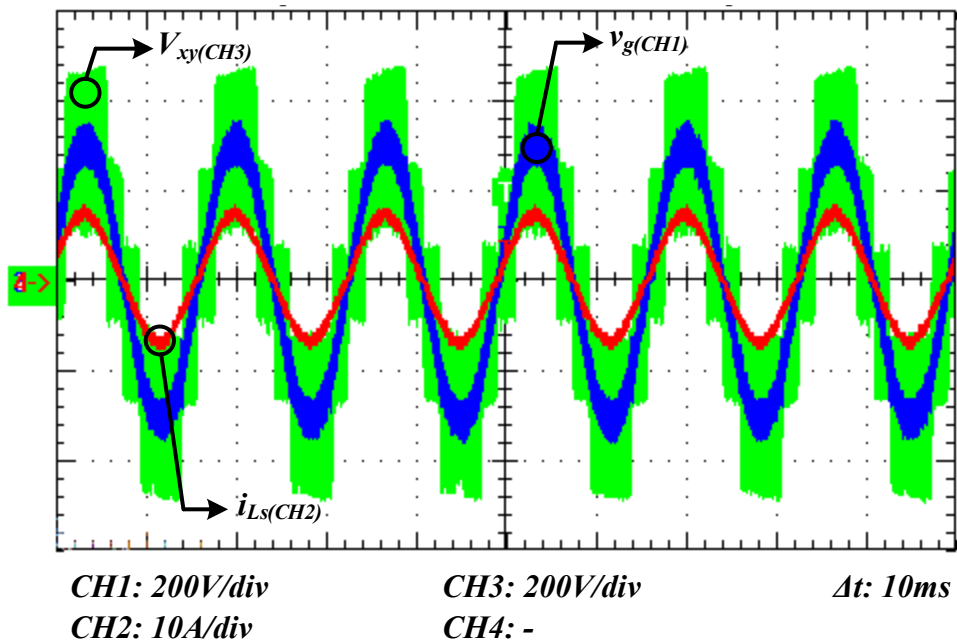
Com potência nominal e fluxo fluindo do primário para o secundário, na Figura 6.2 tem-se as formas de onda de tensão e corrente CA e tensão CC (V_{PRI}) do lado primário e tensão CC (V_{SEC}) do secundário. Nessa condição foi obtido um THD de 2,8%, FP de 0,996 e eficiência em torno de 90,2%. Na Figura 6.3 está apresentada a tensão multinível em fase com os parâmetros da rede CA.

Figura 6.2 – Formas de onda nos barramentos principais no modo retificador.



Fonte: Próprio autor.

Figura 6.3 – Tensão multinível e parâmetros da rede CA.

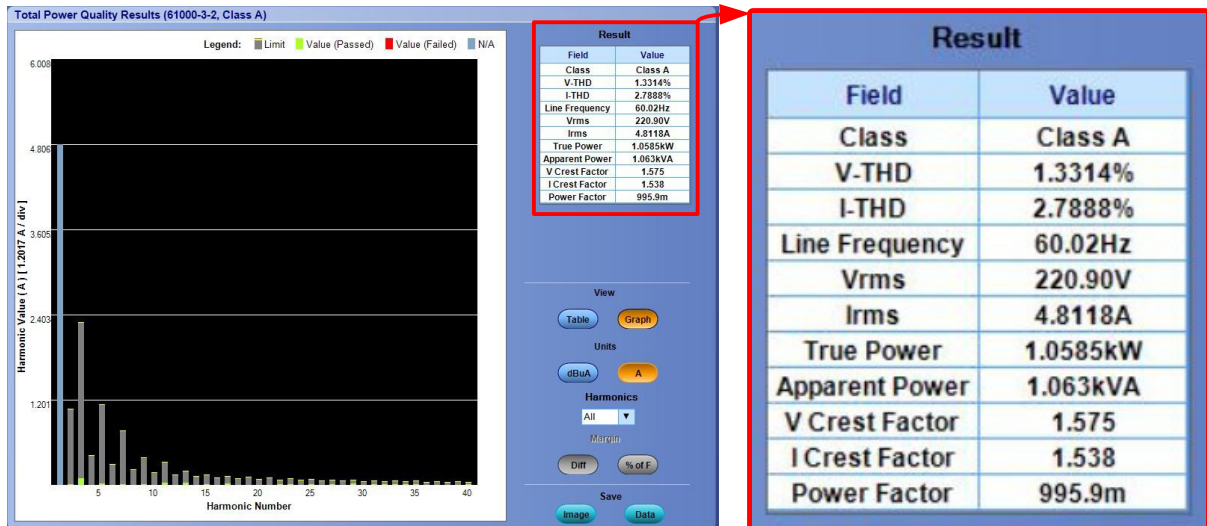


Fonte: Próprio autor.

Na Figura 6.4 estão apresentados o espectro harmônico da corrente e os demais parâmetros medidos através da função análise de qualidade de energia do osciloscópio Tektronix, modelo MSO 5034. Conforme comparação com a norma IEC 61000-3-2, que estabelece os limites de correntes harmônicas a serem injetadas na rede CA, o conversor atende a todos os critérios estabelecidos para os equipamentos de classe A.

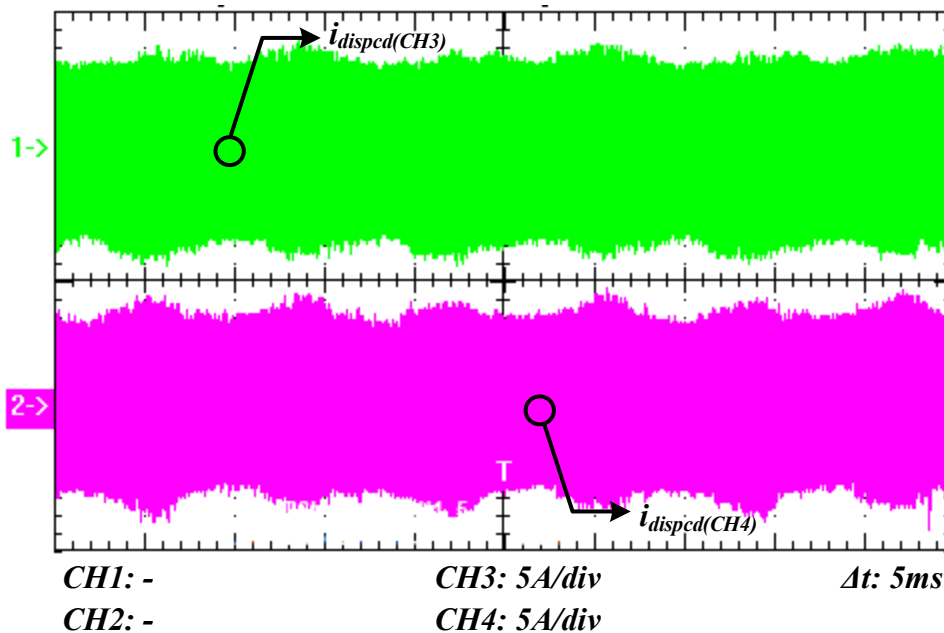
Em relação as formas de onda da transferência de potência, a Figura 6.5 apresenta as correntes medidas nos indutores de potência, no qual observa-se um valor médio em torno de zero e sem grandes variações em sua envoltória.

Figura 6.4 – FP e THD medidos pelo osciloscópio no modo retificador.



Fonte: Próprio autor.

Figura 6.5 – Correntes nos indutores de potência no modo retificador.

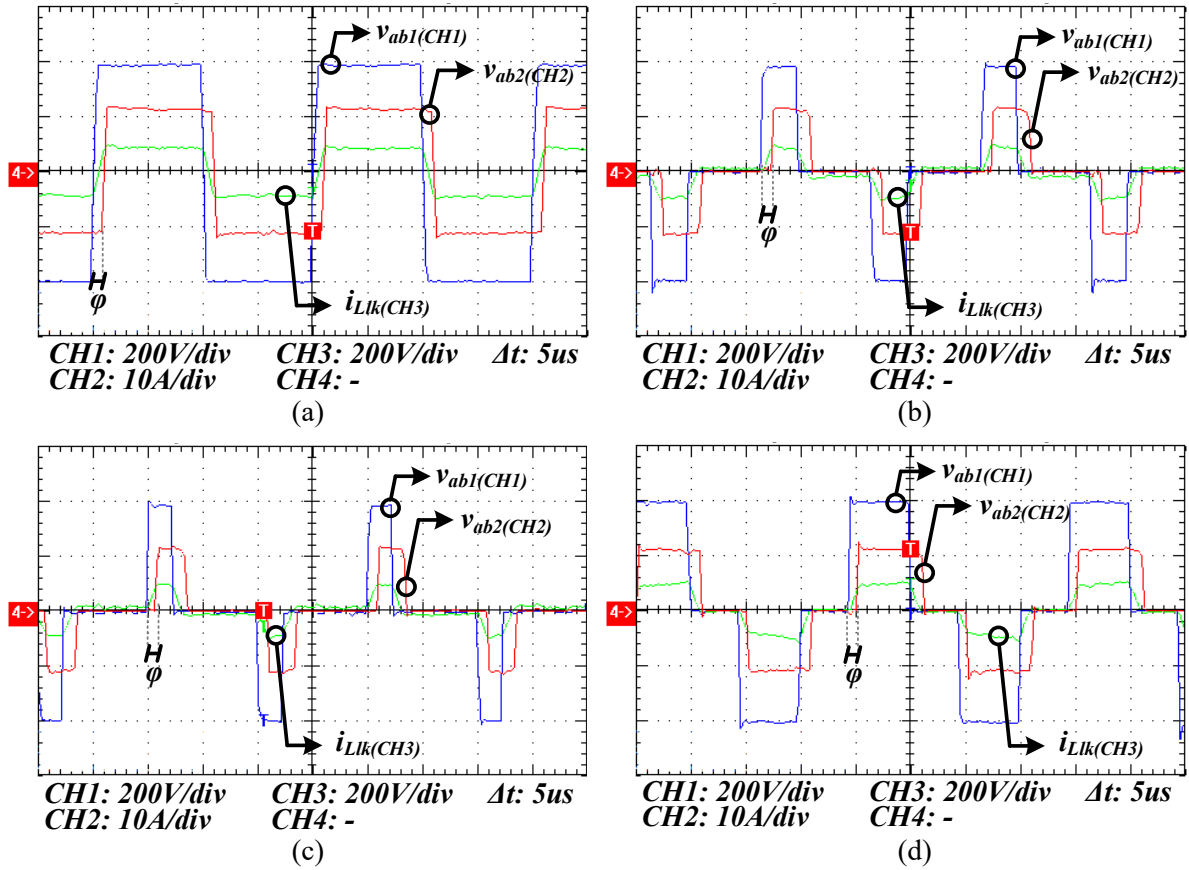


Fonte: Próprio autor.

Na Figura 6.6 tem-se as tensões e correntes no transformador apresentadas em alta frequência para diferentes pontos da senoide de entrada. Na Figura 6.6a tem-se os parâmetros durante o cruzamento por zero da tensão da rede e ilustra a operação do conversor na região 1 de potência. Figura 6.6b e Figura 6.6c apresentam os parâmetros em instantes próximos ao

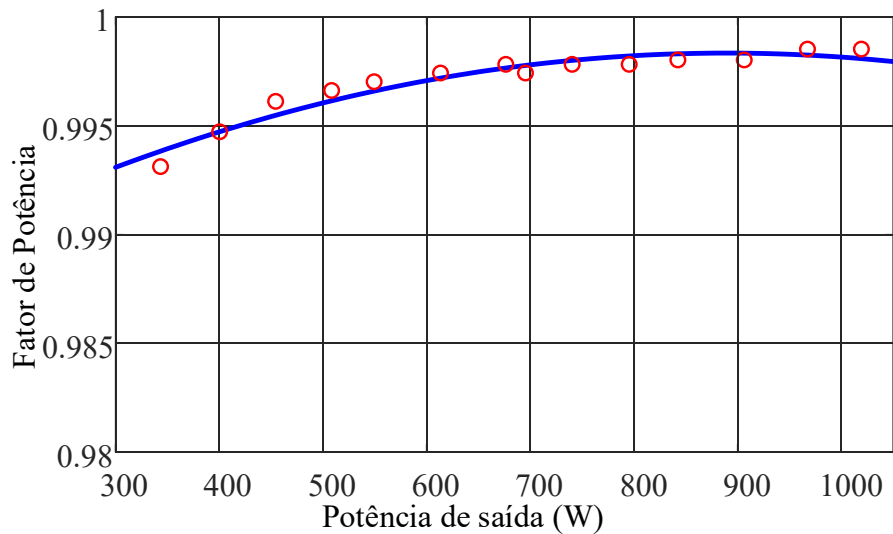
pico da rede, e Figura 6.6d para um instante intermediário, todos os três correspondem a operação do conversor na região 2 de potência. Conforme comentado na etapa de simulação, devido as especificações adotadas, o conversor não opera pela região 3.

Figura 6.6 – Formas de onda do DAB no modo retificador.



Fonte: Próprio autor.

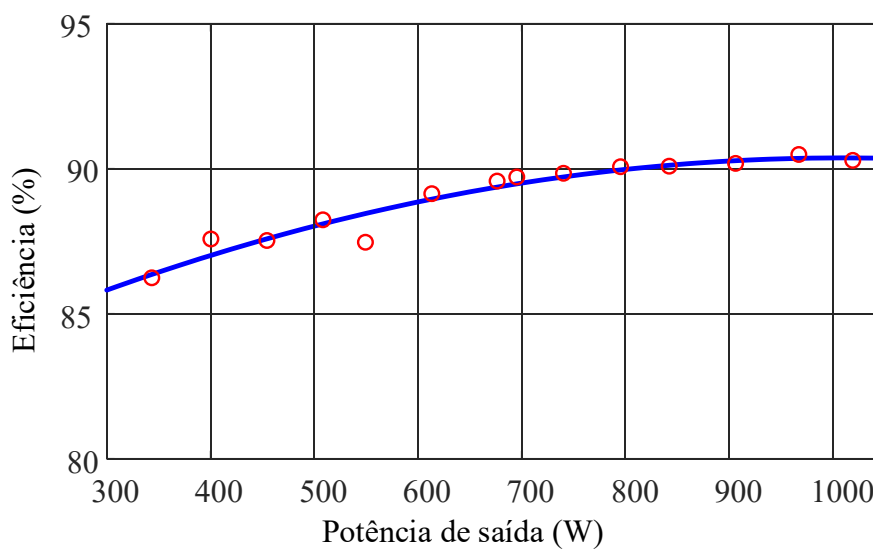
Figura 6.7 – Fator de potência do conversor no modo retificador.



Fonte: Próprio autor.

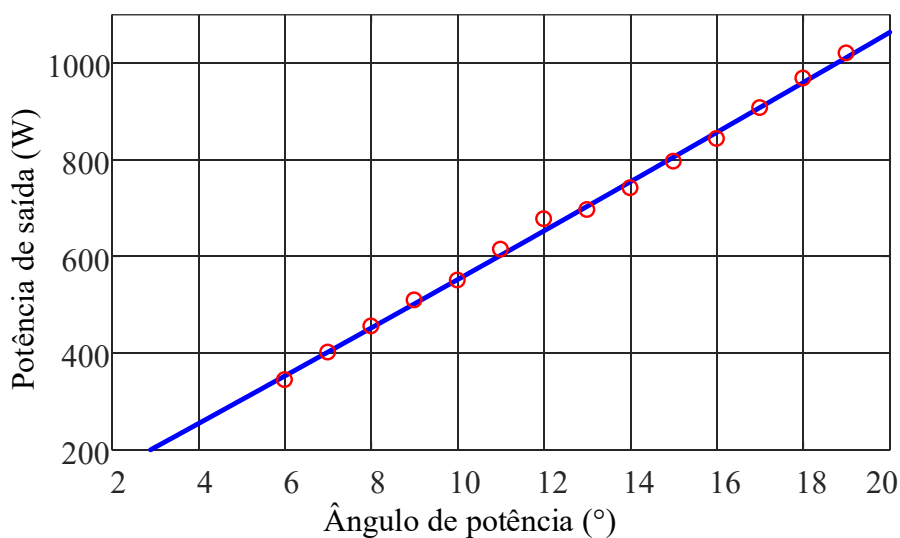
O fator de potência para uma ampla faixa de potência está ilustrado na Figura 6.7, onde observa-se valores superiores a 0,99 para toda a faixa considerada. A Figura 6.8 apresenta a curva de rendimento do conversor para a mesma faixa considerada anteriormente, na qual observa-se valores acima de 85%. A curva de potência por ângulo de potência para a faixa considerada está apresentada Figura 6.9.

Figura 6.8 – Rendimento do conversor no modo retificador.



Fonte: Próprio autor.

Figura 6.9 – Potencia x ângulo de potência no modo retificador.



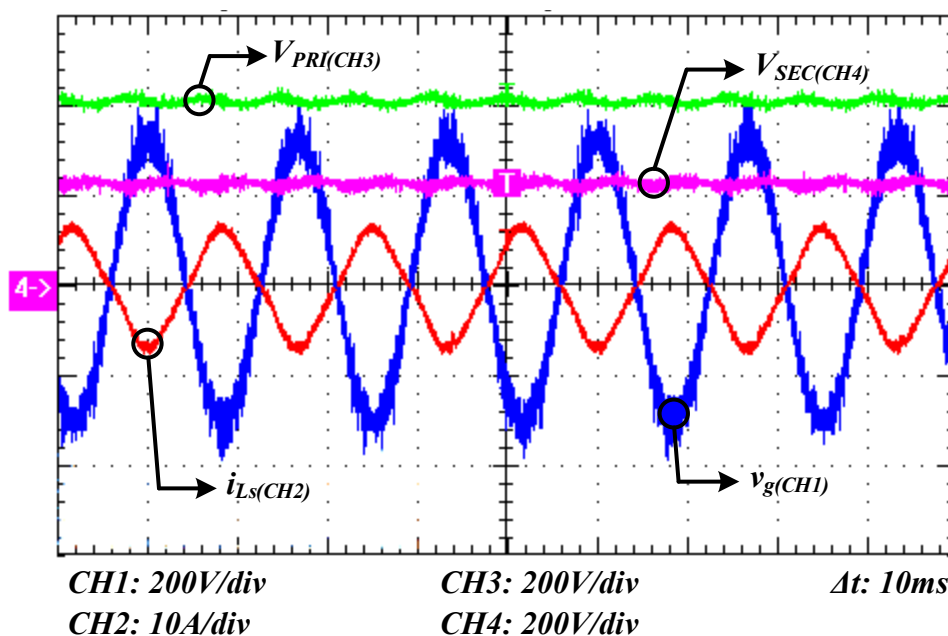
Fonte: Próprio autor.

Em relação a eficiência observa-se baixos valores que podem estar relacionados aos transformadores e indutores de potência adotados, cujos parâmetros de projeto não foram otimizados para a proposta do trabalho.

6.2.1.2 Operação no modo inversor

Para análise do conversor operando no modo inversor, conectou-se uma fonte CC no secundário ajustada pra 228V, e a porta I em uma fonte CA com valor eficaz de 220 V, conforme especificações de projeto. Para a obtenção da potência nominal de 1 kW na porta CA foi necessário um ajuste do barramento CC do primário em torno de 420V, compensando as quedas de tensão nas impedâncias do circuito primário. Com potência nominal e fluxo fluindo do secundário para o primário, na Figura 6.10 tem-se as formas de onda de tensão e corrente CA e as tensões CC do lado primário e secundário. Em relação a corrente CA observa-se a inversão da fase quando comparada com a rede. A THD de corrente foi de 7,6%, mais elevado que no modo retificador, enquanto o FP foi de 0,995 e a eficiência permaneceu em torno de 90,2%. Na Figura 6.11 estão apresentados novamente os parâmetros medidos através da função análise de qualidade de energia do osciloscópio Tektronix, modelo MSO 5034, na qual verifica-se que o conversor novamente atende a todos os critérios estabelecidos pela norma IEC 61000-3-2 para os equipamentos de classe A.

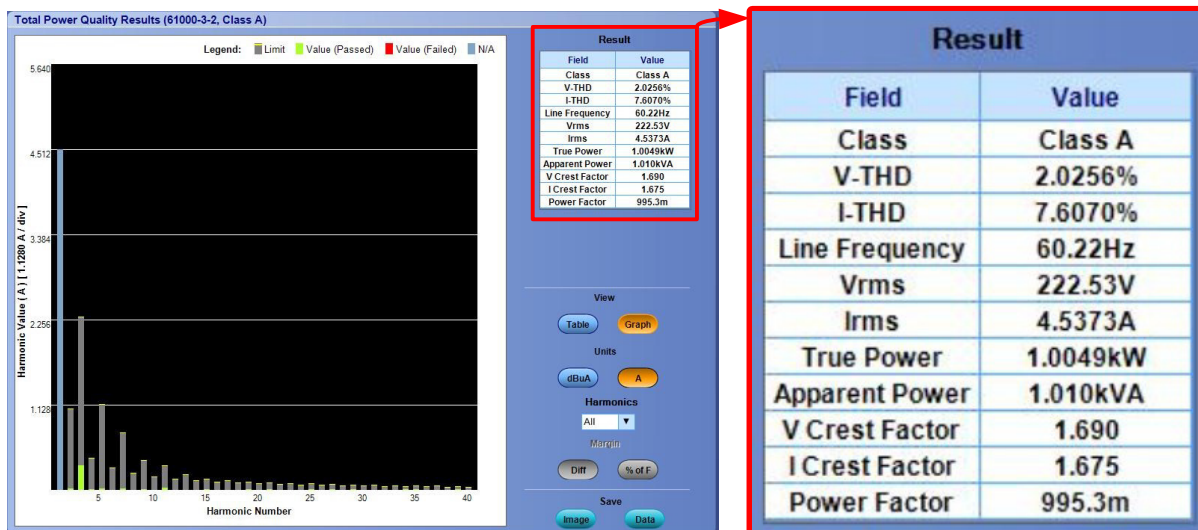
Figura 6.10 – Formas de onda nos barramentos principais no modo inversor.



Fonte: Próprio autor.

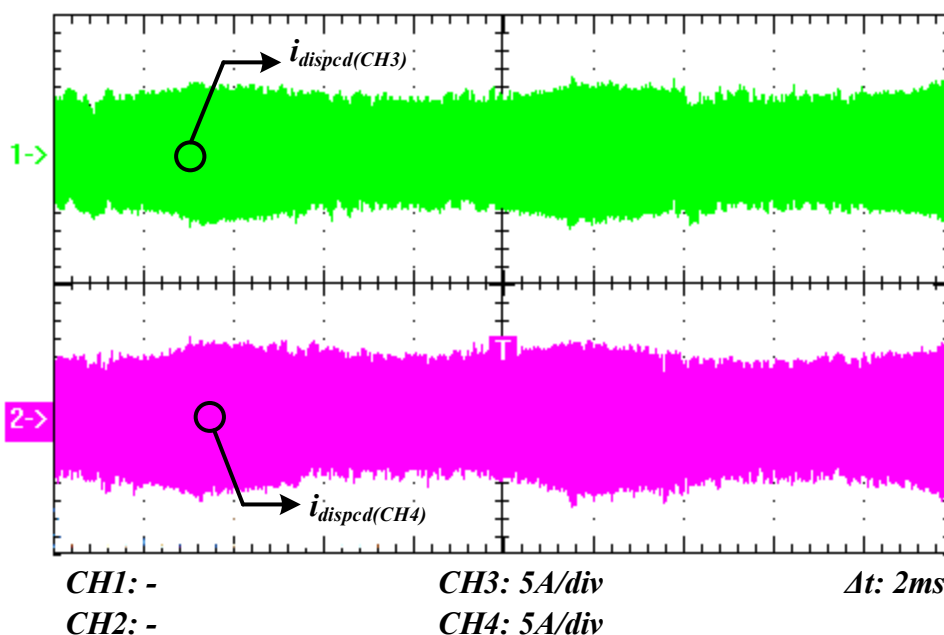
Em relação as formas de onda da transferência de potência, a Figura 6.12 apresenta as correntes medidas nos indutores de potência, no qual observa-se um valor médio em torno de zero e sem grandes variações em sua envoltura.

Figura 6.11 – FP e THD medidos pelo osciloscópio no modo inversor.



Fonte: Próprio autor.

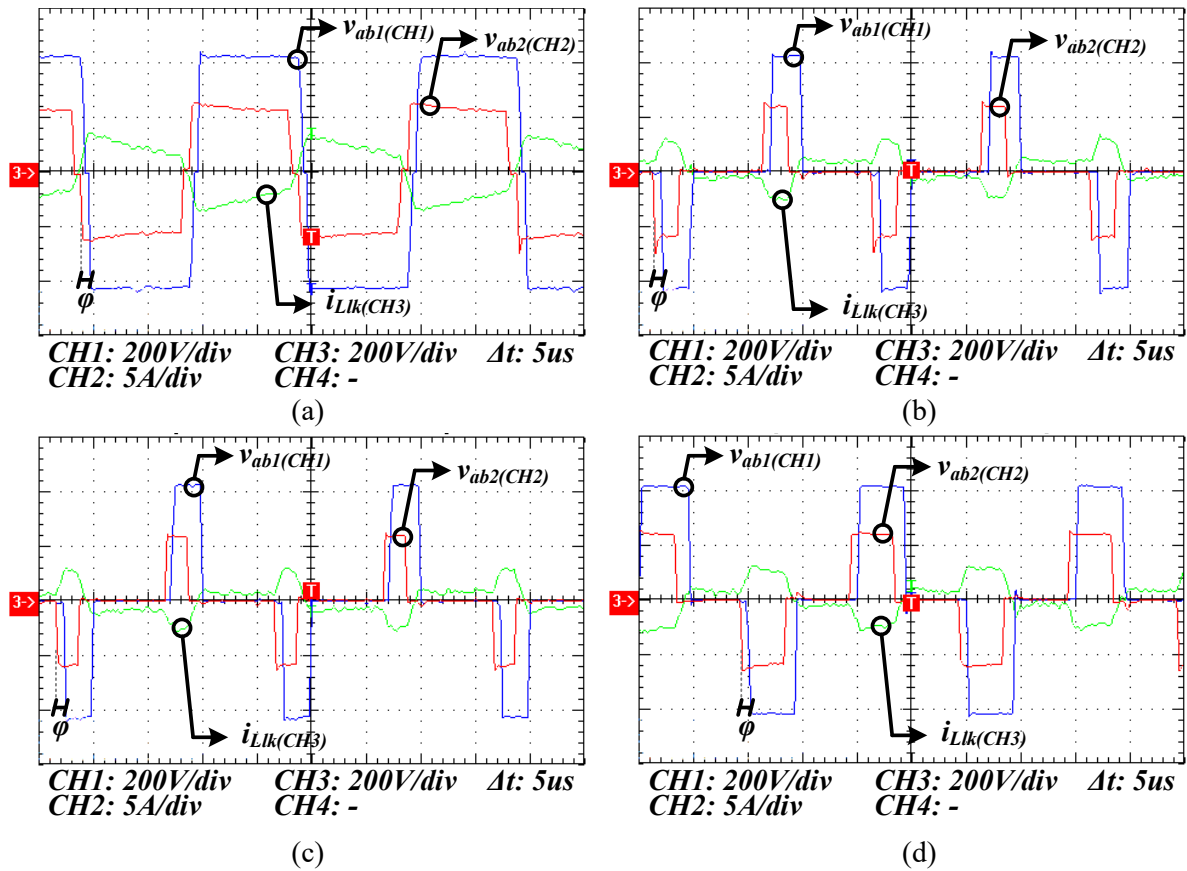
Figura 6.12 – Correntes nos indutores de potência no modo inversor.



Fonte: Próprio autor.

Na Figura 6.13 tem-se as tensões e correntes no transformador apresentadas em alta frequência para diferentes pontos da senoide de entrada. Na Figura 6.13a tem-se os parâmetros durante o cruzamento por zero da tensão da rede e ilustra a operação do conversor na região 1 de potência. Figura 6.13b e Figura 6.13c apresentam os parâmetros em instantes próximos ao pico da rede, e Figura 6.13d para um instante intermediário, todos os três correspondem a operação do conversor na região 2 de potência. Conforme comentado na etapa de simulação, devido as especificações adotadas, o conversor não opera pela região 3.

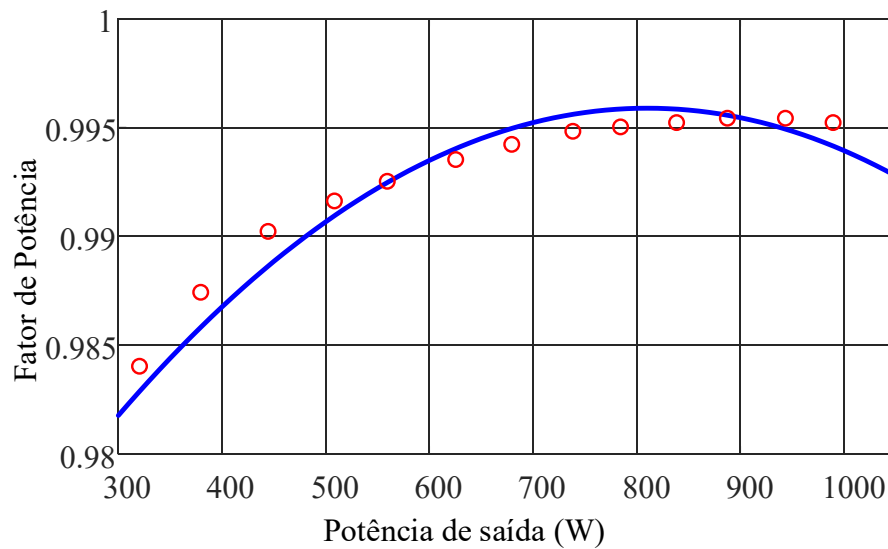
Figura 6.13 – Formas de onda do DAB no modo inversor.



Fonte: Próprio autor.

O fator de potência para uma ampla faixa de potência está ilustrado na Figura 6.14, onde observa-se valores superiores a 0,98 para toda a faixa considerada.

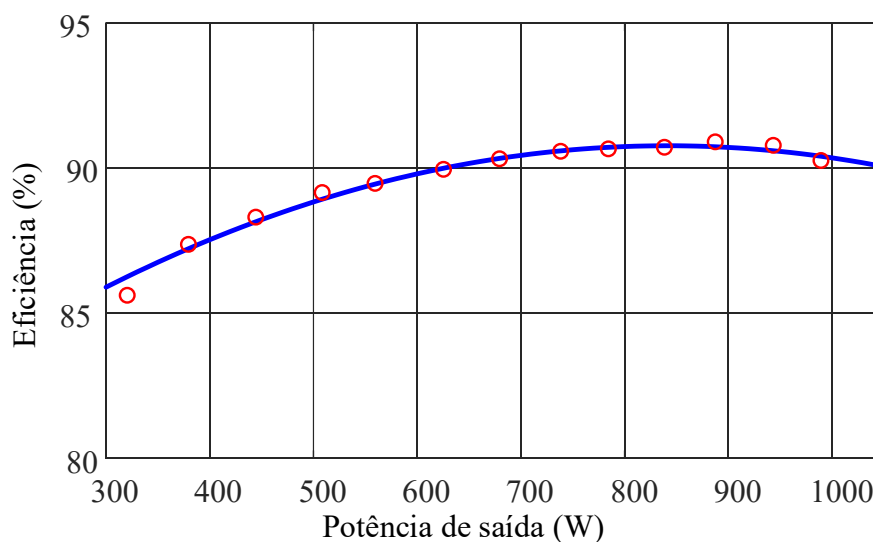
Figura 6.14 – Fator de potência do conversor no modo inversor.



Fonte: Próprio autor.

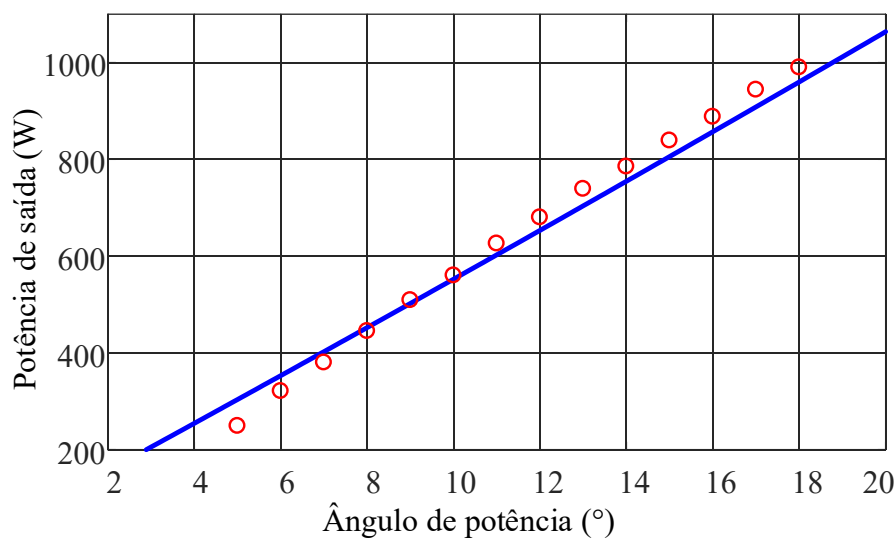
A Figura 6.15 apresenta a curva de rendimento do conversor para a mesma faixa considerada anteriormente, na qual observa-se valores em torno de 90%. A curva de potência por ângulo de potência para a faixa considerada está apresentada na Figura 6.16.

Figura 6.15 – Rendimento do conversor no modo inversor.



Fonte: Próprio autor.

Figura 6.16 – Potência x ângulo de potência no modo inversor.

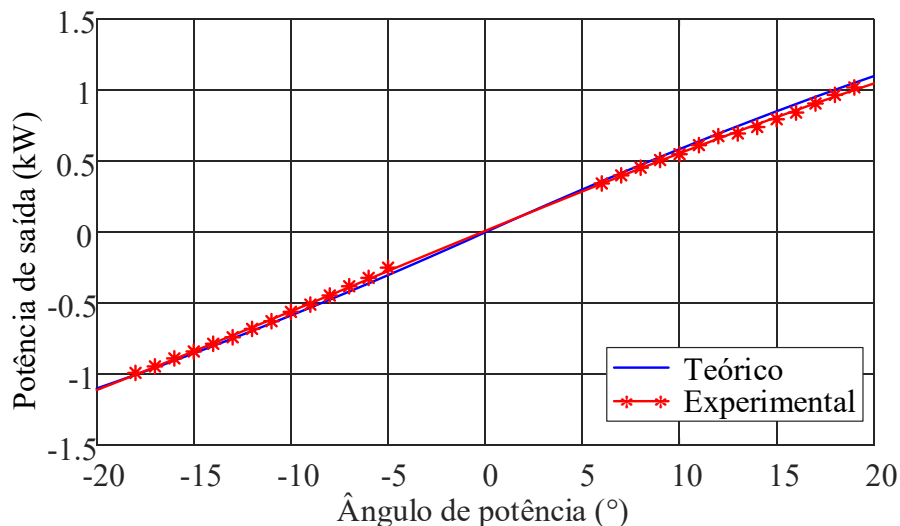


Fonte: Próprio autor.

Assim como no modo retificador, a eficiência apresentou valores baixos, em torno de 90,2%. Em relação aos valores de ângulos impostos, a potência nominal foi atingida com um valor de 18°, 1° menor do que no caso anterior, o que pode estar associado a elevação do barramento CC do primário em 20V, reduzindo o índice de modulação e elevando a potência transferida para um mesmo *phase-shift*.

Na Figura 6.17 estão apresentadas as curvas de potência calculada e experimental sobrepostas, verificando que os resultados obtidos foram condizentes com a análise teórica.

Figura 6.17 – Curvas de potência: experimental x teórico.



Fonte: Próprio autor.

6.2.2 Comportamento dinâmico do conversor em malha fechada

Para análise do desempenho dinâmico do conversor verificou-se seu comportamento para duas variações de carga distintas, na primeira tem-se um degrau de carga no secundário com o conversor operando sempre no modo retificador, e no segundo tem-se uma variação instantânea no fluxo de potência.

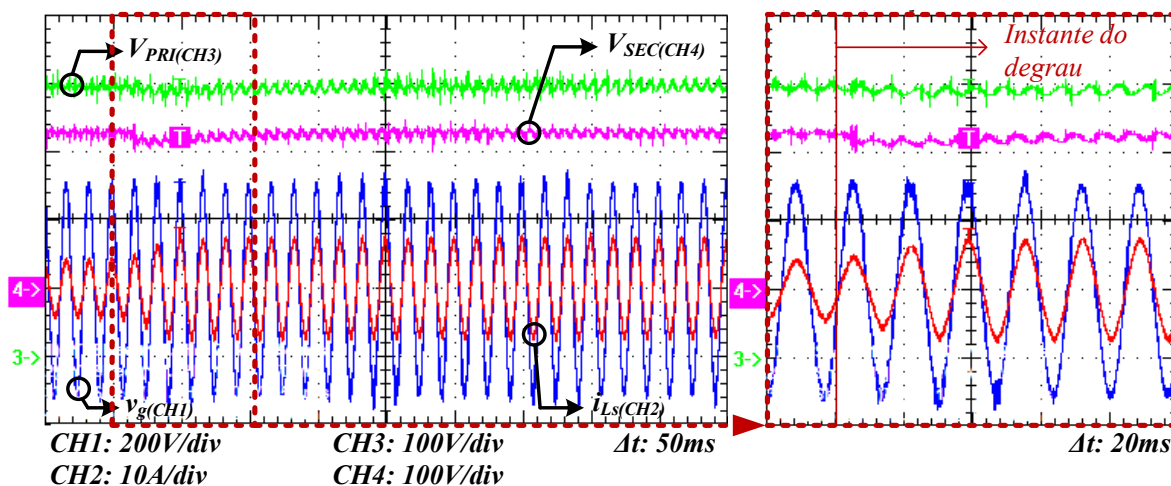
6.2.2.1 Resposta a um degrau de carga no secundário

Nesta situação foi conectado uma carga resistiva no lado secundário do conversor. A mesma é inicialmente ajustada em 50% de potência e para análise a um degrau positivo é acrescentado rapidamente mais 50% da potência nominal. Por seguinte, este valor é retirado bruscamente para análise a um degrau negativo. As formas de onda para cada situação são apresentadas a seguir.

Na Figura 6.18 estão apresentadas as formas de onda dos parâmetros CA e das tensões nos barramentos CC durante o degrau positivo. Na mesma é possível observar que não houve uma deformação visível no comportamento senoidal da corrente CA, e que a mesma demora aproximadamente dois ciclos de rede para se estabilizar no seu novo valor de

operação. Em relação aos barramentos CC, o sobressinal no primário foi menor que 5% do valor nominal e no secundário foi em torno de 8,2%, enquanto o tempo de estabilização de ambos foi por volta de 6 ciclos de rede (100 ms).

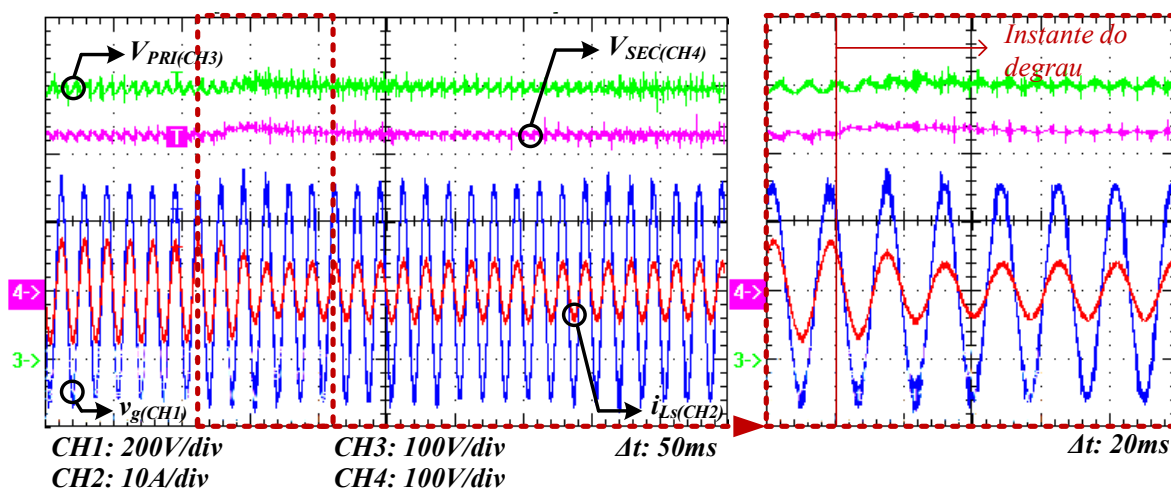
Figura 6.18 – Resposta a um degrau positivo de carga.



Fonte: Próprio autor.

Na Figura 6.19 estão apresentadas as formas de onda dos parâmetros CA e das tensões nos barramentos CC para o degrau negativo. Na mesma também se observa que não houve uma deformação visível no comportamento senoidal da corrente CA, com um tempo de estabilização para seu novo valor de operação menor que dois ciclos de rede. Em relação aos barramentos CC, o comportamento foi similar ao do degrau positivo, com um sobressinal de 5% no primário e de 8,2% no secundário, enquanto o tempo de estabilização em ambos foi em torno de 6 ciclos de rede (100 ms).

Figura 6.19 – Resposta a um degrau negativo de carga.



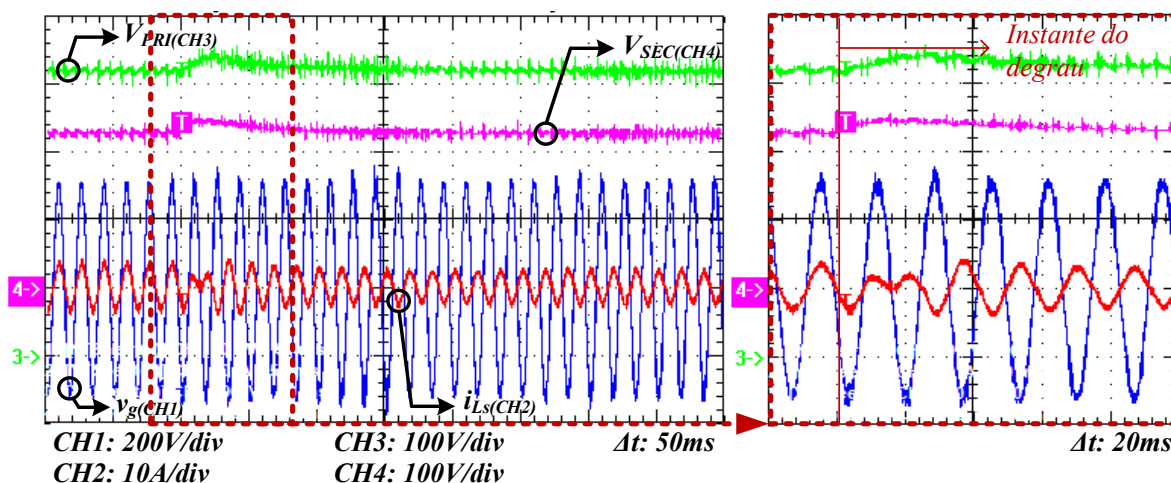
Fonte: Próprio autor.

6.2.2.2 Resposta a um degrau de inversão de fluxo de potência

Nesta situação foi conectada uma fonte CA no primário e uma fonte CC em paralelo com uma carga resistiva no secundário. Foram analisados dois casos de inversão: no primeiro o conversor está inicialmente operando como retificador com 50% da potência nominal e subitamente a fonte CC do secundário passa a fornecer energia para a fonte CA, fazendo com que o conversor opere no modo inverso com 40% da potência nominal; no segundo caso tem-se uma inversão do degrau, no qual o conversor inicialmente está operando como inversor com 40% e, bruscamente, passa a operar no modo retificador com 50% da potência nominal.

Na Figura 6.20 estão apresentadas as formas de onda dos parâmetros CA e das tensões nos barramentos CC para o caso 1. Na mesma é possível observar que a fase da corrente CA é invertida em menos de um ciclo de rede, demorando aproximadamente três ciclos de rede para se estabilizar no seu novo valor de operação. Em relação aos barramentos CC, o sobressinal no primário foi em torno de 5,8% do valor nominal e no secundário foi em torno de 9,6%, enquanto o tempo de estabilização de ambos foi por volta de 6 ciclos de rede (100 ms).

Figura 6.20 – Caso 1: modo retificador para inversor (50% para -40%).

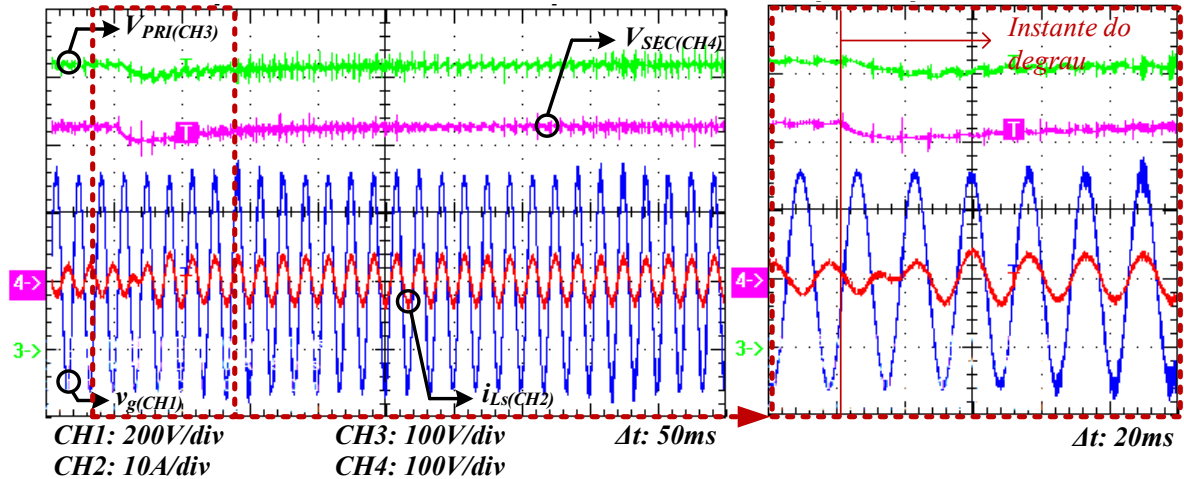


Fonte: Próprio autor.

Na Figura 6.21 estão apresentadas as formas de onda dos parâmetros CA e das tensões nos barramentos CC para o caso 2. Na mesma também se observa que a fase da corrente CA é invertida em menos de um ciclo de rede, demorando aproximadamente três ciclos de rede para se estabilizar no seu novo valor de operação. Em relação aos barramentos CC, a oscilação no primário foi em torno de 4,7% do valor nominal e no secundário foi em

torno de 11,4%, enquanto o tempo de estabilização de ambos também foi por volta de 6 ciclos de rede (100 ms).

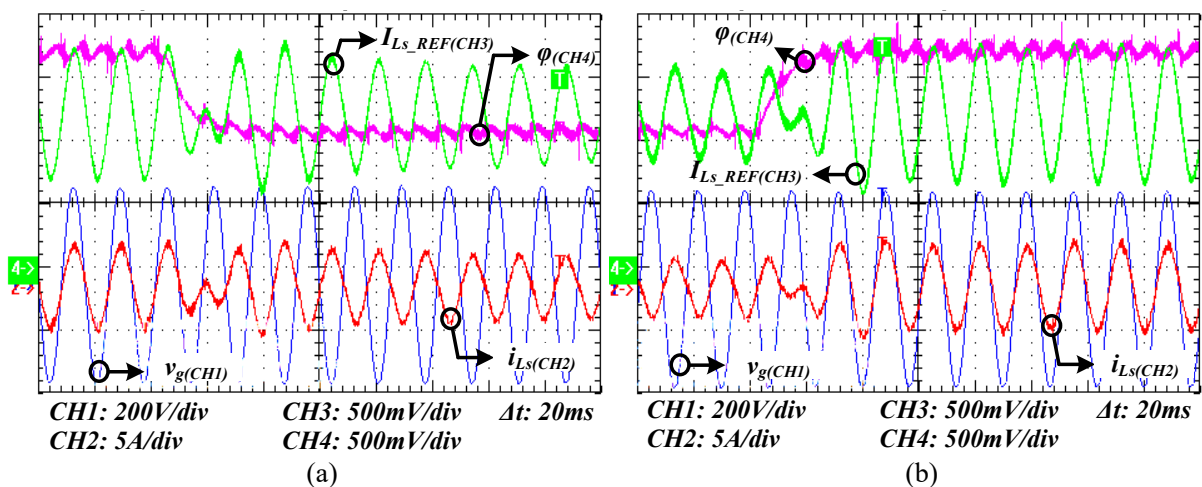
Figura 6.21 – Caso 2: modo inversor para retificador (-40% para 50%).



Fonte: Próprio autor.

Os casos 1 e 2 foram novamente repetidos para observação dos sinais de controle através dos conversores DA (digital/analógico) do DSP. No canal 3 é apresentado o sinal de referência de corrente CA, cuja envoltória representa a saída do controlador da malha de tensão do primário, e no canal 4 tem-se o sinal referente ao *phase-shift*, isto é, o sinal de saída do controlador do barramento secundário. Nos canais 1 e 2 tem-se novamente a tensão e a corrente CA, respectivamente. Na Figura 6.22a tem-se os parâmetros para o caso 1 e na Figura 6.22b os parâmetros para o caso 2.

Figura 6.22 – Sinais de controle: (a) o caso 1; (b) caso 2.



Fonte: Próprio autor.

Em ambos os casos se observa que não houve saturação dos sinais de controle e que a forma de onda da corrente CA condiz com a referência imposta.

6.3 Considerações finais

Através dos resultados experimentais foi possível confirmar as análises apresentadas e validar a topologia em seu regime permanente e dinâmico.

Para análise em regime permanente, verificou-se o comportamento da topologia operando tanto no modo retificador como no modo inversor. Para ambos os modos foram apresentadas as formas de onda da corrente e tensão da rede CA, as tensões CC nos barramentos primário e secundário estabilizadas, além das correntes nos indutores de potência com valor médio em torno de zero. Como resultados, para o modo retificador obteve-se um FP de 0,996 e THD de 2,8%, e no modo inversor o FP foi de 0,995 e THD de 7,6%. Em ambos os modos a curva de eficiência variou em torno de 90,2%. Para operação no modo inversor foi necessário o ajuste da tensão CC do primário para 420V. Esta modificação pode estar associada a necessidade de compensar quedas de tensão nas impedâncias do circuito primário que antecedem a porta CA. Esta alteração também acarreta uma pequena variação no índice de modulação, reduzindo o ângulo de potência nominal em 1°.

Para o regime dinâmico, primeiramente analisou-se o comportamento a um degrau de carga positivo e negativo com o conversor operando no modo retificador, para o qual observou-se que a corrente CA não sofre modificações visíveis no comportamento senoidal e se estabiliza no novo valor de operação em torno de 2 ciclos da rede CA. Em relação aos barramentos, tanto no degrau positivo como no negativo a oscilação no barramento primário foi menor que 5% e no secundário em torno de 8,2%, com tempo de estabilização por volta de 6 ciclos de rede.

O segundo teste em regime dinâmico consistiu na inversão do fluxo de potência, observando dois casos: no caso 1 o conversor muda do modo retificador para o inversor; e no caso 2 inverte do modo inversor para o retificador. Em ambos a corrente CA tem a fase invertida em menos de um ciclo de rede, e sua estabilização no novo valor de operação em menos de três ciclos de rede. No caso 1 a oscilação no barramento primário foi de 5,8% e no secundário foi de 9,6%, enquanto no caso 2 a oscilação no primário foi de 4,7% e no secundário foi de 11,4%. Em ambos o tempo de estabilização dos barramentos também foi em torno de seis ciclos de rede.

Em relação ao comportamento da topologia proposta os resultados foram satisfatórios. Porém, em relação a eficiência foram verificados valores baixos, sendo necessária uma otimização dos projetos dos magnéticos para as especificações propostas.

7 CONCLUSÃO

O conversor proposto foi validado inicialmente por resultados de simulação, no qual obteve-se um FP de 0,998 e uma THD de corrente de 5,89%. Em relação a análise dinâmica observou-se uma rápida estabilização da corrente CA sem distorções significativas, além de alta capacidade dos controladores em estabilizar os parâmetros durante variações bruscas de carga. Para um degrau de 50% positivo e negativo, o tempo de estabilização dos barramentos CC foi menor que 150 ms, com *overshoot* menor que 10%. Ainda em simulação, constatou-se uma pequena deformidade na corrente CA durante suas passagens por zero e possibilidade de melhoria na resposta dinâmica através de técnicas de controle para múltiplas variáveis.

Também foram apresentados resultados experimentais, nos quais verificou-se o comportamento do conversor em regime permanente e dinâmico. Em regime permanente observou-se o comportamento do conversor operando tanto no modo retificador como no modo inversor. Para o modo retificador obteve-se um FP de 0,996 e THD de 2,8%. Para o modo inversor foi necessário elevar o barramento CC do primário para 420V para obtenção da potência nominal de 1kW na porta CA, o que pode estar associado as quedas de tensão nas impedâncias do circuito primário. Neste último modo o FP foi de 0,995 e o THD de 7,6%. Em relação ao rendimento, em ambos os modos se verificou um valor baixo em torno de 90,2% devido a utilização de magnéticos não otimizados para as especificações propostas.

Em regime dinâmico, inicialmente analisou-se o comportamento a um degrau de carga positivo e negativo com o conversor operando no modo retificador, para os quais a corrente CA não sofre modificações visíveis no comportamento senoidal e se estabiliza em torno de 2 ciclos da rede CA em seu novo valor de operação. Em relação aos barramentos CC, o comportamento em ambos os degraus foi similar, com oscilação menor que 5% no primário e em torno de 8,2% no secundário, com tempo de estabilização por volta de 6 ciclos de rede. Por seguinte verificou-se a dinâmica durante dois casos de inversão do fluxo de potência: no caso 1 o conversor muda do modo retificador para o inversor; e no caso 2 do modo inversor para o retificador. Em ambos a corrente CA tem a fase invertida em menos de um ciclo de rede e estabilização no novo valor de operação em menos de três ciclos de rede. No caso 1 a oscilação no barramento primário foi de 5,8% e no secundário foi de 9,6%, enquanto no caso 2 a oscilação no primário foi de 4,7% e no secundário foi de 11,4%. Em ambos o tempo de estabilização dos barramentos também foi em torno de seis ciclos de rede.

Os resultados experimentais foram satisfatórios e promissores. Durante os testes também se verificou uma estabilidade nas correntes magnetizantes do lado secundário controlando somente as do lado primário, tornando interessante uma análise posterior sobre a necessidade ou não de um controlador para as correntes do secundário.

Os resultados de simulação e experimental apresentados possibilitou validar a análise teórica previamente discutida e, conforme analisado teoricamente, verifica-se a possibilidade de operar com alta densidade de potência, mas para isto a otimização das especificações e dos magnéticos torna-se crucial. Uma operação com ângulos de potência mais próximos de 30° permitirá trabalhar com uma maior resolução do controle, além de permitir uma faixa de operação maior que facilitará uma posterior análise de comutação suave, embora tenda a aumentar a circulação de reativos. Portanto, a topologia proposta é um caminho inicial para aplicações em veículos, mas estudos sobre a mesma devem ser continuados para uma total otimização da estrutura para utilização em OBCs.

Como trabalhos futuros propõe-se: 1) Deslocamento dinâmico entre as portadores do secundário; 2) Otimização das especificações e projeto dos magnéticos; 3) Otimização do método de controle das correntes magnetizantes; 4) Integração dos magnéticos em um único núcleo; 5) Redução das sutis deformações na forma de onda da corrente CA durante sua passagem pelo valor zero; 6) Estratégias para obtenção de comutação suave em todas as faixas de operação do conversor; 7) Aplicação de técnicas de controle para processos com múltiplas variáveis.

7.1 Publicações Resultantes

Os estudos realizados resultaram nos artigos científicos listados abaixo:

- BARBOSA, S. G.; ALMEIDA, B. R.; DAMASCENO, D. P.; OLIVEIRA JUNIOR, D. S. Single-Stage Single-phase AC/DC Converter with High Frequency Isolation Feasible to Microgeneration. In: **5th SOUTHERN POWER ELECTRONICS CONFERENCE (SPEC) & 15th BRAZILIAN POWER ELETRONICS CONFERENCE (COBEP)**, 2019, Santos. 2019.
- SILVA, B. A. S.; HONORIO, D. A.; OLIVEIRA JUNIOR, D. S.; ALMEIDA, B. R.; BARBOSA, S. G.; BARRATO, L. H. S. C.; VERAS, CAIO KERSON O. AC-DC Converter with High-Frequency Isolation Operating Under ZVS. In: **5th SOUTHERN POWER ELECTRONICS CONFERENCE (SPEC) & 15th BRAZILIAN POWER ELETRONICS CONFERENCE (COBEP)**, 2019, Santos. 2019.
- BARBOSA, S. G.; DE AMEIDA, B. R.; DE PACHECO, J. O.; OLIVEIRA JUNIOR, D. S.; PRACA, P. P. Multi-Port Single-Phase Converter Applied to Residential Microgeneration. In: **13th IEEE INTERNATIONAL CONFERENCE ON INDUSTRY APPLICATIONS (INDUSCON)**, 2018, São Paulo. 2018. p. 1087.
- BARBOSA, S. G.; DE AMEIDA, B. RI.; DE PACHECO, J. O.; OLIVEIRA JUNIOR, D. S. Conversor monofasico multiportas aplicado a microgeração residencial. In: **XXII CONGRESSO BRASILEIRO DE AUTOMÁTICA**, 2018, João Pessoa. 2018.

REFERÊNCIAS

- ALMEIDA, B. R. de. **Conversor CA-CC trifásico de único estágio, bidirecional, isolado em alta frequência, com correção de fator de potência**. 2016. 191 f Tese (Doutorado em Engenharia) - Centro de Tecnologia, Universidade Federal do Ceará (UFC), Fortaleza, 2016.
- ALMEIDA, B. R. D. et al. A Single-Stage Three-Phase Bidirectional AC/DC Converter With High-Frequency Isolation and PFC. **IEEE Transactions on Power Electronics**, v. 33, n. 10, p. 8298-8307, 2018. ISSN 0885-8993. Disponível em: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8115235&isnumber=8412378>.
- ARAÚJO, J. W. M. de. **Conversor CA-CC multinível de único estágio para aplicação em transformadores de estado sólido**. 2018. 188 f. Dissertação (Mestrado em Engenharia Elétrica) - Centro de Tecnologia, Universidade Federal do Ceará, Fortaleza, 2018.
- BARBOSA, A. U. et al. Multi-port bidirectional three-phase AC-DC converter with high frequency isolation. *In: IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (APEC)*, 2018, San Antonio. **Anais [...]**. San Antonio, TX, 2018, p. 1386-1391. Disponível em: <https://ieeexplore.ieee.org/document/8341198>.
- BASCOPE, G. V. T. **Nova família de conversores CC-CC PWM não isolados utilizando células de comutação de três estados**. 2001. 287 f. Tese (Doutorado em Engenharia). Centro de Tecnológico, Universidade Federal de Santa Catarina, Florianópolis, SC, 2001.
- BASCOPE, G. V. T.; BARBI, I. Generation of a family of non-isolated DC-DC PWM converters using new three-state switching cells. 2000 *In: IEEE 31st ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE. Proceedings [...]* (Cat. No.00CH37018), 2000, Galway, Irlanda, p.858-863 vol.2. Disponível em: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=879927&isnumber=19039>.
- BOUTROS, K. S.; CHU, R.; HUGHES, B. GaN power electronics for automotive application. 2012 *In: IEEE ENERGYTECH*, 2012, Cleveland. **Proceedings [...]**. Cleveland, OH, 29-31 May 2012. p.1-4. Disponível em: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6304646&isnumber=6304622>.
- BUENO, D. A. A.; SILVA, E. R. C. D. Dispositivos de carboneto de silício na eletrônica de potência: uma revisão. **CONGRESSO BRASILEIRO DE AUTOMÁTICA v. XX**, 2014, Belo Horizonte. **Anais [...]**. Belo Horizonte, MG, Setembro, 2014. Disponível em: <http://www.swge.inf.br/CBA2014/anais/PDF/1569936787.pdf>.
- CZYZ, P. et al. Performance comparison of a 650 V GaN SSFET and CoolMOS. 2016 *In: 10th INTERNATIONAL CONFERENCE ON COMPATIBILITY, POWER ELECTRONICS AND POWER ENGINEERING (CPE-POWERENG)*, 2016, Bydgoszcz. **Proceedings [...]**. 29 June-1 July 2016. p.438-443.
- DONCKER, R. W. A. A. D.; DIVAN, D. M.; KHERALUWALA, M. H. A three-phase soft-switched high-power-density DC/DC converter for high-power applications. *In: IEEE Transactions on Power Electronics*, v. 27, n. 1, p. 63-73, 1991. ISSN 0093-9994.

DONCKER, R. W. D.; DIVAN, D. M.; KHERALUWALA, M. H. A three-phase soft-switched high power density DC/DC converter for high power applications. Conference Record of the 1988. *In: IEEE INDUSTRY APPLICATIONS SOCIETY ANNUAL MEETING*, vol.1, 1988, Pittsburgh. **Proceedings** [...]. Pittsburgh, PA, 2-7 Oct. 1988. p.796-805. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=25153&isnumber=952>.

HANNAN, M. A. et al. State-of-the-Art and Energy Management System of Lithium-Ion Batteries in Electric Vehicle Applications: Issues and Recommendations. *In: IEEE Access*, v. 6, p. 19362-19378, 2018. ISSN 2169-3536. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8320763&isnumber=8274985>.

HOSHI, M. Electric vehicles and expectations for wide bandgap power devices. 2016 *In: 28th INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES AND ICS (ISPSD)*, 2016. Praga. **Proceedings** [...]. Prague, 12-16 June 2016. p.5-8. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7520765&isnumber=7520753>.

HUANG, X. et al. Evaluation and application of 600V GaN HEMT in cascode structure. 2013 *In: 28th ANNUAL IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (APEC)*, 2013, Long Beach. **Proceedings** [...]. Long Beach, CA, 17-21 March 2013. p.1279-1286. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6520464&isnumber=6520164>.

IEA. **Global EV Outlook 2017**. IEA Publications, June 2017. Disponível em:

[https://www.iea.org/publications/freepublications/publication/GlobalEV Outlook2017.pdf](https://www.iea.org/publications/freepublications/publication/GlobalEV%20Outlook2017.pdf).

_____. **Global EV Outlook 2018**. IEA Publications, Maio 2018. Disponível em:

https://webstore.iea.org/download/direct/1045?filename=global_ev_outlook_2018.pdf.

INSTRUMENTS, T. **TMS320F2837xD Dual-Core Microcontrollers**. Technical Reference Manual, 2013. Disponível em: <http://www.ti.com/lit/ug/spruhm8i/spruhm8i.pdf>.

JAFARI, M. et al. Electric Vehicle Battery Cycle Aging Evaluation in Real-World Daily Driving and Vehicle-to-Grid Services. **IEEE Transactions on Transportation Electrification**, v. 4, n. 1, p. 122-134, 2018. ISSN 2372-2388. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8070984&isnumber=8288747>.

JOHNSON, P. M.; BAI, K. H. A dual-DSP controlled SiC MOSFET based 96%-efficiency 20kW EV on-board battery charger using LLC resonance technology. 2017 *In: IEEE SYMPOSIUM SERIES ON COMPUTATIONAL INTELLIGENCE (SSCI)*, 2017, Honolulu. **Proceedings** [...]. Honolulu, HI, 27 Nov.-1 Dec. 2017. p.1-5. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8285262&isnumber=8280782>.

KARIMI-GHARTEMANI, M.; KARIMI, H.; IRAVANI, M. R. A magnitude/phase-locked loop system based on estimation of frequency and in-phase/quadrature-phase amplitudes.

IEEE Transactions on Industrial Electronics, v. 51, n. 2, p. 511-517, 2004. Disponível em: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1282041&isnumber=28635>.

KEIM, T. New Uses Spur Lithium-Ion Battery Research and Development [Happenings].

IEEE Power Electronics Magazine, v. 5, n. 4, p. 13-17, 2018. ISSN 2329-9215.

KHALIGH, A.; ANTONIO, M. D. Global Trends in High-Power On-Board Chargers for Electric Vehicles. **IEEE Transactions on Vehicular Technology**, p. 1-1, 2019. ISSN 0018-9545. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8633386&isnumber=8692737>.

KHALIGH, A.; DUSMEZ, S. Comprehensive Topological Analysis of Conductive and Inductive Charging Solutions for Plug-In Electric Vehicles. **IEEE Transactions on Vehicular Technology**, v. 61, n. 8, p. 3475-3489, 2012. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6266761&isnumber=6330019>.

KHERALUWALA, M. N. et al. Performance characterization of a high-power dual active bridge DC-to-DC converter. In: **IEEE Transactions on Power Electronics**, v. 28, n. 6, p. 1294-1301, 1992. ISSN 0093-9994. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=175280&isnumber=4458>.

LEM. **Current Transducer HO-NP/SP33. [201-]-a.** Disponível em:

http://www.farnell.com/datasheets/2149994.pdf?_ga=2.176139745.236877793.1556296938-59448439.1556296938.

_____. **Voltage Transducer LV 20-P. p. 2, [201-]-b.** Disponível em:

<https://media.digikey.com/pdf/data%20sheets/lem%20usa%20pdfs/lv%2020-p.pdf>.

LOPES, J. A. P.; SOARES, F. J.; ALMEIDA, P. M. R. Integration of Electric Vehicles in the Electric Power System. In: **Proceedings of the IEEE**, v. 99, n. 1, p. 168-183, 2011. ISSN 1558-2256.

LU, J. et al. A Modular-Designed Three-Phase High-Efficiency High-Power-Density EV Battery Charger Using Dual/Triple-Phase-Shift Control. **IEEE Transactions on Power Electronics**, v. 33, n. 9, p. 8091-8100, 2018. ISSN 1941-0107. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8094272&isnumber=8400452>.

MAZZA, L. C. D. S. **Conversor CC-CC bidirecional DAB monofásico baseado na célula de comutação de três estados.** 2014. 213 f. Dissertação (Mestrado em Engenharia Elétrica) - Centro de Tecnologia, Universidade Federal do Ceará, Fortaleza, 2014.

MITOVA, R. et al. Investigations of 600-V GaN HEMT and GaN Diode for Power Converter Applications. **IEEE Transactions On Power Electronics**, v. 29, n. 5, p. 2441-2452, 2014. Disponível em:

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6642103&isnumber=6709815>.

OLIVEIRA JUNIOR, D. S. et al. A bidirectional single stage AC-DC converter with high frequency isolation feasible to DC distributed power systems. 2012. In: 10th IEEE/IAS INTERNATIONAL CONFERENCE ON INDUSTRY APPLICATIONS, 2012. **Proceedings** [...]. Fortaleza, CE, 5-7 Nov. 2012. p.1-7.

OLIVEIRA JUNIOR, D. S. **Família de conversores CA-CC com estágio único de conversão, isolamento em alta frequência e comutação sob tensão nula para todos os semicondutores ativos.** Depositante: Universidade Federal do Ceará. Procurador: -. BR 10 2019 002554. Depósito: 07 fev. 2019. Concessão: -.

SANTOS, W. M. D.; MARTINS, D. C. Dual Active Bridge converter as gyrator. 2012 *In: IEEE 3rd INTERNATIONAL CONFERENCE ON SUSTAINABLE ENERGY TECHNOLOGIES (ICSET)*, 2012, Kathmandu. **Proceedings** [...]. Kathmandu, 24-27 Sept. 2012. p.169-176. Disponível em:
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6357393&isnumber=6357364>.

SANTOS, W. M. D.; MARTINS, D. C. Introdução ao conversor DAB monofásico. **Eletrônica De Potência (SOBRAEP)**, v. 19, p. 36-46, 2014. Disponível em:
<https://sobraep.org.br/artigo/introducao-ao-conversor-dab-monofasico/>.

SCHMENGER, J. et al. A 22 kW on-board charger for automotive applications based on a modular design. 2014 *In: IEEE CONFERENCE ON ENERGY CONVERSION (CENCON)*, 2014, Johor Bahru. **Proceedings** [...]. Johor Bahru, 13-14 Oct. 2014. p.1-6. Disponível em:
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6967467&isnumber=6967461>.

SILVA FILHO, O. C. D. et al. High-Frequency Isolated AC–DC–AC Interleaved Converter for Power Quality Applications. *In: IEEE Transactions on Power Electronics*, v. 54, n. 5, p. 4594-4602, 2018. ISSN 0093-9994. Disponível em:
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8356644&isnumber=8467512>.

SILVA FILHO, O. C. D.; OLIVEIRA, D. D. S. Proposal of a new family of high frequency isolated single-phase AC-AC converters. 2016 *In: 12th IEEE INTERNATIONAL CONFERENCE ON INDUSTRY APPLICATIONS (INDUSCON)*, 2016, Curitiba. **Proceedings** [...]. Curitiba, 20-23 Nov. 2016. p.1-8. Disponível em:
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7874549&isnumber=7874447>.

TEODORESCU, R. et al. Proportional-resonant controllers and filters for grid-connected voltage-source converters. **IEE Proceedings - Electric Power Applications**, v. 153, n. 5, p. 750-762, 2006. ISSN 1350-2352.

TOWN, G. E. Gallium nitride power electronic devices and circuits: A review. 2015 *In: IEEE 11th INTERNATIONAL CONFERENCE ON POWER ELECTRONICS AND DRIVE SYSTEMS*, 2015, Sydney. **Proceedings** [...]. Sydney, 9-12 June 2015. p.1-3. Disponível em:
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7203483&isnumber=7203373>.

WANG, X. et al. Power-Loss Analysis and Efficiency Maximization of a Silicon-Carbide MOSFET-Based Three-Phase 10-kW Bidirectional EV Charger Using Variable-DC-Bus Control. **IEEE Journal Of Emerging And Selected Topics In Power Electronics**, v. 4, n. 3, p. 880-892, 2016. ISSN 2168-6785. Disponível em:

XUE, F. et al. Loss analysis of GaN devices in an isolated bidirectional DC-DC converter. 2015 *In: IEEE 3rd WORKSHOP ON WIDE BANDGAP POWER DEVICES AND APPLICATIONS (WiPDA)*, 2015, Blacksburg. **Proceedings** [...]. Blacksburg, 2-4 Nov. 2015. p.201-205. Disponível em:
<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7484261&isnumber=7526337>.

YANG, G. et al. Design of High Efficiency High Power Density 10.5kW Three Phase On-board-charger for Electric/hybrid Vehicles. *In: PCIM EUROPE 2016; INTERNATIONAL EXHIBITION AND CONFERENCE FOR POWER ELECTRONICS, INTELLIGENT*

MOTION, RENEWABLE ENERGY AND ENERGY MANAGEMENT, 2016, Nuremberg. **Proceedings** [...]. Nuremberg, 10-12 May 2016. p.1-7. Disponível em: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7499347&isnumber=7499336>.

YILMAZ, M.; KREIN, P. T. Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles. *In: IEEE Transactions on Power Electronics*, v. 28, n. 5, p. 2151-2169, 2013. ISSN 1941-0107. Disponível em: <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6280677&isnumber=6361328>.

**APÊNDICE A – CÓDIGO EM LINGUAGEM DE PROGRAMAÇÃO C UTILIZADO
NAS SIMULAÇÕES DO PSIM®**

```

1  #include <Stdlib.h>
2  #include <String.h>
3
4  int g_nInputNodes=0;
5  int g_nOutputNodes=0;
6  int g_nStepCount=0;
7
8  int n=0, nv=0, nv2=0, n_start = 0;
9
10 //Leituras
11 static double Iin_samp=0, Vin_samp=0, Vhvs_samp=0;
12 static double Vlvs_samp=0;
13 static double ImagH1_samp=0, ImagH1_samp=0, ImagH2_samp=0, ImagL2_samp=0;
14
15 //Especificações
16 static double Vhvs_ref =400, IPK = 6.559, Vad=1365;
17 static double G_Vhvs = 0.006, G_Vin = 0.00364007, G_Iin = 0.15456;
18 static double Vlvs_ref =228;
19 static double G_Vlvs = 0.0113636;
20 static double G_Imag = 5.2325;
21
22 // Controlador
23 //__primário__
24 static double ek_vpri, elk_vpri, e2k_vpri, e3k_vpri, uk_vpri, ulk_vpri, u2k_vpri,
u3k_vpri;
25 static double ek_id=0, elk_id=0, e2k_id=0, uk_id=0, ulk_id=0, u2k_id=0;
26 //__secundário__
27 static double ekv_lvs, elkv_lvs, e2kv_lvs, e3kv_lvs, ukv_lvs, ulkv_lvs, u2kv_lvs,
u3kv_lvs;
28 // __magnetização__
29 static double eki_mgH1, elki_mgH1, e2ki_mgH1, uki_mgH1, ulki_mgH1, u2ki_mgH1;
30 static double eki_mgL1, elki_mgL1, e2ki_mgL1, uki_mgL1, ulki_mgL1, u2ki_mgL1;
31 static double eki_mgH2, elki_mgH2, e2ki_mgH2, uki_mgH2, ulki_mgH2, u2ki_mgH2;
32 static double eki_mgL2, elki_mgL2, e2ki_mgL2, uki_mgL2, ulki_mgL2, u2ki_mgL2;
33
34 //Variáveis do PLL
35 static double Valfa = 0, Vbeta= 0, buffer[417], i = 0;
36 static double u = 0;
37 static double theta = 0, thetaprev = 0;
38 static double Ki_PLL = 2*0.000674;
39 static double PI_PLL[2] = {140,0.1}; // coeficientes do controlador
Kp, Ki
40 static double CONTROL_PLL[4] = {0,0,0,0}; // erro,up,ui,uil
41 static double OUTPUT_PLL = 0; // u
42 static double j = 0;
43 static double vetorV[2] = {0,0};
44 static double vetorI[2] = {0,0};
45 static double Vosense = 0;
46 //FIM DAS VARIÁVEIS DO PLL
47
48 static double vsen, Iref, Imed;
49
50 //Moduladoras
51 static double vc, vc90, vc180, vc270;
52 static double vc_sec, vc90_sec, vc180_sec, vc270_sec;
53
54 ////////////////////////////////////////////////////
55 // FUNCTION: SimulationStep
56 // This function runs at every time step.
57 //double t: (read only) time
58 //double delt: (read only) time step as in Simulation control
59 //double *in: (read only) zero based array of input values. in[0] is the first node,
in[1] second input...
60 //double *out: (write only) zero based array of output values. out[0] is the first
node, out[1] second output...
61 //int *pnError: (write only) assign *pnError = 1; if there is an error and set
the error message in szErrorMsg
62 // strcpy(szErrorMsg, "Error message here...");
63 // DO NOT CHANGE THE NAME OR PARAMETERS OF THIS FUNCTION
64 void SimulationStep(
65     double t, double delt, double *in, double *out,

```

```

66     int *pnError, char * szErrorMsg,
67     void ** reserved_UserData, int reserved_ThreadIndex, void * reserved_AppPtr)
68 {
69     g_nStepCount++;
70
71     // In case of error, uncomment next two lines. Set *pnError to 1 and copy Error
message to szErrorMsg
72     /**pnError=1;
73     //strcpy(szErrorMsg, "Place Error description here.");
74
75     if(t>=n/100000) {
76         n=n+1;
77
78         //____AMOSTRAGEM____
79         //SINAIS DO HVS
80         Vhvs_samp=(in[2]/Vad)/G_Vhvs;
81         Iin_samp=(in[1]/Vad-1.65)/G_Iin;
82         Vin_samp=(in[0]/Vad-1.65)/G_Vin;
83
84         //SINAIS DO LVS
85         Vlvs_samp=(in[3]/Vad)/G_Vlvs;
86
87         //CORRENTES DE MAGNETIZA O
88         ImagH1_samp=(in[4]/Vad-1.65)/G_Imag;
89         ImagH2_samp=(in[5]/Vad-1.65)/G_Imag;
90         ImagL1_samp=(in[6]/Vad-1.65)/G_Imag;
91         ImagL2_samp=(in[7]/Vad-1.65)/G_Imag;
92         //
93
94         //____CONTROLADORES DE TENSÃO____
95         nv++;
96         nv2++;
97
98         if(nv>=20) //amostragem em 5kHz
99         {
100             nv=0;
101
102             //____Tensão no HVS____
103             ek_vpri = Vhvs_ref-Vhvs_samp;
104
105             uk_vpri = 0.0106167*ek_vpri - 0.0116571*elk_vpri + 0.00105954*e2k_vpri +
1.974*ulk_vpri - 0.974*u2k_vpri; // fc = 36Hz MF 60°
106
107             if(uk_vpri>10) uk_vpri = 10; //saturador
108             if(uk_vpri<-10) uk_vpri = -10;
109
110             e2k_vpri = elk_vpri;
111             elk_vpri = ek_vpri;
112             u2k_vpri = ulk_vpri;
113             ulk_vpri = uk_vpri;
114         }
115         //
116
117         if(nv2>=10) //amostragem em 10kHz
118         {
119             nv2=0;
120
121             //____Tens o no LVS____
122             ekv_lvs = Vlvs_ref - Vlvs_samp;
123
124             ukv_lvs = 0.4556122*ekv_lvs - 0.4547192*elkv_lvs + ulkv_lvs;
125
126             if(ukv_lvs>30) ukv_lvs =30; //saturador
127             if(ukv_lvs<-30) ukv_lvs = -30;
128
129             elkv_lvs = ekv_lvs;
130             //u3kv_lvs = u2kv_lvs;
131             //u2kv_lvs = ulkv_lvs;
132             ulkv_lvs = ukv_lvs;
133
134         }

```

```

135
136 //PLL_RASTREAMENTO DO ANGULO DE POTENCIA DA REDE_____
137 //__Tensões Valfa e Vbeta__
138 Valfa = Vin_samp;
139 buffer[i] = Valfa;
140 if(i<416)
141 {
142     Vbeta = buffer[i+1];
143     i = i+1;
144 }
145 else
146 {
147     Vbeta = buffer[0];
148     i = 0;
149 }
150
151 //__Integrador com reset_____
152 u = OUTPUT_PLL;
153
154 theta = Ki_PLL*u;
155 theta = theta + thetaprev;
156
157 if (theta < 0)          theta = 0;
158 if (theta > 6.2831853) theta = 0;
159
160 thetaprev = theta;
161
162 //__PI do q-PLL_____
163 vetorV[0] = Valfa;
164 vetorV[1] = Vbeta;
165 vetorI[0] = cos(theta);
166 vetorI[1] = sin(theta);
167
168 CONTROL_PLL[0] = (vetorV[1]*vetorI[1]) + (vetorV[0]*vetorI[0]); // cálculo
do ek
169
170 OUTPUT_PLL = 0;
171 CONTROL_PLL[1] = PI_PLL[0]*CONTROL_PLL[0]; // proporcional
172 CONTROL_PLL[2] = PI_PLL[1]*CONTROL_PLL[0] + CONTROL_PLL[3]; // integral
173 CONTROL_PLL[3] = CONTROL_PLL[2]; // ação integral
atrasada
174 OUTPUT_PLL = CONTROL_PLL[1] + CONTROL_PLL[2];
175
176 if (OUTPUT_PLL < 2.7) OUTPUT_PLL = 2.7;
177 if (OUTPUT_PLL > 2.8) OUTPUT_PLL = 2.8;
178
179
180
181 //__CONTROLADORES DE CORRENTE_____
182 //__Corrente de Entrada_____
183 vsen=sin(theta);
184 Iref= uk_vpri*vsen;
185 Imed=(Iin_samp);
186
187 ek_id =-(Iref-Imed); //calculo do erro
188
189 //Zero e ganho para o P + ressonante:
_____
190 uk_id = 0.0247638*e2k_id - 0.0511596*elk_id + 0.0264526*ek_id + 1.99953*ulk_id -
0.999548*u2k_id;
191
192 if(uk_id>0.95) uk_id = 0.95; //saturador
193 if(uk_id<0.05) uk_id = 0.05;
194
195 e2k_id = elk_id;
196 elk_id = ek_id;
197 u2k_id = ulk_id;
198 ulk_id = uk_id;
199
200 //__Correntes de Magnetização_____

```

```

201 //PRIMÁRIO
202 eki_mgH1 = (0 - ImagH1_samp);
203 eki_mgH2 = (0 - ImagH2_samp);
204
205 uki_mgH1 = 0.0726388*eki_mgH1 - 0.0705484*elki_mgH1 + ulki_mgH1;
206
207 if(uki_mgH1> 0.02) uki_mgH1 = 0.02; //saturador
208 if(uki_mgH1< -0.02) uki_mgH1 = -0.02;
209
210 elki_mgH1 = eki_mgH1;
211 ulki_mgH1 = uki_mgH1;
212
213 uki_mgH2 = 0.0726388*eki_mgH2 - 0.0705484*elki_mgH2 +
ulki_mgH2;
214
215 if(uki_mgH2 > 0.02) uki_mgH2 = 0.02; //saturador
216 if(uki_mgH2 < -0.02) uki_mgH2 = -0.02;
217
218 elki_mgH2 = eki_mgH2;
219 ulki_mgH2 = uki_mgH2;
220
221 //SECUNDÁRIO
222 eki_mgL1 = (0 - ImagL1_samp);
223 eki_mgL2 = (0 - ImagL2_samp);
224
225 uki_mgL1 = 0.128906*eki_mgL1 - 0.125606*elki_mgL1 + ulki_mgL1;
226
227 if(uki_mgL1 > 0.02) uki_mgL1 = 0.02;
228 if(uki_mgL1 < -0.02) uki_mgL1 = -0.02;
229
230 elki_mgL1 = eki_mgL1;
231 ulki_mgL1 = uki_mgL1;
232
233 uki_mgL2 = 0.128906*eki_mgL2 - 0.125606*elki_mgL2 + ulki_mgL2;
234
235 if(uki_mgL2 > 0.02) uki_mgL2 = 0.02;
236 if(uki_mgL2 < -0.02) uki_mgL2 = -0.02;
237
238 elki_mgL2 = eki_mgL2;
239 ulki_mgL2 = uki_mgL2;
240
241 //uki_mgH1 = 0;
242 //uki_mgH2 = 0;
243 uki_mgL1 = 0;
244 uki_mgL2 = 0;
245
246 if(n_start<=20) {uk_id = 0.5; n_start = n_start + 1;}
247
248 //__Moduladoras_____
249 vc = uk_id;
250 vc90 = 1 - uk_id;
251 vc180 = vc - uki_mgH1;
252 vc270 = vc90 - uki_mgH2;
253 vc180_sec = vc180 - uki_mgL1;
254 vc270_sec = vc270 - uki_mgL2;
255
256 }
257
258 //Saida dos controladores de corrente
259 out[0] = vc; //Corrente de entrada
260 out[1] = vc90; //Corrente de entrada em 180
261 out[2] = vc180;
262 out[3] = vc270;
263 out[4] = vc180_sec;
264 out[5] = vc270_sec;
265
266 //__saida dos controladores de tensão_____
267 out[6] = ukv_lvsv;
268 out[7] = uk_vpri;
269
270 //__Demais variáveis_____

```

```

271 out[0] = Iref;
272
273 }
274
275
276 ////////////////////////////////////////////////////
277 // FUNCTION: SimulationBegin
278 // Initialization function. This function runs once at the beginning of simulation
279 // For parameter sweep or AC sweep simulation, this function runs at the beginning
of each simulation cycle.
280 // Use this function to initialize static or global variables.
281 //const char *szId: (read only) Name of the C-block
282 //int nInputCount: (read only) Number of input nodes
283 //int nOutputCount: (read only) Number of output nodes
284 //int nParameterCount: (read only) Number of parameters is always zero for
C-Blocks. Ignore nParameterCount and pszParameters
285 //int *pnError: (write only) assign *pnError = 1; if there is an error and set
the error message in szErrorMsg
286 // strcpy(szErrorMsg, "Error message here...");
287 // DO NOT CHANGE THE NAME OR PARAMETERS OF THIS FUNCTION
288 void SimulationBegin(
289     const char *szId, int nInputCount, int nOutputCount,
290     int nParameterCount, const char ** pszParameters,
291     int *pnError, char * szErrorMsg,
292     void ** reserved_UserData, int reserved_ThreadIndex, void * reserved_AppPtr)
293 {
294
295 }
296
297 ////////////////////////////////////////////////////
298 // FUNCTION: SimulationEnd
299 // Termination function. This function runs once at the end of simulation
300 // For parameter sweep or AC sweep simulation, this function runs at the end of
each simulation cycle.
301 // Use this function to de-allocate any allocated memory or to save the result of
simulation in an alternate file.
302 // Ignore all parameters for C-block
303 // DO NOT CHANGE THE NAME OR PARAMETERS OF THIS FUNCTION
304 void SimulationEnd(const char *szId, void ** reserved_UserData, int
reserved_ThreadIndex, void * reserved_AppPtr)
305 {
306
307 }
308

```

**APÊNDICE B – CÓDIGO EM LINGUAGEM DE PROGRAMAÇÃO C
DESENVOLVIDO EXPERIMENTALMENTE (TMS320F28379D)**


```

1 //#####
2 //
3 // FILE:   ConversorMonofásico.DSP.v01.c
4 // TITLE:  RConversor monofásico (Controle DSP)
5 //
6 //#####
7 // $TI Release: F2837xD Support Library v160 $
8 // $Release Date: Mon Jun 15 13:36:23 CDT 2015 $
9 // $Copyright: Copyright (C) 2013-2015 Texas Instruments Incorporated -
10 //           http://www.ti.com/ ALL RIGHTS RESERVED $
11 //#####
12
13
14 #include <math.h>
15 #include <stdio.h>
16 #include "F28x_Project.h" // Device Headerfile and Examples Include File
17
18 // Prototipagem das funções.
19 void SetupADC(void);
20
21 void InitEPWMs(void);
22 void DesligaEPWMs(void);
23 void LigaEPWMs(void);
24
25 void ConfigureDAC(void);
26
27 __interrupt void adcal_isr(void);
28 __interrupt void epwm5_isr(void);
29
30 float32 Teste2 = 0;
31
32 int16 ref = 0;
33 Uint16 ui16InitVsec = 0;
34
35 Uint16 ui16ResetVariaveis = 0;
36 Uint16 ui16FlagInterruptPWM = 0;
37 Uint16 ui16CtrlMedia4 = 0;
38
39 Uint16 ui16Startup = 0;
40 Uint32 ui32CtrlStartup = 0;
41 Uint16 ui16Erro = 0;
42 Uint32 ui32CtrlRuido = 0;
43 int16 i16PhaseShiftValue_atual = 0;
44 int16 i16PhaseShiftValue_anterior = 0;
45 int16 i16PhaseShiftDir = 0;
46 Uint32 ui32CtrlStartupTensao = 0;
47
48 Uint16 ui16CtrlAmostragemVsec = 0;
49 Uint16 ui16CtrlAmostragemVpri = 0;
50
51 int16 i16Vpri[4] = {0,0,0,0};
52 int16 i16Vpri_media = 0;
53 int16 i16Vsec[4] = {0,0,0,0};
54 int16 i16Vsec_media = 0;
55
56 int16 i16Io[4] = {0,0,0,0};
57 int16 i16Io_media = 0;
58 int16 i16Io_zero = 0;
59
60 int16 i16Va[4] = {0,0,0,0};
61 int16 i16Va_media = 0;
62 int16 i16Va_zero = 0;
63
64 int16 i16Ia[4] = {0,0,0,0};
65 float32 f32Ia_aj = 0;
66 int16 i16Ia_media = 0;
67 int16 i16Ia_zero = 0;
68
69 int16 i16ImagA1[4] = {0,0,0,0};
70 int16 i16ImagA1_media = 0;
71 int16 i16ImagA1_zero = 0;

```

```

72 float32 f32ImagA1_aj = 0;
73
74 int16 i16ImagA2[4] = {0,0,0,0};
75 int16 i16ImagA2_media = 0;
76 int16 i16ImagA2_zero = 0;
77 float32 f32ImagA2_aj = 0;
78
79 int16 i16ImagB1[4] = {0,0,0,0};
80 int16 i16ImagB1_media = 0;
81 int16 i16ImagB1_zero = 0;
82 float32 f32ImagB1_aj = 0;
83
84 int16 i16ImagB2[4] = {0,0,0,0};
85 int16 i16ImagB2_media = 0;
86 int16 i16ImagB2_zero = 0;
87 float32 f32ImagB2_aj = 0;
88
89 int16 f32PWM1aj, f32PWM2aj, f32PWM3aj, f32PWM4aj, f32PWM5aj, f32PWM6aj;
90 int16 f32PWM7aj, f32PWM8aj, f32PWM9aj, f32PWM10aj, f32PWM11aj, f32PWM12aj;
91
92 float32 uk_magA1, ulk_magA1, u2k_magA1, ek_magA1, elk_magA1, e2k_magA1;
93 float32 uk_magB1, ulk_magB1, u2k_magB1, ek_magB1, elk_magB1, e2k_magB1;
94 float32 uk_magA2, ulk_magA2, u2k_magA2, ek_magA2, elk_magA2, e2k_magA2;
95 float32 uk_magB2, ulk_magB2, u2k_magB2, ek_magB2, elk_magB2, e2k_magB2;
96
97 float32 uk_ia, ulk_ia, u2k_ia, ek_ia, elk_ia, e2k_ia;
98
99 float32 f32Id, f32Va2, f32Vb2;
100 float32 uk_id, ulk_id, u2k_id, u3k_id, ek_id, elk_id, e2k_id, e3k_id, ctrl_id;
101
102 float32 f32Iref = 0;
103
104 float32 uk_vpri, ulk_vpri, u2k_vpri, u3k_vpri, ek_vpri, elk_vpri, e2k_vpri, e3k_vpri;
105 float32 uk_vsec, ulk_vsec, u2k_vsec, ek_vsec, elk_vsec, e2k_vsec;
106
107 float32 f32VaPLL;
108 float32 f32Valfa, f32Vbeta;
109 float32 f32erroPLL, f32erroPLL0, f32omega, f32omega0, f32Theta, f32Theta0;
110
111 int16 OffsetVpri = 80, OffsetVsec = 0;
112 float32 Iin_max = 8;
113
114 float32 a_teste, b_teste, c_teste; //variáveis de teste
115
116 float32 Vo_teste, Vo_sec, Vo_pri; //variáveis de teste
117 //primário
118 float32 Iin_samp, Vin_samp, Vpri_samp, Vsec_samp; //Variáveis de medição
119 float32 G_Iac, G_Vac, G_Vpri, G_Vsec, G_Imag;
120 float32 Gad = 0.0007326, Gs_Vin = 0.00364007, Gs_Vpri = 0.00630000, Gs_Vsec =
0.0113636, Gs_Iin = 0.1349333333, Gs_Imag = 5.2325;
121
122 int32 Per_rele = 300000; //Tempo para ajuste do PLL
123 int32 trele = 0;
124
125 int16 i16PhaseShift = 0;
126
127 float32 alfa = 1.842, G_ajusteSEC = 0.95;
128
129 float32 tri_a2 = 0, tri_b2 = 180, tri_c2 = 90, tri_d2 = -90;
130 int16 dir_a2 = 1, dir_b2 = 0, dir_c2 = 0, dir_d2 = 1;
131 float32 conv_graus_bit = 5.555556, teste_tri = 1;
132
133 float32 moduladora = 500, portadora_c2 = 0, portadora_d2 = 0;
134
135 int16 tri_a1_reg = 0, tri_b1_reg = 1000, tri_c1_reg = 500, tri_d1_reg = 500;
136 int16 tri_a2_reg = 0, tri_b2_reg = 180, tri_c2_reg = 90, tri_d2_reg = -90;
137 int16 dir_a1=0, cont_al=0, set_90=0;
138
139 //_____
140

```

```

141 // PLL Monofásico
142 int16 partida = 1;
143 Uint32 i = 0, imax = 416;
144 float32 f32Valfa, f32Vbeta, buffer[417];
145 float32 f32Theta, f32Theta0, f32Theta120, f32Theta120_0, f32Theta120_ref;
146 float32 Ki_PLL = 0.00001; //Valor relativo ao tempo de amostragem;
147 float32 PI_PLL[2] = {140, 0.1}; //coeficientes do controlador Kp, Ki;
148 float32 CONTROL_PLL[4] = {0, 0, 0, 0}; // erro, up, ui, uil;
149 float32 OUTPUT_PLL = 0; // u
150 float32 u = 0;
151 float32 f32senoref = 0;
152 float32 Vrefgeral = 206.5; //1V -
153 float32 VrefT = 0;
154 float32 VrefVo = 0;
155 float32 Vrefd = 0;
156 //
157
158 // Definições de variáveis
159 #define EPWM_DB_UP 10 // Tempo Morto
160 #define EPWM_DB_DOWN 10 // Tempo Morto
161
162 #define LIMITE_Id 0.9 //Valor máximo de duty
163 #define LIMITE_Vpri 8.0 //Valor máximo do ico de corrente
164 #define LIMITE_Vsec 25
165 #define UK_MAG_SAT 0.020 // 20/1000 Saturação Magnetizante
166 #define UK_MAG_SAT2 0.020 // Saturação Magnetizante
167
168 #define BT3 GpioDataRegs.GPBDAT.bit.GPIO35
169 #define BT2 GpioDataRegs.GPBDAT.bit.GPIO37
170 #define BT1 GpioDataRegs.GPBDAT.bit.GPIO60
171 #define FLT GpioDataRegs.GPBDAT.bit.GPIO45
172
173 #define LED1on GpioDataRegs.GPCSET.bit.GPIO68 = 1; // LED1 = 0
174 #define LED2on GpioDataRegs.GPCSET.bit.GPIO66 = 1; // LED2 = 0
175 #define LED3on GpioDataRegs.GPCSET.bit.GPIO64 = 1; // LED3 = 0
176 #define LED4on GpioDataRegs.GPBSET.bit.GPIO62 = 1; // LED4 = 0
177
178 #define RELEon GpioDataRegs.GPFSET.bit.GPIO164 = 1; // REDE = 0
179 // #define OUT1on GpioDataRegs.GPCSET.bit.GPIO72 = 1; // REDE = 0
180 // #define OUT2on GpioDataRegs.GPCSET.bit.GPIO70 = 1; // CONTC = 0
181
182 #define LED1off GpioDataRegs.GPCCLEAR.bit.GPIO68 = 1; // LED1 = 0
183 #define LED2off GpioDataRegs.GPCCLEAR.bit.GPIO66 = 1; // LED2 = 0
184 #define LED3off GpioDataRegs.GPCLEAR.bit.GPIO64 = 1; // LED3 = 0
185 #define LED4off GpioDataRegs.GPBCLEAR.bit.GPIO62 = 1; // LED4 = 0
186
187 #define RELEoff GpioDataRegs.GPFCLEAR.bit.GPIO164 = 1; // REDE = 0
188 // #define OUT1off GpioDataRegs.GPCCLEAR.bit.GPIO72 = 1; // REDE = 0
189 // #define OUT2off GpioDataRegs.GPCCLEAR.bit.GPIO70 = 1; // CONTAC = 0
190
191
192 //PLL
193 #define wg 376.9911184307752 //Frequência angular da rede elétrica
194 //
195
196 void main(void)
197 {
198
199     InitSysCtrl();
200     //Seleciona MUX EPWM (Fig. 13-7) Regs. pag. 1754
201     EALLOW;
202     TrigRegs.SYNCSELECT.bit.EPWM10SYNCIN = 01; //Selects Sync Input Source for
203     EPWM10: (DEFASAGEM) // 000: EPWM1SYNCOOUT selected
204     EDIS; // 001: EPWM4SYNCOOUT selected
205 // 010: EPPW7SYNCOOUT selected
206
207     InitGpio();
208

```

```

209 // Habilita PWM1-12
210 CpuSysRegs.PCLKCR2.bit.EPWM1 = 1;
211 CpuSysRegs.PCLKCR2.bit.EPWM2 = 1;
212 CpuSysRegs.PCLKCR2.bit.EPWM3 = 1;
213
214 CpuSysRegs.PCLKCR2.bit.EPWM4 = 1;
215 CpuSysRegs.PCLKCR2.bit.EPWM5 = 1;
216 CpuSysRegs.PCLKCR2.bit.EPWM6 = 1;
217 CpuSysRegs.PCLKCR2.bit.EPWM7 = 1;
218 CpuSysRegs.PCLKCR2.bit.EPWM8 = 1;
219 CpuSysRegs.PCLKCR2.bit.EPWM9 = 1;
220 CpuSysRegs.PCLKCR2.bit.EPWM10 = 1;
221 CpuSysRegs.PCLKCR2.bit.EPWM11 = 1;
222 CpuSysRegs.PCLKCR2.bit.EPWM12 = 1;
223
224 // Clear all interrupts and initialize PIE vector table:
225 // Disable CPU interrupts
226     DINT;
227
228 // Initialize the PIE control registers to their default state.
229     InitPieCtrl();
230 // Disable CPU interrupts and clear all CPU interrupt flags:
231     IER = 0x0000;
232     IFR = 0x0000;
233
234     InitPieVectTable();
235
236 // Interrupts that are used in this example are re-mapped to
237 // ISR functions found within this file.
238     EALLOW;
239     PieVectTable.ADCA1_INT = &adcal_isr; //function for ADCA interrupt 1
240     PieVectTable.EPWM5_INT = &epwm5_isr;
241     EDIS;
242
243     PieCtrlRegs.PIECTRL.bit.ENPIE = 1; // Enable the PIE block
244     PieCtrlRegs.PIEIER1.bit.INTx1 = 1;
245     PieCtrlRegs.PIEIER3.bit.INTx5 = 1;
246
247 //CONFIGURAÇÃO DOS PINOS DE INPUT E
248 OUTPUT-----
249 //
250 -----
251
252 //BT3
253 GpioCtrlRegs.GPBPUD.bit.GPIO35 = 0; // Enable Pullup // LED1 - GPIO35
254 - PIN 121
255 GpioCtrlRegs.GPBMUX1.bit.GPIO35 = 0; // GPIO35 = IO
256 GpioCtrlRegs.GPBDIR.bit.GPIO35 = 0; // GPIO35 = input
257 //BT2
258 GpioCtrlRegs.GPBPUD.bit.GPIO37 = 0; // Enable Pullup // LED2 - GPIO37
259 - PIN 123
260 GpioCtrlRegs.GPBMUX1.bit.GPIO37 = 0; // GPIO37 = IO
261 GpioCtrlRegs.GPBDIR.bit.GPIO37 = 0; // GPIO37 = input
262 //BT1
263 GpioCtrlRegs.GPBPUD.bit.GPIO60 = 0; // Enable Pullup // LED3 - GPIO60
264 - PIN 125
265 GpioCtrlRegs.GPBMUX2.bit.GPIO60 = 0; // GPIO60 = IO
266 GpioCtrlRegs.GPBDIR.bit.GPIO60 = 0; // GPIO60 = input
267
268 // CONFIGURA OS PINOS DOS BOTÕES
269 -----
270
271 //LED1
272 GpioCtrlRegs.GPCPUD.bit.GPIO68 = 0; // Enable Pullup // LED1 - GPIO68
273 - PIN 133
274 GpioCtrlRegs.GPCGMUX1.bit.GPIO68 = 0; // GPIO68 = IO
275 GpioCtrlRegs.GPCDIR.bit.GPIO68 = 1; // GPIO68 = output
276 //LED2
277 GpioCtrlRegs.GPCPUD.bit.GPIO66 = 0; // Enable Pullup // LED2 - GPIO66

```

```

- PIN 131
271 GpioCtrlRegs.GPCGMUX1.bit.GPIO66 = 0; // GPIO82 = IO
272 GpioCtrlRegs.GPCDIR.bit.GPIO66 = 1; // GPIO82 = output
273 //LED3
274 GpioCtrlRegs.GPCPUD.bit.GPIO64 = 0; // Enable Pullup // LED3 - GPIO64
- PIN 129
275 GpioCtrlRegs.GPCGMUX1.bit.GPIO64 = 0; // GPIO82 = IO
276 GpioCtrlRegs.GPCDIR.bit.GPIO64 = 1; // GPIO82 = output
277 //LED4
278 GpioCtrlRegs.GPBPUd.bit.GPIO62 = 0; // Enable Pullup // LED4 - GPIO62
- PIN 127
279 GpioCtrlRegs.GPBGMUX2.bit.GPIO62 = 0; // GPIO82 = IO
280 GpioCtrlRegs.GPBDIR.bit.GPIO62 = 1; // GPIO82 = output
281
282 // CONFIGURA DEMAIS PINOS
-----
283 //FLT
284 GpioCtrlRegs.GBPUD.bit.GPIO45 = 0; // Enable Pullup // FLT - GPIO45
- PIN 92
285 GpioCtrlRegs.GPBGMUX1.bit.GPIO45 = 0; // GPIO72 = IO
286 GpioCtrlRegs.GPBDIR.bit.GPIO45 = 0; // GPIO72 = input
287 //RELE
288 GpioCtrlRegs.GPFPUD.bit.GPIO164 = 0; // Enable Pullup // RELE -
GPIO164 - PIN 170
289 GpioCtrlRegs.GPFGMUX1.bit.GPIO164 = 0; // GPIO82 = IO
290 GpioCtrlRegs.GPFDIR.bit.GPIO164 = 1; // GPIO82 = output
291 //OUT1off
292 GpioCtrlRegs.GPCPUD.bit.GPIO72 = 0; // Enable Pullup // FLT - GPIO74
- PIN 139
293 GpioCtrlRegs.GPCGMUX1.bit.GPIO72 = 0; // GPIO72 = IO
294 GpioCtrlRegs.GPCDIR.bit.GPIO72 = 1; // GPIO72 = input
295 //OUT2off
296 GpioCtrlRegs.GPCPUD.bit.GPIO70 = 0; // Enable Pullup // FLT - GPIO74
- PIN 139
297 GpioCtrlRegs.GPCGMUX1.bit.GPIO70 = 0; // GPIO72 = IO
298 GpioCtrlRegs.GPCDIR.bit.GPIO70 = 1; // GPIO72 = input
299
300 EDIS;
301 //-----
-----
302 LED1on;
303 LED2on;
304 LED3on;
305 LED4on;
306
307 DesligaEPWMs();
308
309 EALLOW;
310 CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 0;
311 EDIS;
312
313 SetupADC();
314 InitEPWMs();
315
316 EALLOW;
317 CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 1; //Sync PWM
318 EDIS;
319
320 IER |= M_INT1; // Enable CPU INT1
321 IER |= M_INT3; // Enable CPU INT3
322 EINT; // Enable Global __interrupt INTM
323 ERTM; // Enable Global realtime __interrupt DBGm
324
325 EPwm3Regs.ETSEL.bit.SOCAEN = 1; //enable SOCA
326
327 LED1off;
328 LED2off;
329 LED3off;
330 LED4off;
331
332

```

```

333 RELEoff;
334
335 //Desabilitando PWM's dos braços não utilizados do módulo
336 EALLOW;
337 GpioCtrlRegs.GPAPUD.bit.GPIO2 = 0; // Enable Pullup // PWM2A
338 GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 0; // GPIO2 = IO
339 GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // GPIO2 = output
340 GpioDataRegs.GPACLEAR.bit.GPIO2 = 1; // PWM2A = 0;
341 GpioCtrlRegs.GPAPUD.bit.GPIO3 = 0; // Enable Pullup // PWM2B
342 GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 0; // GPIO3 = IO
343 GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; // GPIO3 = output
344 GpioDataRegs.GPACLEAR.bit.GPIO3 = 1; // PWM2B = 0;
345
346 GpioCtrlRegs.GPAPUD.bit.GPIO4 = 0; // Enable Pullup // PWM3A
347 GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 0; // GPIO4 = PWM
348 GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // GPIO4 = output
349 GpioDataRegs.GPACLEAR.bit.GPIO4 = 1; // PWM3A = 0;
350 GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; // Enable Pullup // PWM3B
351 GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 0; // GPIO5 = IO
352 GpioCtrlRegs.GPADIR.bit.GPIO5 = 1; // GPIO5 = output
353 GpioDataRegs.GPACLEAR.bit.GPIO5 = 1; // PWM3B = 0;
354
355 GpioCtrlRegs.GPAPUD.bit.GPIO16 = 0; // Enable Pullup // PWM9A
356 GpioCtrlRegs.GPAMUX2.bit.GPIO16 = 0; // GPIO4 = PWM
357 GpioCtrlRegs.GPADIR.bit.GPIO16 = 1; // GPIO4 = output
358 GpioDataRegs.GPACLEAR.bit.GPIO16 = 1; // PWM3A = 0;
359 GpioCtrlRegs.GPAPUD.bit.GPIO17 = 0; // Enable Pullup // PWM9B
360 GpioCtrlRegs.GPAMUX2.bit.GPIO17 = 0; // GPIO5 = IO
361 GpioCtrlRegs.GPADIR.bit.GPIO17 = 1; // GPIO5 = output
362 GpioDataRegs.GPACLEAR.bit.GPIO17 = 1; // PWM3B = 0;
363
364 GpioCtrlRegs.GPAPUD.bit.GPIO20 = 0; // Enable Pullup // PWM11A
365 GpioCtrlRegs.GPAMUX2.bit.GPIO20 = 0; // GPIO4 = PWM
366 GpioCtrlRegs.GPADIR.bit.GPIO20 = 1; // GPIO4 = output
367 GpioDataRegs.GPACLEAR.bit.GPIO20 = 1; // PWM3A = 0;
368 GpioCtrlRegs.GPAPUD.bit.GPIO21 = 0; // Enable Pullup // PWM11B
369 GpioCtrlRegs.GPAMUX2.bit.GPIO21 = 0; // GPIO5 = IO
370 GpioCtrlRegs.GPADIR.bit.GPIO21 = 1; // GPIO5 = output
371 GpioDataRegs.GPACLEAR.bit.GPIO21 = 1; // PWM3B = 0;
372
373 EDIS;
374
375 //Ganho de conversão Digital->Analogico
376 G_Iac = Gad/Gs_Iin;
377 G_Vac = Gad/Gs_Vin;
378 G_Vpri = Gad/Gs_Vpri;
379 G_Imag = Gad/Gs_Imag;
380 G_Vsec = Gad/Gs_Vsec;
381
382 // Configure DAC-B
383 ConfigureDAC();
384
385 Vo_teste = 20;
386
387 while(1)
388 {
389
390 // BOTÕES IHM
-----
391 //
-----
392 if (BT1)
393 {
394 while (BT1) // Aguarda o botão GPIO0 ser solto
395 DELAY_US(500); // Delay "anti bouncing"
396
397 uil6InitVsec = 1;
398 LED1on;LED2on;
399 }
400

```

```

401     if (BT2)
402     {
403         while (BT2) // Aguarda o botão GPIO0 ser solto
404             DELAY_US(500); // Delay "anti bouncing"
405
406         LED3on;LED4on;
407     }
408
409     if (BT3)
410     {
411         while (BT3) // Aguarda o botão GPIO0 ser solto
412             DELAY_US(500); // Delay "anti bouncing"
413
414         LED1off;LED2off;LED3off;LED4off;
415     }
416
417     //
418     // Interrupt where we will change the Compare Values
419     //
420     EPwm5Regs.ETSEL.bit.INTSEL = ET_CTR_PRDZERO; // Select INT on Zero event
421     EPwm5Regs.ETSEL.bit.INTEN = 1; // Enable INT
422     EPwm5Regs.ETPS.bit.INTPRD = ET_1ST; // Generate INT on 3rd event
423
424     // DacbRegs.DACVALS.all = EPwm3Regs.TBCTR;
425 }
426 } // THE END
427
428 //
429 //
430 //
431 ////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
432 ////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////////
433
434 __interrupt void adca1_isr(void)
435 {
436     LED4on;
437
438     EPwm5Regs.TBPHS.bit.TBPHS = tri_c1_reg;
439     EPwm6Regs.TBPHS.bit.TBPHS = tri_d1_reg;
440
441     EPwm10Regs.TBPHS.bit.TBPHS = tri_c2_reg;
442     EPwm10Regs.TBCTL.bit.PHSDIR = dir_c2;
443     EPwm12Regs.TBPHS.bit.TBPHS = tri_d2_reg;
444     EPwm12Regs.TBCTL.bit.PHSDIR = dir_d2;
445
446     if (ui16CtrlMedia4 >= 3) ui16CtrlMedia4 = 0;
447     else ui16CtrlMedia4++;
448
449 // AQUISIÇÃO DAS LEITURAS ADS
450 //
451 //PRIMEIRAS LEITURAS PELO SOCO
452 // iBAT = AdcbResultRegs.ADCRESULT0; //AD-B3 pin 20
453 // i16Va[ui16CtrlMedia4] = AdccResultRegs.ADCRESULT0; //AD-C4 pin 37
454 // i16ImagA1[ui16CtrlMedia4] = AdcdResultRegs.ADCRESULT0; //AD-D3 pin 36
455 //SEGUNDAS LEITURAS PELO SOCA
456 // i16Vsec[ui16CtrlMedia4] = AdcbResultRegs.ADCRESULT1; //AD-B2 pin 18
457 // i16Ia[ui16CtrlMedia4] = AdccResultRegs.ADCRESULT1; //AD-C3 pin 33
458 // i16ImagB1[ui16CtrlMedia4] = AdcdResultRegs.ADCRESULT1; //AD-D5 pin 42
459 //TERCEIRAS LEITURAS PELO SOCA
460 // i16ImagB2[ui16CtrlMedia4] = AdcbResultRegs.ADCRESULT2; //AD-B4 pin 24
461 // i16Vpri[ui16CtrlMedia4] = AdccResultRegs.ADCRESULT2; //AD-C2 pin 31
462 // i16ImagA2[ui16CtrlMedia4] = AdcdResultRegs.ADCRESULT2; //AD-D4 pin 40

```

```

464
465 // MEDIAS DAS ULTIMAS LETIRAS ADS
466 //
467 //
468 //
469 //
470 //
471 //
472 //
473 //
474 //
475 //
476 //
477 //
478 //
479 //
480 //
481 //
482 // INICIALIZAÇÃO - CALCULO DOS ZEROS
483 //
484 //
485 //
486 //
487 //
488 //
489 //
490 //
491 //
492 //
493 //
494 //
495 //
496 //
497 //
498 //
499 //
500 //
501 //
502 //
503 //
504 //
505 //
506 //
507 //
508 //
509 //
510 //
511 //
512 //
513 //
514 //
515 //
516 //
517 //
518 //
519 //
520 //
521 //
522 //
523 //
524 //
525 //
526 //
527 //

```

```

484     if ((ui16Startup == 0) && (ui16Erro == 0))
485     {
486         ui32CtrlStartup++;
487
488         if (ui32CtrlStartup >= 200000) // Durante 1s o PWM fica desligado
489         { // é feito o calculo dos ZEROS dos
490             // sensores de corrente e tensao;
491
492             i16Va_zero = i16Va_media;
493
494             i16Ia_zero = i16Ia_media;
495
496             OffsetVpri = i16Vpri_media;
497             OffsetVsec = i16Vsec_media;
498
499             i16ImagA1_zero = i16ImagA1_media;
500             i16ImagB1_zero = i16ImagB1_media;
501
502             i16ImagA2_zero = i16ImagA2_media;
503             i16ImagB2_zero = i16ImagB2_media;
504
505             LigaEPWMs();
506
507             ui16Startup = 1; //Seta FLAG start-up
508             ui32CtrlStartup = 0; //Zera Contador start-up
509         }
510     }
511
512 // MEDIÇÃO DE TENSÃO APOS CALCULO DOS ZEROS (3s)
513 if (trele >= 300000) {RELEon;}
514 else { trele = trele + 1; RELEoff; }
515
516 //Convertendo os valores do AD em parâmetros
517 Elétricos
518 //Primário
519 //
520 //
521 //
522 //
523 //
524 //
525 //
526 //
527 //

```

```

528
529 // -----
530 //                               PLL
531 // -----
532
533     f32Valfa = Vin_samp*0.00321412; // = 1/311
534     buffer[i] = f32Valfa;
535     if(i<imax)
536     {
537         f32Vbeta = buffer[i+1];
538         i = i+1;
539     }
540     else
541     {
542         f32Vbeta = buffer[0];
543         i = 0;
544     }
545
546     //Integrador com reset
547     u = OUTPUT_PLL;
548
549     f32Theta = Ki_PLL*u;
550
551     f32Theta = f32Theta + f32Theta0;
552
553     if (f32Theta < 3.1415926) { a_teste = 500;}
554     else {a_teste = 0;}
555
556     if (f32Theta < 0)      { f32Theta = 0; f32Theta120 = 0; }
557     if (f32Theta > 6.283185){ f32Theta = 0; f32Theta120 = 0; }
558
559     f32Theta0      = f32Theta;
560
561     CONTROL_PLL[0] = __sin(f32Theta)*f32Vbeta + __cos(f32Theta)*f32Valfa;
562
563     OUTPUT_PLL = 0;
564     CONTROL_PLL[1] = PI_PLL[0]*CONTROL_PLL[0]; // proporcional
565     CONTROL_PLL[2] = PI_PLL[1]*CONTROL_PLL[0] + CONTROL_PLL[3]; // integral
566     CONTROL_PLL[3] = CONTROL_PLL[2]; // ação integral
567     atrasada
568     OUTPUT_PLL = CONTROL_PLL[1] + CONTROL_PLL[2];
569
570 // TESTE DE SEGURANÇA (TENSÕES NO BARRAMENTO)
571 // -----
572 // -----
573
574     if (Vpri_samp > 460) //4075 = 920V
575     {
576         DesligaEPWMs();
577         uil6Erro = 1;
578         Teste2 = Vpri_samp;
579         asm(" ESTOP0");
580     }
581
582     if (Vsec_samp > 280) //4075 = 920V
583     {
584         DesligaEPWMs();
585         uil6Erro = 1;
586         Teste2 = Vsec_samp;
587         asm(" ESTOP0");
588     }
589
590 // FIM DA INTERRUPTÃO
591 // -----
592 // -----
593
594     AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //clear INT1 flag
595     PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;

```

```

591
592     LED4off;;
593 }
594
595 ///////////////////////////////////////////////////////////////////
596 ///////////////////////////////////////////////////////////////////
597
598 __interrupt void epwm5_isr(void)
599 {
600     LED2on;
601
602     if (f32Vb2 <= 0.3) {
603         if (EPwm5Regs.TBSTS.bit.CTRDIR == 1) //significa que passou pelo zero
604             (coincide com o pwm 10)
605         {
606             EPwm10Regs.AQSFRC.bit.RLDCSF = 11;
607             EPwm10Regs.AQSFRC.bit.ACTSFB = 1;
608             EPwm10Regs.AQSFRC.bit.ACTSFA = 2; //Variando instantaneamente o pulso
609             EPwm10Regs.AQSFRC.bit.OTSFB = 1;
610             EPwm10Regs.AQSFRC.bit.OTSFA = 1;
611         }
612     }
613     else
614     {
615         EPwm12Regs.AQSFRC.bit.RLDCSF = 11;
616         EPwm12Regs.AQSFRC.bit.ACTSFB = 1;
617         EPwm12Regs.AQSFRC.bit.ACTSFA = 2; //Variando instantaneamente o pulso
618         EPwm12Regs.AQSFRC.bit.OTSFB = 1;
619         EPwm12Regs.AQSFRC.bit.OTSFA = 1;
620     }
621
622     Vo_pri = Vo_teste*alfa;
623
624 // CONTROLADORES DE TENSÃO/CORRENTE
625 // -----
626 // -----
627
628     if ((uil6Startup == 1) && (uil6Erro == 0))
629     {
630         uil6CtrlAmostragemVpri++;
631         if (uil6CtrlAmostragemVpri >= 20)
632         {
633             uil6CtrlAmostragemVpri = 0;
634
635             ek_vpri = (Vo_pri - Vpri_samp);
636
637             uk_vpri = 0.0106167*ek_vpri - 0.0116571*elk_vpri +
638                 0.00105954*e2k_vpri +1.974*ulk_vpri - 0.974*u2k_vpri; // fc =
639                 36Hz MF 60°
640
641             if(uk_vpri >= LIMITE_Vpri) uk_vpri = LIMITE_Vpri;
642             if(uk_vpri <= -LIMITE_Vpri) uk_vpri = -LIMITE_Vpri;
643
644             e2k_vpri = elk_vpri;
645             elk_vpri = ek_vpri;
646             u2k_vpri = ulk_vpri;
647             ulk_vpri = uk_vpri;
648         }
649
650         Vo_sec = Vo_teste*1;
651
652         uil6CtrlAmostragemVsec++;
653         if (uil6CtrlAmostragemVsec >= 10)
654         {

```

```

653         uil16CtrlAmostragemVsec = 0;
654
655         ek_vsec = Vo_sec - Vsec_samp;
656
657         uk_vsec = 0.4556122*ek_vsec - 0.4547192*elk_vsec + 1*ulk_vsec;
658
659         if(uk_vsec >= LIMITE_Vsec) uk_vsec = LIMITE_Vsec;
660         if(uk_vsec <= -LIMITE_Vsec) uk_vsec = -LIMITE_Vsec;
661
662         e2k_vsec = elk_vsec;
663         elk_vsec = ek_vsec;
664         u2k_vsec = ulk_vsec;
665         ulk_vsec = uk_vsec;
666
667     }
668
669     DacbRegs.DACVALS.all = (int)((uk_vsec+26)*78.75); //Offset 26graus
        dividido pelo total e multiplicado pelo AD
670
671     //MALHA DE CORRENTE
        -----
672     //-----
        -----
673
674     f32Id = Iin_samp; //Valor já em A
675
676     f32Iref = uk_vpri*_sin(f32Theta0);
677
678     ek_id = -(f32Iref - f32Id);
679
680     //Controladores PRessonante
681     uk_id = 0.0247638*e2k_id - 0.0511596*elk_id + 0.0264526*ek_id +
        1.99953*ulk_id - 0.999548*u2k_id; //fc= 3.27Hz
682
683     if(uk_id >= LIMITE_Id) uk_id = LIMITE_Id;
684     if(uk_id <= 0.1) uk_id = 0.1;
685
686     e2k_id = elk_id;
687     elk_id = ek_id;
688     u2k_id = ulk_id;
689     ulk_id = uk_id;
690
691     f32Va2 = uk_id;
692     f32Vb2 = (1-f32Va2);
693
694     //Malha das corrente magnetizantes:
695     // BRAÇO A - PRIMÁRIO PWM1 PWM4
696     ek_magA1 = 0 - f32ImagA1_aj;
697
698     uk_magA1 = 0.0797014*ek_magA1 - 0.0793769*elk_magA1 + ulk_magA1; //
        1000Hz
699
700     if(uk_magA1 >= UK_MAG_SAT ) uk_magA1 = UK_MAG_SAT ;
701     if(uk_magA1 <= -UK_MAG_SAT ) uk_magA1 = -UK_MAG_SAT ;
702
703     elk_magA1 = ek_magA1;
704     ulk_magA1 = uk_magA1;
705
706     //
707     // BRAÇO B - PRIMÁRIO PWM3 PWM6
708     ek_magB1 = 0 - f32ImagB1_aj;
709
710     uk_magB1 = 0.0797014*ek_magB1 - 0.0793769*elk_magB1 + ulk_magB1; //
        1000Hz
711
712     if(uk_magB1 >= UK_MAG_SAT ) uk_magB1 = UK_MAG_SAT ;
713     if(uk_magB1 <= -UK_MAG_SAT ) uk_magB1 = -UK_MAG_SAT ;
714
715     elk_magB1 = ek_magB1;
716     ulk_magB1 = uk_magB1;

```

```

717     //         uk_magA1 = 0;
718     //         uk_magB1 = 0;
719
720     // Bridge 1
721     f32PWM1aj = (f32Va2)*1000; // leg a1 (0°)
722     if (f32PWM1aj > 940) f32PWM1aj = 940;
723     if (f32PWM1aj < 60) f32PWM1aj = 60;
724     f32PWM4aj = (f32Va2 - uk_magA1)*1000; // leg b1 (f32Va2 +
        uk_magA1)*1000 (180°)
725     if (f32PWM4aj > 940) f32PWM4aj = 940;
726     if (f32PWM4aj < 60) f32PWM4aj = 60;
727
728     // Bridge 2
729     f32PWM5aj = (f32Vb2)*1000; // leg c1 - altium B3
        (90°)
730     if (f32PWM5aj > 940) f32PWM5aj = 940;
731     if (f32PWM5aj < 60) f32PWM5aj = 60;
732     f32PWM6aj = (f32Vb2 - uk_magB1)*1000; // leg d1
        (f32Vb2 + uk_magB1)*1000 - C3 (270°)
733     if (f32PWM6aj > 940) f32PWM6aj = 940;
734     if (f32PWM6aj < 60) f32PWM6aj = 60;
735
736     if (EPwm1Regs.TBSTS.bit.CTRDIR == 1)
737     {
738         tri_c1_reg = 1000;
739         tri_d1_reg = 0;
740
741         tri_c2 = 180;
742         tri_d2 = 0;
743     }
744     else
745     {
746         tri_d1_reg = 1000;
747         tri_c1_reg = 0;
748
749         tri_d2 = 180;
750         tri_c2 = 0;
751     }
752
753     //Angulo de potência
754
755     tri_a2 = 0 + uk_vsec;
756     tri_b2 = 180 + uk_vsec;
757     tri_c2 = tri_c2 + uk_vsec;
758     tri_d2 = tri_d2 + uk_vsec;
759
760     if (tri_a2 <= 0)
761     {
762         tri_a2 = tri_a2*(-1);
763
764         if (tri_a2 > 180)
765         {
766             tri_a2 = 360 - tri_a2;
767             dir_a2 = 0;
768         }
769         else { dir_a2 = 1; }
770     }
771     else
772     {
773         if (tri_a2 > 180)
774         {
775             tri_a2 = 360 - tri_a2;
776             dir_a2 = 1;
777         }
778         else { dir_a2 = 0; }
779     }
780
781     if (tri_b2 <= 0)
782     {
783         tri_b2 = tri_b2*(-1);
784

```

```

785         if (tri_b2 > 180)
786         {
787             tri_b2 = 360 - tri_b2;
788             dir_b2 = 0;
789         }
790         else { dir_b2 = 1; }
791     }
792     else
793     {
794         if (tri_b2 > 180)
795         {
796             tri_b2 = 360 - tri_b2;
797             dir_b2 = 1;
798         }
799         else { dir_b2 = 0; }
800     }
801
802     if (tri_c2 <= 0)
803     {
804         tri_c2 = tri_c2*(-1);
805
806         if (tri_c2 > 180)
807         {
808             tri_c2 = 360 - tri_c2;
809             dir_c2 = 0;
810         }
811         else { dir_c2 = 1; }
812     }
813     else
814     {
815         if (tri_c2 > 180)
816         {
817             tri_c2 = 360 - tri_c2;
818             dir_c2 = 1;
819         }
820         else { dir_c2 = 0; }
821     }
822
823     if (tri_d2 <= 0)
824     {
825         tri_d2 = tri_d2*(-1);
826
827         if (tri_d2 > 180)
828         {
829             tri_d2 = 360 - tri_d2;
830             dir_d2 = 0;
831         }
832         else { dir_d2 = 1; }
833     }
834     else
835     {
836         if (tri_d2 > 180)
837         {
838             tri_d2 = 360 - tri_d2;
839             dir_d2 = 1;
840         }
841         else { dir_d2 = 0; }
842     }
843
844     tri_a2_reg = (int)(tri_a2*conv_graus_bit);
845     tri_b2_reg = (int)(tri_b2*conv_graus_bit);
846     tri_c2_reg = (int)(tri_c2*conv_graus_bit);
847     tri_d2_reg = (int)(tri_d2*conv_graus_bit);
848
849     EPwm7Regs.TBPHS.bit.TBPHS = tri_a2_reg;
850     EPwm7Regs.TBCTL.bit.PHSDIR = dir_a2;
851     EPwm8Regs.TBPHS.bit.TBPHS = tri_b2_reg;
852     EPwm8Regs.TBCTL.bit.PHSDIR = dir_b2;
853
854     uk_magA2 = 0;
855     uk_magB2 = 0;

```

```

856
857     f32Pwm7aj = (f32Va2)*1000;
858     if (f32Pwm7aj > 940) f32Pwm7aj = 940;
859     if (f32Pwm7aj < 60) f32Pwm7aj = 60;
860     f32Pwm8aj = (f32Va2 - uk_magA2)*1000;
861     if (f32Pwm8aj > 940) f32Pwm8aj = 940;
862     if (f32Pwm8aj < 60) f32Pwm8aj = 60;
863     f32Pwm10aj = (f32Vb2)*1000;
864     if (f32Pwm10aj > 940) f32Pwm10aj = 940;
865     if (f32Pwm10aj < 60) f32Pwm10aj = 60;
866     f32Pwm12aj = (f32Vb2 - uk_magB2)*1000;
867     if (f32Pwm12aj > 940) f32Pwm12aj = 940;
868     if (f32Pwm12aj < 60) f32Pwm12aj = 60;
869 }
870
871 // ATUALIZA REGISTRADORES DOS PWMS
872
873 -----
874 // ----- FASE A
875 EPwm1Regs.CMPA.bit.CMPA = f32Pwm1aj;//f32Pwm1aj; // Primário
876 EPwm7Regs.CMPA.bit.CMPA = f32Pwm7aj;//f32Pwm7aj; // Secundário
877
878 EPwm4Regs.CMPA.bit.CMPA = f32Pwm4aj; // Primário
879 EPwm8Regs.CMPA.bit.CMPA = f32Pwm8aj;//f32Pwm8aj; // Secundário
880
881 // ----- FASE B
882 EPwm5Regs.CMPA.bit.CMPA = f32Pwm5aj; // Primário
883 EPwm10Regs.CMPA.bit.CMPA = f32Pwm10aj;//f32Pwm10aj; // Secundário
884
885 EPwm6Regs.CMPA.bit.CMPA = f32Pwm6aj; // Primário
886 EPwm12Regs.CMPA.bit.CMPA = f32Pwm12aj;//f32Pwm12aj; // Secundário
887
888 DacaRegs.DACVALS.all = (f32Iref+8)*227.55555556;
889 // Clear INT flag for this timer
890 //
891 EPwm5Regs.ETCLR.bit.INT = 1;
892
893 //
894 // Acknowledge this interrupt to receive more interrupts from group 3
895 //
896 PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
897 LED2off;
898
899
900 void SetupADC(void)
901 {
902     EALLOW;
903     //write configurations
904     AdcaRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
905     AdcbRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
906     AdccRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
907     AdcdRegs.ADCCTL2.bit.PRESCALE = 7; //set ADCCLK divider to /4.5
908
909     AdcaRegs.ADCCTL2.bit.RESOLUTION = 0;
910     AdcaRegs.ADCCTL2.bit.SIGNALMODE = 0;
911     AdcaRegs.ADCOFFTRIM.bit.OFFTRIM = 0;
912     AdcbRegs.ADCCTL2.bit.RESOLUTION = 0;
913     AdcbRegs.ADCCTL2.bit.SIGNALMODE = 0;
914     AdcbRegs.ADCOFFTRIM.bit.OFFTRIM = 0;
915     AdccRegs.ADCCTL2.bit.RESOLUTION = 0;
916     AdccRegs.ADCCTL2.bit.SIGNALMODE = 0;
917     AdccRegs.ADCOFFTRIM.bit.OFFTRIM = 0;
918     AdcdRegs.ADCCTL2.bit.RESOLUTION = 0;
919     AdcdRegs.ADCCTL2.bit.SIGNALMODE = 0;
920     AdcdRegs.ADCOFFTRIM.bit.OFFTRIM = 0;
921
922     //Set pulse positions to late
923     AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;

```



```

924 AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1;
925 AdccRegs.ADCCTL1.bit.INTPULSEPOS = 1;
926 AdcdRegs.ADCCTL1.bit.INTPULSEPOS = 1;
927
928 //power up the ADCs
929 AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1;
930 AdcbRegs.ADCCTL1.bit.ADCPWDNZ = 1;
931 AdccRegs.ADCCTL1.bit.ADCPWDNZ = 1;
932 AdcdRegs.ADCCTL1.bit.ADCPWDNZ = 1;
933
934 EDIS;
935 DELAY_US(2000);
936 EALLOW;
937
938 AdcaRegs.ADCINTSEL1N2.bit.INT1SEL = 0; //end of SOCO will set INT1 flag
939 AdcaRegs.ADCINTSEL1N2.bit.INT1E = 1; //enable INT1 flag
940 AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //make sure INT1 flag is cleared
941
942 //SOC0 - primeira leitura
943 AdcaRegs.ADCSOC0CTL.bit.CHSEL = 2; //SOC0 will convert pin A2 - pin 15 -
    Não utilizado
944 AdcaRegs.ADCSOC0CTL.bit.ACQPS = 20; //SOC0 will use sample duration of 20
    SYSCLK cycles
945 AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
946
947 AdcbRegs.ADCSOC0CTL.bit.CHSEL = 3; //SOC0 will convert ADCINB3 - pin 20 -
    iBAT
948 AdcbRegs.ADCSOC0CTL.bit.ACQPS = 20;
949 AdcbRegs.ADCSOC0CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
950
951 AdccRegs.ADCSOC0CTL.bit.CHSEL = 4; //SOC0 will convert ADCINC4 - pin 37 - vAC
952 AdccRegs.ADCSOC0CTL.bit.ACQPS = 20;
953 AdccRegs.ADCSOC0CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
954
955 AdcdRegs.ADCSOC0CTL.bit.CHSEL = 3; //SOC0 will convert ADCIND3 - pin 36 -
    imagA1
956 AdcdRegs.ADCSOC0CTL.bit.ACQPS = 20;
957 AdcdRegs.ADCSOC0CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
958
959 //SOC1 - segunda leitura
960 AdcbRegs.ADCSOC1CTL.bit.CHSEL = 2; //SOC0 will convert ADCINB3 - pin 20 -
    iBAT
961 AdcbRegs.ADCSOC1CTL.bit.ACQPS = 20;
962 AdcbRegs.ADCSOC1CTL.bit.TRIGSEL = 9; //trigger on ePWM1 SOCA/C
963
964 AdccRegs.ADCSOC1CTL.bit.CHSEL = 3; //SOC0 will convert ADCINC4 - pin 37 - vAC
965 AdccRegs.ADCSOC1CTL.bit.ACQPS = 20;
966 AdccRegs.ADCSOC1CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
967
968 AdcdRegs.ADCSOC1CTL.bit.CHSEL = 5; //SOC0 will convert ADCIND3 - pin 36 -
    imagA1
969 AdcdRegs.ADCSOC1CTL.bit.ACQPS = 20;
970 AdcdRegs.ADCSOC1CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
971
972 //SOC2 - terceira leitura
973 AdcbRegs.ADCSOC2CTL.bit.CHSEL = 4; //SOC0 will convert ADCINB3 - pin 20 -
    iBAT
974 AdcbRegs.ADCSOC2CTL.bit.ACQPS = 20;
975 AdcbRegs.ADCSOC2CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
976
977 AdccRegs.ADCSOC2CTL.bit.CHSEL = 2; //SOC0 will convert ADCINC4 - pin 37 - vAC
978 AdccRegs.ADCSOC2CTL.bit.ACQPS = 20;
979 AdccRegs.ADCSOC2CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
980
981 AdcdRegs.ADCSOC2CTL.bit.CHSEL = 4; //SOC0 will convert ADCIND3 - pin 36 -
    imagA1
982 AdcdRegs.ADCSOC2CTL.bit.ACQPS = 20;
983 AdcdRegs.ADCSOC2CTL.bit.TRIGSEL = 9; //trigger on ePWM3 SOCA/C
984
985
986 EDIS;

```

```

987 }
988 //
-----
989 //
-----
990
991 void LigaEPWMs ()
992 {
993     EALLOW;
994     GpioCtrlRegs.GPAPUD.bit.GPIO0 = 0; // Enable Pullup // PWM1A
995     GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 1; // GPIO0 = PWM
996     GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; // GPIO0 = output
997     GpioCtrlRegs.GPAPUD.bit.GPIO1 = 0; // Enable Pullup // PWM1B
998     GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 1; // GPIO1 = PWM
999     GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; // GPIO1 = output
1000
1001 // GpioCtrlRegs.GPAPUD.bit.GPIO2 = 0; // Enable Pullup // PWM2A
1002 // GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 1; // GPIO2 = PWM
1003 // GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // GPIO2 = output
1004 // GpioCtrlRegs.GPAPUD.bit.GPIO3 = 0; // Enable Pullup // PWM2B
1005 // GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 1; // GPIO3 = PWM
1006 // GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; // GPIO3 = output
1007
1008 // GpioCtrlRegs.GPAPUD.bit.GPIO4 = 0; // Enable Pullup // PWM3A
1009 // GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 1; // GPIO4 = PWM
1010 // GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // GPIO4 = output
1011 // GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; // Enable Pullup // PWM3B
1012 // GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 1; // GPIO5 = PWM
1013 // GpioCtrlRegs.GPADIR.bit.GPIO5 = 1; // GPIO5 = output
1014
1015 GpioCtrlRegs.GPAPUD.bit.GPIO6 = 0; // Enable Pullup // PWM4A
1016 GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1; // GPIO6 = PWM
1017 GpioCtrlRegs.GPADIR.bit.GPIO6 = 1; // GPIO6 = output
1018 GpioCtrlRegs.GPAPUD.bit.GPIO7 = 0; // Enable Pullup // PWM4B
1019 GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 1; // GPIO7 = PWM
1020 GpioCtrlRegs.GPADIR.bit.GPIO7 = 1; // GPIO7 = output
1021
1022 GpioCtrlRegs.GPAPUD.bit.GPIO8 = 0; // Enable Pullup // PWM5A
1023 GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1; // GPIO8 = PWM
1024 GpioCtrlRegs.GPADIR.bit.GPIO8 = 1; // GPIO8 = output
1025 GpioCtrlRegs.GPAPUD.bit.GPIO9 = 0; // Enable Pullup // PWM5B
1026 GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 1; // GPIO9 = PWM
1027 GpioCtrlRegs.GPADIR.bit.GPIO9 = 1; // GPIO9 = output
1028
1029 GpioCtrlRegs.GPAPUD.bit.GPIO10 = 0; // Enable Pullup // PWM6A
1030 GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1; // GPIO10 = PWM
1031 GpioCtrlRegs.GPADIR.bit.GPIO10 = 1; // GPIO10 = output
1032 GpioCtrlRegs.GPAPUD.bit.GPIO11 = 0; // Enable Pullup // PWM6B
1033 GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 1; // GPIO11 = PWM
1034 GpioCtrlRegs.GPADIR.bit.GPIO11 = 1; // GPIO11 = output
1035
1036 GpioCtrlRegs.GPAPUD.bit.GPIO12 = 0; // Enable Pullup // PWM7A
1037 GpioCtrlRegs.GPAMUX1.bit.GPIO12 = 1; // GPIO12 = PWM
1038 GpioCtrlRegs.GPADIR.bit.GPIO12 = 1; // GPIO12 = output
1039 GpioCtrlRegs.GPAPUD.bit.GPIO13 = 0; // Enable Pullup // PWM7B
1040 GpioCtrlRegs.GPAMUX1.bit.GPIO13 = 1; // GPIO13 = PWM
1041 GpioCtrlRegs.GPADIR.bit.GPIO13 = 1; // GPIO13 = output
1042
1043 GpioCtrlRegs.GPAPUD.bit.GPIO14 = 0; // Enable Pullup // PWM8A
1044 GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 1; // GPIO14 = PWM
1045 GpioCtrlRegs.GPADIR.bit.GPIO14 = 1; // GPIO14 = output
1046 GpioCtrlRegs.GPAPUD.bit.GPIO15 = 0; // Enable Pullup // PWM8B
1047 GpioCtrlRegs.GPAMUX1.bit.GPIO15 = 1; // GPIO15 = PWM
1048 GpioCtrlRegs.GPADIR.bit.GPIO15 = 1; // GPIO15 = output
1049
1050 // GpioCtrlRegs.GPAPUD.bit.GPIO16 = 0; // Enable Pullup // PWM9A
1051 // GpioCtrlRegs.GPAMUX2.bit.GPIO16 = 1; // GPIO16 = PWM
1052 // GpioCtrlRegs.GPAMUX2.bit.GPIO16 = 1; // GPIO16 = PWM
1053 // GpioCtrlRegs.GPADIR.bit.GPIO16 = 1; // GPIO16 = output

```



```

1054 //   GpioCtrlRegs.GPAPUD.bit.GPIO17 = 0; // Enable Pullup // PWM9B
1055 //   GpioCtrlRegs.GPAGMUX2.bit.GPIO17 = 1; // GPIO17 = PWM
1056 //   GpioCtrlRegs.GPAMUX2.bit.GPIO17 = 1; // GPIO17 = PWM
1057 //   GpioCtrlRegs.GPADIR.bit.GPIO17 = 1; // GPIO17 = output
1058
1059 GpioCtrlRegs.GPAPUD.bit.GPIO18 = 0; // Enable Pullup // PWM10A
1060 GpioCtrlRegs.GPAGMUX2.bit.GPIO18 = 1; // GPIO18 = PWM
1061 GpioCtrlRegs.GPAMUX2.bit.GPIO18 = 1; // GPIO18 = PWM
1062 GpioCtrlRegs.GPADIR.bit.GPIO18 = 1; // GPIO18 = output
1063 GpioCtrlRegs.GPAPUD.bit.GPIO19 = 0; // Enable Pullup // PWM10B
1064 GpioCtrlRegs.GPAGMUX2.bit.GPIO19 = 1; // GPIO19 = PWM
1065 GpioCtrlRegs.GPAMUX2.bit.GPIO19 = 1; // GPIO19 = PWM
1066 GpioCtrlRegs.GPADIR.bit.GPIO19 = 1; // GPIO19 = output
1067
1068 //   GpioCtrlRegs.GPAPUD.bit.GPIO20 = 0; // Enable Pullup // PWM11A
1069 //   GpioCtrlRegs.GPAGMUX2.bit.GPIO20 = 1; // GPIO20 = PWM
1070 //   GpioCtrlRegs.GPAMUX2.bit.GPIO20 = 1; // GPIO20 = PWM
1071 //   GpioCtrlRegs.GPADIR.bit.GPIO20 = 1; // GPIO20 = output
1072 //   GpioCtrlRegs.GPAPUD.bit.GPIO21 = 0; // Enable Pullup // PWM11B
1073 //   GpioCtrlRegs.GPAGMUX2.bit.GPIO21 = 1; // GPIO21 = PWM
1074 //   GpioCtrlRegs.GPAMUX2.bit.GPIO21 = 1; // GPIO21 = PWM
1075 //   GpioCtrlRegs.GPADIR.bit.GPIO21 = 1; // GPIO21 = output
1076
1077 GpioCtrlRegs.GPAPUD.bit.GPIO22 = 0; // Enable Pullup // PWM12A
1078 GpioCtrlRegs.GPAGMUX2.bit.GPIO22 = 1; // GPIO22 = PWM
1079 GpioCtrlRegs.GPAMUX2.bit.GPIO22 = 1; // GPIO22 = PWM
1080 GpioCtrlRegs.GPADIR.bit.GPIO22 = 1; // GPIO22 = output
1081 GpioCtrlRegs.GPAPUD.bit.GPIO23 = 0; // Enable Pullup // PWM12B
1082 GpioCtrlRegs.GPAGMUX2.bit.GPIO23 = 1; // GPIO23 = PWM
1083 GpioCtrlRegs.GPAMUX2.bit.GPIO23 = 1; // GPIO23 = PWM
1084 GpioCtrlRegs.GPADIR.bit.GPIO23 = 1; // GPIO23 = output
1085 EDIS;
1086 }
1087
1088 // CONFIGURA OS PINOS PWMs COMO IO = 0
1089 //
1090 -----
1091 void DesligaEPWMs()
1092 {
1093     EALLOW;
1094     GpioCtrlRegs.GPAPUD.bit.GPIO0 = 0; // Enable Pullup // PWM1A
1095     GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 0; // GPIO0 = IO
1096     GpioCtrlRegs.GPADIR.bit.GPIO0 = 1; // GPIO0 = output
1097     GpioDataRegs.GPACLEAR.bit.GPIO0 = 1; // PWM1A = 0;
1098     GpioCtrlRegs.GPAPUD.bit.GPIO1 = 0; // Enable Pullup // PWM1B
1099     GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 0; // GPIO1 = IO
1100     GpioCtrlRegs.GPADIR.bit.GPIO1 = 1; // GPIO1 = output
1101     GpioDataRegs.GPACLEAR.bit.GPIO1 = 1; // PWM1B = 0;
1102
1103 //   GpioCtrlRegs.GPAPUD.bit.GPIO2 = 0; // Enable Pullup // PWM2A
1104 //   GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 0; // GPIO2 = IO
1105 //   GpioCtrlRegs.GPADIR.bit.GPIO2 = 1; // GPIO2 = output
1106 //   GpioDataRegs.GPACLEAR.bit.GPIO2 = 1; // PWM2A = 0;
1107 //   GpioCtrlRegs.GPAPUD.bit.GPIO3 = 0; // Enable Pullup // PWM2B
1108 //   GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 0; // GPIO3 = IO
1109 //   GpioCtrlRegs.GPADIR.bit.GPIO3 = 1; // GPIO3 = output
1110 //   GpioDataRegs.GPACLEAR.bit.GPIO3 = 1; // PWM2B = 0;
1111
1112 //   GpioCtrlRegs.GPAPUD.bit.GPIO4 = 0; // Enable Pullup // PWM3A
1113 //   GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 0; // GPIO4 = IO
1114 //   GpioCtrlRegs.GPADIR.bit.GPIO4 = 1; // GPIO4 = output
1115 //   GpioDataRegs.GPACLEAR.bit.GPIO4 = 1; // PWM3A = 0;
1116 //   GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; // Enable Pullup // PWM3B
1117 //   GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 0; // GPIO5 = IO
1118 //   GpioCtrlRegs.GPADIR.bit.GPIO5 = 1; // GPIO5 = output
1119 //   GpioDataRegs.GPACLEAR.bit.GPIO5 = 1; // PWM3B = 0;
1120
1121 GpioCtrlRegs.GPAPUD.bit.GPIO6 = 0; // Enable Pullup // PWM4A

```

```

1122 GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 0; // GPIO6 = IO
1123 GpioCtrlRegs.GPADIR.bit.GPIO6 = 1; // GPIO6 = output
1124 GpioDataRegs.GPACLEAR.bit.GPIO6 = 1; // PWM4A = 0;
1125 GpioCtrlRegs.GPAPUD.bit.GPIO7 = 0; // Enable Pullup // PWM4B
1126 GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 0; // GPIO7 = IO
1127 GpioCtrlRegs.GPADIR.bit.GPIO7 = 1; // GPIO7 = output
1128 GpioDataRegs.GPACLEAR.bit.GPIO7 = 1; // PWM4B = 0;
1129
1130 GpioCtrlRegs.GPAPUD.bit.GPIO8 = 0; // Enable Pullup // PWM5A
1131 GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 0; // GPIO8 = IO
1132 GpioCtrlRegs.GPADIR.bit.GPIO8 = 1; // GPIO8 = output
1133 GpioDataRegs.GPACLEAR.bit.GPIO8 = 1; // PWM5A = 0;
1134 GpioCtrlRegs.GPAPUD.bit.GPIO9 = 0; // Enable Pullup // PWM5B
1135 GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 0; // GPIO9 = IO
1136 GpioCtrlRegs.GPADIR.bit.GPIO9 = 1; // GPIO9 = output
1137 GpioDataRegs.GPACLEAR.bit.GPIO9 = 1; // PWM5B = 0;
1138
1139 GpioCtrlRegs.GPAPUD.bit.GPIO10 = 0; // Enable Pullup // PWM6A
1140 GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 0; // GPIO10 = IO
1141 GpioCtrlRegs.GPADIR.bit.GPIO10 = 1; // GPIO10 = output
1142 GpioDataRegs.GPACLEAR.bit.GPIO10 = 1; // PWM6A = 0;
1143 GpioCtrlRegs.GPAPUD.bit.GPIO11 = 0; // Enable Pullup // PWM6B
1144 GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 0; // GPIO11 = IO
1145 GpioCtrlRegs.GPADIR.bit.GPIO11 = 1; // GPIO11 = output
1146 GpioDataRegs.GPACLEAR.bit.GPIO11 = 1; // PWM6B = 0;
1147
1148 GpioCtrlRegs.GPAPUD.bit.GPIO12 = 0; // Enable Pullup // PWM7A
1149 GpioCtrlRegs.GPAMUX1.bit.GPIO12 = 0; // GPIO12 = IO
1150 GpioCtrlRegs.GPADIR.bit.GPIO12 = 1; // GPIO12 = output
1151 GpioDataRegs.GPACLEAR.bit.GPIO12 = 1; // PWM7A = 0;
1152 GpioCtrlRegs.GPAPUD.bit.GPIO13 = 0; // Enable Pullup // PWM7B
1153 GpioCtrlRegs.GPAMUX1.bit.GPIO13 = 0; // GPIO13 = IO
1154 GpioCtrlRegs.GPADIR.bit.GPIO13 = 1; // GPIO13 = output
1155 GpioDataRegs.GPACLEAR.bit.GPIO13 = 1; // PWM7B = 0;
1156
1157 GpioCtrlRegs.GPAPUD.bit.GPIO14 = 0; // Enable Pullup // PWM8A
1158 GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 0; // GPIO14 = IO
1159 GpioCtrlRegs.GPADIR.bit.GPIO14 = 1; // GPIO14 = output
1160 GpioDataRegs.GPACLEAR.bit.GPIO14 = 1; // PWM8A = 0;
1161 GpioCtrlRegs.GPAPUD.bit.GPIO15 = 0; // Enable Pullup // PWM8B
1162 GpioCtrlRegs.GPAMUX1.bit.GPIO15 = 0; // GPIO15 = IO
1163 GpioCtrlRegs.GPADIR.bit.GPIO15 = 1; // GPIO15 = output
1164 GpioDataRegs.GPACLEAR.bit.GPIO15 = 1; // PWM8B = 0;
1165
1166 //   GpioCtrlRegs.GPAPUD.bit.GPIO16 = 0; // Enable Pullup // PWM9A
1167 //   GpioCtrlRegs.GPAMUX2.bit.GPIO16 = 0; // GPIO16 = IO
1168 //   GpioCtrlRegs.GPADIR.bit.GPIO16 = 1; // GPIO16 = output
1169 //   GpioDataRegs.GPACLEAR.bit.GPIO16 = 1; // PWM9A = 0;
1170 //   GpioCtrlRegs.GPAPUD.bit.GPIO17 = 0; // Enable Pullup // PWM9B
1171 //   GpioCtrlRegs.GPAMUX2.bit.GPIO17 = 0; // GPIO17 = IO
1172 //   GpioCtrlRegs.GPADIR.bit.GPIO17 = 1; // GPIO17 = output
1173 //   GpioDataRegs.GPACLEAR.bit.GPIO17 = 1; // PWM9B = 0;
1174
1175 GpioCtrlRegs.GPAPUD.bit.GPIO18 = 0; // Enable Pullup // PWM10A
1176 GpioCtrlRegs.GPAMUX2.bit.GPIO18 = 0; // GPIO18 = IO
1177 GpioCtrlRegs.GPADIR.bit.GPIO18 = 1; // GPIO18 = output
1178 GpioDataRegs.GPACLEAR.bit.GPIO18 = 1; // PWM10A = 0;
1179 GpioCtrlRegs.GPAPUD.bit.GPIO19 = 0; // Enable Pullup // PWM10B
1180 GpioCtrlRegs.GPAMUX2.bit.GPIO19 = 0; // GPIO19 = IO
1181 GpioCtrlRegs.GPADIR.bit.GPIO19 = 1; // GPIO19 = output
1182 GpioDataRegs.GPACLEAR.bit.GPIO19 = 1; // PWM10B = 0;
1183
1184 //   GpioCtrlRegs.GPAPUD.bit.GPIO20 = 0; // Enable Pullup // PWM11A
1185 //   GpioCtrlRegs.GPAMUX2.bit.GPIO20 = 0; // GPIO20 = IO
1186 //   GpioCtrlRegs.GPADIR.bit.GPIO20 = 1; // GPIO20 = output
1187 //   GpioDataRegs.GPACLEAR.bit.GPIO20 = 1; // PWM11A = 0;
1188 //   GpioCtrlRegs.GPAPUD.bit.GPIO21 = 0; // Enable Pullup // PWM11B
1189 //   GpioCtrlRegs.GPAMUX2.bit.GPIO21 = 0; // GPIO21 = IO
1190 //   GpioCtrlRegs.GPADIR.bit.GPIO21 = 1; // GPIO21 = output
1191 //   GpioDataRegs.GPACLEAR.bit.GPIO21 = 1; // PWM11B = 0;
1192

```

```

1193 GpioCtrlRegs.GPAPUD.bit.GPIO22 = 0; // Enable Pullup // PWM12A
1194 GpioCtrlRegs.GPAMUX2.bit.GPIO22 = 0; // GPIO22 = IO
1195 GpioCtrlRegs.GPADIR.bit.GPIO22 = 1; // GPIO22 = output
1196 GpioDataRegs.GPACLEAR.bit.GPIO22 = 1; // PWM12A = 0;
1197 GpioCtrlRegs.GPAPUD.bit.GPIO23 = 0; // Enable Pullup // PWM12B
1198 GpioCtrlRegs.GPAMUX2.bit.GPIO23 = 0; // GPIO23 = IO
1199 GpioCtrlRegs.GPADIR.bit.GPIO23 = 1; // GPIO23 = output
1200 GpioDataRegs.GPACLEAR.bit.GPIO23 = 1; // PWM12B = 0;
1201 EDIS;
1202 }
1203 //
-----
1204 //
-----
1205 void InitEPWMs()
1206 {
1207 // ePWM 1
-----
1208 //
-----
1209 EPwm1Regs.TBPRD = 1000; // Set timer period 50kHz
1210 EPwm1Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
1211 EPwm1Regs.TBCTR = 0x0000; // Clear counter
1212
1213 EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1214 EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
1215 EPwm1Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1 Positivo - 0
Negativo
1216 EPwm1Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO;
1217 EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1218 EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1219
1220 EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1221 EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1222 EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1223 EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1224
1225 // EPwm1Regs.CMPA.bit.CMPA = 500;
1226
1227 EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1228 EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;
1229 EPwm1Regs.AQCTLB.bit.CAU = AQ_SET;
1230 EPwm1Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1231
1232 EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1233 EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1234 EPwm1Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1235 EPwm1Regs.DBRED = EPWM_DB_UP;
1236 EPwm1Regs.DBFED = EPWM_DB_DOWN;
1237
1238 // EPwm1Regs.ETSEL.bit.SOCAEN = 0; // Disable SOC on A group
1239 // EPwm1Regs.ETSEL.bit.SOCASEL = 0b011; // Select SOC on up-count
1240 // // 001 TBCTR = 0 (Inicio)
1241 // // 010 TBCTR = TBPRD (Pico)
1242 // // 011 Inicio ou Pico
1243 // EPwm1Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
1244
1245 // ePWM 2
-----
1246 //
-----
1247 EPwm2Regs.TBPRD = 1000; // Set timer period 50kHz
1248 EPwm2Regs.TBPHS.bit.TBPHS = 0; // PHASE IS 0° //Phase is 120° = 667
1249 EPwm2Regs.TBCTR = 0x0000; // Clear counter
1250

```

```

1251 EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
1252 EPwm2Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Enable phase loading
1253 EPwm2Regs.TBCTL.bit.PHSDIR = 0; //Direção Phase 1 Positivo - 0
Negativo
1254 EPwm2Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN;
1255 EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1256 EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow just to observe on the
1257
1258 EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1259 EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1260 EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1261 EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1262
1263 // EPwm2Regs.CMPA.bit.CMPA = 500;
1264
1265 EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR; //01 - Force PWM to LOW
1266 EPwm2Regs.AQCTLA.bit.CAD = AQ_CLEAR;
1267 EPwm2Regs.AQCTLB.bit.CBD = AQ_CLEAR;
1268 EPwm2Regs.AQCTLB.bit.CBD = AQ_CLEAR;
1269
1270 //antes
1271 // EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1272 // EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;
1273 // EPwm2Regs.AQCTLB.bit.CAU = AQ_SET;
1274 // EPwm2Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1275
1276 EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1277 EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1278 EPwm2Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1279 EPwm2Regs.DBRED = EPWM_DB_UP;
1280 EPwm2Regs.DBFED = EPWM_DB_DOWN;
1281
1282 // ePWM 3
-----
1283 //
-----
1284 EPwm3Regs.TBPRD = 1000; // Set timer period 50kHz
1285 EPwm3Regs.TBPHS.bit.TBPHS = 0; // Phase is 0°
1286 EPwm3Regs.TBCTR = 0x0000; // Clear counter
1287
1288 EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up
1289 EPwm3Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1290 EPwm3Regs.TBCTL.bit.PHSDIR = 0; //Direção Phase 1 Positivo - 0
Negativo
1291 EPwm3Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN;
1292 EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1293 EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Slow so we can observe on
1294
1295 EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1296 EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1297 EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1298 EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1299
1300 // EPwm3Regs.CMPA.bit.CMPA = 100;
1301
1302 EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1303 EPwm3Regs.AQCTLA.bit.CAD = AQ_CLEAR;
1304 EPwm3Regs.AQCTLB.bit.CAU = AQ_CLEAR;
1305 EPwm3Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1306
1307 EPwm3Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1308 EPwm3Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1309 EPwm3Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1310 EPwm3Regs.DBRED = EPWM_DB_UP;
1311 EPwm3Regs.DBFED = EPWM_DB_DOWN;
1312
1313 EPwm3Regs.ETSEL.bit.SOCAEN = 0; // Disable SOC on A group
1314 EPwm3Regs.ETSEL.bit.SOCASEL = 0b011; // Select SOC on up-count
1315 // 001 TBCTR = 0 (Inicio)

```

```

1316 // 010 TBCTR = TBPRD (Pico)
1317 // 011 Inicio ou Pico
1318 EPwm3Regs.ETPS.bit.SOCAPRD = 1; // Generate pulse on 1st event
1319
1320 // ePWM 4
-----
--
1321 //
-----
-----
1322 EPwm4Regs.TBPRD = 1000; // Set timer period 50kHz
1323 EPwm4Regs.TBPHS.bit.TBPHS = 1000; // Phase is 180°
1324 EPwm4Regs.TBCTR = 0x0000; // Clear counter
1325
1326 EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1327 EPwm4Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1328 EPwm4Regs.TBCTL.bit.PHSDIR = 0; //Direção Phase 1 Positivo - 0
Negativo
1329 EPwm4Regs.TBCTL.bit.SYNCSELE = TB_SYNC_CMPB;
1330 EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1331 EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1332
1333 EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1334 EPwm4Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1335 EPwm4Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1336 EPwm4Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1337
1338 // EPwm4Regs.CMPA.bit.CMPA = 500;
1339 EPwm4Regs.CMPB.bit.CMPB = 500;
1340
1341 EPwm4Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1342 EPwm4Regs.AQCTLA.bit.CAD = AQ_SET;
1343 EPwm4Regs.AQCTLB.bit.CAU = AQ_SET;
1344 EPwm4Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1345
1346 EPwm4Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1347 EPwm4Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1348 EPwm4Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1349 EPwm4Regs.DBRED = EPWM_DB_UP;
1350 EPwm4Regs.DBFED = EPWM_DB_DOWN;
1351
1352 // ePWM 5
-----
--
1353 //
-----
-----
1354 EPwm5Regs.TBPRD = 1000; // Set timer period 50kHz
1355 EPwm5Regs.TBPHS.bit.TBPHS = 500; // Phase is 120°
1356 EPwm5Regs.TBCTR = 0x0000; // Clear counter
1357
1358 EPwm5Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1359 EPwm5Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1360 EPwm5Regs.TBCTL.bit.PHSDIR = 0; //Direção Phase 1 Positivo - 0
Negativo
1361 EPwm5Regs.TBCTL.bit.SYNCSELE = TB_SYNC_IN;
1362 EPwm5Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1363 EPwm5Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1364
1365 EPwm5Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1366 EPwm5Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1367 EPwm5Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1368 EPwm5Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1369
1370 // EPwm5Regs.CMPA.bit.CMPA = 500;
1371
1372 EPwm5Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1373 EPwm5Regs.AQCTLA.bit.CAD = AQ_SET;
1374 EPwm5Regs.AQCTLB.bit.CBU = AQ_SET;
1375 EPwm5Regs.AQCTLB.bit.CBD = AQ_CLEAR;
1376

```

```

1377 EPwm5Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1378 EPwm5Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1379 EPwm5Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1380 EPwm5Regs.DBRED = EPWM_DB_UP;
1381 EPwm5Regs.DBFED = EPWM_DB_DOWN;
1382
1383
1384 // ePWM 6
-----
--
1385 //
-----
-----
1386 EPwm6Regs.TBPRD = 1000; // Set timer period 50kHz
1387 EPwm6Regs.TBPHS.bit.TBPHS = 500; // Phase is -90
1388 EPwm6Regs.TBCTR = 0x0000; // Clear counter
1389
1390 EPwm6Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1391 EPwm6Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1392 EPwm6Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1 Positivo - 0
Negativo
1393 EPwm6Regs.TBCTL.bit.SYNCSELE = TB_SYNC_IN;
1394 EPwm6Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1395 EPwm6Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1396
1397 EPwm6Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1398 EPwm6Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1399 EPwm6Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1400 EPwm6Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1401
1402 // EPwm6Regs.CMPA.bit.CMPA = 500;
1403
1404 EPwm6Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1405 EPwm6Regs.AQCTLA.bit.CAD = AQ_SET;
1406 EPwm6Regs.AQCTLB.bit.CAU = AQ_SET;
1407 EPwm6Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1408
1409 EPwm6Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1410 EPwm6Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1411 EPwm6Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1412 EPwm6Regs.DBRED = EPWM_DB_UP;
1413 EPwm6Regs.DBFED = EPWM_DB_DOWN;
1414
1415 // ePWM 7
-----
--
1416 //
-----
-----
1417
1418 EPwm7Regs.TBPRD = 1000; // Set timer period 50kHz
1419 EPwm7Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
1420 EPwm7Regs.TBCTR = 0x0000; // Clear counter
1421
1422 // Setup TBCLK
1423 EPwm7Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1424 EPwm7Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1425 EPwm7Regs.TBCTL.bit.PHSDIR = 0; //Direção Phase 1 Positivo - 0
Negativo
1426 EPwm7Regs.TBCTL.bit.SYNCSELE = TB_SYNC_IN;
1427 EPwm7Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1428 EPwm7Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1429
1430 EPwm7Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1431 EPwm7Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1432 EPwm7Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1433 EPwm7Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1434
1435 // Setup compare
1436 EPwm7Regs.CMPA.bit.CMPA = 500;
1437

```

```

1438 // Set actions
1439 EPwm7Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1440 EPwm7Regs.AQCTLA.bit.CAD = AQ_SET;
1441 EPwm7Regs.AQCTLB.bit.CAU = AQ_SET;
1442 EPwm7Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1443
1444 // Active Low PWMs - Setup Deadband
1445 EPwm7Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1446 EPwm7Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1447 EPwm7Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1448 EPwm7Regs.DBRED = EPWM_DB_UP;
1449 EPwm7Regs.DBFED = EPWM_DB_DOWN;
1450
1451 // ePWM 8
-----
1452 //
-----
1453
1454 EPwm8Regs.TBPRD = 1000; // Set timer period 50kHz
1455 EPwm8Regs.TBPHS.bit.TBPHS = 1000; // Phase is -180
1456 EPwm8Regs.TBCTR = 0x0000; // Clear counter
1457
1458 // Setup TBCLK
1459 EPwm8Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1460 EPwm8Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1461 EPwm8Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1 Positivo - 0
Negativo
1462 EPwm8Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN;
1463 EPwm8Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1464 EPwm8Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1465
1466 EPwm8Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1467 EPwm8Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1468 EPwm8Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1469 EPwm8Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1470
1471 // Setup compare
1472 EPwm8Regs.CMPA.bit.CMPA = 500;
1473
1474 // Set actions
1475 EPwm8Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1476 EPwm8Regs.AQCTLA.bit.CAD = AQ_SET;
1477 EPwm8Regs.AQCTLB.bit.CAU = AQ_SET;
1478 EPwm8Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1479
1480 // Active Low PWMs - Setup Deadband
1481 EPwm8Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1482 EPwm8Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1483 EPwm8Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1484 EPwm8Regs.DBRED = EPWM_DB_UP;
1485 EPwm8Regs.DBFED = EPWM_DB_DOWN;
1486
1487 // ePWM 9
-----
1488 //
-----
1489
1490 EPwm9Regs.TBPRD = 1000; // Set timer period 50kHz
1491 EPwm9Regs.TBPHS.bit.TBPHS = 500; // Phase is -90
1492 EPwm9Regs.TBCTR = 0x0000; // Clear counter
1493
1494 // Setup TBCLK
1495 EPwm9Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1496 EPwm9Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1497 EPwm9Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1 Positivo - 0
Negativo
1498 EPwm9Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN;

```

```

1499 EPwm9Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1500 EPwm9Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1501
1502 EPwm9Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1503 EPwm9Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1504 EPwm9Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1505 EPwm9Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1506
1507 // Setup compare
1508 // EPwm9Regs.CMPA.bit.CMPA = 500;
1509
1510 // Set actions
1511 EPwm9Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1512 EPwm9Regs.AQCTLA.bit.CAD = AQ_CLEAR;
1513 EPwm9Regs.AQCTLB.bit.CAU = AQ_CLEAR;
1514 EPwm9Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1515
1516 // Active Low PWMs - Setup Deadband
1517 EPwm9Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1518 EPwm9Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1519 EPwm9Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1520 EPwm9Regs.DBRED = EPWM_DB_UP;
1521 EPwm9Regs.DBFED = EPWM_DB_DOWN;
1522
1523 // ePWM 10
-----
1524 //
-----
1525
1526 EPwm10Regs.TBPRD = 1000; // Set timer period 50kHz
1527 EPwm10Regs.TBPHS.bit.TBPHS = 500; // Phase is 0
1528 EPwm10Regs.TBCTR = 0x0000; // Clear counter
1529
1530 // Setup TBCLK
1531 EPwm10Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1532 EPwm10Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1533 EPwm10Regs.TBCTL.bit.PHSDIR = 0; //Direção Phase 1 Positivo - 0
Negativo
1534 EPwm10Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN;
1535 EPwm10Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1536 EPwm10Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1537
1538 EPwm10Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1539 EPwm10Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1540 EPwm10Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1541 EPwm10Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1542
1543 // Setup compare
1544 EPwm10Regs.CMPA.bit.CMPA = 500;
1545
1546 // Set actions
1547 EPwm10Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1548 EPwm10Regs.AQCTLA.bit.CAD = AQ_SET;
1549 EPwm10Regs.AQCTLB.bit.CAU = AQ_SET;
1550 EPwm10Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1551
1552 // Active Low PWMs - Setup Deadband
1553 EPwm10Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1554 EPwm10Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1555 EPwm10Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1556 EPwm10Regs.DBRED = EPWM_DB_UP;
1557 EPwm10Regs.DBFED = EPWM_DB_DOWN;
1558
1559 // ePWM 11
-----
1560 //
-----

```

```

1561
1562 EPwm11Regs.TBPRD = 1000; // Set timer period 50kHz
1563 EPwm11Regs.TBPHS.bit.TBPHS = 0; // Phase is 0
1564 EPwm11Regs.TBCTR = 0x0000; // Clear counter
1565
1566 // Setup TBCLK
1567 EPwm11Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1568 EPwm11Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1569 EPwm11Regs.TBCTL.bit.PHSDIR = 0; //Direção Phase 1 Positivo - 0
Negativo
1570 EPwm11Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN;
1571 EPwm11Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1572 EPwm11Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1573
1574
1575 EPwm11Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1576 EPwm11Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1577 EPwm11Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1578 EPwm11Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1579
1580 // Setup compare
1581 // EPwm11Regs.CMPA.bit.CMPA = 500;
1582
1583 // Set actions
1584 EPwm11Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1585 EPwm11Regs.AQCTLA.bit.CAD = AQ_CLEAR;
1586 EPwm11Regs.AQCTLB.bit.CAU = AQ_CLEAR;
1587 EPwm11Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1588
1589 // Active Low PWMs - Setup Deadband
1590 EPwm11Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1591 EPwm11Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1592 EPwm11Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1593 EPwm11Regs.DBRED = EPWM_DB_UP;
1594 EPwm11Regs.DBFED = EPWM_DB_DOWN;
1595
1596 // ePWM 12
-----
1597 //
-----
1598
1599 EPwm12Regs.TBPRD = 1000; // Set timer period 50kHz
1600 EPwm12Regs.TBPHS.bit.TBPHS = 500; // Phase is 90
1601 EPwm12Regs.TBCTR = 0x0000; // Clear counter
1602
1603 // Setup TBCLK
1604 EPwm12Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up/down
1605 EPwm12Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Disable phase loading
1606 EPwm12Regs.TBCTL.bit.PHSDIR = 1; //Direção Phase 1 Positivo - 0
Negativo
1607 EPwm12Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN;
1608 EPwm12Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
1609 EPwm12Regs.TBCTL.bit.CLKDIV = TB_DIV1;
1610
1611 EPwm12Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Load registers every ZERO
1612 EPwm12Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
1613 EPwm12Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
1614 EPwm12Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;
1615
1616 // Setup compare
1617 EPwm12Regs.CMPA.bit.CMPA = 500;
1618
1619 // Set actions
1620 EPwm12Regs.AQCTLA.bit.CAU = AQ_CLEAR;
1621 EPwm12Regs.AQCTLA.bit.CAD = AQ_SET;
1622 EPwm12Regs.AQCTLB.bit.CAU = AQ_SET;
1623 EPwm12Regs.AQCTLB.bit.CAD = AQ_CLEAR;
1624
1625 // Active Low PWMs - Setup Deadband

```

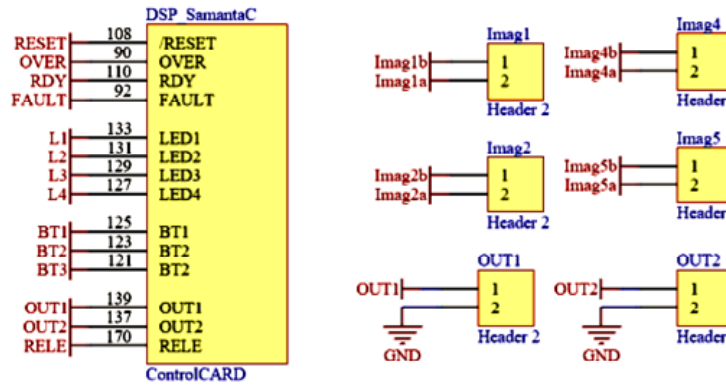
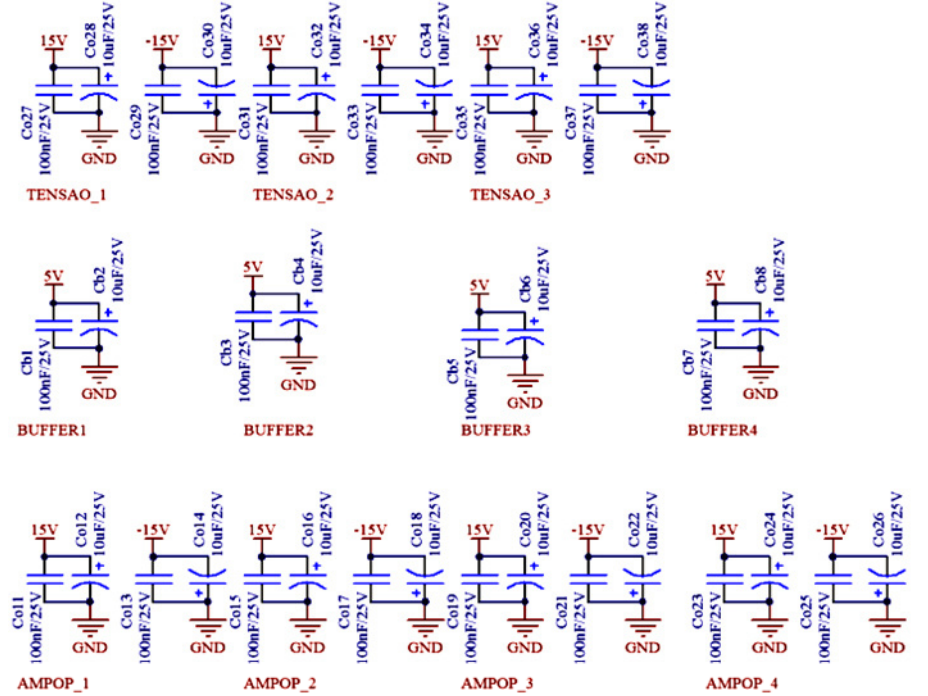
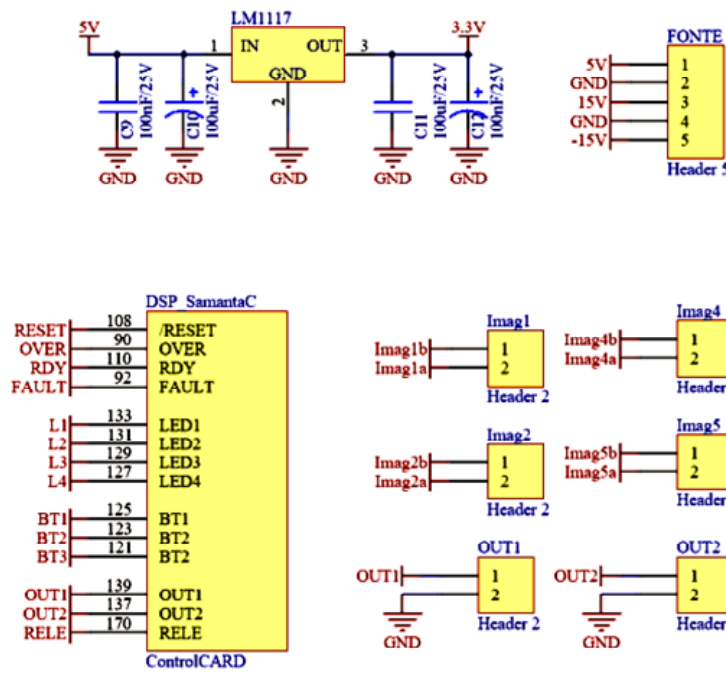
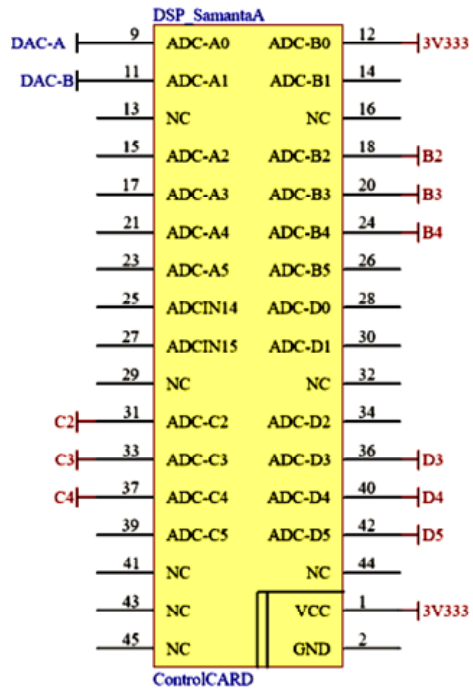
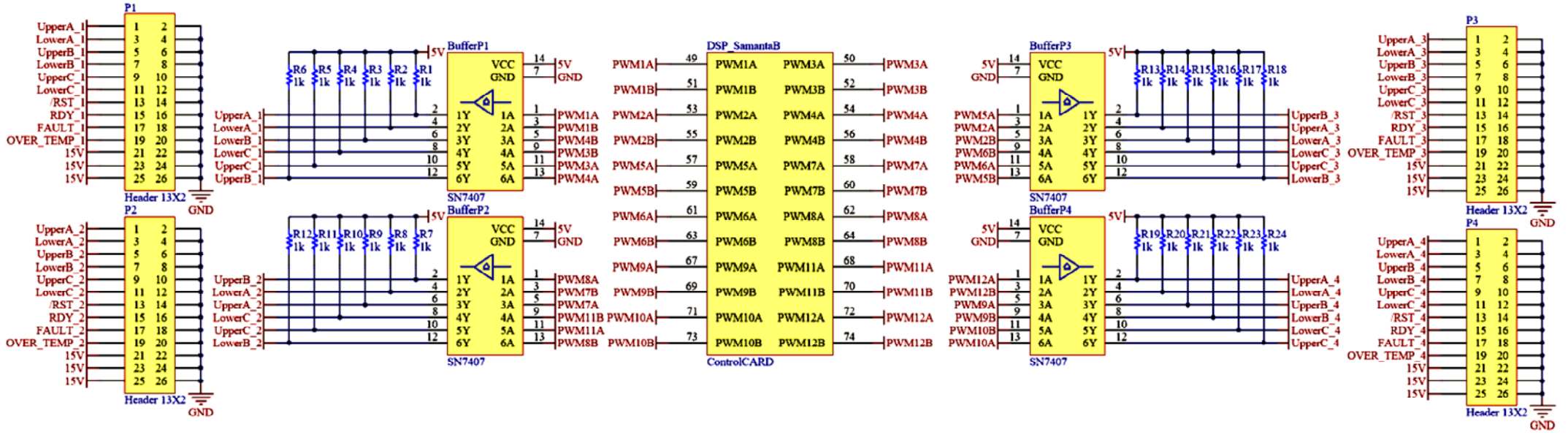
```

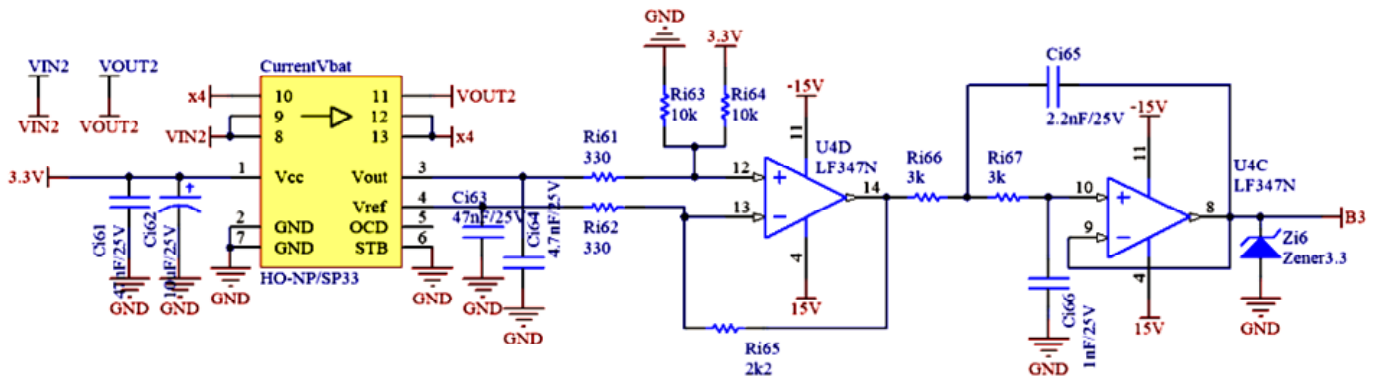
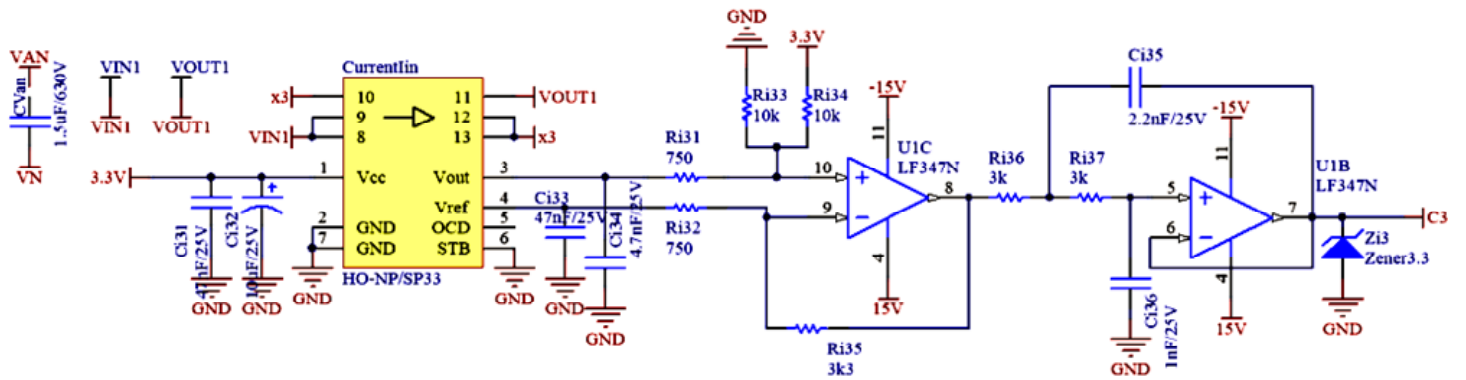
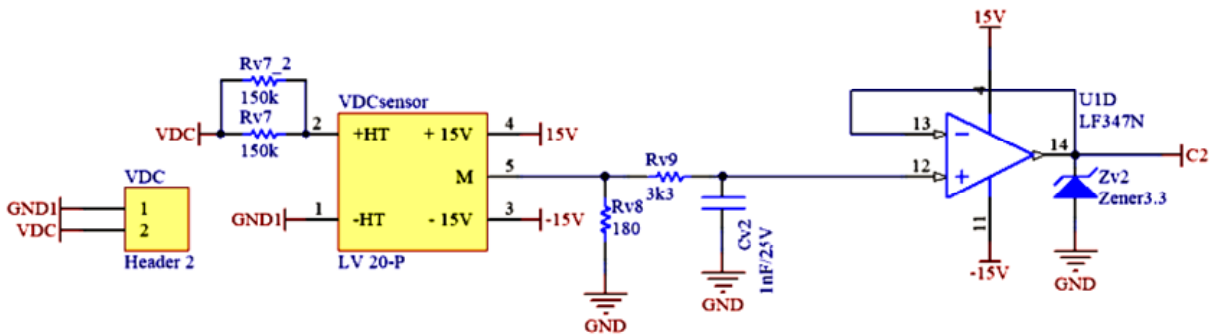
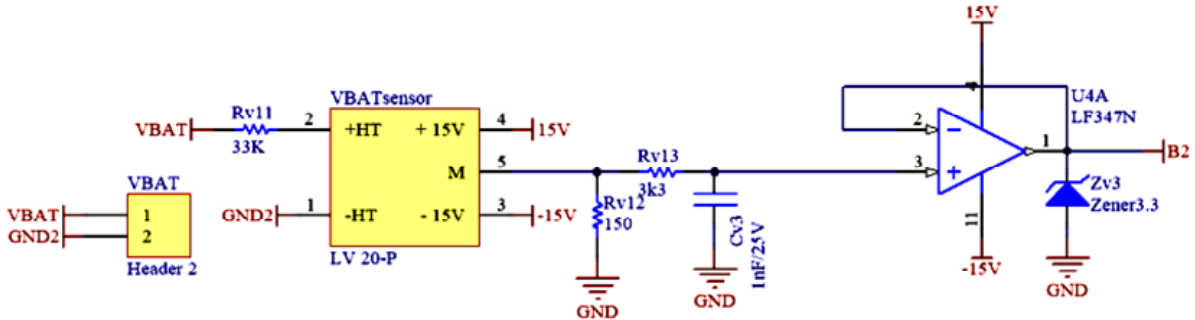
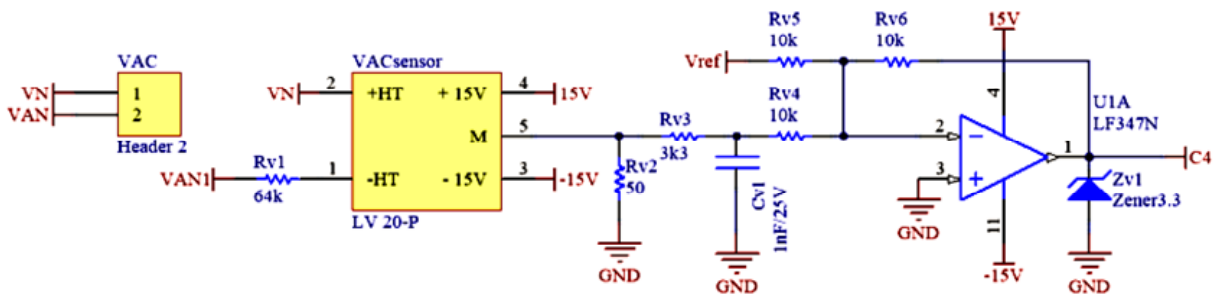
1626 EPwm12Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE;
1627 EPwm12Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
1628 EPwm12Regs.DBCTL.bit.IN_MODE = DBA_ALL;
1629 EPwm12Regs.DBRED = EPWM_DB_UP;
1630 EPwm12Regs.DBFED = EPWM_DB_DOWN;
1631
1632 }
1633
1634 //=====
1635 // No more.
1636 //=====
1637 void ConfigureDAC(void)
1638 {
1639     EALLOW;
1640
1641     DaccRegs.DACCTL.bit.DACREFSEL = 1; // Use ADC references
1642     DaccRegs.DACCTL.bit.LOADMODE = 0; // Load on next SYSCLK
1643     DaccRegs.DACVALS.all = 0x0800; // Set mid-range
1644     DaccRegs.DACOUTEN.bit.DACOUTEN = 1; // Enable DAC
1645
1646     DacbRegs.DACCTL.bit.DACREFSEL = 1; // Use ADC references
1647     DacbRegs.DACCTL.bit.LOADMODE = 0; // Load on next SYSCLK
1648     DacbRegs.DACVALS.all = 0x0800; // Set mid-range
1649     DacbRegs.DACOUTEN.bit.DACOUTEN = 1; // Enable DAC
1650
1651 //     DaccRegs.DACCTL.bit.DACREFSEL = 1; //*** Use ADC references
1652 //     DaccRegs.DACCTL.bit.LOADMODE = 0; //*** Load on next SYSCLK
1653 //     DaccRegs.DACVALS.all = 0x0800; //***Set mid-range
1654 //     DaccRegs.DACOUTEN.bit.DACOUTEN = 1; //*** Enable DAC
1655 EDIS;
1656 }
1657

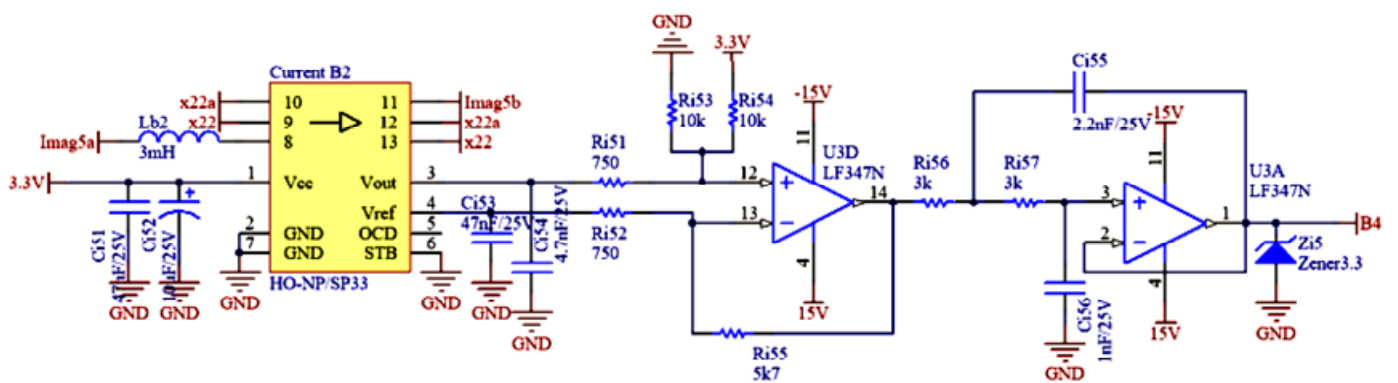
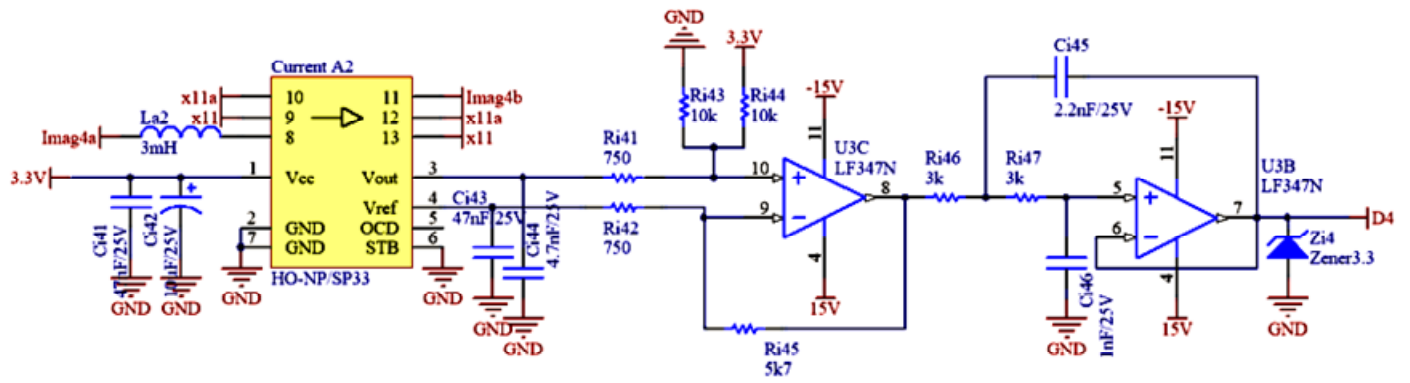
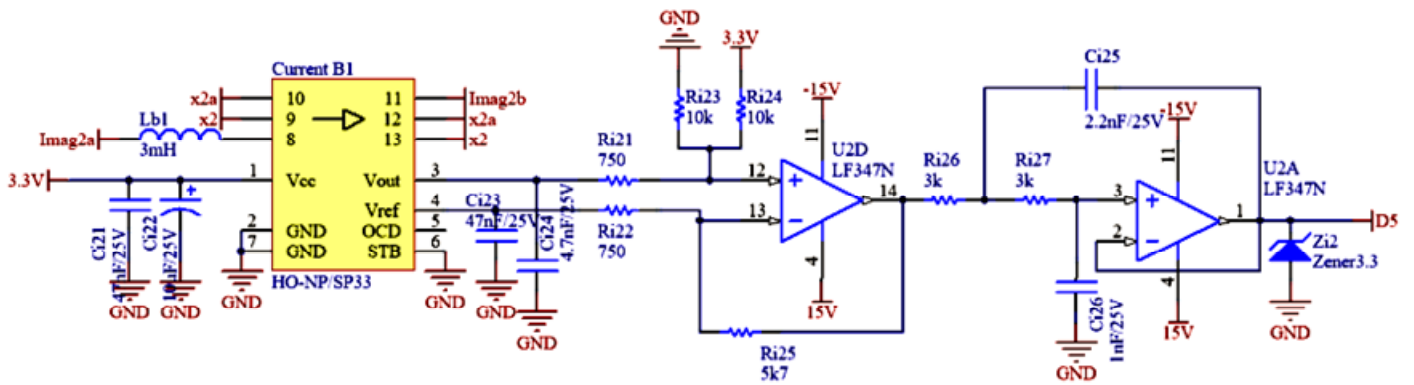
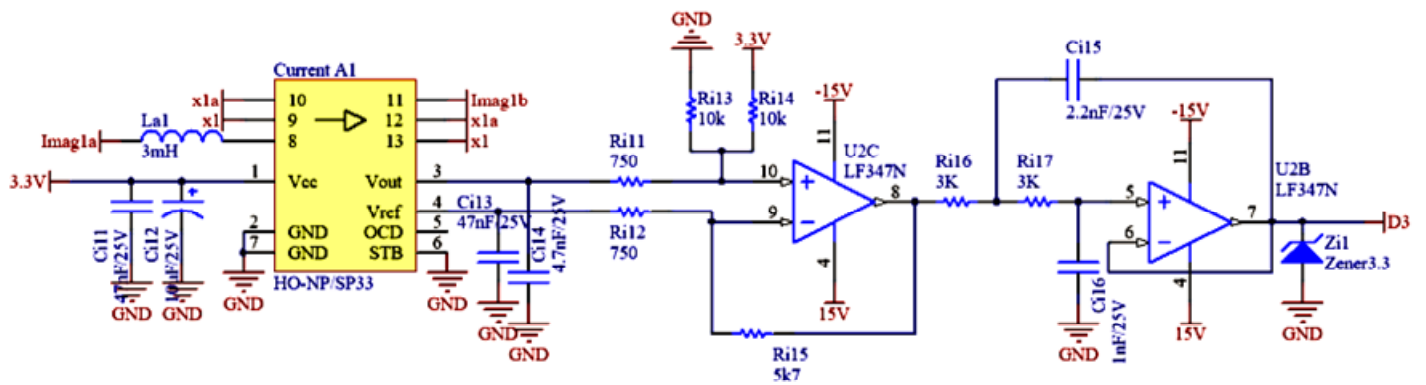
```

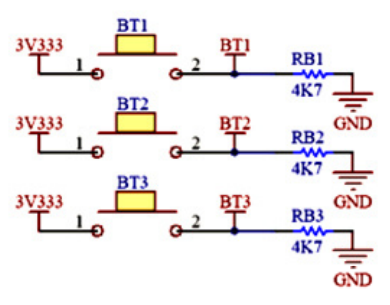
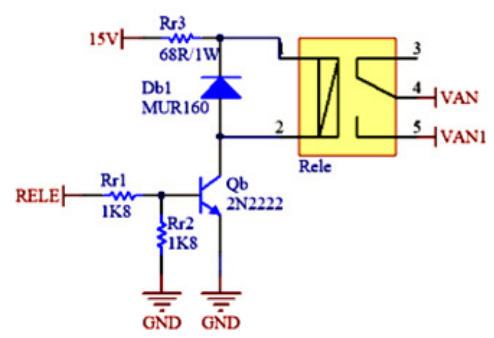
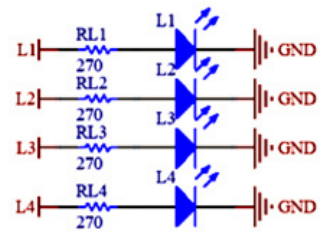
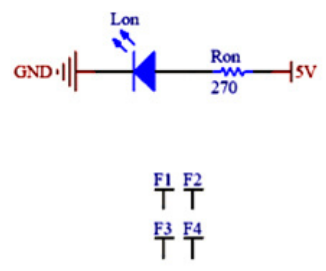
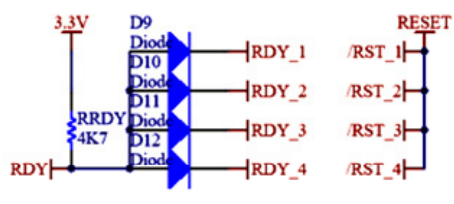
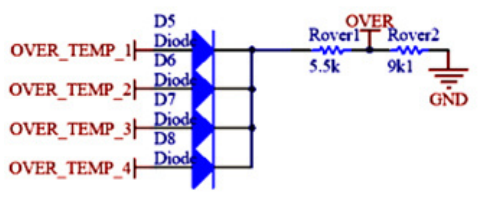
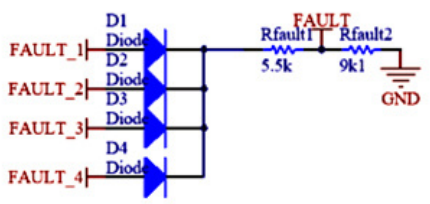
APÊNDICE C – DESCRIÇÃO DO HARDWARE

Esquemático do Altium

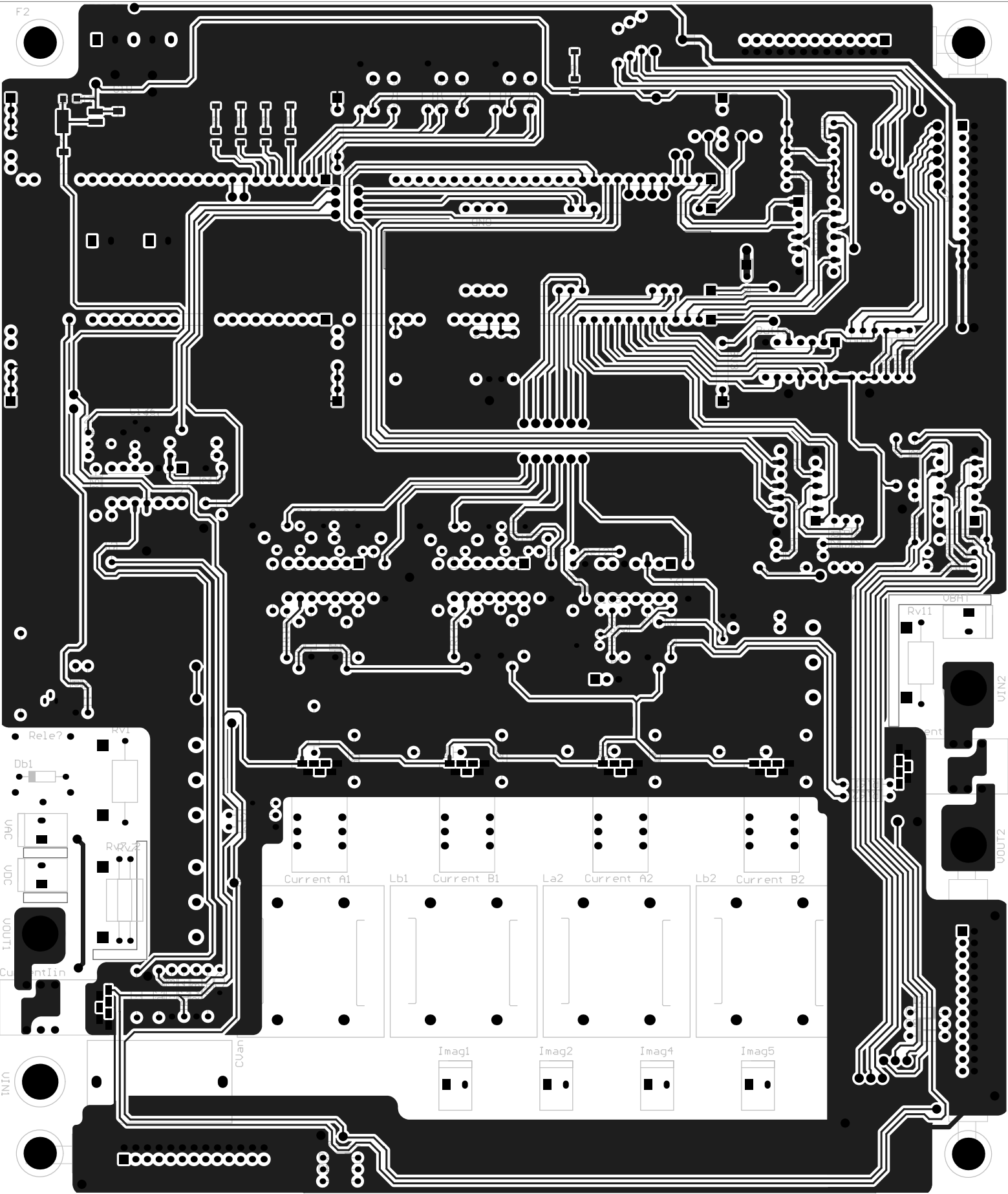








Top Layer



Bottom Layer

