



UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

RANOYCA NAYANA ALENCAR LEÃO E SILVA

INVERSOR MULTINÍVEL HÍBRIDO SIMÉTRICO TRIFÁSICO DE CINCO NÍVEIS
BASEADO NAS TOPOLOGIAS HALF-BRIDGE E ANPC

FORTALEZA

2013

RANOYCA NAYANA ALENCAR LEÃO E SILVA

INVERSOR MULTINÍVEL HÍBRIDO SIMÉTRICO TRIFÁSICO DE CINCO NÍVEIS
BASEADO NAS TOPOLOGIAS HALF-BRIDGE E ANPC

Tese apresentada ao Curso de Doutorado em Engenharia Elétrica do Departamento de Engenharia Elétrica da Universidade Federal do Ceará como parte dos requisitos para obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Prof. Dr. Luiz Henrique Silva Colado Barreto.

Co-orientador: Prof. Dr. Marcelo Lobo Heldwein.

FORTALEZA

2013

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca de Pós-Graduação em Engenharia - BPGE

-
- S583i Silva, Ranoyca Nayana Alencar Leão e.
Inversor multinível híbrido simétrico trifásico de cinco níveis baseado nas topologias half-bridge e ANPC / Ranoyca Nayana Alencar Leão e Silva. – 2013.
125 f. : il. color., enc. ; 30 cm.
- Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Departamento de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2013.
Área de Concentração: Sistemas de Energia Elétrica e Acionamentos.
Orientação: Prof. Dr. Luiz Henrique Silva Colado Barreto.
Coorientação: Prof. Dr. Marcelo Lobo Heldwein.
1. Engenharia Elétrica. 2. Eletrônica de Potência. I. Título.

Ranoyca Nayana Alencar Leão e Silva

Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis Baseado nas Topologias Half-Bridge e ANPC

Esta Tese foi julgada adequada para a obtenção de título de Doutor em Engenharia Elétrica, Área de Concentração em Sistemas de Energia Elétrica e Acionamentos, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará.

Ranoyca Nayana Alencar Leão e Silva.

Ranoyca Nayana Alencar Leão e Silva

Orientador:

Luiz Henrique Silva Colado Barreto

Prof. Luiz Henrique Silva Colado Barreto, Dr.

Co-Orientador:

Marcelo Lobo Heldwein

Prof. Marcelo Lobo Heldwein, Dr.

Banca Examinadora:

Edison Roberto Cabral da Silva

Prof. Edison Roberto Cabral da Silva, Dr.

Maurício Aredes

Prof. Maurício Aredes, Dr.

Demercil de Souza Oliveira Júnior

Prof. Demercil de Souza Oliveira Júnior, Dr.

Fortaleza, 22 de fevereiro de 2013

A Deus,

Aos meus pais, Djercy e Astrogilda,

Aos meus avós paternos e maternos,

A minha irmã,

A todos os familiares e amigos.

AGRADECIMENTOS

Primeiramente a Deus, pelo dom da vida e pela chance que me foi concedida.

Ao professor Dr. Luiz Henrique Silva Colado Barreto, pela sua orientação, amizade e disponibilidade durante todo este tempo. Agradeço pela oportunidade de trabalhar e aprender com este grupo.

Ao professor Dr. Marcelo Lobo Heldwein pela orientação e confiança depositada.

Aos professores participantes da Banca examinadora pelo tempo e pelas valiosas colaborações e sugestões.

Aos professores Demercil de Souza Oliveira Jr. e Paulo Peixoto Praça, pela presença constante e disponibilidade nos momentos de dificuldades, pela experiência e pelos conhecimentos transmitidos. Obrigada pela paciência.

Aos professores e funcionários do Departamento de Engenharia Elétrica da UFC, responsáveis diretamente ou indiretamente pela minha formação no programa de Doutorado.

Ao técnico Pedro, pela disponibilidade no auxílio da montagem do protótipo.

Aos meus amigos e colegas de doutorado (em ordem alfabética): André Lima, Antônio Barbosa, Bruno Almeida, Davi Joca, Éber Diniz, Fabíola Linard, Gustavo Henn, Hermínio Miguel, Paulo Praça, Raphael Amaral e aos demais colegas de laboratório que de alguma forma contribuíram.

Ao Allan Uchoa, bolsista, que com seu conhecimento e dedicação contribuiu com o trabalho.

À minha família, a todos os meus amigos e ao meu noivo Samuel, por todo suporte e pela ajuda em todos os momentos da minha vida, bons e ruins, que compreenderam minha ausência durante os períodos de dedicação aos estudos.

À CAPES pelo apoio financeiro com a manutenção da bolsa de auxílio.

Aos professores da UFPI, Otacílio Mota e Marcos Lira pelo apoio dado para que eu pudesse concluir este trabalho.

A todas as pessoas que por motivo de esquecimento não foram citadas anteriormente, vou deixando neste espaço minhas sinceras desculpas.

“Tudo posso n’Aquele que me fortalece”
(Filipenses 4.13)

RESUMO

Este trabalho apresenta uma topologia de inversor multinível híbrido simétrico trifásico de cinco níveis, concebido a partir das estruturas meia ponte e inversor com grampeamento ativo do neutro, adequado para aplicações com alta tensão e alta potência. São apresentados os possíveis estados de comutação, lógica de acionamento, cálculo dos esforços nos semicondutores, assim como um estudo de perdas. Duas estratégias de modulação são selecionadas possibilitando a operação concomitante de metade dos interruptores em baixa frequência (60 Hz) e a outra em alta frequência (1020 Hz), reduzindo o número de comutações, conseqüentemente as perdas nos semicondutores e o conteúdo harmônico da tensão de saída. Para validar a proposta, foi desenvolvido um protótipo com potência de 7,5 kVA e tensão de saída eficaz de linha 380 V. Além disso, é apresentada a implementação de ambas as modulações no dispositivo lógico programável escolhido, FPGA. Os resultados experimentais da estrutura trifásica validam a topologia proposta. A estrutura, operando com a modulação baseada na PD-PWM, apresentou DHT de 29,71% e WTHD de 1,93%, enquanto que a baseada na CSV-PWM apresentou DHT de 38,45% e WTHD de 7,21%. Além disso, o rendimento da estrutura proposta é superior se comparado ao da topologia Half-Bridge/NPC, conforme esperado em função das perdas na estrutura Half-Bridge/NPC serem maiores e mal distribuídas.

Palavras-Chave: ANPC. DHT. Inversor Multinível Híbrido. Inversor Meia Ponte. Modulação.

ABSTRACT

This work presents a new topology of a hybrid five-level inverter, conceived from the half-bridge and active neutral point clamped structures, suitable for high-voltage, high-power applications. The possible commutation stages, the switching drive logic, the semiconductors stresses mathematical analysis, and the losses study are presented. Two modulation techniques were selected in order to allow low-frequency (60 Hz) switches operate together with high-frequency switches (1020 Hz), reducing the number of commutations and, consequently, the overall losses and the output voltage total harmonic distortion. In order to validate the proposal, it was developed a 7.5 kVA prototype and AC line output voltage of 380 V. The digital implementation from both modulation techniques on the chosen programmable logic device FPGA is also presented. The experimental results relative to the three-phase structure validate the proposed topology. The topology, operating with the modulation based on Sinusoidal In-Phase Disposition - PWM, presented a THD of 29.71%, and WTHD of 1.93%, while the one based on the Centered Space Vector - PWM presented a THD of 38.45%, and a WTHD of 7.21%. Besides, the overall efficiency is superior when compared to the Half-Bridge/NPC topology, as expected, due to the fact that losses on this structure are higher and misdistributed.

Keyword: ANPC. Half-Bridge Inverter. Hybrid Multilevel Converter. Modulation. THD.

LISTA DE ILUSTRAÇÕES

Figura 1.1	– Inversor com ponto neutro grampeado a diodos – NPC (NABAE <i>et al.</i> , 1981).....	2
Figura 1.2	– Inversor com capacitor flutuante – FC (MEYNARD <i>et al.</i> , 1992).....	3
Figura 1.3	– Inversor com associação em cascata de inversores de dois níveis – HB (BAKER <i>et al.</i> , 1975).....	5
Figura 1.4	– Inversor híbrido – NPC+FC (SUH <i>et al.</i> , 1997).....	6
Figura 1.5	– Inversor 3L-SC (MEYNARD <i>et al.</i> , 2002).....	6
Figura 1.6	– Inversor com grampeamento ativo do neutro – ANPC (BRÜCKNER <i>et al.</i> , 2001).....	7
Figura 1.7	– Inversor 3L-SNPC (FLORICAU <i>et al.</i> , 2007).....	8
Figura 1.8	– Inversor 3L-ASNPC (FLORICAU <i>et al.</i> , 2009).....	8
Figura 1.9	– Inversor proposto por Ding <i>et al.</i> , (2004).....	9
Figura 1.10	– Inversor proposto por Astudillo <i>et al.</i> , (2008).....	10
Figura 1.11	– Inversor proposto por Batschauer <i>et al.</i> , (2010).....	10
Figura 1.12	– Estrutura trifásica proposta, Inversor Multinível Simétrico Híbrido baseado nas topologias Half-Bridge e ANPC.....	13
Figura 2.1	– Formas de onda da moduladora e portadoras da modulação baseada na PD-PWM.....	16
Figura 2.2	– Formas de onda da moduladora e portadoras da modulação baseada na CSV-PWM.....	17
Figura 2.3	– Senoides de referência.....	18
Figura 2.4	– Forma de onda obtida pela função V_{off}	18
Figura 2.5	– Formas de onda obtida pela adição $V_k+V_{off}+V_{cc}$	19
Figura 2.6	– Formas de onda obtida pela função V'_k	20
Figura 2.7	– Forma de onda obtida pela função V'_{off}	20
Figura 2.8	– Sinal modulante modificado.....	21
Figura 2.9	– Forma de onda da moduladora derivada da CSV-PWM.....	21
Figura 2.10	– Portadoras utilizadas em ambas estratégias de modulação para os interruptores de alta frequência.....	22
Figura 2.11	– Diagrama de blocos representativo dos circuitos PLL's e divisores das portadoras.....	24

Figura 2.12	– Diagrama de blocos representativo dos circuitos PLL's e divisores das moduladoras.....	26
Figura 2.13	– Diagrama de blocos representativo da lógica de acionamento.....	27
Figura 3.1	– Estrutura trifásica proposta.....	28
Figura 3.2	– Mapa vetorial do inversor proposto para a operação com cinco níveis na tensão de fase.....	34
Figura 3.3	– Circuito para geração da lógica de acionamento.....	35
Figura 3.4	– Pulsos de comando e tensão de saída com cinco níveis.....	36
Figura 3.5	– Chaveamento para saída entre 0 e V_{cc}	38
Figura 3.6	– Modulação derivada da PD-PWM proposta por Ding <i>et al.</i> , (2004).....	40
Figura 3.7	– Representação da célula unitária do inversor proposto com a modulação baseada na proposta por Ding <i>et al.</i> , (2004).....	43
Figura 3.8	– Representação da tensão de saída através das células unitárias.....	44
Figura 3.9	– Eixo x e y positivos da célula unitária.....	45
Figura 3.10	– Componentes harmônicas calculadas.....	46
Figura 3.11	– Transformada rápida de Fourier da tensão de saída obtida através do <i>software</i> PSIM [®]	46
Figura 3.12	– Transformada rápida de Fourier da tensão de saída obtida através do <i>software</i> PSIM [®] , comparada com a forma de onda teórica.....	47
Figura 3.13	– Transformada rápida de Fourier da tensão de linha obtida através do <i>software</i> PSIM [®] , comparada com a forma de onda teórica.....	47
Figura 4.1	– Estrutura trifásica proposta.....	49
Figura 4.2	– Modulação, corrente na carga e corrente nos interruptor S_{a1} , S_{a2} , S_{a6} e S_{a7}	52
Figura 4.3	– Evolução das correntes (a) média e (b) eficaz no interruptor S_{a1} em função do índice de modulação e do ângulo de carga.....	54
Figura 4.4	– Evolução das correntes (a) média e (b) eficaz no diodo D_{a1} em função do índice de modulação e do ângulo de carga.....	54
Figura 4.5	– Evolução das correntes (a) média e (b) eficaz no interruptor S_{a2} em função do índice de modulação e do ângulo de carga.....	56
Figura 4.6	– Evolução das correntes (a) média e (b) eficaz no interruptor D_{a2} em função do índice de modulação e do ângulo de carga.....	56
Figura 4.7	– Evolução das correntes(a) média e (b) eficaz no interruptor S_{a6} em	58

	função do índice de modulação e do ângulo de carga.....	
Figura 4.8	– Evolução das correntes (a) média e (b) eficaz no interruptor D_{a6} em função do índice de modulação e do ângulo de carga.....	58
Figura 4.9	– Evolução das correntes (a) média e (b) eficaz no interruptor S_{a7} em função do índice de modulação e do ângulo de carga.....	60
Figura 4.10	– Evolução das correntes (a) média e (b) eficaz no interruptor D_{a7} em função do índice de modulação e do ângulo de carga.....	60
Figura 4.11	– Modulação, corrente na carga e corrente nos interruptor S_{a3} , S_{a4} , S_{a5} e S_{a8}	61
Figura 4.12	– Linearização da curva $I_{CE} \times V_{CE}$ do módulo SKM75GB063D.....	66
Figura 4.13	– Linearização da curva $I_{CE} \times V_{CE}$ do módulo SKM145GB066D.....	67
Figura 4.14	– Linearização da curva $I_F \times V_F$ do módulo SKM75GB063D.....	67
Figura 4.15	– Linearização da curva $I_F \times V_F$ do módulo SKM145GB066D.....	68
Figura 4.16	– Curvas da dissipação de energia durante a comutação para o módulo SKM75GB063D.....	69
Figura 4.17	– Curvas da dissipação de energia durante a comutação para o módulo SKM145GB066D.....	69
Figura 4.18	– Gráfico comparativo da análise de perdas de condução e comutação em cada interruptor e seu diodo intrínseco. Colunas à esquerda: Topologia Proposta; colunas à direita: Topologia Half-Bridge/NPC (DING <i>et al</i> , 2004).....	71
Figura 5.1	– Moduladoras e portadoras da estratégia derivada da PD-PWM geradas pelo FPGA com índice de modulação de 0,9.....	74
Figura 5.2	– Moduladoras e portadoras da estratégia derivada da PD-PWM geradas pelo FPGA com índice de modulação de 0,25.....	75
Figura 5.3	– Moduladoras e portadoras da estratégia derivada da CSV-PWM geradas pelo FPGA com índice de modulação de 0,9.....	75
Figura 5.4	– Moduladoras e portadoras da estratégia derivada da CSV-PWM geradas pelo FPGA com índice de modulação de 0,25.....	76
Figura 5.5	– Pulsos de comando dos interruptores para modulação derivada da PD-PWM com índice de modulação de 0,9.....	76
Figura 5.6	– Pulsos de comando dos interruptores para modulação derivada da PD-PWM com índice de modulação de 0,25.....	77

Figura 5.7	– Pulsos de comando dos interruptores para modulação derivada da CSV-PWM com índice de modulação de 0,9.....	77
Figura 5.8	– Pulsos de comando dos interruptores para modulação derivada da CSV-PWM com índice de modulação de 0,25.....	78
Figura 5.9	– Topologia proposta.....	78
Figura 5.10	– Tensão sobre os interruptores S_{a1} , S_{a4} , S_{a7} e S_{a8}	79
Figura 5.11	– Corrente nos interruptores S_{a1} , S_{a4} , S_{a7} e S_{a8}	80
Figura 5.12	– Tensão sobre os interruptores S_{a2} , S_{a3} , S_{a5} e S_{a6}	80
Figura 5.13	– Corrente nos interruptores S_{a2} , S_{a3} , S_{a5} e S_{a6}	81
Figura 5.14	– Tensões de fase para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,9.....	82
Figura 5.15	– Tensões de linha para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,9.....	82
Figura 5.16	– Tensão de linha V_{ab} , tensão de fase V_a e corrente de saída I_a para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,9.....	83
Figura 5.17	– Espectro harmônico da tensão de fase e de linha do inversor proposto operando com frequência de 1020Hz e índice de modulação de 0,9.....	84
Figura 5.18	– Comparação entre o espectro harmônico da tensão de saída teórica com a experimental do inversor proposto monofásico operando com frequência de 1020 Hz.....	84
Figura 5.19	– Tensões de fase para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,5.....	85
Figura 5.20	– Tensões de linha para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,5.....	85
Figura 5.21	– Tensão de linha V_{ab} , tensão de fase V_a e corrente de saída I_a para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,5.....	86
Figura 5.22	– Espectro harmônico da tensão de fase e de linha do inversor proposto operando com frequência de 1020Hz e índice de modulação de 0,5.....	86
Figura 5.23	– Formas de onda de tensão sobre os capacitores de barramento.....	87
Figura 5.24	– Gráfico comparativo da distorção harmônica total da tensão de saída em função do índice de modulação para modulação derivada da PD-	87

	PWM.....	
Figura 5.25	– Evolução da distorção harmônica total da tensão de fase e da tensão de linha em função do índice de modulação para modulação derivada da PD-PWM.....	88
Figura 5.26	– Tensões de fase para o inversor utilizando a modulação derivada da CSV-PWM e índice de modulação de 0,9.....	89
Figura 5.27	– Tensões de linha para o inversor utilizando a modulação derivada da CSV-PWM e índice de modulação de 0,9.....	89
Figura 5.28	– Tensão de linha V_{ab} , tensão de fase V_a e corrente de saída I_a para o inversor utilizando a modulação derivada da CSV-PWM e índice de modulação de 0,9.....	90
Figura 5.29	– Espectro harmônico da tensão de fase e da tensão de linha do inversor proposto operando com frequência de 1020 Hz e índice de modulação de 0,9.....	90
Figura 5.30	– Tensões de fase para o inversor utilizando a modulação derivada da CSV-PWM e índice de modulação de 0,5.....	91
Figura 5.31	– Tensões de linha para o inversor utilizando a modulação derivada da CSV-PWM e índice de modulação de 0,5.....	91
Figura 5.32	– Tensão de linha V_{ab} , tensão de fase V_a e corrente de saída I_a para o inversor utilizando a modulação derivada da CSV-PWM e índice de modulação de 0,5.....	92
Figura 5.33	– Espectro harmônico da tensão de saída do inversor proposto operando com índice de modulação 0,5 e frequência de 1020 Hz.....	92
Figura 5.34	– Evolução da distorção harmônica total da tensão de fase e da tensão de linha em função do índice de modulação para modulação derivada da CSV –PWM.....	93
Figura 5.35	– Gráfico comparativo de rendimento entre a Topologia Proposta e a Topologia Half-Bridge/NPC (DING <i>et al.</i> , 2004), com os inversores utilizando a modulação derivada da PD-PWM.....	93
Figura 5.36	– Gráfico comparativo de rendimento entre a Topologia Proposta e a Topologia Half-Bridge/NPC (DING <i>et al.</i> , 2004), com os inversores utilizando a modulação derivada da CSV-PWM.....	94

LISTA DE TABELAS

Tabela 1.1	– Tensão de saída e sequência de chaveamento para um braço do inversor NPC.....	2
Tabela 1.2	– Tensão de saída e sequência de chaveamento para um braço do inversor FC.....	4
Tabela 3.1	– Possíveis estados de comutação.....	29
Tabela 3.2	– Vetores calculados através da transformação de Clarke (“vetores nulos”).....	31
Tabela 3.3	– Vetores calculados através da transformação de Clarke (“vetores pequenos”).....	31
Tabela 3.4	– Vetores calculados através da transformação de Clarke (“vetores médios”).	31
Tabela 3.5	– Vetores calculados através da transformação de Clarke (“vetores grandes”).....	31
Tabela 3.6	– Vetores calculados através da transformação de Clarke (“vetores gigantes”).....	32
Tabela 3.7	– Sequência de chaveamento para o inversor operando com a modulação derivada da PD-PWM.....	37
Tabela 3.8	– Limites dos eixos x e y.....	45
Tabela 3.9	– Parâmetros empregados para o cálculo das componentes harmônicas....	45
Tabela 4.1	– Parâmetros de projeto do inversor.....	48
Tabela 4.2	– Esforços de corrente.....	65
Tabela 4.3	– Coeficientes calculados dos polinômios de segunda ordem.....	68
Tabela 5.1	– Especificações do protótipo.....	79

LISTA DE ABREVIATURAS E SIGLAS

ANPC	<i>Active Neutral Point Clamped</i>
APOD	<i>Alternate Phase-Opposition Disposition</i>
CA	Corrente alternada
CC	Corrente contínua
CHB	<i>Cascaded Half-Bridge</i>
CSV	<i>Centered Space Vector</i>
CSV-PWM	<i>Centered Space Vector- Pulse Width Modulation</i>
DHT	Distorção Harmônica Total
FPGA	<i>Field Programable Gate Array</i>
FC	<i>Flying Capacitor</i>
HB	<i>Half-Bridge</i>
IPD	<i>In-Phase Disposition</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
LSPWM	<i>Level- Shifted Pulse Width Modulation</i>
MPC	<i>Multipoint Clamped Converter</i>
NPC	<i>Neutral Point Clamped</i>
PD-PWM	<i>Phase Dispositon- Pulse Width Modulation</i>
PLLs	<i>Phase Locked Loop</i>
POD	<i>Phase-Opposition Disposition</i>
PSPWM	<i>Phase-Shifted Pulse Width Modulation</i>
PWM	<i>Pulse Width Modulation</i>
SVM	<i>Space-Vector Modulation</i>
SC	<i>Stacked Cells</i>
VHDL	<i>Very High Speed Integrated Circuits Hardware Descripton Language</i>
3L-ANPC	<i>Three Level Active Neutral Point Clamped</i>
3L-NPC	<i>Three Level Neutral Point Clamped</i>
3L-ASNPC	<i>Three Level Active Stacked Neutral Point Clamped</i>
3L-SC	<i>Three Level Stacked Cells</i>
3L-SNPC	<i>Three Level Stacked Neutral Point Clamped</i>
THD	<i>Total Harmonic Distortion</i>
WTHD	<i>Weighted Total Harmonic Distortion</i>

LISTA DE SÍMBOLOS

a, b, c	Fases
a_n, b_n	Constantes relacionadas ao valor da harmônica de ordem “n”
A_m	Amplitude da moduladora
A_{0n}, B_{0n}, A_{m0} e B_{m0}	Amplitudes das funções cosseno e seno respectivamente da série de Fourier
A_{mn} e B_{mn}	Amplitude de cada componente harmônica
A_p	Amplitude da portadora;
$\cos \Phi_o$	Fator de deslocamento de carga
$\overline{C_{mn}}$	Coefficiente complexo de Fourier
D_{xy}	Diodos intrínseco do interruptor “y” da fase “x” onde $x = a, b$ ou c e $y = 1, 2, 3, 4, 5, 6, 7$ ou 8
$f_i(x,y)$	Função da célula unitária
$f_{moduladora}$	Frequência da moduladora
f_m	Frequência da moduladora
f_o	Frequência da tensão de saída
FP	Fator de potência
f_{pll}	Frequência do pll
f_p	Frequência da portadora
$f_{portadora}$	Frequência da portadora
f_s	Frequência de comutação do inversor
$I_{o_ph_ef}$	Corrente de saída de fase eficaz
$I_{o_ph_pk}$	Corrente de saída de fase de pico
L_o	Indutância de carga
M_i	Índice de modulação
M_{max}	Índice de modulação máximo equivalente
$M1$	Semiciclo côncavo da moduladora
$M2$	Semiciclo convexo da moduladora
η	Rendimento do inversor
n	Número de níveis
N	Número de níveis
$N_{degraus}$	Número de degraus

$P1$	Semiciclo com derivada positiva da portadora 1
$P2$	Semiciclo com derivada negativa da portadora 1
$P3$	Semiciclo com derivada positiva da portadora 2
$P4$	Semiciclo com derivada negativa da portadora 2
$S_{o3\phi}$	Potência aparente total
$S_{o\phi}$	Potência aparente por fase
S_{xy}	Semicondutor. Interruptor “y” da fase “x” onde $x = a, b$ ou c e $y = 1, 2, 3, 4, 5, 6, 7$ ou 8
V_{cc}	Tensão de barramento
$V_{o_ll_ef}$	Tensão de saída eficaz de linha
$V_{o_ph_ef}$	Tensão de saída eficaz de fase
$V_{o_ph_pk}$	Tensão de saída de fase de pico
$P_{o\phi}$	Potência de saída por fase
$P_{o3\phi}$	Potência de saída trifásica
R_o	Resistência equivalente
T_m	Período da moduladora
ω_m	Frequência angular da moduladora
ω_p	Frequência angular da portadora
Z_o	Impedância
α, β	Eixos do sistema de coordenadas “ α, β ”
θ_o	Ângulo de carga
θ_m	Ângulo de fase ou o deslocamento da fase, que mede o quanto a curva da moduladora está deslocada horizontalmente para a direita
θ_p	Ângulo de fase ou o deslocamento da fase, que mede o quanto a curva da portadora está deslocada horizontalmente para a direita

SUMÁRIO

1	INTRODUÇÃO GERAL.....	1
1.1	Introdução	1
1.2	Inversores multiníveis.....	1
1.3	Técnicas de modulação.....	11
1.4	Controladores digitais.....	12
1.5	Proposição.....	13
2	TÉCNICAS DE MODULAÇÃO.....	16
2.1	Introdução	16
2.2	Modulação derivada da PD-PWM.....	16
2.3	Modulação derivada da CSV-PWM.....	17
2.4	Implementação digital proposta.....	21
2.4.1	<i>Desenvolvimento digital das portadoras.....</i>	<i>22</i>
2.4.2	<i>Desenvolvimento digital das moduladoras.....</i>	<i>25</i>
2.4.3	<i>Implementação digital da lógica de acionamento.....</i>	<i>26</i>
2.5	Considerações finais.....	27
3	INVERSOR MULTINIVEL TRIFÁSICO HÍBRIDO SIMÉTRICO DE CINCO NÍVEIS BASEADO NAS TOPOLOGIAS HALF-BRIDGE E ANPC.....	28
3.1	Introdução	28
3.2	Topologia proposta.....	28
3.3	Lógica de acionamento.....	34
3.4	Sequência de chaveamento para o inversor operando com a modulação derivada da PD-PWM.....	36
3.5	Análise teórica da DHT das tensões de saída.....	38
3.6	Considerações finais.....	47
4	ESTUDO DE PERDAS DO INVERSOR MULTINIVEL DERIVADO DAS TOPOLOGIAS HALF-BRIDGE E ANPC.....	48
4.1	Considerações iniciais.....	48
4.2	Esforços de correntes média e eficaz.....	48
4.2.1	<i>Determinação dos esforços de corrente nos interruptores.....</i>	<i>50</i>
4.2.1.1	<i>Cálculo das correntes média e eficaz para o interruptor S_{a1} e seu respectivo diodo em antiparalelo D_{a1}.....</i>	<i>53</i>

4.2.1.2	<i>Cálculo das correntes média e eficaz para o interruptor S_{a2} e seu respectivo diodo em antiparalelo D_{a2}.....</i>	55
4.2.1.3	<i>Cálculo das correntes média e eficaz para o interruptor S_{a6} e seu respectivo diodo em antiparalelo D_{a6}.....</i>	57
4.2.1.4	<i>Cálculo das correntes média e eficaz para o interruptor S_{a7} e seu respectivo diodo em antiparalelo D_{a7}.....</i>	58
4.2.1.5	<i>Cálculo das correntes média e eficaz para os interruptores S_{a3}, S_{a4}, S_{a5} e S_{a8} e respectivos diodos em antiparalelo, D_{a4}, D_{a3}, D_{a5} e D_{a8}.....</i>	61
4.3	Cálculo das perdas por condução e comutação.....	66
4.4	Considerações finais.....	72
5	RESULTADOS EXPERIMENTAIS.....	73
5.1	Introdução.....	73
5.2	Resultados experimentais das técnicas de modulação.....	73
5.2.1	<i>Estratégias de modulação.....</i>	<i>73</i>
5.3	Resultados experimentais do inversor multinível proposto.....	78
5.3.1	<i>Esforços de tensão e corrente sobre os interruptores.....</i>	<i>79</i>
5.3.2	<i>Resultados de saída utilizando a modulação derivada da PD-PWM.....</i>	<i>81</i>
5.3.3	<i>Resultados de saída utilizando a modulação derivada da CSV-PWM.....</i>	<i>88</i>
5.4	Considerações finais.....	94
6	CONCLUSÃO.....	95
	REFERÊNCIAS BIBLIOGRÁFICAS.....	97
	APÊNDICE A - Metodologia de Projeto do Inversor Multinível Híbrido de Cinco Níveis Baseado Em Um Half-Bridge/ANPC.....	102
	APÊNDICE B – Programas.....	110
	APÊNDICE C – Trabalhos Futuros.....	124

1 INTRODUÇÃO GERAL

1.1 Introdução

Ao longo dos últimos anos, diversas topologias de inversores multiníveis, assim como diferentes estratégias de modulação, vêm sendo largamente utilizadas. Sobretudo em aplicações de média e alta potência, como compensadores de potência reativa e acionamento de motores com corrente alternada, CA, devido à sua capacidade de redução de harmônicos na tensão de saída e diminuição dos esforços de tensão sobre os semicondutores. Os conversores multiníveis apresentam, como vantagens, melhoria da qualidade da tensão de saída, baixa distorção harmônica, reduzindo assim os componentes de filtragem, além de apresentar alta eficiência, sendo mais notável em níveis de baixa potência (BHAGWAT *et al.*, 1983; DING *et al.*, 2004; FRANQUELO *et al.*, 2008; PEREIRA *et al.*, 2008).

1.2 Inversores multiníveis

Na literatura três topologias são amplamente estudadas: o inversor com ponto neutro grampeado a diodos (*Neutral Point Clamped – NPC*) (BAKER, 1980; NABAE *et al.*, 1981), o inversor com capacitor flutuante (*Flying Capacitor – FC*) (MEYNARD *et al.*, 1992) e inversor ponte-H em cascata (*Cascaded H-Bridge – CHB*) (BAKER *et al.*, 1975).

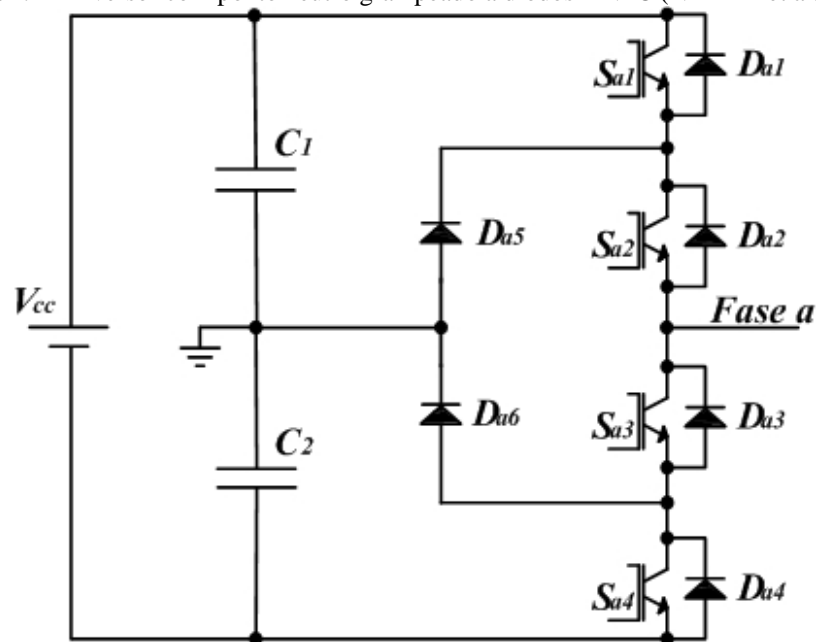
Adicionando-se diodos de grampeamento ao neutro, formado pelo ponto central de ligação entre os capacitores do barramento CC e um par de interruptores a cada fase da estrutura clássica do conversor de dois níveis, conforme pode ser observado na Figura 1.1, permitiu-se aplicar mais níveis de tensão à carga, resultando no inversor com grampeamento através de diodos ou NPC (NABAE *et al.*, 1981).

A estrutura é composta por $n-1$ capacitores no barramento da fonte de tensão contínua, enquanto o número de interruptores utilizados em uma estrutura monofásica é de $2(n-1)$, na qual n é o número de níveis. A tensão sobre os capacitores, em teoria, é igual a $V_{cc}/(n-1)$, grampeando a tensão máxima sobre cada interruptor neste mesmo valor, devido à condução dos diodos que garantem que a tensão sobre cada interruptor seja igual à tensão dos capacitores, ao contrário do inversor clássico de dois níveis, cujos semicondutores devem suportar a tensão total do barramento sobre eles. Outras vantagens da estrutura NPC, se comparado a outras topologias, são a redução no número de capacitores, a não necessidade de isolamento da fonte de tensão, a mudança de nível da tensão de saída ocorrer através do chaveamento de

um único interruptor, reduzindo, assim, as perdas por comutação e as interferências eletromagnéticas e a possibilidade de controle da potência reativa (LAI *et al.*, 1996; RASHID, 1999). Como desvantagem, apresentam-se os problemas relacionados ao desbalanceamento de tensão nos capacitores de barramento, grampeamento indireto dos diodos e chaves internas, elevado número de dispositivos semicondutores, surgimento de elevadas tensões de bloqueio sobre os diodos de grampeamento, além da dificuldade de expansão para aplicações com maior número de níveis (CHOI *et al.*, 1991; NOVAES, 2000; FLORES *et al.*, 2009; GRIGOLETTO *et al.*, 2009; ROCHA *et al.*, 2011).

No inversor NPC de 3 níveis, apresentado na Figura 1.1, os interruptores S_{a1} e S_{a3} não podem conduzir simultaneamente, assim como os interruptores S_{a2} e S_{a4} . Os possíveis níveis de tensão na carga são: $V_{cc}/2$, 0 e $-V_{cc}/2$. A Tabela 1.1 apresenta os comandos dos interruptores para que sejam obtidos esses 3 níveis.

Figura 1.1 – Inversor com ponto neutro grampeado a diodos – NPC (NABAE *et al.*, 1981)



Fonte: Elaborada pela autora.

Tabela 1.1 – Tensão de saída e sequência de chaveamento para um braço do inversor NPC

Níveis de Tensão na carga	Sequência de Chaveamento			
	S_{a1}	S_{a2}	S_{a3}	S_{a4}
$V_{cc}/2$	1	1	0	0
0	0	1	1	0
$-V_{cc}/2$	0	0	1	1

Fonte: Elaborada pela autora.

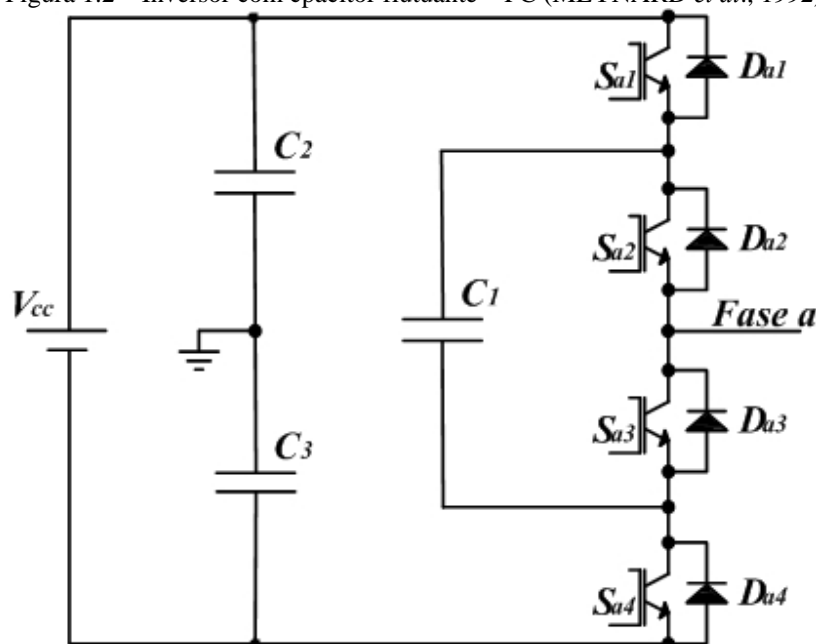
Para a configuração trifásica do NPC de três níveis, assim como no inversor de dois níveis, o número de níveis na tensão de linha é superior ao da tensão de fase. A tensão de linha apresenta cinco níveis distintos, V_{cc} , $V_{cc}/2$, 0 , $-V_{cc}/2$ e $-V_{cc}$.

Essa topologia pode ser expandida para mais níveis, adicionando diodos de grameamento e capacitores de barramento, o que naturalmente melhora o conteúdo harmônico da tensão de saída, como apresentado por Hochgraf *et al.*, (1994). Uma generalização do NPC foi proposta, sendo chamada de *Multipoint Clamped Converter* – MPC. No entanto, o acréscimo de semicondutores torna o circuito e a modulação mais complexos.

Uma estrutura concebida por Meynard *et al.*, (1992), utiliza capacitores de grameamento no lugar dos diodos da estrutura NPC. Esta topologia também conhecida como conversor com capacitores flutuantes (FC) grameia a tensão de bloqueio dos interruptores internos, como pode ser observado na Figura 1.2. Os interruptores S_{a1} e S_{a4} não podem conduzir simultaneamente, assim como os interruptores S_{a2} e S_{a3} . A Tabela 1.2 apresenta os comandos dos interruptores para que sejam obtidos os 3 níveis: $V_{cc}/2$, 0 e $-V_{cc}/2$.

Assim como a estrutura NPC, a FC também pode ser expandida para mais níveis sendo generalizada a partir do trabalho publicado por Peng *et al.*, (2001), o que acarreta no uso de mais capacitores, que cresce exponencialmente com o número de níveis sintetizados pelo conversor. Sua estrutura básica para um braço de um conversor de n níveis é composta por: $n-1$ capacitores de barramento CC, $n-1$ células de interruptores, onde cada célula é composta por um par de interruptores e $n-2$ capacitores de grameamento (SERPA, 2007).

Figura 1.2 – Inversor com capacitor flutuante – FC (MEYNARD *et al.*, 1992)



Fonte: Elaborada pela autora.

Tabela 1.2 – Tensão de saída e sequência de chaveamento para um braço do inversor FC

Níveis de Tensão na carga	Sequência de Chaveamento			
	S_{a1}	S_{a2}	S_{a3}	S_{a4}
$V_{cc}/2$	1	1	0	0
0	1	0	1	0
0	0	1	0	1
$-V_{cc}/2$	0	0	1	1

Fonte: Elaborada pela autora.

As principais vantagens dessa topologia são: redução dos esforços de tensão sobre os interruptores e grampeamento de forma direta evitando a sobretensão nos interruptores internos, redução no número de semicondutores, eliminação de problemas associados às correntes de recuperação reversa nos diodos, e presença de estados de comutação redundantes para sintetizar a tensão de fase, o que permite um controle dinâmico na operação de carga e descarga destes capacitores, possibilitando o controle do fluxo de potência ativa e reativa.

Contudo, além da dificuldade de balanceamento da tensão dos capacitores em aplicações com transferência de potência ativa, o maior problema desta topologia é a necessidade de um grande número de capacitores, tornando-a mais cara, pesada e volumosa (RAS-HID, 1999; LEE *et al.*, 2001; ESCALANTE *et al.*, 2002).

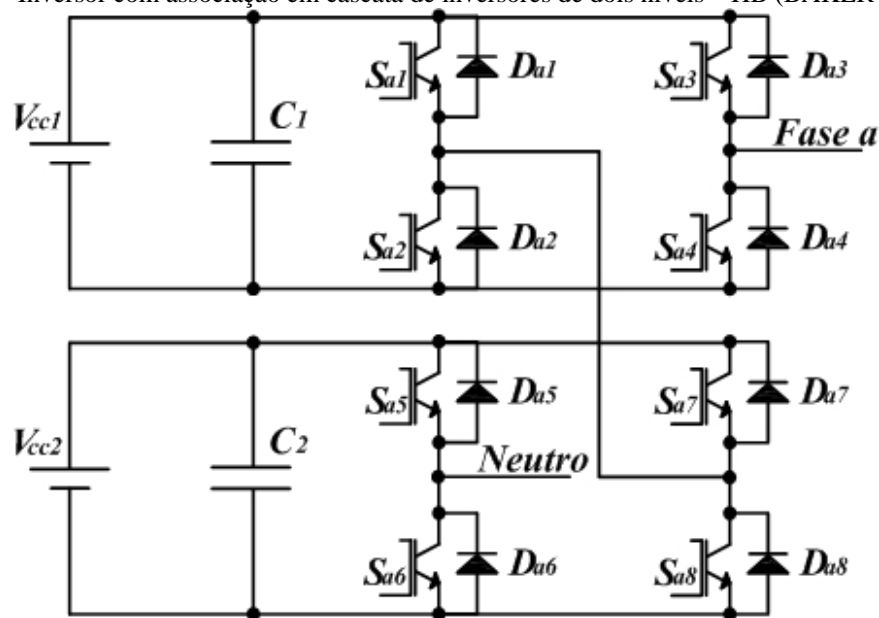
A terceira das principais topologias foi concebida por Baker *et al.*, (1975). É conhecida como uma associação em cascata de vários inversores convencionais de dois níveis e amplamente utilizada para se conseguir tensões com múltiplos níveis. Esta topologia pode ser observada na Figura 1.3, na qual a tensão de saída é obtida somando-se a tensão de saída de cada módulo.

Como vantagem, essa estrutura apresenta redução da distorção na tensão de saída, pois não é necessário alterar a modulação para equilibrar a tensão dos capacitores, redução de componentes, pois não utiliza diodos de grampeamento e nem capacitores flutuantes, além de não apresentar o problema do desbalanceamento nas fontes de alimentação e utilização de um controle mais simples, já que os inversores cascadeados apresentam estruturas idênticas, possibilitando assim uma construção modular, reduzindo custos e complexidade.

Como desvantagem, pode-se citar a necessidade de se utilizar fontes CC isoladas, limitando sua utilização prática e a submissão dos capacitores de barramento a esforços com características de estrutura monofásica, elevando a ondulação da tensão nos mesmos (RAS-HID, 1999; SILVA *et al.*, 2006, ENCARNAÇÃO *et al.*, 2004).

Com o intuito de reduzir o conteúdo harmônico da tensão de saída, melhorar a eficiência e diminuir os esforços de tensão sobre os semicondutores, especialmente em aplicações de média e alta potência, como compensadores de potência reativa e acionamentos de motores CA, diversas topologias foram propostas a partir das três supracitadas, realizando diversas combinações entre elas, sendo possível obter topologias que gerem três ou mais níveis de tensão na saída. Essa combinação de inversores resulta em conversores chamados de híbridos, possibilitando a junção de células de frequência e/ou estratégias de comutação distintas, ou células com tecnologia diferentes de semicondutores. Algumas das configurações derivadas das topologias principais são apresentadas a seguir.

Figura 1.3 – Inversor com associação em cascata de inversores de dois níveis – HB (BAKER et al., 1975)

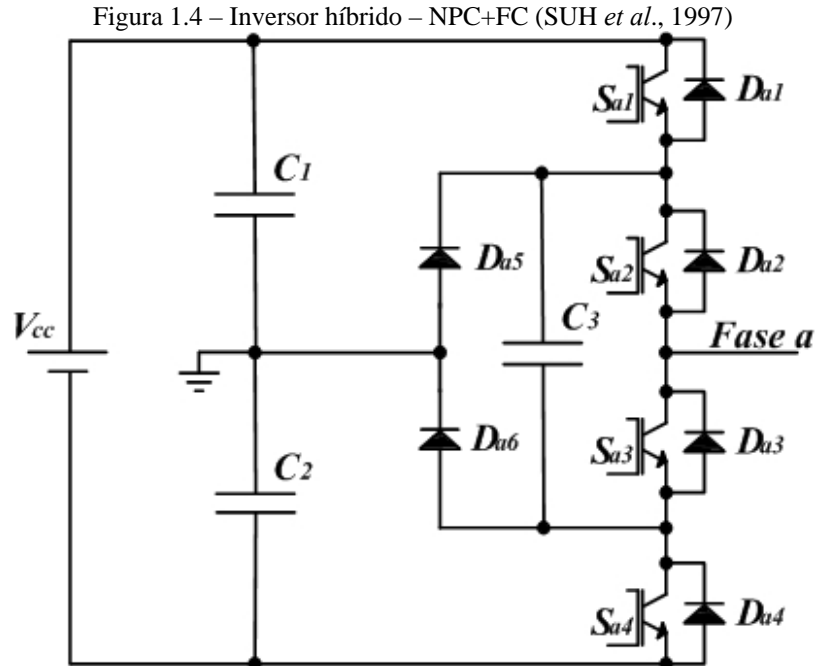


Fonte: Elaborada pela autora.

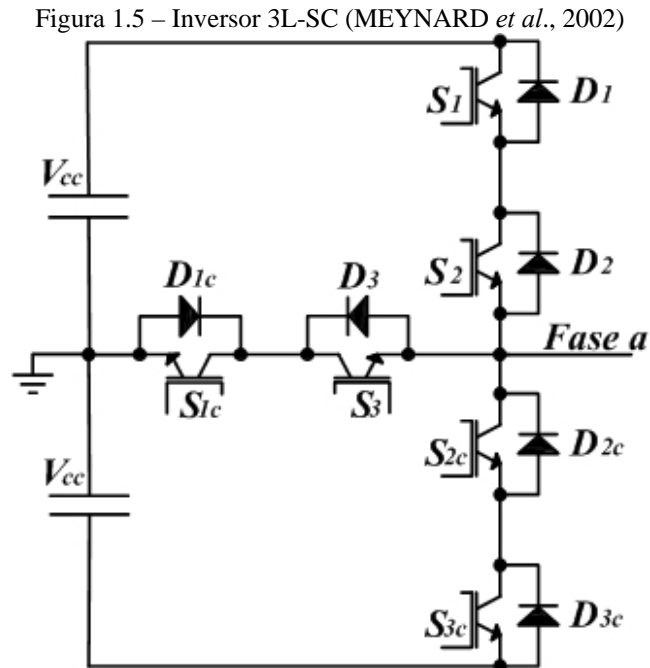
Suh *et al.*, (1997), propôs uma topologia, na qual um capacitor flutuante é adicionado à topologia NPC, conforme é observado na Figura 1.4. Essa estrutura possui as vantagens inerentes à redução de flutuações de tensão no ponto neutro e do balanceamento das tensões de bloqueio nos interruptores e como desvantagem o acréscimo de componentes, tornando o circuito mais complexo.

A estrutura 3L-SC (3L-Stacked Cells), apresentada na Figura 1.5, é composta por seis interruptores, na qual cada um deve suportar metade da tensão do barramento. Os interruptores externos são ligados em série e os dois interruptores centrais são ligados opostos um ao outro, formando assim três células controladas por três diferentes razões cíclicas, ($S1-S1c$), ($S2-S2c$) e ($S3-S3c$) (MEYNARD *et al.*, 2002).

Visando melhorar a principal desvantagem da estrutura NPC, que é a distribuição assimétrica das perdas nos semicondutores, foi desenvolvido o inversor multinível com grampeamento ativo do neutro (ANPC - *Active Neutral Point Clamped*), como apresentado na Figura 1.6 (BRÜCKNER *et al.*, 2001; BRÜCKNER *et al.*, 2005; FLORICAU *et al.*, 2008).

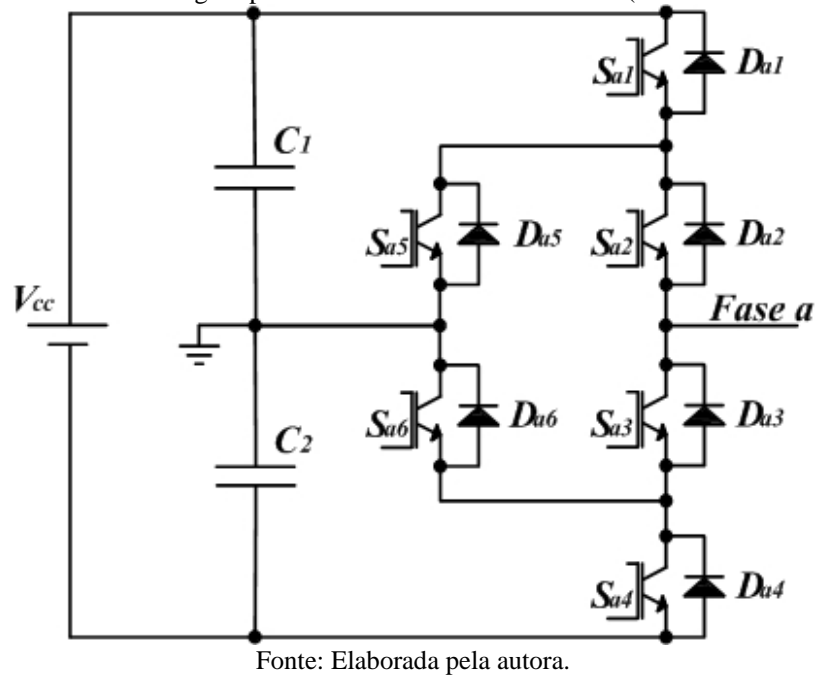


Fonte: Elaborada pela autora.



Fonte: Elaborada pela autora.

Figura 1.6 – Inversor com grameamento ativo do neutro – ANPC (BRÜCKNER *et al.*, 2001)



Fonte: Elaborada pela autora.

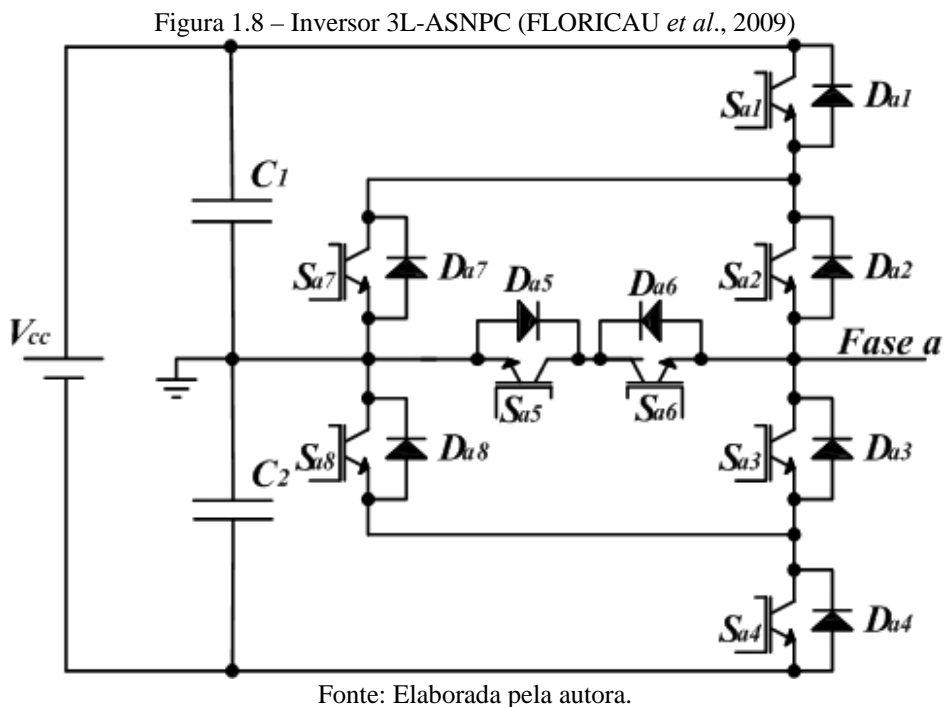
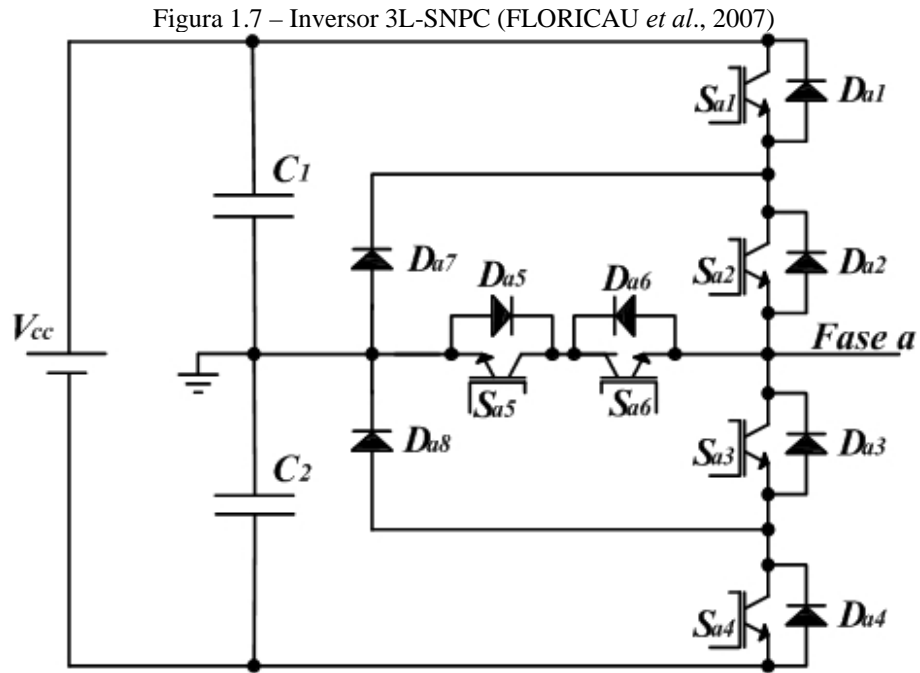
Nesses trabalhos foi investigada a distribuição de perdas nos semicondutores nas mais populares topologias de conversores multiníveis de três níveis, 3L-SC (*Three-level Stacked Cells*), 3L-NPC (*Three-level -Neutral Point Clamped*) e 3L-ANPC (*Three-level Active Neutral Point Clamped*), chegando-se à conclusão de que esta distribuição é desigual. As perdas aumentam simultaneamente com a redução do índice de modulação, o que leva ao aumento da temperatura da junção nos dispositivos de potência, limitando a frequência de comutação e a potência de saída do conversor.

Para superar esta desvantagem, Floricaud *et al.*, (2007) propôs uma topologia de três níveis, nomeada 3L-SNPC (*Three-level Stacked Neutral Point Clamped*), como mostrado na Figura 1.7. Esta topologia é baseada na combinação dos conceitos dos conversores SC (*Stacked Cells*) e NPC, e assegura uma circulação balanceada de corrente, através de seis interruptores bidirecionais e dois diodos de grameamento. Cada interruptor é capaz de suportar $V_{cc}/2$, e a tensão de saída apresenta os níveis $V_{cc}/2$, 0 e $-V_{cc}/2$.

A estrutura proposta tem um grau de liberdade maior do que as investigadas, e os dispositivos de potência apresentam frequência de chaveamento média igual à metade da frequência de comutação. Este conversor pode ser controlado através de diferentes estratégias PWM (*Pulse Width Modulation*) senoidal.

A fim de equilibrar a frequência de comutação média para todos os dispositivos de potência, um novo conversor multinível foi proposto por Floricaud *et al.*, (2009), nomeado de 3L-ASNPC (*Active Stacked NPC*), conforme pode ser observado na Figura 1.8. Derivado da

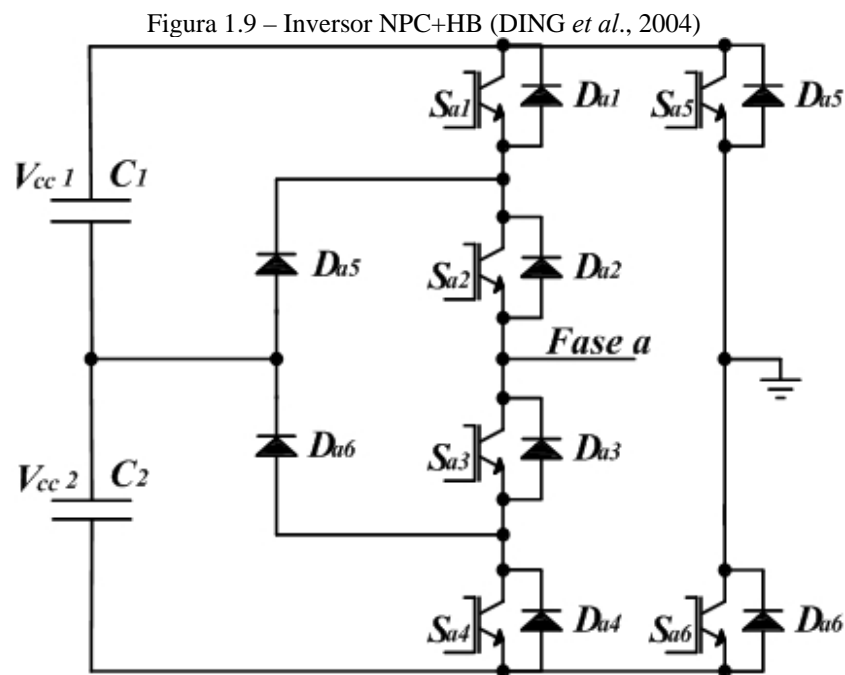
topologia 3L-SNPC, essa estrutura apresenta dois novos dispositivos ativos conectados em antiparalelo com os diodos de gramepeamento, onde cada interruptor suporta uma tensão igual a $V_{cc}/2$. A estrutura 3L-ASNPC tem mais graus de liberdade e pode ser controlada usando diferentes estratégias PWM. O princípio de operação e as características deste conversor de três níveis derivam da estrutura 3L-SNPC (FLORICAU *et al.*, 2010).



Dentre as estruturas de inversores multiníveis de cinco níveis híbridas, pode-se citar a monofásica assimétrica, alimentada por valores de fontes de tensão diferentes, concebida a partir da junção entre as topologias meia ponte e NPC, conforme a Figura 1.9. Essa configuração permite que dispositivos mais rápidos e de alta tensão operem juntos de forma a produzir um melhor resultado (DING *et al.*, 2004). Outra topologia simétrica, alimentada por iguais valores de fontes de tensão, composta por oito interruptores foi proposta por Astudillo *et al.*, (2008), como mostrado na Figura 1.10 (CARMONA *et al.*, 2008; RUIZ-CABALLERO *et al.*, 2010). Uma outra configuração derivada da ANPC foi proposta por Chudhuri *et al.*, (2008).

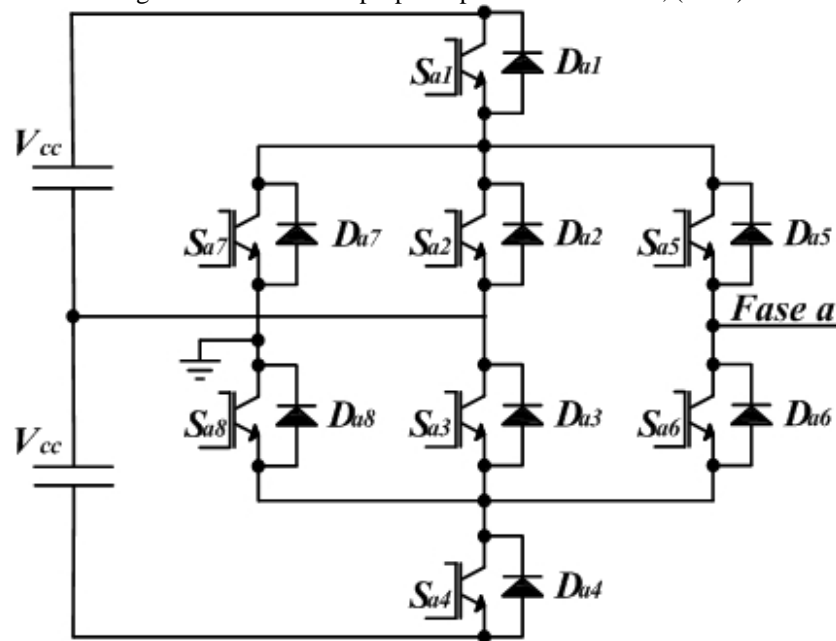
Batschauer *et al.*, (2010) propôs um novo inversor multinível híbrido trifásico para aplicações de média tensão, composto de um inversor trifásico clássico associado em série com células compostas de sub-células de inversores monofásicos meia-ponte. Uma visão mais detalhada desta configuração monofásica pode ser observada na Figura 1.11. Vale salientar que para elevar o número de níveis da estrutura basta associar mais células de inversores meia-ponte em cascata. (BATSCHAUER *et al.*, 2011; BATSCHAUER, 2012),

Produzir cinco níveis de tensão a partir de apenas cinco interruptores é a vantagem de uma estrutura *Half-Bridge* com a adição de um interruptor bidirecional (CEGLIA *et al.*, 2004; WU *et al.*, 2006). Minimizar os esforços de tensão sobre os interruptores e diminuir a distorção harmônica da tensão de saída são as vantagens de uma estrutura baseada na célula de três níveis (KIEFERNDORF *et al.*, 2010).



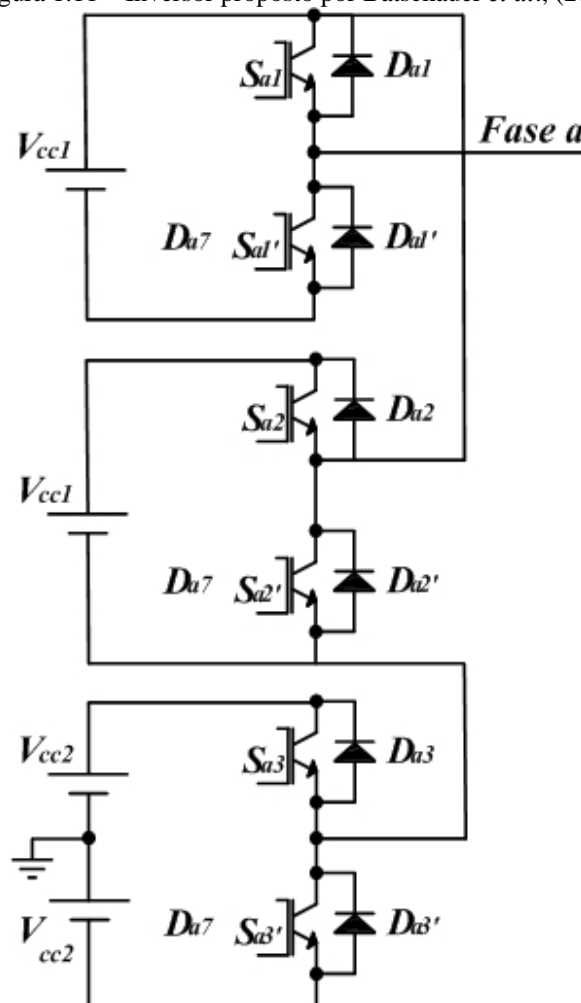
Fonte: Elaborada pela autora.

Figura 1.10 – Inversor proposto por Astudillo *et al.*, (2008)



Fonte: Elaborada pela autora.

Figura 1.11 – Inversor proposto por Batschauer *et al.*, (2010)



Fonte: Elaborada pela autora.

1.3 Técnicas de modulação

Com o aumento nos números de semicondutores nas estruturas de inversores e com objetivos como o de melhorar a qualidade da tensão de saída, reduzir as perdas do inversor e o balanceamento de tensão entre os capacitores do barramento CC, tem-se desenvolvido diversas técnicas de modulação e estratégias de controle.

A literatura científica faz alusão a uma série de técnicas de modulação, algumas mais complexas e outras mais simples. Destarte, a escolha entre uma em detrimento de outra, ocorrerá em função dos objetivos a serem alcançados bem como da complexidade de implementação da modulação almejada.

Dente estas técnicas pode-se citar a modulação no domínio do tempo (Pulse Width Modulation - PWM) e modulação no espaço vetorial (Space Vector Modulation - SVM) (HOLTZ, 1994).

A Modulação por Largura de Pulso (*Pulse Width Modulation* – PWM) é a estratégia de modulação mais aplicada no acionamento dos inversores. Baseada na variação da razão cíclica do sinal de alta frequência que comanda os interruptores tem como objetivo gerar na saída do inversor uma tensão de frequência mais baixa com amplitude e frequência ajustáveis (OLIVEIRA JR *et al.*, 2005).

A Modulação por Largura de Pulso com Deslocamento de Fase (*Phase-Shifted Pulse Width Modulation* – PSPWM) utiliza duas portadoras triangulares defasadas em cento e oitenta graus elétricos, para aplicações de inversores a três níveis. A vantagem desta técnica de modulação é a simplicidade na implementação, além de balancear naturalmente as tensões nos capacitores flutuantes. Como desvantagem, pode-se citar a Distorção Harmônica Total, DHT, da tensão de saída apresentado em inversores que utilizam esta modulação, principalmente para aplicações que utilizam índices de modulação reduzidos níveis. (LIANG *et al.*, 2000; FRANQUELO *et al.*, 2008).

Para superar esta desvantagem, outras técnicas de modulação foram desenvolvidas com duas portadoras defasadas em níveis de tensão, cuja técnica recebeu o nome de Modulação por Largura de Pulso com Deslocamento de Nível (*Level-Shifted Pulse Width Modulation* – LSPWM). Dependendo da disposição das triangulares e seu defasamento no tempo, esta modulação pode ser dividida em três tipos distintos: Disposição em fase (*In-Phase Disposition* – IPD), Disposição em Oposição de Fase (*Phase-Opposition Disposition* – POD) e Disposição em Oposição com Alternância de Fase (*Alternate Phase-Opposition Disposition* –

APOD (CARRARA *et al.*, 1992; MCGRATH *et al.*, 2002; WU, 2006; FRANQUELO *et al.*, 2008;).

A modulação proposta por Wang *et al.*, (2004), se mostrou bastante eficaz quando se deseja obter baixos níveis de distorção harmônica, mesmo quando o inversor opera com índices de modulação reduzidos. Isto se deve à configuração de suas portadoras modificadas, sendo comparadas com uma moduladora senoidal por fase.

Outras técnicas de modulação foram apresentadas desta vez variando o desenho da moduladora, como a apresentada em Ding *et al.*, (2004), na qual o primeiro meio ciclo de uma senoide é deslocada em valores de tensão para baixo, enquanto que a outra metade do semiciclo é deslocada para cima formando assim um novo desenho de moduladora.

Ao contrário da modulação PWM, a modulação SVM (*Space-Vector Modulation*), define cada estado de comutação de um inversor como um ponto no espaço complexo (α, β) enquanto um fasor rotacional de referência no plano (α, β) na frequência fundamental é amostrado dentro do período de chaveamento. Assim, os três estados mais próximos são selecionados com a razão cíclica calculada para sintetizar a tensão média desejada no período de comutação. Dessa forma, as tensões de linha do inversor são controladas diretamente (HOLMES *et al.*, 2003; FRANGUELLO *et al.*, 2006).

Na modulação proposta por Henn *et al.*, (2011) é realiza uma modificação nas portadoras baseada na proposta por Wang *et al.*, (2004), resultando em uma melhoria no DHT nas topologias NPC e FC.

A técnica apresentada em Mcgrath *et al.*, (2003), *Centered Space Vector* (CSV-PWM), possui como moduladora um novo desenho derivado de uma senoide que possibilita a otimização da escolha do vetor, e a eliminação seletiva de harmônicas (MCGRATH *et al.*, 2007). Outro método apresentado em Ávila *et al.*, (20011), foi comparado ao método SV-PWM utilizando-se um conversor NPC trifásico de cinco níveis. Estas são algumas das técnicas de modulações encontradas na literatura.

1.4 Controladores digitais

Os controladores digitais apresentam algumas vantagens em relação aos analógicos como, por exemplo, flexibilidade, e confiança. Além disso, possuem uma grande densidade de elementos lógicos o que torna viável o desenvolvimento de circuitos mais complexos e formas de ondas diferenciadas das mais comuns. Como as configurações de inversores derivados das topologias tradicionais apresentam um maior número de interruptores, e podendo

estes operar com baixa ou alta frequência na mesma topologia, estas estruturas exigem um dispositivo apropriado para implementar a sequência lógica de comutação.

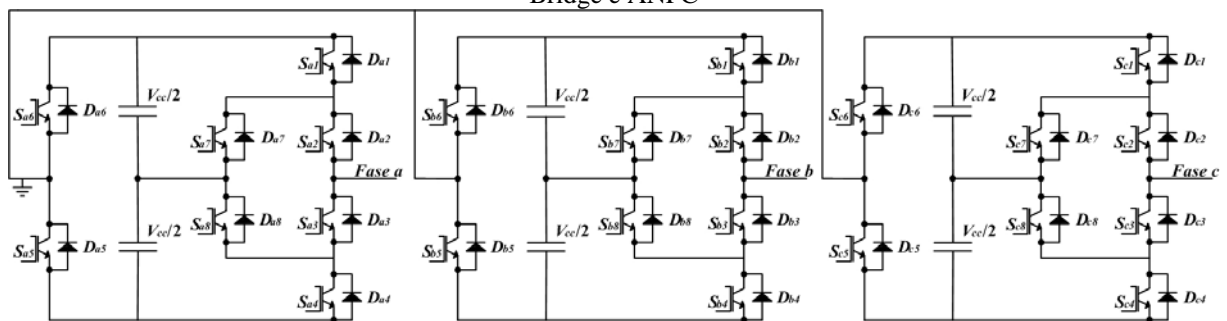
A escolha de dispositivos FPGA (*Field Programmable Gate Array*) na implementação dos algoritmos da modulação é vantajosa, em comparação aos seus relacionados, devido a grande capacidade de processamento e armazenamento, alta velocidade, baixa complexidade de programação, custo reduzido em projetos de sistemas embarcados e execução de operações simultaneamente, já que todos os elementos do circuito podem operar de forma independente.

O dispositivo FPGA escolhido, EP4CE22F17C6N, da família Cyclone IV, desenvolvido pela ALTERA®, contido na placa DE0-Nano, é de fácil localização no mercado, além de apresentar um custo mais baixo comparando-se aos demais. Este é integrado em uma placa de desenvolvimento provida pelo fabricante, dando, assim, uma flexibilidade e facilidade nos desenvolvimentos experimentais. Outra vantagem é a grande quantidade de portas de entrada e saída, tornando-se ideal para a aplicação proposta neste trabalho, além da facilidade de implementação das moduladoras.

1.5 Proposição

Sabendo que o aumento do número de níveis de tensão leva a uma aproximação entre a forma de onda da tensão de saída e a senoide fundamental, este trabalho apresenta como proposta uma topologia de inversor multinível de cinco níveis concebida a partir das topologias *Half-Bridge* e ANPC, como apresentado na Figura 1.12.

Figura 1.12 – Estrutura trifásica proposta, Inversor Multinível Simétrico Híbrido baseado nas topologias *Half-Bridge* e ANPC



O inversor proposto, em sua versão trifásica, pode ser classificado como pertencente ao grupo de inversores multiníveis simétricos híbridos. Os inversores multiníveis basea-

dos no *Half-Bridge* simétrico, apresentam o número de níveis de tensão de saída dado por $2n_f+1$, onde n_f é o número de fontes CC. Essa topologia também permite a comutação em baixa frequência (frequência da moduladora) da metade dos interruptores, contribuindo, assim, com a redução das perdas.

Dentre as vantagens da topologia, pode-se citar: alimentação por barramento único, para cada fase, se houver controle das tensões parciais do barramento pelo conversor ou por duas fontes não isoladas, porém com regulação individual, o que possibilita a redução de emissões eletromagnéticas em alta frequência e todos os potenciais problemas de compatibilidade eletromagnética associados; redução do número de semicondutores simultaneamente conduzindo corrente, o que auxilia na redução das perdas de condução; possibilidade de emprego de semicondutores com baixas perdas de condução nas posições dos interruptores que comutam em baixa frequência; e flexibilidade para a implementação de técnicas de modulação de alto desempenho. A topologia proposta pode ser empregada em sistemas de acionamento de motores de grande porte (SILVA *et al.*, 2012).

Para validar a estrutura de inversor proposta, a partir dos estados de comutação, duas técnicas de modulação serão aplicadas à topologia. São as técnicas baseadas na *Modified PD-PWM (Modified Phase Dispositon- Pulse Width Modulation)* (DING *et al.*, 2004) e na *Centered Space Vector- Pulse Width Modulation (CSV-PWM)* (MCGRATH *et al.*, 2003). Estas foram escolhidas visando uma redução no número de comutações, distribuição mais uniforme das perdas nos semicondutores, além da redução do conteúdo harmônico da tensão de saída, DHT, e da distorção harmônica total ponderada, WTHD, melhorando assim o rendimento do inversor. Estas técnicas de modulação são explanadas e explicadas as implementações no FPGA no Capítulo 2.

Duas estratégias de modulação são selecionadas possibilitando a operação concomitante de metade dos interruptores em baixa frequência (60 Hz) e a outra em alta frequência (1020 Hz), reduzindo o número de comutações, conseqüentemente as perdas nos semicondutores e o conteúdo harmônico da tensão de saída, melhorando assim o rendimento do inversor.

No Capítulo 3 é apresentada a topologia de inversor multinível proposta, com seus possíveis estados de comutação, etapas de operação e mapa vetorial para a operação com cinco níveis na tensão de fase, seguida pela lógica de acionamento escolhida. A análise teórica da distorção harmônica total (DHT) das tensões de fase e de linha, bem como a célula unitária do conversor quando este opera com a modulação derivada da PD-PWM (DING *et al.*, 2004).

No Capítulo 4, é realizado o estudo dos esforços de corrente média e eficaz nos semicondutores, seguida pelo estudo de perdas do inversor operando com a modulação derivada da PD-PWM (DING *et al.*, 2004).

No Capítulo 5, são apresentados os resultados experimentais referentes às estratégias de modulação, isso é, digitalização das portadoras e moduladoras, apresentadas no Capítulo 2, bem como os resultados experimentais referentes ao funcionamento da configuração trifásica do inversor multinível proposto. São apresentadas as principais formas de onda de tensões e correntes nos interruptores, assim como na carga, relacionadas à operação do inversor com potência nominal. Além disso, são apresentados os resultados coletados com as informações sobre o DHT e WTHD da tensão de saída de fase e de linha para o inversor operando com ambas as estratégias de modulação, bem como as perdas, concluindo, assim, a análise experimental do sistema.

Finalmente no Capítulo 6 são descritas as principais conclusões referentes a este trabalho, bem como as sugestões para trabalhos futuros.

2 TÉCNICAS DE MODULAÇÃO

2.1 Introdução

O desenvolvimento e a implementação de algoritmos de modulação para os inversores multiníveis são partes do projeto que originam desafios. Devido à necessidade de desenvolvimento de lógicas e de circuitos mais complexos para geração de formas de ondas diferenciadas das mais comuns.

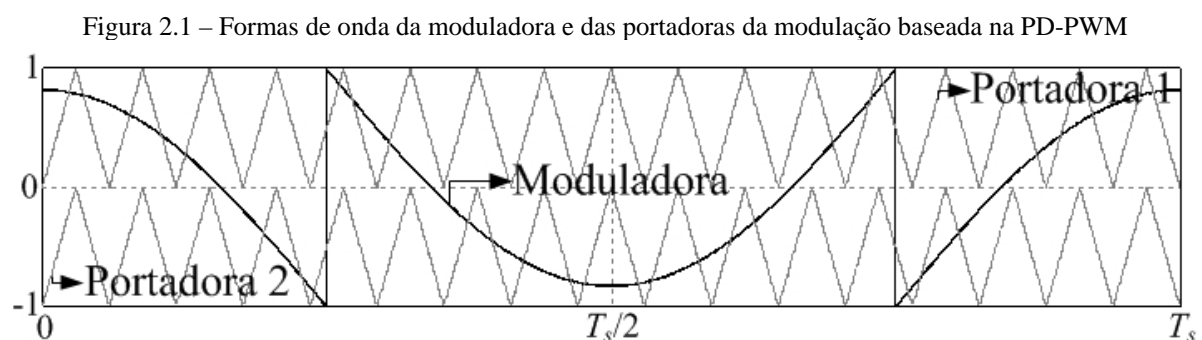
A literatura científica faz alusão a uma série de técnicas de modulação, algumas mais complexas e outras mais simples. A escolha entre uma em detrimento de outra, ocorrerá em função dos objetivos a serem alcançados, bem como a complexidade de implementação da modulação desejada.

Dessa forma, a fim de desenvolver experimentalmente a estrutura de inversor multinível proposta, foram adotadas duas técnicas de modulação: uma derivada da PD-PWM (DING *et al.*, 2004), enquanto a outra, advinda da CSV-PWM (MCGRATH *et al.*, 2003).

Assim, neste capítulo serão apresentadas e detalhadas as técnicas de modulações implementadas no inversor proposto, bem como suas respectivas implementações digitais usando o FPGA.

2.2 Modulação derivada da PD-PWM

A modulação derivada da PD-PWM, (DING *et al.*, 2004), utiliza como moduladora uma derivação de uma cossenoide, na qual um deslocamento negativo é adicionado ao semiciclo positivo, e o mesmo deslocamento, dessa vez positivo, adicionado ao semiciclo negativo da cossenoide, resultando na moduladora modificada apresentada na Figura 2.1

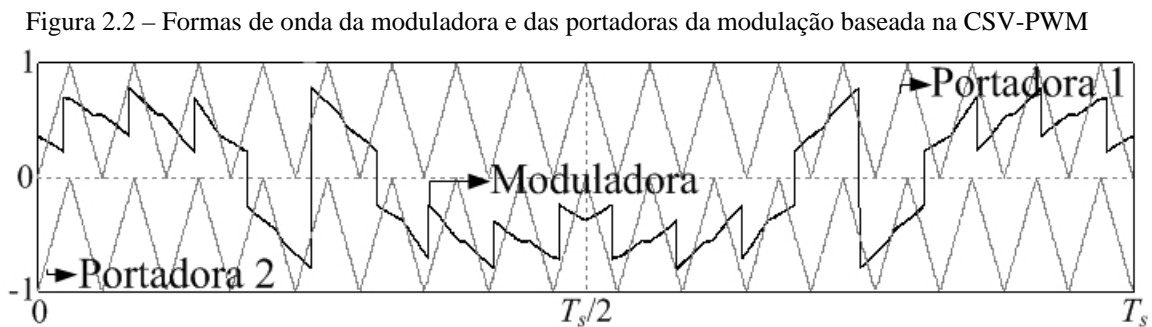


Fonte: Elaborada pela autora.

Esta modulação utiliza como portadoras duas formas de onda triangulares, dispostas em fase, e em alta frequência, que iniciam juntamente com o pico da cossenoide, como se pode observar na mesma figura, obtidas através de simulação do *software* PSIM[®].

2.3 Modulação derivada da CSV-PWM

A modulação derivada da CSV-PWM é uma combinação da modulação proposta em (DING *et al.*, 2004), com a proposta em (MCGRATH *et al.*, 2003). Essa modulação também utiliza duas portadoras triangulares, dispostas em fase, em alta frequência, que iniciam juntamente com a cossenoide modificada, que é o sinal da moduladora em baixa frequência, conforme Figura 2.2, obtida através de simulação do *software* PSIM[®].



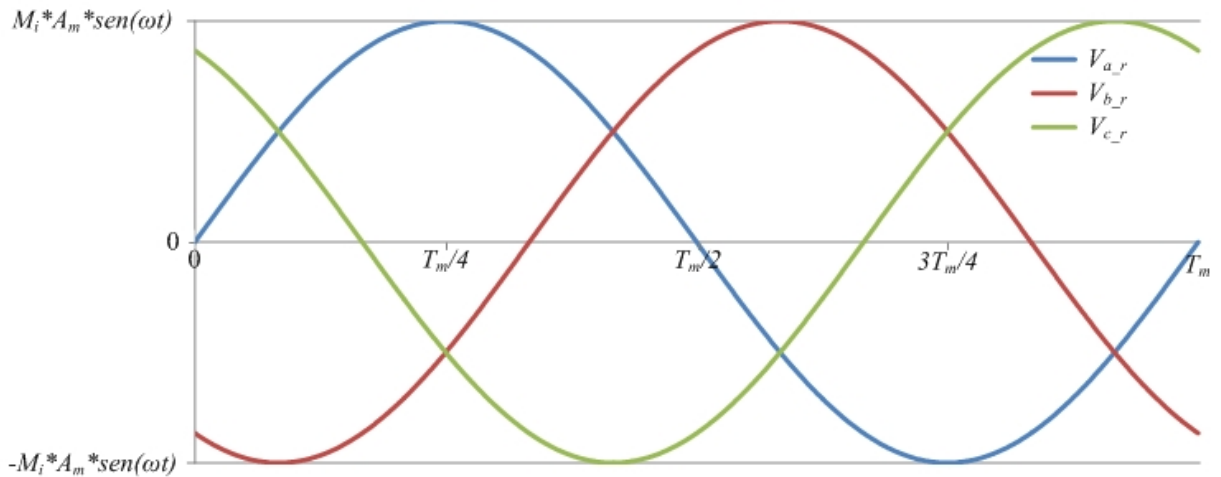
Esse sinal modificado, obtido adotando os passos descritos a seguir, é uma função capaz de aperfeiçoar a distribuição de vetores.

De início devem-se considerar três senoides de referência, V_{a_r} , V_{b_r} , V_{c_r} , idênticas em amplitude e frequência, mas defasadas em 120° elétricos conforme é observado na Figura 2.3. Na qual M_i é o índice de modulação, A_m é a amplitude da moduladora e T_m é o período da moduladora.

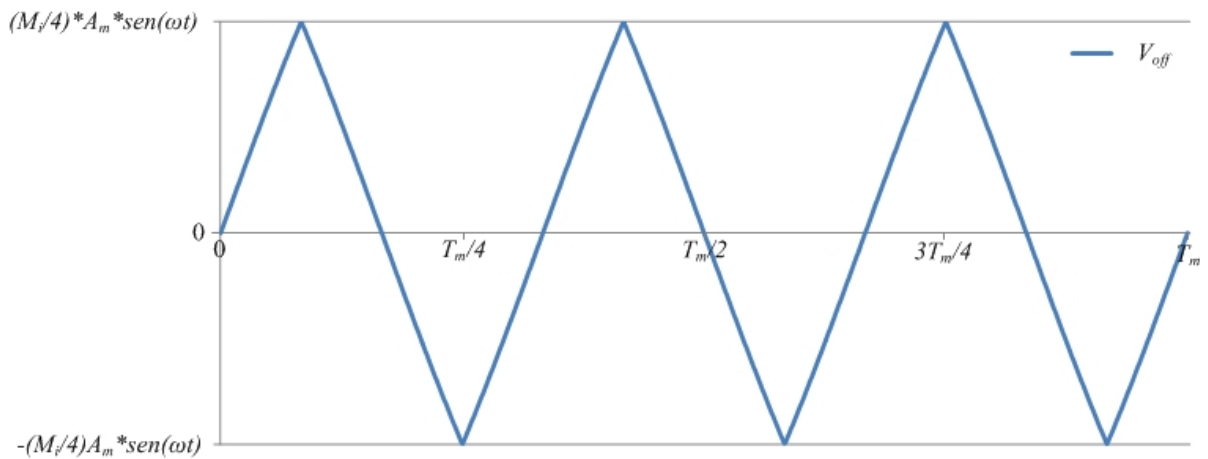
Em seguida, deve-se determinar a função *offset*, conforme a equação (2.1) (HOLMES *et al.*, 2003), para centralizar os vetores ativos dentro de um período de chaveamento. A forma de onda resultante desta equação é observada na Figura 2.4.

$$V_{off} = -\frac{\max(V_{a_r}, V_{b_r}, V_{c_r}) + \min(V_{a_r}, V_{b_r}, V_{c_r})}{2} \quad (2.1)$$

Figura 2.3 – Senoides de referência



Fonte: Elaborada pela autora.

Figura 2.4 – Forma de onda obtida pela função V_{off} 

Fonte: Elaborada pela autora.

Essa função localiza qual senoide de referência, V_{a_r} , V_{b_r} , V_{c_r} , é a que apresenta maior e menor valor em cada instante. A comparação entre os valores absoluto máximo e mínimo das tensões de fase permite a identificação de qual das referências é a responsável pela comutação em cada metade do período da portadora.

Em seguida deve ser aplicada a operação da equação (2.2), a fim de se obter V_k' , (HOLMES *et al.*, 2003). Utiliza-se a função *modulus* para deslocar verticalmente as tensões de referência, resultando em um ponto comum entre as interseções das portadoras.

$$V'_k = (V_k + V_{off} + V_{CC}) \bmod \left(\frac{2V_{CC}}{N-1} \right) \quad (2.2)$$

Na qual:

$k = a_r, b_r, c_r;$

V_{CC} : amplitude da portadora;

N : número de níveis do inversor.

A função *mod* é desmembrada como:

$$\text{mod}(X, Y) = X - n \times Y \quad (2.3)$$

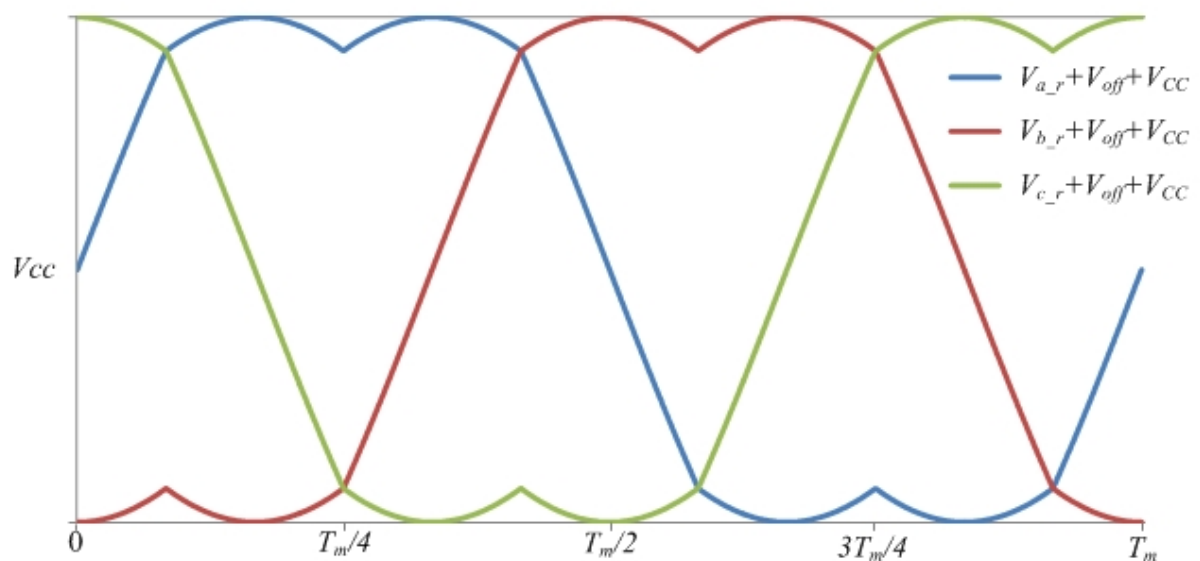
Na qual:

$$n = \text{int}\left(\frac{X}{Y}\right) \quad (2.4)$$

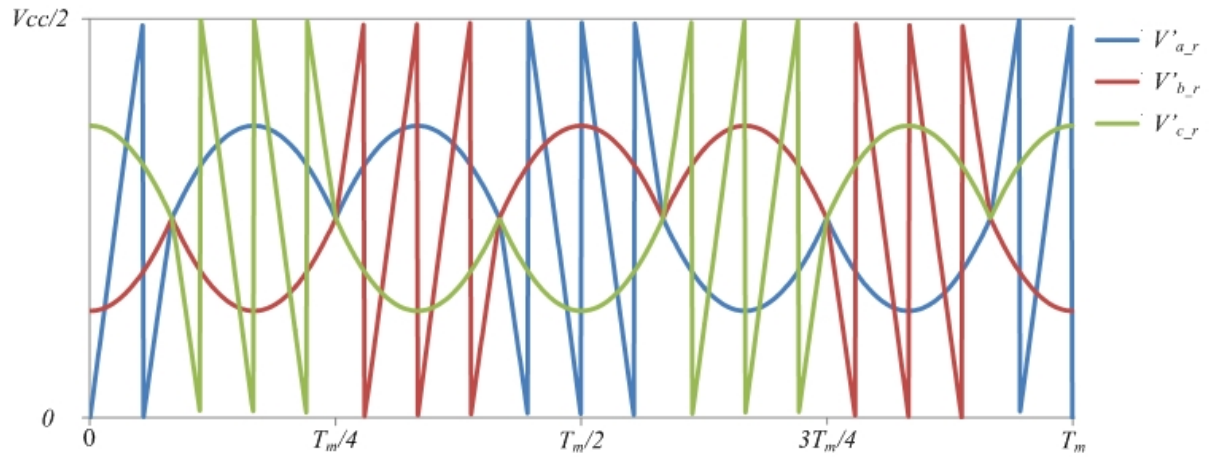
A função *int* arredonda o resultado da operação para o próximo inteiro menor ou igual a ele.

As estratégias de modulação escolhidas para o inversor multinível proposto neste trabalho apresentam apenas duas portadoras para alcançar os cinco níveis na saída. Portanto, $N=5$ e $V_{CC}=1$ ou ($V_{CC}=240$ que é o número de pontos das portadoras), resultando nas formas de onda apresentadas nas Figuras 2.5 e 2.6. Vale ressaltar que o número de pontos escolhido para gerar as portadoras foi explicado no tópico sobre a implementação das portadoras.

Figura 2.5 – Formas de onda obtida pela adição $V_k + V_{off} + V_{cc}$

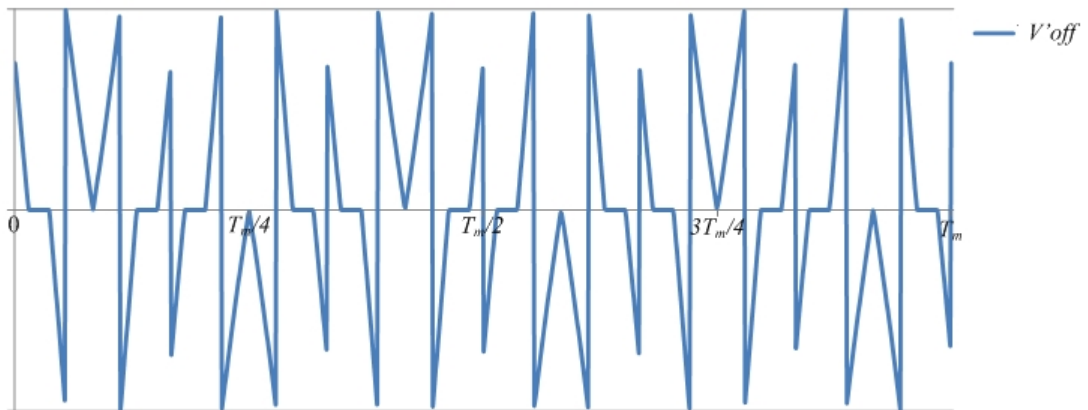


Fonte: Elaborada pela autora.

Figura 2.6 – Formas de onda obtida pela função V'_k 

Em seguida, determina-se a segunda função *offset*, definida pela equação (2.5), (HOLMES *et al.*, 2003), apresentada na Figura 2.7.

$$V'_{off} = \frac{V_{CC}}{N-1} - \frac{\max(V'_{a-r}, V'_{b-r}, V'_{c-r}) + \min(V'_{a-r}, V'_{b-r}, V'_{c-r})}{2} \quad (2.5)$$

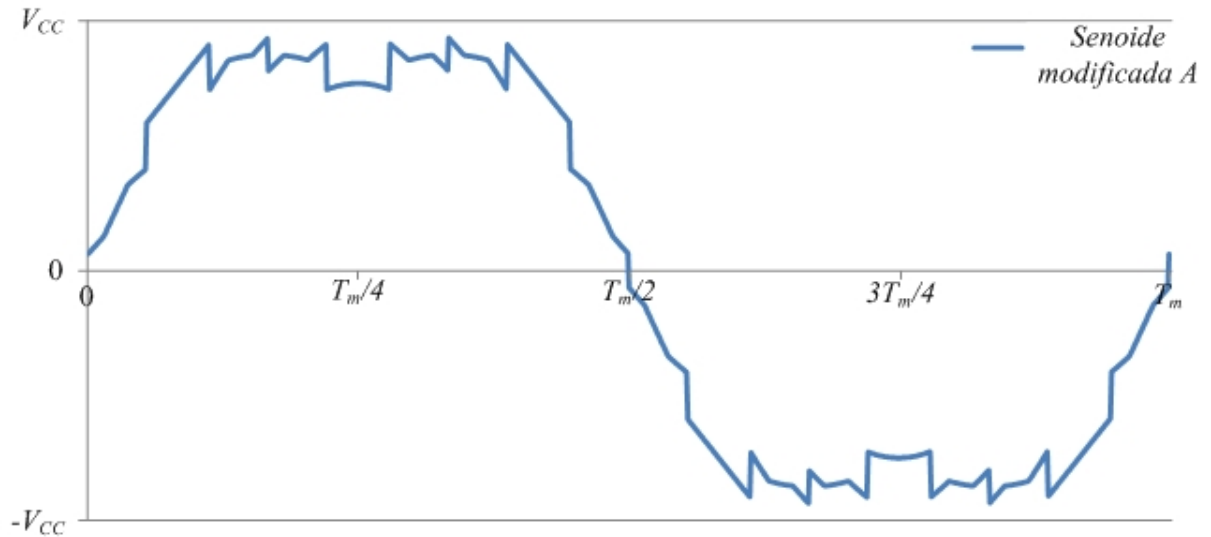
Figura 2.7 – Forma de onda obtida pela função V'_{off} 

Posteriormente, o sinal de referência é adicionado ao sinal V_{off} e V'_{off} gerando o sinal senoidal modificado da Figura 2.8.

Por fim, para gerar a forma de onda da moduladora derivada da CSV-PWM adotada neste trabalho, um sinal cossenoidal modificado, o primeiro meio ciclo da senoide é deslocado em valores de tensão para baixo, enquanto que a outra metade do semiciclo é deslocada para cima. Posteriormente deve-se transformar o sinal de senoidal em cossenoidal, resul-

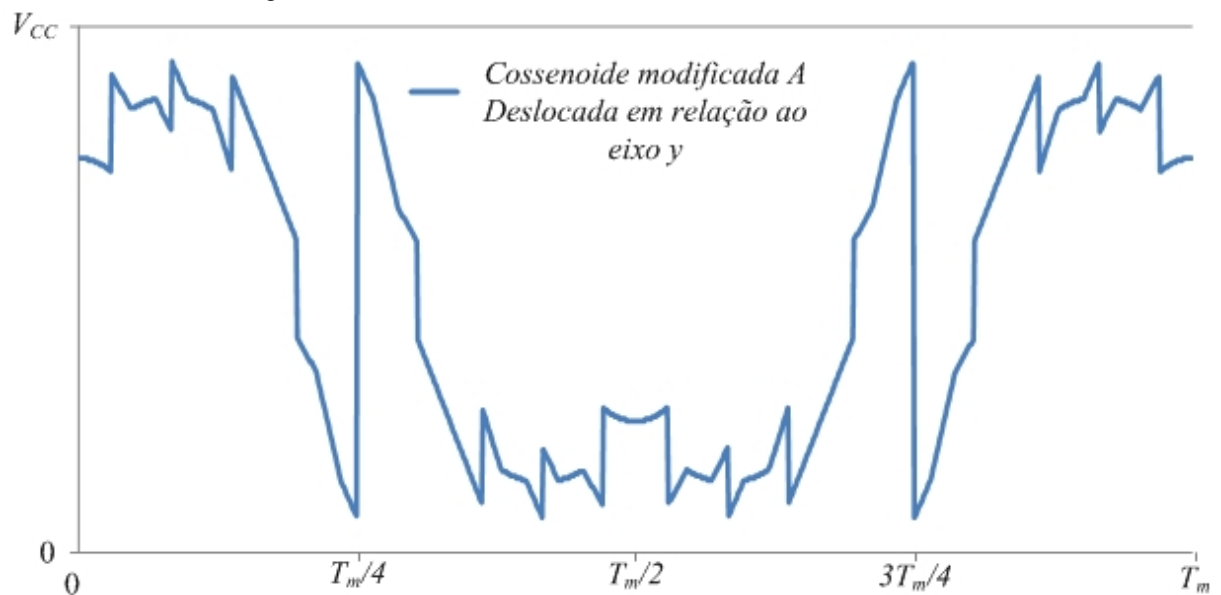
tando na Figura 2.9. Vale salientar que a forma de onda apresentada na Figura 2.9 equivale à implementação no FPGA, pois este trabalha apenas com valores positivos.

Figura 2.8 – Sinal modulante modificado



Fonte: Elaborada pela autora.

Figura 2.9 – Forma de onda da moduladora derivada da CSV-PWM



Fonte: Elaborada pela autora.

2.4 Implementação digital proposta

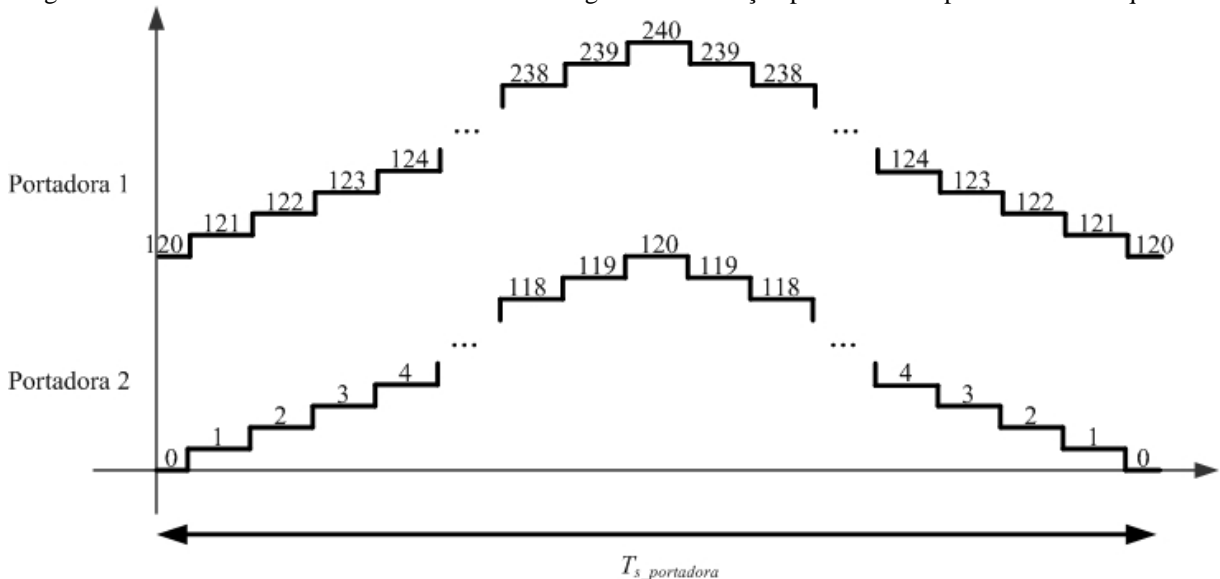
As modulações adotadas para validação do inversor multinível proposto são implementadas utilizando o FPGA. O circuito lógico necessário para a obtenção dos pulsos de comando foi realizado na linguagem de descrição de hardware (*Very High Speed Integrated Circuits Hardware Description Language* – VHDL).

A placa utilizada disponibiliza um *clock* de 50 MHz. A partir deste, outros *clocks* são derivados utilizando três *Phase Locked Loop* – PLLs. A ferramenta de compilação dos circuitos descritos em VHDL é o QUARTUS II[®], desenvolvida para FPGAs do fabricante do dispositivo em uso.

2.4.1 Desenvolvimento digital das portadoras

Para ambas as modulações adotadas as portadoras devem possuir uma forma de onda triangular com frequência de 1020 Hz. A escolha deste valor foi devido a facilidade de implementação, já que este é divisível por três e por dois. Considerou-se que cada uma possui 120 degraus, conforme é apresentado na Figura 2.10. Portanto, o número de degraus para um período de uma portadora é obtido pela equação (2.6).

Figura 2.10 – Portadoras utilizadas em ambas estratégias de modulação para os interruptores de alta frequência



Fonte: Elaborada pela autora.

$$N_{\text{degraus}} = 120 \times 2 = 240 \quad (2.6)$$

Como a frequência de *clock* fornecida pela placa de desenvolvimento do *kit* do FPGA utilizado neste trabalho é de 50 MHz, e as portadoras são geradas a 1020 Hz, é necessário o desenvolvimento de um divisor de frequência para o circuito das portadoras. Através da equação 2.7 pode-se obter um valor X_{port} , representando a divisão do *clock* principal.

$$X_{port} = \frac{f_{principal}}{N_{degraus} \times f_{portadora}} = \frac{50 \times 10^6}{240 \times 1020} = 204,25 \quad (2.7)$$

Posteriormente, juntamente com o número de degraus, este valor, arredondado, deverá dividir o *clock* principal, resultando na frequência da triangular, equação 2.8.

$$f_{portadora} = \frac{50 \times 10^6}{204 \times 240} = 1021,24 \text{ Hz} \quad (2.8)$$

O resultado da equação 2.8 não é um número inteiro e está acima do valor esperado para a frequência da portadora. Tal fato pode gerar erros na modulação e, portanto, na operação do inversor. Assim, torna-se importante adotar uma estratégia para transformar essa divisão mais próxima possível da frequência requerida pela portadora, no caso, 1020 Hz. A solução passa pelo uso de PLLs, com a função de multiplicar o *clock* do sistema principal (50 MHz) por um valor, tal que sua divisão na equação 2.8 por um inteiro, resulte no valor esperado.

A placa utilizada, DE0-Nano, disponibiliza quatro PLLs, na qual três serão utilizados. O primeiro com a função de divisor: a frequência do sistema principal será equacionada e reduzida a 24 MHz para, posteriormente, ser multiplicada novamente. O segundo destina-se a formar uma frequência, f_{pll} , para resultar no número 1020. O terceiro PLL será utilizado na geração da frequência das moduladoras e será discutido posteriormente.

A fim de determinar a frequência de saída ideal do segundo circuito PLL, foi utilizada a equação 2.9, que relaciona o número de degraus de uma portadora com a frequência desejada, gerando um novo valor de frequência, na ordem de mega hertz, assim como o *clock* de entrada.

$$f_{pll} = N_{degraus} \times f_{portadora} \times 1000 = 240 \times 1020 \times 1000 = 244,8 \text{ MHz} \quad (2.9)$$

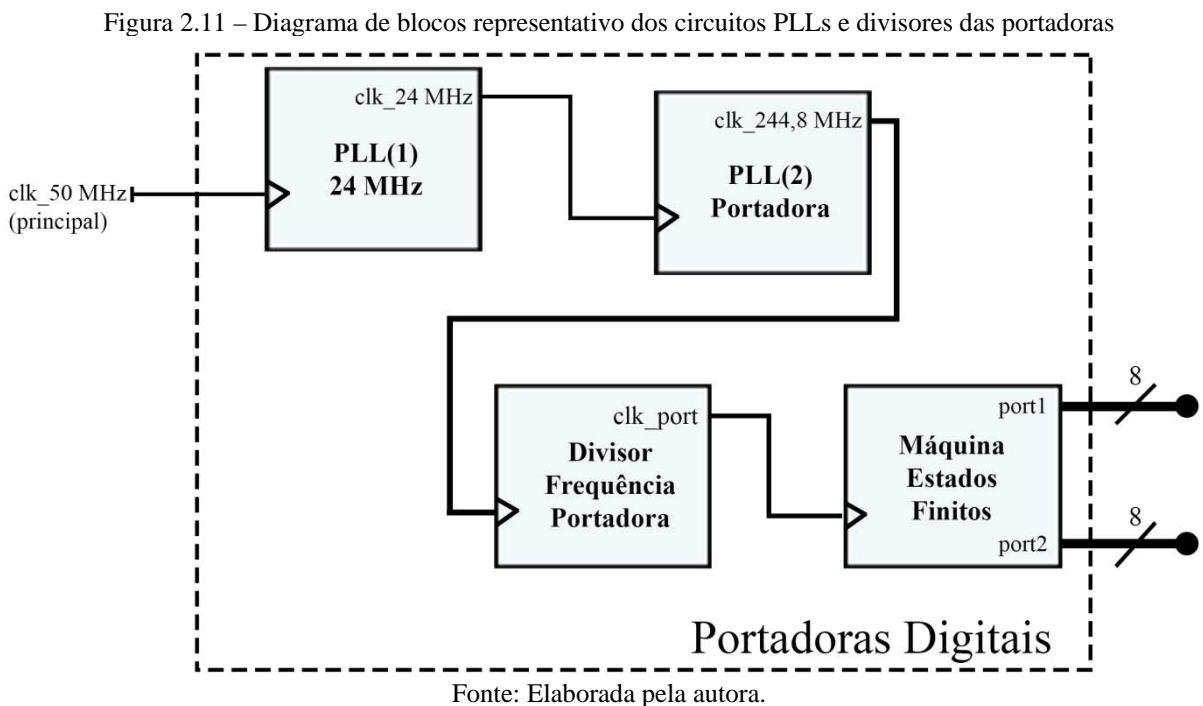
A justificativa da necessidade do primeiro PLL servindo como divisor dá-se por limitações de *hardware*. Na implementação de um circuito PLL, internamente, o FPGA inicialmente multiplica o valor da frequência de *clock* (50 MHz), para então dividi-la, resultando no valor desejado na saída. Uma vez que o dispositivo FPGA utilizado no projeto não suporta

multiplicações que ultrapassem a frequência de 1,3 GHz, reduzir o *clock* de entrada do circuito PLL foi uma medida adequada, tendo em vista suas limitações. Outro motivo importante é a conveniência do valor 24 MHz para resultar nas frequências ideais para implementação da modulação do conversor.

Recalculando a frequência da portadora para o divisor $X_{port} = 1000$, utilizando a equação 2.10, tem-se:

$$f_{portadora} = \frac{244,8 \times 10^6}{1000 \times 240} = 1020,0 \text{ Hz} \quad (2.10)$$

A Figura 2.11 apresenta um diagrama de bloco representativo dos circuitos PLLs e divisores das portadoras.



O circuito utilizado para gerar as portadoras foi desenvolvido através de uma máquina de estados finitos que controla o estado de um contador: crescente ou decrescente.

Na implementação das portadoras em fase para ambas as modulações, utilizou-se um sinal de contagem variando de 0 a 120 para gerar a portadora 2, e de 120 a 240 para a portadora 1. Assim, cada portadora possui 240 degraus em cada período. Vale ressaltar que estas portadoras são as mesmas utilizadas em todas as fases.

2.4.2 Desenvolvimento digital das moduladoras

A lógica de implementação das moduladoras é semelhante para ambas modulações, diferindo apenas nos valores gerados e armazenados para originar, sem deformação, a forma de onda teórica apresentada. Por esse motivo será descrito apenas a geração do sinal modulante da técnica derivada da PD-PWM, (DING *et al.*, 2004). Estas apresentam frequência de 60 Hz e são defasadas em 120 graus elétricos entre si. Para gerá-las digitalmente, faz-se necessário implementar apenas uma delas, cuja representação digital é uma tabela com determinado número de constantes inteiras de 8 bits.

Analogamente às portadoras, deve-se inicialmente definir o número de pontos para gerar a forma de onda das moduladoras. Este número deve ser divisível por dois, para formar o semiciclo positivo e negativo de forma simétrica, e divisível por três para gerar as três fases defasadas corretamente. Além disso, a forma de onda da moduladora não deve possuir deformações, sendo assim adequado escolher um número de pontos de grandeza considerável. Desse modo, optou-se por 960 pontos para a tabela.

Para a modulação derivada da CSV-PWM, também se optou pelo mesmo valor de 960 pontos dado às especificações previamente descritas.

A implementação das moduladoras se fez armazenando valores inteiros dentro de um vetor com 960 posições, representando um período completo do sinal cossenoidal. Tais valores são de 8 bits para que possam ser comparados digitalmente com as portadoras.

Em seguida, utilizou-se uma variável de contagem, na qual seu valor representa uma posição no vetor da moduladora, fazendo, assim, a geração da forma de onda digital na saída do circuito.

Gerando a moduladora de uma das fases como referência, as moduladoras das fases B e C são obtidas criando dentro da mesma descrição outras duas variáveis de contagem, porém iniciando em um valor referente à sua correta defasagem, que corresponde a 1/3 de 960, e a outra iniciando na posição correspondente a 2/3 de 960.

A frequência do sinal de *clock* para gerar o incremento das variáveis de contagem para que a moduladora apresente 60 Hz é implementada de modo semelhante à frequência das portadoras. Os valores do PLL utilizado e do divisor de frequência podem ser obtidos como mostrado a seguir.

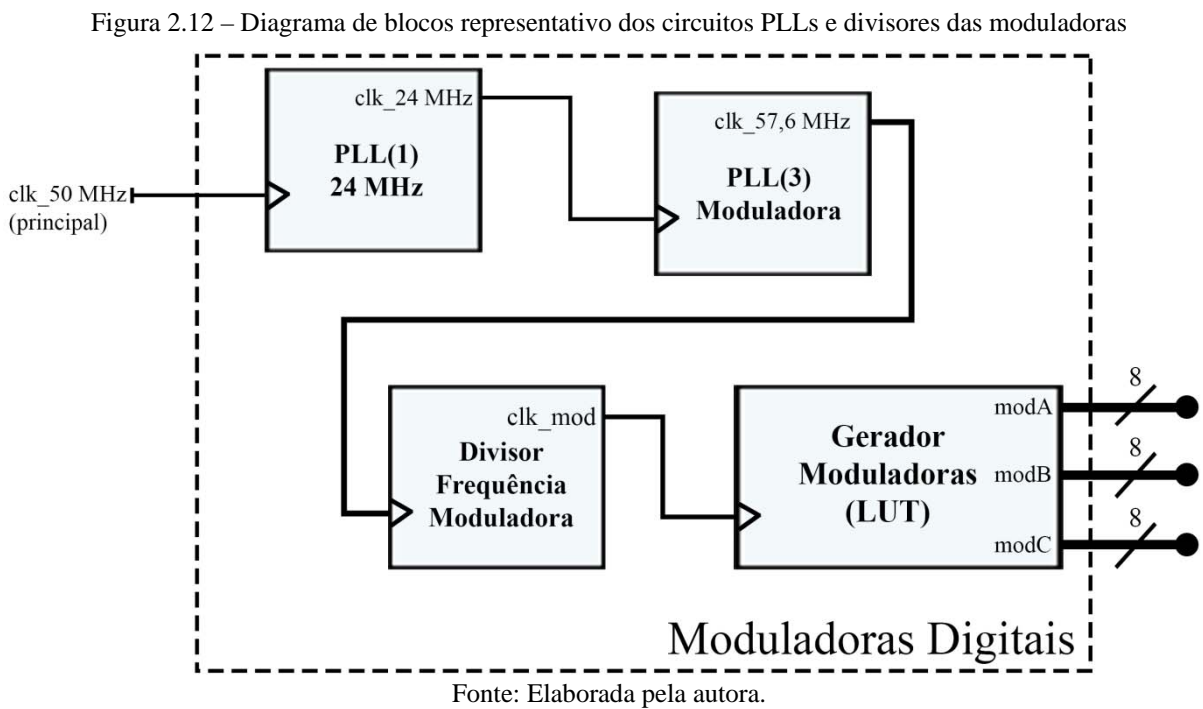
A equação 2.11 relaciona o número de pontos da moduladora com sua frequência, resultando no valor de saída do terceiro PLL utilizado na implementação.

$$f_{pll} = N_{degraus} \times f_{moduladora} \times 1000 = 960 \times 60 \times 1000 = 57,6 \text{ MHz} \quad (2.11)$$

Recalculando a frequência da moduladora para um divisor $X_{mod} = 1000$, obtem-se:

$$f_{moduladora} = \frac{57,6 \times 10^6}{1000 \times 960} = 60,0 \text{ Hz} \quad (2.12)$$

A Figura 2.12 apresenta um diagrama de blocos representativo do circuito PLL e divisores das moduladoras.



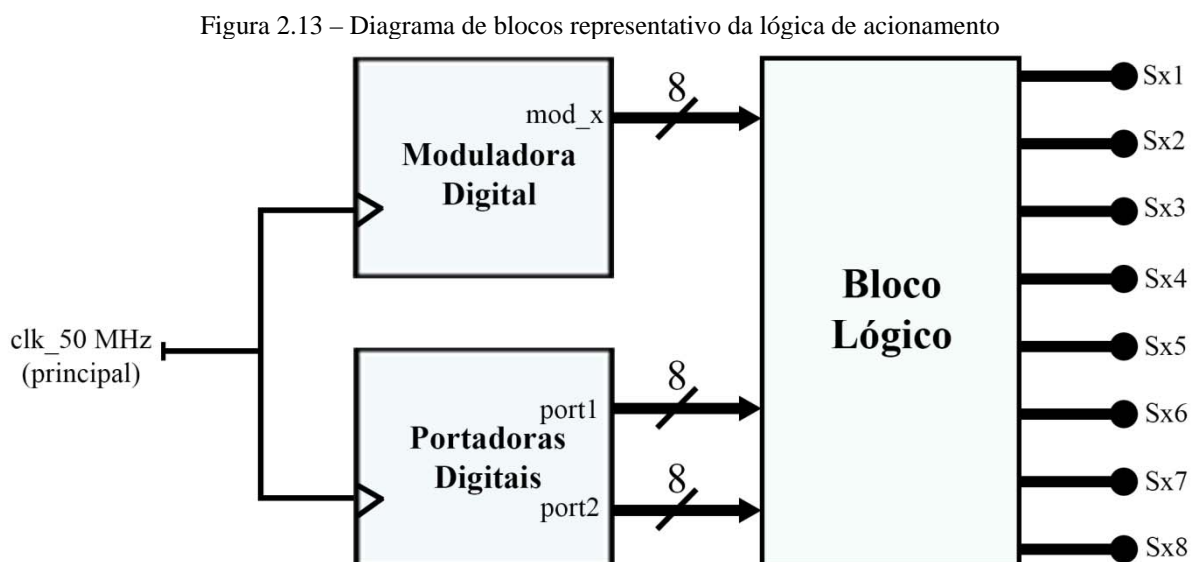
Concluída a geração das moduladoras devidamente tabeladas, defasadas, e com 8 bits, assim como as portadoras, inicia-se o processo de geração dos pulsos relativos aos interruptores do inversor proposto.

2.4.3 Implementação digital da lógica de acionamento

A implementação do bloco lógico para o controle do inversor foi desenvolvido em linguagem VHDL apenas para padronizar o projeto. Porém, o mesmo poderia ter sido desen-

volvido utilizando outra ferramenta do *software* QUARTUS II[®], como o diagrama de blocos, uma vez que a lógica dos semicondutores é simples e não requer grandes esforços em descrições de *hardware* para ser desenvolvida.

A Figura 2.13 apresenta um diagrama de blocos representativo da lógica de acionamento.



Fonte: Elaborada pela autora.

2.5 Considerações finais

Este capítulo apresentou o desenvolvimento digital em um dispositivo FPGA, de duas técnicas de modulação aplicadas ao inversor multinível proposto neste trabalho. Alguns desafios em relação à temporização do sistema surgiram e foram superadas fazendo uso de circuitos multiplicadores de frequência.

A escolha do FPGA deu-se devido à facilidade em desenvolver circuitos específicos, projetados diretamente para a aplicação desejada. Vale ressaltar o fato de que os componentes são economicamente viáveis, e as ferramentas de *software*, gratuitas. O conhecimento exigido é da linguagem de programação, que pode ser VHDL ou Verilog, e embora ambas sejam eficazes, o VHDL está se tornando o padrão IEEE.

Estatisticamente, todo o circuito desenvolvido ocupou menos de 10% de sua capacidade total, ainda que outros métodos de otimização pudessem ser realizados na tentativa de atenuar este número.

3 INVERSOR MULTINÍVEL TRIFÁSICO HÍBRIDO SIMÉTRICO DE CINCO NÍVEIS BASEADO NAS TOPOLOGIAS HALF-BRIDGE E ANPC

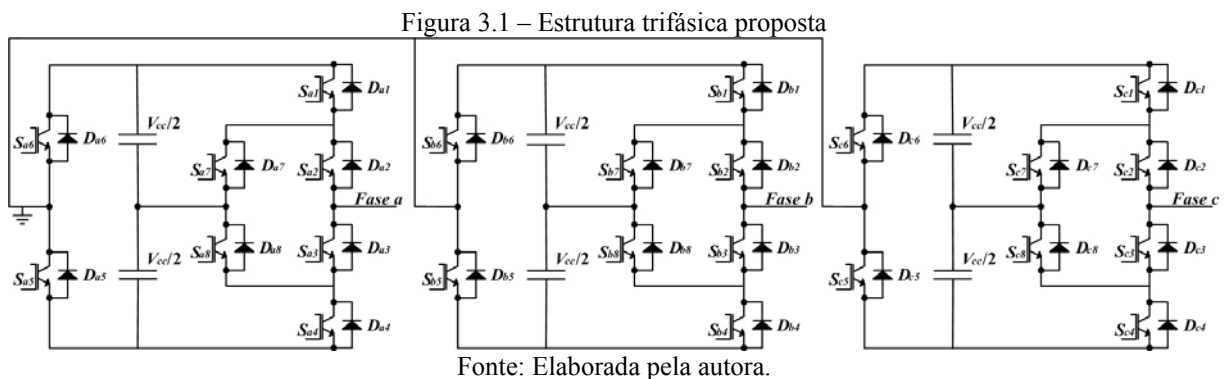
3.1 Introdução

Neste capítulo será apresentado o inversor multinível trifásico proposto neste trabalho. Este é oriundo de duas estruturas conhecidas na literatura, o conversor em meia ponte (HB - *Half-Bridge*), que apresenta como característica a possibilidade do aumento do número de níveis quando combinado a outras estruturas, e o com inversor grampeado ativo pelo neutro (ANPC - *Active Neutral Point Clamped*), concebido com o intuito de distribuir as perdas de maneira mais uniforme que a topologia NPC (*Neutral Point Clamped*). Uma visão mais detalhada desta configuração é apresentada nos tópicos seguintes.

3.2 Topologia proposta

A grande contribuição desta proposta está no fato deste conversor apresentar as características positivas do ANPC, pois herdará a melhor distribuição de perdas entre seus semicondutores. Enquanto a inserção da meia ponte possibilitará o trabalho com cinco níveis na tensão de fase. O inversor multinível proposto é apresentado na Figura 3.1.

Analisando este circuito nota-se a existência de algumas restrições no comando desta topologia são elas: Considerando $x = a, b, c$, os semicondutores S_{x5} e S_{x6} operam em baixa frequência e não podem ser comandados a conduzir nem bloqueados ao mesmo tempo, S_{x2} e S_{x3} não podem ser comandados a bloquear no mesmo instante, por fim S_{x4} não pode estar comandado a conduzir simultaneamente com S_{x8} , o mesmo vale para S_{x1} e S_{x7} .



Assim, utilizando-se uma modulação adequada, é possível se obter 5 níveis de tensão na saída deste inversor. Os possíveis estados topológicos que retornam níveis de tensão na saída são apresentados na Tabela 3.1.

Tabela 3.1 – Possíveis estados de comutação

S_{a1}	S_{a2}	S_{a3}	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}	Fase A
0	0	1	0	0	1	0	1	$-V_{cc}/2$
0	0	1	0	0	1	1	1	$-V_{cc}/2$
0	0	1	0	1	0	0	1	$V_{cc}/2$
0	0	1	0	1	0	1	1	$V_{cc}/2$
0	0	1	1	0	1	0	0	$-V_{cc}$
0	0	1	1	0	1	1	0	$-V_{cc}$
0	0	1	1	1	0	0	0	0
0	0	1	1	1	0	1	0	0
0	1	0	0	0	1	1	0	$-V_{cc}/2$
0	1	0	0	0	1	1	1	$-V_{cc}/2$
0	1	0	0	1	0	1	0	$V_{cc}/2$
0	1	0	0	1	0	1	1	$V_{cc}/2$
0	1	0	1	0	1	1	0	$-V_{cc}/2$
0	1	0	1	1	0	1	0	$V_{cc}/2$
0	1	1	0	0	1	0	1	$-V_{cc}/2$
0	1	1	0	0	1	1	0	$-V_{cc}/2$
0	1	1	0	0	1	1	1	$-V_{cc}/2$
0	1	1	0	1	0	0	1	$V_{cc}/2$
0	1	1	0	1	0	1	0	$V_{cc}/2$
0	1	1	0	1	0	1	1	$V_{cc}/2$
0	1	1	1	0	1	0	0	$-V_{cc}$
0	1	1	1	1	0	0	0	0
1	0	1	0	0	1	0	1	$-V_{cc}/2$
1	0	1	0	1	0	0	1	$V_{cc}/2$
1	0	1	1	0	1	0	0	$-V_{cc}$
1	0	1	1	1	0	0	0	0
1	1	0	0	0	1	0	0	0
1	1	0	0	0	1	0	1	0
1	1	0	0	1	0	0	0	V_{cc}
1	1	0	0	1	0	0	1	V_{cc}
1	1	0	1	0	1	0	0	0
1	1	0	1	1	0	0	0	V_{cc}
1	1	1	0	0	1	0	0	0
1	1	1	0	1	0	0	0	V_{cc}

Fonte: Elaborada pela autora.

Nota-se que existem oito possibilidades para impor o nível 0 de tensão, quatro estados geram o nível de tensão V_{cc} , quatro para $-V_{cc}$, nove possibilidades geram o nível $V_{cc}/2$, assim como outros nove que geram $-V_{cc}/2$.

Sendo estas as possibilidades para uma fase, os vetores que compõem o mapa vetorial de tensões para o conversor trifásico proposto é calculado aplicando-se a transformada de Clarke (BARBI, 1985), onde o sistema trifásico é convertido para um sistema de dois vetores ortogonais estacionários, isto é uma transformação linear que transforma o sistema das coordenadas “ abc ” em um sistema de coordenadas “ $\alpha\beta 0$ ”, que pode ser realizada aplicando-se a equação (3.1).

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \times \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \times \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.1)$$

Na qual $[v_\alpha, v_\beta]^T$ representam as amplitudes instantâneas das tensões nos eixos “ α ” e “ β ” e $[v_a, v_b, v_c]^T$ são as tensões de saída em cada uma das fases no sistema de coordenadas “ abc ”. Assim, as tensões transformadas podem ser expressas por vetores de coordenadas v_α, v_β . Esta transformação também pode ser representada pela relação (3.2).

$$v_0 = \frac{2}{3} \times (\alpha^0 \times v_a + \alpha^1 \times v_b + \alpha^2 \times v_c) \quad (3.2)$$

Na qual:

$$\alpha = e^{j\frac{2\pi}{3}} \quad (3.3)$$

Assim, aplicando a transformação de Clarke a cada estado possível, são obtidos os vetores $[v_\alpha, v_\beta]^T$. Vale ressaltar que os níveis de tensão na saída, $-V_{cc}$, $-V_{cc}/2$, zero, $+V_{cc}/2$ e $+V_{cc}$ são respectivamente representados por -2 , -1 , 0 , 1 , e 2 . Os vetores, seus respectivos valores de módulo e fase e as combinações de estados de comutação que os geraram podem ser conferidos na Tabela 3.2 à 3.6.

Tabela 3.2 – Vetores calculados através da transformação de Clarke (“vetores nulos”)

Vetor	Estado de Comutação	$[v_\alpha, v_\beta]^T$	Módulo e fase
V0	(-2 -2 -2); (-1 -1 -1); (0 0 0); (1 1 1); (2 2 2)	$[0 \ 0]$	$0 \angle 0^\circ$

Fonte: Elaborada pela autora.

Tabela 3.3 – Vetores calculados através da transformação de Clarke (“vetores pequenos”)

Vetor	Estado de Comutação	$[v_\alpha, v_\beta]^T$	Módulo e fase
V1	(-1 -2 -2); (0 -1 -1); (1 0 0); (2 1 1)	$[1/3 \ 0]$	$1/3 \angle 0^\circ$
V2	(-1 -1 -2); (0 0 -1); (1 1 0); (2 2 1)	$[1/6 \ \sqrt{3}/6]$	$1/3 \angle 60^\circ$
V3	(-2 -1 -2); (-1 0 -1); (0 1 0); (1 2 1)	$[-1/6 \ \sqrt{3}/6]$	$1/3 \angle 120^\circ$
V4	(-2 -1 -1); (-1 0 0); (0 1 1); (1 2 2)	$[-1/3 \ 0]$	$1/3 \angle 180^\circ$
V5	(-2 -2 -1); (-1 -1 0); (0 0 1); (1 1 2)	$[-1/6 \ -\sqrt{3}/6]$	$1/3 \angle -120^\circ$
V6	(-1 -2 -1); (0 -1 0); (1 0 1); (2 1 2)	$[1/6 \ -\sqrt{3}/6]$	$1/3 \angle -60^\circ$

Fonte: Elaborada pela autora.

Tabela 3.4 – Vetores calculados através da transformação de Clarke (“vetores médios”)

Vetor	Estado de Comutação	$[v_\alpha, v_\beta]^T$	Módulo e fase
V7	(0 -2 -2); (1 -1 -1); (2 0 0)	$[2/3 \ 0]$	$2/3 \angle 0^\circ$
V8	(0 -1 -2); (1 0 -1); (2 1 0)	$[1/2 \ \sqrt{3}/6]$	$\sqrt{3}/3 \angle 30^\circ$
V9	(0 0 -2); (1 1 -1); (2 2 0)	$[1/3 \ \sqrt{3}/3]$	$2/3 \angle 60^\circ$
V10	(-1 0 -2); (0 1 -1); (1 2 0)	$[0 \ \sqrt{3}/3]$	$\sqrt{3}/3 \angle 90^\circ$
V11	(-2 0 -2); (-1 1 -1); (0 2 0)	$[-1/3 \ \sqrt{3}/3]$	$2/3 \angle 120^\circ$
V12	(-2 0 -1); (-1 1 0); (0 2 1)	$[-1/2 \ \sqrt{3}/6]$	$\sqrt{3}/3 \angle 150^\circ$
V13	(-2 0 0); (-1 1 1); (0 2 2)	$[-2/3 \ 0]$	$2/3 \angle 180^\circ$
V14	(-2 -1 0); (-1 0 1); (0 1 2)	$[-1/2 \ -\sqrt{3}/6]$	$\sqrt{3}/3 \angle -150^\circ$
V15	(-2 -2 0); (-1 -1 1); (0 0 2)	$[-1/3 \ -\sqrt{3}/3]$	$2/3 \angle -120^\circ$
V16	(-1 -2 0); (0 -1 1); (1 0 2)	$[0 \ -\sqrt{3}/3]$	$\sqrt{3}/3 \angle -90^\circ$
V17	(0 -2 0); (1 -1 1); (2 0 2)	$[1/3 \ -\sqrt{3}/3]$	$2/3 \angle -60^\circ$
V18	(0 -2 -1); (1 -1 0); (2 0 1)	$[1/2 \ -\sqrt{3}/6]$	$\sqrt{3}/3 \angle -30^\circ$

Fonte: Elaborada pela autora.

Tabela 3.5 – Vetores calculados através da transformação de Clarke (“vetores grandes”)

Vetor	Estado de Comutação	$[v_\alpha, v_\beta]^T$	Módulo e fase
V19	(1 -2 -2); (2 -1 -1)	$[1 \ 0]$	$1 \angle 0^\circ$

Continuação

Tabela 3.5 – Vetores calculados através da transformação de Clarke (“vetores grandes”)

V20	(1 -1 -2); (2 0 -1)	$\left[\frac{5}{6} \quad \frac{\sqrt{3}}{6} \right]$	$\sqrt{7}/3 \angle 19,107^\circ$
V21	(1 0 -2); (2 1 -1)	$\left[\frac{3}{2} \quad \frac{\sqrt{3}}{3} \right]$	$\sqrt{7}/3 \angle 40,893^\circ$
V22	(1 1 -2); (2 2 -1)	$\left[\frac{1}{2} \quad \frac{\sqrt{3}}{2} \right]$	$1 \angle 60^\circ$
V23	(0 1 -2); (1 2 -1)	$\left[\frac{1}{6} \quad \frac{\sqrt{3}}{2} \right]$	$\sqrt{7}/3 \angle 79,107^\circ$
V24	(-1 1 -2); (0 2 -1)	$\left[-\frac{1}{6} \quad \frac{\sqrt{3}}{2} \right]$	$\sqrt{7}/3 \angle 100,893^\circ$
V25	(-2 1 -2); (-1 2 -1)	$\left[-\frac{1}{2} \quad \frac{\sqrt{3}}{2} \right]$	$1 \angle 120^\circ$
V26	(-2 1 -1); (-1 2 0)	$\left[-\frac{2}{3} \quad \frac{\sqrt{3}}{3} \right]$	$\sqrt{7}/3 \angle 139,107^\circ$
V27	(-2 1 0); (-1 2 1)	$\left[-\frac{5}{6} \quad \frac{\sqrt{3}}{6} \right]$	$\sqrt{7}/3 \angle 160,893^\circ$
V28	(-2 1 1); (-1 2 2)	$[-1 \quad 0]$	$1 \angle 180^\circ$
V29	(-2 0 1); (-1 1 2)	$\left[-\frac{5}{6} \quad -\frac{\sqrt{3}}{6} \right]$	$\sqrt{7}/3 \angle -160,893^\circ$
V30	(-2 -1 1); (-1 0 2)	$\left[-\frac{2}{3} \quad -\frac{\sqrt{3}}{3} \right]$	$\sqrt{7}/3 \angle -139,107^\circ$
V31	(-2 -2 1); (-1 -1 2)	$\left[-\frac{1}{2} \quad -\frac{\sqrt{3}}{2} \right]$	$1 \angle -120^\circ$
V32	(-1 -2 1); (0 -1 2)	$\left[-\frac{1}{6} \quad -\frac{\sqrt{3}}{2} \right]$	$\sqrt{7}/3 \angle -100,893^\circ$
V33	(0 -2 1); (1 -1 2)	$\left[\frac{1}{6} \quad -\frac{\sqrt{3}}{2} \right]$	$\sqrt{7}/3 \angle -79,107^\circ$
V34	(1 -2 1); (2 -1 2)	$\left[\frac{1}{2} \quad -\frac{\sqrt{3}}{2} \right]$	$1 \angle -60^\circ$
V35	(1 -2 0); (2 -1 1)	$\left[\frac{2}{3} \quad -\frac{\sqrt{3}}{3} \right]$	$\sqrt{7}/3 \angle -40,893^\circ$
V36	(1 -2 -1); (2 -1 0)	$\left[\frac{5}{6} \quad -\frac{\sqrt{3}}{6} \right]$	$\sqrt{7}/3 \angle -19,107^\circ$

Fonte: Elaborada pela autora.

Tabela 3.6 – Vetores calculados através da transformação de Clarke (“vetores gigantes”)

Vetor	Estado de Comutação	$[v_\alpha, v_\beta]^T$	Módulo e fase
V37	(2 -2 -2)	$\left[\frac{4}{3} \quad 0 \right]$	$4/3 \angle 0^\circ$
V38	(2 -1 -2)	$\left[\frac{7}{6} \quad \frac{\sqrt{3}}{6} \right]$	$\sqrt{13}/3 \angle 13,898^\circ$
V39	(2 0 -2)	$\left[1 \quad \frac{\sqrt{3}}{3} \right]$	$2\sqrt{3}/3 \angle 30^\circ$
V40	(2 1 -2)	$\left[\frac{5}{6} \quad \frac{\sqrt{3}}{2} \right]$	$\sqrt{13}/3 \angle 46,102^\circ$
V41	(2 2 -2)	$\left[\frac{2}{3} \quad 2\frac{\sqrt{3}}{3} \right]$	$4/3 \angle 60^\circ$
V42	(1 2 -2)	$\left[\frac{1}{2} \quad 2\frac{\sqrt{3}}{3} \right]$	$\sqrt{13}/3 \angle 73,898^\circ$
V43	(0 2 -2)	$\left[0 \quad 2\frac{\sqrt{3}}{3} \right]$	$2\sqrt{3}/3 \angle 90^\circ$
V44	(-1 2 -2)	$\left[-\frac{1}{3} \quad 2\frac{\sqrt{3}}{3} \right]$	$\sqrt{13}/3 \angle 106,102^\circ$

V45	(-2 2 -2)	$\begin{bmatrix} -2/3 & 2\sqrt{3}/3 \end{bmatrix}$	$4/3 \angle 120^\circ$
-----	-----------	--	------------------------

Continuação

Tabela 3.6 – Vetores calculados através da transformação de Clarke (“vetores gigantes”)

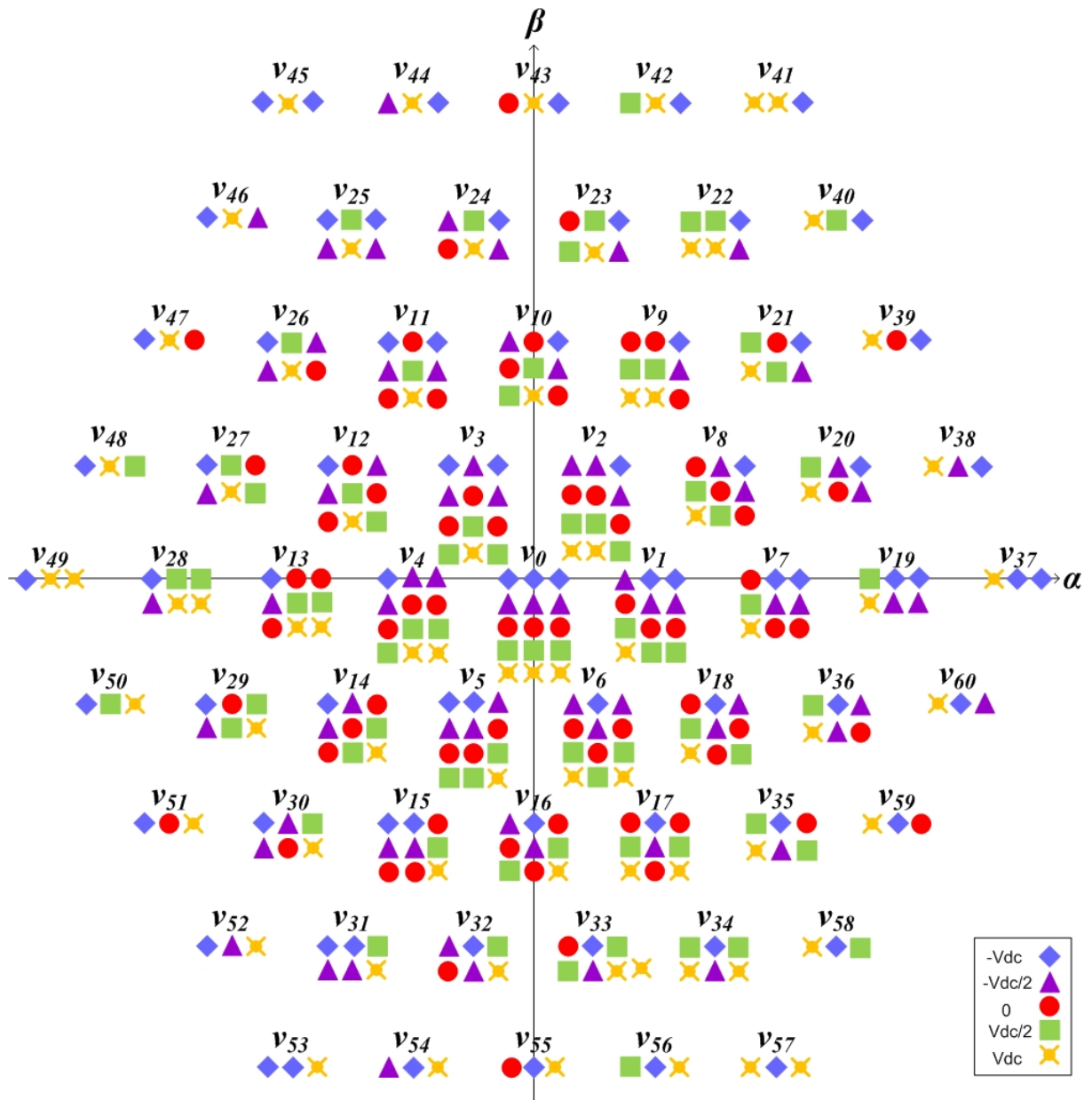
Vetor	Estado de Comutação	$[v_\alpha, v_\beta]^T$	Módulo e fase
V46	(-2 2 -1)	$\begin{bmatrix} -5/6 & 2\sqrt{3}/3 \end{bmatrix}$	$\sqrt{13}/3 \angle 133,898^\circ$
V47	(-2 2 0)	$\begin{bmatrix} -1 & \sqrt{3}/3 \end{bmatrix}$	$2\sqrt{3}/3 \angle 150^\circ$
V48	(-2 2 1)	$\begin{bmatrix} -7/6 & \sqrt{3}/6 \end{bmatrix}$	$\sqrt{13}/3 \angle 166,102^\circ$
V49	(-2 2 2)	$\begin{bmatrix} -4/3 & 0 \end{bmatrix}$	$4/3 \angle 180^\circ$
V50	(-2 1 2)	$\begin{bmatrix} -7/6 & -\sqrt{3}/6 \end{bmatrix}$	$\sqrt{13}/3 \angle -166,102^\circ$
V51	(-2 0 2)	$\begin{bmatrix} -1 & -\sqrt{3}/3 \end{bmatrix}$	$2\sqrt{3}/3 \angle -150^\circ$
V52	(-2 -1 2)	$\begin{bmatrix} -5/6 & -\sqrt{3}/2 \end{bmatrix}$	$\sqrt{13}/3 \angle -133,898^\circ$
V53	(-2 -2 2)	$\begin{bmatrix} -2/3 & -2\sqrt{3}/3 \end{bmatrix}$	$4/3 \angle -120^\circ$
V54	(-1 -2 2)	$\begin{bmatrix} -1/3 & 2\sqrt{3}/3 \end{bmatrix}$	$\sqrt{13}/3 \angle -106,102^\circ$
V55	(0 -2 2)	$\begin{bmatrix} 0 & 2\sqrt{3}/3 \end{bmatrix}$	$2\sqrt{3}/3 \angle -90^\circ$
V56	(1 -2 2)	$\begin{bmatrix} 1/3 & -2\sqrt{3}/3 \end{bmatrix}$	$\sqrt{13}/3 \angle -73,898^\circ$
V57	(2 -2 2)	$\begin{bmatrix} 2/3 & -2\sqrt{3}/3 \end{bmatrix}$	$4/3 \angle -60^\circ$
V58	(2 -2 1)	$\begin{bmatrix} 5/6 & -\sqrt{3}/2 \end{bmatrix}$	$\sqrt{13}/3 \angle -46,102^\circ$
V59	(2 -2 0)	$\begin{bmatrix} 1 & -\sqrt{3}/3 \end{bmatrix}$	$2\sqrt{3}/3 \angle -30^\circ$
V60	(2 -2 -1)	$\begin{bmatrix} 7/6 & -\sqrt{3}/6 \end{bmatrix}$	$\sqrt{13}/3 \angle -13,898^\circ$

Fonte: Elaborada pela autora.

Observa-se na Tabela 3.2 que estes vetores apresentam menor fase e módulo, zero, e cinco vetores redundantes. Já a Tabela 3.3, cada vetor apresenta quatro redundâncias, enquanto que os vetores da Tabela 3.4 apresentam três redundâncias e os da Tabela 3.5 duas. Por fim, os vetores da Tabela 3.6 são os vetores de maior módulo e não apresentam redundâncias, são chamados vetores efetivos.

Analisando as tabelas anteriores e a Figura 3.2 é possível verificar que o conversor possui 125 estados de comutação, 61 diferentes vetores, podendo ser gerados por até cinco estados de condução diferentes, fornecendo um grau de liberdade adicional, 96 triângulos no plano “ $\alpha\beta$ ” e número de combinações de possibilidades para as três fases é $34 \times 34 \times 34 = 39304$.

Figura 3.2 – Mapa vetorial do inversor proposto para a operação com cinco níveis na tensão de fase



3.3 Lógica de acionamento

Para que se consiga produzir cinco níveis de tensão na saída deste inversor, a lógica de acionamento dos interruptores escolhida, considerando a fase A como exemplo e no semiciclo positivo, é descrita da seguinte forma:

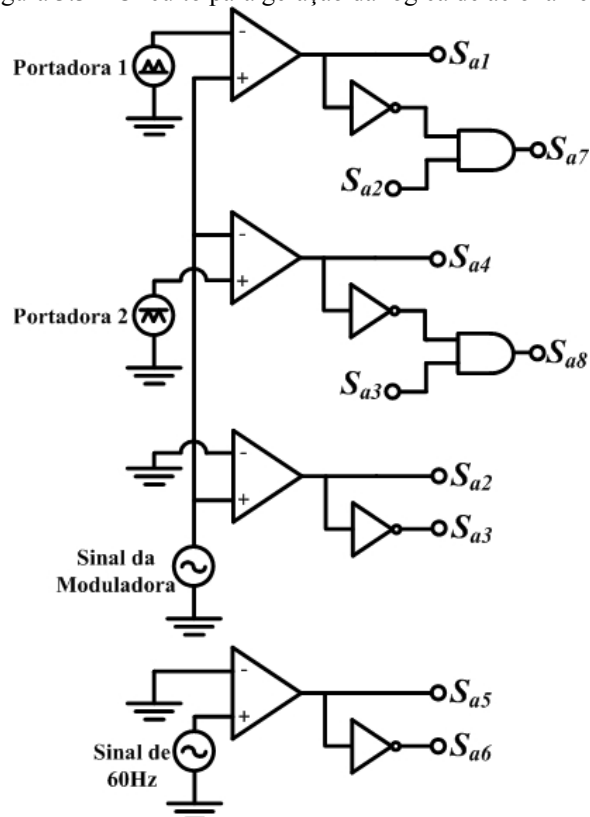
- 1) S_{a5} sempre conduzindo, conseqüentemente S_{a6} sempre bloqueado.
- 2) Para tensões de saída entre o nível $V_{cc}/2$ e o nível V_{cc} : Mantém-se o interruptor S_{a2} conduzindo; Aciona-se S_{a1} para obter V_{cc} ; Aciona-se S_{a7} para obter o nível $V_{cc}/2$; Mantendo todos os outros interruptores bloqueados.

3) Para tensões de saída entre o nível 0 e o nível $V_{cc}/2$: Mantém-se o interruptor S_{a3} conduzindo; Aciona-se S_{a8} para obter $V_{cc}/2$; Aciona-se S_{a4} para obter 0; Mantém-se todos os outros interruptores bloqueados.

Para o semiciclo negativo faz-se o complemento destes estados. Desta forma os interruptores S_{a5} e S_{a6} operam em baixa frequência, assim como, S_{a2} e S_{a3} , os demais na frequência da portadora.

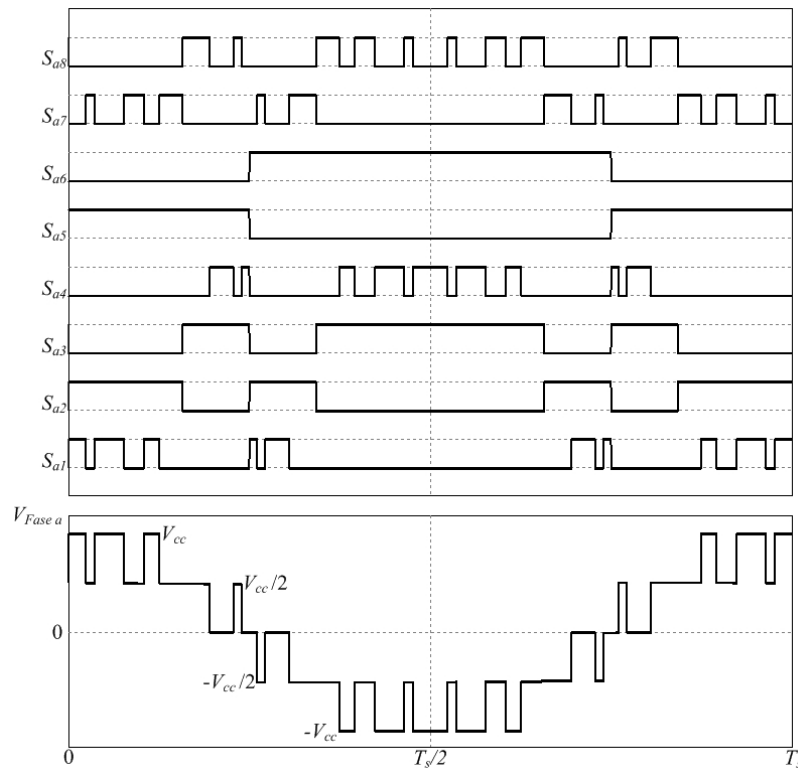
O circuito da lógica de geração dos pulsos de comando é observado na Figura 3.3, a sequência de comutação e a forma de onda da tensão de saída com cinco níveis são apresentados na Figura 3.4.

Figura 3.3 – Circuito para geração da lógica de acionamento



Fonte: Elaborada pela autora.

Figura 3.4 – Pulsos de comando e tensão de saída com cinco níveis



Fonte: Elaborada pela autora.

3.4 Sequência de chaveamento para o inversor operando com a modulação derivada da PD-PWM

A sequência de chaveamento para um período, estando o inversor operando com a modulação derivada da PD-PWM, é apresentada na Tabela 3.7. Considerando a fase A como exemplo, a Figura 3.5 ilustra quais semicondutores devem ser comandados a conduzir para se obter os níveis V_{cc} , $V_{cc}/2$ e 0 para um quarto do período de chaveamento.

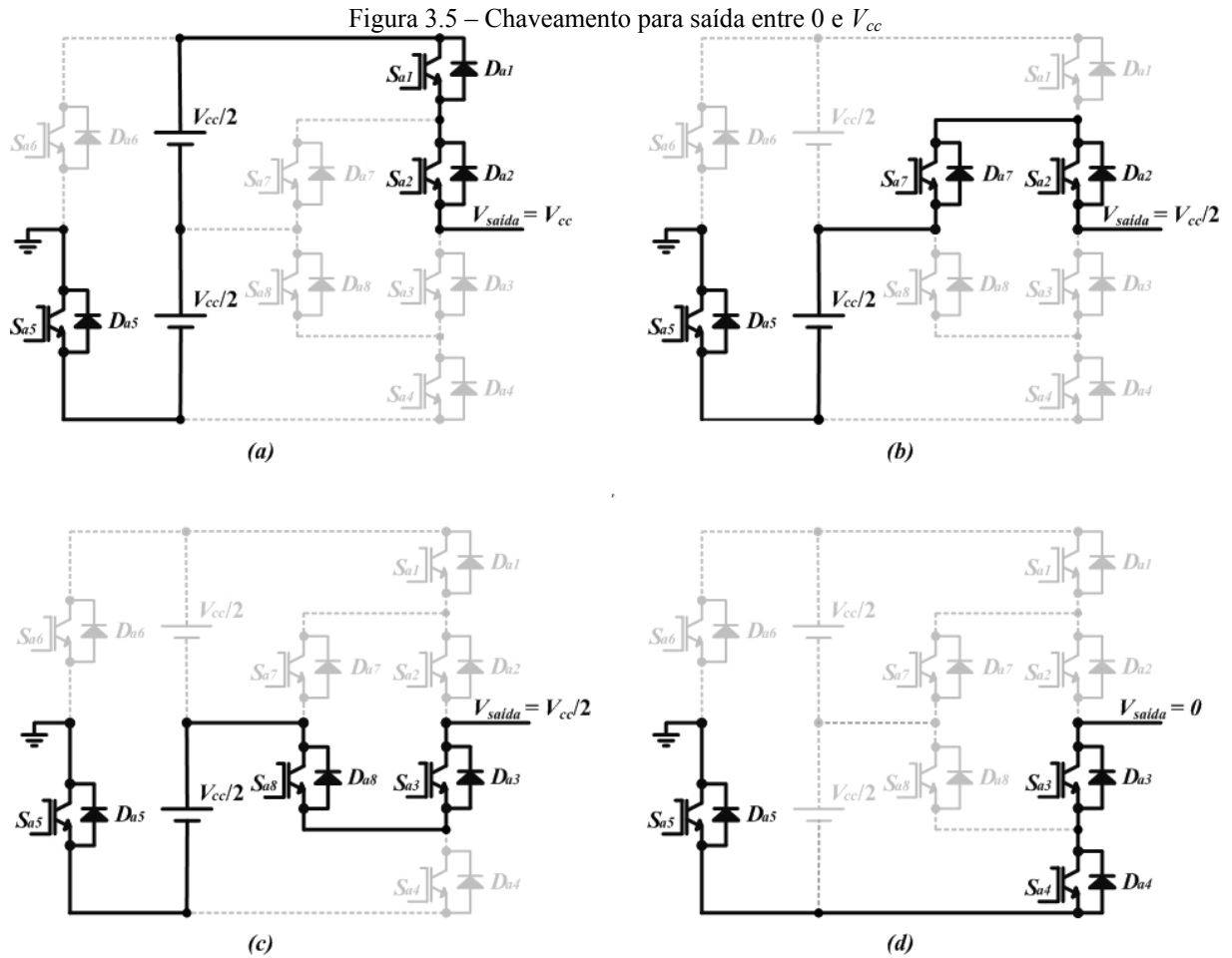
Pela Tabela 3.7, pôde-se desenhar o circuito equivalente para se produzir o nível V_{cc} , apresentado na Figura 3.5 (a). Enquanto que, para produzir o nível $V_{cc}/2$, existem duas possibilidades, apresentadas nas Figuras 3.5 (b) e (c). Já para produzir o nível 0 de tensão, o circuito equivalente é apresentado na Figura 3.5 (c).

Dos trinta e quatro estados possíveis apresentados na Tabela 3.1, observa-se que apenas oito foram efetivamente utilizados de acordo com a lógica adotada. Esta por sua vez, foi projetada de tal forma que a tensão de saída obtivesse cinco níveis. A transição entre estes níveis foi feita de forma mais branda, isto é, com transições de somente um nível por vez e os interruptores comutam o mínimo possível, fazendo com que o inversor apresente baixas perdas por comutação.

Tabela 3.7 – Sequência de chaveamento para o inversor operando com a modulação derivada da PD-PWM

S_{a1}	S_{a2}	S_{a3}	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}	Fase A	Saída
1	1	0	0	1	0	0	0	V_{cc}	<i>Semiciclo Positivo</i>
0	1	0	0	1	0	1	0	$V_{cc}/2$	
1	1	0	0	1	0	0	0	V_{cc}	
0	1	0	0	1	0	1	0	$V_{cc}/2$	
1	1	0	0	1	0	0	0	V_{cc}	
0	1	0	0	1	0	1	0	$V_{cc}/2$	
0	0	1	0	1	0	0	1	$V_{cc}/2$	
0	0	1	1	1	0	0	0	0	
0	0	1	0	1	0	0	1	$V_{cc}/2$	
0	0	1	1	1	0	0	0	0	
1	1	0	0	0	1	0	0	0	<i>Semiciclo Negativo</i>
0	1	0	0	0	1	1	0	$-V_{cc}/2$	
1	1	0	0	0	1	0	0	0	
0	1	0	0	0	1	1	0	$-V_{cc}/2$	
0	0	1	0	0	1	0	1	$-V_{cc}/2$	
0	0	1	1	0	1	0	0	$-V_{cc}$	
0	0	1	0	0	1	0	1	$-V_{cc}/2$	
0	0	1	1	0	1	0	0	$-V_{cc}$	
0	0	1	0	0	1	0	1	$-V_{cc}/2$	
0	0	1	1	0	1	0	0	$-V_{cc}$	
0	0	1	0	0	1	0	1	$-V_{cc}/2$	<i>Semiciclo Positivo</i>
0	0	1	1	0	1	0	0	$-V_{cc}$	
0	0	1	0	0	1	0	1	$-V_{cc}/2$	
0	0	1	1	0	1	0	0	$-V_{cc}$	
0	0	1	0	0	1	0	1	$-V_{cc}/2$	
0	0	1	1	0	1	0	0	$-V_{cc}$	
0	0	1	0	0	1	0	1	$-V_{cc}/2$	
0	1	0	0	0	1	1	0	$-V_{cc}/2$	
1	1	0	0	0	1	0	0	0	
0	1	0	0	0	1	1	0	$-V_{cc}/2$	
1	1	0	0	0	1	0	0	0	<i>Semiciclo Positivo</i>
0	0	1	1	1	0	0	0	0	
0	0	1	0	1	0	0	1	$V_{cc}/2$	
0	0	1	1	1	0	0	0	0	
0	0	1	0	1	0	0	1	$V_{cc}/2$	
0	1	0	0	1	0	1	0	$V_{cc}/2$	
1	1	0	0	1	0	0	0	V_{cc}	
0	1	0	0	1	0	1	0	$V_{cc}/2$	
1	1	0	0	1	0	0	0	V_{cc}	
0	1	0	0	1	0	1	0	$V_{cc}/2$	
1	1	0	0	1	0	0	1	V_{cc}	

Fonte: Elaborada pela autora.



Fonte: Elaborada pela autora.

3.5 Análise teórica da DHT das tensões de saída

A fim de garantir a validade do modelo matemático do conversor proposto, as equações que representam a tensão de saída são apresentadas e devem conter as componentes de alta e baixa frequências.

A análise da tensão de saída para o inversor Half-Bridge/ANPC empregando a modulação adotada é realizada com base em Holmes *et al.*, (2003), e consiste em expressar a tensão de saída de fase como função da fundamental, e da portadora, e suas harmônicas, e a função $f(t)$ decomposta através da série de Fourier. Assim, a tensão de fase do inversor pode ser expressa por (3.4).

$$\begin{aligned}
f(t) &= \frac{A_{00}}{2} + \sum_{n=1}^{\infty} [A_{0n} \times \cos(n \times y) + B_{0n} \times \text{sen}(n \times y)] \\
&+ \sum_{m=1}^{\infty} [A_{m0} \times \cos(m \times x) + B_{m0} \times \text{sen}(m \times x)] + \\
&\sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} [A_{mn} \times \cos(m \times x + n \times y) + B_{mn} \times \text{sen}(m \times x + n \times y)]
\end{aligned} \tag{3.4}$$

Na qual:

$$x - \omega_p t + \theta_p$$

$$y - \omega_m t + \theta_m,$$

$$\omega_p - 2\pi f_p$$

$$\omega_m - 2\pi f_m$$

θ_m - ângulo de fase ou o deslocamento da fase, que mede o quanto a curva da moduladora está deslocada horizontalmente para a direita;

θ_p - ângulo de fase ou o deslocamento da fase, que mede o quanto a curva da portadora está deslocada horizontalmente para a direita.

$$n - -\infty, \dots, -2, -1, 0, +1, +2, \dots, +\infty$$

$$m - 0, +1, +2, \dots, +\infty$$

A_{0n} , B_{0n} , A_{m0} e B_{m0} expressam as amplitudes das funções cosseno e seno respectivamente da série de Fourier.

As variáveis “ f_p ” e “ f_m ” são, respectivamente, a frequência da portadora e a frequência fundamental do sinal modulante do inversor, enquanto que as variáveis “ n ” e “ m ” representam os índices das harmônicas da frequência fundamental e da frequência de comutação, respectivamente.

Os termos A_{mn} e B_{mn} expressam a amplitude de cada componente harmônico.

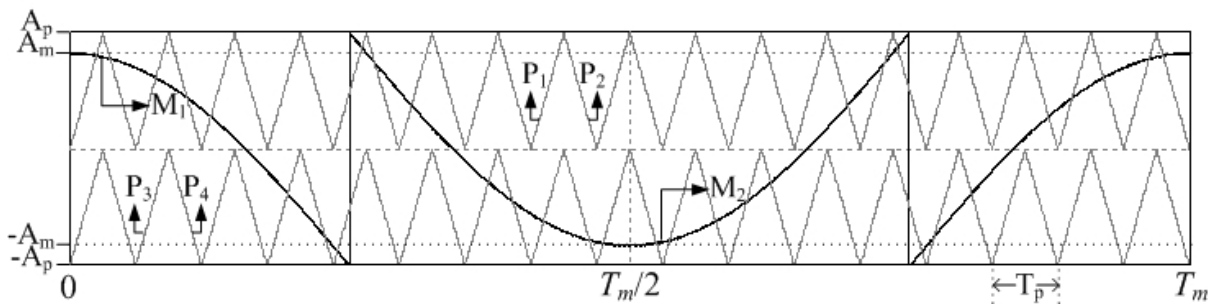
As componentes harmônicas são obtidas através da integral dupla de Fourier, equação (3.5).

$$\overline{C_{mn}} = A_{mn} + j \times B_{mn} = \frac{1}{2\pi^2} \times \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x, y) \times e^{j(m \times n + n \times y)} dx dy \tag{3.5}$$

Na qual $f(x,y)$ é o nível de tensão na saída sintetizada pelo inversor. Portanto é necessário que sejam determinadas as funções $f(x,y)$ e os limites de integração em toda faixa de operação. Para esta análise é considerada a modulação ilustrada na Figura 3.6.

As equações que descrevem os sinais das portadoras são apresentadas em (3.6), (3.7) (3.8) e (3.9) e as equações que descrevem o sinal da moduladora são apresentadas em (3.10) e (3.11).

Figura 3.6 – Modulação derivada da PD-PWM proposta por Ding *et al.*, (2004)



Fonte: Elaborada pela autora.

$$P_1 = A_p \times \frac{\omega_p}{\pi} \times t \quad (3.6)$$

$$P_2 = -A_p \times \frac{\omega_p}{\pi} \times t + 2A_p \quad (3.7)$$

$$P_3 = A_p \times \frac{\omega_p}{\pi} \times t - A_p \quad (3.8)$$

$$P_4 = -A_p \times \frac{\omega_p}{\pi} \times t + A_p \quad (3.9)$$

$$M_1 = M_i \times \cos(\omega_m \times t) - 1 \quad (3.10)$$

$$M_2 = M_i \times \cos(\omega_m \times t) + 1 \quad (3.11)$$

Nas quais:

P_1 é o semiciclo com derivada positiva da portadora 1;

P_2 é o semiciclo com derivada negativa da portadora 1;

P_3 é o semiciclo com derivada positiva da portadora 2;

P_4 é o semiciclo com derivada negativa da portadora 2;

M_1 é o semiciclo côncavo da moduladora;

M_2 é o semiciclo convexo da moduladora;

A_p é a amplitude da portadora;

A_m é a amplitude da moduladora;

ω_p é a frequência angular da portadora;

ω_m é a frequência angular da moduladora;

Os limites de integração são obtidos igualando as expressões que representam o sinal de referência com as expressões que representam as portadoras. Sabendo que os interruptores são comandados quando a moduladora torna-se maior que a portadora, a análise dar-se conforme as inequações a seguir:

Para simplificação, adotando:

$$\omega_m \times t = y \quad (3.12)$$

$$\omega_p \times t = x \quad (3.13)$$

Comparando M_1 com P_1 :

$$x_1 < \frac{\pi}{A_p} \times [A_m \times \cos(y) - 1] \quad (3.14)$$

$$y_1 > \cos^{-1} \left[\frac{1}{A_m} \times \left(\frac{1}{\pi} \times A_p \times x + 1 \right) \right] \quad (3.15)$$

Comparando M_1 com P_2 :

$$x_2 > \frac{\pi}{A_p} \times [-A_m \times \cos(y) + 2A_p + 1] \quad (3.16)$$

$$y_2 > \cos^{-1} \left[\frac{1}{A_m} \times \left(-\frac{1}{\pi} \times A_p \times x + 2A_p + 1 \right) \right] \quad (3.17)$$

Comparando M_1 com P_3 :

$$x_3 < \frac{\pi}{A_p} \times [A_m \times \cos(y) + A_p - 1] \quad (3.18)$$

$$y_3 > \cos^{-1} \left[\frac{1}{A_m} \times \left(\frac{1}{\pi} \times A_p \times x - A_p + 1 \right) \right] \quad (3.19)$$

Comparando M_1 com P_4 :

$$x_4 > \frac{\pi}{A_p} \times [-A_m \times \cos(y) + A_p + 1] \quad (3.20)$$

$$y_4 > \cos^{-1} \left[\frac{1}{A_m} \times \left(-\frac{1}{\pi} \times A_p \times x + A_p + 1 \right) \right] \quad (3.21)$$

Comparando M_2 com P_1 :

$$x_5 < \frac{\pi}{A_p} \times [A_m \times \cos(y) + 1] \quad (3.22)$$

$$y_5 > \cos^{-1} \left[\frac{1}{A_m} \times \left(\frac{1}{\pi} \times A_p \times x - 1 \right) \right] \quad (3.23)$$

Comparando M_2 com P_2 :

$$x_6 > \frac{\pi}{A_p} \times [-A_m \times \cos(y) + 2A_p - 1] \quad (3.24)$$

$$y_6 > \cos^{-1} \left[\frac{1}{A_m} \times \left(-\frac{1}{\pi} \times A_p \times x + 2A_p - 1 \right) \right] \quad (3.25)$$

Comparando M_2 com P_3 :

$$x_7 < \frac{\pi}{A_p} \times [A_m \times \cos(y) + A_p + 1] \quad (3.26)$$

$$y_7 > \cos^{-1} \left[\frac{1}{A_m} \times \left(\frac{1}{\pi} \times A_p \times x - A_p - 1 \right) \right] \quad (3.27)$$

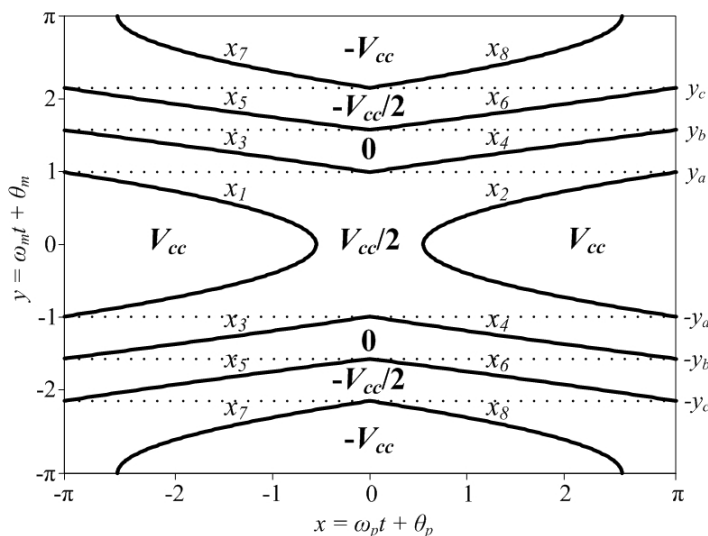
Comparando M_2 com P_4 :

$$x_8 > \frac{\pi}{A_p} \times \left[-A_m \times \cos(y) + A_p - 1 \right] \quad (3.28)$$

$$y_8 > \cos^{-1} \left[\frac{1}{A_m} \times \left(-\frac{1}{\pi} \times A_p \times x + A_p - 1 \right) \right] \quad (3.29)$$

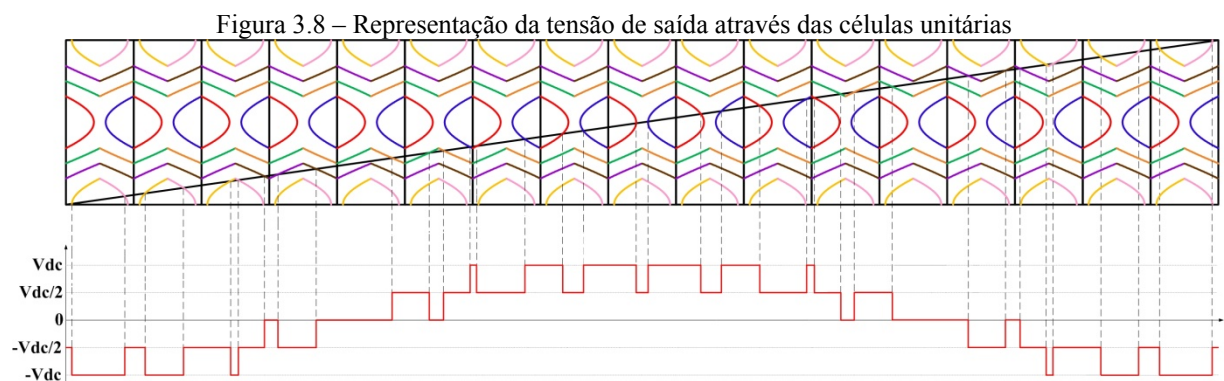
Empregando este conceito a todas as igualdades, podem ser obtidos os oito limites de integração dos eixos “ x ” e “ y ”. Assim, conhecendo estes limites, nas quais os limites de integração para o eixo “ y ”, são representados por “ y_a ”, “ y_b ” e “ y_c ” e o valor de tensão sintetizado na saída do conversor devido à comparação da referência com cada uma das portadoras, pode-se esboçar a célula unitária do inversor, apresentada na Figura 3.7 (a), utilizando a modulação baseada na PD-PWM proposta em Ding *et al.*, (2004). A célula unitária é uma representação gráfica em curvas de nível que apresenta o comportamento da tensão de saída em função das variáveis “ x ” e “ y ”, que são os ângulos instantâneos em relação às frequências de comutação e fundamental, respectivamente. Analisando esta figura, observa-se uma simetria em relação aos eixos x e y .

Figura 3.7 – Representação da célula unitária do inversor proposto com a modulação baseada na proposta por Ding *et al.*, (2004)



Fonte: Elaborada pela autora.

A seguir é apresentado um diagrama simplificado no tempo, Figura 3.8. Considerando que a frequência da portadora é 17 vezes maior que a frequência da moduladora, células unitárias foram dispostas juntamente com uma reta representando uma evolução linear no tempo com relação às variáveis de integração (x,y). Os diferentes níveis de tensão dependem da região onde a moduladora cruzar a célula. Assim obtém-se graficamente a forma de onda da tensão de fase do inversor.



Fonte: Elaborada pela autora.

Analisando a célula unitária e a transformada de Fourier apresentada na equação (3.4) pode-se determinar as equações para o cálculo das componentes harmônicas da tensão de fase. Os limites de integração mencionados levam a trinta e duas integrais. Essas integrais são resolvidas para encontrar a amplitude de cada componente harmônica. Assim, a Equação (3.5) é reescrita conforme expressão (3.30).

$$\overline{C_{mn,i}} = \frac{V_{cc}}{2\pi^2} \times \int_{a_i}^{b_i} \int_{c_i}^{d_i} f_i(x,y) \times e^{j \times (m \times n + n \times y)} dx dy \quad (3.30)$$

Nas quais a_i ; b_i ; c_i ; d_i são os limites de integração apresentados na Tabela 3.8 para valores positivos dos eixos x e y , conforme detalhado na Figura 3.9 e $f_i(x,y)$ é o nível de tensão gerado.

Mais vinte e quatro limites existem, empregando procedimentos semelhantes. Todas trinta e duas integrais são resolvidas para encontrar a amplitude de cada componente harmônica da tensão de saída. Para o conversor proposto não é possível obter uma expressão analítica que represente a tensão de saída, portanto, a integração deve ser realizada numericamente, atribuindo os valores e da ordem das harmônicas. Assim, os parâmetros empregados nas integrais duplas mencionadas anteriormente são apresentados na Tabela 3.9.

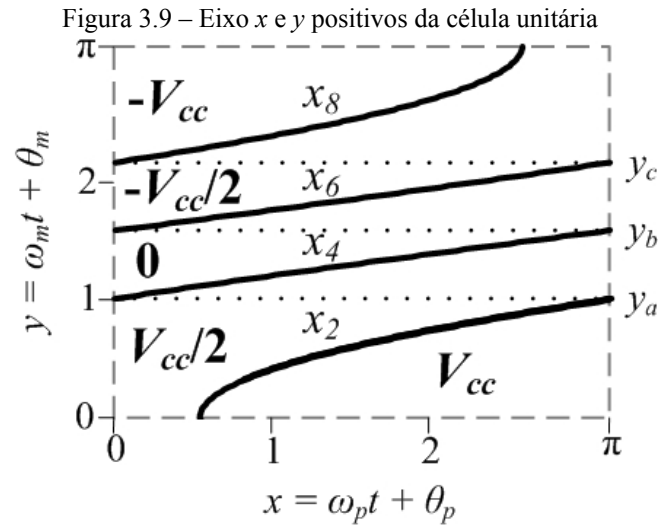


Tabela 3.8 – Limites dos eixos x e y

i Limites	1	2	3	4	5	6	7	8
a_l	0	0	y_a	y_a	y_b	y_b	y_c	y_c
b_l	y_a	y_a	y_b	y_b	y_c	y_c	π	π
c_l	0	x_2	0	x_4	0	x_6	0	x_8
d_l	x_2	π	x_4	π	x_6	π	x_8	π
$f_i(x,y)$	1/2	1	0	1/2	-1/2	0	-1	-1/2

Fonte: Elaborada pela autora.

Tabela 3.9 – Parâmetros empregados para o cálculo das componentes harmônicas

Descrição	Valor
Tensão de Barramento	340 V
Índice de modulação	1,825
Frequência da fundamental	60 Hz
Frequência de comutação	1020 Hz

Fonte: Elaborada pela autora.

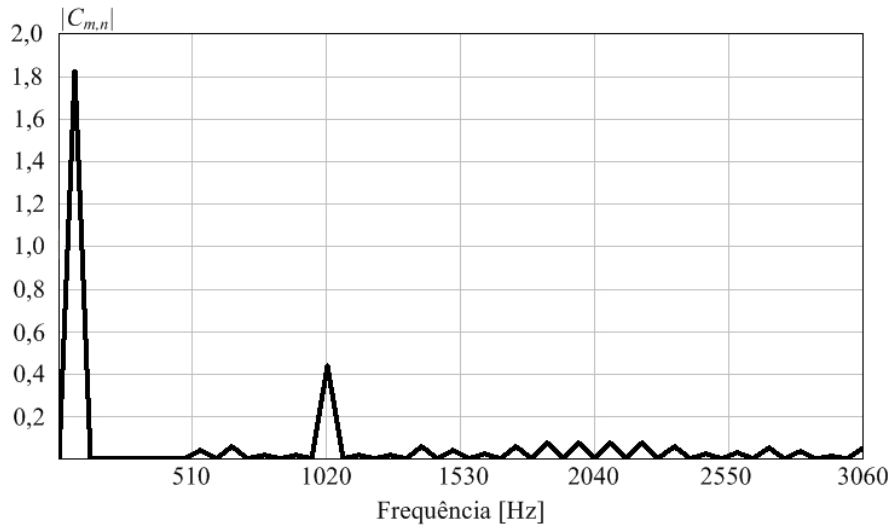
O resultado do cálculo teórico é apresentado na Figura 3.10, na qual são mostradas as primeiras cinquenta harmônicas da tensão de saída, com índice de modulação equivalente a 0,9. Já na Figura 3.11 é apresentada as harmônicas da tensão de saída obtidas através de simulação utilizando o *software* PSIM[®].

Realizando uma multiplicação por um fator para se obter a equivalência entre as análises para melhor apreciação, pode-se comparar ambos os resultados em uma mesma esca-

la na Figura 3.12. Observa-se uma ampla similaridade entre o resultado calculado e a simulação, validando o estudo apresentado.

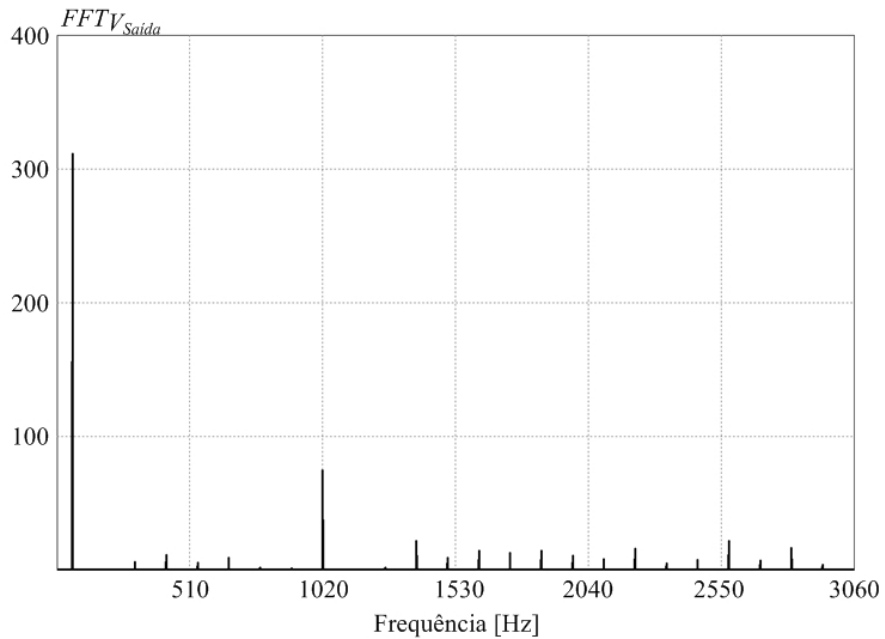
O estudo para a tensão de linha é obtido subtraindo as tensões de duas fases, Figura 3.13. Novamente observa-se a semelhança entre os valores calculados e obtidos pela simulação, validando o procedimento de cálculo adotado.

Figura 3.10 – Componentes harmônicas calculadas



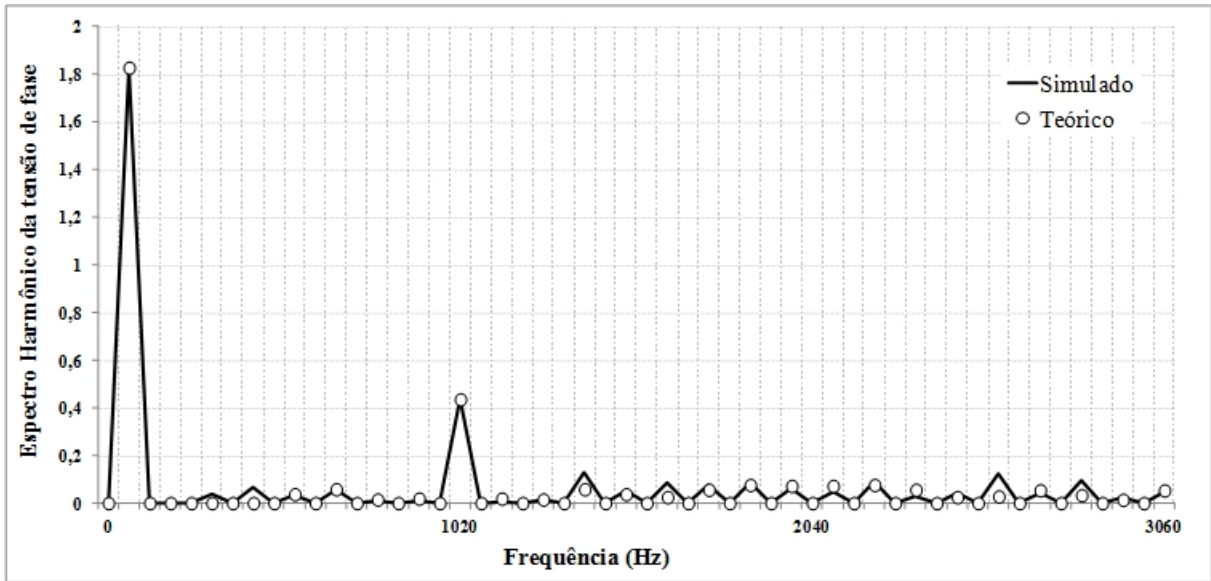
Fonte: Elaborada pela autora.

Figura 3.11 – Transformada rápida de Fourier da tensão de saída obtida através do *software* PSIM[®]



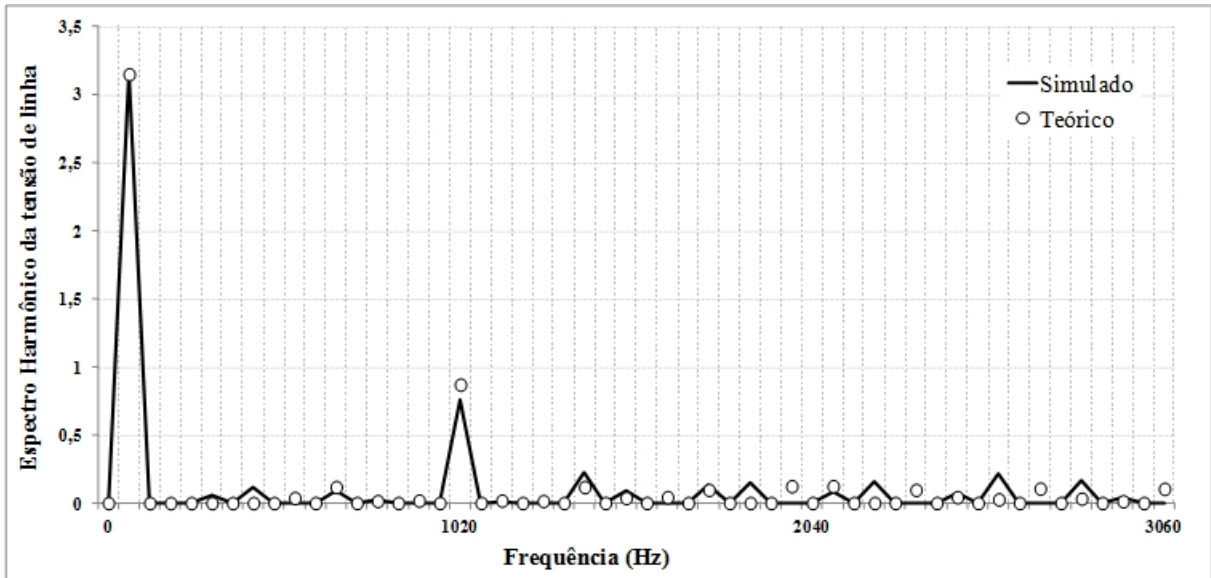
Fonte: Elaborada pela autora.

Figura 3.12 – Transformada rápida de Fourier da tensão de saída obtida através do *software* PSIM[®], comparada com a forma de onda teórica



Fonte: Elaborada pela autora.

Figura 3.13 – Transformada rápida de Fourier da tensão de linha obtida através do *software* PSIM[®], comparada com a forma de onda teórica



Fonte: Elaborada pela autora.

3.6 Considerações finais

Neste capítulo foi apresentada a estrutura do inversor multinível proposto, assim como os possíveis estados de comutação, além das etapas de operação e da lógica de acionamento escolhida para que se consigam os cinco níveis de tensão desejados na saída do inversor. Além disso, uma análise teórica da DHT das tensões de saída foi apresentada e comparada com resultados de simulação realizados no *software* PSIM[®], validando o estudo.

4 ESTUDO DE PERDAS DO INVERSOR MULTINÍVEL DERIVADO DAS TOPOLOGIAS HALF-BRIDGE E ANPC

4.1 Considerações iniciais

Neste capítulo é apresentado um estudo de perdas do inversor multinível proposto operando com a modulação derivada da PD-PWM. Para isto, é necessário determinar os intervalos de condução, a função de modulação, a função da corrente de saída respectiva a cada interruptor e assim obter os esforços de correntes média e eficaz nos semicondutores, que será útil para a escolha dos componentes utilizados experimentalmente.

4.2 Esforços de correntes média e eficaz

A Tabela 4.1 apresenta os principais parâmetros de projeto do inversor trifásico, apresentado na Figura 4.1, utilizados para determinação dos esforços de corrente através dos semicondutores. Vale ressaltar que, para os cálculos a seguir, será considerado o funcionamento de apenas um dos braços do inversor, visto que os outros operam de forma semelhante.

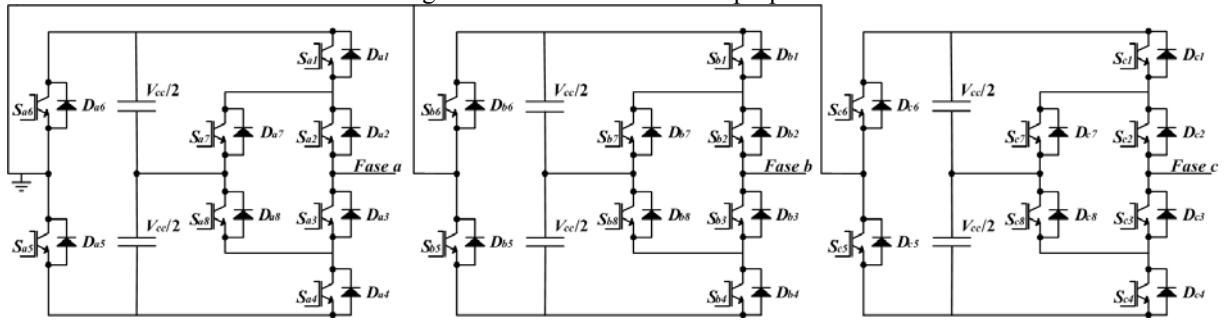
Tabela 4.1 – Parâmetros de projeto do inversor

Tensão do barramento CC	V_{cc}	340 V
Tensão de saída eficaz de linha	$V_{o_ll_ef}$	380 V
Potência aparente total	$S_{o3\phi}$	7,5 kVA
Frequência da tensão de saída	$f_o = f_r$	60 Hz
Fator de potência da carga	FP	0,92
Frequência de comutação do inversor	f_s	1020 Hz
Índice de modulação máximo equivalente	M_{max}	0,9
Rendimento do inversor	η	1

Fonte: Elaborada pela autora.

As equações a seguir apresentam, respectivamente, o cálculo dos valores eficaz e de pico da tensão e da corrente de saída, além do ângulo de carga, potência aparente e ativa, impedância equivalente, resistência e indutância de carga por fase, respectivamente.

Figura 4.1 – Estrutura trifásica proposta



Fonte: Elaborada pela autora.

$$V_{o_ph_ef} = \frac{V_{o_ll_ef}}{\sqrt{3}} \quad (4.1)$$

$$V_{o_ph_ef} = 219,939 \text{ V} \quad (4.2)$$

$$V_{o_ph_pk} = \sqrt{2} \times V_{o_ph_ef} \quad (4.3)$$

$$V_{o_ph_pk} = 310,269 \text{ V} \quad (4.4)$$

$$P_{o3\varphi} = S_{o3\varphi} \times \cos \Phi_o \quad (4.5)$$

$$P_{o3\varphi} = 6,9 \text{ kW} \quad (4.6)$$

$$P_{o\varphi} = \frac{P_{o3\varphi}}{3} \quad (4.7)$$

$$P_{o\varphi} = 2,3 \text{ kW} \quad (4.8)$$

$$I_{o_ph_ef} = \frac{P_{o\varphi}}{V_{o_ph_ef} \times FP \times \eta} \quad (4.9)$$

$$I_{o_ph_ef} = 11,395 \text{ A} \quad (4.10)$$

$$I_{o_ph_pk} = I_{o_ph_ef} \times \sqrt{2} \quad (4.11)$$

$$I_{o_ph_pk} = 16,115 \text{ A} \quad (4.12)$$

$$\theta_o = a \cos(FP) \quad (4.13)$$

$$\theta_o = 0,403 \text{ rad} \quad (4.14)$$

$$S_{o\varphi} = \frac{S_{o3\varphi}}{3} \quad (4.15)$$

$$S_{o\varphi} = 2,5 \text{ kVA} \quad (4.16)$$

$$Z_o = \frac{S_{o\varphi}}{I_{o_ph_ef}^2} \quad (4.17)$$

$$Z_o = 19,253 \ \Omega \quad (4.18)$$

$$R_o = \frac{P_{o\varphi}}{I_{o_ph_ef}^2 \times \eta} \quad (4.19)$$

$$R_o = 17,713 \ \Omega \quad (4.20)$$

$$L_o = \frac{\sqrt{Z_o^2 - R_o^2}}{2 \times \pi \times f_r} \quad (4.21)$$

$$L_o = 20 \text{ mH} \quad (4.22)$$

Tem-se, portanto, que a carga utilizada deve possuir uma resistência de 17,7 Ω e uma indutância de 20 mH.

4.2.1 Determinação dos esforços de corrente nos interruptores

Inicialmente, devem ser determinadas as funções de modulação, ou seja, o comportamento matemático da corrente ao longo de um determinado intervalo de tempo, referentes a cada interruptor de um dos braços do inversor. Em seguida, serão calculados os esforços de corrente nos interruptores ativos e passivos através das expressões generalizadas 4.23 e

4.24, onde δ representa a função de modulação do interruptor correspondente, enquanto S_{xy} identifica o interruptor “y” do braço “x”, ou seja, $x = a, b$ ou c , e $y = 1, 2, 3, 4, 5, 6, 7$ ou 8 .

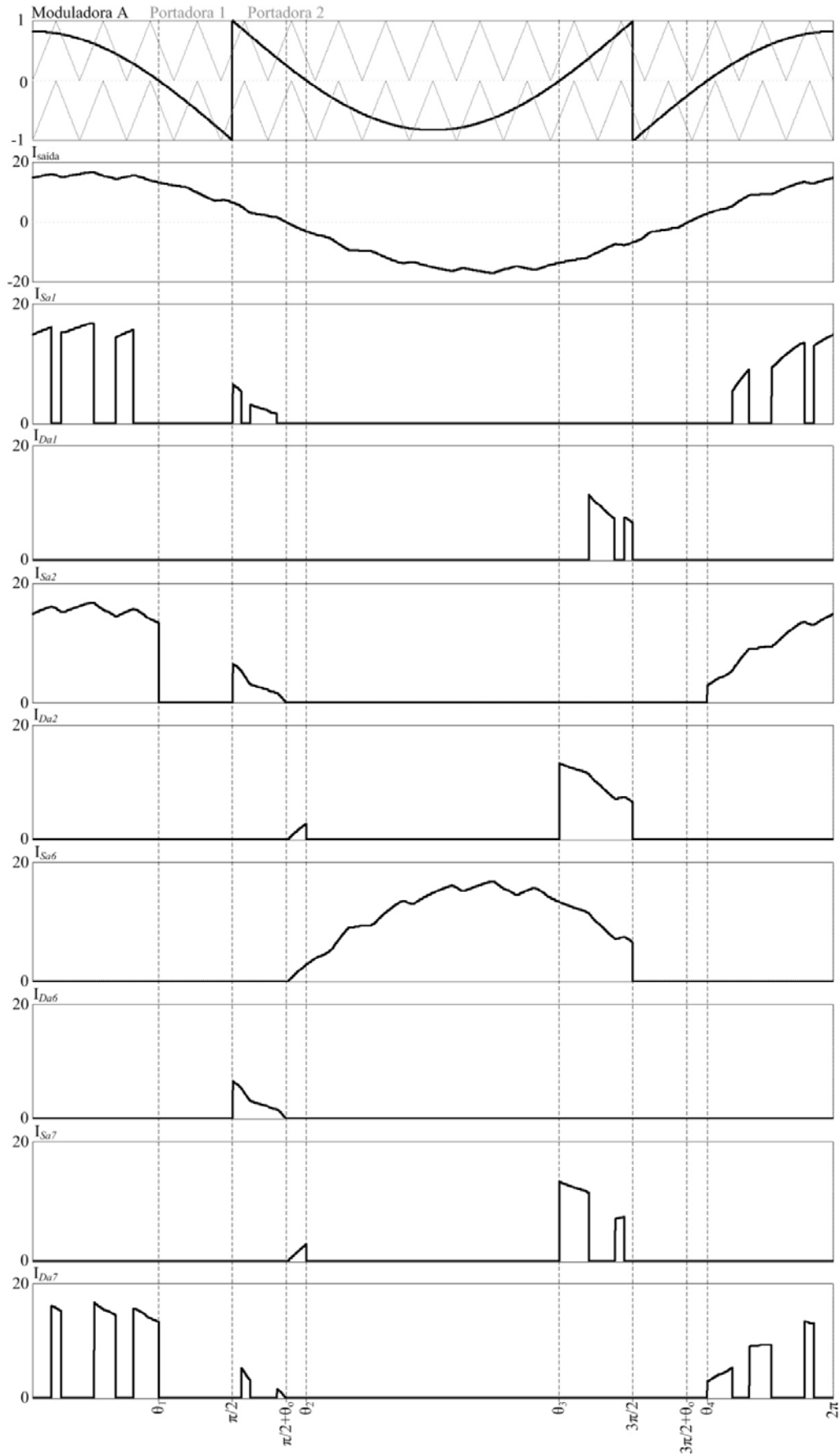
$$I_{S_{xy}MED} = \frac{1}{2\pi} \times \int_0^{2\pi} \delta_{S_{xy}}(\omega t) \times i_o(\omega t) \times d(\omega t) \quad (4.23)$$

$$I_{S_{xy}RMS} = \sqrt{\frac{1}{2\pi} \times \int_0^{2\pi} \delta_{S_{xy}}(\omega t) \times i_o(\omega t)^2 \times d(\omega t)} \quad (4.24)$$

Serão apresentados a seguir os procedimentos de cálculo das correntes média e eficaz para os interruptores S_{a1} , S_{a2} , S_{a6} e S_{a7} , de uma das fases, na qual as formas de onda para esta análise estão apresentadas na Figura 4.2. Salienta-se que as correntes dos interruptores complementares podem ser obtidas de maneira análoga e que o cálculo apresentado é válido para todas as fases, pois considera-se que o sistema é equilibrado e que a corrente nos outros braços do inversor possuem mesmo valor, mas defasada de ± 120 graus elétricos.

A fim de estabelecer as funções de modulação, deve ser observado o comportamento da corrente nos interruptores ativos e seus respectivos diodos em antiparalelo, como na Figura 4.2.

Figura 4.2 – Modulação, corrente na carga e corrente nos interruptor S_{a1} , S_{a2} , S_{a6} e S_{a7}



Fonte: Elaborada pela autora.

4.2.1.1 Cálculo das correntes média e eficaz para o interruptor S_{a1} e seu respectivo diodo em antiparalelo D_{a1}

Com base nas definições apresentadas pode-se definir a função de modulação, $\delta(\omega t)$, para o interruptor S_{a1} , equação (4.25), enquanto a equação (4.26) apresenta a respectiva função da corrente de saída, $i_o(\omega t)$, na qual θ_o representa o ângulo do fator de potência.

$$\delta_{S_{a1}}(\omega t, M_i) = \begin{cases} M_i \times \cos(\omega t) - 1 & \text{se } 0 \leq \omega t \leq \theta_1 \\ 0 & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ M_i \times \cos(\omega t) + 1 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 0 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \theta_4 \\ M_i \times \cos(\omega t) - 1 & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.25)$$

$$i_o(\omega t, M_i) = \begin{cases} I_{o.pk} \times \cos(\omega t - \theta_o) & \text{se } 0 < \omega t < \theta_1 \\ 0 & \text{se } \theta_1 < \omega t < \frac{\pi}{2} \\ I_{o.pk} \times \cos(\omega t - \theta_o) & \text{se } \frac{\pi}{2} < \omega t < \frac{\pi}{2} + \theta_o \\ 0 & \text{se } \frac{\pi}{2} + \theta_o < \omega t < \theta_4 \\ I_{o.pk} \times \cos(\omega t - \theta_o) & \text{se } \theta_4 < \omega t < 2\pi \end{cases} \quad (4.26)$$

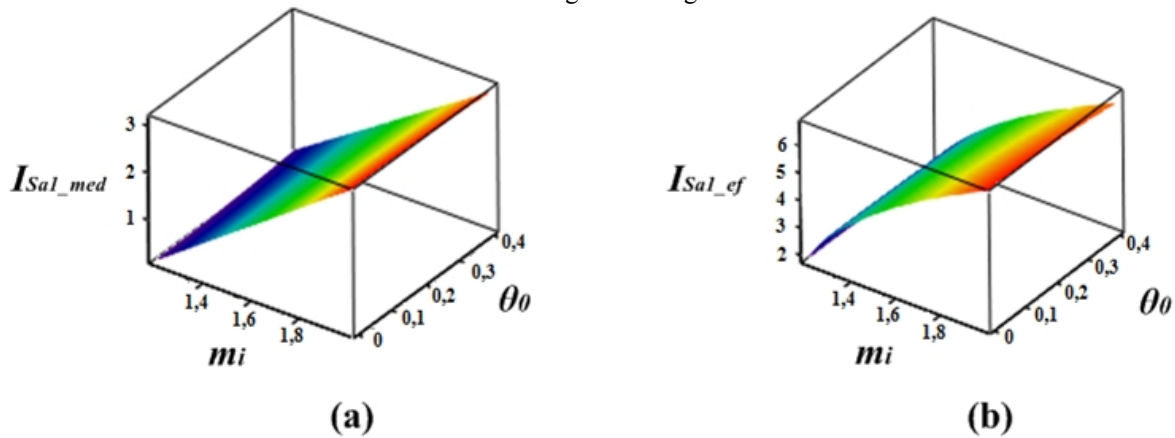
Observa-se pela Figura 4.2, que para o interruptor S_{a1} no intervalo de $\theta_3 \leq \omega t \leq 3\pi/2$, a corrente é negativa e circula pelo diodo do interruptor, sendo zero a corrente neste intervalo para o interruptor ativo. A função de modulação, $\delta(\omega t)$, para o diodo de S_{a1} , nomeado de D_{a1} , é apresentada na equação (4.27), enquanto a equação (4.28) apresenta a respectiva função da corrente de saída, $i_o(\omega t)$.

$$\delta_{D_{a1}}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_3 \\ M_i \times \cos(\omega t) + 1 & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ 0 & \text{se } \frac{3\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.27)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_3 \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ 0 & \text{se } \frac{3\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.28)$$

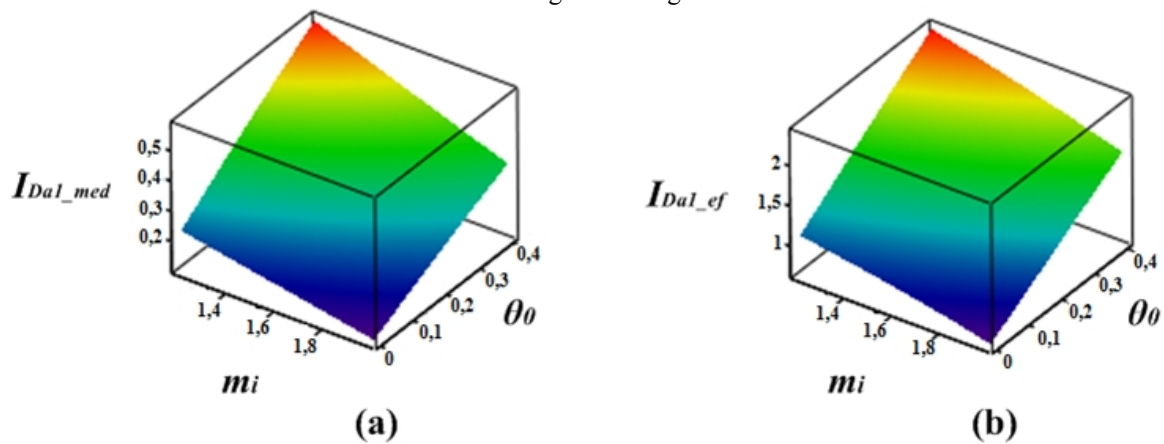
As representações gráficas das correntes média e eficaz do interruptor S_{al} e seu respectivo diodo em antiparalelo, D_{al} , são observadas nas Figura 4.3 e Figura 4.4. Estes gráficos possibilitam a visualização da evolução da corrente em função do índice de modulação e do ângulo da corrente de carga.

Figura 4.3 – Evolução das correntes (a) média e (b) eficaz no interruptor S_{al} em função do índice de modulação e do ângulo de carga



Fonte: Elaborada pela autora.

Figura 4.4 – Evolução das correntes (a) média e (b) eficaz no diodo D_{al} em função do índice de modulação e do ângulo de carga



Fonte: Elaborada pela autora.

4.2.1.2 Cálculo das correntes média e eficaz para o interruptor S_{a2} e seu respectivo diodo em antiparalelo D_{a2}

A função de modulação, $\delta(\omega t)$, para o interruptor S_{a2} , é apresentada na equação (4.29), enquanto a equação (4.30) apresenta a respectiva função da corrente de saída, $i_o(\omega t)$.

$$\delta_{S_{a2}}(\omega t, M_i) = \begin{cases} 1 & \text{se } 0 \leq \omega t \leq \theta_1 \\ 0 & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ 1 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 0 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \theta_4 \\ 1 & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.29)$$

$$i_o(\omega t, M_i) = \begin{cases} I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \theta_1 \\ 0 & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 0 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \theta_4 \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.30)$$

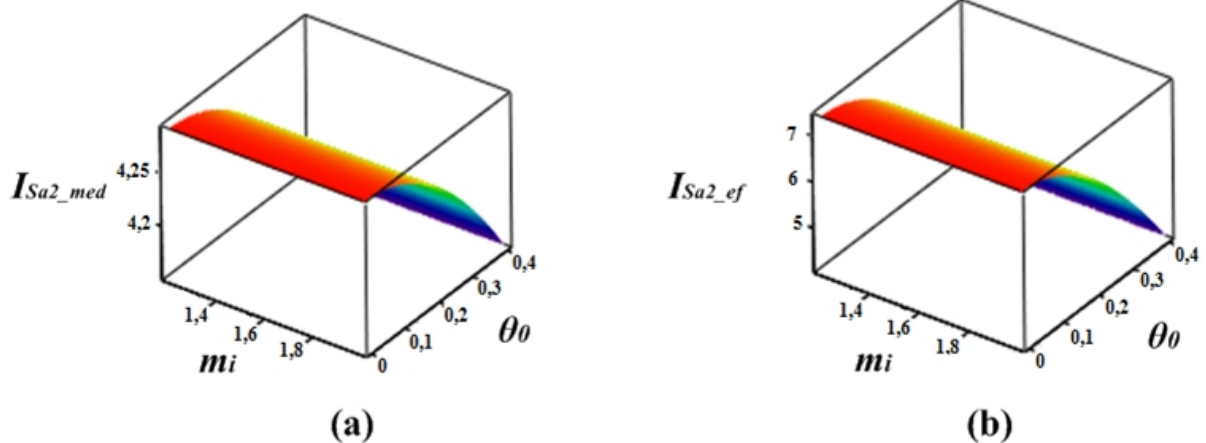
Observa-se pela Figura 4.2, que para o interruptor S_{a2} nos intervalos de $\pi/2 + \theta_o \leq \omega t \leq \theta_2$ e $\theta_{o3} \leq \omega t \leq 3\pi/2$ a corrente é negativa, portanto esta circula pelo diodo do interruptor, sendo zero a corrente neste intervalo para o interruptor ativo. A função de modulação, $\delta(\omega t)$, para o diodo de S_{a2} , nomeado de D_{a2} , é apresentada na equação (4.31), enquanto a equação (4.32) apresenta a respectiva função da corrente de saída, $i_o(\omega t)$.

$$\delta_{D_{a2}}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 1 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \theta_2 \\ 0 & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ 1 & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ 0 & \text{se } \frac{3\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.31)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \theta_2 \\ 0 & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ 0 & \text{se } \frac{3\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.32)$$

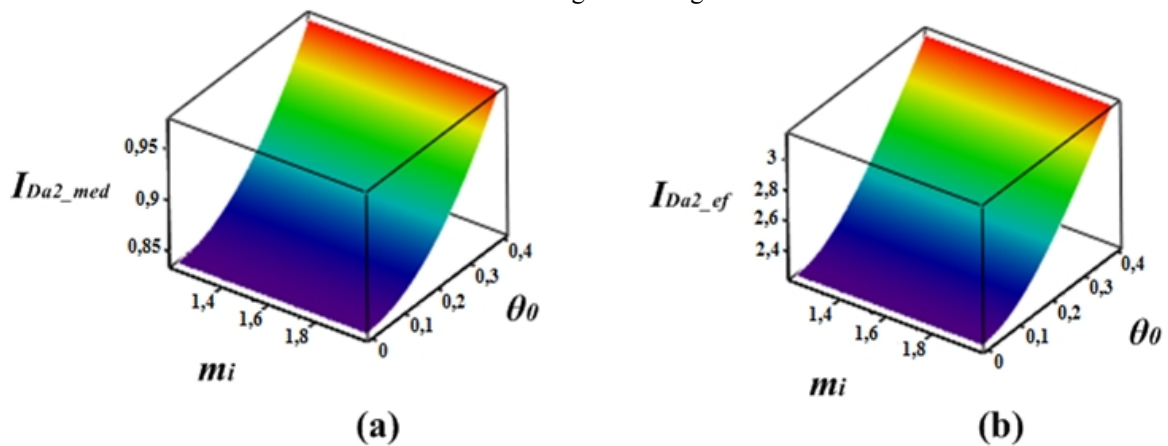
As representações gráficas das correntes média e eficaz do interruptor S_{a2} e seu respectivo diodo em antiparalelo, D_{a2} , são observadas nas Figura 4.5 e Figura 4.6.

Figura 4.5 – Evolução das correntes (a) média e (b) eficaz no interruptor S_{a2} em função do índice de modulação e do ângulo de carga



Fonte: Elaborada pela autora.

Figura 4.6 – Evolução das correntes (a) média e (b) eficaz no interruptor D_{a2} em função do índice de modulação e do ângulo de carga



Fonte: Elaborada pela autora.

4.2.1.3 Cálculo das correntes média e eficaz para o interruptor S_{a6} e seu respectivo diodo em antiparalelo D_{a6}

A função de modulação, $\delta(\omega t)$, para o interruptor S_{a6} , é apresentada na equação (4.33), enquanto a equação (4.34) apresenta a respectiva função da corrente de saída, $i_o(\omega t)$.

$$\delta_{S_{a6}}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 1 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \frac{3\pi}{2} \\ 0 & \text{se } \frac{3\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.33)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} + \theta_{o1} \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \frac{3\pi}{2} \\ 0 & \text{se } \frac{3\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.34)$$

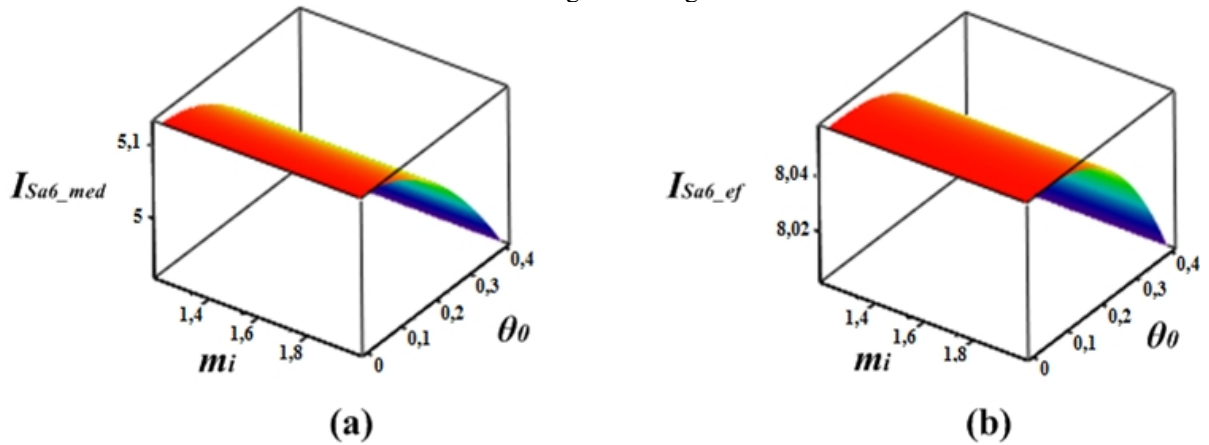
Observa-se pela Figura 4.2, que para o interruptor S_{a6} no intervalo de $\pi/2 \leq \omega t \leq \pi/2 + \theta_o$, a corrente é positiva e circula pelo diodo do interruptor, sendo zero a corrente neste intervalo para o interruptor ativo. A função de modulação, $\delta(\omega t)$, para o diodo de S_{a6} , nomeado de D_{a6} , é apresentada na equação (4.35), enquanto a equação (4.36) apresenta a respectiva função da corrente de saída, $i_o(\omega t)$.

$$\delta_{D_{a6}}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} \\ 1 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 0 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.35)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 0 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.36)$$

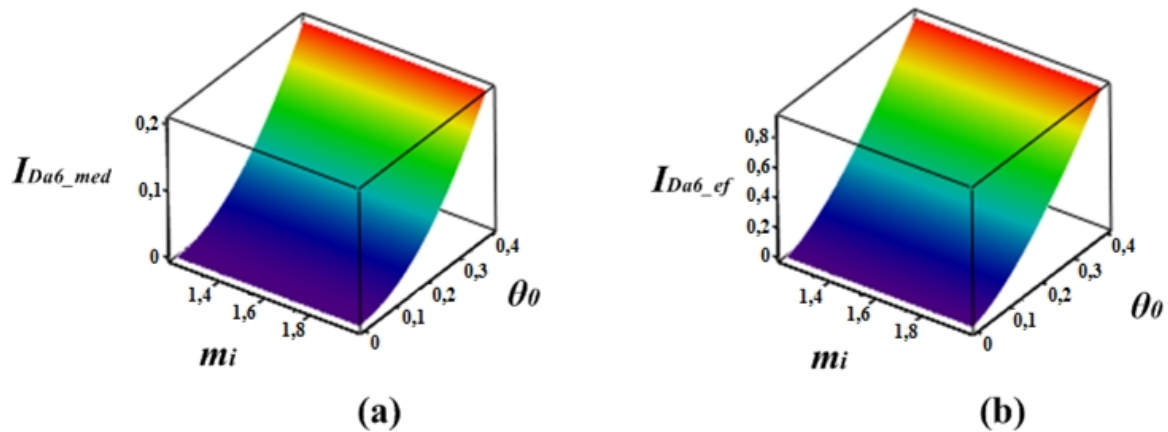
As representações gráficas das correntes média e eficaz do interruptor S_{a6} e seu respectivo diodo em antiparalelo, D_{a6} , são observadas nas Figura 4.7 e Figura 4.8.

Figura 4.7 – Evolução das correntes (a) média e (b) eficaz no interruptor S_{a6} em função do índice de modulação e do ângulo de carga



Fonte: Elaborada pela autora.

Figura 4.8 – Evolução das correntes (a) média e (b) eficaz no interruptor D_{a6} em função do índice de modulação e do ângulo de carga



Fonte: Elaborada pela autora.

4.2.1.4 Cálculo das correntes média e eficaz para o interruptor S_{a7} e seu respectivo diodo em antiparalelo D_{a7}

A função de modulação, $\delta(\omega t)$, para o interruptor S_{a7} , é apresentada na equação (4.37), enquanto a equação (4.38) apresenta a respectiva função da corrente de saída, $i_o(\omega t)$.

$$\delta_{S_{a7}}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ |M_i \cdot \cos(\omega t)| & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \theta_2 \\ 0 & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ |M_i \cdot \cos(\omega t)| & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ 0 & \text{se } \frac{3\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.37)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \theta_2 \\ 0 & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ 0 & \text{se } \frac{3\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.38)$$

Observa-se pela Figura 4.2, que nos intervalos de $0 \leq \omega t \leq \theta_1$, $\pi/2 \leq \omega t \leq \pi/2 + \theta_o$ e $\theta_4 \leq \omega t \leq 2\pi$, a corrente de saída é positiva e circula pelo diodo do interruptor S_{a7} , sendo zero a corrente neste intervalo para o interruptor ativo. A função de modulação, $\delta(\omega t)$, para o diodo de S_{a7} , nomeado de D_{a7} , é apresentada na equação (4.39), enquanto a equação (4.40) apresenta a respectiva função da corrente de saída, $i_o(\omega t)$.

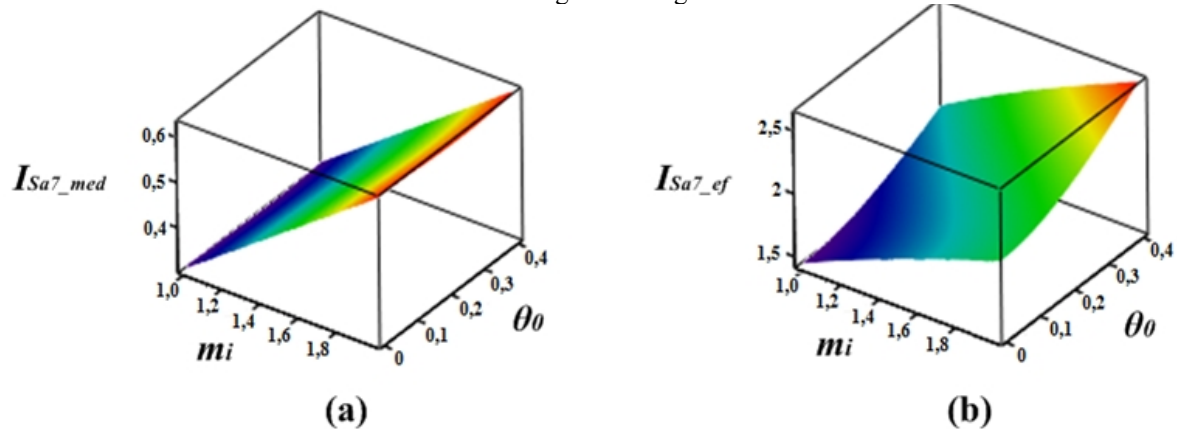
$$\delta_{D_{a7}}(\omega t, M_i) = \begin{cases} |M_i \cdot \cos(\omega t) - 2| & \text{se } 0 \leq \omega t \leq \theta_1 \\ 0 & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ |M_i \cdot \cos(\omega t)| & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 0 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ |M_i \cdot \cos(\omega t) - 2| & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.39)$$

$$i_o(\omega t, M_i) = \begin{cases} I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \theta_1 \\ 0 & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{\pi}{2} + \theta_o \\ 0 & \text{se } \frac{\pi}{2} + \theta_o \leq \omega t \leq \theta_4 \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.40)$$

Devido ao acionamento desta chave ocorrer quando a portadora apresentar valores superiores em relação à moduladora, as funções de modulação são diferentes dos interruptores calculadas anteriormente.

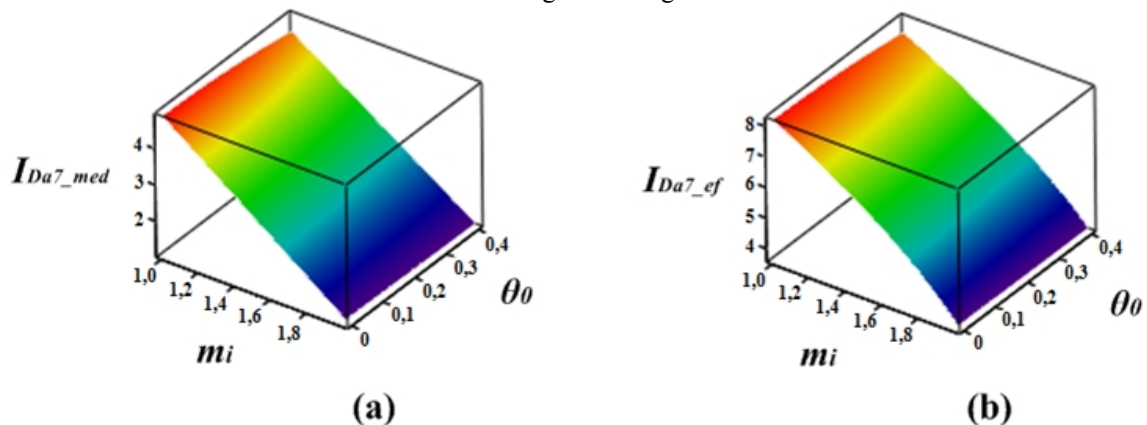
As representações gráficas das correntes média e eficaz do interruptor S_{a7} e seu respectivo diodo em antiparalelo, D_{a7} , são observadas nas Figura 4.9 e Figura 4.10.

Figura 4.9 – Evolução das correntes (a) média e (b) eficaz no interruptor S_{a7} em função do índice de modulação e do ângulo de carga



Fonte: Elaborada pela autora.

Figura 4.10 – Evolução das correntes (a) média e (b) eficaz no interruptor D_{a7} em função do índice de modulação e do ângulo de carga

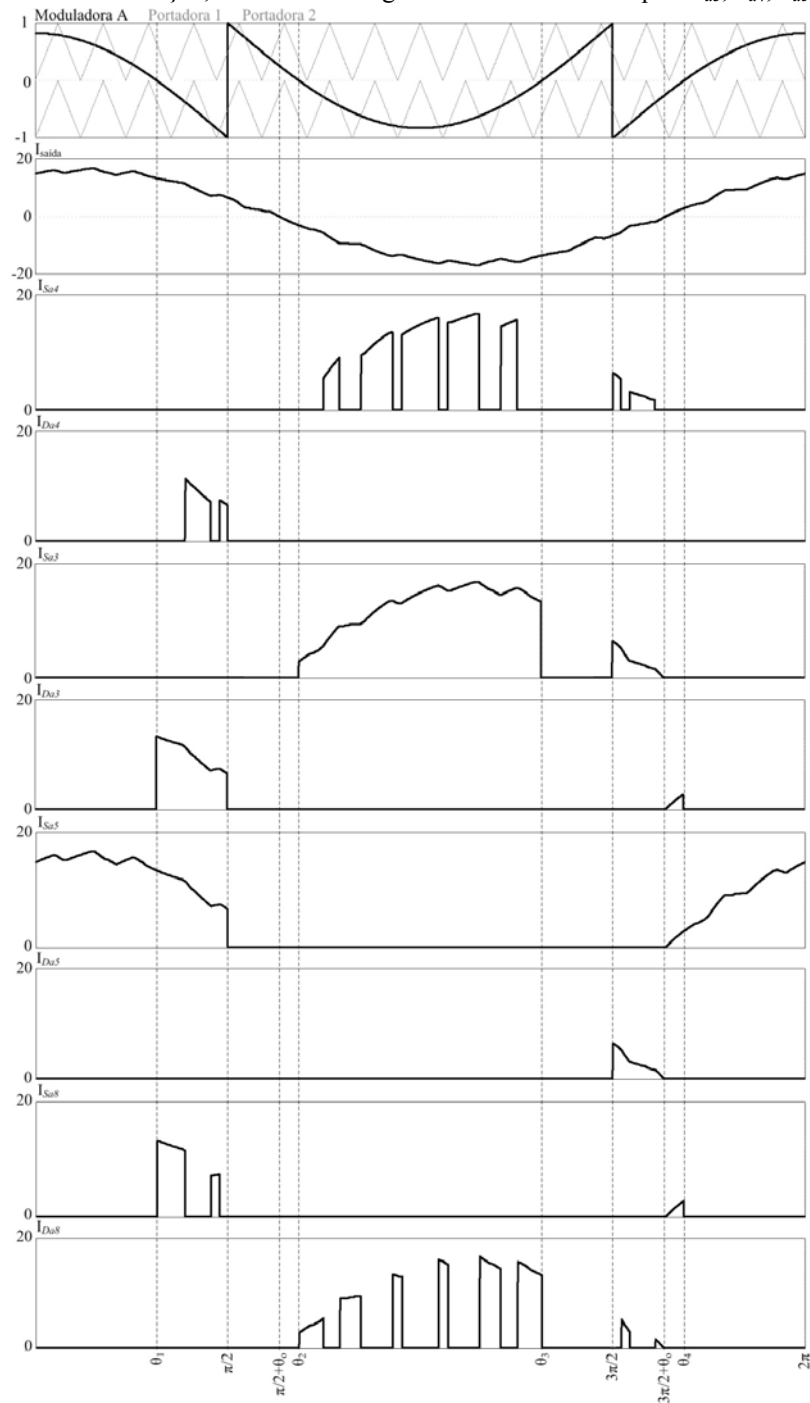


Fonte: Elaborada pela autora.

4.2.1.5 Cálculo das correntes média e eficaz para os interruptores S_{a3} , S_{a4} , S_{a5} e S_{a8} e respectivos diodos em antiparalelo, D_{a4} , D_{a3} , D_{a5} e D_{a8}

As funções de modulação e as funções da corrente para os interruptores complementares, isto é, S_{a3} , S_{a4} , S_{a5} e S_{a8} , apresentadas nas equações (4.41), à (4.56), são determinadas observando a Figura 4.11.

Figura 4.11 – Modulação, corrente na carga e corrente nos interruptor S_{a3} , S_{a4} , S_{a5} e S_{a8}



Fonte: Elaborada pela autora.

$$\delta_{Sa4}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_2 \\ |M_i \cdot \cos(\omega t) + 1| & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ 0 & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ |M_i \cdot \cos(\omega t) - 1| & \text{se } \frac{3\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 0 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.41)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_2 \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ 0 & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \frac{3\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 0 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.42)$$

$$\delta_{Da4}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_1 \\ |M_i \cdot \cos(\omega t) - 1| & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ 0 & \text{se } \frac{\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.43)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_1 \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ 0 & \text{se } \frac{\pi}{2} \leq \omega t \leq 2\pi \end{cases} \quad (4.44)$$

$$\delta_{Sa3}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_2 \\ 1 & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ 0 & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ 1 & \text{se } \frac{3\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 0 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.45)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_2 \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ 0 & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \frac{3\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 0 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.46)$$

$$\delta_{Da3}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_1 \\ 1 & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ 0 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 1 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq \theta_4 \\ 0 & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.47)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_1 \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ 0 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq \theta_4 \\ 0 & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.48)$$

$$\delta_{Sa5}(\omega t, M_i) = \begin{cases} 1 & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} \\ 0 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 1 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.49)$$

$$i_o(\omega t, M_i) = \begin{cases} I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \frac{\pi}{2} \\ 0 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.50)$$

$$\delta_{Da5}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{3\pi}{2} \\ 1 & \text{se } \frac{3\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 0 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.51)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \frac{3\pi}{2} \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \frac{3\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 0 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.52)$$

$$\delta_{Sa8}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_1 \\ \left| M_i \cdot \cos(\omega t) - 1 \right| - 1 & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ 0 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ \left| M_i \cdot \cos(\omega t) - 1 \right| - 1 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq \theta_4 \\ 0 & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.53)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_1 \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \theta_1 \leq \omega t \leq \frac{\pi}{2} \\ 0 & \text{se } \frac{\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ I_{o.pk} \cdot \cos(\omega t - \theta_o) & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq \theta_4 \\ 0 & \text{se } \theta_4 \leq \omega t \leq 2\pi \end{cases} \quad (4.54)$$

$$\delta_{Da8}(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_2 \\ \left| M_i \cdot \cos(\omega t) + 1 \right| - 1 & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ 0 & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ \left| M_i \cdot \cos(\omega t) - 1 \right| - 1 & \text{se } \frac{3\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 0 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.55)$$

$$i_o(\omega t, M_i) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_2 \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \theta_2 \leq \omega t \leq \theta_3 \\ 0 & \text{se } \theta_3 \leq \omega t \leq \frac{3\pi}{2} \\ I_{o.pk} \cdot |\cos(\omega t - \theta_o)| & \text{se } \frac{3\pi}{2} \leq \omega t \leq \frac{3\pi}{2} + \theta_o \\ 0 & \text{se } \frac{3\pi}{2} + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (4.56)$$

A Tabela 4.2 apresenta uma comparação entre os valores calculados e simulados no *software* PSIM dos esforços de corrente nos semicondutores. Observa-se que, o máximo erro obtido foi de 3,5%. Portanto, esta tabela valida a análise e o equacionamento. Assim, de acordo com os componentes disponíveis no laboratório, optou-se pela utilização do módulo SKM75GB063D para os interruptores que operam em alta frequência e o SKM145GB066D para os de baixa.

Tabela 4.2 – Esforços de corrente

Interruptor	Calculado	Simulado	Erro (%)
$I_{Sa1med}=I_{Sa4med}$	2,448	2,483	1,42974
$I_{Sa1ef}=I_{Sa4ef}$	5,748	5,806	1,00905
$I_{DSa1med}=I_{DSa4med}$	0,399	0,385	3,508772
$I_{DSa1ef}=I_{DSa4ef}$	1,923	1,863	3,120125
$I_{Sa2med}=I_{Sa3med}$	4,152	4,187	0,84297
$I_{Sa2ef}=I_{Sa3ef}$	7,412	7,461	0,66109
$I_{DSa2med}=I_{DSa3med}$	0,976	0,971	0,512295
$I_{DSa2ef}=I_{DSa3ef}$	3,158	3,161	0,095
$I_{Sa6med}=I_{Sa5med}$	4,924	4,951	0,54833
$I_{Sa6ef}=I_{Sa5ef}$	8,003	8,052	0,61227
$I_{DSa6med}=I_{DSa5med}$	0,205	0,207	0,97561
$I_{DSa6ef}=I_{DSa5ef}$	0,934	0,908	2,783726
$I_{Sa7med}=I_{Sa8med}$	0,573	0,586	2,26876
$I_{Sa7ef}=I_{Sa8ef}$	2,504	2,554	1,99681
$I_{DSa7med}=I_{DSa8med}$	1,704	1,704	0
$I_{DSa7ef}=I_{DSa8ef}$	4,679	4,685	0,12823

Fonte: Elaborada pela autora.

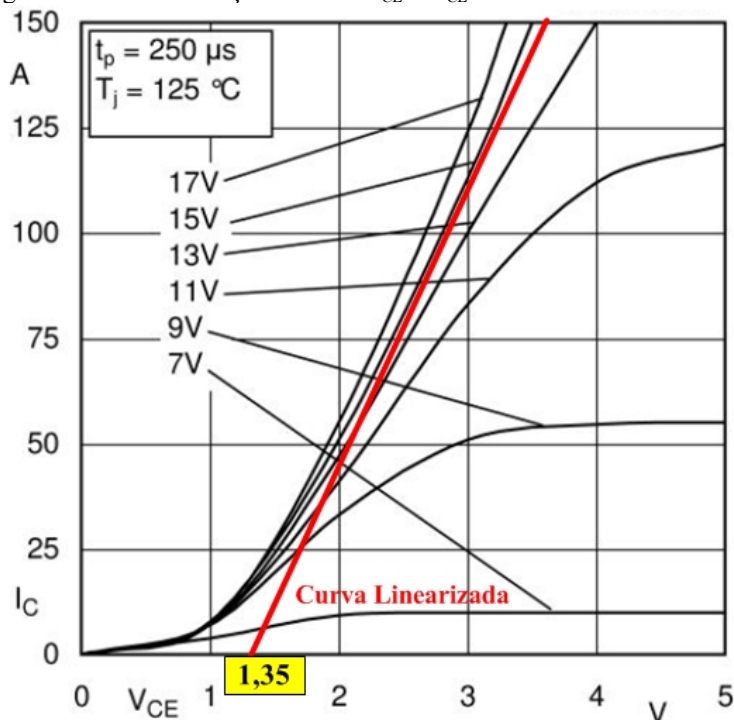
4.3 Cálculo das perdas por condução e comutação

Para a análise de perdas, devem ser definidas, inicialmente, as equações generalizadas que regem o comportamento das perdas por condução e comutação. As equações (4.57) e (4.58) definem, respectivamente, o cálculo das perdas por condução nos interruptores e seus respectivos diodos. As perdas por condução dependem, portanto, de parâmetros que são determinados através da linearização da curva da queda de tensão instantânea em função da corrente direta instantânea dada pelo fabricante, conforme as Figuras 4.12 e 4.13, além dos valores de corrente média e eficaz (BATSCHAUER *et al.*, 2010; BATSCHAUER, 2011). As curvas linearizadas foram escolhidas para uma tensão de gatilho de 15 V, temperatura de junção de 125 °C, e 25 °C, respectivamente, de acordo com o fornecido pelo fabricante e para uma maior precisão na região entre 25 A e 50 A, na qual se inserem os esforços de corrente previamente calculados.

$$P_{SxyCOND} = V_{TO} \times I_{SxyMED} + R_S \times (I_{SxyEF})^2 \quad (4.57)$$

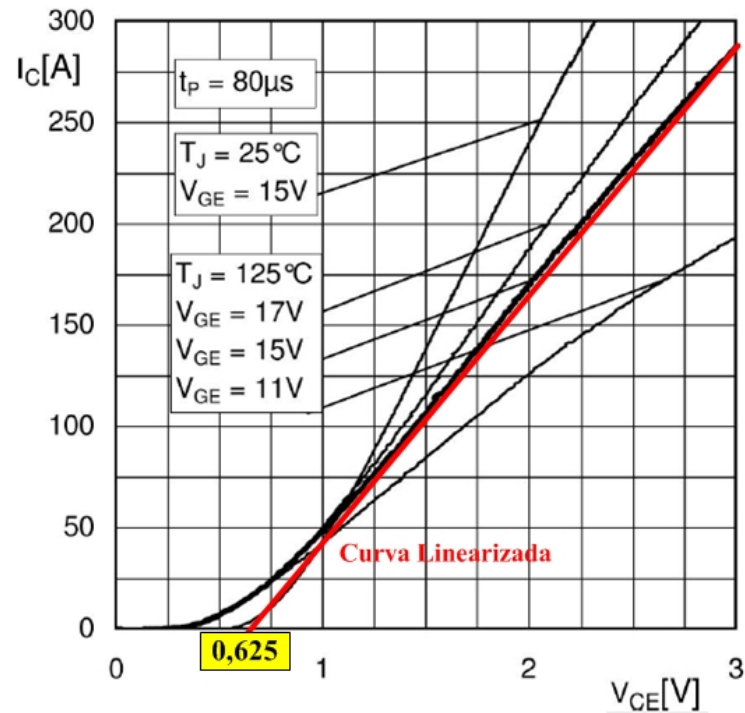
$$P_{DxyCOND} = V_D \times I_{DxyMED} + R_D \times (I_{DxyEF})^2 \quad (4.58)$$

Figura 4.12 – Linearização da curva $I_{CE} \times V_{CE}$ do módulo SKM75GB063D



Fonte: Elaborada pela autora.

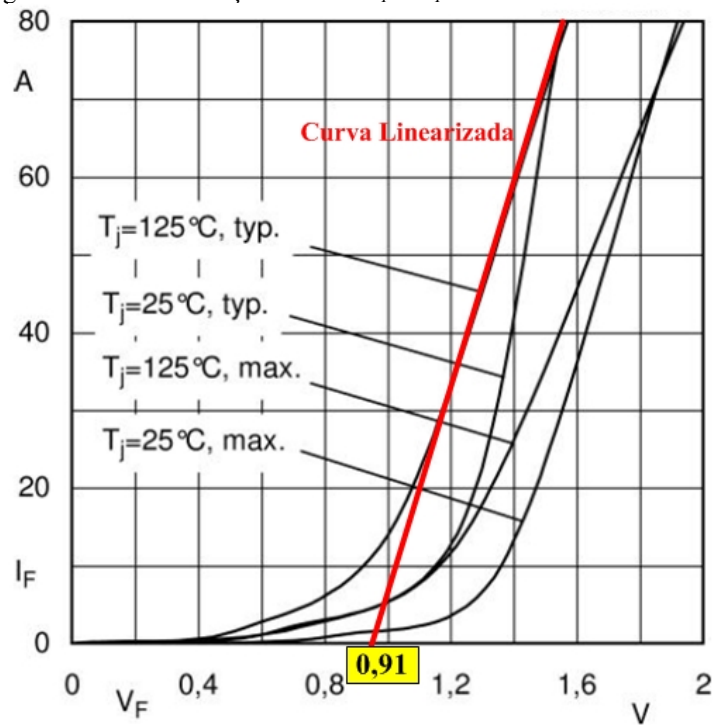
Figura 4.13 – Linearização da curva $I_{CE} \times V_{CE}$ do módulo SKM145GB066D



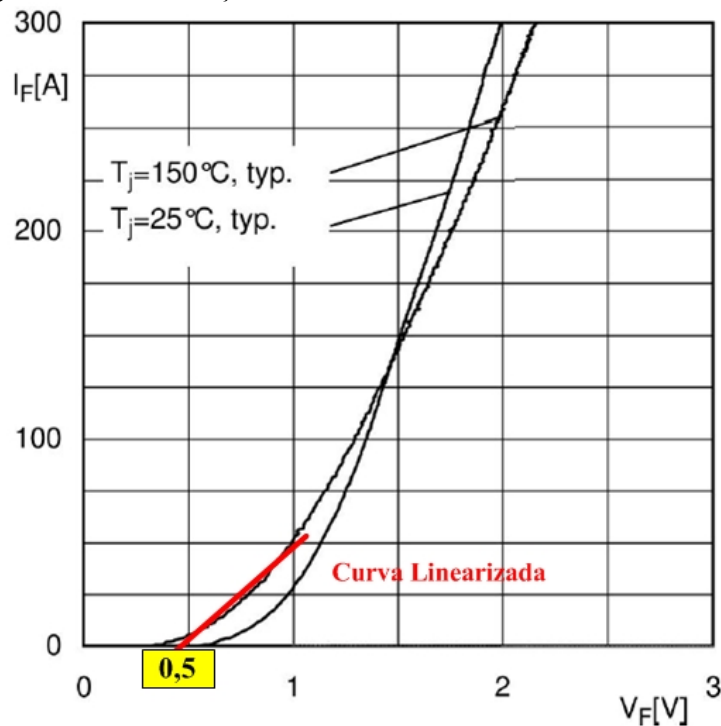
Fonte: Elaborada pela autora.

Para os diodos dos módulos, os cálculos das perdas por condução são determinados de forma similar aos dos interruptores ativos, Figura 4.14 e Figura 4.15.

Figura 4.14 – Linearização da curva $I_F \times V_F$ do módulo SKM75GB063D



Fonte: Elaborada pela autora.

Figura 4.15 – Linearização da curva $I_F \times V_F$ do módulo SKM145GB066D

Fonte: Elaborada pela autora.

O cálculo das perdas por comutação segue a metodologia apresentada em Drofenik *et al.*, (2005), na qual as curvas da energia dissipada durante o ligamento e o desligamento do interruptor são aproximadas por polinômios de segunda ordem, segundo as expressões 4.59 e 4.60, permitindo que esta energia seja representada por apenas três coeficientes: k_0 , k_1 e k_2 , obtidos através da técnica de regressão polinomial e apresentados na Tabela 4.3.

As Figuras 4.16 e 4.17 apresentam as curvas de energia dissipada na entrada em condução e no bloqueio para os módulos SKM75GB063D e SKM145GB066D, respectivamente, bem como as curvas geradas pelos polinômios de segunda ordem, de onde se pode observar a eficácia da aproximação sugerida em Drofenik *et al.*, (2005).

Tabela 4.3 – Coeficientes calculados dos polinômios de segunda ordem

Coeficiente	Valor
k_{0_ON}	$16,839 \cdot 10^{-4} \text{J}$
k_{1_ON}	$1,297 \cdot 10^{-5} \text{J/A}$
k_{2_ON}	$2,286 \cdot 10^{-7} \text{J/A}^2$
k_{0_OFF}	$3,14 \cdot 10^{-4} \text{J}$
k_{1_OFF}	$2,934 \cdot 10^{-5} \text{J/A}$
k_{2_OFF}	$-9,467 \cdot 10^{-9} \text{J/A}^2$

Fonte: Elaborada pela autora.

$$W_{SxyON}(\omega t) = k_{0ON} + k_{1ON} \times i_{Sxy}(\omega t) + k_{2ON} \times (i_{Sxy}(\omega t))^2 \quad (4.59)$$

$$W_{SxyOFF}(\omega t) = k_{0OFF} + k_{1OFF} \times i_{Sxy}(\omega t) + k_{2OFF} \times (i_{Sxy}(\omega t))^2 \quad (4.60)$$

Figura 4.16 – Curvas da dissipação de energia durante a comutação para o módulo SKM75GB063D

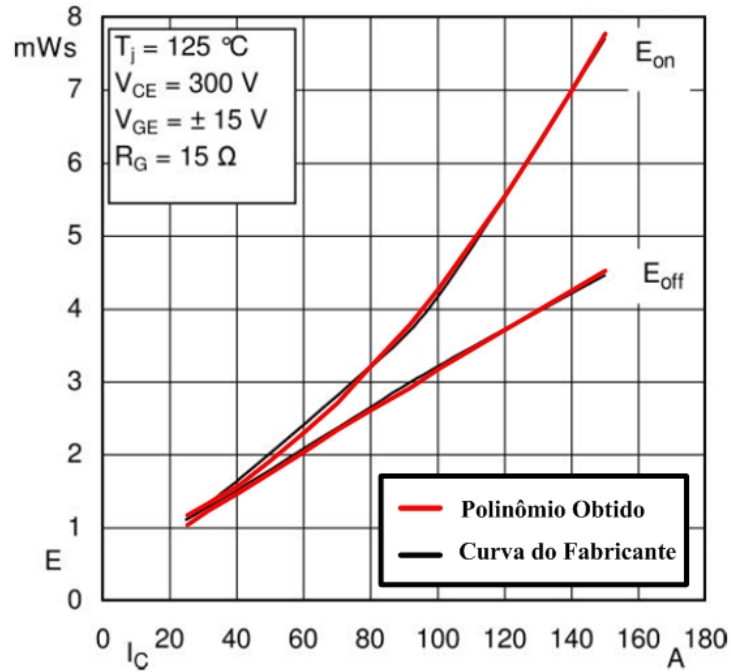
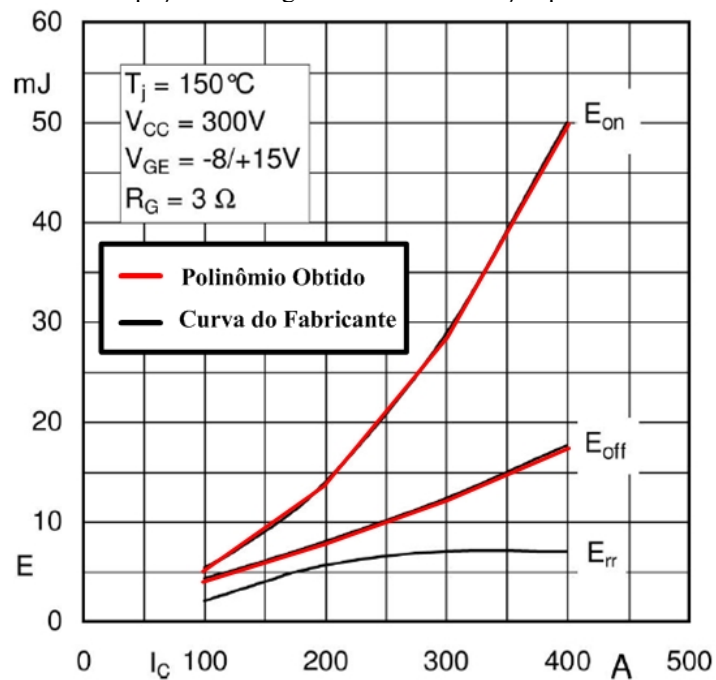


Figura 4.17 – Curvas da dissipação de energia durante a comutação para o módulo SKM145GB066D



Assim, as perdas por comutação no ligamento e desligamento dos interruptores podem ser obtidas integrando as respectivas expressões de energia dissipada em função da frequência de comutação, conforme as equações 4.61 e 4.62, respectivamente. Vale ressaltar que a frequência dos semicondutores que operam em alta frequência, S_{a1} , S_{a4} , S_{a7} e S_{a8} , é 1020 Hz, enquanto que a frequência dos semicondutores que operam em baixa, S_{a2} , S_{a3} , S_{a5} e S_{a6} , é 60 Hz.

$$P_{S_{xyON}} = \frac{1}{2\pi} \times \int_0^{2\pi} f_s \times W_{S_{xyON}}(\omega t) d(\omega t) \quad (4.61)$$

$$P_{S_{xyOFF}} = \frac{1}{2\pi} \times \int_0^{2\pi} f_s \times W_{S_{xyOFF}}(\omega t) d(\omega t) \quad (4.62)$$

A energia dissipada durante a recuperação reversa nos diodos em função da corrente direta pode ser obtida utilizando a equação (4.63), onde I_o é a corrente nominal do diodo, t_{rr} é o tempo de recuperação reversa, e I_{rr} é a corrente de recuperação reversa, cujos dados são fornecidos pelo fabricante. A perda na recuperação reversa no diodo é obtida da mesma forma que nos interruptores, ou seja, integrando a energia dissipada em função da frequência de comutação, como apresenta a equação (4.64) (CASANELLAS *et al.*, 1994).

$$W_{rr}(i_D) = \frac{V_{cc}}{2} \times \left(0,8 + \frac{0,2 \times i_D(\omega t)}{I_o} \right) \times t_{rr} \times \left(0,35 \times I_{rr} + 0,15 \times \frac{I_{rr}}{I_o} \times i_D(\omega t) + i_D(\omega t) \right) \quad (4.63)$$

$$P_{rr} = \frac{1}{2\pi} \times \int_0^{2\pi} W_{rr}(\omega t) d(\omega t) \quad (4.64)$$

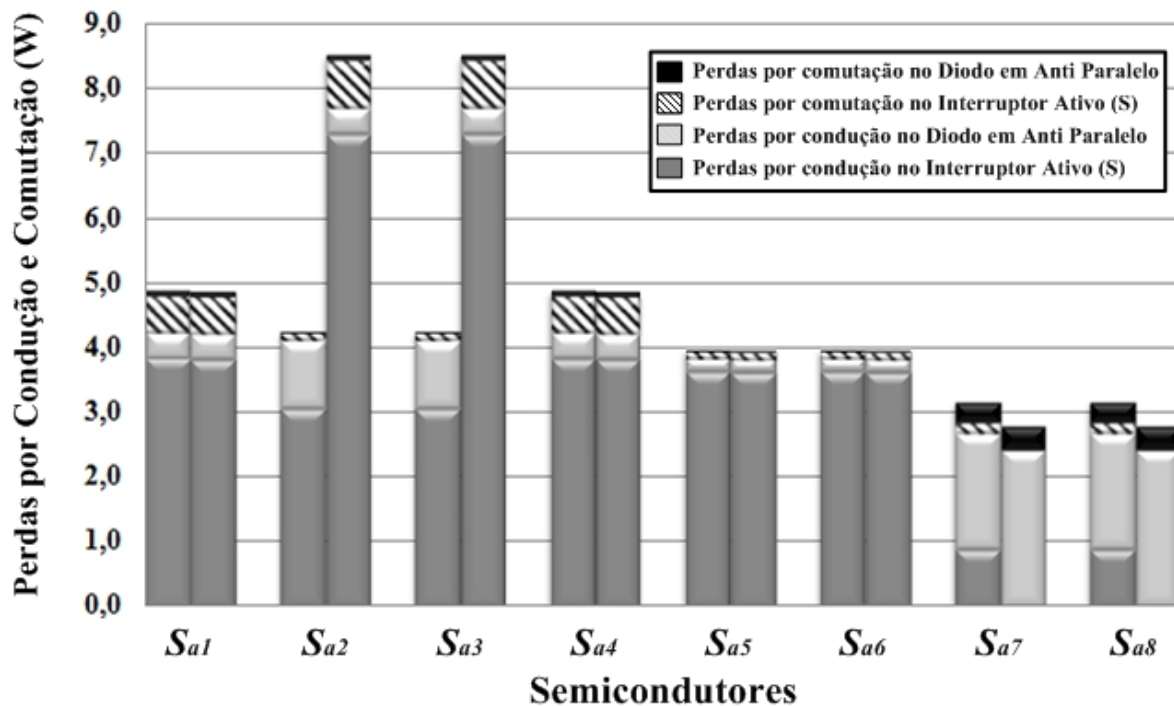
Por fim, a Figura 4.18 apresenta um gráfico comparativo entre a topologia proposta (colunas à esquerda) e a topologia Half-Bridge/NPC (DING *et al.*, 2004) (colunas à direita), da análise de perdas de condução e comutação em cada interruptor e seu diodo intrínseco, para uma fase do inversor. Para os esforços de corrente, foram adotados os valores de simulação realizados no *software* PSIM[®] devido à similaridade com o estudo teórico, comprovado anteriormente. Foram utilizados os mesmos parâmetros de carga, tensão de barramento, índice de modulação e frequência de chaveamento em ambos os conversores. As perdas totais por condução, na topologia proposta, são aproximadamente 22,7 W nos interruptores e 6,9 W nos diodos intrínsecos, enquanto as de comutação são 2 W nos interruptores e 0,8 W nos diodos.

Já a topologia Half-Bridge/NPC apresenta perdas totais por condução de 29,4 W nos interruptores e 6,8 W nos diodos intrínsecos, e perdas de condução de 2,9 W nos interruptores e 1,1 W nos diodos.

Analisando o gráfico, observa-se a diferença de perdas por condução nos interruptores S_{a2} e S_{a3} , entre as topologias. Isso acontece devido a estes interruptores operarem em baixa frequência na topologia proposta. Enquanto na topologia Half-Bridge/NPC os interruptores S_{a7} e S_{a8} são substituídos por diodos. Além disso, observa-se uma variação média nas perdas totais de 21% entre os interruptores da topologia proposta, portanto mais equilibradas que as da topologia Half-Bridge/NPC e uma redução de 24% nas perdas totais.

Figura 4.18 – Gráfico comparativo da análise de perdas de condução e comutação em cada interruptor e seu diodo intrínseco. Colunas à esquerda: Topologia Proposta; colunas à direita: Topologia Half-Bridge/NPC (DING *et al.*, 2004)

Gráfico de Perdas nas Topologias HB/ANPC e HB/NPC



Fonte: Elaborada pela autora.

Deve ser considerado que a metodologia aplicada ao cálculo das perdas, são aproximações, cujos valores não devem ser tomados como absolutos. Isso se deve ao comportamento dinâmico que alguns fatores, como a temperatura de operação dos semicondutores, a RSE dos capacitores, entre outros, não poderem ser mensurados com exatidão, modificando o comportamento de diversos parâmetros do circuito na montagem.

4.4 Considerações finais

Neste capítulo foram determinados os valores eficaz e de pico da tensão e da corrente de saída, além do ângulo de carga, potência aparente e ativa, impedância equivalente, resistência e indutância de carga por fase. Em seguida, os esforços de corrente média e eficaz nos semicondutores da topologia de inversor multinível proposta foi calculado a partir da determinação das funções de modulação baseada na PD-PWM e do comportamento matemático da corrente ao longo de um determinado intervalo de tempo. Com estes esforços, pode-se escolher o módulo SKM75GB063D para os interruptores que operam em alta frequência e o módulo SKM145GB066D para os de baixa frequência, de acordo com os semicondutores disponíveis no laboratório.

Os esforços de corrente calculados foram comparados com a simulação realizada no *software* PSIM[®], validando a análise.

Por fim, o estudo de perdas por condução e comutação mostrou a superioridade do conversor proposto, neste quesito, quando comparado com a topologia Half-Bridge/NPC. Visto que, as perdas na estrutura proposta apresentam-se menor além de estarem distribuídas com uma variação média nas perdas totais de 21% entre os interruptores.

5 RESULTADOS EXPERIMENTAIS

5.1 Introdução

Neste capítulo são apresentados os resultados experimentais referentes às estratégias de modulação, isto é, digitalização das portadoras e moduladoras, apresentadas no Capítulo 2, bem como os resultados experimentais referentes ao funcionamento do inversor multi-nível proposto.

As fontes cc de cada braço do inversor são obtidas através de utilização de três retificadores monofásicos, alimentados por um transformador trifásico isolador de 10 kVA de potência e 60 Hz de frequência, ligado a um varivolt trifásico de 35 kVA.

As estratégias de modulação foram implementadas em um dispositivo *Field Programmable Gate Array* – FPGA, Altera da família Cyclone IV, modelo EP4CE22F17C6N.

São apresentadas as principais formas de onda de tensões e correntes nos interruptores, assim como na carga, relacionadas à operação do inversor com potência nominal. Além disso, os resultados coletados com as informações sobre a DHT das tensões de saída de fase e de linha para o inversor operando com ambas estratégias de modulação, bem como o rendimento do inversor comparado à outra estrutura, concluindo, assim, a análise experimental do sistema.

Os resultados experimentais apresentados são suficientes para validar a análise e o projeto do inversor proposto.

5.2 Resultados experimentais das técnicas de modulação

Neste tópico serão apresentados os resultados experimentais relativos à digitalização das moduladoras e portadoras das estratégias de modulação adotadas, discutidas no Capítulo 2.

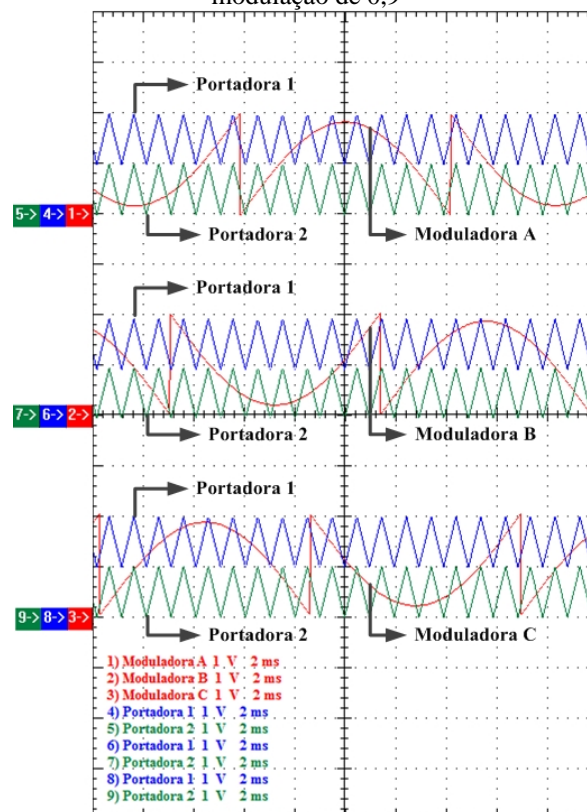
5.2.1 Estratégias de modulação

A Figura 5.1 apresenta as formas de onda das moduladoras e das portadoras da estratégia de modulação derivada da PD-PWM, na qual se pode observar que os sinais cossenoidais modificados das moduladoras apresentam frequência de 60 Hz e índice de modulação de 0,9, além de um correto defasamento existente de 120° elétricos. As portadoras triangula-

res dispostas em fase com frequência de 1020 Hz e amplitude de 1 V, e a ausência de deformações tanto das moduladora quanto das portadoras, conforme desejado para se obter 5 níveis por fase e 9 níveis na tensão de linha do inversor. Já a Figura 5.2 apresenta a mesma estratégia com um índice de modulação de 0,25, que resultará na operação do inversor com 3 níveis por fase e 3 níveis na tensão de linha.

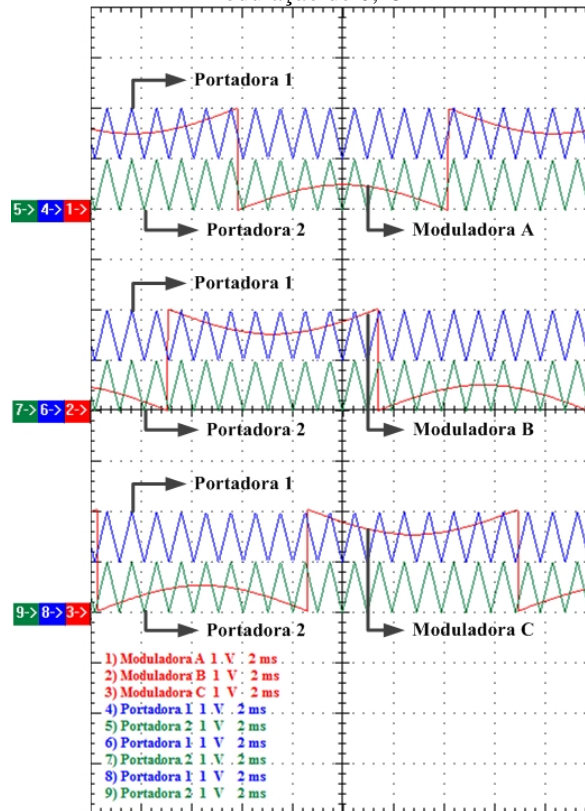
Por outro lado, Figura 5.3 apresenta as formas de onda das moduladoras e das portadoras da estratégia de modulação derivada da CSV-PWM, na qual se pode observar que os sinais cossenoidais modificados das moduladoras apresentam frequência de 60 Hz e índice de modulação de 0,9, além do correto defasamento existente de 120° elétricos. As portadoras triangulares dispostas em fase com frequência de 1020 Hz, amplitude de 1 V, e a ausência de deformações nas mesmas, conforme desejado para se obter 5 níveis por fase no inversor e 9 níveis na tensão de linha. Já a Figura 5.4 apresenta a mesma estratégia com um índice de modulação de 0,25, que resultará na operação do inversor com 3 níveis por fase e 3 níveis na tensão de linha.

Figura 5.1 – Moduladoras e portadoras da estratégia derivada da PD-PWM geradas pelo FPGA com índice de modulação de 0,9



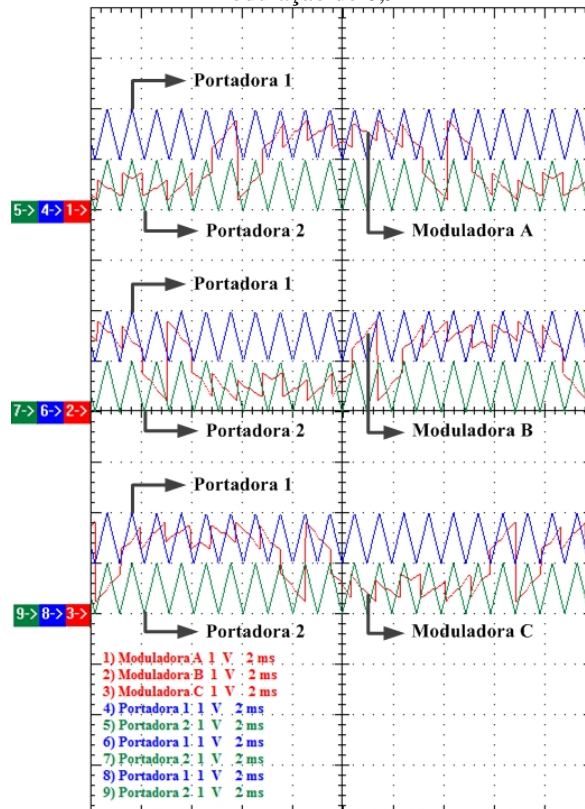
Fonte: Elaborada pela autora.

Figura 5.2 – Moduladoras e portadoras da estratégia derivada da PD-PWM geradas pelo FPGA com índice de modulação de 0,25



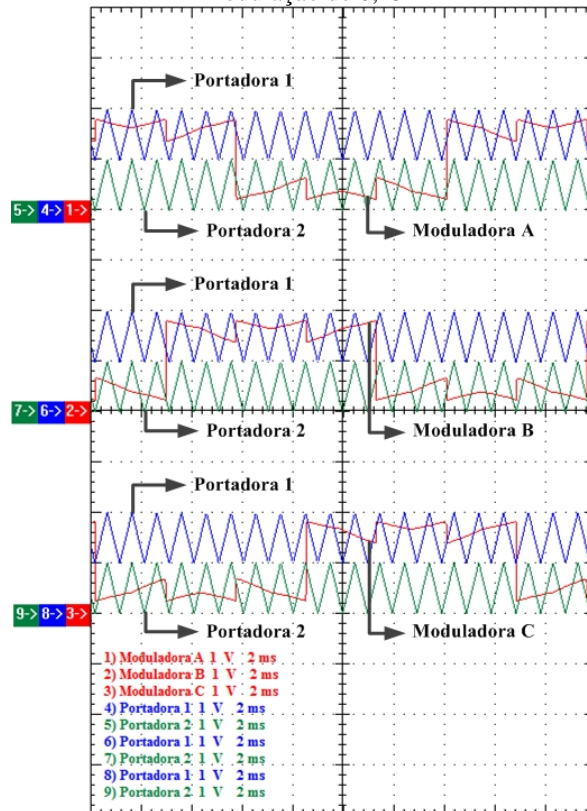
Fonte: Elaborada pela autora.

Figura 5.3 – Moduladoras e portadoras da estratégia derivada da CSV-PWM geradas pelo FPGA com índice de modulação de 0,9



Fonte: Elaborada pela autora.

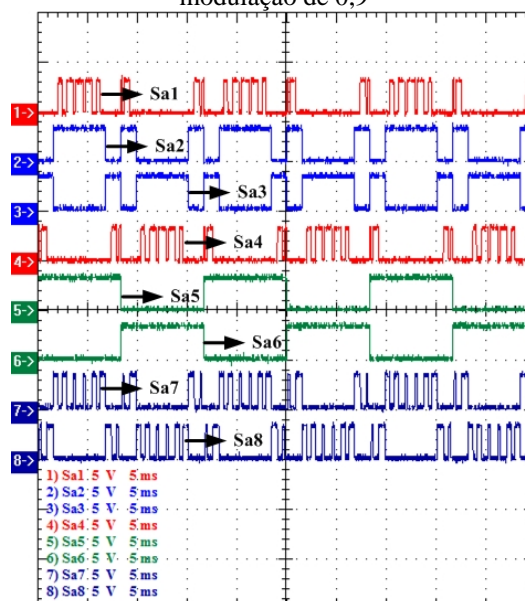
Figura 5.4 – Moduladoras e portadoras da estratégia derivada da CSV-PWM geradas pelo FPGA com índice de modulação de 0,25



Fonte: Elaborada pela autora.

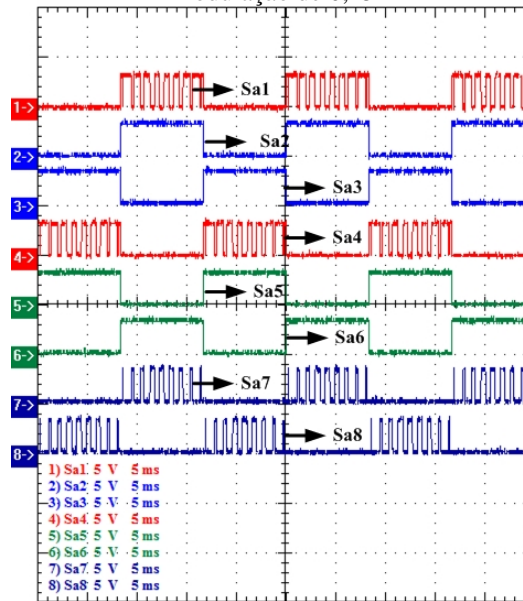
Implementando a modulação derivada da PD-PWM e a lógica de acionamento descrita no Capítulo 3, resulta nos pulsos de comando apresentados na Figura 5.5 para índice de modulação de 0,9 e na Figura 5.6 para índice de modulação de 0,25.

Figura 5.5 – Pulsos de comando dos interruptores para modulação derivada da PD-PWM com índice de modulação de 0,9



Fonte: Elaborada pela autora.

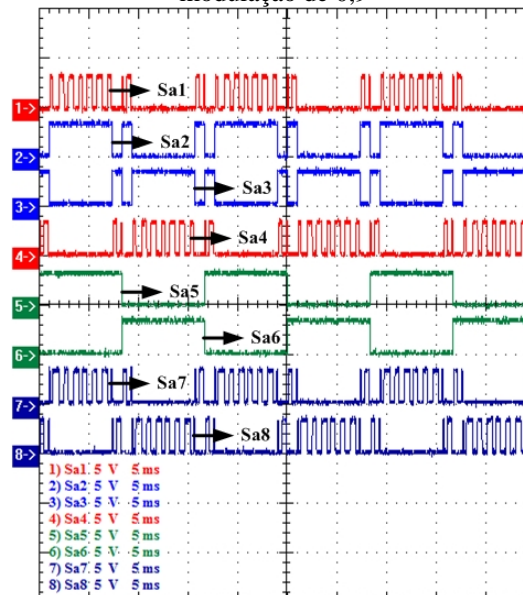
Figura 5.6 – Pulsos de comando dos interruptores para modulação derivada da PD-PWM com índice de modulação de 0,25



Fonte: Elaborada pela autora.

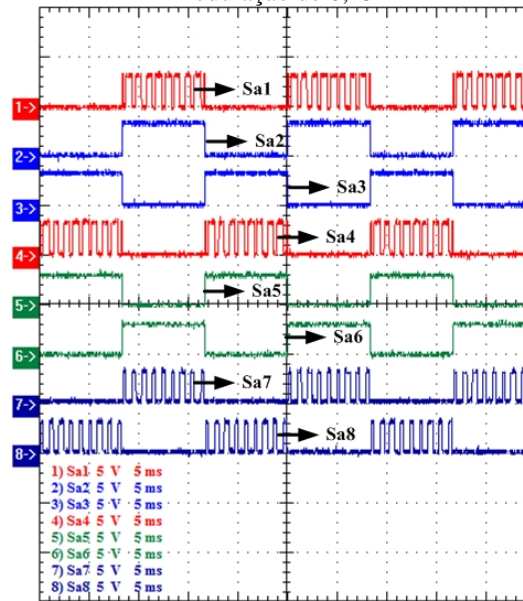
Implementando a modulação derivada da CSV-PWM e a mesma lógica de acionamento, com índice de modulação de 0,9 resulta nos pulsos apresentados na Figura 5.7, e com índice de 0,25, resulta nos pulsos da Figura 5.8.

Figura 5.7 – Pulsos de comando dos interruptores para modulação derivada da CSV-PWM com índice de modulação de 0,9



Fonte: Elaborada pela autora.

Figura 5.8 – Pulsos de comando dos interruptores para modulação derivada da CSV-PWM com índice de modulação de 0,25



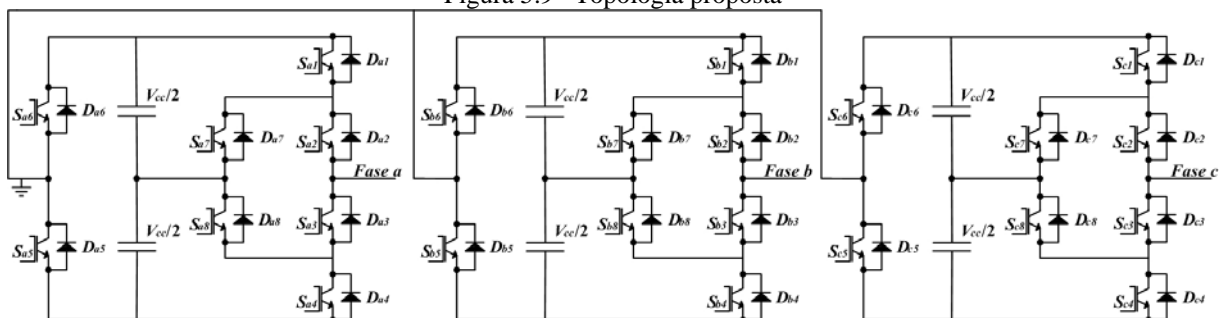
Fonte: Elaborada pela autora.

Comparando ambos acionamentos, observa-se uma diferença nos pulsos resultantes. Os pulsos de alta frequência resultantes da modulação derivada da CSV-PWM possuem uma simetria, além de apresentarem larguras aproximadas, enquanto que estes mesmo pulsos na modulação derivada da PD-PWM possuem larguras variadas.

5.3 Resultados experimentais do inversor multinível proposto

Para comprovar o estudo teórico realizado do inversor operando com as modulações adotadas, foi construído um protótipo do inversor de acordo com as especificações apresentadas na Tabela 5.1. A Figura 5.9 apresenta o inversor trifásico implementado. Os resultados apresentados são referente a fase *a* e são equivalentes para as outras fases.

Figura 5.9 – Topologia proposta



Fonte: Elaborada pela autora.

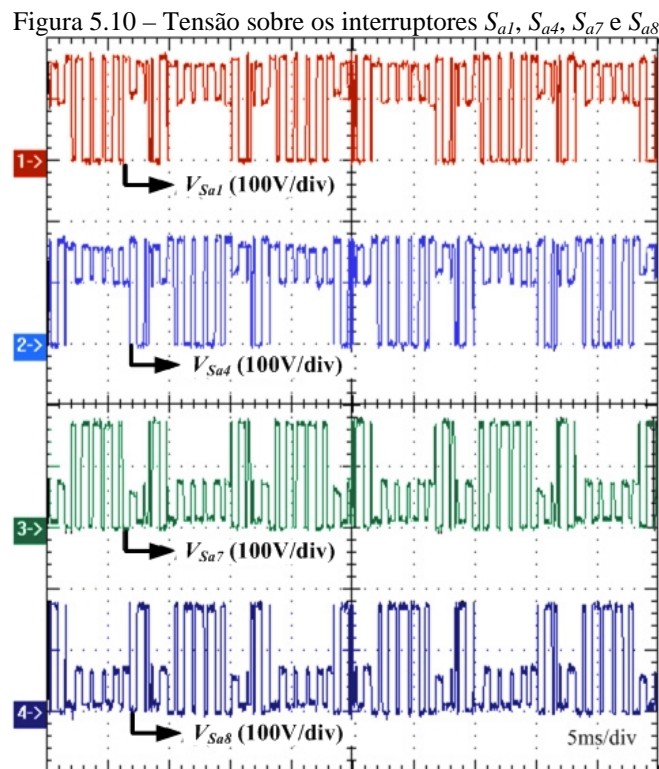
Tabela 5.1 – Especificações do protótipo

Descrição	Valor
Tensão de barramento	340 V
Tensão de saída eficaz de linha	380 V
Potência aparente total	7,5 kVA
Frequência de chaveamento	1020 Hz
Frequência fundamental de saída	60 HZ
Fator de potência	0,92
Módulos utilizados em S_{x1} , S_{x7} , S_{x4} , S_{x8}	SKM75GB063D
Módulos utilizados em S_{x2} , S_{x3} , S_{x5} , S_{x6}	SKM145GB066D

Fonte: Elaborada pela autora.

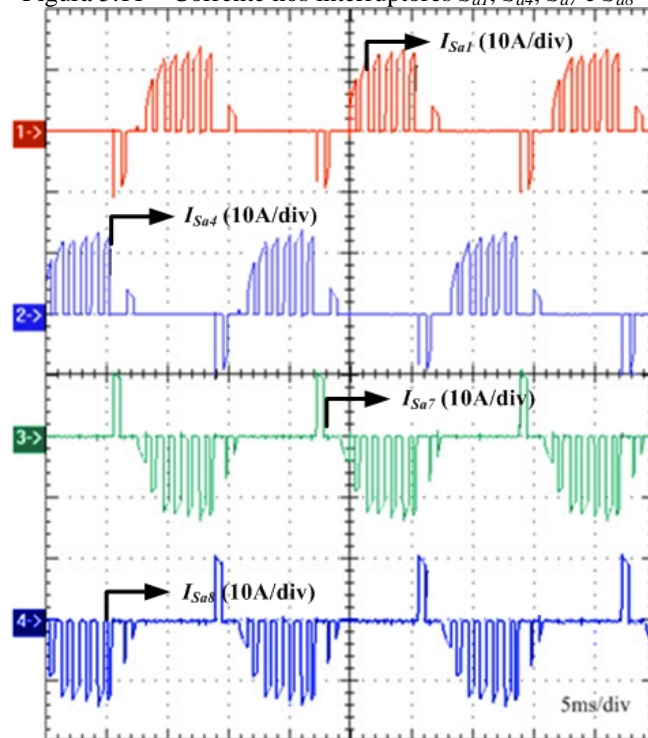
5.3.1 Esforços de tensão e corrente sobre os interruptores

A Figura 5.10 apresenta as formas de onda de tensão sobre os interruptores S_{a1} , S_{a4} , S_{a7} e S_{a8} , enquanto que na Figura 5.11 a corrente que circula nestes interruptores. Já a Figura 5.12 apresenta as formas de onda de tensão sobre os interruptores S_{a2} , S_{a3} , S_{a5} e S_{a6} , enquanto que a Figura 5.13 a corrente.



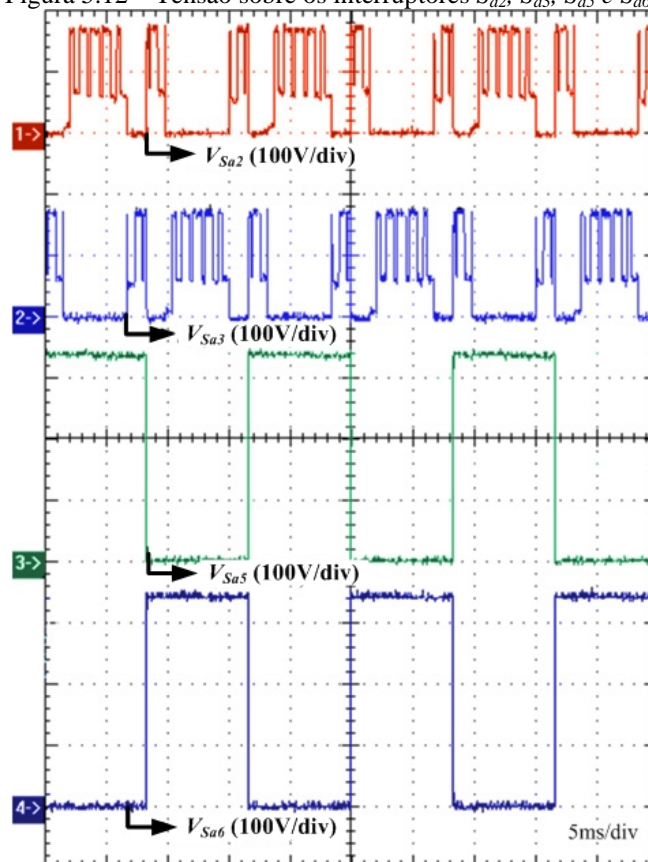
Fonte: Elaborada pela autora.

Figura 5.11 – Corrente nos interruptores S_{a1} , S_{a4} , S_{a7} e S_{a8}

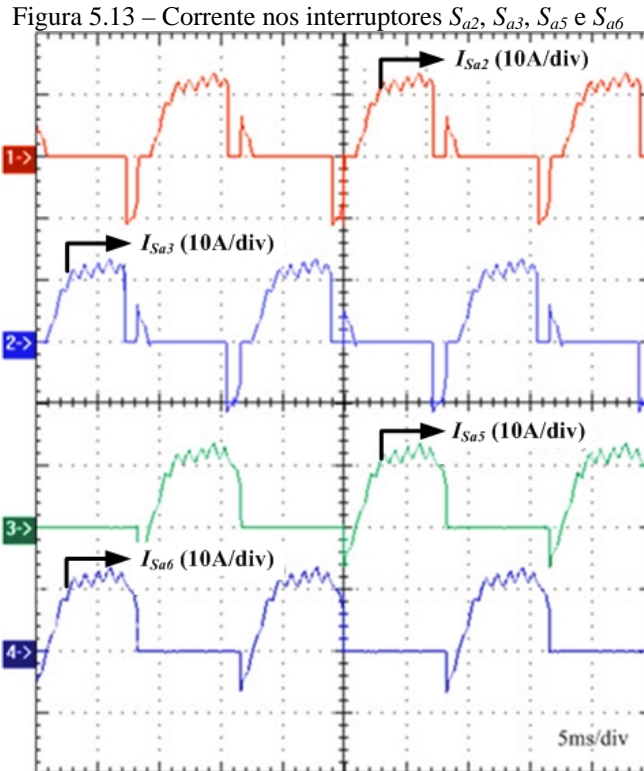


Fonte: Elaborada pela autora.

Figura 5.12 – Tensão sobre os interruptores S_{a2} , S_{a3} , S_{a5} e S_{a6}



Fonte: Elaborada pela autora.



Estas formas de onda foram coletadas com o inversor operando com a modulação derivada da PD-PWM e índice de modulação de 0,9. Vale ressaltar que as formas de onda são semelhantes ao conversor operando com a modulação derivada da CSV-PWM, sendo estes omitidos.

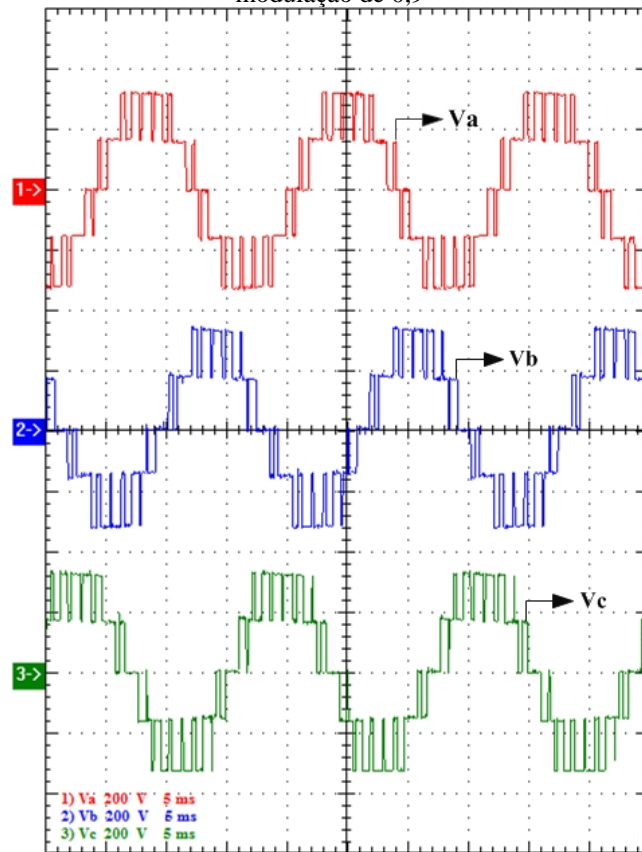
Nota-se nas figuras anteriores que os interruptores S_{a2} , S_{a3} , S_{a5} e S_{a6} operam em baixa frequência enquanto que os demais em alta frequência, além de não apresentarem picos de tensão. As tensões sobre S_{a5} e S_{a6} apresentam o mesmo nível que a tensão de barramento. Nos demais interruptores, apenas metade desta tensão. Com relação às correntes observa-se que são apresentadas as correntes dos interruptores somadas às correntes de seus respectivos diodos em antiparalelo, devido à configuração dos módulos de potência empregados (SKM 75GB063D e SKM 145GB066D).

5.3.2 Resultados de saída utilizando a modulação derivada da PD-PWM

Para comprovar o correto funcionamento da topologia trifásica operando com a modulação derivada da PD-PWM, a Figura 5.14 apresenta as formas de onda das tensões de fase, a Figura 5.15 a forma de onda das tensões de linha e a Figura 5.16 as formas de onda da

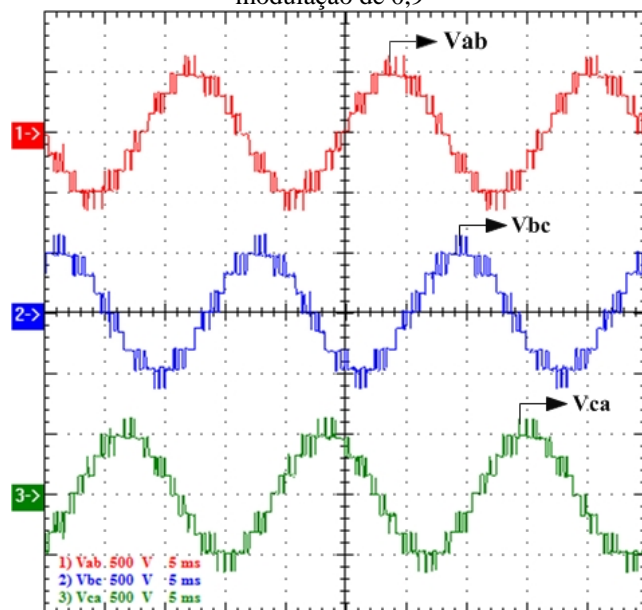
tensão de linha V_{ab} , da fase a e a respectiva corrente na saída da fase a , I_a , utilizando um índice de modulação de 0,9.

Figura 5.14 – Tensões de fase para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,9



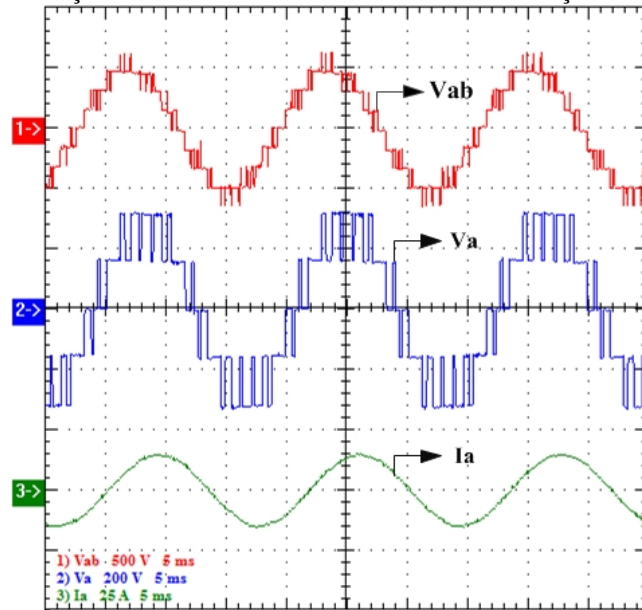
Fonte: Elaborada pela autora.

Figura 5.15 – Tensões de linha para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,9



Fonte: Elaborada pela autora.

Figura 5.16 – Tensão de linha V_{ab} , tensão de fase V_a e corrente de saída I_a para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,9



Fonte: Elaborada pela autora.

Observa-se que as formas de onda das tensões de fase apresentam cinco níveis (V_{cc} , $V_{cc}/2$, 0 , $-V_{cc}/2$, $-V_{cc}$) e que as tensões de linha nove níveis ($2V_{cc}$, $3V_{cc}/2$, V_{cc} , $V_{cc}/2$, 0 , $-V_{cc}/2$, $-V_{cc}$, $-3V_{cc}/2$, $-2V_{cc}$), sem deformações, bem como seus defasamentos em 120° elétricos e com frequência de 60 Hz. A corrente de saída I_a possui formato senoidal deslocada em relação à tensão, comprovando o correto funcionamento do inversor proposto.

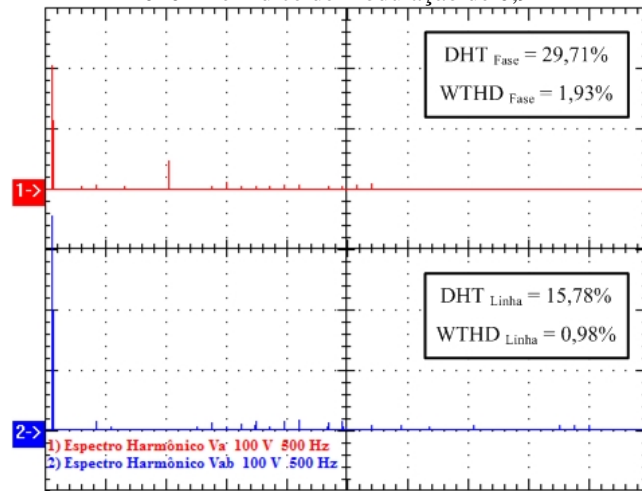
A Figura 5.17 apresenta os espectros harmônicos da tensão de saída e da tensão de linha. O cálculo da Distorção Harmônica Total DHT (do inglês *Total Harmonic Distortion*) e da Distorção Harmônica Total Ponderada WTHD (do inglês *Weighted Total Harmonic Distortion*) a partir dos resultados experimentais, foi realizado utilizando as equações (5.1) e (5.2), considerando cinquenta e uma harmônicas (MOHAN *et al.*, 2003).

$$DHT = \frac{100}{a_1} \sqrt{\sum_{h=2}^{N_h} a_h^2} \quad (5.1)$$

$$WTHD(h) = \frac{100}{a_1} \sqrt{\sum_{h=2}^{N_h} \left(\frac{a_h}{h}\right)^2} \quad (5.2)$$

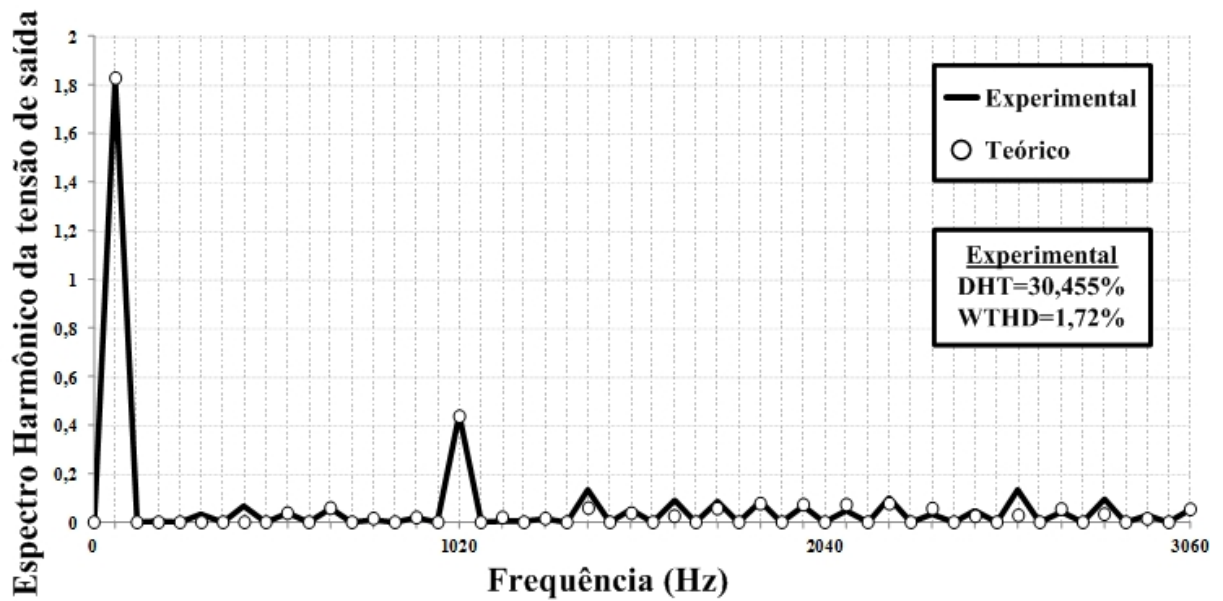
O gráfico da Figura 5.18 apresenta um comparativo entre o resultado experimental monofásico e a análise teórica do espectro harmônico da tensão de saída para o inversor operando com índice de modulação de 0,9. Observa-se que os resultados experimentais confirmam os resultados teóricos obtidos no Capítulo 3.

Figura 5.17 – Espectro harmônico da tensão de fase e de linha do inversor proposto operando com frequência de 1020Hz e índice de modulação de 0,9



Fonte: Elaborada pela autora.

Figura 5.18 – Comparação entre o espectro harmônico da tensão de saída teórica com a experimental do inversor monofásico proposto operando com frequência de 1020 Hz

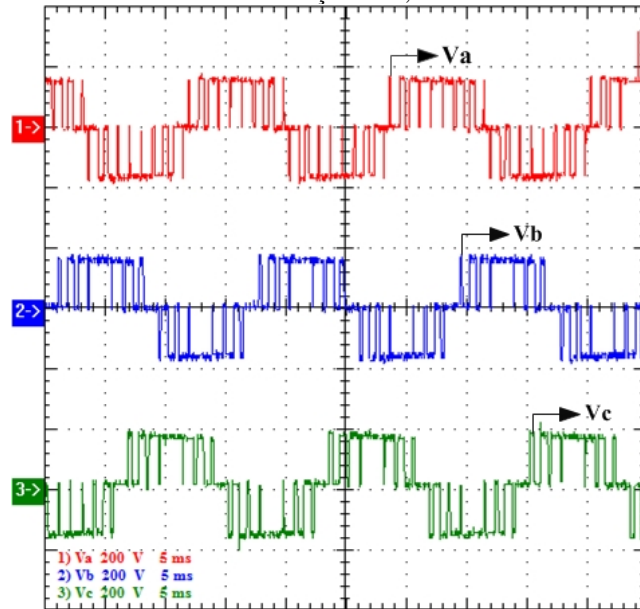


Fonte: Elaborada pela autora.

A Figura 5.19 apresenta as formas de onda das tensões de fase, a Figura 5.20 a forma de onda das tensões de linha e a Figura 5.21 as formas de onda da tensão de linha V_{ab} , da fase a e a respectiva corrente na saída da fase a , I_a , para o conversor operando com a mesma modulação com um índice de modulação de 0,5. Como era esperada, devido a modulação, as formas de onda das tensões de saída apresentam apenas três níveis, $V_{cc}/2$, $0 - V_{cc}/2$ e as tensões de linha cinco níveis, V_{cc} , $V_{cc}/2$, $0 - V_{cc}/2$, $-V_{cc}$. Enquanto que a corrente de carga senoidal, com menor nível, é deslocada em relação à tensão de 23° , carga indutiva.

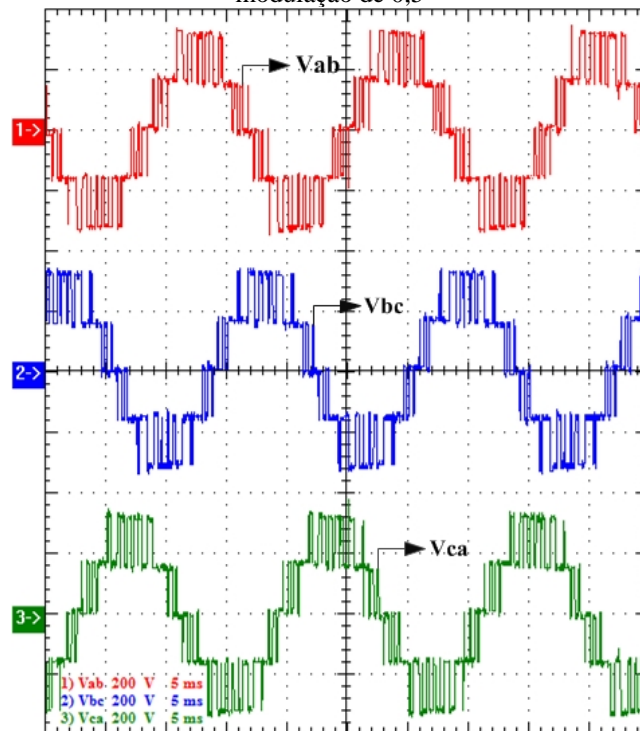
A Figura 5.22 apresenta os espectros harmônicos da tensão de saída e da tensão de linha com seus respectivos DHT e WTHD considerando cinquenta e uma harmônicas.

Figura 5.19 – Tensões de fase para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,5



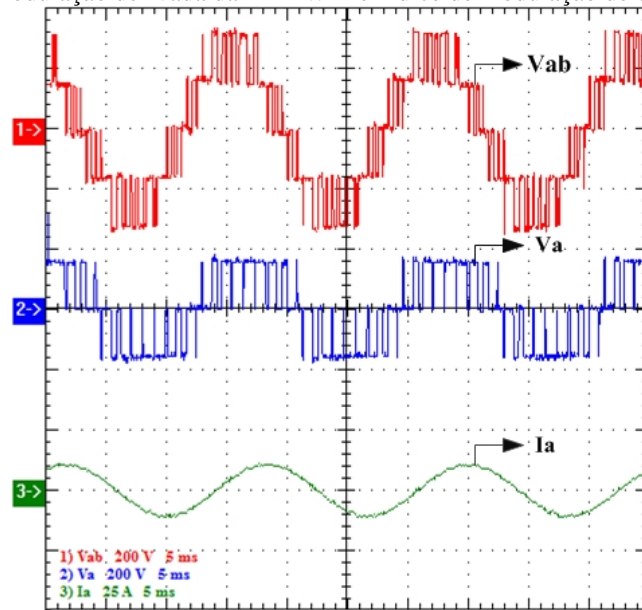
Fonte: Elaborada pela autora.

Figura 5.20 – Tensões de linha para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,5



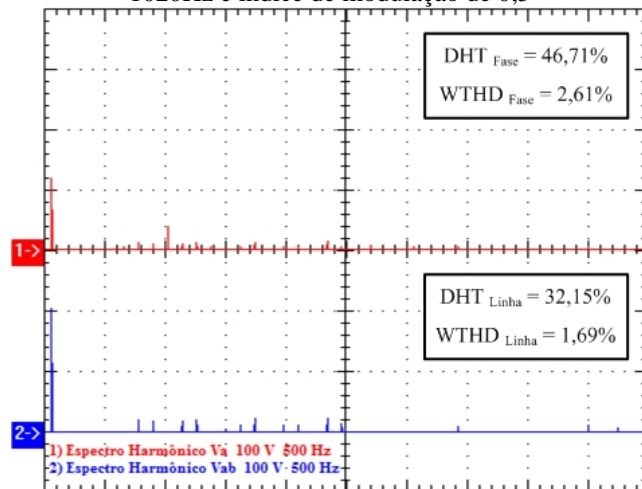
Fonte: Elaborada pela autora.

Figura 5.21 – Tensão de linha V_{ab} , tensão de fase V_a e corrente de saída I_a para o inversor utilizando a modulação derivada da PD-PWM e índice de modulação de 0,5



Fonte: Elaborada pela autora.

Figura 5.22 – Espectro harmônico da tensão de fase e de linha do inversor proposto operando com frequência de 1020Hz e índice de modulação de 0,5



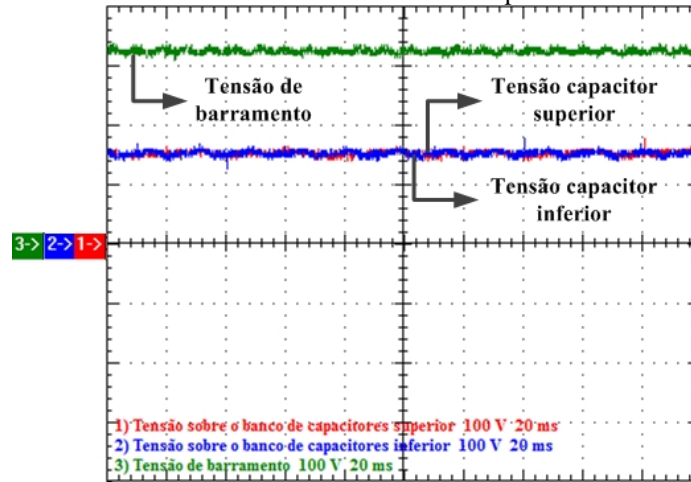
Fonte: Elaborada pela autora.

A Figura 5.23 comprova o equilíbrio de tensão sobre os capacitores de barramento, na qual se observa que cada banco de capacitores deve suportar a metade da tensão de barramento.

A Figura 5.24 apresenta uma comparação, entre o cálculo teórico, a simulação monofásica, realizada no *software* PSIM[®], e o resultado experimental monofásico, da evolução da Distorção Harmônica Total da tensão de saída em função do índice de modulação. Verifica-se que, o conversor operando com a modulação derivada da PD-PWM, apenas é produzido cinco níveis de tensão na saída quando o índice de modulação é maior ou igual a 0,55. Convém notar a semelhança do comportamento entre os resultados obtidos através do cálculo

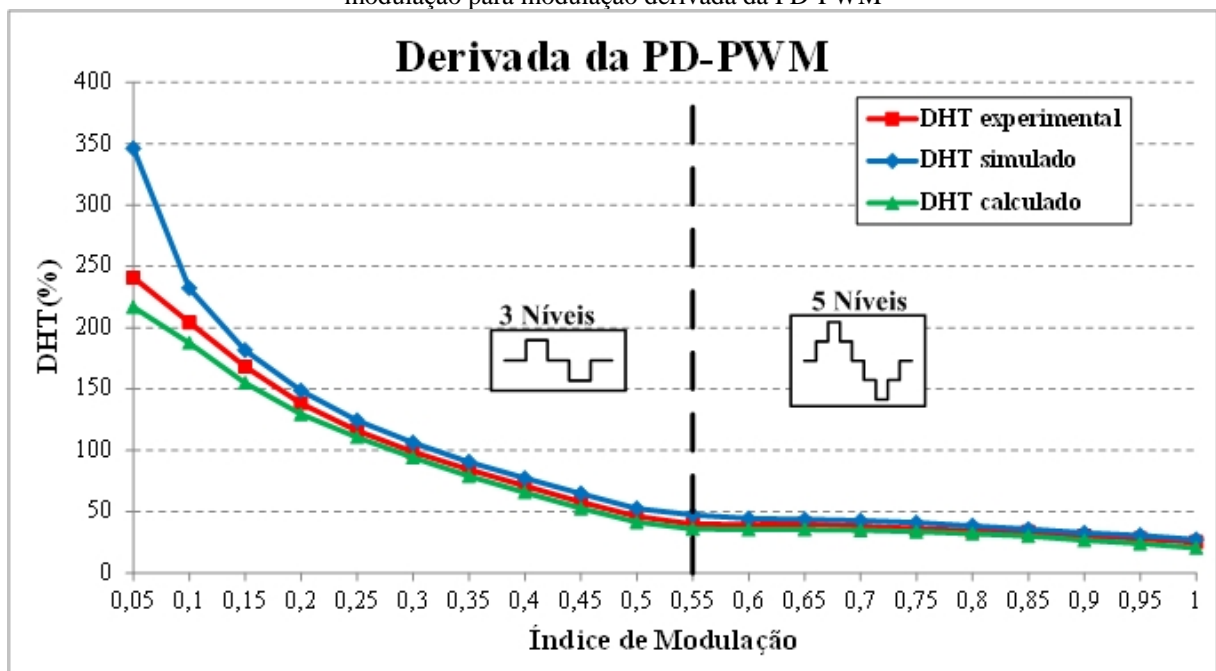
teórico, simulação e experimental tornado possível desta forma confirmar a análise teórica desenvolvida. Para toda faixa de ambos os modos de operação, a distorção harmônica prevista foi alcançada.

Figura 5.23 – Formas de onda de tensão sobre os capacitores de barramento



Fonte: Elaborada pela autora.

Figura 5.24 – Gráfico comparativo da distorção harmônica total da tensão de saída em função do índice de modulação para modulação derivada da PD-PWM

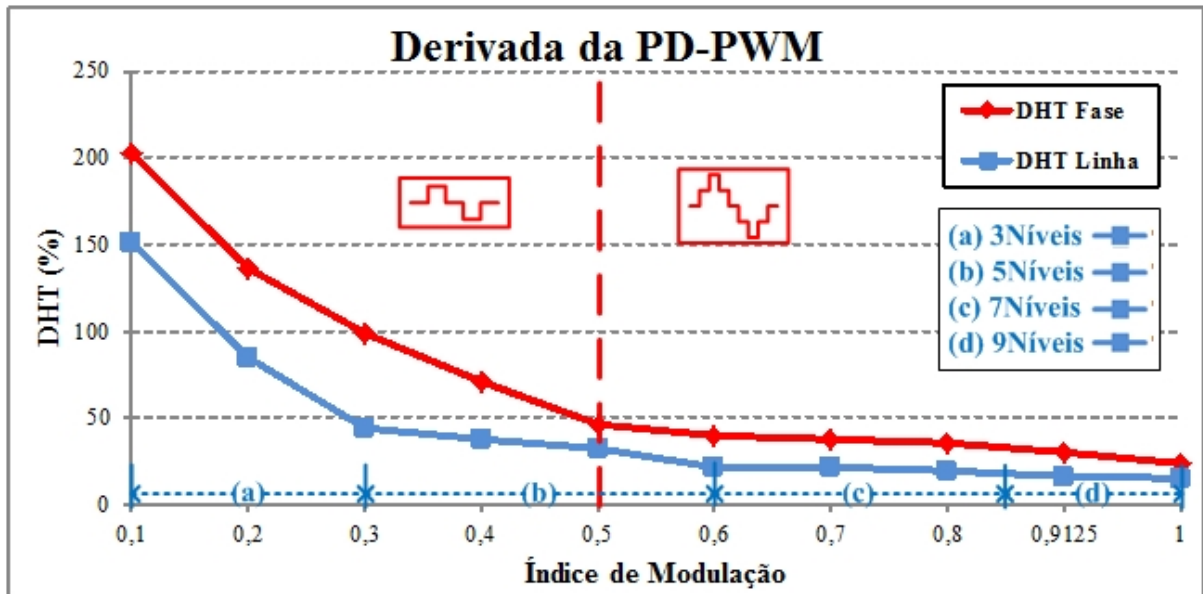


Fonte: Elaborada pela autora.

A Figura 5.25 apresenta a evolução da distorção harmônica total da tensão de fase e da tensão de linha em função do índice de modulação com o inversor operando com a modulação derivada da PD-PWM. Verifica-se que, apenas são produzidos cinco níveis na tensão de fase quando o índice de modulação é maior ou igual a 0,5 e três níveis na tensão de fase

para índices menores. A tensão de linha apresenta quatro variações de níveis dependendo do índice de modulação aplicado ao inversor. Para toda faixa de ambos os modos de operação, a distorção harmônica prevista foi alcançada.

Figura 5.25 – Evolução da distorção harmônica total da tensão de fase e da tensão de linha em função do índice de modulação para modulação derivada da PD-PWM

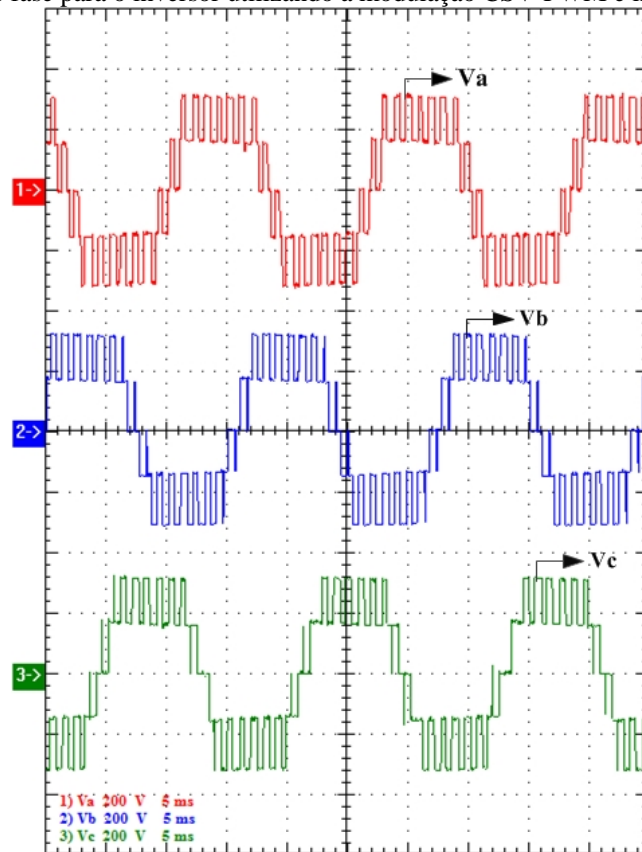


Fonte: Elaborada pela autora.

5.3.3 Resultados de saída utilizando a modulação derivada da CSV-PWM

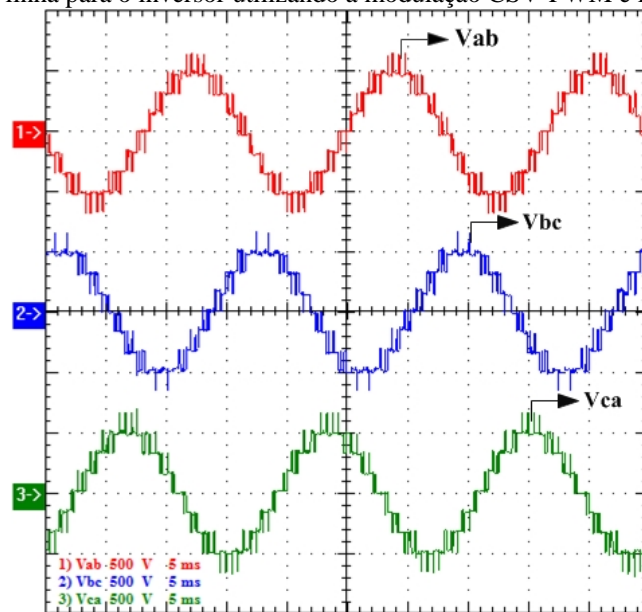
Para comprovar o correto funcionamento da topologia trifásica operando com a modulação derivada da CSV-PWM, a Figura 5.26 apresenta as formas de onda das tensões de fase com o inversor operando com frequência de 1020 Hz e índice de modulação de 0,9, enquanto que a Figura 5.27 apresenta as tensões de linha e a Figura 5.28 as formas de onda da tensão de linha V_{ab} , da fase a e a respectiva corrente na saída da fase a , I_a . Pode-se observar o correto formato das mesmas, cinco níveis para as tensões de fase (V_{cc} , $V_{cc}/2$, 0 , $-V_{cc}/2$, $-V_{cc}$), a largura destes níveis devido à modulação são aproximados, e nove níveis para as de linhas ($2V_{cc}$, $3V_{cc}/2$, V_{cc} , $V_{cc}/2$, 0 , $-V_{cc}/2$, $-V_{cc}$, $-3V_{cc}/2$, $-2V_{cc}$), sem deformações, bem como seus defasamentos em 120° elétricos e com frequência de 60 Hz. A corrente de saída senoidal deslocada em relação a tensão, carga indutiva, 23° . Já a Figura 5.29 apresenta os espectros harmônicos da tensão de fase e da tensão de linha e seus respectivos DHT e WTHD, considerando cinquenta e uma harmônicas.

Figura 5.26 – Tensões de fase para o inversor utilizando a modulação CSV-PWM e índice de modulação de 0,9



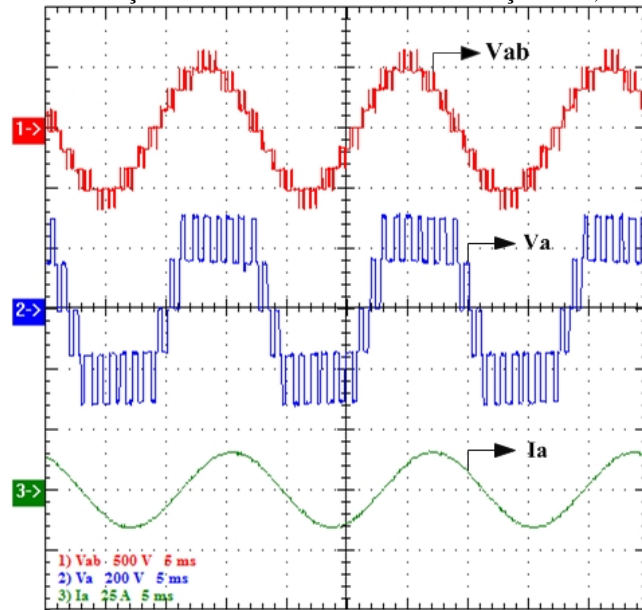
Fonte: Elaborada pela autora.

Figura 5.27 – Tensões de linha para o inversor utilizando a modulação CSV-PWM e índice de modulação de 0,9



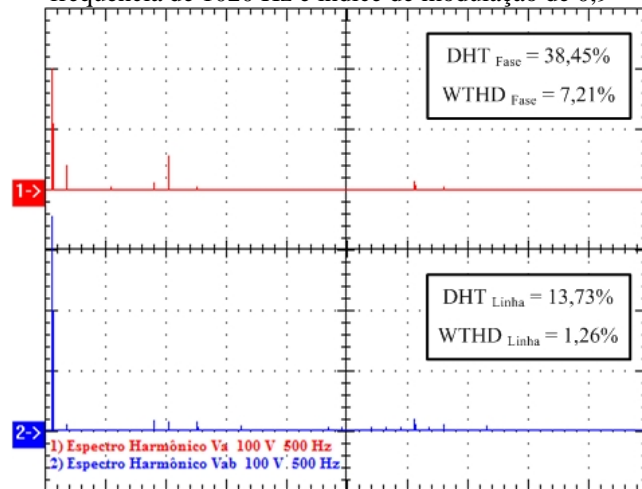
Fonte: Elaborada pela autora.

Figura 5.28 – Tensão de linha V_{ab} , tensão de fase V_a e corrente de saída I_a para o inversor utilizando a modulação CSV-PWM e índice de modulação de 0,9



Fonte: Elaborada pela autora.

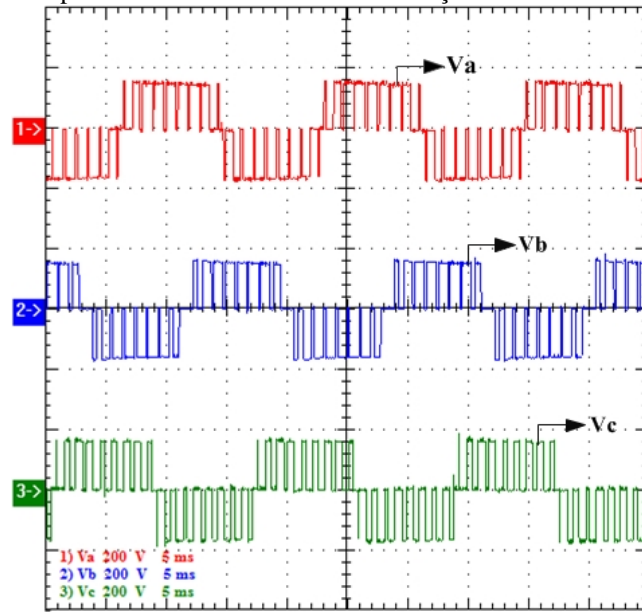
Figura 5.29 – Espectro harmônico da tensão de fase e da tensão de linha do inversor proposto operando com frequência de 1020 Hz e índice de modulação de 0,9



Fonte: Elaborada pela autora.

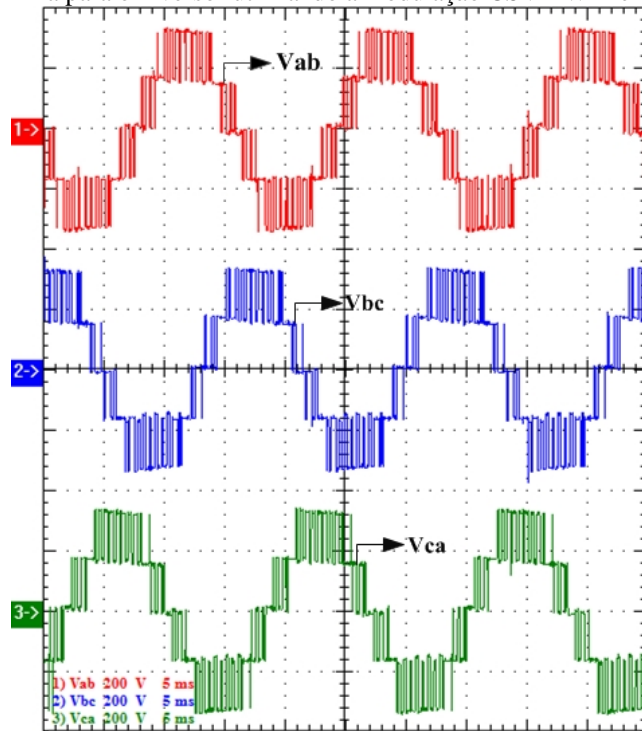
A Figura 5.30 apresenta as formas de onda das tensões de fase, enquanto que a Figura 5.31 as formas de onda para as tensões de linha e a Figura 5.32 a tensão de linha V_{ab} , a tensão de fase V_a e a corrente na fase a , I_a , para o conversor operando com a mesma modulação com um índice de modulação de 0,5. Como é esperada, devido a modulação, as formas de onda das tensões de saída apresentam apenas três níveis, $V_{cc}/2$, $0 - V_{cc}/2$ e cinco níveis nas tensões de linha V_{cc} , $V_{cc}/2$, $0 - V_{cc}/2$, $-V_{cc}$. Enquanto que a corrente de carga senoidal, com menor nível, é deslocada em relação à tensão de 23° , carga indutiva. Já a Figura 5.33 apresenta os espectros harmônicos da tensão de fase e da tensão de linha e seus respectivos DHT e WTHD, considerando cinquenta e uma harmônicas.

Figura 5.30 – Tensões de fase para o inversor utilizando a modulação CSV-PWM e índice de modulação de 0,5



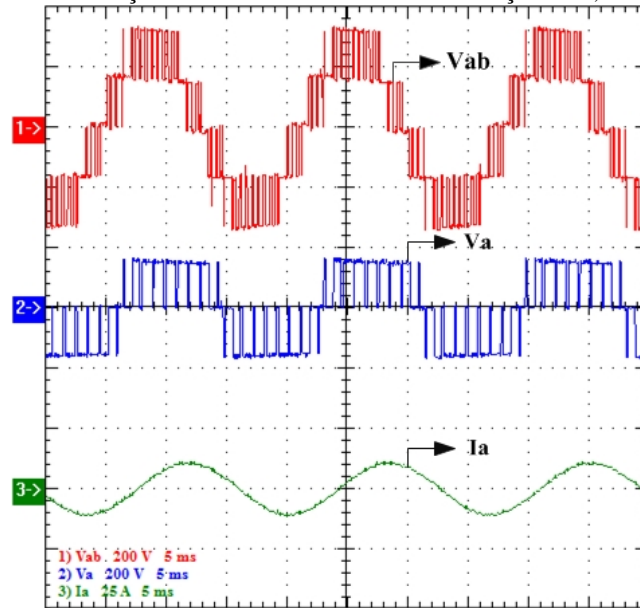
Fonte: Elaborada pela autora.

Figura 5.31 – Tensões de linha para o inversor utilizando a modulação CSV-PWM e índice de modulação de 0,5



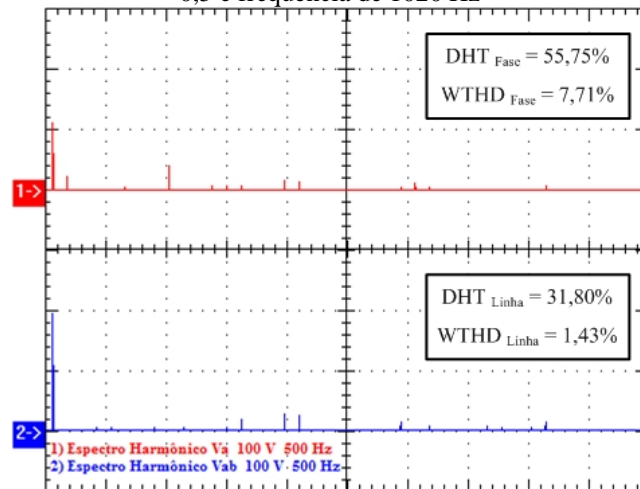
Fonte: Elaborada pela autora.

Figura 5.32 – Tensão de linha V_{ab} , tensão de fase V_a e corrente de saída I_a para o inversor utilizando a modulação CSV-PWM e índice de modulação de 0,5



Fonte: Elaborada pela autora.

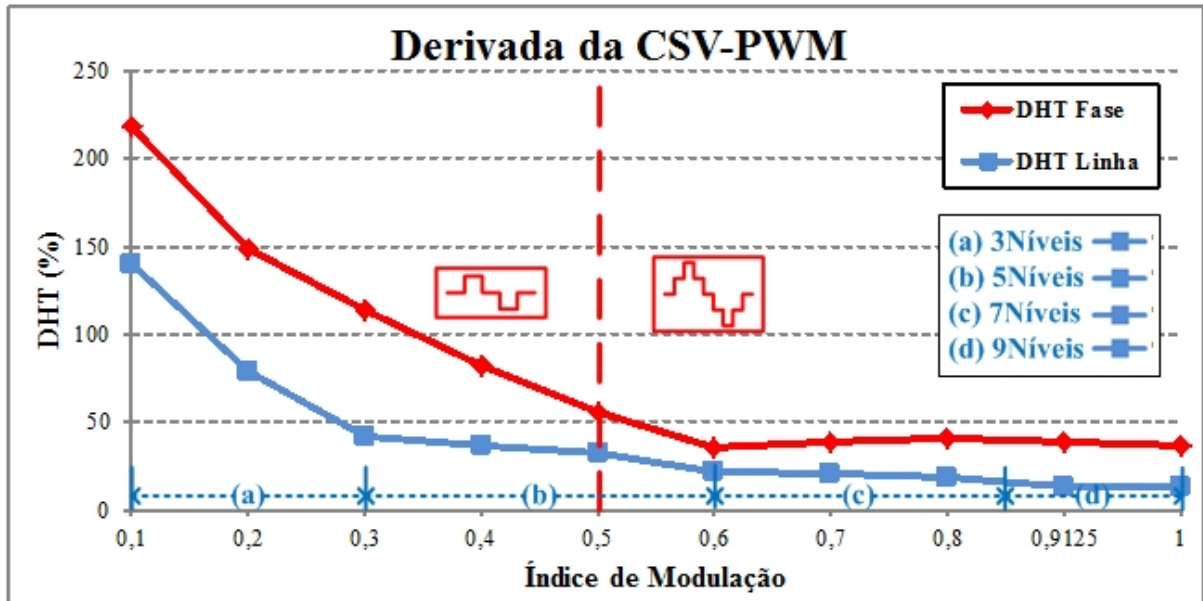
Figura 5.33 – Espectro harmônico da tensão de saída do inversor proposto operando com índice de modulação 0,5 e frequência de 1020 Hz



Fonte: Elaborada pela autora.

A Figura 5.34 apresenta a evolução da distorção harmônica total da tensão de fase e da tensão de linha em função do índice de modulação com o inversor operando com a modulação derivada da CSV-PWM. Verifica-se que, apenas é produzido cinco níveis na tensão de fase quando o índice de modulação é maior ou igual a 0,5 e três níveis na tensão de fase para índices menores. A tensão de linha apresenta quatro variações de níveis dependendo do índice de modulação aplicado ao inversor. Para toda faixa de ambos os modos de operação, a distorção harmônica prevista foi alcançada.

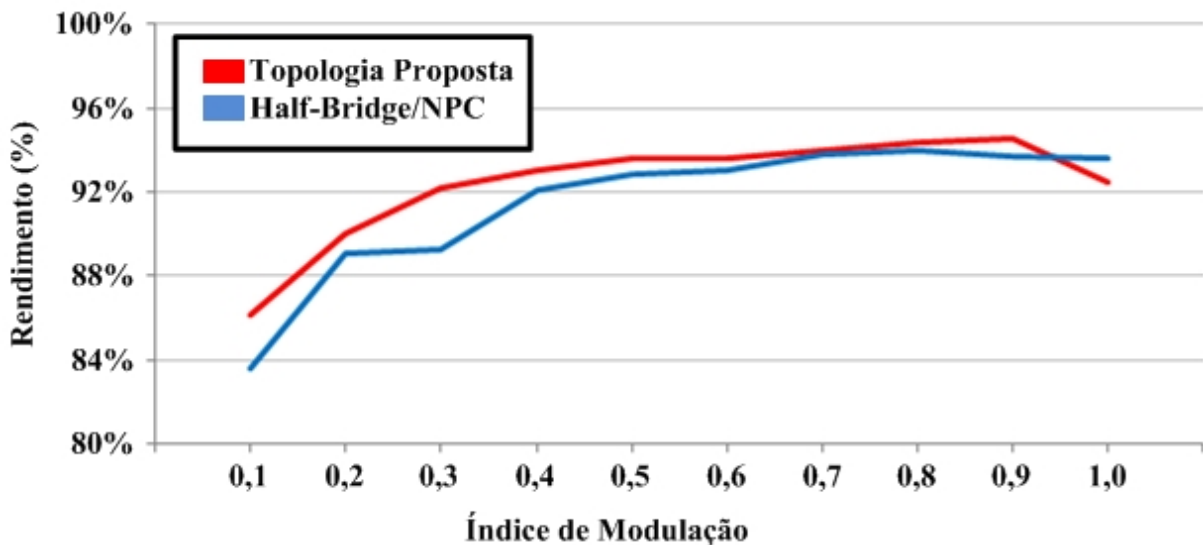
Figura 5.34 – Evolução da distorção harmônica total da tensão de fase e da tensão de linha em função do índice de modulação para modulação derivada da CSV -PWM



Fonte: Elaborada pela autora.

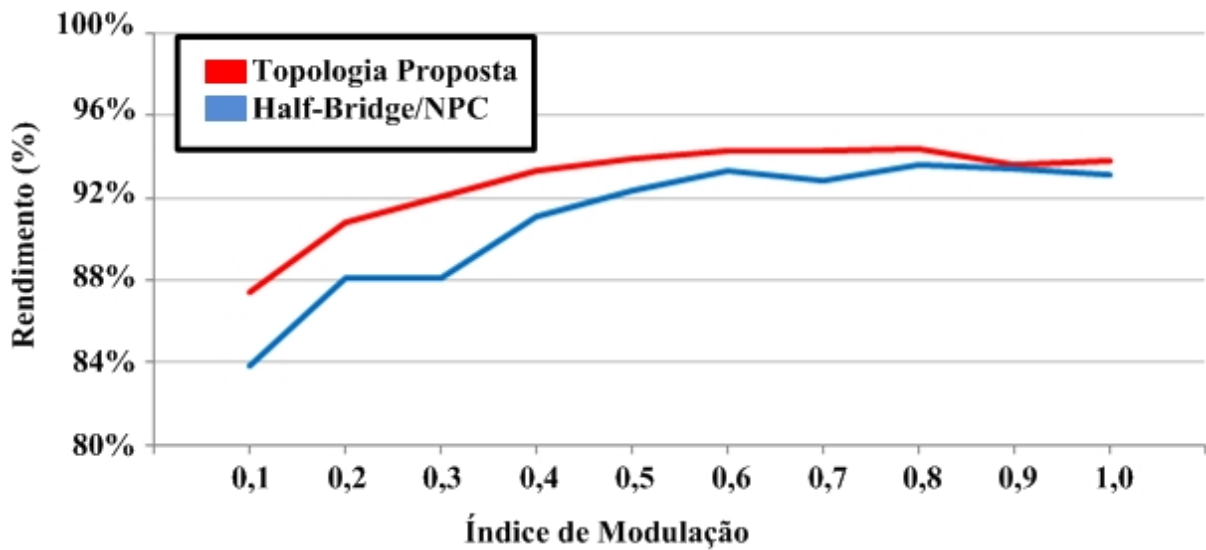
A Figura 5.35 apresenta o rendimento comparativo entre a estrutura proposta e a Topologia Half-Bridge/NPC (DING *et al.*, 2004). Ambas utilizando a modulação derivada da PD-PWM. Conforme esperado a Topologia Proposta apresenta melhor rendimento em função das perdas na estrutura Half-Bridge/NPC serem maiores e mal distribuídas. O mesmo é constatado com as estrutura operando com a modulação derivada da CSV-PWM, Figura 5.36. Vale ressaltar que as curvas de rendimento foram levantadas utilizando três wattímetros monofásicos, um ligado a cada entrada e outro wattímetro trifásico conectado a saída.

Figura 5.35 – Gráfico comparativo de rendimento entre a Topologia Proposta e a Topologia Half-Bridge/NPC (DING *et al.*, 2004), com os inversores utilizando a modulação derivada da PD-PWM



Fonte: Elaborada pela autora.

Figura 5.36 – Gráfico comparativo de rendimento entre a Topologia Proposta e a Topologia Half-Bridge/NPC (DING *et al.*, 2004), com os inversores utilizando a modulação derivada da CSV-PWM



Fonte: Elaborada pela autora.

5.4 Considerações finais

Este capítulo apresentou os resultados obtidos em laboratório do inversor multinível proposto operando com as modulações derivadas da PD-PWM e com a derivada da CSV-PWM. As formas de onda coletadas nos ensaios confirmaram o estudo teórico realizado.

Durante o desenvolvimento experimental das técnicas de modulação, o FPGA mostrou-se flexível: o dispositivo pôde ser programado para funcionar como qualquer outro processador de lógica digital, tal como um DSP ou microcontrolador, e ainda permitiu que fossem realizadas alterações no sistema, sem precisar ser substituído ou adicionado qualquer componente externo. Foi possível verificar a correta digitalização das moduladoras em ambas as estratégias, bem como a digitalização das portadoras, evidenciando o correto equacionamento desenvolvido no Capítulo 2.

As formas de onda de tensões e correntes sobre os semicondutores e na saída do inversor possuem características condizentes com o esperado. Os resultados de DHT, em função do índice de modulação, foram apresentados realizando uma comparação, entre a simulação realizada no *software* PSIM[®] e o experimental. Verificou-se a semelhança do comportamento entre estes resultados, tornado possível desta forma confirmar a análise desenvolvida. Para toda faixa de ambos os modos de operação, a distorção harmônica prevista foi alcançada.

As curvas de rendimento comparam a superioridade da Topologia neste quesito, em função das perdas na estrutura Half-Bridge/NPC serem maiores e mal distribuídas.

6 CONCLUSÃO

Neste trabalho foi apresentada uma topologia de inversor multinível concebida a partir das estruturas *Half-Bridge* e ANPC já existentes na literatura. A contribuição desta proposta esta no fato deste conversor apresentar as características positivas do ANPC, isto é, a melhor distribuição de perdas nos semicondutores, juntamente com a inserção da meia ponte, que possibilita o aumento no número de níveis na tensão de fase.

Com o levantamento de algumas técnicas de modulação existentes na literatura, optou-se, pelas técnicas baseadas na PD-PWM e CVS-PWM, que, juntamente com a escolha da lógica de acionamento, foi possível ao inversor a operação com cinco níveis na tensão de fase e nove níveis na tensão de linha, conforme apresentado nos resultados experimentais do protótipo trifásico montado em laboratório, atestando assim a correta análise e projetos. Dessa forma, as técnicas adotadas mostraram-se viáveis à topologia proposta.

Além disso, o inversor apresentou ganhos em termos de eficiência, se comparado à topologia já existente na literatura, *Half-Bridge/NPC*, (DING *et al.*, 2004). O estudo de perdas, desenvolvido ao longo do Capítulo 4, foi confirmado através dos resultados experimentais apresentados no Capítulo 5, conforme esperado, em função das perdas na estrutura *Half-Bridge/NPC* serem maiores e mal distribuídas. As perdas totais apresentaram uma variação média de 21% entre os interruptores da topologia proposta e uma redução de 24%.

Outra vantagem apresentada diz respeito ao conteúdo harmônico da tensão de saída: o inversor proposto, comparado com o inversor apresentado por Batschauer *et al.*, (2011), proporcionou menor DHT, considerando-se as mesmas condições de índice de modulação.

Como desvantagem, o inversor proposto apresenta elevado número de fontes isoladas, necessárias para alimentar o circuito na configuração trifásica.

Por fim, vale ressaltar a importância da escolha do dispositivo controlador FPGA para geração dos pulsos de gatilho dos interruptores. Foi verificada grande velocidade de processamento, facilidade de programação e reconfiguração em pequenos ajustes, possibilidade do uso de operações concorrentes, e grande quantidade de portas de entrada e saída, sendo esta última característica o principal motivo para escolha do FPGA, devido ao grande número de interruptores presentes nas estruturas de inversores multiníveis.

Como proposta para trabalhos futuros, sugere-se o estudo da aplicação deste inversor com um sistema de acionamento de motores de grande porte, com uma configuração *Back to Back*, conforme apresentado no Apêndice C, podendo-se ainda explorar outras modulações que aperfeiçoem a comutação dos interruptores.

Outra sugestão é a associação em cascata deste inversor, conforme apresentado no Apêndice C, e definir uma sequência lógica de acionamento para que, assim, ele forneça mais níveis na tensão de saída.

Por fim, apresenta-se como sugestão o estudo do balanceamento das tensões e correntes dos capacitores de barramento, sob o aspecto do impacto das diversas modulações, ângulos de carga e índices de modulação, para situações de sistemas desequilibrados.

REFERÊNCIAS

- ASTUDILLO, R. R.; RUIZ-CABALLERO, D.; ORTMANN, M. S.; MUSSA, S. A. New symmetrical hybrid multilevel dc-ac converters. **IEEE Power Electronics Specialists Conference PESC 2008**, p. 1916-1922, Jun. 2008.
- ÁVILA, D. M. A.; MENDES, M. A. S.; CORTIZO, P. C. Um novo método de modulação para conversores multiníveis com redução das perdas por comutação e THD. **Revista Eletrônica de Potência – SOBRAEP**, v. 16, n. 2, pp. 118 - 129, Mai. 2011.
- BAKER, R. H.; BANNISTER, L. H. **Electric power converter**, U. S. Patent nº 3 867 643, 1975.
- BAKER, R. H., **Switching circuit**, U. S. Patent nº 4 210 826, to Exxon Research & Engineering Co., 1980.
- BARBI, I. **Teoria fundamental do motor de indução**. Florianópolis: Editora da UFSC, 1985.
- BATSCHAUER, A. L.; PERIN, A. J.; MUSSA, S. A.; HELDWEIN, M. L. Evaluation of the hybrid four-level converter employing half-bridge modules for two different modulation schemes. **Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition APEC**, p. 909-914, Feb. 2010.
- BATSCHAUER, A. L. **Inversor multiníveis híbrido trifásico baseado em módulos meia-ponte**. 2011. 330p. Tese (Doutorado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis, 2011.
- BATSCHAUER, A. L.; MUSSA, S. A.; HELDWEIN, M. L. Three-phase hybrid multilevel inverter based on half-bridge modules. **IEEE Transactions on Industrial Electronics**, v. 59, n. 2, p. 668-678, Feb 2012.
- BHAGWAT, P. M.; STEFANOVIC, V. R. Generalized structure of a multilevel PWM inverter, **IEEE Transaction on Industry Applications**, v. IA-19, n. 6, pp.1057 - 1069, Nov.1983.
- BRÜCKNER, T.; BERNET, S. Loss balancing in three-level voltage source inverters applying active NPC switches. **32nd Annual IEEE Power Electronics Specialist Conference**, v. 2, p. 1135–1140, 2001.
- BRÜCKNER, T.; BERNET, S.; GÜLDNER, H. The active NPC converter and its loss-balancing control. **IEEE Transactions on Industrial Electronics**. v. 52, n. 3, p. 855– 868, Jun. 2005.
- CARMONA, G.; RAMOS, R.; RUIZ-CABALLERO, D.; MUSSA, S. A.; MEYNARD T. Symmetrical hybrid multilevel dc-ac converters using the PD-CSV modulation. **34th Annual Conference of IEEE Industrial Electronics IECON 2008**, p. 3327-3332, Nov. 2008.

CARRARA, G.; GARDELLA, S.; MARCHESONI, M.; SALUTARI, R.; SCIUTTO, G. A new multilevel PWM method: A theoretical analysis, **IEEE Transactions on Power Electronics**, v. 7, n. 3, p. 497-505, Jul. 1992.

CASANELLAS, F. Losses in PWM inverters using IGBTs. **IEE Proceedings - Electric Power Applications**, v. 141, n. 5, p. 235 - 239, Set. 1994.

CEGLIA, G.; GRAU, V.; GUZMAN, V.; SANCHES, C.; IBANEZ, F.; WALTER, J. A new multilevel inverter topology. **Proceedings of the Fifth IEEE International Caracas Conference on Devices, Circuits and Systems**, v. 1, p. 212- 218, Nov. 2004.

CHOI, N. S.; CHO, J. G.; CHO, G. H. A general circuit topology of multilevel inverter. **22nd IEEE Power Electronics Specialists Conference, PESC'91**, p. 96-103, Jun. 1991.

CHUDHURI, T.; STEIMER, P.; RUFER, A. Introducing the common cross connected stage (C3S) for the 5L ANPC multilevel inverter. **IEEE Power Electronics Specialists Conference, PESC 2008**, p.167-173, Jun. 2008.

DING, K.; ZOU, Y.; CAI, Z.; WU, Z.; LIU, F.; XU, X. A novel single-phase 5-level asymmetric inverter. **The 4th International Power Electronics and Motion Control Conference IPEMC**. v.2, p.793-798, Aug. 2004.

DROFENIK, U.; KOLAR, J. W. A General scheme for calculating switching and conduction-losses of power semiconductors in numerical circuit simulations of power electronic systems. **International Power Electronics Conference, IPEC Niigata**, Japan, 2005.

ENCARNAÇÃO, L. F.; AREDES, M. Proposta de um chaveamento PWM otimizado para um conversor multinível em cascata assimétrico. **Revista Eletrônica de Potência – SOBRAEP**, v. 17, n. 3, p. 601- 608, Ago. 2012.

ESCALANTE, M. F.; VANNIER, J.-C; ARZANDE, A. Flying capacitor multilevel inverters and DTC motor drive applications. **IEEE Transactions on Industrial Electronics**, v. 49, n. 4, p. 809-815, Ago. 2002.

FLORICAU, D.; GATEAU, G.; DUMITRESCU, M.; TEODORESCU, R. A new stacked NPC converter: 3L-topology and control. **European Conference on Power Electronics and Applications**, p.1-10, Sep. 2007.

FLORICAU, D.; FLORICAU, E. DUMITRESCU, M. Natural doubling of the apparent switching frequency using three-level ANPC converter. **International School on Nonsinusoidal Currents and Compensation ISNCC**, p. 1-6, Jun 2008.

FLORICAU, D.; GATEAU, G.; FLORICAU, E.; LAREDDE, A. Reducing of the average switching frequency using three-level active-SNPC converter. **13th European Conference on Power Electronics and Applications, EPE '09**. p. 1 – 7, Sept. 2009.

FLORICAU, D.; GATEAU, G.; LAREDDE, A. New active stacked NPC multilevel converter: operation and features. **IEEE Transactions on Industrial Electronics**, v. 57, n. 7, p. 2272-2278, Jul. 2010.

FRANQUELLO, L. G.; LEÓN, J. I.; PRATS, M. M.; et. al. Space vector modulation techniques for multilevel converters - A survey, **Przeegląd Elektrotechniczny**, n. 4, p. 56-61, 2006.

FRANQUELO, L. G.; RODRIGUEZ, J.; LEON, J. I.; KOURO, S.; PORTILLO, R.; PRATS, M. A. M. The age of multilevel converters arrives. **IEEE Industrial Electronics Magazine**, v. 2, n. 2, p. 28-39, Jun. 2008.

FLORES, G. C. **Inversor de tensão multinível com diodos de grampeamento em conexão piramidal**. 2009. 268p. Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis, 2009.

GRIGOLETTO, F. B.; PINHEIRO, H. Método de modulação PWM para equilíbrio das tensões dos capacitores do barramento cc em conversores multiníveis com diodos de grampeamento. **Revista Eletrônica de Potência – SOBRAEP**, v. 14, n. 2, pp. 63 - 74, Mai. 2009.

HENN, G. A. L.; PRAÇA, P. P.; SILVA, R. N. A. L.; et. al. Adapted modulation for THD performance improvement and losses reduction on multilevel inverters. **Revista Eletrônica de Potência – SOBRAEP**, v. 16, n. 2, pp. 103 - 109, Mai. 2011.

HOCHGRAF, C.; LASSETER, R.; DIVAN, D.; LIPO, T. A. Comparison of multilevel inverters for static VAR compensation. **IEEE Industry Applications Society Annual Meeting**, v. 2, p. 921 - 928, Oct. 1994.

HOLMES, D. G.; LIPO, T. A. **Pulse width modulation for power converters – Principles and practice**. United States of America: IEEE Press / John Wiley & Sons, 2003.

HOLTZ, J. Pulse width modulation for electronic power conversion. **IEEE Proceedings**, v. 82, n. 8, p. 1194-1214, Ago. 1994.

KIEFERNDORF, F.; BASLER, M.; SERPA, L. A.; FABIAN, J-H.; COCCIA, A.; SCHEUER, G. A. A new medium voltage drive system based on ANPC-5L technology. **IEEE International Conference on Industrial Technology ICIT**, p. 643-649, Mar. 2010.

LAI, J-S; PENG, F. Z. Multilevel converters-a new breed of power converters. **IEEE Transactions on Industry Applications**, v. 32, n. 3, p. 509 - 517, May.-Jun. 1996.

LEE, S. G.; KANG, D-W.; LEE, Y. H.; HYUN, D-S. The carrier-based PWM method for voltage balancing of flying capacitor multilevel inverter. **32nd IEEE Power Electronics Specialists Conference, PESC'01**, v. 1, p. 126-131, Jun. 2001.

LIANG, Y.; NWANKPA, C. O. A power-line conditioner based on flying-capacitor multilevel voltage-source converter with phase-shift SPWM. **IEEE Transactions on Industry Applications**, v. 36, n. 4, p. 965-971, Jul.-Ago. 2000.

MCGRATH, B. P.; HOLMES, D.G. Multicarrier PWM strategies for multilevel inverters. **IEEE Transactions on Industrial Electronics**, v. 49, n. 4, p. 858-867, Ago. 2002.

MCGRATH, B. P.; HOLMES, D. G.; LIPO, T. Optimized space vector switching sequences for multilevel inverters. **IEEE Transactions on Power Electronics**, v. 18, n. 6, p. 1293-1301, Nov. 2003.

MCGRATH, B. P.; MEYNARD, T. A.; GATEAU, G.; HOLMES, D. G. Optimal modulation of flying capacitor and stacked multicell converters using a state machine decoder. **IEEE Transactions on Power Electronics**, v. 22, n. 2, p. 508-516, Mar. 2007.

MEYNARD, T. A.; FOCH, H. Multilevel conversion: high voltage chopper and voltage source inverters. **23rd Annual IEEE Power Electronics Specialist Conference-PESC**, v.1, p.397-403, Jun.-Jul. 1992.

MEYNARD, T. A.; FOCH, H.; FOREST, F.; TURPIN, C.; RICARDEAU, F.; DELMAS, L.; GATEU, G.; LEFEUVRE, E. Multicell converters: derived topologies, **IEEE Transaction on Industrial Electronics**, v. 49, n. 5, pp. 978 – 987, Oct.2002.

MOHAN, N.; UNDERLAND, T. M.; ROBBINS, W. P. **Power electronics: converters, applications and design**, United States of America, John Wiley and Sons, 2003.

NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped PWM inverter. **IEEE Transactions on Industry Applications**, v.IA-17, n.5, p.518-523, Sept. 1981.

NOVAES, R. Y. **Estudo de um snubber para o inversor de três níveis com neutro grampeado**. 2000. 131p. Dissertação (Mestrado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis, 2000.

OLIVEIRA JR, A. S.; SILVA, E. R.; JACOBINA, C. B. Uma abordagem simplificada para modulação por largura de pulso em inversores multiníveis com controle das tensões nos capacitores do barramento cc. **Revista Eletrônica de Potência – SOBRAEP**, v. 10, n. 2, pp. 57 – 65, Nov. 2005.

PENG, F. Z. A generalized multilevel inverter topology with self voltage balance., **IEEE Transactions on Industry Applications**, v. 37, n. 2, p. 611-618, Mar.-Apr. 2001.

PEREIRA, I. F. B. F. **Projectar, simular e implementar um inversor multinível**. 2008. 102p. Dissertação (Mestrado Integrado em Engenharia Electrotécnica e de Computadores Major de Automação), Faculdade de Engenharia da Universidade do Porto, Porto 2008.

RASHID, M. H. **Eletrônica de potência: circuitos, dispositivos e aplicações**, São Paulo: Makron Books, 1ª Edição, 1999.

ROCHA, A. V.; FRANÇA, G. J.; SANTOS, M. E.; PAULA, H.; CARDOSO FILHO, B. J. A fault-resilient implementation of three level NPC igct-based converters. **Revista Eletrônica de Potência – SOBRAEP**, v. 16, n. 2, pp. 168 - 176, Mai. 2011.

RUIZ-CABALLERO, D. A.; RAMOS-ASTUDILLO, R. M.; MUSSA, S. A.; HELDWEIN, M. L. Symmetrical hybrid multilevel dc-ac converters with reduced number of insulated dc supplies. **IEEE Transactions on Industrial Electronics**, v. 57, n. 7, p. 2307-2314, Jul. 2010.

SERPA, L. A, **Current control strategies for multilevel grid connected inverters**. Zurich. 2007. 319p. Doctor of Sciences Thesis, Swiss Federal Institute of Technology, Zurich, 2007.

SILVA, L. A.; PIMENTEL, S. P.; POMILIO, J. A. Sistema de filtragem ativa com inversor multinível assimétrico em cascata de dezenove níveis e controle de tensão nos barramentos Cc. **Revista Eletrônica de Potência – SOBRAEP**, v. 11, n. 1, pp. 17 - 24, Mar. 2006.

SILVA, R. N. A. L.; BARRETO, L. H. S. C; PRAÇA, P. P.; OLIVEIRA JR., D. S. HELDWEIN, M. L. MUSSA, S. A. Conversor híbrido simétrico de cinco níveis baseado nas topologias half-bridge/ANPC. **Revista Eletrônica de Potência – SOBRAEP**, v. 17, n. 3, p. 623 - 631, Ago. 2012.

SUH, B-S.; HYUN, D-S. A new n-level high voltage inversion system. **IEEE Transactions on Industrial Electronics**, v. 44, n.1, p.107-115, Feb. 1997.

WANG, H.; DENG, Y.; HE, X. Novel carrier-based PWM method with voltage balance for flying capacitor multilevel inverters. **IEEE 35th Annual Power Electronics Specialists Conference PESC'04**, v. 6, p. 4423-4427, Jun. 2004.

WU, B. **High-power converters and ac drives**, New Jersey: Institute of Electrical and Electronics Engineers, 2006.

APÊNDICES

APÊNDICE A - Metodologia de Projeto do Inversor Multinível Híbrido Trifásico de Cinco Níveis Baseado Em Um Half-Bridge/ANPC

METODOLOGIA DE PROJETO DO INVERSOR MULTINÍVEL HÍBRIDO TRIFÁSICO DE CINCO NÍVEIS BASEADO EM UM HALF-BRIDGE/ANPC

Considerações iniciais

A análise teórica do inversor multinível proposto neste trabalho foi desenvolvida nos capítulos anteriores. Na análise qualitativa, foram apresentadas as seqüências de funcionamento deste inversor, enquanto na análise quantitativa foram desenvolvidos os equacionamentos dos esforços nos semicondutores.

Roteiro de projeto

O procedimento de projeto do inversor será elaborado juntamente com um exemplo numérico, de acordo com determinados passos a serem seguidos.

Especificação do projeto

$V_{dc} = 340 \text{ V}$	→	Tensão do barramento
$\frac{V_{dc}}{2} = 170 \text{ V}$	→	Tensão em cada fonte
$V_{o_ll_ef} = 380 \text{ V}$	→	Tensão de saída eficaz (de linha)
$S_{o_3\phi} = 7,5 \text{ kVA}$	→	Potência aparente total
$FP = 0,92$	→	Fator de potência de carga
$\cos \Phi_o = 0,92$	→	Fator de deslocamento de carga
$f_o = 60 \text{ Hz}$	→	Frequência da tensão de saída
$f_r = 60 \text{ Hz}$	→	Frequência da rede
$f_{sw} = 1020 \text{ Hz}$	→	Frequência de chaveamento
$\eta = 1$	→	Rendimento do inversor
$M_{max} = \frac{2 \cdot V_{o_ph_pk}}{V_{dc}} = 1,825$	→	Índice de modulação máximo
$V_p = 1 \text{ V}$	→	Amplitude da portadora
$M_i = M_{max} = 1,825$	→	Índice de modulação
$V_m = M_i \cdot V_p = 1,825 \text{ V}$	→	Amplitude da moduladora
$f_m = 60 \text{ Hz}$	→	Frequência da moduladora
$f_p = 1020 \text{ Hz}$	→	Frequência da portadora

Cálculo da potência aparente e ativa

$$S_{o-\varphi} = \frac{S_{o-3\varphi}}{3} = 2,5 \text{ kVA} \quad \rightarrow \quad \text{Potência aparente por fase}$$

$$P_{o-3\varphi} = S_{o-3\varphi} \cdot \cos \Phi_o = 6,9 \text{ kW} \quad \rightarrow \quad \text{Potência ativa de saída total}$$

$$P_{o-\varphi} = \frac{P_{o-3\varphi}}{3} = 2,3 \text{ kW} \quad \rightarrow \quad \text{Potência ativa de saída por fase}$$

Cálculos dos valores de pico e eficaz da tensão e da corrente de saída

Com as especificações acima tem-se:

$$V_{o-ph-ef} = \frac{V_{o-ll-ef}}{\sqrt{3}} = 219,393 \text{ V} \quad \rightarrow \quad \text{Valor eficaz da tensão de saída por fase}$$

$$V_{o-ph-pk} = \sqrt{2} \cdot V_{o-ph-ef} = 310,269 \text{ V} \quad \rightarrow \quad \text{Valor de pico da tensão de saída por fase}$$

$$V_{o-ll-pk} = \sqrt{2} \cdot V_{o-ll-ef} = 537,401 \text{ V} \quad \rightarrow \quad \text{Valor de pico da tensão de saída (de linha)}$$

$$I_{o-ph-ef} = \frac{P_{o-\varphi}}{V_{o-ph-ef} \cdot FP \cdot \eta} = 11,395 \text{ A} \quad \rightarrow \quad \text{Valor eficaz da corrente de saída por fase}$$

$$I_{o-ph-pk} = \sqrt{2} \cdot I_{o-ph-ef} = 16,115 \text{ A} \quad \rightarrow \quad \text{Valor de pico da corrente de saída por fase}$$

$$V_{o1-ef}(M_i) = M_i \cdot \frac{V_{dc}}{2 \cdot \sqrt{2}} = 219,393 \text{ V} \quad \rightarrow \quad \text{Tensão fundamental eficaz em função de } M_i$$

Cálculo do ângulo de carga

$$\phi_r(\cos \Phi_o) = a \cos(\cos \Phi_o) = 0,403 \text{ rad} \quad \rightarrow \quad \text{Em radianos}$$

$$\phi_o(\cos \Phi_o) = \phi_r(\cos \Phi_o) = 23,074^\circ \quad \rightarrow \quad \text{Em graus}$$

Cálculo da impedância de carga

$$Z_o = \frac{S_o}{(I_{o+ph-ef})^2} = 19,253 \text{ } \Omega \quad \rightarrow \quad \text{Impedância}$$

$$R_o = \frac{P_{o-\varphi}}{(I_{o-ph-ef})^2 \cdot \eta} = 17,713 \text{ } \Omega \quad \rightarrow \quad \text{Resistência equivalente da carga}$$

$$L_o = \frac{\sqrt{(Z_o)^2 - (R_o)^2}}{2 \cdot \pi \cdot f_r} = 20,016 \text{ mH} \quad \rightarrow \quad \text{Indutância de carga}$$

$$I_{o-pk}(M_i) = \frac{\sqrt{2} \cdot V_{o1-ef}(M_i)}{Z_o} = 16,115 \text{ A} \quad \rightarrow \quad \text{Indutância de carga}$$

Cálculos dos capacitores do barramento

Para o cálculo dos capacitores do barramento, é feita a análise do circuito, onde o barramento é obtido através de 2 bancos de capacitores ligados ao retificador trifásico PWM. O cálculo destes capacitores é apresentado a seguir:

$$\begin{aligned}
 V_{dc} &= 340 \text{ V} && \rightarrow \text{Tensão de barramento} \\
 \Delta V_{dc} &= 5\% \cdot V_{dc} = 17 \text{ V} && \rightarrow \text{Variação da tensão de barramento} \\
 V_{dc_min} &= V_{dc} - \Delta V_{dc} = 323 \text{ V} && \rightarrow \text{Valor mínimo da tensão de barramento} \\
 V_{dc_max} &= V_{dc} + \Delta V_{dc} = 357 \text{ V} && \rightarrow \text{Valor máximo da tensão de barramento}
 \end{aligned}$$

Considerando um rendimento de 95% , tem-se:

$$\begin{aligned}
 P_{ret} &= \frac{P_{o-3\phi}}{\eta} = 7,263 \text{ kW} && \rightarrow \text{Potência do retificador} \\
 C_{barr} &= \frac{P_{o-ret}}{6 \cdot f_r \cdot \left((V_{dc_max})^2 - (V_{dc_min})^2 \right)} = 872,6 \text{ } \mu\text{F} && \rightarrow \text{Capacitância do barramento}
 \end{aligned}$$

Como o barramento é formado por dois bancos de capacitores, então:

$$\begin{aligned}
 C_1 &= 2 \cdot C_{barr} = 1,745 \text{ mF} && \rightarrow \text{Capacitância de } C_1 \\
 C_2 &= C_1 = 1,745 \text{ mF} && \rightarrow \text{Capacitância de } C_2
 \end{aligned}$$

Adotando um valor comercial de 2200 μF , simula-se o circuito e verifica-se que 13,3 A circulam por cada capacitor. Como a tensão sobre cada capacitor é de 170 V, adotou-se um capacitor que suporta 250 V. Analisando os datasheets optou-se por 4 capacitores de Epcos 820 $\mu\text{F}/250 \text{ V}$ (B43840) em paralelo formando cada banco.

Cálculo do indutor de carga

O indutor de carga L_o possui um baixo valor de indutância, 20 mH . O procedimento de dimensionamento dos elementos magnéticos da carga segue a seguinte metodologia:

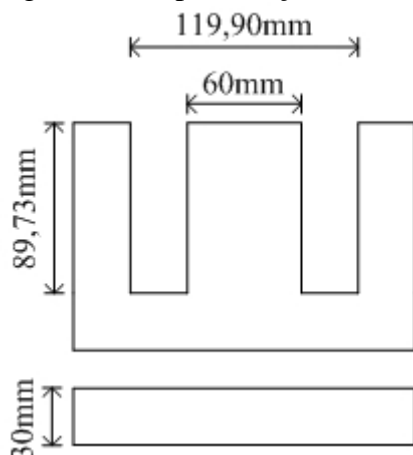
$$\begin{aligned}
 L_o &= 20 \text{ mH} && \rightarrow \text{Indutância de carga} \\
 k_u &= 0,35 && \rightarrow \text{Fator de utilização da janela do indutor} \\
 J_{max} &= 350 \text{ A / cm}^2 && \rightarrow \text{Densidade de corrente} \\
 B_{max} &= 0,7 \text{ T} && \rightarrow \text{Densidade de fluxo magnético} \\
 I_{o_ph_pk} &= 16,115 \text{ A} && \rightarrow \text{Valor de pico da corrente de saída por fase} \\
 I_{o_ph_ef} &= 11,395 \text{ A} && \rightarrow \text{Valor eficaz da corrente de saída por fase}
 \end{aligned}$$

A partir da definição desses parâmetros pode-se calcular o produto das áreas como em [1]:

$$Ae \cdot Aw = \frac{L_o \cdot I_{o_ph_pk} \cdot I_{o_ph_ef} \cdot 10^4}{k_u \cdot J_{max} \cdot B_{max}} = 428,63 \text{ cm}^4$$

Para o produto de área calculado opta-se por um núcleo laminado de acordo com o material disponível em laboratório. Com as lâminas disponíveis, o núcleo EI apresenta as seguintes especificações, conforme Figura A1:

Figura A1: Especificações da lâmina disponível em laboratório



$$A_e \cdot A_w = 967,32 \text{ cm}^4 \quad \rightarrow \quad \text{Produto das áreas}$$

$$A_e = 36 \text{ cm}^2 \quad \rightarrow \quad \text{Área da perna central do núcleo}$$

$$A_w = 26,87 \text{ cm}^2 \quad \rightarrow \quad \text{Área da janela}$$

O número de espiras deve ser calculado seguindo a equação a seguir:

$$N_L = \frac{L_o \cdot I_{o-ph-pk} \cdot 10^4}{A_e \cdot B_{\max}} \approx 128$$

O entreferro do núcleo EI é calculado pela equação seguinte:

$$l_g = \frac{\mu_0 \cdot (N_L)^2 \cdot A_e \cdot 10^{-2}}{L_o} = 0,37 \text{ cm}$$

Onde:

$$\mu_0 = 4 \cdot \pi \cdot 10^{-7} \text{ H / m} \quad \rightarrow \quad \text{Permeabilidade magnética do vácuo}$$

A área necessária para a condução da corrente é calculada da seguinte forma:

$$S_w = \frac{I_{o-ph-ef}}{J_{\max}} = 0,032557 \text{ cm}^2$$

De acordo com os fios disponíveis no laboratório, opta-se pelo fio 18-AWG que possui uma seção de $S_{w-AWG18} = 0,008231 \text{ cm}^2$ e o número de fios em paralelo por:

$$n_w = \frac{S_w}{S_{w-AWG18}} \cong 4$$

A execução física do indutor só é possível se o fator de utilização k_u for inferior a 0,35 como é demonstrado por:

$$k_u = \frac{n_w \cdot N_L \cdot S_{w-iso-AWG18}}{A_w} = 0,183$$

A tabela A.1 apresenta o resumo do projeto dos elementos magnéticos da carga.

Tabela A.1 – Magnéticos da carga

Fio	18AWG
Número de espiras	128
Número de fios em paralelo	4

Cálculo do indutor de retificador

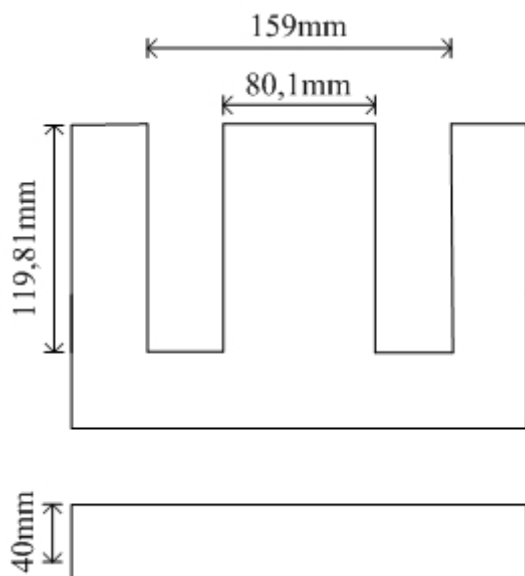
O indutor do retificador L_{ret} possui um alto valor de indutância, 214 *mH*. O procedimento de dimensionamento dos elementos magnéticos do retificador segue a seguinte metodologia:

$L_{ret} = 214 \text{ mH}$	→	Indutância do retificador monofásico
$k_u = 0,35$	→	Fator de utilização da janela do indutor
$J_{max} = 450 \text{ A/cm}^2$	→	Densidade de corrente
$B_{max} = 1,05 \text{ T}$	→	Densidade de fluxo magnético
$I_{L_{ret_pk}} = 11,45 \text{ A}$	→	Valor de pico da corrente no indutor do retificador monofásico
$I_{L_{ret_ef}} = 9,78 \text{ A}$	→	Valor eficaz da corrente no indutor do retificador monofásico

A partir da definição desses parâmetros pode-se calcular o produto das áreas como em [1]:

$$Ae \cdot Aw = \frac{L_{ret} \cdot I_{L_{ret_pk}} \cdot I_{L_{ret_ef}} \cdot 10^4}{k_u \cdot J_{max} \cdot B_{max}} = 1449,066304 \text{ cm}^4$$

Para o produto de área calculado opta-se por um núcleo laminado de acordo com o material disponível em laboratório. Com as lâminas disponíveis, o núcleo EI apresenta as seguintes especificações, conforme Figura A2:



$$A_e \cdot A_w = 1249,224 \text{ cm}^4 \quad \rightarrow \quad \text{Produto das áreas}$$

$$A_e = 26,433 \text{ cm}^2 \quad \rightarrow \quad \text{Área da perna central do núcleo}$$

$$A_w = 47,265 \text{ cm}^2 \quad \rightarrow \quad \text{Área da janela}$$

O número de espiras deve ser calculado seguindo:

$$N_L = \frac{L_{ret} \cdot I_{L-ret-pk} \cdot 10^4}{A_e \cdot B_{max}} \approx 883$$

O entreferro do núcleo EI é calculado por:

$$l_g = \frac{\mu_0 \cdot (N_L)^2 \cdot A_e \cdot 10^{-2}}{L_{ret}} = 1,21 \text{ cm}$$

Onde:

$$\mu_0 = 4 \cdot \pi \cdot 10^{-7} \text{ H / m} \quad \rightarrow \quad \text{Permeabilidade magnética do vácuo}$$

A área necessária para a condução da corrente é calculada por:

$$S_w = \frac{I_{ret-ef}}{J_{max}} = 0,022 \text{ cm}^2$$

De acordo com os fios disponíveis no laboratório, opta-se pelo fio 18-AWG que possui uma seção de $S_{w-AWG18} = 0,008231 \text{ cm}^2$ e o número de fios em paralelo é calculado a seguir:

$$n_w = \frac{S_w}{S_{w-AWG18}} \cong 3$$

A execução física do indutor só é possível se o fator de utilização k_u for inferior a 0,35 como é demonstrado pela equação (A.26).

$$k_u = \frac{n_w \cdot N_L \cdot S_{w-iso-AWG18}}{A_w} = 0,48$$

A tabela A.2 apresenta o resumo do projeto dos elementos magnéticos do retificador monofásico.

Tabela A.2 – Magnéticos do retificador

Fio	18AWG
Número de espiras	883
Numero de fios em paralelo	3

Dimensionamento dos semicondutores

Para especificar estes componentes utilizou-se o procedimento de calculo apresentado no capítulo 3 juntamente com os dados obtidos através da simulação do *software* PSIM. Optou-se pelos módulos IGBT's da SEMIKRON (SKM 75GB063D e SKM 145GB066D), na qual cada módulo possui duas chaves com diodos em antiparalelo. Serão, portanto quatro módulos por braço, totalizando em 12 módulos para formar o inversor trifásico proposto.

O driver escolhido para a implementação do circuito de comando é o SKHI 22BR, também da SEMIKRON. O esquema da placa a qual o driver é acoplado é apresentado na Figura A.3, seguindo de uma breve descrição de cada um de seus pinos e conexões da placa na Tabela A4.

Figura A.3. Esquema da placa do driver SKHI 22BR.

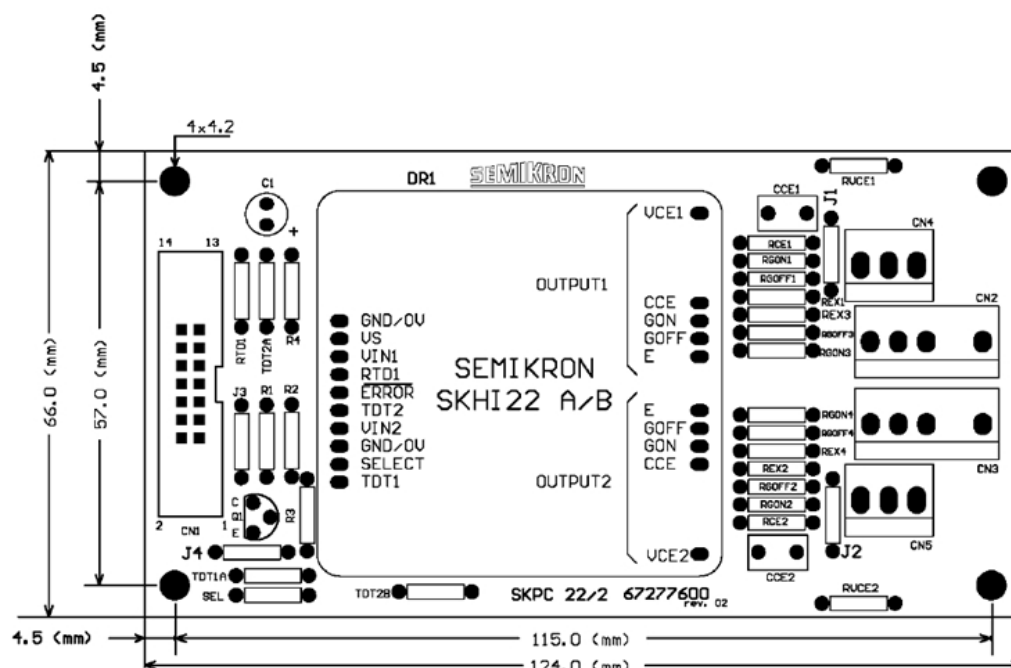


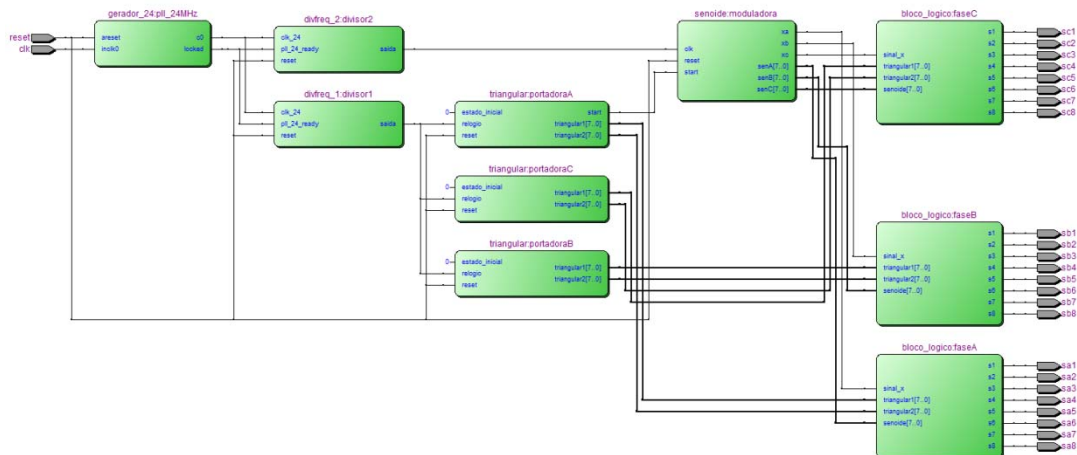
Tabela A.4 – Descrição dos pinos do driver SKH-22BR

Pino	Descrição
CN1-2	Sinal de acionamento que irá para saída Bottom - S_{a7} , S_{a5} , S_{a3} , S_{a4}
CN1-4	Sinal de acionamento que irá para saída Top - S_{a1} , S_{a6} , S_{a2} , S_{a8}
CN1-8, 9	V_s - 18V
CN1-10, 11	GND
CN2-1	Emissor
CN2-2	Gatilho
CN2-5	Coletor
CN3-1	Emissor
CN3-2	Gatilho
CN3-2	Coletor
CN4-1	Emissor
CN4-3	Gatilho
CN5-1	Emissor
CN5-3	Gatilho

APÊNDICE B - PROGRAMA

Implementação Digital da Modulação derivada da apresentada por Ding, *et al.*, (2004), para o inversor proposto Half-Bridge/ANPC.

Figura B.1. Diagrama de blocos da implementação digital da modulação derivada da apresentada por Ding, *et al.*, no inversor proposto Half-Bridge/ANPC.



Bloco *multinivelpll.vhd*

```
--
=====
--
-- Universidade Federal do Ceara
--
=====
--
-- Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis Baseado Nas
Topologias Half-Bridge e ANPC
-- Universidade Federal do Ceara
-- Centro de Tecnologia
-- GPEC
--
=====

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity multinivelpll is
  port (clk, reset : in std_logic;
        -- gpop_in0, gpio_in1 : in std_logic; -- declaracao das duas
entradas apenas por seguranca. Elas nao tem funcao no programa.
        sel : in std_logic_vector (2 downto 0); -- chaves switch para controle de
testes (debug)
        ponteiraA, ponteiraB, ponteiraC : out unsigned (7 downto 0); -- saidas
teste pra visualizacao das ondas geradas
```

```

sa1, sa2, sa3, sa4, sa5, sa6, sa7, sa8 : out std_logic; -- pulsos das chaves
sb1, sb2, sb3, sb4, sb5, sb6, sb7, sb8 : out std_logic;
sc1, sc2, sc3, sc4, sc5, sc6, sc7, sc8 : out std_logic);

end multinivelpll;

architecture codigo of multinivelpll is

    constant limite : integer := 1000;
    signal clock_portadora : std_logic;
    signal clock_moduladora : std_logic;
    signal start : std_logic; -- pulso de sincronia para a modulacao
    signal clock_24 : std_logic; -- clock de 24 MHz gerado pelo PLL
    signal pll_24_ready : std_logic; -- para saber se a multiplicacao foi finalizada
    signal triangularA1, triangularA2 : unsigned (7 downto 0);
    signal triangularB1, triangularB2 : unsigned (7 downto 0);
    signal triangularC1, triangularC2 : unsigned (7 downto 0);
    signal xa, xb, xc : std_logic; -- sinal de onda quadrada de 60 Hz necessario para a
logica de acionamento
    signal senA, senB, senC : unsigned (7 downto 0);

begin
    ----- Instancia de divisores e multiplicadores de frequencia (PLL's) -----
    pll_24MHz : entity work.gerador_24(SYN)
        port map (areset => reset,
                inclk0 => clk,
                c0 => clock_24,
                locked => pll_24_ready);

    divisor1 : entity work.divfreq_1(codigo)
        generic map (limite => limite) -- recebe o valor declarado pela constante
"limite" = 10000 para gerar a temporizacao necessario
        port map (clk_24 => clock_24,
                reset => reset,
                pll_24_ready => pll_24_ready,
                saida => clock_portadora);

    divisor2 : entity work.divfreq_2(codigo)
        generic map (limite => limite) -- recebe o valor declarado pela constante
"limite" = 10000 para gerar a temporizacao necessario
        port map (clk_24 => clock_24,
                reset => reset,
                pll_24_ready => pll_24_ready,
                saida => clock_moduladora);
    -----

    ----- Implementacao portadoras das 3 fases -----

    portadoraA : entity work.triangular(codigo)
        generic map (load => "00000000") -- inicia contagem em zero

```

```

port map (relogio => clock_portadora,
          reset => reset,
          estado_inicial => '0', -- inicia incrementando
          start => start,
          triangular1 => triangularA1,
          triangular2 => triangularA2);

portadoraB : entity work.triangular(codigo)
  generic map (load => "00000000") -- inicia contagem em zero
  port map (relogio => clock_portadora,
            reset => reset,
            estado_inicial => '0', -- inicia incrementando
            start => open,
            triangular1 => triangularB1,
            triangular2 => triangularB2);

portadoraC : entity work.triangular(codigo)
  generic map (load => "00000000") -- inicia contagem em zero
  port map (relogio => clock_portadora,
            reset => reset,
            estado_inicial => '0', -- inicia decrementando
            start => open,
            triangular1 => triangularC1,
            triangular2 => triangularC2);
-----

----- Implementacao das cossenoides (senoides +90°) das 3 fases -----
moduladora : entity work.senoide(codigo)
  port map (clk => clock_moduladora,
            reset => reset,
            start => start, -- pulso de sincronia de portadora com a
moduladora

            xa => xa, xb => xb, xc => xc,
            senA => senA, senB => senB, senC => senC);
-----

----- Implementacao blocos logicos das 3 fases -----
faseA : entity work.bloco_logico(codigo)
  port map (triangular1 => triangularA1, -- entradas das portadoras
            triangular2 => triangularA2, --
            sinal_x => xa, -- sinal de 60 Hz correspondente
            senoide => senA, -- entrada da moduladora
            s1 => sa1, s2 => sa2, s3 => sa3, -- saida dos pulsos
            s4 => sa4, s5 => sa5, s6 => sa6,
            s7 => sa7, s8 => sa8);

faseB : entity work.bloco_logico(codigo)
  port map (triangular1 => triangularB1,
            triangular2 => triangularB2,
            sinal_x => xb,

```



```

        senoide => senB,
        s1 => sb1,
        s2 => sb2, s3 => sb3,
        s4 => sb4, s5 => sb5, s6 => sb6,
        s7 => sb7, s8 => sb8);

faseC : entity work.bloco_logico(codigo)
    port map (triangular1 => triangularC1,
              triangular2 => triangularC2,
              sinal_x => xc,
              senoide => senC,
              s1 => sc1, s2 => sc2, s3 => sc3,
              s4 => sc4, s5 => sc5, s6 => sc6,
              s7 => sc7, s8 => sc8);
-----

----- Variaveis de teste (Debug) -----
-- Devem ser habilitadas conforme necessidade
--   process (sel, senA, senB, senC, triangularA1, triangularA2, triangularB1,
triangularB2, triangularC1, triangularC2)
--   begin
--       case sel is
--           when "001" => -- ver moduladoras
--               ponteiraA <= senA;
--               ponteiraB <= senB;
--               ponteiraC <= senC;
--           when "010" => -- ver ondas Fase A
--               ponteiraA <= senA;
--               ponteiraB <= triangularA1;
--               ponteiraC <= triangularA2;
--           when "011" => -- ver ondas fase B
--               ponteiraA <= senB;
--               ponteiraB <= triangularB1;
--               ponteiraC <= triangularB2;
--           when "100" => -- ver ondas fase C
--               ponteiraA <= senC;
--               ponteiraB <= triangularC1;
--               ponteiraC <= triangularC2;
--           when others => -- pra ver as 3 triangulares
--               ponteiraA <= triangularA1;
--               ponteiraB <= triangularB1;
--               ponteiraC <= triangularC1;
--       end case;
--   end process;
-----

end codigo;

Bloco divfreq_1.vhd

```

```

-- divisor de frequencia da portadora - Logica de circuito:
-- Maquina de Estados Finita (FSM) operando como um contador
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity divfreq_1 is
  generic (limite : integer := 1000);
  port (clk_24, reset : in std_logic; -- entrada 24 Mhz de clock para divisao por 1000
        pll_24_ready : in std_logic; -- saida do gerador de 24MHz pra dar a
saida estabilizada do clock
        saida : out std_logic);
end divfreq_1;
architecture codigo of divfreq_1 is

  signal c_reg, c_next : unsigned (9 downto 0); -- sinais de maquina de estado para
estado atual e proximo estado, respectivamente
  signal clock_pll : std_logic;
  signal pll_ready : std_logic;

begin

  -- incorpora o circuito PLL gerador de 24 MHz de saida com a entrada de 50 MHz
(principal) --
  instancia_pll : entity work.facilitador_portadora(SYN)
    port map (areset => reset,
              inclk0 => clk_24,
              c0 => clock_pll,
              locked => pll_ready);

-----

  process (clock_pll, reset, pll_ready, pll_24_ready)
  begin
    if (pll_24_ready = '1') then
      if (reset = '1') then
        c_reg <= (others => '0');
      elsif (pll_ready = '1') then -- testa se a multiplicacao do pll ja foi
concluida
        if (clock_pll'event and clock_pll = '1') then
          c_reg <= c_next;
        end if;
      end if;
    end if;
  end process;

  -- logica proximo estado
  c_next <= (others => '0') when c_reg >= limite-1 else
    c_reg + 1;
  saida <= '1' when c_reg = limite-1 else
    '0';

```

```
end codigo;
```

Bloco *divfreq_2.vhd*

```
-- divisor de frequencia da moduladora - Logica de circuito:
-- Maquina de Estados Finita (FSM) operando como um contador
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity divfreq_2 is
  generic (limite : integer := 1000);
  port (clk_24, reset : in std_logic;
        pll_24_ready : in std_logic; -- saida do gerador de 24MHz pra dar a
saida estabilizada do clock
        saida : out std_logic);
end divfreq_2;
architecture codigo of divfreq_2 is

  signal c_reg, c_next : unsigned (9 downto 0);
  signal clock_pll : std_logic;
  signal pll_ready : std_logic;

begin

  instancia_pll : entity work.facilitador_moduladora(SYN)
    port map (areset => reset,
              inclk0 => clk_24,
              c0 => clock_pll,
              locked => pll_ready);

  process (clock_pll, reset, pll_ready, pll_24_ready)
  begin
    if (pll_24_ready = '1') then
      if (reset = '1') then
        c_reg <= (others => '0');
      elsif (pll_ready = '1') then -- teste se a multiplicacao do pll ja foi
concluida
        if (clock_pll'event and clock_pll = '1') then
          c_reg <= c_next;
        end if;
      end if;
    end if;
  end process;

  -- logica proximo estado

  c_next <= (others => '0') when c_reg >= limite-1 else
    c_reg + 1;
  saida <= '1' when c_reg = limite-1 else
```

```

                                '0';
end codigo;

```

Bloco *triangular.vhd*

```

--geracao das portadoras. Logica de circuito:
-- FSM operando como um contador crescente/decrescente com pico configuravel
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity triangular is
    generic (load : unsigned (7 downto 0) := "01010000"); -- 80 decimal
    port (relogio, reset : in std_logic; -- relogio representa o tempo de incremento da
portadora, ou seja, o clock dividido dos circuitos divisores
        estado_inicial : std_logic; -- |0 -> inc. 1 -> dec.| Adaptar o valor do
sinal conforme necessario na hora da instancia
        start : out std_logic; -- saida de sincronia com as moduladoras
        triangular1, triangular2 : out unsigned (7 downto 0));
end triangular;

architecture codigo of triangular is

    type state is (idle, inc, dec); -- define os estados da FSM
    signal s_reg, s_next : state;
    signal cont_reg, cont_next : unsigned (7 downto 0); --pico em 120

begin
-- logica do estado atual pra contagem do valor da portadora. (Clock dividido!)
process (relogio, reset)
begin
    if (reset = '1') then
        cont_reg <= (others => '0');
        s_reg <= idle;
    elsif (relogio'event and relogio = '1') then
        cont_reg <= cont_next;
        s_reg <= s_next;
    end if;
end process;

-- logica proximo estado
process (s_reg, cont_reg, cont_next, estado_inicial)
begin
    s_next <= s_reg;
    cont_next <= cont_reg;
    case s_reg is
        when idle =>
            cont_next <= load; -- carrega a contagem. Design limpo...
            if (estado_inicial = '0') then
                s_next <= inc;

```

```

        else
            s_next <= dec;
        end if;
    when inc =>
        cont_next <= cont_reg + 1;
        if cont_next = 120 then -- define o pico da contagem
            s_next <= dec;
        end if;
    when dec =>
        cont_next <= cont_reg - 1;
        if cont_next = 0 then
            s_next <= inc;
        end if;
    end case;
end process;

-- antecipando a saida "start" para a correta sincronia
process (s_next)
begin
    start <= '0';
    case s_next is
        when idle =>
        when inc =>
            start <= '1';
        when dec =>
        end case;
end process;

triangular1 <= cont_reg;
triangular2 <= cont_reg + 120; -- grampeamento para cima da forma de onda

end codigo;
```

Bloco *senoide.vhd*

```
-- Geracao das moduladoras. Logica de circuito:
-- LUT's.
```

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
```

```
entity senoide is
    port (clk, reset : in std_logic; -- clock dividido vindo dos divisores de frequencia
          start : in std_logic; -- sincronia
          xa, xb, xc : out std_logic; -- sinal de onda quadrada de 60 Hz
          senA, senB, senC : out unsigned (7 downto 0)); -- saidas das senoides
```

```
digitais
end senoide;
```

```
architecture codigo of senoide is
```


type state is (preparar, vai); -- prepara os sinais para iniciarem a contagem apenas quando o sinal "start" de sincronia permite

```
signal s_reg, s_next : state;
signal contagem_habilitada : std_logic;
```

```
-----

begin
-- logica estado atual
process (reset, clk)
begin
    if (reset = '1') then
        s_reg <= preparar;
        a_reg <= (others => '0'); -- inicia em 0 (defasagem de 0 grau)
        b_reg <= "1010000000"; -- inicia em 640 (defasagem 240 graus)
        c_reg <= "0101000000"; -- inicia em 320 (defasagem 120 graus)
    elsif (clk'event and clk = '1') then
        s_reg <= s_next;
        a_reg <= a_next;
        b_reg <= b_next;
        c_reg <= c_next;
    end if;
end process;

-- logica proximo estado
process (s_reg, start)
begin
    s_next <= s_reg;
    contagem_habilitada <= '0';
    case s_reg is
        when preparar =>
            if (start = '1') then
                s_next <= vai;
            else
                s_next <= preparar;
            end if;
        when vai =>
            contagem_habilitada <= '1';
    end case;
end process;

a_next <= (others => '0') when a_reg >= 959 else
    a_reg + 1 when contagem_habilitada = '1' else
    a_reg;
b_next <= (others => '0') when b_reg >= 959 else
    b_reg + 1 when contagem_habilitada = '1' else
    b_reg;
c_next <= (others => '0') when c_reg >= 959 else
    c_reg + 1 when contagem_habilitada = '1' else
    c_reg;
```

```

-- Logica de saida
  senA <= to_unsigned(dados1_8(to_integer(a_reg)),8); -- carrega na saida o valor
correspondente da tabela da posicao igual a "a_reg"
  senB <= to_unsigned(dados1_8(to_integer(b_reg)),8); -- "to_unsigned" e "to_integer"
sao diretivas de conversao de dados
  senC <= to_unsigned(dados1_8(to_integer(c_reg)),8); -- ambos dentro do pacote de
biblioteca "numeric_std"

```

```

-- Logica dos sinais de 60 Hz. Sao gerados conforme o valor de suas cossenoides
correspondentes.

```

```

  xa <= '0' when a_reg >= 240 and a_reg < 720 else
    '1';
  xb <= '0' when b_reg >= 240 and b_reg < 720 else
    '1';
  xc <= '0' when c_reg >= 240 and c_reg < 720 else
    '1';

```

```

end codigo;

```

Bloco *bloco_logico.vhd*

```

library ieee;
use ieee.std_Logic_1164.ALL;
use ieee.numeric_std.all;

entity bloco_logico is
  port (triangular1, triangular2 : in unsigned (7 downto 0); -- entrada das portadoras
        sinal_x : in std_logic; -- entrada do sinal de 60 Hz
        senoide : in unsigned (7 downto 0); -- entrada da moduladora
        s1, s2, s3, s4, s5, s6, s7, s8 : out std_logic); -- saida dos pulsos
end bloco_logico;

```

```

architecture codigo of bloco_logico is

```

```

  signal moduladora_maorigual_triangularA1 : std_logic;
  signal moduladora_maorigual_triangularA2 : std_logic;
  signal senoide_maorigual_120 : std_logic;
  signal sx2_buffer, sx3_buffer : std_logic;

```

```

begin

```

```

----- geracao dos sinais das comparacoes -----
  senoide_maorigual_120 <= '1' when senoide >= 120 else
    '0';
  moduladora_maorigual_triangularA1 <= '1' when senoide >= triangular1 else
    '0';
  moduladora_maorigual_triangularA2 <= '1' when senoide >= triangular2 else
    '0';

```

```

----- logica dos semicondutores -----

```



```

    sx2_buffer <= senoide_maorigual_120; -- sinal pra armazenar o valor da chave sx2
para depois ser lido
    sx3_buffer <= not senoide_maorigual_120; -- sinal pra armazenar valor da chave sx3

s5 <= sinal_x;
s6 <= not sinal_x;

s1 <= moduladora_maorigual_triangularA2;
s7 <= sx2_buffer and (not moduladora_maorigual_triangularA2);

s4 <= not moduladora_maorigual_triangularA1;
s8 <= moduladora_maorigual_triangularA1 and sx3_buffer;

s2 <= sx2_buffer;
s3 <= sx3_buffer;

end codigo;

```

Os demais blocos, a saber: *facilitador_portadora.vhd*, *facilitador_moduladora.vhd* e *gerador_24*, presentes do diagrama apresentado, foram gerados a partir do recurso de “*megafunctions*” da ferramenta de síntese utilizada.

Os parâmetros desses blocos são apresentados a seguir.

Parâmetros dos circuitos PLL's:

gerador_24:

Selected device family: Cyclone IV E
 Target device : EP4CE22F17C6
 Speed grade : 6
 Input frequency : 50 MHz
 Create 'areset' checked
 Create 'locked' output checked
 Cutput frequency : 24 MHz (12/25 multiplication)
 Duty cycle : 50%

facilitador_portadora:

Selected device family: Cyclone IV E
 Target device : EP4CE22F17C6
 Speed grade : 6
 Input frequency : 24 MHz
 Create 'areset' checked
 Create 'locked' output checked
 Cutput frequency : 244,8 MHz (51/5 multiplication)
 Duty cycle : 50%

facilitador_moduladora:

Selected device family: Cyclone IV E
 Target device : EP4CE22F17C6
 Speed grade : 6

106, 107, 108, 110, 111, 112, 113, 115, 116, 117, 118, 119, 121, 122, 123, 124, 125, 127, 128, 129, 130, 131, 132, 133, 135, 136, 137, 138, 139, 140, 141, 142, 143, 145, 146, 147, 148, 149, 150, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 169, 170, 171, 172, 173, 174, 175, 176, 176, 177, 178, 179, 180, 181, 181, 182, 183, 184, 185, 185, 186, 187, 188, 188, 189, 190, 190, 191, 192, 193, 193, 194, 195, 195, 196, 197, 197, 198, 198, 199, 200, 200, 201, 201, 202, 202, 203, 204, 204, 205, 205, 206, 206, 207, 207, 207, 208, 208, 209, 209, 210, 210, 210, 211, 211, 212, 212, 212, 213, 213, 213, 214, 214, 214, 215, 215, 215, 216, 216, 216, 216, 217, 217, 217, 217, 217, 218, 218, 218, 218, 218, 218, 218, 218, 218, 219, 219, 219, 219, 219, 219, 219, 219, 219, 219, 219, 219);

APÊNDICE C – TRABALHOS FUTUROS

Figura C.1. Configuração em *Back to back*

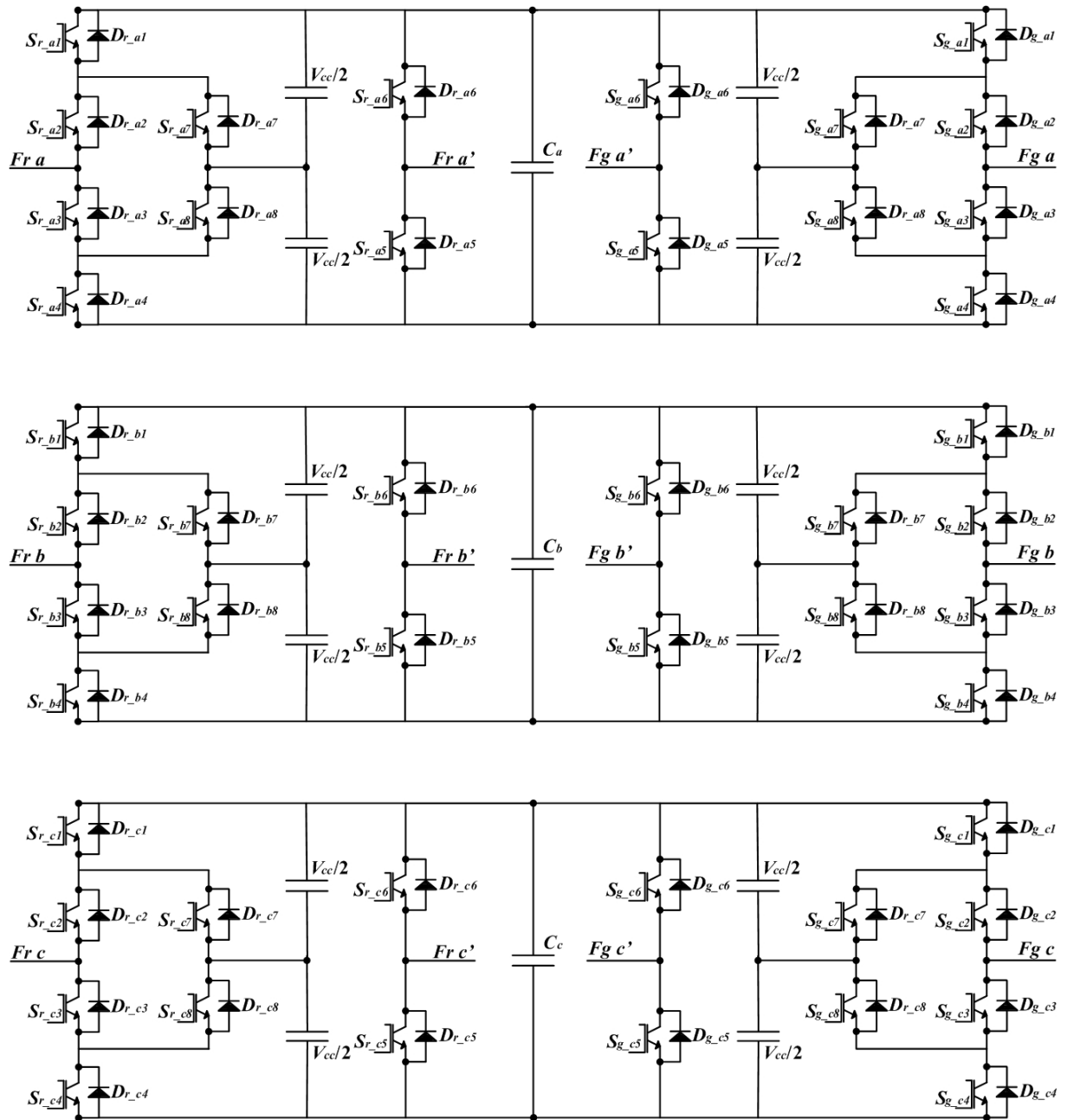


Figura C.1. Configuração em cascata

