

**UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**



**ANÁLISE COMPARATIVA DE DESEMPENHO DE
CONVERSORES CA-CC MONOFÁSICOS UTILIZANDO
FPGA PARA APLICAÇÃO EM NO-BREAKS**

Raphael Amaral da Câmara

Fortaleza
Novembro de 2012

RAPHAEL AMARAL DA CÂMARA

**ANÁLISE COMPARATIVA DE DESEMPENHO DE
CONVERSORES CA-CC MONOFÁSICOS UTILIZANDO
FPGA PARA APLICAÇÃO EM NO-BREAKS**

Tese submetida à Universidade Federal do Ceará como parte dos requisitos para obtenção do grau de Doutor em Engenharia Elétrica.

Orientador: Prof. Dr. Cícero Marcos Tavares Cruz

Co-orientador: Prof. Dr. René Pastor Torrico-Bascope

Fortaleza
Novembro de 2012

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca de Pós-Graduação em Engenharia - BPGE

-
- C174a Câmara, Raphael Amaral da.
Análise comparativa de desempenho de conversores CA/CC monofásicos utilizando EPGA para aplicação em no-breaks / Raphael Amaral da Câmara – 2012.
205 f. : il. enc. ; 30 cm.
- Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2012
Área de Concentração: Eletrônica de potência e acionamento de máquinas.
Orientação: Prof. Dr. Cícero Marcos Tavares Cruz.
Coorientação: Prof. Dr. René Pastor Torrico-Bascopé.
1. Engenharia Elétrica. 2. Eletrônica de potência. 3. Conversores de corrente elétrica. I. Título.

Raphael Amaral da Câmara

**Análise Comparativa de Desempenho para Conversores
Monofásicos Utilizando FPGA para Aplicação em No-Breaks**

Esta Tese foi julgada adequada para a obtenção de título de Doutor em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência e Acionamentos, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará.



Raphael Amaral da Câmara

Orientador:

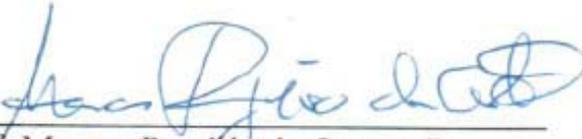


Prof. Cicero Marcos Tavares Cruz, Dr.

Banca Examinadora:



Prof. Andrés Ortiz Salazar, Dr.



Prof. Marcos Rogério de Castro, Dr.

MARCUS



Prof. Fernando Luiz Marcelo Antunes, PhD.



Prof. René Pastor Torriero Bascopé, Dr.

Fortaleza, 23 de novembro de 2012

“A persistência realiza o impossível.”

(Ditado chinês)

“Tudo o que, na oração, perderdes com fé, vós o recebereis.”

(Mt 21, 22)

*A Deus,
Meu Criador, Salvador e Consolador!
Aos meus pais Edel e Wilson,
À minha esposa Amanda
e nossos filhos Thávyne Sophia e Raphael Mikhail,
A todos os familiares e amigos,
Eu dedico esse trabalho.*

AGRADECIMENTOS

À CAPES que contribuiu em parte com o apoio financeiro necessário à realização desse trabalho e desenvolvimento científico.

Ao professor Cícero Marcos Tavares Cruz por suas valiosas orientações, amizade, força e disponibilidade durante todo este tempo, da graduação ao doutorado. Agradeço a confiança em mim depositada. Quero também agradecer ao co-orientador professor René Pastor Torrico-Bascopé por todas as suas valiosas e criteriosas colaborações desde o início do curso durante as disciplinas, passando pela concepção desta tese e grande auxílio em sua execução através de conselhos e disponibilidade física e material.

Aos professores do Departamento de Engenharia Elétrica da UFC, Fernando Antunes, Luiz Henrique, Demercil, Artur, Bismarck e a todos os servidores Rafael, Mário e Geraldinho, responsáveis diretamente ou indiretamente pela minha formação na graduação, mestrado e doutorado. Deixo aqui meu agradecimento especial ao professor Paulo Praça pela grande colaboração e incentivo no uso do controle digital, pelo companheirismo e enorme amizade.

Aos meus amigos e colegas de pós-graduação (em ordem alfabética): André, Davi Joca, Elmano, Fabíola, Hermínio, Lincoln, Ranoyca, Samuel Jó, Serginho, por todas as etapas que foram vencidas, companheirismo e contribuições técnicas. Ao técnico do GPEC, Pedro Augusto, um agradecimento especial pelas contribuições práticas e técnicas e pela amizade.

Aos meus colegas professores da Universidade Federal Rural do Semiárido (em ordem alfabética): Adelson, Adriano Aaron, Augusto Pavão, Bruno Emanuel, Fabiana, Francisco Targino, Humberto, Idalmir, Patrocínio, pelo apoio, incentivo e compreensão para que eu pudesse chegar a este momento de titulação e um agradecimento especial aos Profs. Gustavo Henn e Victor Aguiar pelo companheirismo e amizade.

Aos meus amigos mais antigos (em ordem alfabética): Aldiel, Babim, Branquim, Deivid, Dielle, Gessi, Ivina, Iviane, Jackson, Jonhny, Júnior, Larissa, Márcio, Ricardo, Tércio, Tidy e Vilemar por todos os momentos de entretenimento, futebol e metal e, ao meus novos amigos (em ordem alfabética): Aéclinton e Paula, Beron e Márcia, Igor e Izabel, Rocha Júnior e Elen, Sávio e Luzirane, por todos os momentos “adultos” de convivência de casais e filhos.

A meus amigos de infância Rondinelle, Mickaele, Marcelo, Liana, Rosa, Marquinhos, Neto, Aritana, Narcélio, Nenê, Márcio, Paulinho, Lano, Nilzinha, Marta, Marna, Wilame, Sara, Samuel, Daniel, Hélio, Marciano, Rafael “Cocão”, Rafael “Pipoca”, Ilton e Cíntia por todos os momentos de uma infância feliz e formadora do meu caráter.

A todos os meus familiares, em especial, aos meus avós Alicio e Cidoca por sempre incentivarem minha formação profissional e pelas grandes ajudas nos momentos de maiores necessidades em minha vida.

À minha amada esposa Amanda que sempre me apoiou para a conclusão deste trabalho com incentivo e muito amor e que compreendeu os momentos difíceis. Aos meus filhos Tháyne Sophia e Raphael Mikhail que me ensinam a cada dia com suas conquistas e realizações.

À todas as pessoas que por motivo de esquecimento não foram citadas anteriormente, vou deixando neste espaço minhas sinceras desculpas.

da Câmara, R. A. “Análise Comparativa de Desempenho de Conversores CA-CC Monofásicos Utilizando FPGA para Aplicação em No-breaks”, Universidade Federal do Ceará – UFC, 2012, 232p.

Esta tese de doutorado apresenta duas novas topologias de conversores CA-CC com uso de neutro comum: conversor de cinco níveis intercalado e conversor de cinco níveis tipo T. Além disso, uma nova forma de implementação da técnica de controle indireto da corrente (*Indirect Current Control* - ICC) é apresentada. Assim, para comprovação da praticidade dos conversores apresentados, toma-se como base o conversor CA-CC de três níveis convencional e então é realizada uma análise comparativa de desempenho entre esses três conversores CA-CC monofásicos para aplicação em *no-breaks*. Os conversores analisados possuem como característica comum a correção do fator de potência, o controle digital realizado por FPGA e a conexão da fonte de alimentação com o estágio de saída, facilitando o uso de inversor e *bypass* para *no-breaks*. O primeiro conversor analisado é o conversor de três níveis convencional que apresenta como principal característica o reduzido número de componentes. O segundo conversor analisado é o conversor de cinco níveis intercalado que apresenta como principal característica as reduzidas perdas de comutação e condução. Finalmente, o terceiro conversor analisado é o conversor de cinco níveis tipo T que apresenta como principais características: reduzidas perdas de comutação e condução; os elementos magnéticos operam com o dobro da frequência de comutação reduzindo desta maneira o peso e o volume. A análise teórica dos conversores monofásicos, os conceitos básicos sobre o controle digital e a técnica de modulação, a metodologia de projeto, simulação e resultados experimentais dos protótipos construídos são apresentados para validar o princípio de funcionamento dos conversores propostos.

Palavras-Chave: análise comparativa, célula de comutação tipo T, correção de fator de potência, FPGA, no-break, conversores CA-CC.

da Câmara, R. A. “Comparative Analysis of Performance of Single Phase AC-DC Converters Using FPGA for UPS Applications”, Universidade Federal do Ceará – UFC, 2012, 232p.

This thesis presents two novel topologies of AC-DC converters with common neutral: five-level interleaved converter and five-level T type converter. Besides, a novel type of implementation of Indirect Current Control (ICC) is also presented. Thus, a comparative analysis of performance between three single phase AC-DC converters for UPS applications is realized. The analyzed converters have as common characteristics: power factor correction, digital control using FPGA and connection between input power supply and converter output enabling the use of UPS inverter and by-pass. The first one analyzed converter is the conventional three level converter which presents as main feature reduced numbers of power semiconductors and components. The second one analyzed converter is the five level interleaving converter which presents as main feature reduced conduction and commutation losses. Finally, the last one analyzed converter is the T type five level converter which presents as main features: reduced conduction and commutation losses and magnetic components operating with the double of switching frequency reducing weight and volume. Theoretical analysis of the single phase converters, basics concepts of digital control and modulation technique, design procedure, simulation and experimental results of lab models are presented in order to validate the principle of operation of the proposed converters.

Keywords: comparative analysis, T type switching cell, power factor correction, FPGA, UPS, AC-DC converters

SUMÁRIO

LISTA DE FIGURAS	xiv
LISTA DE TABELAS	xxii
SIMBOLOGIA	xxiii
INTRODUÇÃO GERAL	1
CAPÍTULO 1	
CONVERSORES MONOFÁSICOS CA-CC COM CORREÇÃO DO FATOR DE POTÊNCIA: TOPOLOGIAS E TÉCNICAS DE CONTROLE.....	4
1.1 Introdução.....	4
1.2 Topologias de Conversores Monofásicos CA-CC.....	5
1.3 Técnicas de Controle para Conversores CA-CC	11
1.4 Geração da Célula de Comutação Tipo T.....	16
1.5 Motivação e Proposta de Tese de Doutorado	19
1.6 Conclusões.....	22
CAPÍTULO 2	
TÉCNICA DE CONTROLE DIGITAL USANDO FPGA	23
2.1 Introdução.....	23
2.2 FPGAs (<i>Field Programmable Gate Arrays</i>)	23
2.2.1 <i>Arquitetura do FPGA</i>	24
2.2.2 <i>Programação no FPGA</i>	28
2.2.3 <i>O FPGA EP2C20F484C</i>	29
2.3 Tratamento de Sinais Utilizado para Aplicação ao FPGA	30
2.3.1 <i>Amostragem</i>	31
2.3.2 <i>Circuitos Conversores A/D e D/A e de Interface</i>	33
2.4 Técnica de Controle Aplicada ao FPGA	35
2.5 Funções de Transferência Discretizadas.....	38
2.6 Programação do FPGA.....	45
2.7 Circuitos de <i>Drivers</i>	48
2.8 Conclusões.....	48
CAPÍTULO 3	
CONVERSOR CA-CC MONOFÁSICO DE TRÊS NÍVEIS CONVENCIONAL	50
3.1 Introdução.....	50
3.2 Análise Qualitativa	50

3.2.1	<i>Topologia e Princípio de Funcionamento</i>	50
3.2.2	<i>Etapas de Operação – Semiciclo Positivo da Tensão de Entrada</i>	52
3.2.3	<i>Etapas de Operação – Semiciclo Negativo da Tensão de Entrada</i>	54
3.3	Análise Quantitativa do Estágio de Potência.....	57
3.3.1	<i>Operação em Regime Permanente</i>	57
3.3.2	<i>Determinação do Ganho Estático</i>	58
3.3.3	<i>Variação da Razão Cíclica</i>	58
3.3.4	<i>Determinação da Ondulação de Corrente de Entrada</i>	59
3.3.5	<i>Determinação da Ondulação de Tensão no Capacitor C1</i>	61
3.3.6	<i>Análise dos Esforços de Tensão e Corrente no Conversor</i>	65
3.4	Modelagem do Circuito de Potência	68
3.5	Exemplo de Projeto	72
3.5.1	<i>Especificações e Considerações</i>	72
3.5.2	<i>Dimensionamento dos Componentes</i>	72
3.5.3	<i>Projeto do Estágio de Controle</i>	75
3.6	Rendimento Teórico	80
3.6.1	<i>Modelagem de Perdas</i>	80
3.6.2	<i>Cálculo Térmico</i>	85
3.7	Resultados de Simulação e Experimentais	85
3.8	Conclusões.....	96
 CAPÍTULO 4		
CONVERTOR CA-CC MONOFÁSICO DE CINCO NÍVEIS INTERCALADO		97
4.1	Introdução.....	97
4.2	Análise Qualitativa	97
4.2.1	<i>Topologia e Princípio de Funcionamento</i>	97
4.2.2	<i>Etapas de Operação para o Modo de Não Sobreposição</i>	100
4.2.3	<i>Etapas de Operação para o Modo de Sobreposição</i>	104
4.3	Análise Quantitativa do Estágio de Potência.....	107
4.3.1	<i>Operação em Regime Permanente</i>	107
4.3.2	<i>Determinação do Ganho Estático</i>	107
4.3.3	<i>Variação da Razão Cíclica</i>	108
4.3.4	<i>Determinação da Ondulação de Corrente de Entrada</i>	109
4.3.5	<i>Determinação da Ondulação de Tensão</i>	111
4.3.6	<i>Análise dos Esforços de Tensão e Corrente no Conversor</i>	112

4.4	Modelagem do Circuito de Potência	115
4.5	Exemplo de Projeto	116
4.5.1	<i>Especificações e Considerações</i>	116
4.5.2	<i>Dimensionamento dos Componentes</i>	116
4.5.3	<i>Projeto do Estágio de Controle</i>	119
4.6	Rendimento Teórico	120
4.7	Resultados de Simulação e Experimentais	123
4.8	Conclusões	134
CAPÍTULO 5		
CONVERSOR CA-CC MONOFÁSICO DE CINCO NÍVEIS TIPO T		136
5.1	Introdução	136
5.2	Análise Qualitativa	136
5.2.1	<i>Topologia e Princípio de Funcionamento</i>	136
5.2.2	<i>Etapas de Operação para o Modo de Não Sobreposição</i>	138
5.2.3	<i>Etapas de Operação para o Modo de Sobreposição</i>	142
5.3	Análise Quantitativa do Estágio de Potência	145
5.3.1	<i>Operação em Regime Permanente</i>	145
5.3.2	<i>Determinação do Ganho Estático</i>	145
5.3.3	<i>Variação da Razão Cíclica</i>	146
5.3.4	<i>Determinação da Ondulação de Corrente de Entrada</i>	147
5.3.5	<i>Determinação da Ondulação de Tensão</i>	150
5.3.6	<i>Análise dos Esforços de Tensão e Corrente no Conversor</i>	150
5.4	Modelagem do Circuito de Potência	154
5.5	Exemplo de Projeto	155
5.5.1	<i>Especificações e Considerações</i>	155
5.5.2	<i>Dimensionamento dos Componentes</i>	155
5.5.3	<i>Projeto do Estágio de Controle</i>	158
5.6	Rendimento Teórico	159
5.7	Resultados de Simulação e Experimentais	163
5.8	Conclusões	176
CAPÍTULO 6		
ANÁLISE COMPARATIVA DE DESEMPENHO DOS TRÊS CONVERSORES CA-CC MONOFÁSICOS ESTUDADOS		178
6.1	Introdução	178

6.2	Análise dos Principais Parâmetros dos Conversores.....	178
6.3	Análise do Rendimento	182
6.4	Análise do Peso e Volume.....	183
6.5	Análise do Desempenho Dinâmico	184
6.6	Conclusões.....	185
	CONCLUSÃO GERAL	186
	REFERÊNCIAS BIBLIOGRÁFICAS	191
	APÊNDICE A.....	197
	APÊNDICE B.....	202

LISTA DE FIGURAS

Fig. 1.1 – Topologia do conversor boost clássico com CFP.	6
Fig. 1.2 – Topologias de conversores usando a técnica de paralelismo de conversores: (a) boost em paralelo [11]; (b) boost intercalado [12-14].....	6
Fig. 1.3 – Aplicação de células de comutação PWM: (a) dois estados; (b) três estados [16]. ...	7
Fig. 1.4 – Topologia do conversor duplo boost com CFP: (a) indutor no lado CA [17];	8
Fig. 1.5 – (a) Topologia do conversor duplo boost com um interruptor [19]; (b) aplicando a célula de comutação de três estados [20].	9
Fig. 1.6 – Topologia do conversor boost <i>bridgeless</i> com CFP.	9
Fig. 1.7 – Topologia do conversor boost de três níveis.....	10
Fig. 1.8 – Configurações básicas de interruptores bidirecionais (i), (ii) e (iii).....	10
Fig. 1.9 – Topologia do conversor boost de três níveis convencional com interruptor bidirecional.	11
Fig. 1.10 – Diagrama funcional da técnica de controle por condução descontínua.	12
Fig. 1.11 – Diagrama funcional da técnica de controle por condução crítica.	12
Fig. 1.12 – Diagrama funcional do controle por histerese.....	13
Fig. 1.13 – Diagrama funcional do controle por corrente de pico.....	13
Fig. 1.14 – Diagrama funcional do controle por corrente média.....	14
Fig. 1.15 – Diagrama funcional do autocontrole.....	15
Fig. 1.16 – Diagrama funcional do controle em cada ciclo.....	15
Fig. 1.17 – Geração da célula de comutação Tipo T.	17
Fig. 1.18 – Geração da célula de comutação Tipo T de 3 enrolamentos.....	18
Fig. 1.19 – Célula de comutação multinível de n estados.	19
Fig. 1.20 – Configuração básica de um <i>no-break on-line</i> com CFP.	19
Fig. 1.21 – Configuração de um <i>no-break on-line</i> não isolado com CFP.	20
Fig. 1.22 – Topologia do conversor CA-CC <i>boost</i> de três níveis convencional com CFP.	21
Fig. 1.23 – Topologia do conversor CA-CC <i>boost</i> intercalado de três níveis com CFP.....	21
Fig. 1.24 – Topologia do conversor CA-CC <i>boost</i> de cinco níveis aplicado a célula de comutação tipo T.	21
Fig. 2.1 – Arquitetura típica de um FPGA.	25
Fig. 2.2 - Estrutura da célula lógica do FPGA EP2C20F484C7.	26
Fig. 2.3 – Estrutura do bloco de multiplicação do FPGA EP2C20F484C7.	27
Fig. 2.4 – Rede de distribuição de <i>clock</i>	27

Fig. 2.5 – Placa de desenvolvimento <i>Cyclone II Starter Kit</i> da Altera.....	30
Fig. 2.6 – Diagrama de blocos da placa de desenvolvimento [61].....	30
Fig. 2.7 – (a) Sistema de controle analógico. (b) Sistema de controle digital.....	31
Fig. 2.8 – Discretização de um sinal contínuo $u(t)$ em sinal discreto $u(kT)$	32
Fig. 2.9– Circuitos de interface dos conversores A/D.....	33
Fig. 2.10 – Circuitos de interface de medição das tensões de saída.....	34
Fig. 2.11 – Circuitos de interface de medição da corrente de entrada.....	35
Fig. 2.12 – Conversor D/A tipo R-2R de 8 bits.....	35
Fig. 2.13 – Diagrama funcional básico do controle por corrente média de entrada para CFP e suas principais formas de onda.....	36
Fig. 2.14 – Diagrama funcional do OCC e suas principais formas de onda.....	36
Fig. 2.15 – Diagrama funcional do controle ICC e suas principais formas de onda.....	37
Fig. 2.16 – Principais formas de onda do ICC para CFP.....	38
Fig. 2.17 – Diagrama mostrando a correspondência entre um caminho de pontos na faixa primária do plano s e o caminho correspondente no círculo unitário do plano z	40
Fig. 2.18 – Sistema discreto em malha fechada.....	41
Fig. 2.19 – Diagramas mostrando o mapeando do plano s para o plano z e do plano z para o plano w	42
Fig. 2.20 – Diagrama de blocos completo do controle digital realizado no Quartus II <i>Web Edition</i>	45
Fig. 2.21 – Diagrama de blocos do gerenciamento de <i>clock</i> e geração das portadoras.....	46
Fig. 2.22 – Diagrama de blocos do compensador digital e tensão de controle.....	47
Fig. 2.23 – Diagrama de blocos dos multiplicadores e moduladores PWM.....	47
Fig. 2.24 – Esquemático básico do circuito de <i>driver</i> utilizado para o acionamento dos interruptores.....	48
Fig. 3.1 – Topologia do conversor CA-CC de três níveis convencional com interruptores e diodos em paralelo.....	51
Fig. 3.2 – Formas de onda da tensão de entrada e tensão V_{AO} para o conversor monofásico de três níveis.....	52
Fig. 3.3 – 1ª etapa de operação do conversor para o semiciclo positivo da tensão de entrada.....	53
Fig. 3.4 – 2ª etapa de operação do conversor para o semiciclo positivo da tensão de entrada.....	53
Fig. 3.5 – Principais formas de onda idealizadas para o semiciclo positivo da tensão de entrada.....	54
Fig. 3.6 – 1ª etapa de operação do conversor para o semiciclo negativo da tensão de entrada.....	

.....	55
Fig. 3.7 – 2ª etapa de operação do conversor para o semiciclo negativo da tensão de entrada.	55
.....	55
Fig. 3.8 – Principais formas de onda idealizadas para o modo de operação de sobreposição..	56
Fig. 3.9 – Circuito do conversor de três níveis para o semiciclo positivo da tensão de entrada.	57
.....	57
Fig. 3.10 – Variação da razão cíclica em função do tempo para um período da tensão de entrada.	59
.....	59
Fig. 3.11 – Variação da ondulação da corrente parametrizada para meio período da rede.	60
Fig. 3.12 – Circuito equivalente do estágio de saída do conversor para o semiciclo positivo da tensão de entrada.	62
.....	62
Fig. 3.13 – Forma de onda da corrente no capacitor de filtro C1 para um período da rede.	62
Fig. 3.14 – Forma de onda das tensões parametrizadas nos capacitores C1 e C2 e da tensão de saída total parametrizada para um período da rede.	65
.....	65
Fig. 3.15 – Diagrama de blocos do controle do conversor por ICC.	69
Fig. 3.16 – Modelo do conversor para determinação da função de transferência $G(s)$.	70
Fig. 3.17 – Diagrama de Bode da função de transferência do compensador.	71
Fig. 3.18 – Diagrama de blocos do controle do conversor.	75
Fig. 3.19 – Diagrama de Bode da função de transferência FTMA(s). (a) Ganho, (b) Fase.	77
Fig. 3.20 – Diagrama de Bode da função de transferência C(s). (a) Ganho, (b) Fase.	78
Fig. 3.21 – Diagrama de Bode da função de transferência FTLA(s). (a) Ganho, (b) Fase.	78
Fig. 3.22 – Curva de saída característica de saída do IGBT IRGP50B60PD.	82
Fig. 3.23 – Formas de onda da tensão e corrente de entrada.	86
Fig. 3.24 – Formas de onda da tensão e da corrente de saída do conversor para plena carga.	86
Fig. 3.25 – Formas de onda da tensão e corrente no indutor L_b na frequência da rede.	87
Fig. 3.26 – Formas de onda da tensão e corrente no indutor L_b na frequência de comutação.	87
Fig. 3.27 – Formas de onda da tensão e corrente no interruptor S1 na frequência da rede.	88
Fig. 3.28 – Formas de onda da tensão e corrente no interruptor S1 na frequência de comutação.	88
.....	88
Fig. 3.29 – Formas de onda da tensão e corrente no diodo D1 na frequência da rede.	89
Fig. 3.30 – Formas de onda da tensão e corrente no diodo D1 na frequência de comutação.	89
Fig. 3.31 – Formas de onda das tensões de saída e corrente de saída para um degrau de carga de 50% para carga nominal.	90
.....	90
Fig. 3.32 – Formas de onda dos principais sinais de controle do conversor: v_m , v_c e $V_{iinamost}$.	90
Fig. 3.33 – Vista geral do protótipo implementado em laboratório usando FPGA.	91
Fig. 3.34 – Resultados experimentais: 1. Tensão de entrada (100V/div); 2. Corrente de entrada (50A/div); 3. Tensão de saída V_{o1} (100V/div); 4. Tensão de saída V_{o2} (100V/div); 5. Tensão de saída total (100V/div). Tempo (5ms/div).	91

Fig. 3.35 – Espectro harmônico da corrente de entrada.	92
Fig. 3.36 – Formas de onda sobre L_b . (a) na frequência da rede: 1. Tensão (100V/div), 2. Corrente (50A/div), tempo (5ms/div); (b) na frequência de comutação: 1. Tensão (100V/div), 2. Corrente (20A/div), tempo (20 μ s/div).	92
Fig. 3.37 – Formas de onda no interruptor S1. (a) na frequência da rede: 1. Tensão (100V/div); 2. Corrente (10A/div); tempo (5ms/div). (b) na frequência de comutação: 1. Tensão (100V/div); 2. Corrente (20A/div), tempo (20 μ s/div)..	93
Fig. 3.38 – Detalhe da comutação (a) no acionamento do interruptor (100V/div, 10A/div); (b) no bloqueio do interruptor (100V/div, 10A/div). Tempo (200ns/div).	93
Fig. 3.39 – Formas de onda no diodo D1. (a) na frequência da rede: 1. Tensão (100V/div); 2. Corrente (5A/div); tempo (5ms/div). (b) na frequência de comutação: 1. Tensão (100V/div); 2. Corrente (5A/div); tempo (20 μ s/div).	94
Fig. 3.40 – Detalhe da comutação (a) no acionamento do diodo (100V/div, 5A/div); (b) no bloqueio do interruptor (100V/div, 5A/div). Tempo (500ns/div).	94
Fig. 3.41 – Formas de onda das tensões de saída em cada capacitor, no barramento total e corrente de carga (10A/div, 100V/div, 100V/div, 100V/div, 200ms/div).	95
Fig. 3.42 – Formas de onda dos principais sinais de controle do retificador: v_m , $v_{isample}$ e v_c	95
Fig. 3.43 – Curva de rendimento do conversor de três níveis convencional.	96
Fig. 4.1 - (a) conversor de três níveis convencional; (b) célula de comutação intercalada; (c) conversor de cinco níveis intercalado obtido.	98
Fig. 4.2 – Topologia do conversor monofásico de cinco níveis intercalado proposto.	98
Fig. 4.3 – Modos de operação do conversor em um período da rede.	99
Fig. 4.4 – Formas de onda da tensão de entrada e tensões V_{AO} e $V_{A'O}$ para o conversor de cinco níveis intercalado.	100
Fig. 4.5 - Formas de onda da tensão de entrada e tensão total ($V_{AO} + V_{A'O}$) para o conversor de cinco níveis intercalado.	100
Fig. 4.6 – 1ª etapa de operação.	101
Fig. 4.7 – 2ª e 4ª etapa de operação.	101
Fig. 4.8 – 3ª etapa de operação.	102
Fig. 4.9 – Principais formas de onda idealizadas para o modo de operação de não sobreposição.	103
Fig. 4.10 – 1ª e 3ª etapa de operação.	104
Fig. 4.11 – 2ª etapa de operação.	105
Fig. 4.12 – 4ª etapa de operação.	105
Fig. 4.13 – Principais formas de onda idealizadas para o modo de operação de sobreposição.	106
Fig. 4.14 – Variação da razão cíclica em função do tempo para um período da tensão de entrada.	108

Fig. 4.15 – Variação da ondulação da corrente parametrizada para meio período da rede....	110
Fig. 4.16 – Forma de onda da corrente no capacitor de filtro C1 para um período da rede...	111
Fig. 4.17 – Diagrama de blocos do controle do conversor por ICC.....	115
Fig. 4.18 – Diagrama de blocos do controle do conversor.....	119
Fig. 4.19 – Formas de onda da tensão e corrente de entrada.....	123
Fig. 4.20 – Formas de onda da tensão e da corrente de saída do conversor para plena carga.	124
Fig. 4.21 – Formas de onda da tensão e corrente no indutor L_{b1} na frequência da rede.	124
Fig. 4.22 – Formas de onda da tensão e corrente nos indutores e corrente de entrada na frequência de comutação:.....	125
Fig. 4.23 – Formas de onda da tensão e corrente no interruptor S1 na frequência da rede....	125
Fig. 4.24 – Formas de onda da tensão e corrente no interruptor S1 na frequência de comutação:.....	126
Fig. 4.25 – Formas de onda da tensão e corrente no diodo D1 na frequência da rede.....	126
Fig. 4.26 – Formas de onda da tensão e corrente no diodo D1 na frequência de comutação:	127
Fig. 4.27 – Formas de onda das tensões de saída e corrente de saída para um degrau de carga de 50% para carga nominal.	127
Fig. 4.28 – Formas de onda dos principais sinais de controle do retificador: v_m , v_c e $V_{iinamost}$	128
Fig. 4.29 – Vista geral do protótipo implementado em laboratório.	128
Fig. 4.30 – Resultados experimentais: 1. Tensão de entrada (100V/div); 2. Corrente de entrada (50A/div); 3. Corrente em L_{b1} (100V/div); 4. Tensão de saída V_{o1} (100V/div); 5. Tensão de saída V_{o2} (100V/div); 6. Tensão de saída total (100V/div). Tempo (5ms/div).	129
Fig. 4.31 – Espectro harmônico da corrente de entrada.	129
Fig. 4.32 – Formas de onda sobre L_{b1} na frequência da rede: 1. Tensão (100V/div); 2. Corrente (20A/div); Tempo (5ms/div).	130
Fig. 4.33 – Formas de onda nos indutores L_{b1} e L_{b2} e da corrente de entrada na frequência de comutação: 1. V_{Lb1} (100V/div), 2. V_{Lb2} (100V/div), 3. I_{Lb1} (10A/div), 4. I_{Lb2} (10A/div), 5. I_{in} (10A/div), tempo (20 μ s/div). (a) modo de não-sobreposição; (b) modo de sobreposição	130
Fig. 4.34 – Formas de onda sobre S1 na frequência da rede: 1. Tensão (200V/div); 2. Corrente (20A/div); Tempo (5ms/div)	131
Fig. 4.35 – Formas de onda no interruptor S1 na frequência de comutação: 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (20 μ s/div). (a) modo de não-sobreposição; (b) modo de sobreposição.	131
Fig. 4.36 – Detalhe da comutação (a) no acionamento do interruptor (50V/div, 5A/div); (b) no bloqueio do interruptor (50V/div, 5A/div). Tempo (200ns/div).	132
Fig. 4.37 – Formas de onda sobre D1 na frequência da rede: 1. Tensão (200V/div); 2.	

Corrente (10A/div); Tempo (5ms/div).	132
Fig. 4.38 – Formas de onda no diodo D1 na frequência de comutação: 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (20 μ s/div). (a) modo de não-sobreposição; (b) modo de sobreposição.	132
Fig. 4.39 – Detalhe da comutação (a) no acionamento do diodo (50V/div, 5A/div); (b) no bloqueio do diodo (50V/div, 5A/div). Tempo (200ns/div).	133
Fig. 4.40 – Formas de onda das tensões de saída em cada capacitor, no barramento total e corrente de carga para um degrau de carga de 50% para carga nominal (50V/div, 50V/div, 100V/div, 5A/div, 200ms/div).....	133
Fig. 4.41 – Formas de onda dos principais sinais de controle do conversor: $V_{isample}$, V_m e V_c	134
Fig. 4.42 – Curva de rendimento do conversor intercalado de cinco níveis.....	134
Fig. 5.1 - (a) conversor de três níveis convencional; (b) célula de comutação tipo T; (c) conversor de cinco níveis tipo T obtido.	137
Fig. 5.2 – Topologia do conversor monofásico de cinco níveis tipo T proposto.	137
Fig. 5.3 – Formas de onda da tensão de entrada e tensão V_{AO} para o conversor monofásico de cinco níveis.	138
Fig. 5.4 – 1ª etapa de operação.	139
Fig. 5.5 – 2ª e 4ª etapa de operação.	139
Fig. 5.6 – 3ª etapa de operação.	140
Fig. 5.7 – Principais formas de onda idealizadas para o modo de operação de não sobreposição.	141
Fig. 5.8 – 1ª e 3ª etapa de operação.	142
Fig. 5.9 – 2ª etapa de operação.	143
Fig. 5.10 – 4ª etapa de operação.	143
Fig. 5.11 – Principais formas de onda idealizadas para o modo de operação de sobreposição.	144
Fig. 5.12 – Variação da razão cíclica em função do tempo para um período da tensão de entrada.	147
Fig. 5.13 – Variação da ondulação da corrente parametrizada para meio período da rede.	148
Fig. 5.14 – Forma de onda da corrente no capacitor de filtro C1 para um período da rede.	150
Fig. 5.15 – Diagrama de blocos do controle do conversor por ICC.	154
Fig. 5.16 – Diagrama de blocos do controle do conversor.	159
Fig. 5.17 – Formas de onda da tensão e corrente de entrada.	164
Fig. 5.18 – Formas de onda da tensão e da corrente de saída do conversor para plena carga.	164
Fig. 5.19 – Formas de onda da tensão e corrente no indutor na frequência da rede.	165
Fig. 5.20 – Formas de onda da tensão e corrente no indutor na frequência de comutação: ...	165
Fig. 5.21 – Formas de onda da tensão e corrente no enrolamento T1 na frequência da rede.	166

Fig. 5.22 – Formas de onda da tensão e corrente no enrolamento T1 na frequência de comutação:.....	166
Fig. 5.23 – Formas de onda da tensão e corrente no interruptor S1 na frequência da rede....	167
Fig. 5.24 – Formas de onda da tensão e corrente no interruptor S1 na frequência de comutação:.....	167
Fig. 5.25 – Formas de onda da tensão e corrente no diodo D1 na frequência da rede.....	168
Fig. 5.26 – Formas de onda da tensão e corrente no diodo D1 na frequência de comutação:	168
Fig. 5.27 – Formas de onda das tensões de saída e corrente de saída para um degrau de carga de 50% para carga nominal.	169
Fig. 5.28 – Formas de onda dos principais sinais de controle do retificador: v_m , v_c e $V_{iinamost}$	169
Fig. 5.29 – Vista geral do protótipo implementado em laboratório usando FPGA.....	170
Fig. 5.30 – Resultados experimentais: 1. Tensão de entrada (100V/div); 2. Corrente de entrada (50A/div); 3. Tensão de saída V_{o1} (100V/div); 4. Tensão de saída V_{o2} (100V/div); 5. Tensão de saída total (100V/div). Tempo (5ms/div).....	170
Fig. 5.31 – Espectro harmônico da corrente de entrada.	171
Fig. 5.32 – Formas de onda sobre L_b na frequência da rede: 1. Tensão (100V/div); 2. Corrente (50A/div); Tempo (5ms/div).	171
Fig. 5.33 – Formas de onda no indutor L_b na frequência de comutação: (a) modo de não-sobreposição - 1. Tensão (100V/div), 2. Corrente (20A/div), tempo (10 μ s/div); (b) modo de sobreposição – 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (10 μ s/div).....	172
Fig. 5.34 – Formas de onda no enrolamento T1 na frequência de comutação: 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (10 μ s/div). (a) modo de não-sobreposição; (b) modo de sobreposição	172
Fig. 5.35 – Formas de onda sobre S1 na frequência da rede: 1. Tensão (200V/div); 2. Corrente (20A/div); Tempo (5ms/div).	173
Fig. 5.36 – Formas de onda no interruptor S1 na frequência de comutação: (a) modo de não-sobreposição - 1. Tensão (100V/div), 2. Corrente (20A/div), tempo (10 μ s/div); (b) modo de sobreposição – 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (10 μ s/div).....	173
Fig. 5.37 – Detalhe da comutação (a) no acionamento do interruptor (50V/div, 5A/div); (b) no bloqueio do interruptor (50V/div, 10A/div). Tempo (200ns/div).	173
Fig. 5.38 – Formas de onda sobre D1 na frequência da rede: 1. Tensão (200V/div); 2. Corrente (20A/div); Tempo (5ms/div)	174
Fig. 5.39 – Formas de onda no diodo D1 na frequência de comutação: (a) modo de não-sobreposição - 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (10 μ s/div); (b) modo de sobreposição – 1. Tensão (100V/div), 2. Corrente (20A/div), tempo (10 μ s/div).....	174
Fig. 5.40 – Detalhe da comutação (a) no acionamento do diodo (50V/div, 20A/div); (b) no bloqueio do interruptor (50V/div, 10A/div). Tempo (200ns/div).	175

Fig. 5.41 – Formas de onda das tensões de saída em cada capacitor, no barramento total e corrente de carga para um degrau de carga de 50% para carga nominal (50V/div, 50V/div, 100V/div, 5A/div, 100ms/div).....	175
Fig. 5.42 – Formas de onda dos principais sinais de controle do conversor: v_m , $v_{isample}$ e v_c .	176
Fig. 5.43 – Curva de rendimento do conversor de cinco níveis.	176
Fig. 6.1 – Topologias dos conversores: (a) três níveis convencional; (b) cinco níveis intercalado; (c) cinco níveis tipo T.	179
Fig. 6.2 – Protótipos dos conversores: (a) três níveis convencional; (b) cinco níveis intercalado; (c) cinco níveis tipo T.	180
Fig. 6.3 – Curvas de rendimento dos três conversores estudados.	182
Fig. 6.4 – Comparação das perdas nos três conversores estudados.....	183
Fig. 6.5 – Comparação do volume total nos elementos magnéticos e peso nos três conversores.	184
Fig. 6.6 – Degrau de carga de 50% para 100% da carga nominal: (a) conversor de três níveis convencional (10A/div, 100V/div, 100V/div, 100V/div, 200ms/div); (b) conversor de cinco níveis intercalado (50V/div, 50V/div, 100V/div, 5A/div, 200ms/div); (c) conversor de cinco níveis tipo T (50V/div, 50V/div, 100V/div, 5A/div, 100ms/div).....	185
Fig. B.1 - Esquemático da placa de potência dos conversores.....	203
Fig. B.2 - Esquemático da placa de controle dos conversores.....	204
Fig. B.3 - Esquemático da placa da fonte auxiliar.....	205

LISTA DE TABELAS

Tabela 2.1 – Resumo das características da placa <i>Cyclone II Starter Kit</i> da Altera.....	29
Tabela 3.1 – Especificações do projeto.	72
Tabela 3.2 – Parâmetros adotados do projeto.....	72
Tabela 3.3 – Resumo do projeto do indutor L_b	73
Tabela 3.4 – Parâmetros necessários para o cálculo das perdas do indutor.	80
Tabela 3.5 – Especificação do IGBT IRGP35B60PD.....	81
Tabela 3.6 – Especificação dos diodos.....	84
Tabela 4.1 – Especificações do projeto.	116
Tabela 4.2 – Parâmetros adotados do projeto.....	116
Tabela 4.3 – Resumo do projeto do indutor L_b	117
Tabela 4.4 – Parâmetros necessários para o cálculo das perdas do indutor.	120
Tabela 5.1 – Especificações do projeto.	155
Tabela 5.2 – Parâmetros adotados do projeto.....	155
Tabela 5.3 – Resumo do projeto do indutor L_b	156
Tabela 5.4 – Resumo do projeto do autotransformador.	157
Tabela 5.5 – Parâmetros necessários para o cálculo das perdas do indutor.	160
Tabela 5.6 – Parâmetros necessários para cálculo das perdas do autotransformador.	160
Tabela 6.1 – Parâmetros de projeto.	178
Tabela 6.2 – Comparativa entre os resultados teóricos, de simulação e experimentais obtidos entre todos os conversores.....	180
Tabela 6.3 – Desempenho dos conversores.....	181
Tabela 6.4 – Comparativa entre os pesos e volumes dos elementos magnéticos dos conversores.....	183

SIMBOLOGIA

Símbolos utilizados no trabalho:

Símbolo	Significado	Unidade
β	Relação entre a tensão de saída e a tensão de pico da entrada	-
Δ	Efeito pelicular dos condutores	cm
$\Delta\Phi$	Variação de fluxo	Wb
ΔB	Variação da densidade do fluxo magnético	T
ΔI_{in}	Variação da corrente de entrada	Ampère
ΔI_{C1}	Variação da corrente no capacitor C1	Ampère
ΔI_L	Ondulação da corrente do indutor L	Ampère
ΔQ	Variação de carga no capacitor	Coulomb
ΔT_{L1}	Elevação de temperatura no indutor L1	°C
ΔT_{T1}	Elevação de temperatura no enrolamento T1	°C
ΔV	Variação de tensão sobre o capacitor	Volts
ΔV_o	Variação da tensão de saída	Volt
η	Rendimento do conversor	-
θ_1	Ângulo de transição entre os modos de operação do conversor	rad
μ_o	Permeabilidade do vácuo	H / m
ρ	Resistividade do cobre	$\Omega \cdot cm$
ω_p	Frequência do pólo	rad / s
ω_z	Frequência do zero	rad / s
A_e	Área da janela da seção de um núcleo magnético	cm^2
$A_e A_w$	Produto das áreas de um núcleo magnético	cm^4
A_w	Área da janela de um núcleo magnético	cm^2
B	Densidade de fluxo magnético	T
$C(s)$	Função de transferência do compensador	
D	Razão cíclica	-
d_{fio}	Diâmetro do fio	cm
$\frac{di_c}{dt}$	Derivada da corrente de recuperação reversa do diodo intrínseco do IGBT	$\frac{A}{\mu s}$
f_c	Frequência de cruzamento	Hertz
f_{L_b}	Frequência de operação do indutor	Hertz
f_r	Frequência da rede de alimentação	Hertz

Símbolo	Significado	Unidade
f_s	Frequência de comutação dos interruptores	Hertz
f_{T1}	Frequência de operação dos transformadores	Hertz
f_{zi}	Frequência do zero do compensador de corrente	Hertz
f_{zv}	Frequência do zero do compensador de tensão	Hertz
$f_{p_{in}}$	Fator de potência da entrada	-
$FTLA(s)$	Função de transferência de laço aberto do controle	-
$FTMA(s)$	Função de transferência de malha aberta do controle	-
$G(s)$	Função de transferência da planta	-
G_{est}	Ganho estático do conversor	-
G_i	Ganho da malha de corrente	-
$G_{pv}(s)$	Função de transferência da malha de tensão	-
$G_v(s)$	Função de transferência do compensador de tensão	-
$H_1(s)$	Ganho do sensor de tensão de saída	-
$H_2(s)$	Função de transferência do modulador MOCC	
I_{in}	Corrente de entrada	Ampère
$i_{1efC1}(\theta)$	Corrente eficaz instantânea no capacitor C1 para razão cíclica menor que 0,5	Ampère
$i_{2efC1}(\theta)$	Corrente eficaz instantânea no capacitor C1 para razão cíclica maior que 0,5	Ampère
I_C	Corrente de coletor do IGBT	Ampère
$i_{C1}(t)$	Corrente instantânea no capacitor C1	Ampère
$i_{C2}(t)$	Corrente instantânea no capacitor C2	Ampère
$i_{D1}(t)$	Corrente instantânea no diodo D1	Ampère
$i_{D2}(t)$	Corrente instantânea no diodo D2	Ampère
$i_{D3}(t)$	Corrente instantânea no diodo D3	Ampère
$i_{D4}(t)$	Corrente instantânea no diodo D4	Ampère
I_{efC1}	Corrente eficaz no capacitor C1	Ampère
I_{efD1}	Corrente eficaz no diodo D1	Ampère
I_{efin}	Corrente eficaz de entrada	Ampère
I_{efL_b}	Corrente eficaz no indutor	Ampère
I_{efS}	Corrente eficaz através do interruptor S	Ampère
I_{efS1}	Corrente eficaz através do interruptor S1	Ampère
$i_{efT1}(t)$	Corrente eficaz instantânea no enrolamento T1	Ampère
I_{efT1}	Corrente eficaz no enrolamento T1 do transformador	Ampère

Símbolo	Significado	Unidade
I_F	Corrente de condução direta dos diodos	Ampère
I_L	Corrente no indutor L	Ampère
I_m	Corrente mínima do indutor L	Ampère
I_M	Corrente máxima do indutor L	Ampère
I_{mdD1}	Corrente média no diodo D1	Ampère
I_{mdS1}	Corrente média através do interruptor S1	Ampère
I_O	Corrente de saída do conversor	Ampère
I_p	Corrente de pico da entrada	Ampère
I_{pD1}	Corrente de pico no diodo D1	Ampère
I_{pL_b}	Corrente de pico sobre o indutor	Ampère
I_{pS}	Corrente de pico no interruptor S	Ampère
I_{pS1}	Corrente de pico no interruptor S1	Ampère
I_{pT1}	Corrente de pico no enrolamento T1 do transformador	Ampère
$i_r(\theta)$	Corrente instantânea de entrada	Ampère
I_{rr}	Corrente de recuperação do diodo intrínseco do IGBT	Ampère
I_{ref}	Corrente de referência do controle	Ampère
$i_{S1}(t)$	Corrente instantânea no interruptor S1	Ampère
$i_{S2}(t)$	Corrente instantânea no interruptor S2	Ampère
I_{T1}	Corrente no enrolamento T1 do transformador	Ampère
I_{T2}	Corrente no enrolamento T2 do transformador	Ampère
I_{T3}	Corrente no enrolamento T3 do transformador	Ampère
I_{T4}	Corrente no enrolamento T4 do transformador	Ampère
$i_{T1}(t)$	Corrente instantânea no enrolamento T1 do transformador	Ampère
J	Densidade de corrente	A/cm^2
K_E	Coeficiente de perdas por correntes parasitas	-
K_H	Coeficiente de perdas por histerese	-
K_o	Ganho do sensor de tensão	-
k_p	Fator de utilização do primário	-
k_t	Fator de topologia	-
k_u	Fator de utilização de um núcleo magnético	-
K_{vi}	Ganho do compensador de tensão	dB
k_w	Fator de utilização da janela de um núcleo magnético	-

Símbolo	Significado	Unidade
l_g	Entreferro de um núcleo magnético	cm
MLT	Comprimento médio de uma espira	cm
N_{fios}	Número de fios em paralelo	-
N_{L_b}	Número de espiras do indutor L_b	-
N_{T1}	Número de espiras do enrolamento T1	-
P_{in}	Potência média de entrada	Watt
P_{condD1}	Perda por condução do diodo D1	Watt
P_{condS1}	Perda por condução do interruptor S1	Watt
P_{cuL_b}	Perdas no cobre do indutor	Watt
P_{cuT1}	Perdas no cobre do transformador	Watt
P_{lim}	Potência limite para o conversor	Watt
P_{magL_b}	Perdas magnéticas no núcleo de ferrite do indutor	Watt
P_{magT1}	Perdas magnéticas no núcleo de ferrite do transformador	Watt
P_o	Potência média de saída	Watt
P_{offS1}	Perda por bloqueio do interruptor S1	Watt
P_{onS1}	Perda por entrada em condução do interruptor S1	Watt
P_t	Perdas totais nos semicondutores	Watt
P_{total}	Perdas totais do conversor	Watt
$P_{totalS1}$	Perdas totais do interruptor S1	Watt
R_{thcs}	Resistência térmica cápsula-dissipador	$^{\circ}C/W$
R_{thda}	Resistência térmica entre o dissipador e o ambiente	$^{\circ}C/W$
R_{thjc}	Resistência térmica junção-cápsula	$^{\circ}C/W$
R_{thL1}	Resistência térmica do núcleo do indutor L1	$^{\circ}C/W$
R_{thT1}	Resistência térmica do núcleo do transformador	$^{\circ}C/W$
T	Período de comutação dos interruptores	s
T_a	Temperatura ambiente	$^{\circ}C$
T_j	Temperatura da junção	$^{\circ}C$
T_{on}	Período de condução dos interruptores	s
V_c	Tensão de controle	Volt
V_{C1}	Tensão sobre o capacitor C1	Volt
V_{C2}	Tensão sobre o capacitor C2	Volt
V_{CE}	Tensão coletor-emissor IGBT	Volt

Símbolo	Significado	Unidade
V_{CEO}	Tensão de limiar do IGBT	Volt
V_{CEN}	Tensão de saturação do IGBT	Volt
V_{D1}	Tensão sobre o diodo D1	Volt
V_e	Volume do núcleo de ferrite	cm^3
V_F	Queda de tensão direta	Volt
V_{GS}	Tensão <i>gate-source</i>	Volt
V_{in}	Tensão de entrada	Volt
V_L	Tensão no indutor L	Volt
V_o	Tensão de saída	Volt
V_{o1}	Tensão de saída 1	Volt
V_p	Tensão de pico de entrada	Volt
V_{pk}	Amplitude da onda dente de serra	Volt
V_{S1}	Tensão sobre o interruptor S1	Volt
V_{T1}	Tensão sobre o enrolamento T1	Volt

Acrônimos e Abreviaturas:

Símbolo	Significado
CC	Corrente Contínua
CA	Corrente Alternada
IGBT	<i>Insulated Gate Bipolar Transistor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
PFC	<i>Power Factor correction</i>
PWM	<i>Pulse Width Modulation</i>
THD	<i>Total Harmonic Distortion</i>
UFC	Universidade Federal do Ceará
UPS	<i>Uninterruptible Power System</i>

INTRODUÇÃO GERAL

A atual sociedade de consumo, aliada ao crescimento global econômico, social e de avanços tecnológicos e científicos, apresenta uma grande e crescente demanda por equipamentos que processam eletronicamente a energia elétrica. Dessa forma, esses equipamentos processadores de energia elétrica podem ser aplicados, dentre outros lugares, em: plantas industriais; sistemas de transporte de massa; no uso doméstico, comercial e hospitalar; em sistemas de informação e telecomunicações.

É na utilização desses equipamentos que a Eletrônica de Potência vem se destacando com um importante lugar no desenvolvimento de novas tecnologias, onde as pesquisas buscam a concepção de novas topologias de conversores estáticos, técnicas de controle e/ou técnicas de comutação que apresentem cada vez mais vantagens de ordem prática, baixo peso, baixo custo, pequeno volume e elevada eficiência associada com elevada robustez e confiabilidade e, que interfiram de forma mínima nas fontes de energia e demais equipamentos.

Um equipamento que se destaca dentro da eletrônica de potência por sua capacidade de fornecer energia elétrica de forma adequada e com qualidade para cargas críticas, mesmo com os distúrbios e interrupções da tensão de fornecimento da concessionária de energia elétrica, é o Sistema de Alimentação de Potência Ininterrupta, tradução do nome em inglês *Uninterruptible Power System* (UPS), definida por [1] e conhecida popularmente no Brasil como *No-break*, mesmo nome adotado pela norma brasileira [2]. Esses equipamentos podem ser compostos por unidades monofásicas ou trifásicas. Por serem ideais para estes tipos de cargas, a demanda por sistemas *no-break* tanto no Brasil como no mundo é grande. Com essa demanda se desenvolveu uma forte e grande indústria para esse tipo de equipamento.

Os *no-breaks*, segundo [2, 3], podem ser classificados em três tipos: *On-line*, Interativo e *Off-line*. O *no-break* do tipo *on-line* é amplamente reconhecido como uma topologia superior em desempenho, condicionamento de energia e proteção à carga, sendo o mais indicado para cargas críticas por processar energia com qualidade durante todo seu funcionamento [4]. Basicamente, um *no-break on-line* com correção de fator de potência, apresenta um estágio retificador de entrada (conversão CA-CC), estágio pré-regulador, banco de baterias, um estágio de saída composto por um inversor (conversão CC-CA) e *by-pass*.

Diversas topologias de conversores estáticos já foram estudadas e têm sido empregadas como estágios retificadores e pré-reguladores com elevado fator de potência em *no-breaks*. Paralelo a isso, diferentes técnicas de controle e/ou comutação têm sido utilizadas.

Outro fato que merece destaque são as mudanças e evoluções crescentes em outras áreas da engenharia, especialmente na eletrônica digital. Esta vem disponibilizando ferramentas e componentes que têm colaborado no controle de conversores estáticos. O uso do controle digital em microcontroladores como o PIC, dsPIC, DSP e FPGA, dentre outros, vêm assumindo um importante papel nas aplicações que envolvem o processamento eletrônico de energia, incluindo os *no-breaks*.

Dessa forma, a presente tese tem por objetivo apresentar duas novas topologias de conversores CA-CC monofásicos com aplicação voltada ao estágio de entrada de um *no-break*, onde uma topologia dita clássica ainda é adicionada as outras duas para realizar uma análise comparativa entre esses três tipos de topologias, capazes de operar com elevado fator de potência e baixa distorção harmônica da corrente de entrada. O controle utilizado será baseado em técnicas digitais e implementado com o uso de um FPGA.

São estudados os conversores monofásicos CA-CC de três níveis convencional, de cinco níveis tipo T e de cinco níveis intercalados, cujas exigências são:

- Fluxo de potência unidirecional;
- Tensão de saída regulada;
- Filtro de saída capacitivo;
- Ausência de indutores de baixa frequência;
- Sem isolamento.

Além disso, a presente tese tem como objetivo o estudo e implementação, por meio de técnica de controle digital via FPGA, do controle dos conversores CA-CC monofásicos, visando os seguintes aspectos:

- Regulação da tensão total de saída;
- Equilíbrio das tensões de saída;
- Alto fator de potência.

Esse trabalho segue a seguinte estrutura:

No Capítulo 1, apresentam-se as principais topologias e técnicas de controle utilizadas para correção do fator de potência. É apresentada a motivação do trabalho junto com as topologias de conversores CA-CC a serem analisadas.

No Capítulo 2, apresentam-se noções básicas de conceitos a respeito do controlador FPGA utilizado, circuitos de interface do controle com a potência, a técnica de controle adotada com noções básicas, métodos convencionais para projetos em sistemas de controle digital e programação do controle adotado no FPGA utilizado.

Nos Capítulos 3, 4 e 5 são realizados os estudos teóricos dos conversores CA-CC monofásico de três níveis convencional (Capítulo 3), de cinco níveis intercalado (Capítulo 4) e o de cinco níveis tipo T (Capítulo 5) apresentando o princípio de funcionamento, as equações que descrevem os esforços de tensão e corrente nos componentes de cada topologia, a modelagem dinâmica dos conversores, a modelagem de perdas e rendimento teórico, exemplos de projetos e resultados de simulação e experimental.

No Capítulo 6, é realizada uma análise comparativa entre os três conversores monofásicos estudados anteriormente, apresentando uma análise do rendimento, peso e volume e desempenho dinâmico.

Por fim, são apresentadas as principais conclusões do presente trabalho e as referências bibliográficas utilizadas.

CAPÍTULO 1

CONVERSORES MONOFÁSICOS CA-CC COM CORREÇÃO DO FATOR DE POTÊNCIA: TOPOLOGIAS E TÉCNICAS DE CONTROLE

1.1 Introdução

Um baixo fator de potência na entrada de uma fonte de alimentação devido a alta distorção harmônica na corrente de entrada pode causar uma série de desvantagens como [5]:

- A máxima potência ativa absorvível da rede é fortemente limitada pelo fator de potência;
- As harmônicas de corrente exigem um sobredimensionamento da instalação elétrica e dos transformadores de distribuição, além de aumentar as perdas;
- A componente de 3ª harmônica da corrente, em sistema trifásico com neutro, pode ser muito maior do que o valor nominal;
- O achatamento da onda de tensão, devido ao pico da corrente e da 5ª harmônica, além da distorção da forma de onda, pode causar mal funcionamento de outros equipamentos conectados à rede;
- As componentes harmônicas podem provocar ressonâncias no sistema de potência, levando a picos de tensão e corrente, podendo danificar equipamentos conectados à rede.

Para resolver os problemas que um baixo fator de potência pode causar, existem dois tipos de soluções para a correção do fator de potência (CFP): soluções passivas e ativas. Soluções passivas monofásicas para CFP, como as encontradas em [6-8], consistem na utilização apenas de elementos passivos, a base de indutores e capacitores (filtros L, LC ou LCD), entre a fonte de entrada e o retificador. Essas estruturas oferecem características como robustez, confiabilidade, insensibilidade a surtos e operação silenciosa e, sua principal vantagem é a ausência de interruptores controlados. No entanto, vale destacar, as desvantagens da aplicação dessas soluções, tais como [9]:

- Se comparados às soluções ativas, são pesados e volumosos;
- Afetam as formas de onda na frequência fundamental;
- Não funcionalidade numa larga faixa de tensão de entrada;
- Impossibilidade de regulação de tensão;
- Resposta dinâmica pobre;

- Complexidade no correto dimensionamento.

Já as soluções ativas, além de empregarem elementos passivos menores, se utilizam de conversores estáticos com interruptores semicondutores controlados que impõem à corrente de entrada drenada, através de técnicas de controle adequadas, forma senoidal e em fase com a tensão de alimentação. As técnicas de correção ativa apresentam melhor qualidade na forma de onda da corrente, melhor resposta dinâmica com regulação da tensão de saída, apresentando, no entanto, maior índice de interferência eletromagnética e complexidade de circuito.

Dessa forma, neste capítulo são apresentadas as principais topologias de conversores CA-CC monofásicos com CFP que podem ser utilizados como estágio de entrada em *no-breaks* e as principais técnicas de controle que permitem a obtenção de correntes de entrada praticamente senoidais e em fase com a tensão de entrada com reduzidas taxas de distorção harmônica.

Também são apresentados: o objetivo central, a motivação, as contribuições pretendidas com esta tese de doutorado e uma breve abordagem sobre os conversores CA-CC desenvolvidos ao longo deste trabalho.

1.2 Topologias de Conversores Monofásicos CA-CC

Em aplicações como *no-breaks* ou fontes de alimentação para telecomunicações, os conversores CA-CC utilizados podem ser classificados pelas principais características de estrutura que os identificam, como:

- Modo de condução contínua ou descontínua;
- Topologias de dois ou três níveis;
- Topologias derivadas dos conversores clássicos *boost*, *buck*, *buck-boost*, etc.;
- Topologias com ou sem isolação;
- Número de interruptores controlados ativos;
- Acesso ao neutro.

O retificador monofásico a diodos de ponte completa associado ao conversor *boost* clássico [10] é uma topologia amplamente utilizada para aplicações com CFP por possuir como principal vantagem a simplicidade no princípio de funcionamento e o pequeno número de semicondutores necessários. Esse conversor CA-CC é apresentado na Fig. 1.1.

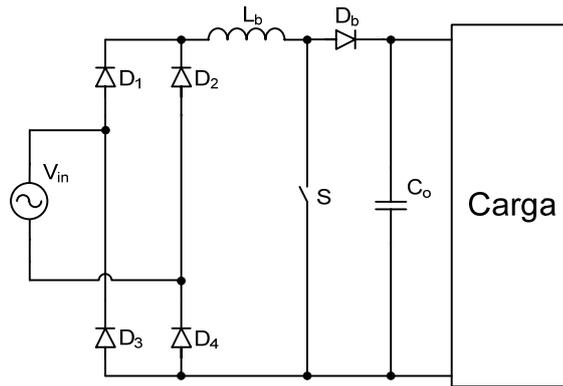


Fig. 1.1 – Topologia do conversor *boost* clássico com CFP.

As principais desvantagens da aplicação do conversor *boost* clássico são:

- Circulação simultânea da corrente de entrada através de três semicondutores de potência, causando excessivas perdas de condução, reduzindo o rendimento do conversor e exigindo semicondutores com maiores esforços de corrente e tensão;
- Impossibilidade de uso do neutro comum entre a entrada da rede e a saída do conversor *boost* para possibilitar a conexão de um inversor com neutro comum e do *by-pass* do *no-break*.

Com o objetivo de se processar maiores potências, o conversor *boost* apresentado não seria indicado. Dessa forma, novas configurações topológicas com maior capacidade de processamento de energia com reduzidas perdas por condução podem ser geradas através de várias técnicas de geração de conversores, como: paralelismo de conversores e aplicação de células de comutação PWM, entre outras [11-16].

Aplicando o paralelismo de conversores, na Fig. 1.2(a) tem-se o conversor *boost* em paralelo com CFP [11] e na Fig. 1.2(b) tem-se o conversor *boost* intercalado [12-14].

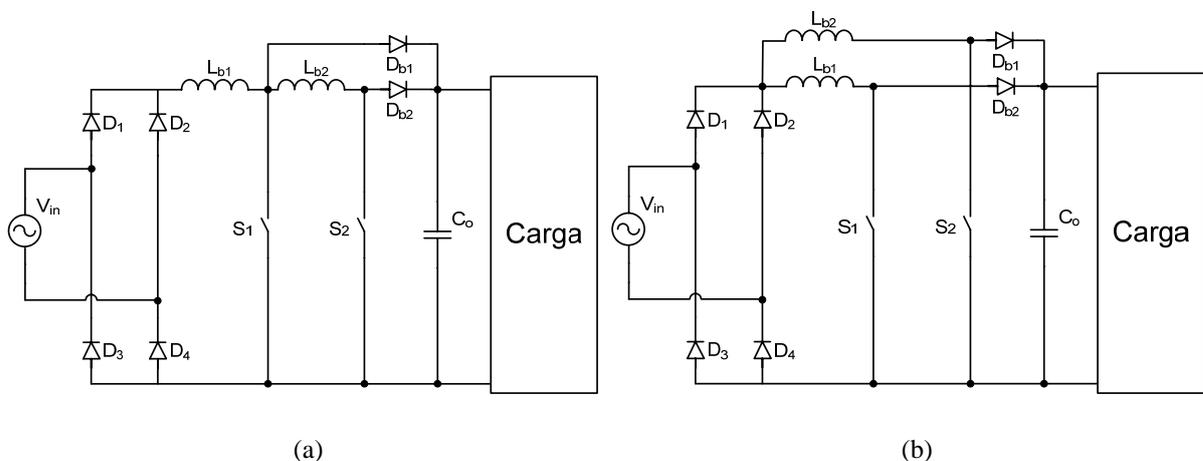


Fig. 1.2 – Topologias de conversores usando a técnica de paralelismo de conversores: (a) *boost* em paralelo [11]; (b) *boost* intercalado [12-14].

Para o conversor *boost* em paralelo tem-se um indutor principal de armazenamento L_{b1} e um indutor de comutação L_{b2} que é bem menor que L_{b1} . Como vantagens, essa topologia apresenta um mesmo sinal de comando dos interruptores e um balanceamento estático e dinâmico natural de corrente entre os componentes exigindo um *layout* de placa impressa mais simplificado. Como desvantagens, têm-se um maior número de componentes utilizados e a impossibilidade de uso do neutro comum.

Para o conversor *boost* intercalado, tem-se como vantagem as reduzidas perdas por condução e como desvantagens, uma maior complexidade no circuito de controle, a possibilidade de desbalanceamento das correntes dos indutores e a impossibilidade de uso do neutro comum.

Utilizando-se da aplicação de células de comutação PWM tem-se na Fig. 1.3(a) um conversor *boost* aplicando a célula “C” de dois estados [15] e na Fig. 1.3(b) a aplicação da célula de comutação de três estados em um conversor *boost* com CFP [16].

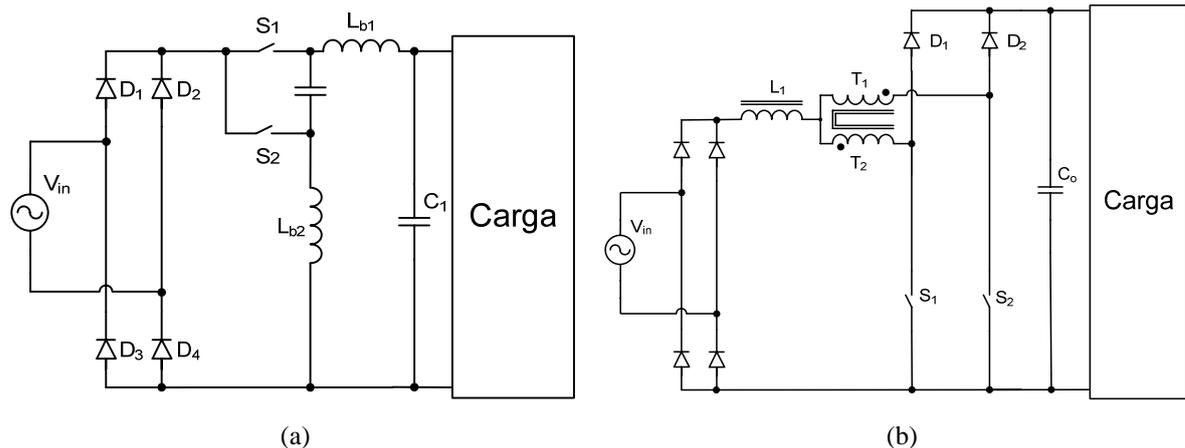


Fig.1.3 – Aplicação de células de comutação PWM: (a) dois estados; (b) três estados [16].

Na aplicação de células de comutação PWM nos conversores tem-se como principal vantagem as reduzidas perdas por condução e como desvantagens um aumento no número de componentes e na complexidade dos circuitos de controle.

Analisando estas topologias apresentadas nas Figs. 1.2 e 1.3 observa-se que, mesmo processando maiores potências, todas essas topologias apresentadas possuem uma desvantagem comum ao conversor *boost* clássico apresentado na Fig. 1.1: a impossibilidade de uso do neutro comum entre a entrada da fonte de alimentação e a saída do conversor, o que inviabilizaria a aplicação dessas topologias para sistemas *no-breaks*.

Ainda se utilizando dessas técnicas para geração de conversores com maior capacidade de processamento de energia e com a característica de possibilidade de uso do neutro comum

facilitando o *by-pass*, podem ser encontradas na literatura, várias topologias de conversores monofásicos com CFP como em [17-20].

Através do paralelismo de conversores, na Fig. 1.4(a) tem-se o conversor duplo *boost* com o indutor no lado CA [17] e na Fig. 1.4(b) com o indutor no lado CC [18]. Ambas as topologias operam com a possibilidade de seleção de duas tensões de entrada. A diferença é que no conversor com o indutor no lado CA tem-se a necessidade de dois interruptores para a seleção da tensão de entrada onde existe uma associação de indutores. Assim, dependendo da tensão de entrada escolhida, os indutores estarão conectados em série ou em paralelo. Já para o conversor com o indutor no lado CC, existe apenas um interruptor seletor de tensão de entrada e não há a associação de indutores.

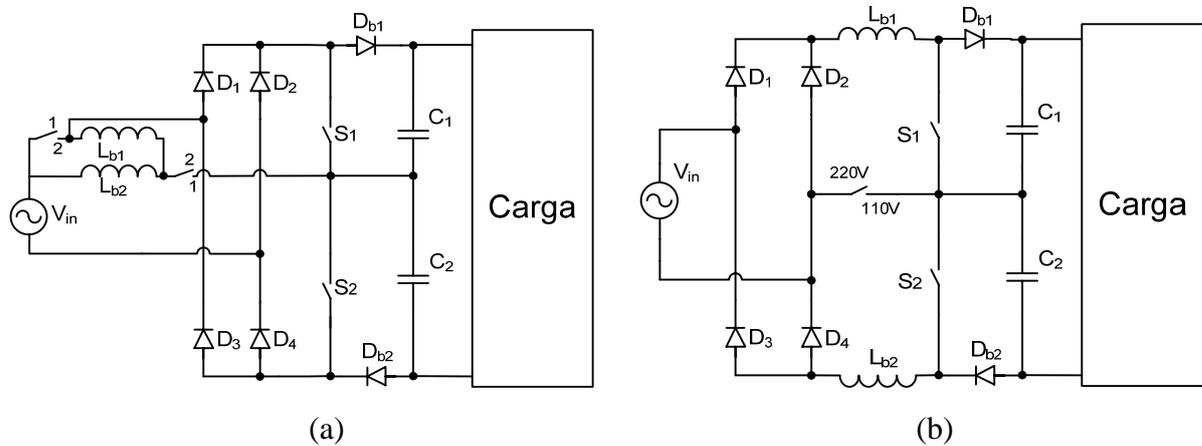
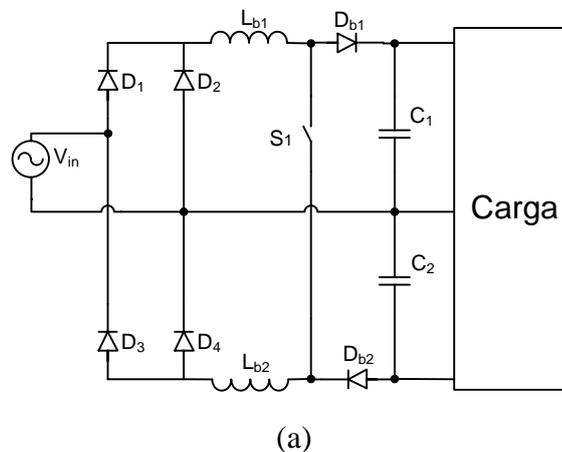


Fig. 1.4 – Topologia do conversor duplo *boost* com CFP: (a) indutor no lado CA [17];
(b) indutor no lado CC [18].

Na Fig. 1.5(a) tem-se o conversor duplo *boost* com apenas um interruptor [19] e na Fig. 1.5(b) esta mesma topologia de conversor com a aplicação da célula de comutação de três estados [20].



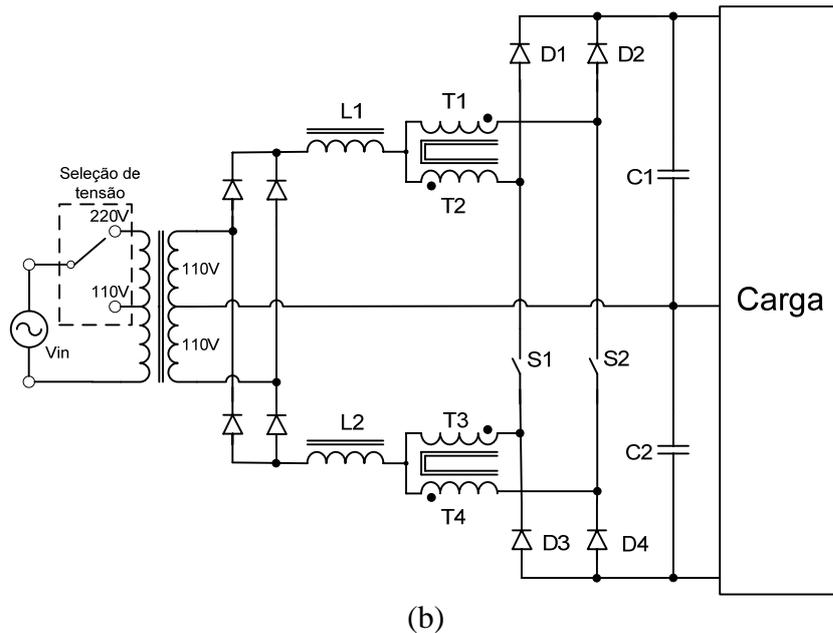


Fig. 1.5 – (a) Topologia do conversor duplo *boost* com um interruptor [19]; (b) aplicando a célula de comutação de três estados [20].

A vantagem da topologia apresentada na Fig. 1.5(a) é a utilização de apenas um interruptor controlado, simplificando a estratégia de controle. Para a topologia apresentada na Fig. 1.5(b), tem-se como vantagem as reduzidas perdas por condução.

Para as topologias apresentadas nas Figs. 1.4 e 1.5 observa-se como principal desvantagem comum a utilização do retificador a diodos que aumenta o número de componentes da topologia.

Com o objetivo de diminuir o número de componentes e as perdas de condução, uma nova topologia é obtida através da integração do conversor *boost* ao retificador a diodos do tipo ponte completa [21-26]. Neste conversor, a corrente flui simultaneamente apenas em dois semicondutores em quaisquer etapas de operação e o indutor é colocado no lado CA do circuito. A topologia deste conversor, conhecido como *Bridgeless*, é apresentada na Fig. 1.6.

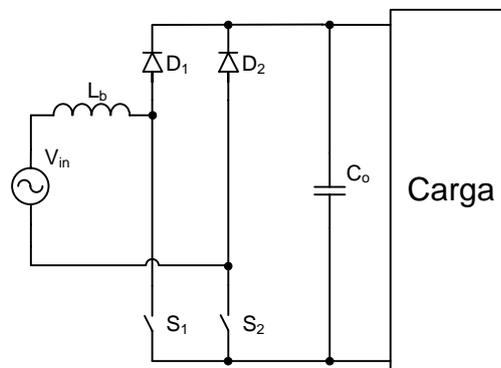


Fig. 1.6 – Topologia do conversor *boost bridgeless* com CFP.

Porém, para a aplicação em *no-breaks* essa topologia apresenta como desvantagem a impossibilidade de uso do neutro comum entre a fonte de entrada e a saída do conversor para facilitar a instalação do *by-pass*.

Assim, com o objetivo de se trabalhar com topologias que aliem essas duas principais características: a integração do conversor *boost* ao retificador e, o uso do neutro comum para facilitar a instalação do *by-pass*, várias topologias de três níveis foram concebidas [27, 28], sendo ideais para aplicações em sistemas *no-breaks on-line* não isolado. A topologia de três níveis que merece destaque pela simplicidade de operação e pelo número reduzido de componentes é apresentada na Fig. 1.7.

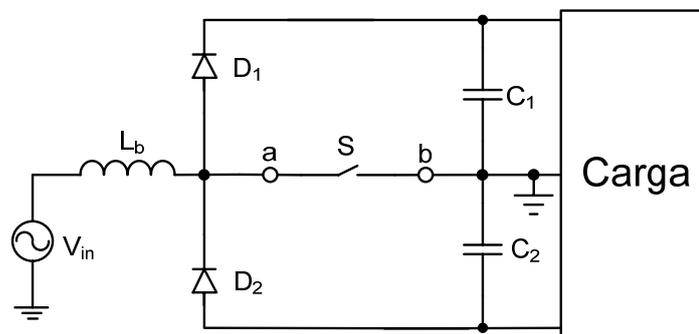


Fig. 1.7 – Topologia do conversor *boost* de três níveis.

O interruptor *S* na verdade se trata de um interruptor bidirecional. Assim, o conversor *boost* de três níveis convencional pode apresentar várias configurações de montagem, dependendo apenas do tipo de interruptor bidirecional utilizado. Opções de configurações para os interruptores bidirecionais são apresentadas na Fig. 1.8, onde a configuração (iii) é muito utilizada pelo fato dela poder ser composta por apenas dois dispositivos interruptores IGBT ou MOSFET, onde os diodos intrínsecos em antiparalelo desses interruptores são utilizados.

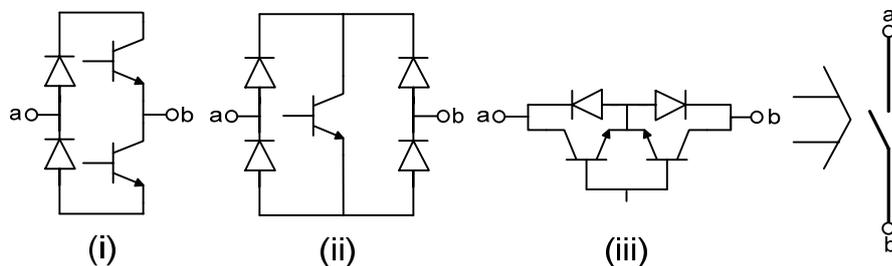


Fig. 1.8 – Configurações básicas de interruptores bidirecionais (i), (ii) e (iii).

Dessa forma, a topologia do conversor *boost* de três níveis convencional aplicando o interruptor bidirecional (iii) da Fig. 1.8 é apresentada na Fig. 1.9.

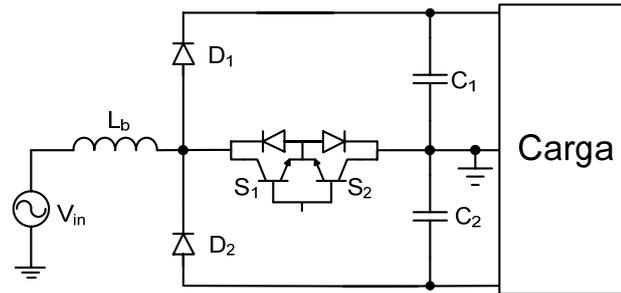


Fig. 1.9 – Topologia do conversor *boost* de três níveis convencional com interruptor bidirecional.

As vantagens da topologia do retificador de três níveis, além do número reduzido de componentes, são:

- Baixas perdas de condução;
- A tensão de bloqueio dos interruptores é a metade da tensão de saída, permitindo a especificação de dispositivos semicondutores de baixa tensão de bloqueio e, conseqüentemente, reduzida resistência de condução.

A principal desvantagem desta topologia é o possível desbalanceamento nas tensões dos capacitores de filtro de saída C_1 e C_2 , onde uma malha de controle para evitar o desbalanceamento destas tensões deve ser inserida à técnica de controle utilizada.

Em cima dessa topologia, várias pesquisas foram realizadas de forma a buscar um melhor rendimento através da aplicação de técnicas de comutação suave [29-32] ou implementação de técnicas de controle [33-36].

1.3 Técnicas de Controle para Conversores CA-CC

Foi visto na seção anterior que, todas as topologias de conversores CA-CC monofásicos podem ser utilizadas para a correção do fator de potência da corrente de entrada, desde que a técnica de controle adequada seja aplicada a essas topologias. Portanto, neste item, apresentam-se uma visão geral das principais técnicas de controle utilizadas para CFP. Para ilustrar os diagramas funcionais das técnicas de controle, o conversor monofásico de três níveis convencional da Fig. 1.7 será utilizado como topologia base sem levar em consideração o controle do desbalanceamento das tensões de saída.

As técnicas de controle para CFP [37-40] podem ser classificadas de acordo com as seguintes características:

- Modo de condução da corrente no indutor: condução contínua (MCC), descontínua (MCD) ou crítica (MCCr);
- Frequência de comutação dos interruptores: fixa ou variável;

- Controle da corrente de entrada: direto ou indireto.

O diagrama funcional da técnica de controle em condução descontínua (MCD) [41, 42] é apresentado na Fig. 1.10. Sua operação se dá com frequência de comutação constante através de um simples circuito de controle PWM e sem a necessidade do sensor de corrente. No entanto, esta técnica causa elevados esforços de corrente nos dispositivos semicondutores e, elevada distorção da corrente de entrada para a topologia *boost*. Esta técnica é muito utilizada para topologias como *flyback*, Cük e Sepic [43, 44].

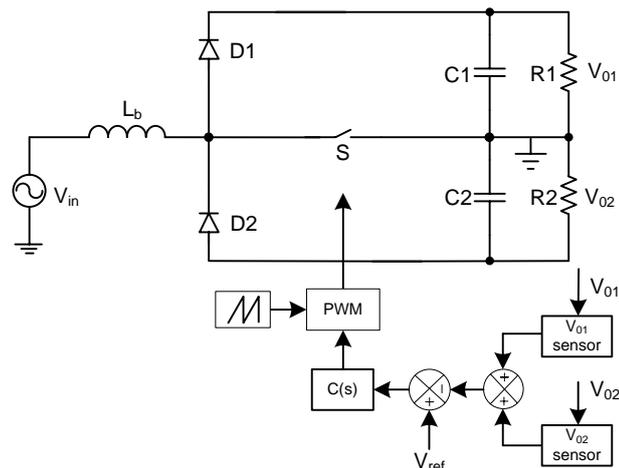


Fig. 1.10 – Diagrama funcional da técnica de controle por condução descontínua.

O diagrama funcional da técnica de controle em condução crítica (MCCr) [45] é apresentado na Fig. 1.11. Sua operação se dá com frequência de comutação variável e um circuito de controle PWM pouco mais complexo com o uso de multiplicador, mas, sem a necessidade de uma portadora dente de serra e malha de corrente. Esta técnica se caracteriza pelo seguimento natural da corrente de entrada à forma de onda da tensão de entrada. No entanto, esta técnica necessita de circuitos de detecção de corrente zero e de pico e possui elevados esforços de corrente nos dispositivos semicondutores.

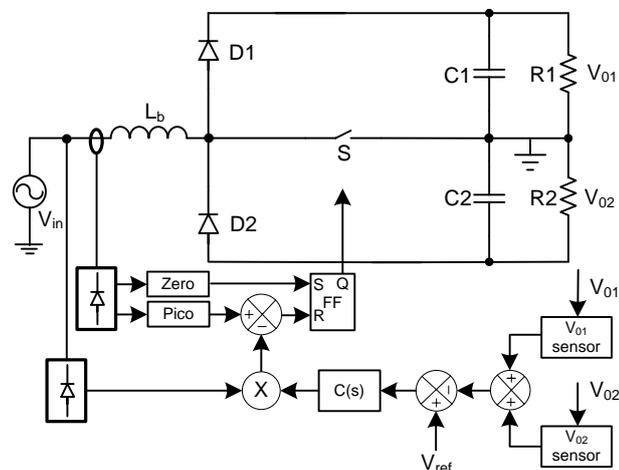


Fig. 1.11 – Diagrama funcional da técnica de controle por condução crítica.

Uma outra técnica de controle é por histerese [46]. Para que esta técnica opere adequadamente, o conversor deve operar em modo de condução contínua (MCC), sendo esta técnica a principal técnica de controle para frequência de comutação variável. Seu diagrama funcional é apresentado na Fig. 1.12. Neste controle, são geradas duas referências de corrente de entrada, uma superior e outra inferior. Assim, a ondulação da corrente de entrada vai ficar variando entre esses limites definido pelas referências geradas. Esta técnica possui como vantagens: a não necessidade de portadora dente de serra, circuito de comando e controle simples e baixa distorção harmônica da corrente de entrada. Em contrapartida, as desvantagens no uso desta técnica são: complexidade na especificação dos componentes ativos e reativos do circuito de potência devido a frequência de comutação variável e o controle se mostra sensível aos ruídos de comutação.

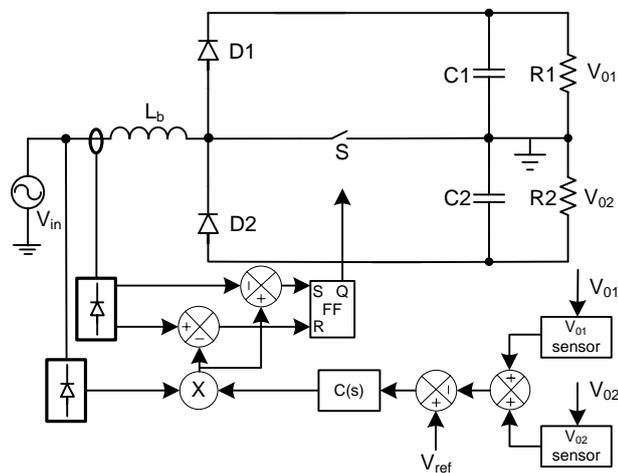


Fig. 1.12 – Diagrama funcional do controle por histerese.

O diagrama funcional da técnica de controle por corrente de pico [5, 47] é apresentado na Fig. 1.13.

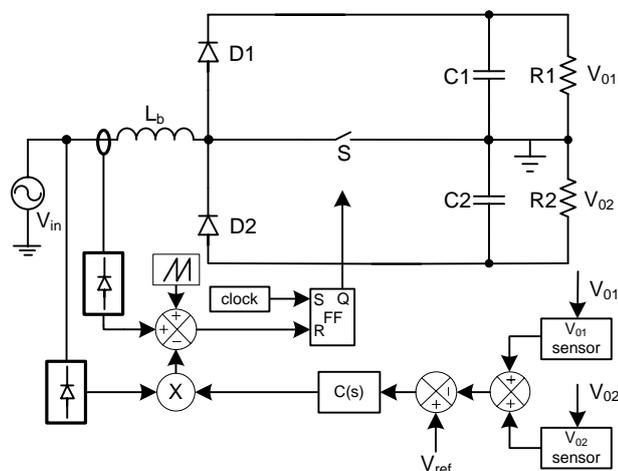


Fig. 1.13 – Diagrama funcional do controle por corrente de pico.

Nesta técnica, a corrente de entrada é forçada a seguir a forma de onda da tensão de entrada através de uma malha de controle específica. Para este tipo de controle, esta malha específica compara a corrente de realimentação da corrente de entrada somada com a portadora dente de serra com um sinal de referência que possui a forma, fase e amplitude proporcional que se deseja da corrente de entrada. Este sinal de referência, por sua vez, é obtido multiplicando-se a amplitude do sinal vindo da saída do controlador da tensão de saída por um sinal base, proporcional à forma de onda da tensão de entrada.

As vantagens desta técnica são: não necessidade de uma malha compensadora da corrente de entrada e a frequência de comutação é constante. Entretanto, as desvantagens são: a presença de oscilações subharmônicas para razões cíclicas maiores que 50% e uma elevada distorção da corrente de entrada.

O controle por corrente média de entrada [48-50] tem seu diagrama funcional apresentado na Fig. 1.14. O princípio de funcionamento é semelhante ao controle por corrente de pico, ou seja, uma malha específica de controle compara o sinal de realimentação da corrente de entrada com um sinal de referência que possui a mesma forma de onda da tensão de entrada. Porém, a diferença entre essas técnicas é que, ao invés de um comparador, tem-se uma malha compensadora de corrente, minimizando o erro entre a corrente de entrada e o sinal de referência. Dessa forma, obtém-se uma melhor forma de onda da corrente de entrada com uma pequena distorção harmônica. Isto fez com que a técnica de controle por corrente média de entrada fosse largamente adotada pela indústria, sendo a principal escolha para a implementação do controle de retificadores com CFP operando em MCC.

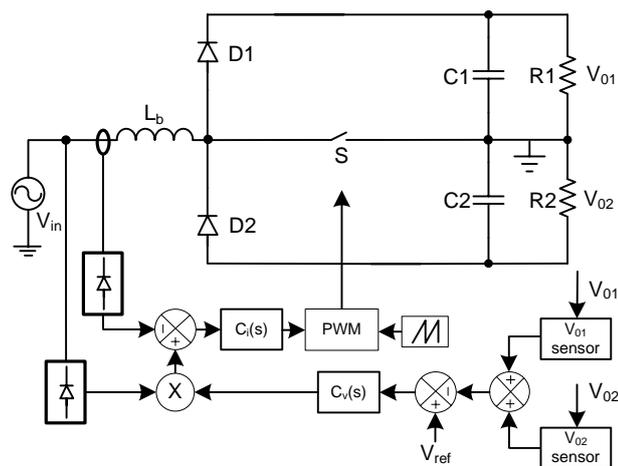


Fig. 1.14 – Diagrama funcional do controle por corrente média.

O diagrama funcional da técnica de controle denominada de autocontrole é apresentado na Fig. 1.15 [40]. Esta técnica utiliza o sinal amostrado da corrente de entrada como sinal de referência. Esse sinal terá a mesma forma de onda senoidal da tensão de entrada e é

multiplicado pela tensão de saída do compensador de tensão, que é o responsável pela amplitude desse sinal, ou seja, quanto maior a tensão de saída do compensador maior poderá ser a potência processada pelo conversor. O resultado dessa multiplicação é então levado ao modulador PWM para razão cíclica complementar, ou seja, $1 - D(t) = K \cdot I_L(t)$. As vantagens dessa técnica são: simplicidade de implementação do controlador, não necessidade de um sensor de tensão de entrada e apenas uma malha de controle necessária. A desvantagem é a necessidade de um indutor de valor mais elevado, se comparado a outras técnicas.

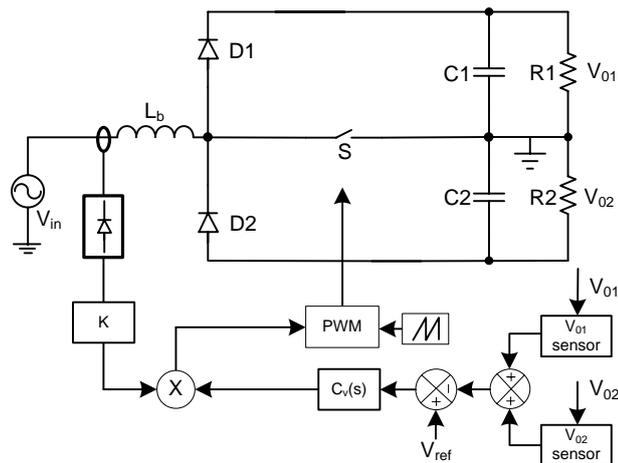


Fig. 1.15 – Diagrama funcional do autocontrole.

Todas essas técnicas de controle apresentadas para o MCC são do tipo controle direto da corrente de entrada. Uma técnica de controle dita controle indireto da corrente de entrada é a técnica de controle em cada ciclo (OCC – *One Cycle Control*) [38], apresentada na Fig. 1.16. Nesta técnica, uma portadora com frequência fixa e inclinação variável a cada novo ciclo é utilizada para emular uma carga resistiva e, assim, fazer a CFP. Isto é possível através de um circuito integrador com *reset*.

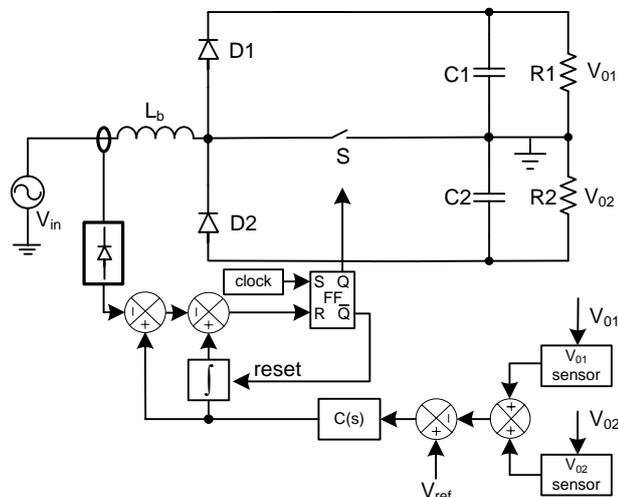


Fig. 1.16 – Diagrama funcional do controle em cada ciclo.

As principais vantagens dessa técnica de controle são: monitoramento de apenas duas grandezas físicas do conversor (corrente de entrada e tensão de saída), não necessidade de um sinal de referência de entrada e apenas uma malha de controle (tensão de saída). Uma desvantagem nesta técnica de controle é a complexidade de implementação do modulador.

1.4 Geração da Célula de Comutação Tipo T

Na procura por novas configurações topológicas, foi comentado no item 1.2, a existência de diversas técnicas de geração de conversores, entre elas, a aplicação de células de comutação PWM. Assim, será gerada uma célula de comutação PWM que possa ser aplicada ao conversor *boost* de três níveis apresentado na Fig. 1.7 com o objetivo de se processar maiores potências com perdas reduzidas [51].

Como pode ser observado, a topologia do conversor *boost* de três níveis convencional possui um neutro comum e duas tensões de saída, o que inviabiliza a aplicação direta da célula de comutação de três estados obtida em [51].

Dessa forma, o procedimento para a geração da nova célula de comutação aplicável a topologia do conversor *boost* de três níveis convencional é ilustrado na Fig. 1.17 e os passos de geração são detalhados a seguir:

- a) Apresenta-se o circuito do conversor isolado bidirecional *push-pull* apresentado na Fig. 1.17(a). Considera-se que o conversor está operando como um conversor CA-CC, com uma tensão de entrada alternada e duas tensões de saída contínuas.
- b) O lado secundário do transformador isolador é referido ao lado primário, como apresentado na Fig. 1.17(b).
- c) O ponto central das fontes de saída, que estava conectado ao tap central do transformador passa a ser conectado ao ponto comum dos interruptores e da fonte de alimentação para operar como conversor *boost*, como apresentado na Fig. 1.17(c).
- d) Readequando o desenho do circuito, obtém-se a Fig. 1.17(d).
- e) Por fim, gera-se a nova célula de comutação denominada de célula de comutação Tipo T [52] apresentada na Fig. 1.17(e).

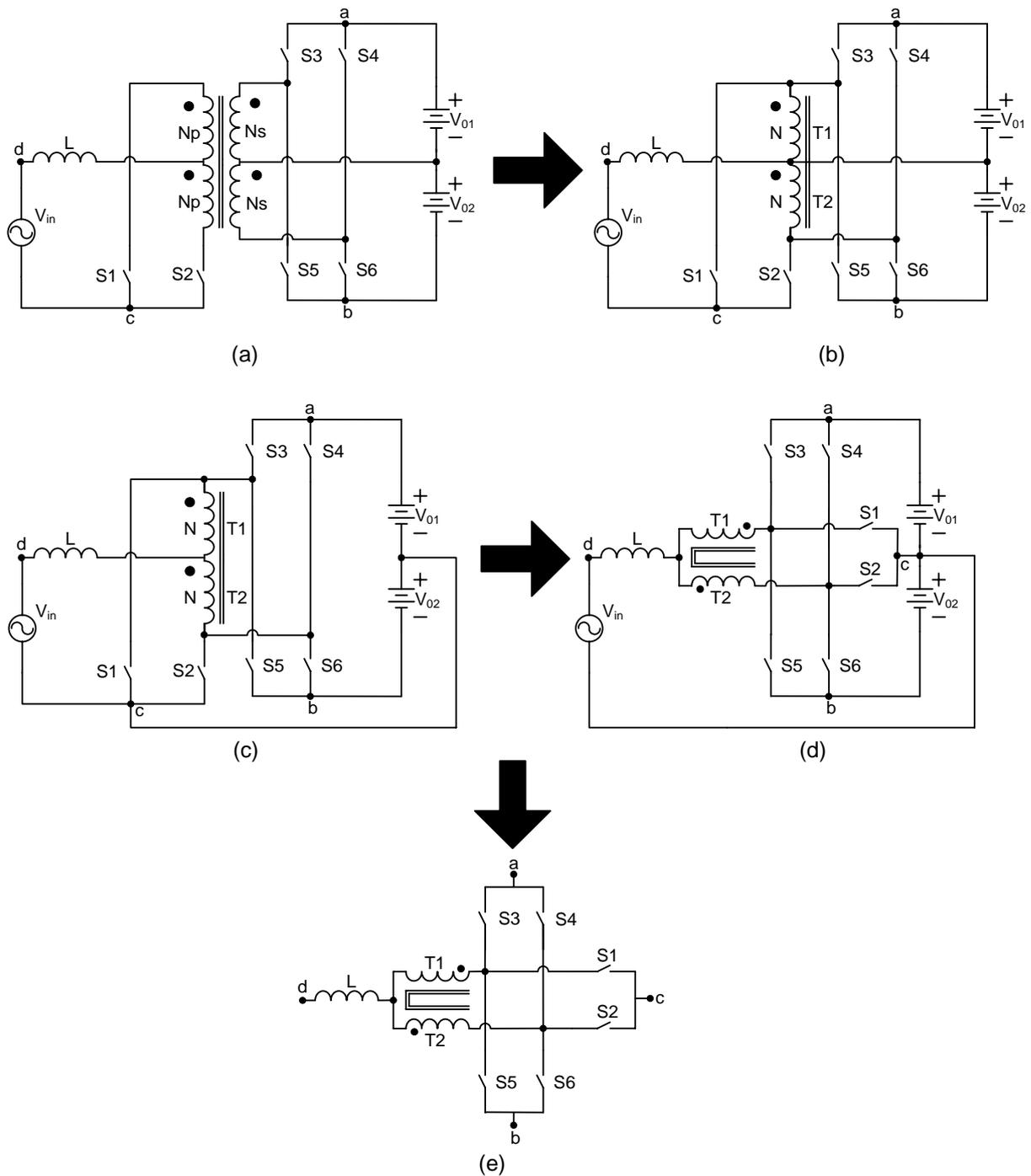


Fig. 1.17 – Geração da célula de comutação Tipo T.

Na célula de comutação Tipo T gerada deve ser observado que somente os interruptores $S1$ e $S2$ devem ser do tipo bidirecional, conforme a Fig. 1.8, sendo os demais interruptores, $S3$ a $S6$, unidirecionais, podendo ser escolhidos diodos, IGBTs ou MOSFETs, dependendo da aplicação e do fluxo de potência (unidirecional ou bidirecional).

Para aplicações onde um nível de potência mais elevado é requerido, os esforços de corrente para os semicondutores da célula de comutação Tipo T podem ser divididos mais ainda. Utilizando um transformador trifásico como transformador isolador na topologia do

conversor *push-pull* bidirecional, obtém-se uma nova célula de comutação Tipo T, onde o procedimento passo a passo para a geração desta nova célula de comutação Tipo T de 3 enrolamentos é semelhante ao anterior e apresentado na Fig. 1.18. Notar que os interruptores $S1$, $S2$ e $S3$ devem ser bidirecionais e os demais interruptores unidirecionais.

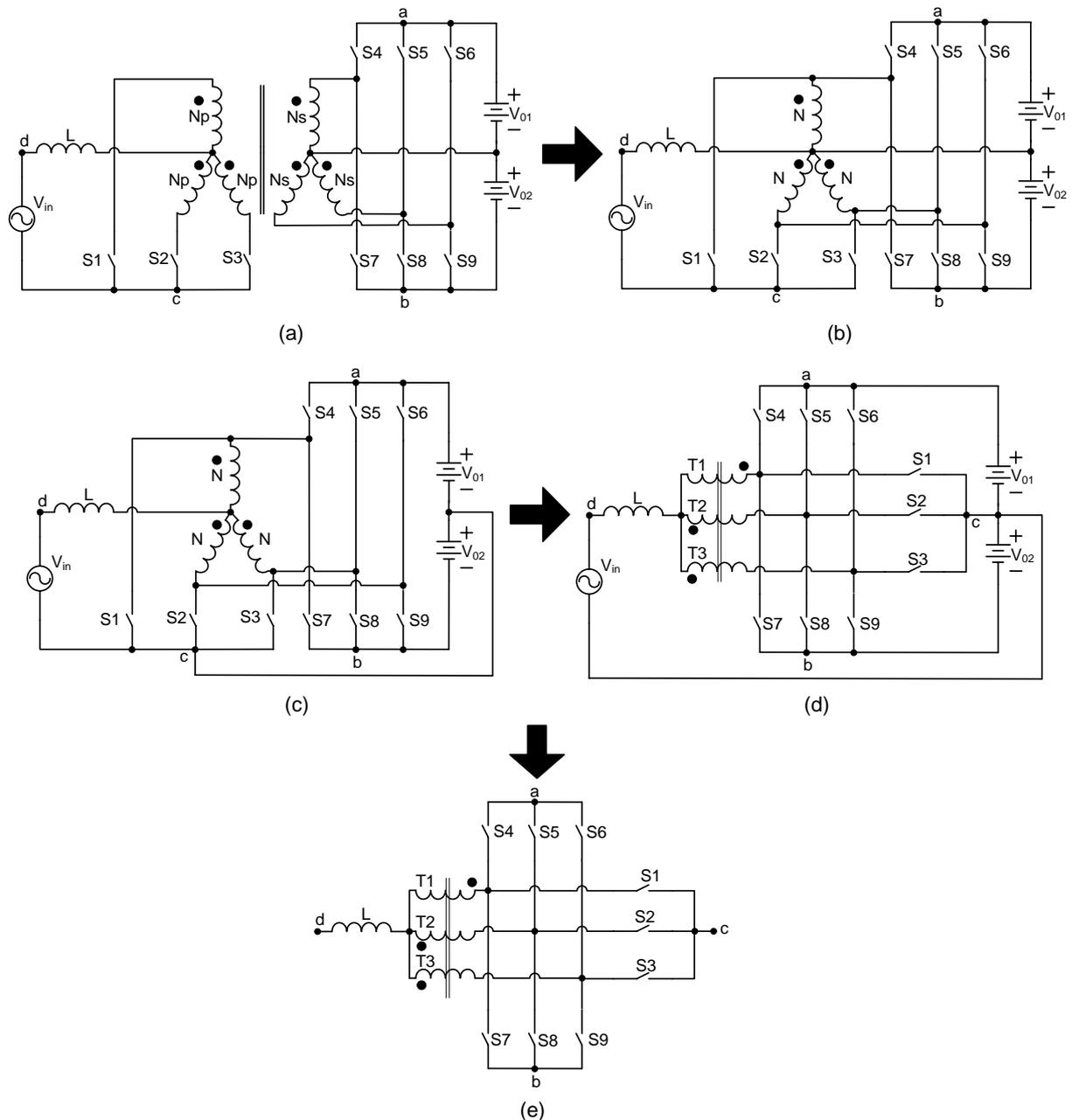


Fig. 1.18 – Geração da célula de comutação Tipo T de 3 enrolamentos.

Dessa forma, considerando um transformador de n fases como transformador isolador no conversor *push-pull* bidirecional apresentado, pode ser obtida uma célula de comutação Tipo T de n enrolamentos denominada de célula de comutação multinível de multiestados Tipo T apresentada na Fig. 1.19, onde os interruptores S_{bx} são bidirecionais e os demais interruptores são unidirecionais.

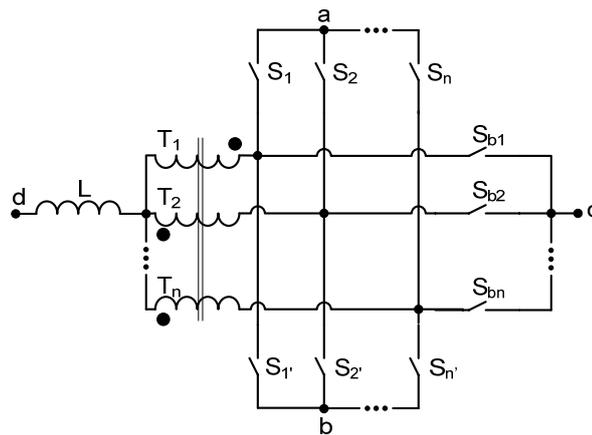


Fig. 1.19 – Célula de comutação multinível de multiestados Tipo T.

1.5 Motivação e Proposta de Tese de Doutorado

Um sistema *no-break* do tipo *on-line* com correção do fator de potência apresenta normalmente a configuração básica apresentada na Fig. 1.20, sendo composto por um estágio retificador (conversão CA-CC), um estágio pré-regulador (conversão CC-CC), banco de baterias, estágio inversor (conversão CC-CA) e *by-pass*. Espera-se que o controle dos conversores no estágio pré-regulador tenha como características: elevado fator de potência, regulação total da tensão de saída e baixa distorção harmônica.

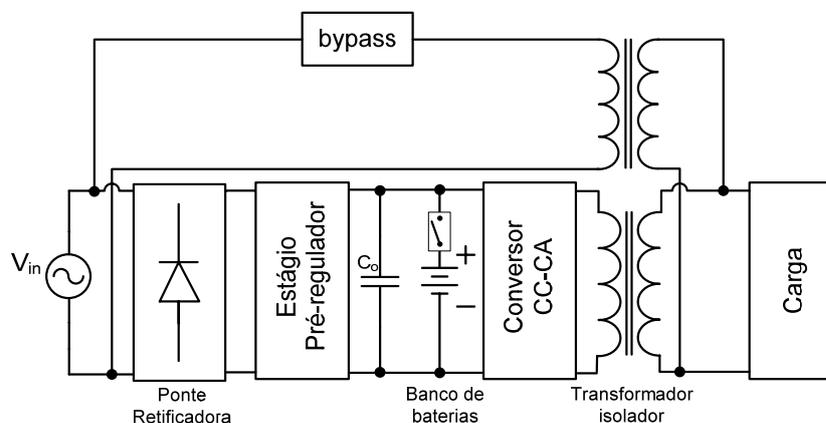


Fig. 1.20 – Configuração básica de um *no-break on-line* com CFP.

Observa-se na Fig. 1.20 que, esta configuração de *no-break* necessita de um transformador isolador de baixa frequência, o que traz como consequência um elevado peso e volume. Algumas topologias na literatura usam transformadores em alta frequência como solução para este problema [53-55]. No entanto, um aumento no número de interruptores ativos e estágios de processamento de energia podem comprometer a eficiência e robustez do sistema.

Desta forma, uma configuração que pode ser atrativa para um sistema *no-break on-line* é apresentada na Fig. 1.21, sendo composta por um estágio de entrada que integra o retificador

e o conversor pré-regulador (conversão CA-CC), banco de baterias, estágio inversor (conversão CC-CA) e *by-pass* sem a necessidade de um transformador isolador em baixa ou alta frequência.

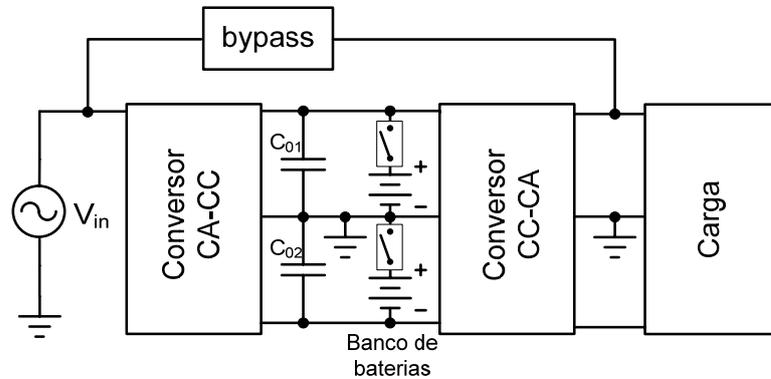


Fig. 1.21 – Configuração de um *nobreak online* não isolado com CFP.

Tendo como foco principal os estudos no estágio de conversão CA-CC do *no-break*, observa-se que a topologia do conversor *boost* de três níveis apresentada é a mais indicada para ser aplicada neste tipo de configuração de *no-break on-line* por apresentar esta integração retificador/pré-regulador e o uso do neutro comum facilitando o *by-pass*. No entanto, à medida que se eleva a potência processada, os esforços de corrente dos semicondutores, as perdas por condução e, o volume e peso dos elementos magnéticos desse conversor se elevam, reduzindo a eficiência e aumentando o custo desse equipamento, podendo comprometer sua aplicação em *no-breaks* de elevadas potências.

Paralelamente à questão das topologias das estruturas, muitas estratégias, teorias de análise e técnicas de controle [37-50] são apresentadas, expondo ótimos resultados e servindo como opções de controle. O uso de controle digital apresenta-se como uma opção viável de aplicação visto que, se comparado ao uso de controle analógico, possui menos componentes físicos necessários e uma grande versatilidade na implementação dos controladores. Sabendo-se que os conversores operam no MCC e analisando-se as técnicas de controle apresentadas, a mais indicada para a implementação em controle digital por apresentar um menor número de sensores necessários, apenas uma malha de controle e um valor de indutância não elevado é a técnica de controle OCC. No entanto, foi observado que o OCC possui como desvantagem a complexidade de implementação do controlador (circuito integrador com *reset*). Dessa forma, uma solução para este problema é apresentada.

Dessa forma, a presente tese visa apresentar duas novas topologias de conversores CA-CC monofásicos para aplicações em sistemas *no-breaks on-line* com neutro comum e sem a necessidade de pontes retificadoras e, juntamente com a topologia do conversor de três níveis

convencional, é realizada uma análise comparativa de desempenho entre estas três topologias onde a técnica de controle aplicada às três topologias é digital e baseada no OCC [56, 57] através do uso de FPGA. As topologias analisadas são:

a) o conversor *boost* de três níveis convencional, bastante conhecido na literatura. No entanto, para que esta análise comparativa tenha parâmetros semelhantes e, assim, um conversor não se sobressaia sobre os demais, todos os conversores deverão ser comparados com o mesmo número de componentes. Assim, a topologia do conversor *boost* de três níveis convencional passa a ser dotada de dois diodos e dois interruptores em paralelo, conforme a Fig. 1.22;

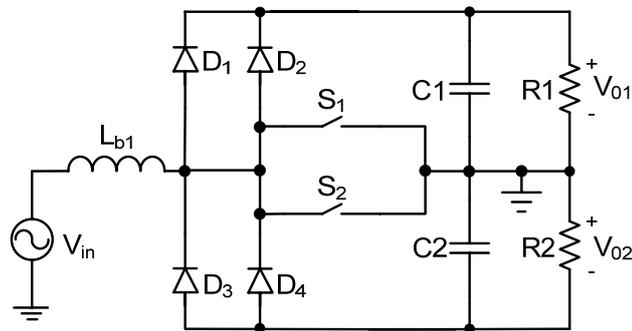


Fig. 1.22 – Topologia do conversor CA-CC *boost* de três níveis convencional com CFP.

b) o conversor *boost* intercalado de três níveis, conforme Fig. 1.23;

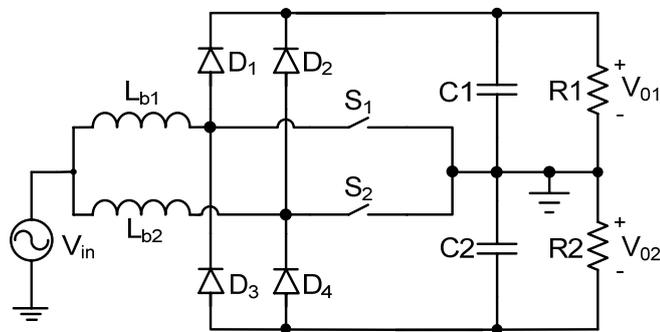


Fig. 1.23 – Topologia do conversor CA-CC *boost* intercalado de três níveis com CFP.

c) e, por fim, o conversor *boost* de cinco níveis aplicando a célula de comutação tipo T, conforme a Fig. 1.24.

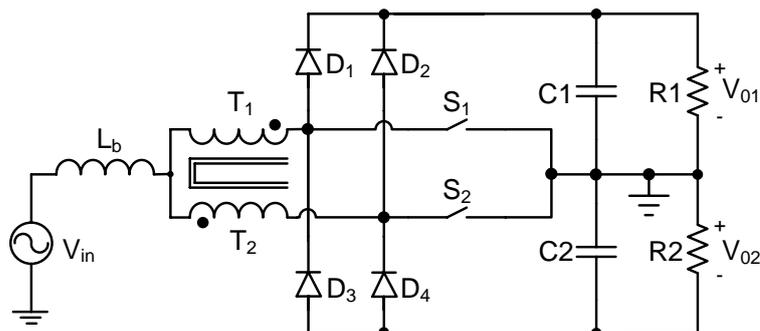


Fig. 1.24 – Topologia do conversor CA-CC *boost* de cinco níveis aplicado a célula de comutação tipo T.

Com isso, pretende-se demonstrar ao final da tese as vantagens e desvantagens que cada topologia possui para enfim, confrontando suas características, mostrar qual topologia pode ser a melhor opção para ser aplicada na configuração de *no-break on-line* não isolado apresentado na Fig. 1.21, observando-se as questões relativas como rendimento, peso e volume, dentre outras, dos conversores.

Para se alcançar os objetivos propostos, buscam-se informações e soluções pertinentes à operação e controle dos conversores de forma favorável à aplicação em *no-breaks*, as quais são:

- estudo de ferramentas e técnicas de controle digital;
- estudo do princípio de funcionamento e elaboração de uma metodologia de projeto para as topologias dos conversores propostos utilizando a técnica de controle proposta;
- estudo e elaboração das malhas de controle para regulação e equilíbrio das tensões de saída dos conversores;
- estudo e elaboração das malhas de controle para imposição de correntes senoidais na rede de alimentação.

1.6 Conclusões

Neste capítulo conclui-se que:

- A correção do fator de potência é fundamental para um melhor desempenho de uma rede elétrica a qual um equipamento ou dispositivo está conectado, evitando assim, todas as desvantagens apresentadas que um baixo fator de potência acarreta;
- As soluções ativas para CFP são baseadas em retificadores monofásicos e trifásicos associados ao conversor *boost*, onde são evidenciadas as características de rendimento, qualidade da forma de onda drenada da fonte de alimentação, custo, volume, robustez e possibilidade de serem aplicados em sistemas *no-breaks*;
- As técnicas de controle para CFP são baseadas nos modos de condução, frequência de comutação fixa ou variável e controle direto ou indireto, onde as características que destacam são a complexidade do circuito de controle, número de sensores necessários e malhas de controle.

CAPÍTULO 2

TÉCNICA DE CONTROLE DIGITAL USANDO FPGA

2.1 Introdução

O controle de conversores é usualmente baseado em soluções comerciais analógicas. No caso do controle para correção do fator de potência (CFP), o controle se torna um pouco mais complexo, pois, geralmente, duas malhas de controle são envolvidas. De qualquer forma, existem muitos circuitos integrados (CIs) comerciais analógicos que resolvem este problema de controle. Estes circuitos executam o controle básico e suas principais vantagens são o baixo custo e a facilidade de uso [58]. Uma desvantagem na utilização destes CIs é que, no caso geral, eles são voltados para o controle de conversores com topologias ditas clássicas como o conversor *boost* clássico ou *boost* de três níveis convencional. No entanto, para o controle de outras topologias, geralmente, são necessárias adaptações externas ao CI utilizado no controle analógico, ou desenvolvimento de soluções através de microprocessadores e/ou microcontroladores no controle digital.

Por não se tratar de uma topologia dita clássica, o conversor *boost* intercalado de cinco níveis e o conversor *boost* de cinco níveis tipo T, objetos de estudo desta tese, são exemplos de que, na utilização de um CI comercial analógico, como o CI UC3854BN, necessitam de adaptações externas. Uma aplicação deste tipo pode ser encontrada em [59].

Para o desenvolvimento de uma solução com controle digital através de um microcontrolador, são apresentados neste capítulo o estudo das características gerais do componente principal do sistema de controle dos conversores, o FPGA (*Field Programmable Gate Array*), o tratamento dos sinais aplicados ao FPGA, a técnica de controle proposta para ser implementada, os conceitos básicos necessários para se obter os projetos dos controladores discretos empregados no controle dos conversores, a programação no FPGA e os circuitos de *driver* dos interruptores.

2.2 FPGAs (*Field Programmable Gate Arrays*)

O Processador Digital de Sinais (DSP – do inglês, *Digital Signal Processor*) é muito utilizado como solução para ser o microcontrolador responsável dos sistemas digitais dos conversores de potência. Sua escolha deve-se ao fato de sua alta velocidade de processamento, versatilidade quanto à linguagem de programação (C ou *Assembly*) e por sua

capacidade de operação aritmética complexa com ponto flutuante. Sua principal limitação é a operação sequencial, ou seja, as instruções são executadas uma após a outra. No entanto, os DSPs foram adaptados para aplicações na área da eletrônica de potência adicionando-se periféricos como: módulos PWM, temporizadores (*timers*) de uso geral e módulos de interrupção de eventos. Estes periféricos permitem alguma operação concorrente.

Entretanto, como forma de superar essa dificuldade na operação sequencial, seguindo uma tendência no uso de operação concorrente para propósito de controle, o FPGA se sobressai ao DSP. Suas principais características são: possibilidade de operações concorrentes, sendo dependentes ou independentes uma das outras e operação com *clocks* elevados, na faixa de 50MHz. Este método de operação permite que os algoritmos que demandam elevadas velocidades, como os compensadores digitais, sejam executados continuamente e simultaneamente com outras operações sem perdas de rendimento. Isto não é possível utilizando-se o DSP.

Os FPGAs mais recentes possuem uma densidade de componentes que podem alcançar mais de 10 milhões de portas equivalentes por *chip* com sistemas de frequência de *clock* de mais de 500MHz [60]. Os principais fabricantes de FPGA atualmente são a Altera, a Xilinx e a Actel.

Neste trabalho empregou-se o FPGA EP2C20F484C7 inserido numa placa de desenvolvimento da fabricante ALTERA, a *CYCLONE II STARTER BOARD* [61]. Detalhes e características de operação desse componente serão apresentados ao longo dos próximos itens.

2.2.1 Arquitetura do FPGA

Os FPGAs foram lançados pela empresa *Xilinx Inc.* em meados da década de 1980 com a série XC2000. Trata-se de uma matriz de blocos lógicos configuráveis (CLBs – do inglês, *Configurable Logic Blocks*) contidos em um único CI e, interconectados por uma rede de conexão que é inteiramente reprogramável. Cada célula contém capacidade computacional para implementar funções lógicas e realizar roteamento para comunicação entre elas. Esta matriz é rodeada pelos blocos configuráveis de entrada/saída (IOBs – do inglês, *Input/Output Blocks*). Dessa forma, o projetista, através de *softwares* de programação, configura o FPGA de acordo com a aplicação desejada. A Fig. 2.1 apresenta a arquitetura típica de um FPGA.

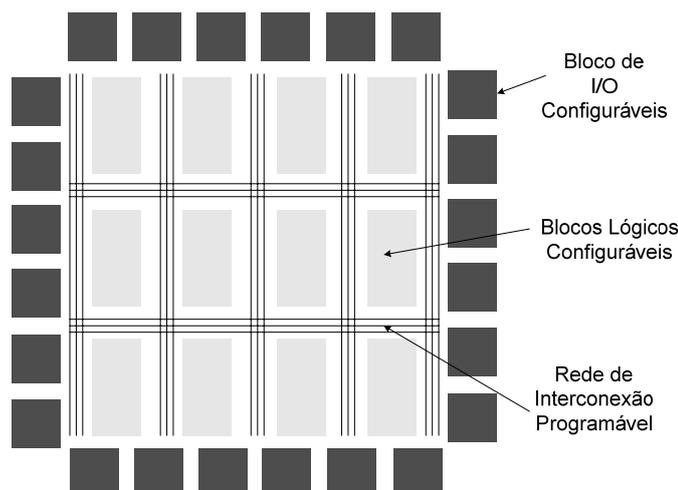


Fig. 2.1 – Arquitetura típica de um FPGA.

As células de memória controlam os blocos lógicos, assim como, as conexões que os blocos poderão fazer para cada aplicação desejada. Muitas tecnologias de memória configuráveis existem. Entre elas, apenas aquelas que possam ser reprogramáveis (*Flash*, EPROM, SRAM) são utilizadas e permitem a mesma flexibilidade de um microprocessador.

Além dos indispensáveis blocos lógicos programáveis, os FPGAs mais modernos incluíram também em sua arquitetura outros blocos dedicados, úteis no desenvolvimento de projetos grandes e/ou complexos. Esses blocos são normalmente os seguintes: blocos RAM, blocos DSP e circuitos PLL [62]. Para aplicações de controle, também vale a pena ressaltar, a recente integração de um conversor A/D com o FPGA da fabricante Actel [63].

Blocos Lógicos Configuráveis

Suas estruturas incluindo duas, quatro ou mais células lógicas, também são chamadas de elementos lógicos (LE – do inglês, *logic elements*). No FPGA EP2C20F484C7 utilizado, existem 18.752 LEs. A estrutura da célula lógica deste FPGA, que é considerada como o grão básico do mesmo, é apresentada na Fig. 2.2.

Ela consiste em uma tabela de consulta de 4 bits (LUT – do inglês, *lookup table*) que pode ser configurada tanto como uma ROM (16 x 1), uma RAM ou uma função combinacional. O caminho de *carry* é incluído para certificar-se da eficiência das operações aritméticas. Finalmente, um *flip-flop* do tipo D com todas as suas entradas de controle (síncronas ou assíncronas como *set/reset*, *enable*) permite o registro da saída da célula lógica. Tal arquitetura corresponde a uma máquina de microestados, sendo que a saída pode ser configurada como sendo uma entrada da mesma célula lógica.

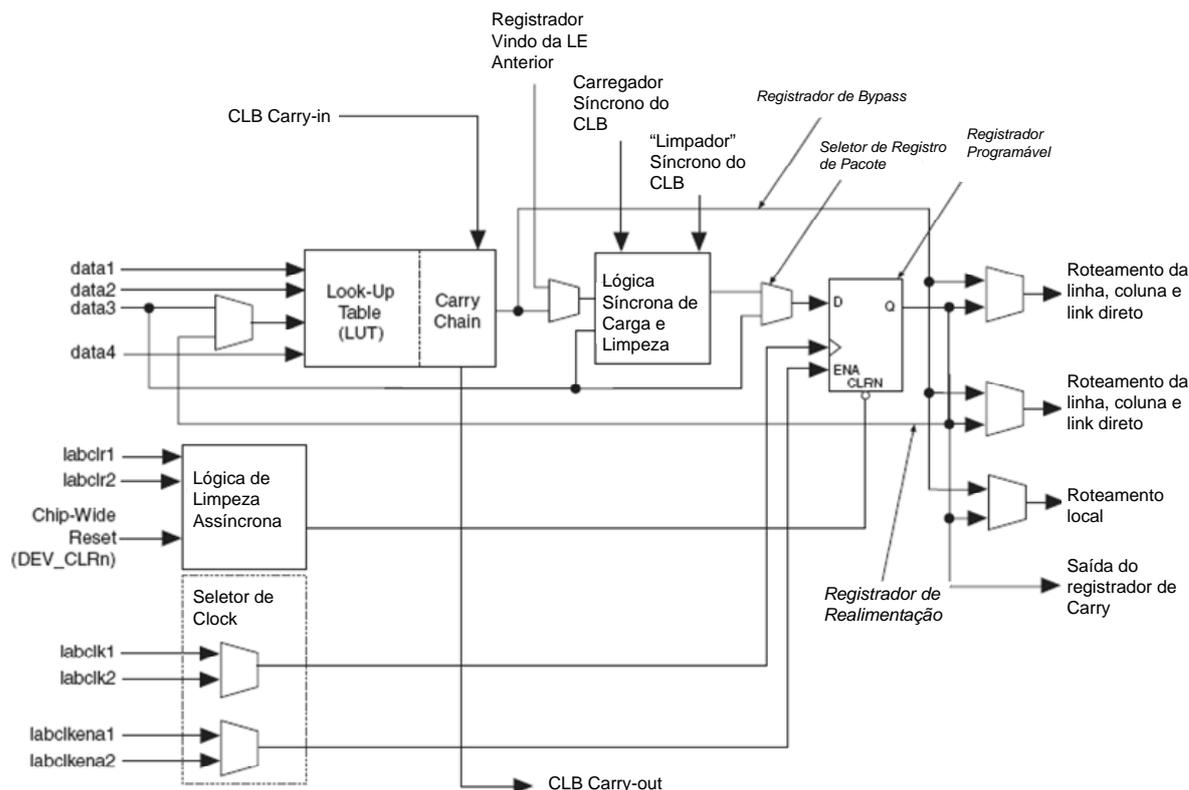


Fig. 2.2 - Estrutura da célula lógica do FPGA EP2C20F484C7.

Blocos RAM

As células de armazenamento dos LUTs são voláteis, o que implica perda do conteúdo armazenado na falta de alimentação de energia elétrica. Dessa forma, e, como a maioria dos projetos requer memória, a inclusão de uma memória SRAM, SDRAM ou *Flash* é uma das opções mais comuns e mais úteis para carregar automaticamente as células de armazenamento.

Os blocos de memória do FPGA utilizado são divididos em SRAM, SDRAM e memória *Flash* com as seguintes configurações:

SRAM – possui 512KBytes organizados como 256K x 16 *bits*;

SDRAM – possui 8MBytes organizados como 1M x 16 *bits* x 4 bancos;

Flash – possui 4MBytes em barramentos de 8 *bits*.

Blocos DSP

Muitas vezes é necessário efetuar o processamento de sinais digitais, particularmente em aplicações envolvendo áudio e/ou vídeo. Tal processamento (filtragem FIR/IIR, FFT, DCT, etc.) é executado por três elementos básicos: multiplicadores, acumuladores e registradores. Para simplificar a implementação desse tipo de aplicação e também torná-la mais rápida, foram incluídos nos FPGAs os blocos DSP, os quais consistem essencialmente de

multiplicadores paralelos, circuitos MAC (*multiply and accumulate*) e registradores de deslocamento. O FPGA utilizado possui a seguinte configuração de bloco DSP: 26 blocos multiplicadores do tipo 18 x 18 onde os circuitos MAC e registradores estão associados. A arquitetura do bloco multiplicador é apresentada na Fig. 2.3.

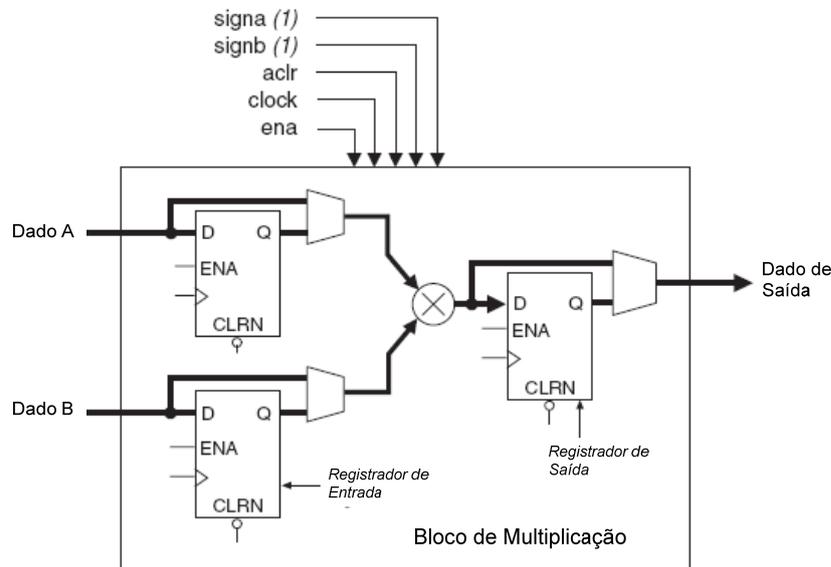


Fig. 2.3 – Estrutura do bloco de multiplicação do FPGA EP2C20F484C7.

Gerenciamento de *Clock*

O gerenciamento de *clock* é um dos aspectos mais preocupantes em dispositivos de alto desempenho. Inclui duas partes principais: distribuição de *clock* e manipulação de *clock*.

Uma rede de distribuição de *clock* adequada é necessária para minimizar um fenômeno chamado de *clock skew* (diferença de tempo com que o sinal de *clock* atinge as várias partes do *chip*). Esse tipo de rede é construída reduzindo-se tanto quanto possível as resistências e capacitâncias parasitas de suas linhas, porém sem eliminar a possibilidade de que em alguns pontos da rede seja necessário introduzir retardos intencionais para compensar as grandes diferenças de distâncias entre as várias regiões do *chip*. Um exemplo de rede de distribuição de *clock* pode ser observada na Fig. 2.4.

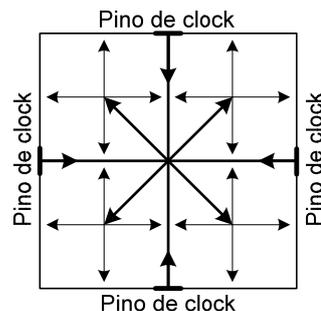


Fig. 2.4 – Rede de distribuição de *clock*..

A manipulação de *clock* é a outra parte fundamental do gerenciamento de *clock*. Para fazer isso, normalmente são empregados PLLs (do inglês, *Phase-Locked Loop*), que cumprem as quatro finalidades principais seguintes: multiplicação de *clock*, divisão de *clock*, deslocamentos de fase e filtragem de *jitter*. O FPGA utilizado possui 4 PLLs.

2.2.2 Programação no FPGA

Um sistema de controle em FPGA pode ser programado de três maneiras: utilizando um ambiente de *software* EDA (*Electronic Design Automation*), utilizando programas usando uma linguagem estruturada de descrição de *hardware*, como AHDL, VHDL ou *Verilog*, ou aplicando esses dois conceitos em uma só programação.

O ambiente de projetos *Quartus II Web Edition*, desenvolvido pela Altera [64] é o *software* EDA utilizado nesta tese. O *software* fornece ao projetista a condição para programar o FPGA, das maneiras citadas logo acima, nos seguintes modos:

- editor gráfico: o projetista pode utilizar de um diagrama lógico, muito semelhante a um diagrama de blocos, desenvolvido a partir de elementos primitivos e disponibilizados pela Altera como: portas lógicas, contadores, comparadores, somadores, multiplicadores, etc.
- editor de texto: o projetista pode programar alguma função específica utilizando-se de linguagem de descrição de *hardware*.
- editor de símbolo gráfico: nesse caso, o projetista pode criar um bloco para conexão no editor gráfico a partir da programação realizada no editor de texto.

As linguagens de descrição de *hardware* foram desenvolvidas para auxiliar os projetistas na documentação de projetos mais complexos [65]. Nos meios industrial e acadêmico estão disponíveis diversas linguagens de descrição de *hardware*, sendo as mais utilizadas: ABEL, VHDL, AHDL e *Verilog*.

Essas linguagens descrevem o comportamento de circuitos digitais de diversas formas, como funcional, temporal, equações lógicas, diagramas de forma de onda, etc.

A linguagem VHDL (*VHSIC Hardware Description Language*) adotada nesta tese, surgiu como resultado do programa *Very High Speed Integrated Circuit* (VHSIC), organizado pelo Departamento de Defesa dos Estados Unidos, no início da década de 1980. No decorrer desse programa, tornou-se clara a necessidade de uma linguagem normalizada para descrever a estrutura e a funcionalidade de circuitos integrados. Dessa forma, foi criada a linguagem

VHDL. Em 1986, a linguagem VHDL foi proposta como norma IEEE e aceita [66], depois de uma série de revisões e alterações em 1987.

Um projeto baseado em VHDL pode ser implementado em qualquer tecnologia. Ele permite por meio de simulação verificar o comportamento do sistema digital e descrever o *hardware* em diversos níveis de abstração.

Um modelo VHDL é constituído, na sua forma mais simples, por pacotes (*package*), entidade (*entity*), arquitetura (*architecture*) e também configuração (*configuration*), quando necessário.

2.2.3 O FPGA EP2C20F484C

A Tabela 2.1 apresenta um resumo das características da placa de desenvolvimento *Cyclone II Starter Kit* onde o FPGA *Cyclone II EP2C20F484C* da Altera está inserido e é utilizado no desenvolvimento desta tese. A Fig. 2.5 apresenta esta placa de desenvolvimento e a Fig. 2.6 apresenta um diagrama de blocos da mesma.

Tabela 2.1 – Resumo das características da placa *Cyclone II Starter Kit* da Altera.

512Kbyte de memória SRAM
8MByte de memória SDRAM
4MByte de memória <i>Flash</i>
Entrada para cartão de memória SD
4 chaves do tipo <i>push bottom</i>
10 chaves do tipo <i>toggle</i>
10 leds vermelhos
8 leds verdes
Osciladores de 50, 27 e 24MHz para sinais de <i>clock</i>
Conector VGA
CODEC de áudio de 24 <i>bits</i>
Porta de comunicação RS-232
Conector PS/2 para mouse/teclado
2 conectores de expansão de 40 pinos para I/O

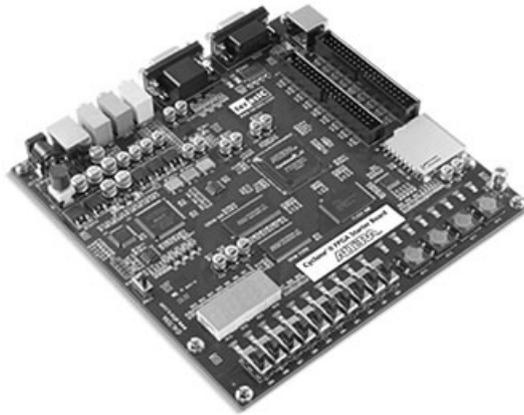


Fig. 2.5 – Placa de desenvolvimento *Cyclone II Starter Kit* da Altera.

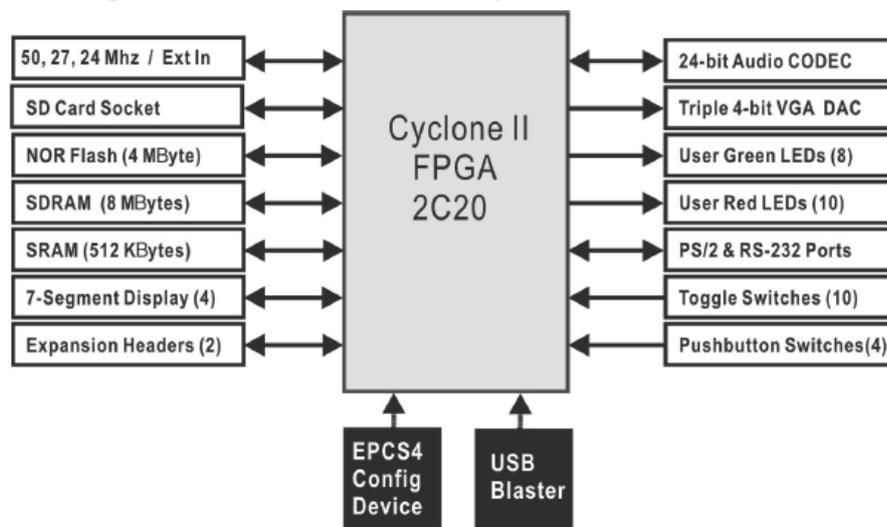


Fig. 2.6 – Diagrama de blocos da placa de desenvolvimento [61].

2.3 Tratamento de Sinais Utilizado para Aplicação ao FPGA

Os sistemas de controle podem possuir sinais contínuos e discretos no tempo. Assim, estes sistemas são classificados como sistemas analógicos e digitais, respectivamente. Os sistemas analógicos são alimentados por sinais contínuos e geram como saída sinais contínuos. Já os sistemas digitais possuem como entradas e saídas sinais discretos em instantes discretos de tempo [67].

Os sistemas de controle geralmente são compostos de uma planta, sensores e compensadores ou controladores, como mostrado na Fig. 2.7(a). A planta, neste caso, representada pelo conversor, é de natureza analógica, assim como os sensores. Entretanto, por conta de sua confiabilidade, flexibilidade e precisão, a utilização de compensadores digitais, como mostrado na Fig. 2.7(b), para controle de plantas analógicas por meio de microcomputadores, microprocessadores e/ou microcontroladores cresceu de forma impressionante durante as últimas décadas [68].

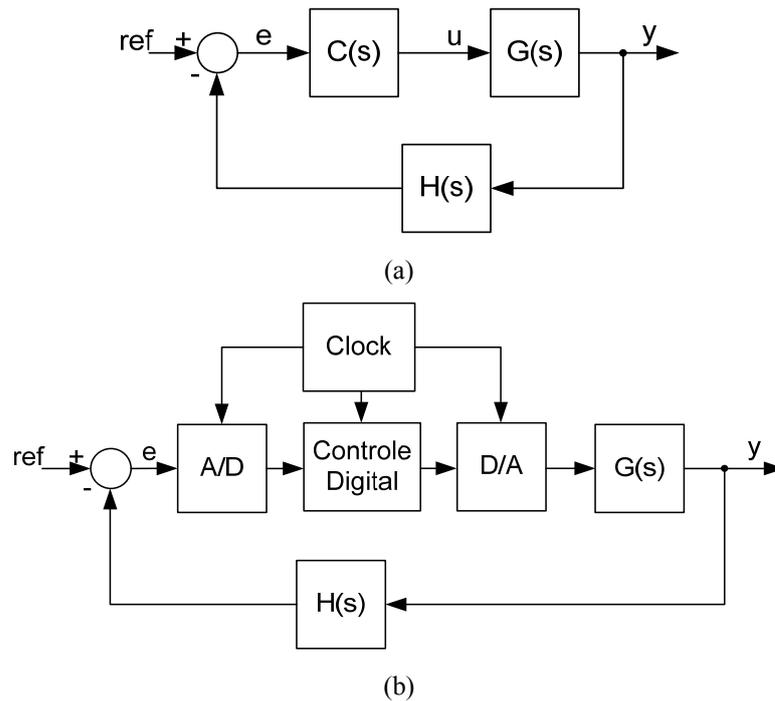


Fig. 2.7 – (a) Sistema de controle analógico. (b) Sistema de controle digital.

Mesmo os compensadores sendo digitais, as plantas continuam sendo analógicas. A forma de se conectar o compensador digital à planta analógica é através da conversão dos sinais analógicos em digitais e vice versa. Estas conversões são feitas utilizando circuitos conversores do tipo analógico/digital (A/D) e digital/analógico (D/A) que serão descritos a seguir.

2.3.1 Amostragem

Na conversão A/D, um sinal analógico contínuo precisa ser amostrado (discretizado) em um determinado tempo com um período fixo T , chamado de período de amostragem. Assim, o sinal contínuo passa a ser representado por uma sequência de valores das amostras, como mostrado na Fig. 2.8, onde $u(t)$ é o sinal contínuo e $u(kT)$ é o sinal discreto.

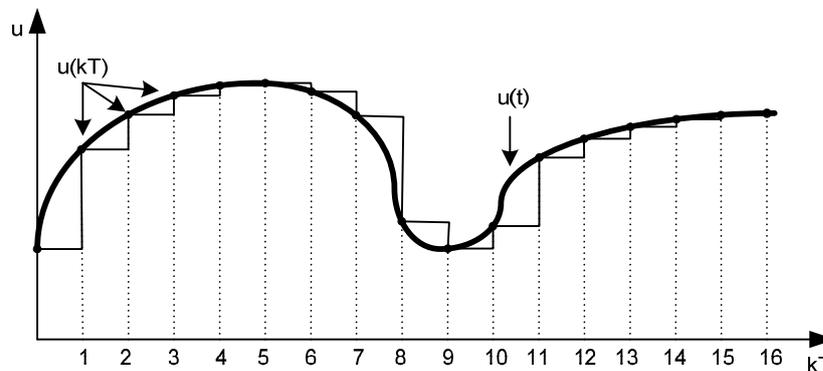


Fig. 2.8 – Discretização de um sinal contínuo $u(t)$ em sinal discreto $u(kT)$.

Para que a conversão não contenha erros, como por exemplo, se o sinal contínuo mudar de valor fora do tempo de amostragem, um dispositivo do tipo amostrador e retentor de dados (*sample-and-hold*) se faz necessário. Esse dispositivo atua junto com o conversor A/D e tem a função de coletar as amostras (*sample*) e mantê-las constante (*hold*) durante o período de amostragem.

Um dos dispositivos S/H mais utilizados em controle digital é o ZOH (*Zero Order Hold*), também conhecido como circuito extrapolador de ordem zero. Um conversor A/D junto com um ZOH pode seguir com exatidão um determinado sinal contínuo se o período de amostragem T for pequeno em comparação com as variáveis transitórias do sinal. A função de transferência de um ZOH é dada pela expressão (2.1):

$$ZOH(s) = \frac{1 - e^{-sT}}{s}. \quad (2.1)$$

Na amostragem de sinais, para se evitar que um sinal de alta frequência assumira a identidade de um sinal de frequência menor, fenômeno conhecido como *aliasing*, utiliza-se de filtros analógicos passa baixa localizados antes da amostragem dos sinais contínuos pelos conversores A/D. Estes filtros, chamados filtros *antialiasing*, possuem frequência de corte na metade da frequência de amostragem do conversor A/D, evitando que uma frequência elevada seja amostrada e represente uma componente de frequência diferente da desejada, podendo prejudicar e interferir na dinâmica dos sistemas de controle [69].

É importante que o período de amostragem T seja adequadamente escolhido. Na literatura [58, 68, 69] é sugerido que a frequência de amostragem seja escolhida por volta de 10 vezes a frequência da largura de banda da função de transferência.

A seguir apresentam-se os circuitos utilizados na implementação da conversão A/D e D/A como interface de amostragem entre o estágio de potência dos conversores e o estágio de controle usando o controlador FPGA.

2.3.2 Circuitos Conversores A/D e D/A e de Interface

As três topologias de conversores CA-CC a serem analisadas nesta tese possuem em comum a mesma quantidade e o mesmo tipo de sensores a serem utilizados para a realização do controle. São dois sensores de tensão para monitorar as tensões de saída dos conversores e um sensor de corrente para monitorar a corrente de entrada dos mesmos.

Circuitos de Conversão A/D

A amostragem das tensões de saída são tratadas de forma a se obter um único sinal de amostragem contínuo no tempo e a amostragem da corrente de entrada é único e contínuo no

tempo. Dessa forma, foram empregados dois CIs dedicados à conversão analógica/digital do tipo ADC0808. Este circuito de interface empregado na comunicação entre os conversores A/D e o FPGA é apresentado na Fig. 2.9.

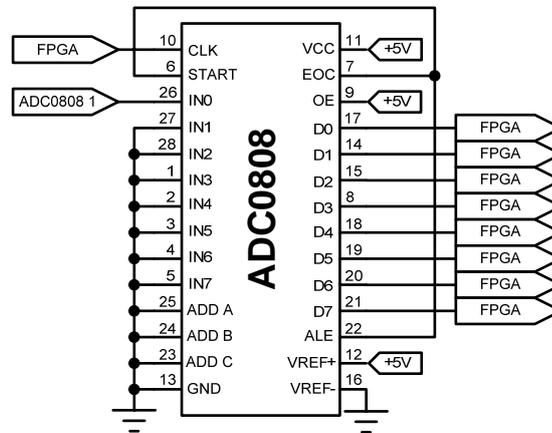


Fig. 2.9– Circuitos de interface dos conversores A/D.

Os *clocks* dos CIs são gerados pelo FPGA. Seguindo a recomendação citada, a frequência de amostragem escolhida foi de 250kHz, mais de 10 vezes o valor da frequência de comutação dos interruptores que será de 20kHz. Cada CI recebe um sinal analógico correspondente, ou seja, o sinal resultante das tensões de saída (ADC0808 1) e a corrente de entrada retificada (ADC0808 2). A comunicação entre as portas de saída dos CIs (portas *D0 – D7*) e o FPGA é feita de forma paralela e contínua no tempo, ou seja, sem a necessidade de interrupções para que seja executada.

Alguns detalhes deste circuito valem a pena serem ressaltados: 1) A tensão de saída do ADC0808 é em nível de 0 a 5V, enquanto que a faixa de tensão utilizada pelo FPGA é em nível de 0 a 3,3V. Portanto, uma adaptação dos níveis de tensão se faz necessária para que o FPGA não seja danificado. Neste caso, utilizou-se de diodos *zener* para o grampeamento da tensão em 3,3V para cada pino de saída do ADC0808. 2) Por conta de nível de tensão do FPGA, também o sinal de *clock* vindo do FPGA para o pino de *clock* do ADC0808 não é suficiente para excitá-lo. Assim, o uso de um transistor com a configuração emissor comum, onde a base é alimentada pelo sinal de *clock* do FPGA e o coletor é conectado a +5V é utilizado.

Circuito de Interface da Tensão de Saída

Os circuitos de interface empregados no condicionamento dos sinais da tensão de saída para o FPGA são apresentados na Fig. 2.10. São circuitos compostos basicamente por sensores e amplificadores operacionais. Utilizou-se de dois transdutores de tensão do tipo isolado LV 20-P da fabricante LEM para a medição das tensões de saída dos conversores.

Com o auxílio de um potenciômetro, ajusta-se o ganho dos sensores de forma a cada um medir 1,5V na tensão nominal de saída. Após esse ajuste, as tensões passam por um *buffer* e são somadas e subtraídas através dos circuitos somador e subtrator feitos com amplificadores operacionais. A saída do somador vai para o conversor A/D “ADC0808 1” e a saída do subtrator vai para o circuito II (CII) de interface da corrente de entrada.

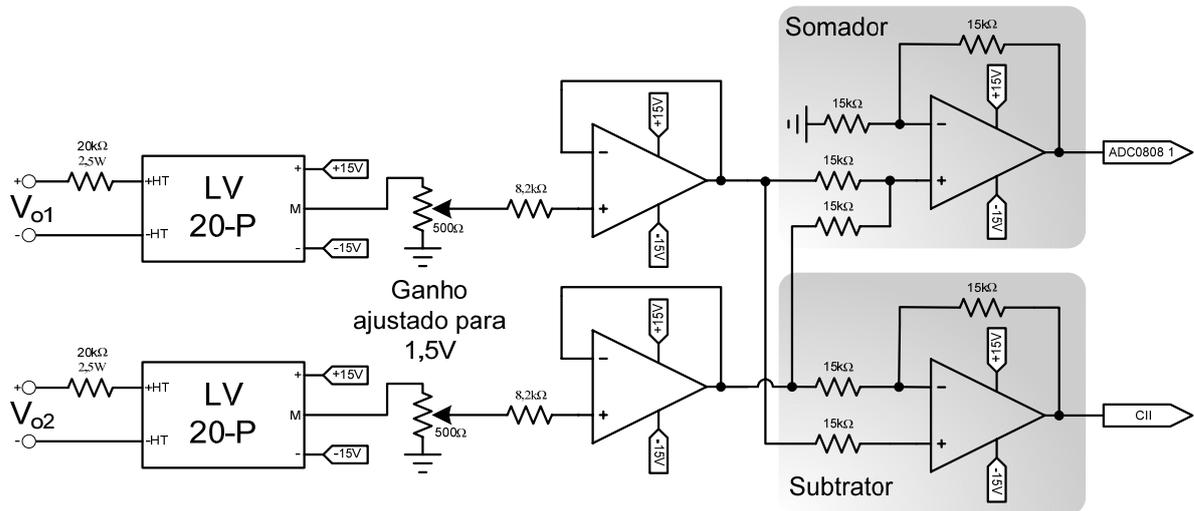


Fig. 2.10 – Circuitos de interface de medição das tensões de saída.

Circuito de Interface da Corrente de Entrada

O circuito de interface empregado no condicionamento do sinal da corrente de entrada para o FPGA é apresentado na Fig. 2.11. Também é um circuito composto basicamente por um sensor e amplificadores operacionais. Aqui, utilizou-se de um transdutor de corrente do tipo isolado de efeito *Hall* LA 55-P da fabricante LEM para a medição da corrente de entrada dos conversores. Este sensor foi fixado na placa de circuito impresso do estágio de potência dos conversores e a medição é enviada para a placa de circuito impresso do estágio de controle. Com o auxílio de um potenciômetro, ajusta-se o ganho do sensor de corrente para uma saída com tensão de pico de 2V para a corrente de pico de entrada nominal de cada conversor. Em seguida, a medição da corrente de entrada é somada com a diferença entre as tensões de saída para o controle do desbalanceamento dessas tensões através do circuito somador. Após essa operação, o sinal da corrente de entrada é retificado por meio de um circuito retificador de precisão, passa por um *buffer* e é enviado ao conversor A/D “ADC0808 2”.

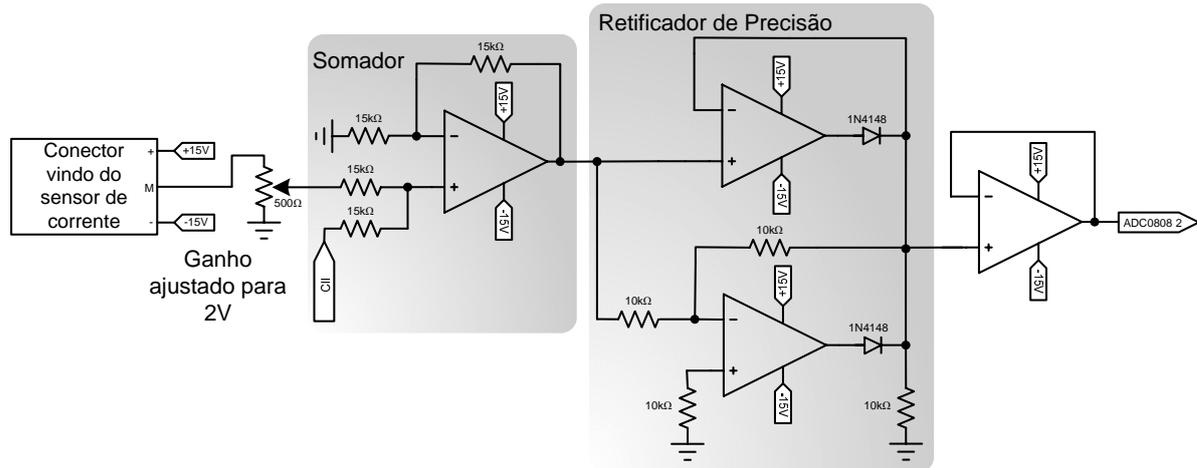


Fig. 2.11 – Circuitos de interface de medição da corrente de entrada.

Circuitos de Conversão D/A

Alguns sinais dentro do sistema de controle são manipulados dentro do FPGA em sua forma digital. No entanto, o monitoramento de alguns desses sinais será necessário para a verificação e acompanhamento da correta operação do sistema de controle adotado para os conversores CA-CC estudados nesta tese. Portanto, um circuito para conversão digital/analógica (conversor D/A) se faz necessário.

O circuito adotado é um conversor D/A tipo R-2R de 8 bits. Sua configuração é apresentada na Fig. 2.12, onde b_0 a b_7 são os bits de entrada e V_{oa} , a tensão analógica correspondente de saída.

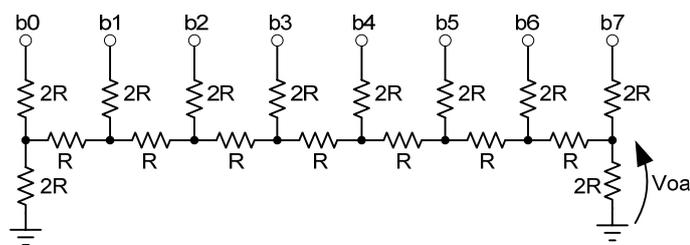


Fig. 2.12 – Conversor D/A tipo R-2R de 8 bits.

2.4 Técnica de Controle Aplicada ao FPGA

A técnica de controle por corrente média de entrada para correção do fator de potência em conversores CA-CC é muito comum devido ao CI dedicado *UC3854*. Seu diagrama funcional básico com as principais formas de onda é apresentado na Fig. 2.13 e possui como características: a necessidade de um sinal de referência, o monitoramento de três grandezas físicas dos conversores (corrente e tensão de entrada e tensão de saída) e duas malhas de controle (compensador da corrente de entrada e compensador da tensão de saída).

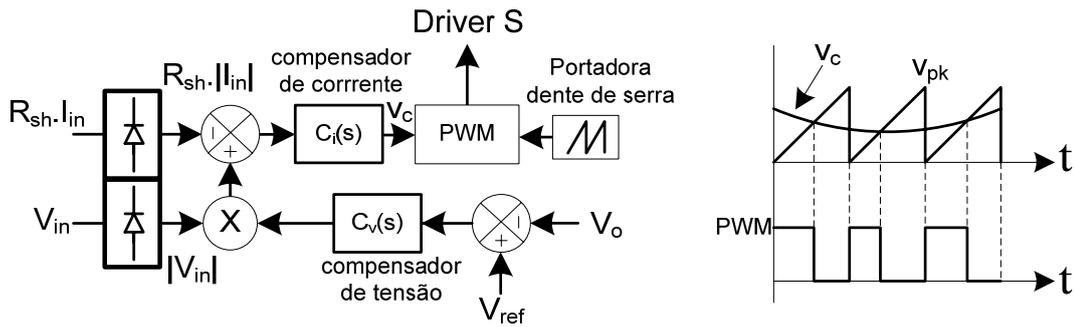


Fig. 2.13 – Diagrama funcional básico do controle por corrente média de entrada para CFP e suas principais formas de onda.

Para uma implementação digital, a aplicação desse tipo de técnica torna-se desfavorável, apesar de ser possível sua realização [33]. Essa complexidade de implementação motivou a pesquisa de técnicas de controle mais simples, onde a partir da segunda metade da década de 1990, começaram a aparecer alguns resultados [38-40]. Um desses resultados foi o desenvolvimento de técnicas que permitem controlar os conversores CA-CC PWM com CFP sem a necessidade de sinal de referência e de compensador de corrente.

Partindo desse conceito de técnicas de controle simplificadas, a técnica utilizada baseia-se no controle OCC, onde uma portadora com frequência fixa e inclinação variável a cada novo ciclo é utilizada para emular uma carga resistiva. As principais vantagens dessa técnica de controle são: monitoramento de apenas duas grandezas físicas dos conversores (corrente de entrada e tensão de saída), a não necessidade de um sinal de referência de entrada e apenas uma malha de controle (tensão de saída). Um diagrama funcional desta técnica de controle com as principais formas de onda é apresentado na Fig. 2.14, onde R_{sh} é o ganho do sensor de corrente, v_m é a tensão de saída do compensador de tensão e v_{int} é a tensão de saída do circuito integrador.

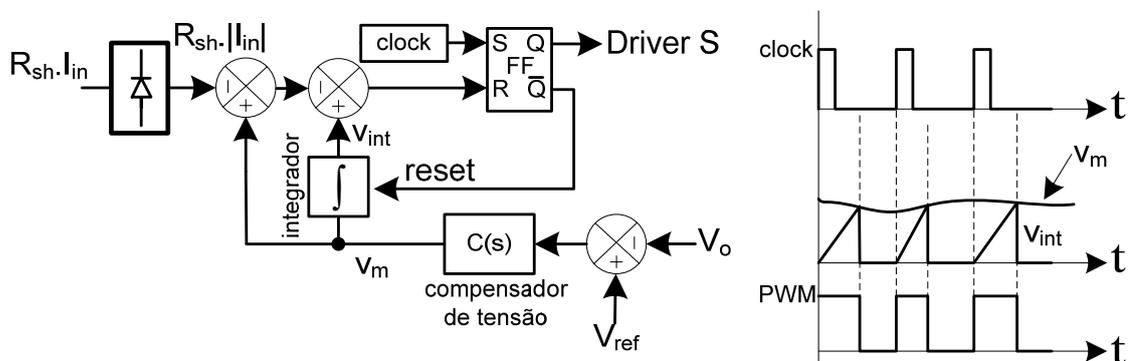


Fig. 2.14 – Diagrama funcional do OCC e suas principais formas de onda.

Como pode ser visto na Fig. 2.14, o modulador dessa técnica de controle exige, além da portadora com inclinação variável, a utilização de um *flip flop* (FF) RS e de um gerador de *clock*. O sinal de *clock* garante a operação PWM dos interruptores a uma frequência

constante. Já o FF RS é responsável por gerar o sinal PWM de comando dos interruptores a partir dos eventos de *clock* e de comparação com $R_{sh} \cdot |i_{in}|$, que representa a corrente de entrada do conversor. Dessa forma, sempre que houver uma comparação o sinal \bar{Q} é mandado para o nível lógico alto e sempre que ocorre a subida do *clock*, o sinal \bar{Q} é mandado para nível lógico baixo.

Observa-se que este é um modulador bastante complexo, de difícil implementação e, que não se adéqua ao controle dos conversores em questão na tese, principalmente do ponto de vista do controle digital. Sua solução comercial analógica para o controle do conversor *boost* clássico é encontrada no CI dedicado IR1150 da fabricante *International Rectifier* [70].

Mas, essa mesma portadora com inclinação variável pode ser obtida de forma mais simplificada utilizando-se de um multiplicador. Para isso, utiliza-se de uma portadora tradicional com inclinação fixa e multiplica-se por v_m . Através de v_m é possível variar o valor de pico da portadora sem alterar seu período, controlando sua inclinação [56, 57]. O novo diagrama funcional do controle incluindo as principais formas de onda é apresentado na Fig. 2.15. Dessa forma, a nova técnica de controle denominada ICC (*Indirect Current Control*) é favorável a implementação digital e conta com todas as vantagens do OCC clássico já citadas. A desvantagem dessa nova técnica é a utilização de multiplicadores, fazendo com que, para uma implementação analógica, ela se torne mais complexa e, para uma implementação digital, necessite de um número de bits disponíveis maior no microcontrolador e uma maior capacidade de processamento de dados.

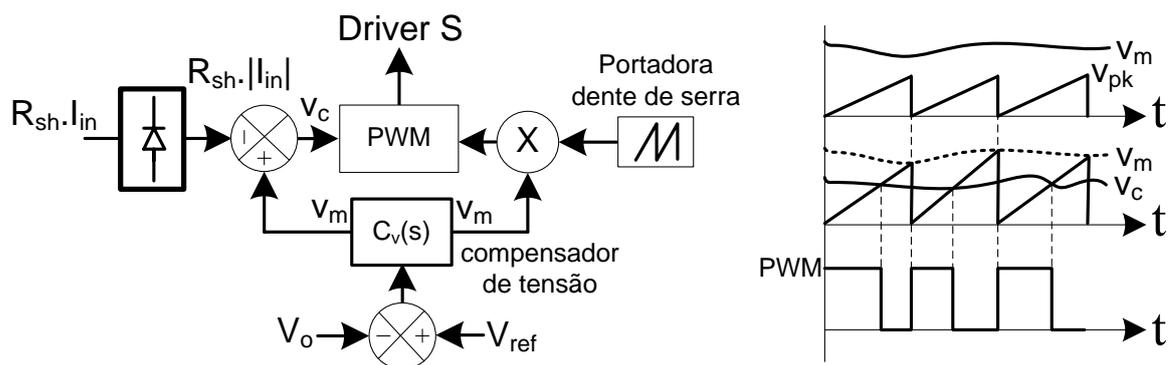


Fig. 2.15 – Diagrama funcional do controle ICC e suas principais formas de onda.

Descrição Funcional do Controle

A partir da Fig. 2.15 observa-se que é monitorado a tensão de saída V_o e a corrente de entrada I_{in} . Essas grandezas são mensuradas através de sensores e circuitos de interfaces, condicionando os sinais a níveis compatíveis com as entradas dos conversores A/D's

externos, conforme descrito no item 2.3.2. Os conversores A/D enviam os dados através de suas portas paralelas para o FPGA.

A amostra da tensão de saída, após ser digitalizada, é comparada com um valor digital dado como v_{ref} . O erro resultante é aplicado ao compensador digital de tensão, cuja saída determina o valor da “tensão” v_m . Esta “tensão” de saída do compensador v_m (um número digital) é subtraída da amostra da corrente de entrada retificada e digitalizada, gerando a tensão de controle v_c (uma senóide retificada invertida) que será comparada com a portadora gerada digitalmente, e multiplicada por v_m , determinando assim a largura do pulso a ser aplicado ao interruptor controlado e realizando a correção do fator de potência. Este sinal PWM é enviado a um *driver* que aciona ou bloqueia o interruptor controlado.

Para facilitar o entendimento do princípio de funcionamento do sistema de controle, a Fig. 2.16 apresenta as principais formas de onda do ICC para CFP em um período da tensão de entrada com uma frequência de comutação reduzida para melhor visualização.

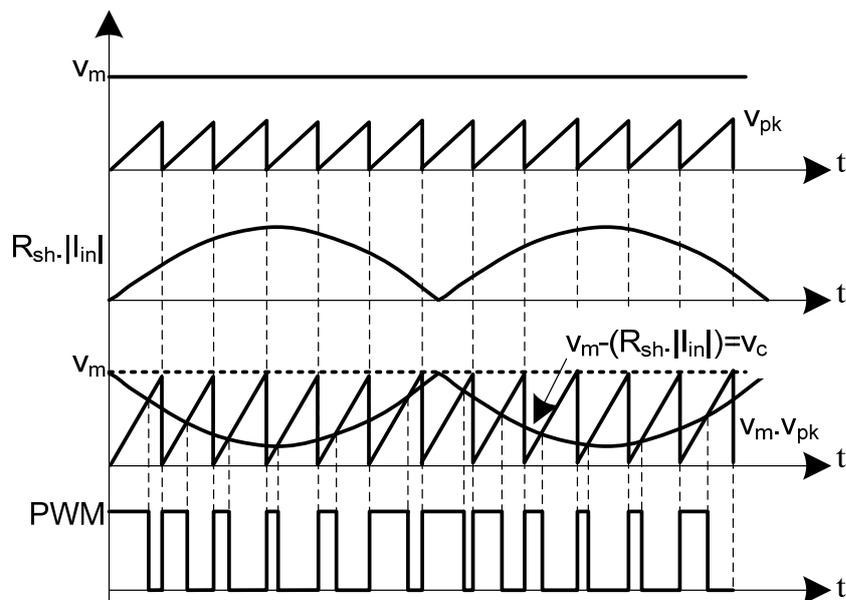


Fig. 2.16 – Principais formas de onda do ICC para CFP.

2.5 Funções de Transferência Discretizadas

A função de transferência do compensador da tensão de saída dos conversores a serem usados nesta tese no sistema de controle digital precisa ser discretizada no tempo. Num dos processos mais comuns, utiliza-se de projetos convencionais (lugar das raízes e resposta em frequência) no domínio do tempo para se obter um compensador contínuo no tempo, $C(s)$ e, depois, converte-se esse compensador para o domínio discreto no tempo (digital), $C(z)$,

através de métodos de discretização. Os métodos mais utilizados na prática são o método de Euler, bilinear (Tustin) e aproximação por zeros e pólos [33].

A estabilidade de um sistema de controle em malha fechada no tempo contínuo é determinada pela localização dos pólos em malha fechada no plano s , segundo seus critérios. Uma vez que, o compensador $C(s)$ passa para o plano z discreto no tempo, $C(z)$, a sua estabilidade estará relacionada à localização dos pólos no plano z correspondente aos pólos e zeros equivalentes no plano s , onde existe a relação:

$$z = e^{sT}. \quad (2.2)$$

Vale ressaltar que, o comportamento dinâmico do compensador discreto é diretamente relacionado ao período de amostragem T , onde a localização dos pólos e zeros no plano z depende do período de amostragem utilizado. Em outras palavras, uma mudança no período de amostragem modifica a localização dos pólos e zeros no plano z e pode causar instabilidade no controle.

Mapeamento entre o Plano s e o Plano z

No projeto de um sistema de controle no domínio do tempo, a localização dos pólos e zeros no plano s são muito importantes na previsão do comportamento dinâmico do sistema. Similarmente, no projeto de sistemas de controle digitais, a localização dos pólos e zeros no plano z são igualmente importantes.

A relação entre as variáveis s e z é dada pela equação (2.2) e significa que, um pólo no plano s pode ser localizado no plano z através desta relação. Sendo que uma variável complexa s possui uma parte real σ e uma parte imaginária ω , tem-se:

$$s = \sigma + j\omega. \quad (2.3)$$

Assim:

$$z = e^{T(\sigma + j\omega)} = e^{T\sigma} \cdot e^{Tj\omega} = e^{T\sigma} \cdot e^{j(T\omega + 2\pi k)}. \quad (2.4)$$

Observa-se da equação (2.4) que, pólos e zeros no plano s , onde as frequências diferem em múltiplos da frequência de amostragem $2\pi/T$, são mapeados na mesma localização no plano z . Significa que existem infinitos valores de s para cada valor de z .

Sendo σ um valor negativo no semiplano esquerdo do plano s , este corresponde a:

$$|z| = e^{T\sigma} < 1. \quad (2.5)$$

O eixo imaginário $j\omega$ no plano s corresponde a:

$$|z| = 1. \quad (2.6)$$

Isto quer dizer que o eixo imaginário no plano s ($\sigma = 0$) corresponde ao círculo unitário no plano z e o interior do círculo unitário corresponde ao semiplano esquerdo do plano s . Uma

representação gráfica mostrando a correspondência entre o plano s e o plano z é apresentada na Fig. 2.17.

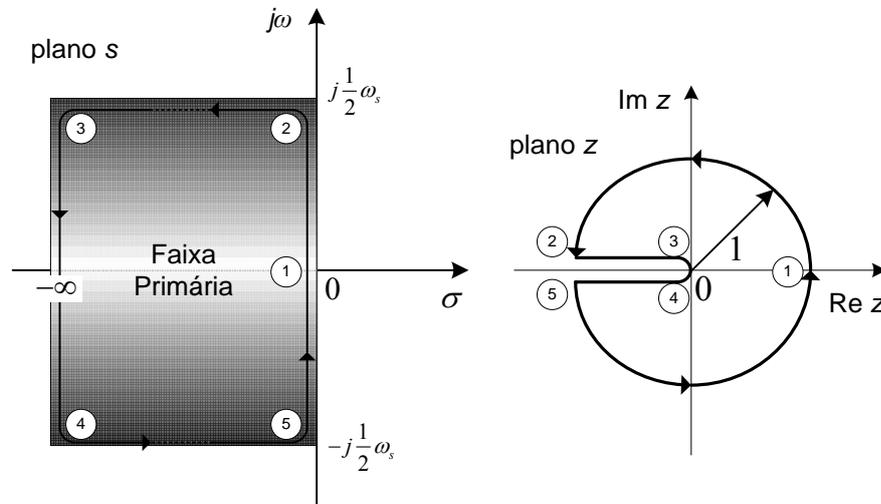


Fig. 2.17 – Diagrama mostrando a correspondência entre um caminho de pontos na faixa primária do plano s e o caminho correspondente no círculo unitário do plano z .

Análise de Estabilidade de Sistemas de Malha Fechada no Plano z

A condição para que um sistema com função de transferência digital $G(z)$ seja estável é que cada pólo da malha fechada deve estar dentro do círculo unitário do plano z ou ter uma magnitude menor que 1. Esta condição pode ser deduzida para o caso das funções no domínio do tempo, onde a estabilidade requer que os pólos estejam no semiplano esquerdo do plano s . Por conta do mapeamento do plano s para o plano z , onde os pontos no semiplano esquerdo do plano s correspondem a pontos dentro do círculo unitário no plano z , a estabilidade no tempo discreto requer que cada pólo esteja inserido dentro do círculo unitário do plano z . Qualquer pólo localizado fora do círculo unitário pode fazer com que o sistema fique instável.

Se um simples pólo se localiza em $z = 1$, então o sistema se torna criticamente estável. O sistema se torna criticamente estável também se um simples par de pólos complexos conjugados estiverem no círculo unitário do plano z . Qualquer pólo múltiplo que esteja no círculo unitário faz com que o sistema se torne instável. Os zeros não afetam a estabilidade absoluta do sistema podendo, portanto, estarem alocados em qualquer região do plano z .

Projeto Baseado no Método do Lugar das Raízes

Como apresentado na seção anterior, a estabilidade de um sistema de controle no tempo discreto pode ser avaliada com respeito ao círculo unitário do plano z . Por exemplo, se os pólos da malha fechada são conjugados complexos e estão dentro do círculo unitário, a resposta ao degrau unitário será oscilatória.

Em acréscimo às características da resposta transitória de um sistema dado, também é necessário investigar os efeitos dos ganhos do sistema e/ou do período de amostragem para a estabilidade do sistema em malha fechada. Com esses propósitos, o método do lugar das raízes se mostra bastante útil.

O método do lugar das raízes desenvolvido para sistemas no domínio do tempo podem ser estendidos para os sistemas discretos sem modificações, exceto que o limite de estabilidade é mudado do eixo imaginário do plano s para o círculo unitário do plano z . A razão para o método do lugar das raízes poder ser estendido aos sistemas discretos é que a equação característica para o sistema discreto possui a mesma forma que para o sistema no domínio do tempo. Por exemplo, para o sistema apresentado na Fig. 2.18 a equação característica é:

$$1 + G(z) \cdot H(z) = 0. \quad (2.7)$$

A equação (2.7) tem exatamente a mesma forma de uma equação para a análise do lugar das raízes no plano s . Entretanto, a alocação dos pólos para a malha fechada no plano z precisa ser interpretada diferentemente daquela utilizada no plano s .

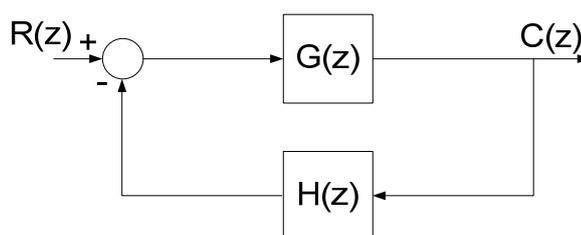


Fig. 2.18 – Sistema discreto em malha fechada.

Projeto Baseado na Resposta em Frequência

Os conceitos de resposta em frequência para os sistemas de controle no domínio do tempo são os mesmos aplicados para os sistemas de controle digital. O método de resposta em frequência tem sido comumente utilizado para se projetar os compensadores da malha fechada pelo fato de se tratar de um método simples. Na realização deste método em sistemas discretos é importante que o sistema possua um filtro passa baixa antes da amostragem dos sinais, de modo a filtrar as faixas de frequências indesejáveis. Assim, a resposta de um sistema linear invariante no tempo submetido a uma entrada senoidal preserva a frequência e modifica apenas a amplitude e fase do sinal de entrada. Logo, a amplitude e fase são os únicos parâmetros que devem ser tratados.

Antes de aplicar o método de resposta em frequência para analisar e projetar os sistemas de controle discretos, algumas modificações no plano z são necessárias. Como no plano z a frequência é dada como sendo:

$$z = e^{j\omega T}, \quad (2.8)$$

se for aplicado a resposta em frequência no plano z , a simplicidade dos gráficos logarítmicos poderá ser totalmente perdida. Assim, a aplicação direta deste método não é recomendada, pois a transformada z mapeia as faixas primária e complementares do semiplano esquerdo do plano s dentro do círculo unitário do plano z enquanto que, a resposta em frequência, que lida com todo o semiplano esquerdo, não pode ser aplicada ao plano z .

Esta dificuldade, entretanto, pode ser solucionada transformando a função de transferência no plano z para o plano w . Esta transformação, comumente conhecida como transformação w ou bilinear, é definida como:

$$z = \frac{1 + (T/2)w}{1 - (T/2)w}. \quad (2.9)$$

Resolvendo a equação (2.9) para w , obtém-se a relação inversa:

$$w = \frac{2}{T} \cdot \frac{z-1}{z+1}. \quad (2.10)$$

Através da transformada z e da transformada w , a faixa primária do semiplano esquerdo do plano s é primeiramente mapeada dentro do círculo unitário no plano z e depois mapeada em todo o semiplano esquerdo do plano w . Esses dois processos são apresentados na Fig. 2.19.

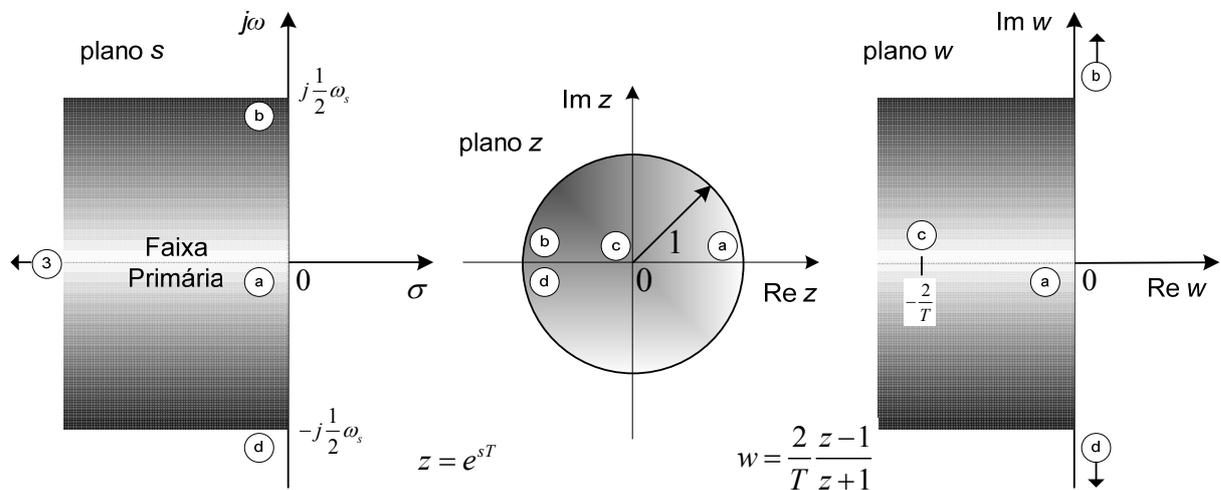


Fig. 2.19 – Diagramas mostrando o mapeamento do plano s para o plano z e do plano z para o plano w .

Uma vez que a função de transferência $G(z)$ é transformada em $G(w)$, ela poderá ser tratada como uma função de transferência convencional em w . Dessa forma, as técnicas convencionais de resposta em frequência podem ser usadas no plano w para o projeto do compensador digital.

Mesmo o plano w reconstruindo geometricamente o plano s , o eixo da frequência no plano w é distorcido. A frequência fictícia ν e a frequência atual ω são relacionadas por:

$$v = \frac{2}{T} \cdot \tan\left(\frac{\omega T}{2}\right). \quad (2.11)$$

Nota-se que, se a frequência atual ω se mover de $-\frac{1}{2}\omega_s$ a 0, a frequência fictícia v se moverá de $-\infty$ a 0 e se, ω se mover de 0 a $\frac{1}{2}\omega_s$, v se moverá de 0 a ∞ .

Segundo [69], os procedimentos para o projeto de um compensador no plano w devem ser utilizados como se segue:

- Obter $G(z)$, a transformada z da função de transferência da planta precedida pelo amostrador ZOH. Então, transformar $G(z)$ na função de transferência $G(w)$ através da transformação bilinear dada pela equação (2.9);
- Substituir $w = jv$ em $G(w)$ e desenhar o diagrama de Bode para $G(jv)$;
- Ler no diagrama de Bode as constantes de erro estático, a margem de fase e a margem de ganho;
- Assumindo que o ganho em baixa frequência da função de transferência $G_D(w)$ do compensador digital é unitária, determinar o ganho do sistema satisfazendo o requerido para a constante de erro estático dada. Então, usando as técnicas convencionais de projeto para os compensadores no domínio do tempo, determinar os pólos e zeros da função de transferência digital do compensador $G_D(w)$. Assim, a função de transferência de laço aberto é dado por $G_D(w) \cdot G(w)$;
- Transformar a função de transferência do compensador digital $G_D(w)$ em $G_D(z)$ através da transformação bilinear dada pela equação (2.10);
- Implementar a função de transferência $G_D(z)$ através de algoritmos computacionais.

Representação Numérica

Uma primeira decisão a ser tomada em uma aplicação de sistemas de controle digitais é sobre quando utilizar um processador de ponto fixo ou flutuante para a manipulação aritmética do sistema. No geral, as arquiteturas em ponto flutuante são mais caras que as de ponto fixo, ocasionando numa vantagem para a escolha do ponto fixo. Outra vantagem do ponto fixo é que o formato em número inteiro é ideal em aplicações reais onde se utilizam conversores A/D e D/A, já que estes dispositivos normalmente convertem grandezas analógicas em números de ponto fixo e vice versa [33].

Contudo, o ponto flutuante permite a representação numérica adequada para escalas com grandes variações, permitindo uma faixa dinâmica maior com melhor precisão por apresentar

um número de *bits* mais elevado. Desta forma, entre números grandes o incremento pode ser maior e entre números pequenos, o espaçamento é menor. Esta flexibilidade na representação de números grande e pequenos é a principal vantagem da utilização da representação em ponto flutuante.

Dessa forma, a aritmética em ponto flutuante oferece ao projetista a facilidade de operação e manipulação em aplicações com manuseio de diferentes magnitudes numéricas, enquanto que, na aritmética em ponto fixo, o projetista deverá se certificar de que a cada operação os valores envolvidos estejam devidamente representados.

O FPGA estudado e avaliado neste trabalho se comportará como processador de ponto fixo. Neste caso, ao se utilizar de um processador de ponto fixo, o que se costuma fazer é escalonar adequadamente os números em função de sua magnitude, exigindo mais do projetista, visto que as rotinas que envolvem operações aritméticas precisam ser analisadas cuidadosamente, de forma a representar adequadamente os valores numéricos envolvidos nos algoritmos.

Sabe-se que as funções de transferência digitais estão no domínio z . No entanto, para a devida implementação dessas funções dentro de um controlador digital, como o FPGA, faz-se necessário que essa função seja reescrita sob a forma de equações a diferenças. Para ilustrar esse escalonamento a partir de equações a diferenças, considera-se a função de transferência de primeira ordem de um compensador digital expresso na equação (2.12). A comunicação com a *interface* de todos os dispositivos foi especificada para ser de 8 *bits*.

$$G(z) = \frac{Y(z)}{U(z)} = \frac{b_0 + b_1 z^{-1}}{1 + a_1 z^{-1}}. \quad (2.12)$$

A relação no domínio do tempo entre a entrada u e a saída y num tempo de amostragem k é dada por:

$$y(k) = b_0 \cdot u(k) + b_1 \cdot u(k-1) - a_1 \cdot y(k-1). \quad (2.13)$$

Uma maneira de se calcular todos os coeficientes do lado direito da equação (2.13) seria utilizando-se do complemento aritmético de 2, por se tratar de uma simples operação de deslocamento, onde os coeficientes são arredondados para números inteiros. Mas, infelizmente, na maioria dos casos, estes coeficientes são números menores que 1.

Uma maneira de solucionar este problema é escalonando a equação para um número adequadamente grande (N) que está na ordem de 2 de forma que os coeficientes sejam escalonados para números grandes e inteiros. Esta representação é conhecida como notação q .

Assim, o número de bits necessários para representar estes números escalonados é determinado. A equação (2.13) passa a ser representada por:

$$y(k) = \left(\frac{(N \cdot b_0)u(k) + (N \cdot b_1)u(k-1) + (-N \cdot a_1)y(k-1)}{N} \right). \quad (2.14)$$

Como N é escolhido para ser um número na potência de 2, as operações de multiplicação e divisão são simplesmente manipuladas por operações de deslocamento.

2.6 Programação do FPGA

A programação dos dados envolvidos no controle dos conversores através do FPGA é feita usando o *software Quartus II Web Edition* desenvolvido pela Altera, conforme apresentado no item 2.2.2, onde se utilizará de blocos disponibilizados pela Altera e blocos feitos a partir de programação em VHDL. Um detalhamento das instruções em VHDL podem ser encontradas em [71]. O programa utilizado é comum ao controle dos três conversores estudados nesta tese, onde a diferença se dá na programação do conversor CA-CC de três níveis convencional onde é necessário a utilização de apenas um modulador PWM. O diagrama de blocos completo do programa no ambiente do *software Quartus II Web Edition* pode ser visto na Fig. 2.20. Todos os programas gerados em VHDL são encontrados no Apêndice A.

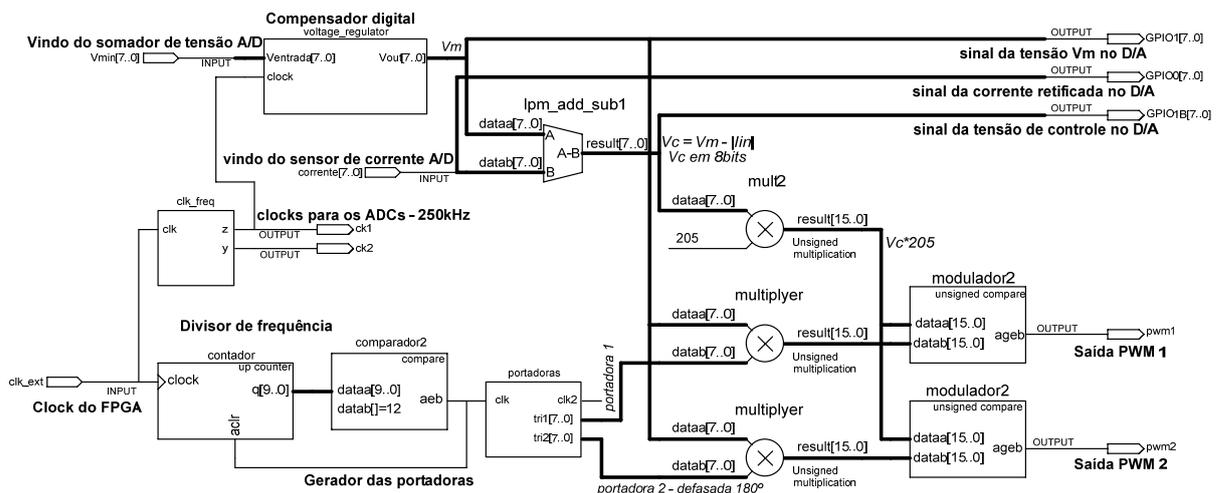


Fig. 2.20 – Diagrama de blocos completo do controle digital realizado no *Quartus II Web Edition*.

Conforme apresentado na Fig. 2.20, nota-se que várias etapas do processo de controle dos conversores são realizadas paralelamente, destacando uma das principais vantagens no uso do FPGA. Para melhor entendimento do processo, essas etapas serão descritas separadamente.

Gerenciamento de *clock* e geração das portadoras

O diagrama de blocos responsável pelo gerenciamento do *clock* e a geração das portadoras é apresentado na Fig. 2.21. O sinal de entrada do *clock* advém internamente da placa de desenvolvimento do FPGA e possui uma frequência igual a 50MHz. Esse sinal é passado por um bloco chamado “clk_freq” criado por VHDL com o objetivo de gerar outro sinal de *clock* de frequência igual a 250kHz (divisor de frequência) para ser enviada aos circuitos conversores A/D externos e ao bloco do controlador digital. Os blocos chamados “contador” e “comparador2” são blocos fornecidos pela Altera e também agem como divisor de frequência, diminuindo o valor da frequência de *clock* para 20kHz, valor da frequência de comutação dos interruptores. Este sinal de *clock* alimenta o bloco chamado “portadoras”, um bloco criado por VHDL para gerar as portadoras do tipo dente de serra defasadas entre si de 180° necessárias para os conversores intercalado e de cinco níveis. O conversor de três níveis convencional utiliza-se de apenas uma portadora.

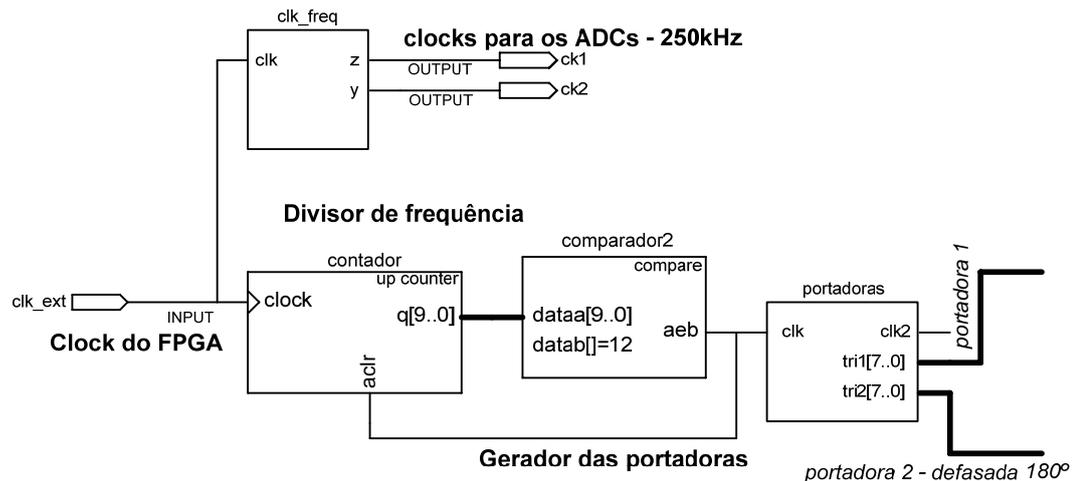


Fig. 2.21 – Diagrama de blocos do gerenciamento de *clock* e geração das portadoras.

Compensador digital e tensão de controle

O diagrama de blocos responsável pelo compensador digital e geração da tensão de controle v_c é apresentado na Fig. 2.22. A tensão vinda dos sensores de tensão de saída que foram somadas e convertida em sinal digital entra no bloco chamado “voltage_regulator” criado através de VHDL, onde é comparada com uma “tensão de referência” v_{ref} e gera uma “tensão de saída” v_m , onde na verdade estas “tensões” tratam-se de números digitais. Este sinal v_m é subtraído pelo sinal digitalizado da tensão vinda do sensor de corrente de entrada através do bloco chamado “lpm_add_sub1” fornecido pela Altera. O resultado gera a “tensão de controle” v_c , uma senóide retificada invertida, digital e em 8bits.

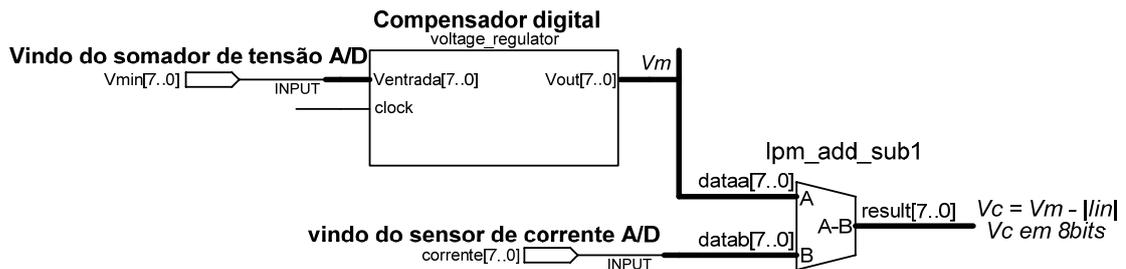


Fig. 2.22 – Diagrama de blocos do compensador digital e tensão de controle.

Multiplicadores e moduladores PWM

O diagrama de blocos responsável pelas multiplicações e pelos moduladores PWM é apresentado na Fig. 2.23. Na execução de uma multiplicação de um dado de 8bits com outro dado de 8bits o resultado será um dado de 16bits. Visto isso, a “tensão de controle” v_c é multiplicada pelo valor de pico das portadoras (205 em decimal) no bloco chamado “mult2” para se adequar ao número de 16bits vindo da multiplicação do sinal v_m pelas portadoras, realizado nos blocos “multiplier”. Assim, os dados em 16bits (tensão de controle e portadoras) são comparados no bloco chamado “modulador2”, onde, quando a tensão de controle for maior ou igual à portadora, o sinal PWM é alto e, quando a tensão de controle for menor que a portadora, o sinal PWM é baixo. Todos os blocos dessa etapa são fornecidos pela Altera. Ao contrário de outros microcontroladores, o FPGA não espera por alguma interrupção para processar os dados, mas, o faz continuamente e de forma paralela. Os sinais v_m , v_c e $|i_{in}|$ são monitorados em 8bits utilizando-se de circuitos conversores D/A apresentados no item 2.3.2.

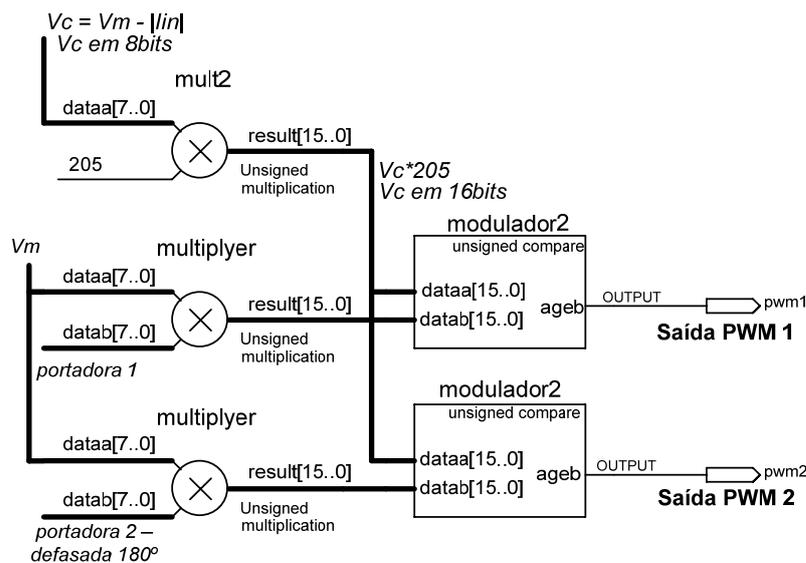


Fig. 2.23 – Diagrama de blocos dos multiplicadores e moduladores PWM.

2.7 Circuitos de Drivers

Os sinais oriundos das saídas PWM criadas no FPGA são os sinais de comando dos interruptores controlados dos conversores CA-CC estudados nesta tese. Estes sinais são aplicados primeiramente ao um CI de *buffer* do tipo *ULN2003* para elevar de 3,3V (saída do FPGA) para 15V, nível de tensão necessário para aplicar no circuito de *driver* utilizado para colocar os interruptores em condução ou bloqueio.

O circuito de *driver* utilizado é um módulo concebido no próprio laboratório GPEC onde este trabalho foi realizado e é um *driver* de acionamento duplo, ou seja, pode acionar dois interruptores com o mesmo sinal de comando, ideal para aplicação em interruptores bidirecionais como o utilizado neste trabalho. Um esquemático básico do circuito de *driver* é apresentado na Fig. 2.24, onde foram omitidos alguns componentes.

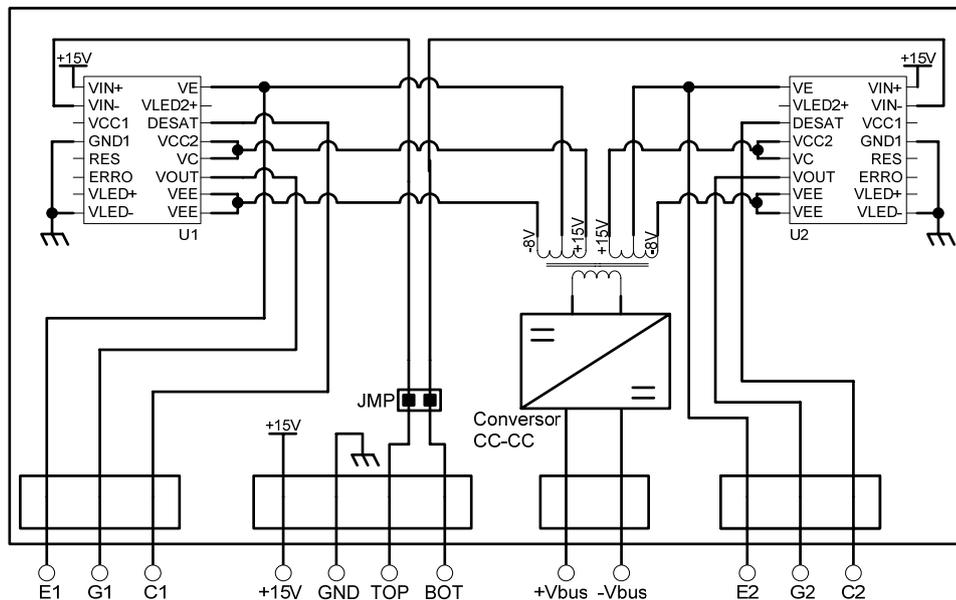


Fig. 2.24 – Esquemático básico do circuito de *driver* utilizado para o acionamento dos interruptores.

2.8 Conclusões

Este capítulo teve por objetivo apresentar o microcontrolador programável FPGA utilizado nesta tese, os circuitos de interface utilizados entre o estágio de potência e o estágio de controle, a técnica de controle digital aplicada aos conversores estudados neste trabalho, alguns conceitos gerais da teoria de controle discreto relatado na literatura e a programação desta técnica de controle no FPGA. Destes procedimentos listam-se as seguintes conclusões:

- O FPGA se mostra vantajoso em relação ao DSP nos seguintes quesitos:
 - o Capacidade de operar tarefas concorrentes;

- Elevada velocidade de processamento;
 - Simplicidade de programação de *software*;
 - Flexibilidade na programação de *hardware*.
- Entretanto, as desvantagens do FPGA em relação ao DSP são:
- Elevado custo, o que na prática pode desaparecer substituindo o FPGA por um circuito integrado específico baseado no programado no FPGA, para produção em massa;
 - Não possuir um conversor A/D integrado.
- A técnica de controle ICC proposta apresenta uma certa simplicidade para uma implementação em sistemas digitais além de incorporar as demais vantagens da técnica de controle OCC (duas grandezas físicas monitoradas e uma malha de controle);
- O três conversores CA-CC estudados neste trabalho podem ser controlados pelo mesmo programa feito no FPGA, onde a diferença se dá apenas na programação para o conversor de três níveis convencional onde utiliza-se apenas de uma portadora e uma moduladora PWM. Dessa forma, é necessário a confecção de apenas uma placa de controle.

CAPÍTULO 3

CONVERSOR CA-CC MONOFÁSICO DE TRÊS NÍVEIS CONVENCIONAL

3.1 Introdução

Foi visto no item 1.5 que uma configuração favorável ao estágio de entrada de um sistema *no-break on-line* não isolado é composta por uma topologia que integra o retificador e o estágio pré-regulador e que possua acesso ao neutro comum. Também foi mostrado que um conversor que apresenta esta integração com acesso ao neutro comum é o conversor CA-CC monofásico dobrador de tensão ou conversor de três níveis [27-29], sendo um conversor que opera com alta eficiência, pois somente um ou dois semicondutores conduzem simultaneamente, diminuindo-se as perdas por condução.

Assim, é estudado neste capítulo o conversor CA-CC monofásico de três níveis convencional, apresentando sua estrutura topológica, princípio de funcionamento, etapas de operação e principais formas de onda, uma análise quantitativa do estágio de potência e sua operação dinâmica. Também são apresentados um exemplo de projeto do conversor e resultados de simulação e experimental.

3.2 Análise Qualitativa

3.2.1 Topologia e Princípio de Funcionamento

A topologia do conversor CA-CC de três níveis convencional é apresentada na *Fig. 3.1*, conforme o que foi descrito no item 1.5, sendo composta dos seguintes elementos: um indutor L_b localizado no lado CA, quatro interruptores controlados $S1$, $S2$, $S3$ e $S4$ (com seus respectivos diodos intrínsecos em antiparalelo) formando dois interruptores bidirecionais, quatro diodos $D1$, $D2$, $D3$ e $D4$ que comutam em alta frequência e dois capacitores de filtro $C1$ e $C2$ com um ponto de conexão comum. Este ponto de conexão comum é ligado ao neutro da fonte de alimentação do conversor.

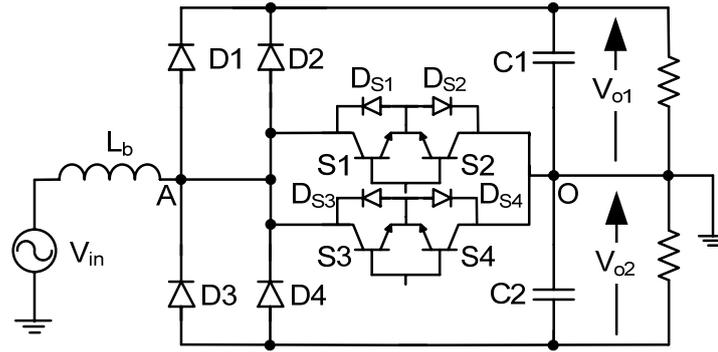


Fig. 3.1 – Topologia do conversor CA-CC de três níveis convencional com interruptores e diodos em paralelo.

Este conversor caracteriza-se por apresentar, segundo [29, 33]:

- Estágio retificador integrado ao conversor *boost* reduzindo o número de componentes;
- Utilização de dois interruptores bidirecionais em corrente com comando único simplificando o circuito de controle;
- Tensão de bloqueio dos interruptores sendo a metade da tensão de saída, possibilitando o uso de componentes de menor tensão nominal, reduzindo as perdas por condução e comutação;
- Reduzido número de semicondutores que processam energia simultaneamente, reduzindo as perdas por condução;
- Existência do ponto médio entre duas tensões nos estágios de saída, facilitando o *bypass* do *no-break* e estando disponível para alimentação de inversores meia ponte ou dupla meia ponte, no caso dos *no-breaks* ou para a alimentação de conversores CC-CC de múltiplos níveis. No entanto, a presença de dois estágios de saída necessita de uma malha de controle que imponha o equilíbrio entre estas tensões.

Esse conversor comporta-se como se fosse constituído por dois conversores *boost* clássico. Para cada semiciclo da tensão de entrada o conversor opera de maneira complementar, onde há a combinação de um diodo (*D1* ou *D3*) e um interruptor associado a um diodo intrínseco (*S1:D_{S2}* ou *S2:D_{S1}*). No semiciclo em que o diodo (*D1* ou *D3*) permanece bloqueado, a carga conectada nesse estágio de saída é alimentada exclusivamente pelo capacitor, não havendo transferência de energia da fonte de alimentação durante o intervalo de meio ciclo.

Dependendo do estado dos interruptores bidirecionais (conduzindo ou bloqueado), a tensão entre os pontos *A* e *O* pode assumir três valores distintos ($+V_o$, 0 , e $-V_o$). Daí vem o nome de conversor de três níveis. Durante o semiciclo positivo da tensão de entrada, a tensão entre os pontos *A* e *O* apresenta nível zero quando os interruptores estiverem em condução e nível $+V_o$ quando os interruptores estiverem bloqueados. No semiciclo negativo o

comportamento é análogo. A tensão V_{AO} é apresentada na Fig. 3.2, considerando uma baixa frequência de comutação para melhor visualização.

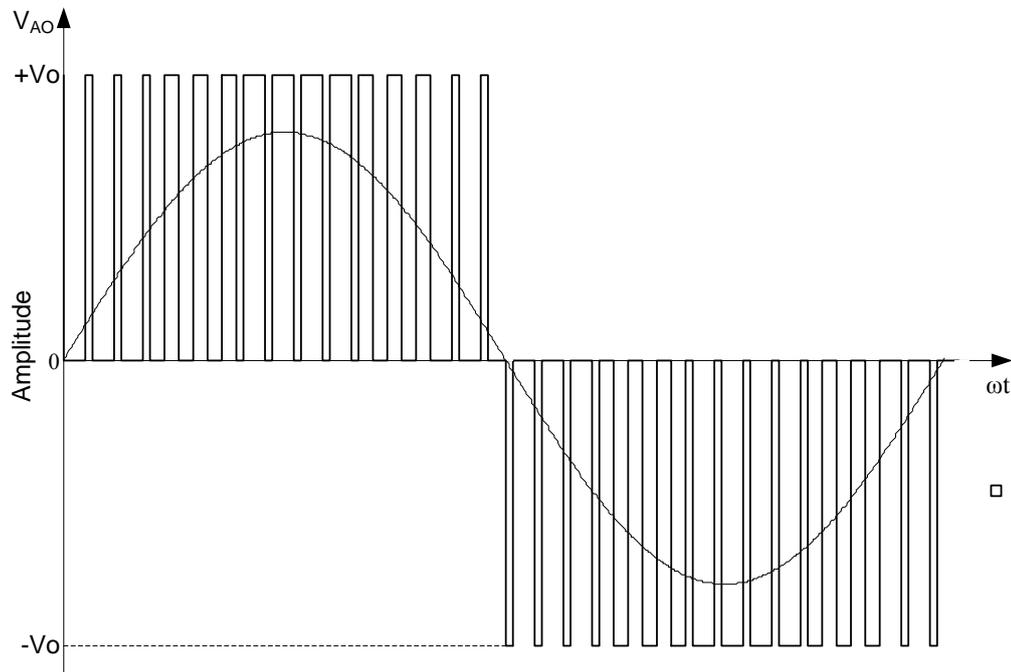


Fig. 3.2 – Formas de onda da tensão de entrada e tensão V_{AO} para o conversor monofásico de três níveis.

O conversor de três níveis convencional apresenta quatro etapas de operação, sendo duas para cada semiciclo da tensão de entrada. Segue-se a descrição do funcionamento dessas etapas de operação.

3.2.2 Etapas de Operação – Semiciclo Positivo da Tensão de Entrada

Durante o semiciclo positivo da tensão de entrada os diodos $D3$ e $D4$ e os interruptores $S2$ e $S4$ permanecem bloqueados enquanto que o capacitor de saída $C2$ fornece energia à carga a ele associado. Assim, o conversor apresenta duas etapas de operação descritas a seguir.

1ª. Etapa – Etapa de Acumulação de Energia

Durante esta etapa, os interruptores $S1$ e $S3$ entram em condução. Os diodos $D1$ e $D2$ estão inversamente polarizados. A corrente que circula através do indutor L_b cresce linearmente e a energia é armazenada. Nos estágios de saída, cada capacitor fornece energia à carga correspondente. Nesta etapa existem quatro semicondutores conduzindo simultaneamente a corrente de entrada: D_{S2} e $S1$; D_{S4} e $S3$. Esta etapa de operação está ilustrada na Fig. 3.3, e o caminho da circulação da corrente é marcada em negrito. A etapa termina quando os interruptores $S1$ e $S3$ são bloqueados.

A equação diferencial que define esta 1ª etapa é apresentada a seguir:

$$v_{in}(\omega t) = L_b \cdot \frac{di_m}{d\omega t} \quad (3.1)$$

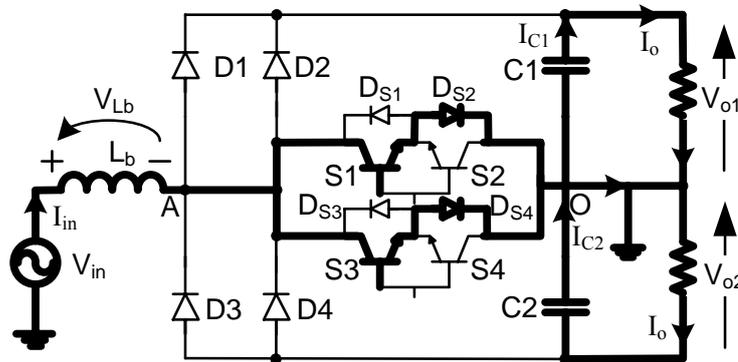


Fig. 3.3 – 1ª etapa de operação do conversor para o semiciclo positivo da tensão de entrada.

2ª Etapa – Etapa de Transferência de Energia

Quando os interruptores *S1* e *S3* são comandados a bloquearem, os diodos *D1* e *D2* entram em condução e o indutor L_b e a fonte de alimentação transferem a energia para a carga. Nesta etapa apenas dois semicondutores conduzem a corrente de entrada, os diodos *D1* e *D2*. Esta etapa está ilustrada na Fig. 3.4.

A equação diferencial que define esta 2ª etapa é apresentada a seguir:

$$v_{in}(\omega t) = V_{o1} - L_b \cdot \frac{di_m}{d\omega t} \quad (3.2)$$

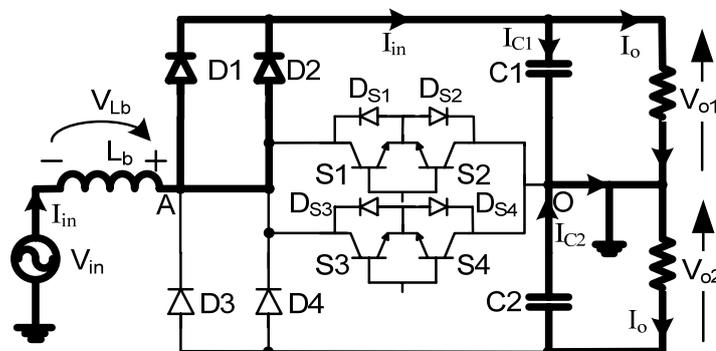


Fig. 3.4 – 2ª etapa de operação do conversor para o semiciclo positivo da tensão de entrada.

As principais formas de onda teóricas do conversor CA-CC de três níveis convencional são apresentadas na Fig. 3.5, onde: I_M é a corrente máxima de entrada, I_m é a corrente mínima de entrada, V_{o1} é a tensão de saída do capacitor $C1$, V_o é a tensão de saída total ($V_{o1} + V_{o2}$) e V_{in} é a tensão de entrada.

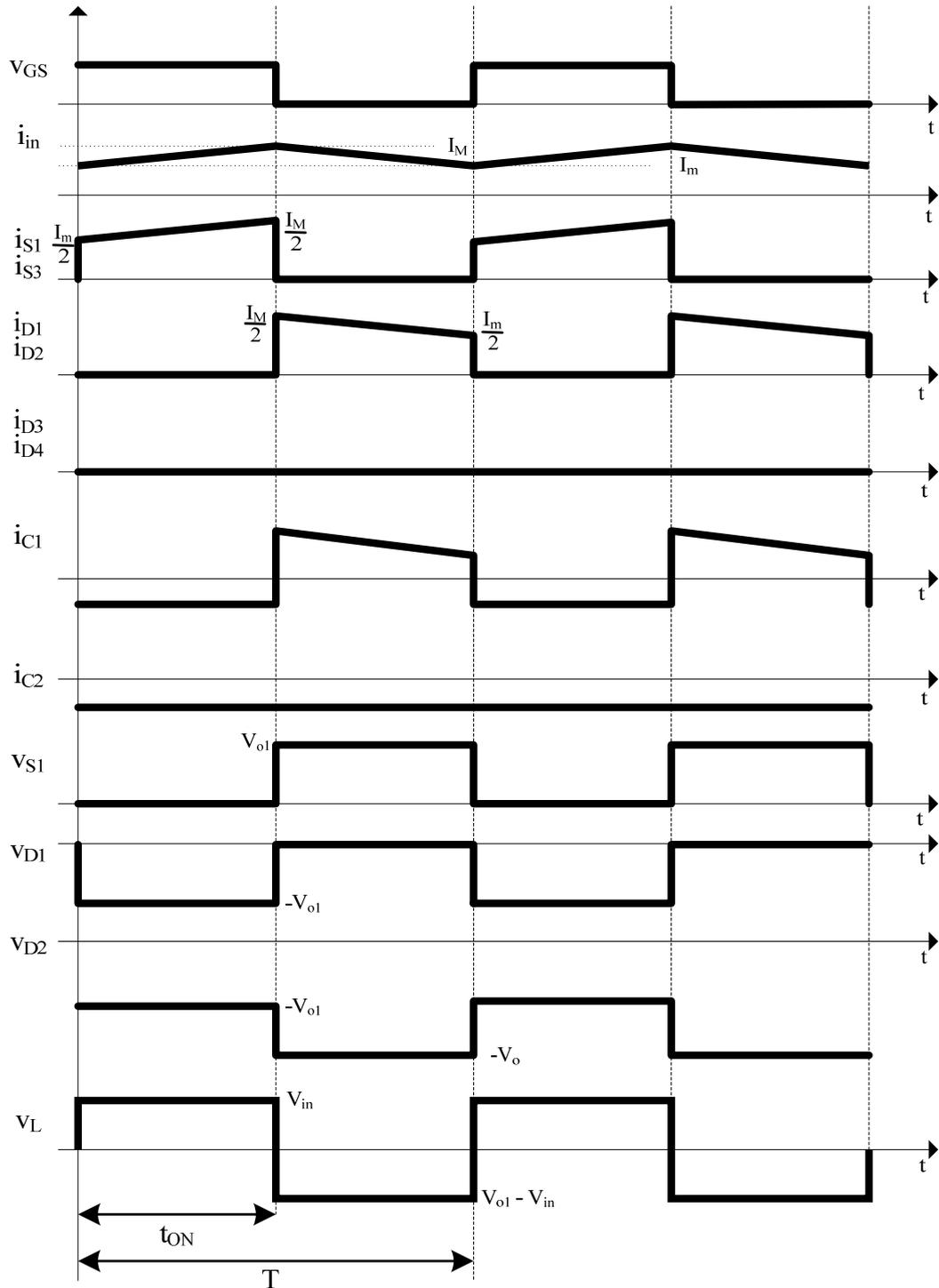


Fig. 3.5 – Principais formas de onda idealizadas para o semiciclo positivo da tensão de entrada.

3.2.3 Etapas de Operação – Semiciclo Negativo da Tensão de Entrada

Durante o semiciclo negativo da tensão de entrada, de forma análoga à análise anterior, porém de forma complementar, os diodos $D1$ e $D2$ e os interruptores $S1$ e $S3$ permanecerão bloqueados enquanto que o capacitor de saída $C1$ fornece energia à carga a ele associado e o sentido da corrente no indutor é invertido.

1ª. Etapa – Etapa de Acumulação de Energia

Nesta etapa, os interruptores $S2$ e $S4$ entram em condução. Os diodos $D2$ e $D4$ estão inversamente polarizados. A corrente que circula através do indutor L_b cresce linearmente e a energia é armazenada. Nos estágios de saída, cada capacitor fornece energia à carga correspondente. Nesta etapa existem quatro semicondutores conduzindo simultaneamente a corrente de entrada: D_{S1} e $S2$; D_{S3} e $S4$. Esta etapa de operação está ilustrada na Fig. 3.6, e o caminho da circulação da corrente é marcada em negrito. A etapa termina quando os interruptores $S2$ e $S4$ são bloqueados.

A equação diferencial que define esta 1ª etapa é apresentada a seguir:

$$v_{in}(\omega t) = L_b \cdot \frac{di_{in}}{d\omega t}. \quad (3.3)$$

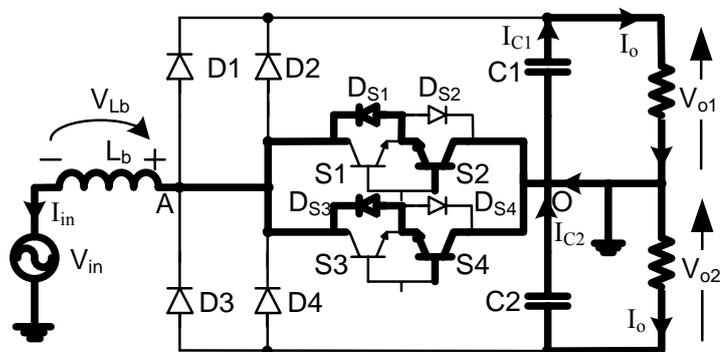


Fig. 3.6 – 1ª etapa de operação do conversor para o semiciclo negativo da tensão de entrada.

2ª Etapa – Etapa de Transferência de Energia

Quando os interruptores $S2$ e $S4$ são comandados a bloquear, os diodos $D2$ e $D4$ entram em condução e o indutor L_b e a fonte de alimentação transferem a energia para a carga. Nesta etapa apenas dois semicondutores conduzem a corrente de entrada, os diodos $D2$ e $D4$. Esta etapa está ilustrada na Fig. 3.7.

A equação diferencial que define esta 2ª etapa é apresentada a seguir:

$$v_{in}(\omega t) = V_{o2} - L_b \cdot \frac{di_{in}}{d\omega t}. \quad (3.4)$$

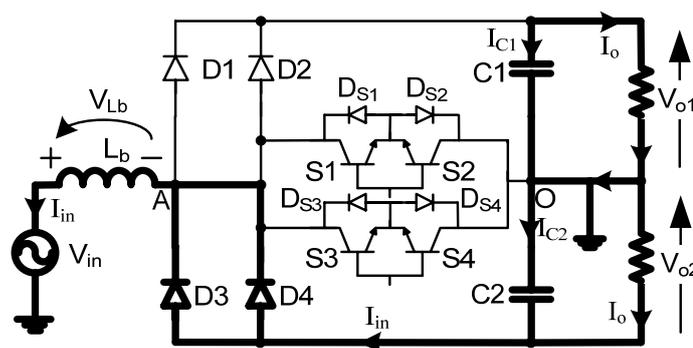


Fig. 3.7 – 2ª etapa de operação do conversor para o semiciclo negativo da tensão de entrada.

As principais formas de onda teóricas do conversor CA-CC de três níveis convencional para o semiciclo negativo da tensão de entrada são apresentadas na Fig. 3.8, de forma análoga ao que foi apresentado para o semiciclo positivo.

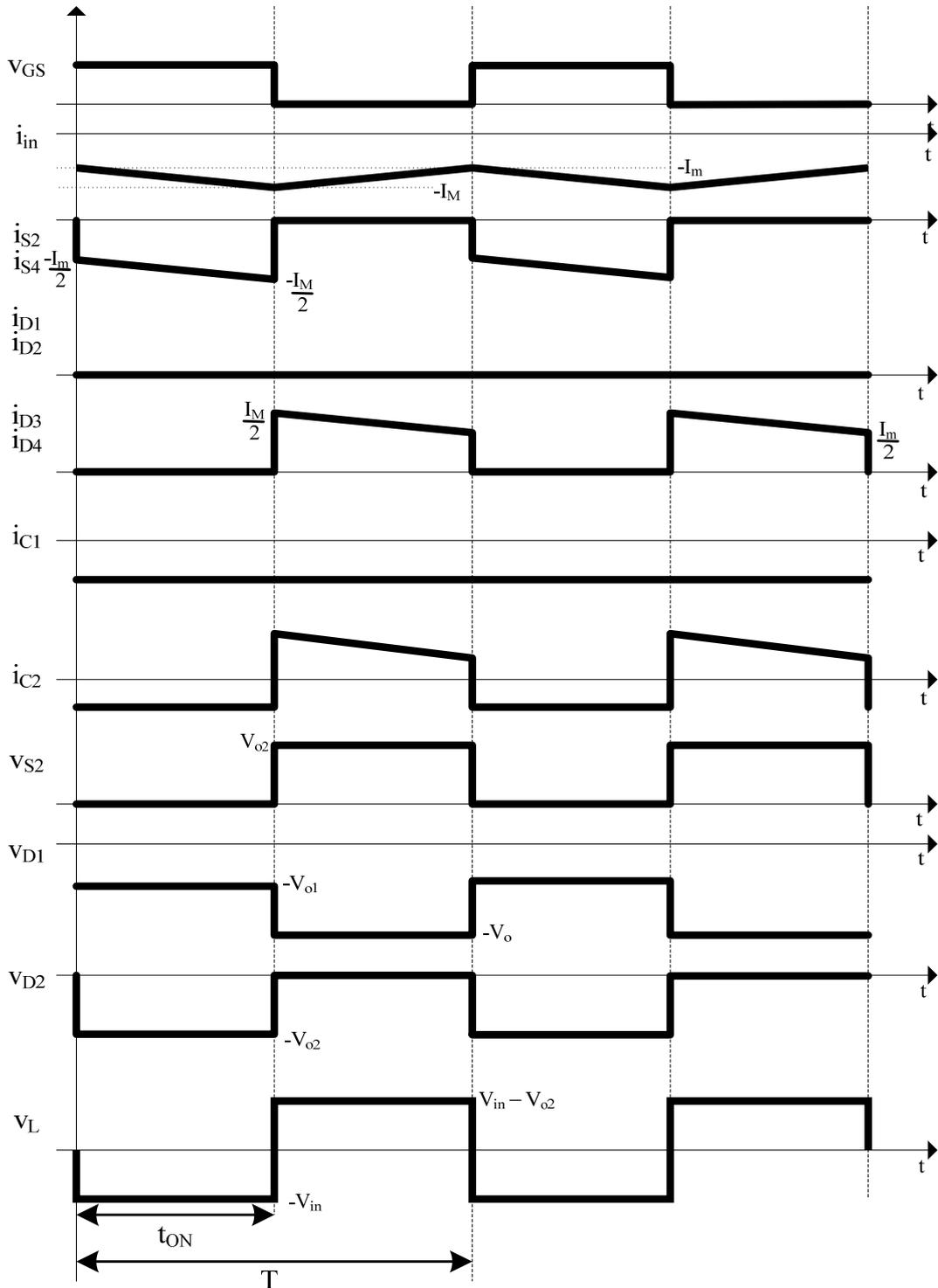


Fig. 3.8 – Principais formas de onda idealizadas para o modo de operação de sobreposição.

3.3 Análise Quantitativa do Estágio de Potência

O conversor CA-CC monofásico de três níveis convencional pode ser visto como sendo composto de dois conversores *boost* distintos, onde cada um opera em um semiciclo da tensão de entrada. Dessa forma, a análise do conversor é realizada considerando a operação do mesmo no semiciclo positivo da tensão de entrada, modo de condução contínua e a Fig. 3.9 representa o circuito do conversor para a realização dessa análise.

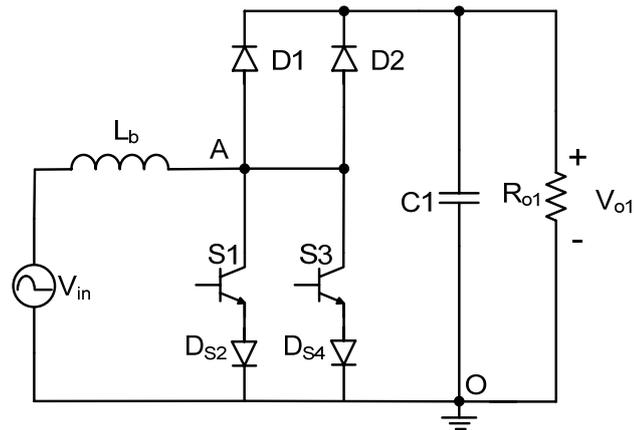


Fig. 3.9 – Circuito do conversor de três níveis para o semiciclo positivo da tensão de entrada.

3.3.1 Operação em Regime Permanente

Admitindo que a corrente de entrada é senoidal e em fase com a tensão de entrada, têm-se as relações de potência para o conversor de três níveis descritas abaixo.

Sendo a tensão de entrada definida por:

$$v_{in}(\omega t) = V_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi. \quad (3.5)$$

A corrente de entrada é definida por:

$$i_{in}(\omega t) = I_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi. \quad (3.6)$$

A potência de entrada instantânea é:

$$p_{in}(\omega t) = v_{in}(\omega t) \cdot i_{in}(\omega t) \quad 0 \leq \omega t \leq 2\pi. \quad (3.7)$$

Substituindo (3.5) e (3.6) em (3.7), obtém-se:

$$p_{in}(\omega t) = V_p \cdot I_p \cdot \text{sen}^2(\omega t). \quad (3.8)$$

Levando em conta o rendimento, e calculando a potência média, a potência de saída será:

$$P_o = V_o \cdot I_o = \frac{1}{2} \cdot V_p \cdot I_p \cdot \eta. \quad (3.9)$$

3.3.2 Determinação do Ganho Estático

A metodologia utilizada para determinar o ganho estático é baseada no valor médio da tensão V_L sobre o indutor L_b . No indutor a tensão média num período de comutação é nula para ambos os semiciclos da tensão de entrada. Como consequência, as variações de fluxo magnético em cada etapa de operação são iguais. Partindo desta definição, obtém-se a equação (3.10) relacionado ao semiciclo positivo da tensão de entrada:

$$\Delta\Phi_{1^a\text{etapa}} = \Delta\Phi_{2^a\text{etapa}} \quad (3.10)$$

Substituindo as variações de fluxo na equação (3.10), obtém-se a equação (3.11):

$$v_{in}(\omega t) \cdot (t_1 - t_0) = (V_{o1} - v_{in}(\omega t)) \cdot (T - t_1) \quad (3.11)$$

A razão cíclica, D , é definida como a relação entre o intervalo de condução do interruptor num período de comutação:

$$D = \frac{t_{ON}}{T} \quad (3.12)$$

onde t_{ON} é o intervalo de condução do interruptor e T é o período de comutação.

Os intervalos de tempo de cada etapa de operação em função da razão cíclica são apresentados abaixo:

$$\begin{cases} t_1 - t_0 = D \cdot T \\ T - t_1 = T - D \cdot T \end{cases} \quad (3.13)$$

Substituindo a equação (3.13) em (3.11), respectivamente, obtém-se:

$$v_{in}(\omega t) \cdot D \cdot T = (V_{o1} - v_{in}(\omega t)) \cdot (T - D \cdot T) \quad (3.14)$$

Resolvendo a equação (3.14), obtém-se:

$$V_{o1} \cdot (T - D \cdot T) = v_{in}(\omega t) \cdot (T) \Rightarrow \frac{V_{o1}}{v_{in}(\omega t)} = \frac{1}{1 - D} \quad (3.15)$$

Percebe-se que o valor encontrado para o ganho estático é o mesmo de um conversor *boost* clássico operando no modo de condução contínua.

3.3.3 Variação da Razão Cíclica

Como o conversor possui como características uma tensão de saída constante e uma tensão de entrada com variação senoidal, a fim de comandá-lo adequadamente sob frequência de comutação constante, a razão cíclica deve variar a cada período de comutação.

Substituindo (3.5) em (3.15), tem-se:

$$\frac{V_{o1}}{V_p \cdot \text{sen}(\omega t)} = \frac{1}{1 - D(\omega t)}. \quad (3.16)$$

Resolvendo a equação (3.16) em função da razão cíclica $D(\omega t)$, tem-se:

$$D(\omega t) = 1 - \frac{V_p}{V_{o1}} \cdot \text{sen}(\omega t). \quad (3.17)$$

Definindo o parâmetro β como sendo a relação entre a tensão de saída e o valor de pico da tensão de entrada, tem-se:

$$\beta = \frac{V_{o1}}{V_p}. \quad (3.18)$$

Substituindo a equação (3.18) em (3.17), obtém-se:

$$D(\omega t) = 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t). \quad (3.19)$$

A equação (3.19) representa a variação da razão cíclica ao longo do tempo. Esta variação percorrerá valores entre a unidade e um valor mínimo definido por β , a cada meio período da tensão de alimentação. A representação gráfica da variação da razão cíclica expressa em (3.19) é apresentada na Fig. 3.10, onde se observa que os valores máximos ocorrerão na passagem por zero da tensão de alimentação e, os mínimos nos instantes da passagem pelo valor de pico da tensão de alimentação.

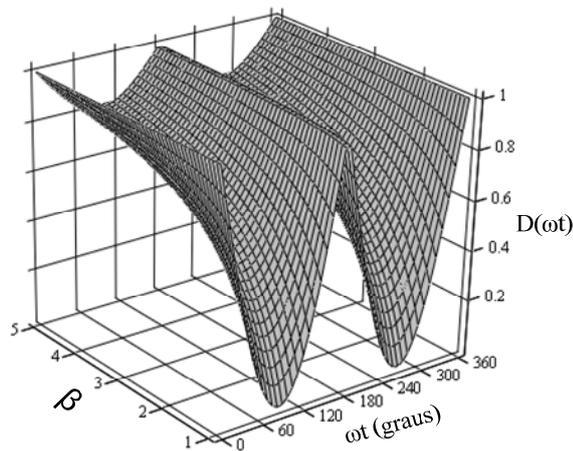


Fig. 3.10 – Variação da razão cíclica em função do tempo para um período da tensão de entrada.

3.3.4 Determinação da Ondulação de Corrente de Entrada

A ondulação da corrente de entrada através do indutor L_b varia ao longo do ciclo da rede em virtude da variação da tensão de entrada e da razão cíclica do interruptor. O conhecimento

dessa variação de ondulação se faz necessária para o correto dimensionamento da indutância de entrada.

A análise da ondulação da corrente é realizada observando-se um período de comutação do interruptor. Assim, tem-se que a equação diferencial relativa à 1ª etapa de operação é:

$$L_b \cdot \frac{di_{in}}{d\omega t} - v_{in}(\omega t) = 0. \quad (3.20)$$

Resolvendo a equação (3.20) para uma variação da razão cíclica ($d\omega t = D(\omega t)/f_s$), tem-se:

$$\Delta I_{in} = \frac{[1 - D(\omega t)] \cdot D(\omega t)}{f_s \cdot L_b} \cdot V_{o1}. \quad (3.21)$$

Substituindo (3.19) em (3.21), obtém-se:

$$\Delta I_L = \frac{\text{sen}(\omega t) \cdot (\beta - \text{sen}(\omega t))}{f_s \cdot L_b \cdot \beta^2} \cdot V_{o1}. \quad (3.22)$$

Adotando a relação $\frac{L_b \cdot f_s}{V_{o1}}$ como fator de parametrização, chega-se a equação (3.23):

$$\overline{\Delta I_L(\omega t)} = \frac{\Delta I_L(\omega t) \cdot L_b \cdot f_s}{V_{o1}} = \frac{\text{sen}(\omega t) \cdot (\beta - \text{sen}(\omega t))}{\beta^2}. \quad (3.23)$$

A Fig. 3.11 apresenta de forma gráfica a variação da ondulação da corrente parametrizada da entrada em meio período da rede para diferentes valores de β .

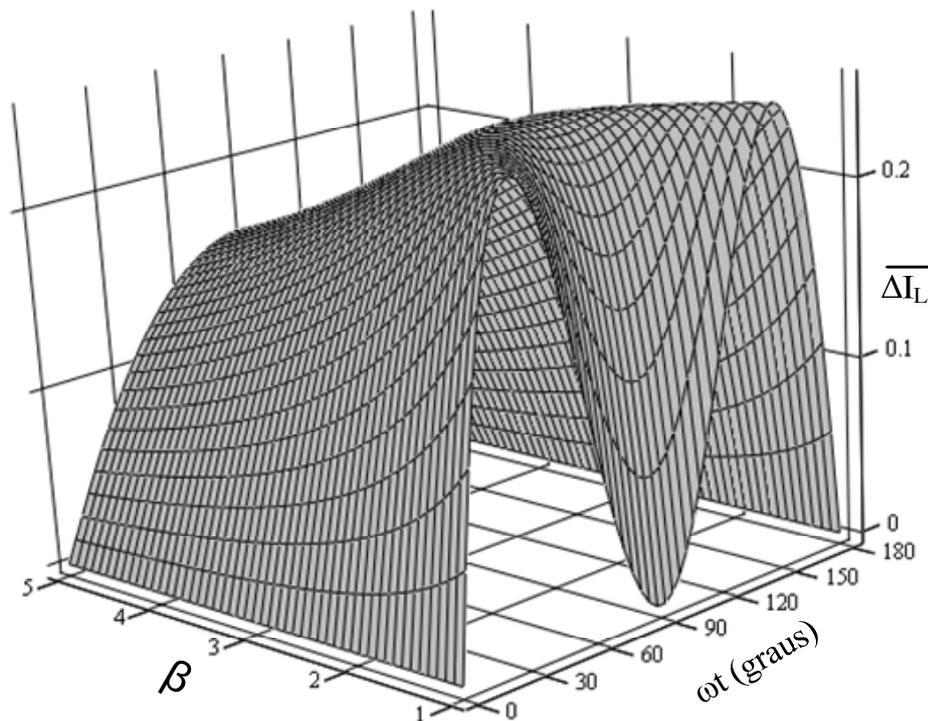


Fig. 3.11 – Variação da ondulação da corrente parametrizada para meio período da rede.

O máximo valor da ondulação de corrente parametrizada é calculada a partir da equação (3.23). Assim, derivando-a e igualando-a a zero, tem-se:

$$\frac{d\overline{\Delta I_{in}}(\omega t)}{d\omega t} = \frac{\cos(\omega t)}{\beta^2} \cdot [\beta - 2 \cdot \text{sen}(\omega t)] = 0. \quad (3.24)$$

Resolvendo (3.24), tem-se que as raízes da equação são:

$$\begin{cases} \omega t = a \text{sen}\left(\frac{\beta}{2}\right) \\ \omega t = \frac{\pi}{2} \end{cases}. \quad (3.25)$$

As raízes dessa equação apontam um ponto de mínimo e um de máximo. Com interesse no ponto de máxima ondulação de corrente, substituem-se os valores de ωt de (3.25) em (3.23). O resultado da corrente parametrizada encontrada é:

$$\overline{\Delta I_{in}}\left(a \text{sen}\left(\frac{\beta}{2}\right)\right) = \frac{\left(\text{sen}\left(a \text{sen}\left(\frac{\beta}{2}\right)\right)\right) \cdot \left(\beta - \text{sen}\left(a \text{sen}\left(\frac{\beta}{2}\right)\right)\right)}{\beta^2} = \frac{1}{4}. \quad (3.26)$$

Assim, substituindo-se esse valor na equação (3.23), obtém-se o máximo valor da ondulação de corrente através do indutor dado pela equação (3.27).

$$\Delta I_{in\max} = \overline{\Delta I_{in}}(\omega t) \cdot \frac{V_{o1}}{L_b \cdot f_s} = \frac{V_{o1}}{4 \cdot L_b \cdot f_s}. \quad (3.27)$$

Dessa forma, o valor da indutância pode ser calculado de acordo com a equação (3.28):

$$L_b = \frac{V_{o1}}{4 \cdot \Delta I_{in} \cdot f_s}. \quad (3.28)$$

3.3.5 Determinação da Ondulação de Tensão no Capacitor $C1$

O circuito que representa o estágio de saída do conversor para o semiciclo positivo da tensão de entrada é apresentado na Fig. 3.12. Neste circuito, a fonte de corrente corresponde a corrente que circula pelo diodo DI e que circulará pelo capacitor de saída e pela carga.

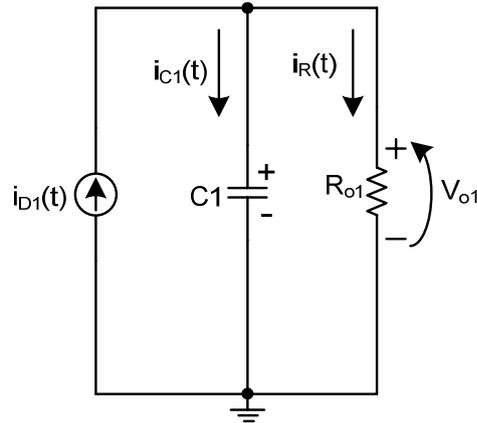


Fig. 3.12 – Circuito equivalente do estágio de saída do conversor para o semiciclo positivo da tensão de entrada.

A forma de onda da corrente que circula no capacitor do filtro $C1$, na frequência de comutação, é apresentada na Fig. 3.13 para um período da rede.

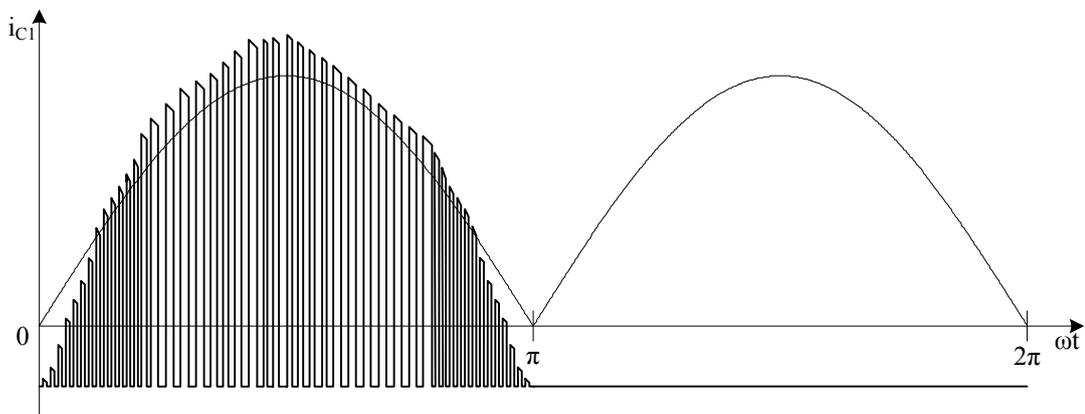


Fig. 3.13 – Forma de onda da corrente no capacitor de filtro $C1$ para um período da rede.

A corrente que circula através do capacitor $C1$ resulta da diferença entre a corrente total de entrada $i_{D1}(t)$ e a corrente que circula na carga $i_R(t)$:

$$i_{C1}(t) = i_{D1}(t) - i_R(t). \quad (3.29)$$

Considerando a corrente de carga sem ondulação, tem-se:

$$i_R(t) = \frac{V_{o1}}{R_{o1}}. \quad (3.30)$$

A corrente no diodo é complementar à corrente no interruptor. Assim, a corrente no diodo $D1$ pode ser definida como:

$$i_{D1}(t) = i_m(\omega t) \cdot [1 - D(\omega t)]. \quad (3.31)$$

Substituindo (3.6) e (3.19) em (3.31), tem-se:

$$i_{D1}(t) = \frac{I_p \cdot \text{sen}^2(\omega t)}{\beta}. \quad (3.32)$$

Dessa forma, a corrente no capacitor CI para o semiciclo positivo da tensão de entrada é dado pela equação (3.33), obtida substituindo (3.30) e (3.32) em (3.29):

$$i_{C1}(t) = \frac{I_p \cdot \text{sen}^2(\omega t)}{\beta} - \frac{V_{o1}}{R_{o1}} \quad 0 \leq \omega t \leq \pi. \quad (3.33)$$

Durante o semiciclo negativo, o capacitor se descarrega sobre a carga. Assim, a corrente no capacitor CI é dada por:

$$i_{C1}(t) = -\frac{V_{o1}}{R_{o1}} \quad \pi < \omega t \leq 2 \cdot \pi. \quad (3.34)$$

A corrente que circula sobre a carga é a componente contínua da corrente de saída dada pela equação (3.32). Portanto, a corrente de carga é dada por:

$$i_R(t) = i_{\text{omd}}(\omega t) = \frac{1}{2 \cdot \pi} \int_0^\pi \frac{I_p \cdot \text{sen}^2(\omega t)}{\beta} \cdot d\omega t = \frac{I_p}{4 \cdot \beta}. \quad (3.35)$$

Substituindo (3.35) em (3.33) e (3.34), tem-se para o semiciclo positivo e negativo, respectivamente:

$$i_{C1}(\omega t) = \frac{I_p \cdot \text{sen}^2(\omega t)}{\beta} - \frac{I_p}{4 \cdot \beta} \quad 0 \leq \omega t \leq \pi. \quad (3.36)$$

$$i_{C1}(\omega t) = -\frac{I_p}{4 \cdot \beta} \quad \pi < \omega t \leq 2 \cdot \pi. \quad (3.37)$$

A ondulação da tensão no capacitor CI é obtida a partir da equação de sua corrente apresentada em (3.36) para o semiciclo positivo:

$$v_{C1}(t) = \frac{1}{C1} \cdot \int \left[\frac{I_p \cdot \text{sen}^2(\omega t)}{\beta} - \frac{I_p}{4 \cdot \beta} \right] \cdot dt \quad 0 \leq \omega t \leq \pi. \quad (3.38)$$

Resolvendo a equação (3.38):

$$v_{C1}(t) = -\frac{I_p \cdot \text{sen}(2 \cdot \omega t) - I_p \cdot \omega t}{4 \cdot C1 \cdot \beta \cdot \omega} + k_1 \quad 0 \leq \omega t \leq \pi. \quad (3.39)$$

A constante k_1 é calculada como se segue:

$$v_{C1}(0) = -v_{C1}\left(\frac{\pi}{\omega}\right). \quad (3.40)$$

$$k_1 = -\frac{I_p \cdot \pi}{4 \cdot C1 \cdot \beta \cdot \omega} - k_1. \quad (3.41)$$

$$k_1 = -\frac{I_p \cdot \pi}{8 \cdot C1 \cdot \beta \cdot \omega}. \quad (3.42)$$

Substituindo a equação (3.42) em (3.39), tem-se:

$$v_{C1}(t) = -\frac{I_p}{4 \cdot C1 \cdot \beta \cdot \omega} \cdot \left\{ [sen(2 \cdot \omega t) - \omega t] - \frac{\pi}{2} \right\} \quad 0 \leq \omega t \leq \pi. \quad (3.43)$$

A ondulação da tensão parametrizada no capacitor $C1$ para o semiciclo positivo da tensão de entrada é dada por (3.44):

$$\overline{v_{C1}(t)} = \frac{4 \cdot C1 \cdot \beta \cdot \omega \cdot v_{C1}(\omega t)}{I_p} = -\left\{ [sen(2 \cdot \omega t) - \omega t] - \frac{\pi}{2} \right\} \quad 0 \leq \omega t \leq \pi. \quad (3.44)$$

De forma análoga a ondulação da tensão no capacitor $C1$ é obtida a partir da equação de sua corrente apresentada em (3.37) para o semiciclo negativo:

$$v_{C1}(t) = \frac{1}{C1} \cdot \int \left[-\frac{I_p}{4 \cdot \beta} \right] \cdot dt = -\frac{I_p \cdot t}{4 \cdot C1 \cdot \beta} + k_2 \quad \pi \leq \omega t \leq 2 \cdot \pi. \quad (3.45)$$

A constante k_2 é calculada como se segue:

$$v_{C1}\left(\frac{\pi}{\omega}\right) = -v_{C1}\left(\frac{2 \cdot \pi}{\omega}\right). \quad (3.46)$$

$$-\frac{I_p}{4 \cdot C1 \cdot \beta} \cdot \frac{\pi}{\omega} + k_2 = \frac{I_p}{4 \cdot C1 \cdot \beta} \cdot \frac{2 \cdot \pi}{\omega} - k_2. \quad (2.57)$$

$$k_2 = \frac{3 \cdot \pi}{2} \frac{I_p}{4 \cdot C1 \cdot \beta \cdot \omega}. \quad (3.47)$$

Substituindo a equação (3.47) em (3.45), tem-se:

$$v_{C1}(t) = \frac{I_p}{4 \cdot C1 \cdot \beta \cdot \omega} \cdot \left(-t + \frac{3 \cdot \pi}{2} \right) \quad \pi \leq \omega t \leq 2 \cdot \pi. \quad (3.48)$$

A ondulação da tensão parametrizada no capacitor $C1$ para o semiciclo negativo da tensão de entrada é dada por (3.49):

$$\overline{v_{C1}(t)} = \frac{4 \cdot C1 \cdot \beta \cdot \omega \cdot v_{C1}(t)}{I_p} = -t + \frac{3 \cdot \pi}{2} \quad \pi \leq \omega t \leq 2 \cdot \pi. \quad (3.49)$$

A ondulação da tensão parametrizada no capacitor $C2$ apresenta a mesma forma de onda da tensão no capacitor $C1$, mas, defasada de 180° , sendo assim, descrita pela equação (3.50) para o semiciclo positivo da tensão de entrada e pela equação (3.51) para o semiciclo negativo:

$$\overline{v_{C1}(t)} = -t + \frac{\pi}{2} \quad 0 \leq \omega t \leq \pi. \quad (3.50)$$

$$\overline{v_{C1}(t)} = -[sen(2 \cdot \omega t) - \omega t] - \frac{3 \cdot \pi}{2} \quad \pi \leq \omega t \leq 2 \cdot \pi. \quad (3.51)$$

A tensão total de saída parametrizada é a soma da tensão parametrizada nos dois capacitores, dada por (3.52):

$$\overline{v_o(\omega t)} = \overline{v_{C1}(\omega t)} + \overline{v_{C2}(\omega t)} = -2 \cdot \text{sen}(2 \cdot \omega t) \quad 0 \leq \omega t \leq 2 \cdot \pi . \quad (3.52)$$

A Fig. 3.14 apresenta a forma de onda das tensões parametrizadas em cada capacitor e da tensão parametrizada de saída total na saída do retificador.

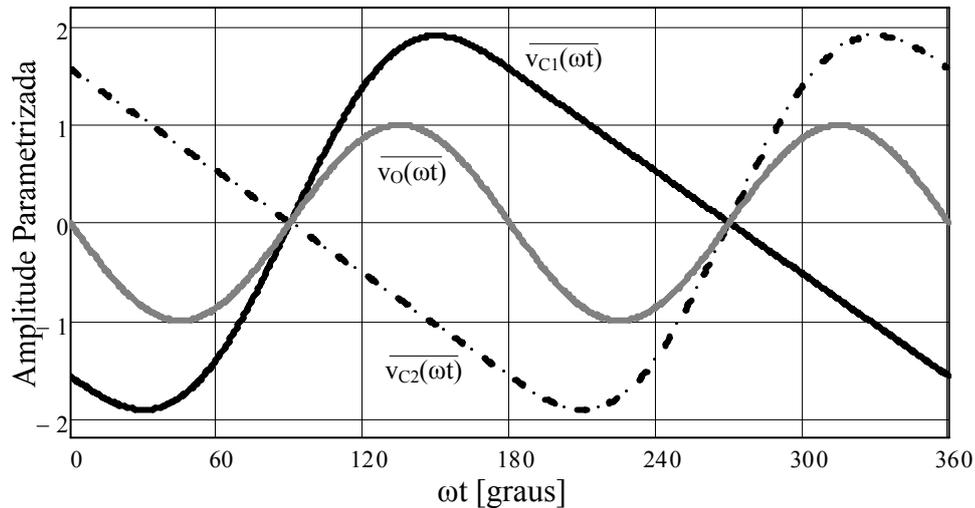


Fig. 3.14 – Forma de onda das tensões parametrizadas nos capacitores C1 e C2 e da tensão de saída total parametrizada para um período da rede.

Partindo da equação (3.52), o valor máximo da ondulação da tensão de saída total parametrizada vale um, sendo então este valor tomado para calcular o valor da capacitância necessária para obter uma ondulação máxima de tensão total de saída especificada. Assim, o capacitor pode ser determinado a partir da equação (3.53):

$$C1 = \frac{I_p}{4 \cdot \beta \cdot \omega \cdot \Delta V_o} . \quad (3.53)$$

Substituindo a equação (3.9) em (3.53):

$$C1 = \frac{I_o}{2 \cdot \eta \cdot \omega \cdot \Delta V_o} . \quad (3.54)$$

3.3.6 Análise dos Esforços de Tensão e Corrente no Conversor

Com o objetivo de se apresentar uma metodologia de projeto do conversor, são realizados cálculos matemáticos dos esforços de tensão e corrente nos componentes do conversor no modo de condução contínua.

Expressões Básicas

Será considerado para análise um fator de potência unitário. Assim, a tensão de entrada $v_{in}(\omega t)$ e a corrente de entrada $i_{in}(\omega t)$ foram definidas em (3.5) e (3.6):

$$v_{in}(\omega t) = V_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi .$$

$$i_{in}(\omega t) = I_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi .$$

Da equação (3.9), a corrente de pico é definida em função do parâmetro β dado por:

$$I_p = \frac{2 \cdot V_{o1} \cdot I_o}{\eta \cdot V_p} = \frac{2 \cdot \beta \cdot I_o}{\eta} . \quad (3.55)$$

Indutor L_b

A corrente eficaz em função de ωt que circula através do indutor é definida por :

$$i_{efL_b}(\omega t) = I_p \cdot \text{sen}(\omega t) . \quad (3.56)$$

A corrente eficaz que circula através do indutor em um período da rede é definida por:

$$I_{efL_b} = 2 \cdot \sqrt{\frac{1}{\pi} \cdot \int_0^{\pi} (i_{efL_b}(\omega t))^2 d\omega t} . \quad (3.57)$$

Resolvendo a equação (3.57), obtém-se a equação (3.58):

$$I_{efL_b} = \frac{2 \cdot \sqrt{2} \cdot \beta \cdot I_o}{\eta} . \quad (3.58)$$

O valor máximo da corrente de pico que circula através do indutor é dado por (3.59):

$$I_{pL_b} = \frac{4 \cdot \beta \cdot I_o}{\eta} . \quad (3.59)$$

Interruptores

São definidos os esforços de tensão e corrente do interruptor SI , que são os mesmos para os demais interruptores. A máxima tensão sobre os interruptores é definida por (3.60):

$$V_{S1} = V_{o1} = \frac{V_o}{2} . \quad (3.60)$$

A corrente eficaz em função de ωt através do interruptor é definida por (3.61):

$$i_{efS1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{2} \cdot \sqrt{\frac{\beta - \text{sen}(\omega t)}{\beta}} . \quad (3.61)$$

A corrente eficaz em um período da rede é definida por (3.62). Com isto pode-se especificar interruptores do tipo MOSFET.

$$I_{efS1} = \sqrt{\frac{1}{\pi} \cdot \int_0^{\pi} (i_{efS1}(\omega t))^2 d\omega t} . \quad (3.62)$$

Resolvendo a equação (3.62), obtém-se a equação (3.63):

$$I_{efS1} = \frac{\sqrt{6} \cdot I_o}{3 \cdot \eta} \cdot \sqrt{\frac{\beta \cdot (3 \cdot \pi \cdot \beta - 8)}{\pi}}. \quad (3.63)$$

O valor máximo da corrente de pico repetitivo dos interruptores é o mesmo dado por (3.59). A corrente média em função de ωt através do interruptor é definida por (3.64):

$$i_{mdS1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{2} \cdot \frac{\beta - \text{sen}(\omega t)}{\beta}. \quad (3.64)$$

A corrente média em um período da rede é definida por (3.65). Com isto pode-se especificar interruptores do tipo IGBT.

$$I_{mdS1} = \frac{1}{\pi} \cdot \int_0^{\pi} (i_{mdS1}(\omega t)) d\omega t. \quad (3.65)$$

Resolvendo a equação (3.65), obtém-se a equação (3.66):

$$I_{mdS1} = \frac{I_o \cdot (4 \cdot \beta - \pi)}{\pi \cdot \eta}. \quad (3.66)$$

Diodos

São definidos os esforços de tensão e corrente do diodo DI , que são os mesmos para os demais diodos. A máxima tensão reversa sobre os diodos é definida por (3.67):

$$V_{D1} = 2 \cdot V_{o1} = V_o. \quad (3.67)$$

A corrente média em função de ωt através do diodo é definida por (3.68):

$$i_{mdD1}(\omega t) = \frac{I_p \cdot \text{sen}^2(\omega t)}{2 \cdot \beta}. \quad (3.68)$$

A corrente média em um período da rede é definida por (3.69):

$$I_{mdD1} = \left(\frac{1}{2\pi} \cdot \int_0^{\pi} (i_{D1}(\omega t)) d\omega t \right). \quad (3.69)$$

Resolvendo a equação (3.69), obtém-se a equação (3.70).

$$I_{mdD1} = \frac{I_o}{2 \cdot \eta}. \quad (3.70)$$

O valor máximo da corrente de pico repetitivo dos diodos é o mesmo dado por (3.59). A corrente eficaz em função de ωt através do diodo é definida por (3.71):

$$i_{efD1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{2} \cdot \sqrt{\frac{\text{sen}(\omega t)}{\beta}}. \quad (3.71)$$

A corrente eficaz em um período da rede é definida por (3.72):

$$I_{efD1} = \sqrt{\frac{1}{2\pi} \cdot \int_0^{\pi} (i_{D1}(\omega t))^2 d\omega t} . \quad (3.72)$$

Resolvendo a equação (3.72), obtém-se a equação (3.73):

$$I_{efD1} = \frac{2 \cdot \sqrt{3} \cdot I_o}{3 \cdot \eta} \cdot \sqrt{\frac{\beta}{\pi}} . \quad (3.73)$$

Capacitores C1 e C2

São definidos os esforços de tensão e corrente no capacitor de filtro $C1$, que são os mesmos para o capacitor $C2$. A máxima tensão sobre os capacitores é definida por (3.74):

$$V_{C1} = V_{o1} = \frac{V_o}{2} . \quad (3.74)$$

A corrente em função de ωt que circula pelo capacitor para o semiciclo positivo da tensão de entrada é definida por (3.36) e para o semiciclo negativo por (3.37):

$$i_{C1}(\omega t) = \frac{I_p \cdot \text{sen}^2(\omega t)}{\beta} - \frac{I_p}{4 \cdot \beta} \quad 0 \leq \omega t \leq \pi .$$

$$i_{2C1}(\omega t) = -\frac{I_p}{4 \cdot \beta} \quad \pi < \omega t \leq 2 \cdot \pi .$$

A corrente eficaz em um período da rede é então definida por (3.75).

$$I_{efC1} = \sqrt{\frac{1}{2 \cdot \pi} \cdot \left[\int_0^{\pi} (i_{C1}(\omega t))^2 d\omega t + \int_{\pi}^{2\pi} (i_{2C1}(\omega t))^2 d\omega t \right]} . \quad (3.75)$$

Resolvendo a equação (3.75), obtém-se a equação (3.76):

$$I_{efC1} = \frac{\sqrt{6} \cdot I_o}{6 \cdot \sqrt{\pi} \cdot \eta} \cdot \sqrt{64 \cdot \beta + 3 \cdot \pi} . \quad (3.76)$$

3.4 Modelagem do Circuito de Potência

Para que o conversor possa operar de forma correta, é necessário que se comande adequadamente os interruptores do mesmo através de sistemas de controle que gerem comando com uma modulação adequada. Para que possam ser projetadas as malhas de controle do conversor é necessária a determinação das funções de transferência que envolvam as variáveis relevantes ao comando e controle.

Para a técnica de controle utilizada, a ICC, apenas a malha de controle da tensão de saída se faz necessária. Portanto, é preciso determinar a função de transferência da tensão de saída em relação à corrente através do indutor. O diagrama de blocos do sistema de controle ICC é

apresentado na Fig. 3.15, onde $G(s)$ é a função de transferência da planta, $H_1(s)$ é o ganho do sensor de tensão de saída, $H_2(s)$ é a função de transferência do modulador ICC e $C(s)$ é a função de transferência do compensador.

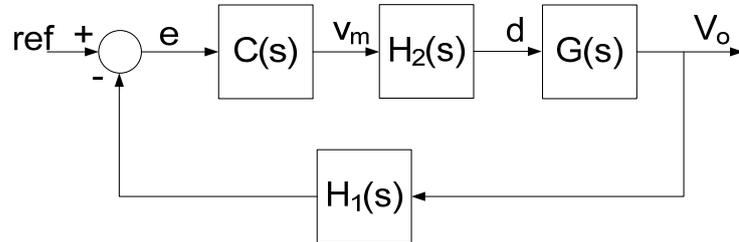


Fig. 3.15 – Diagrama de blocos do controle do conversor por ICC.

Na determinação da função de transferência $H_1(s)$, sensores de tensão do tipo isolado são utilizados para amostrar as tensões de saída do conversor. Escolhendo uma tensão de referência, cada sensor será ajustado para medir a metade desta tensão quando o conversor estiver na tensão nominal. Suas tensões serão somadas e, assim, comparadas com a tensão de referência. Dessa forma, a função de transferência do ganho do sensor de tensão de saída é dada por:

$$H_1(s) = \frac{V_{ref}}{V_o}. \quad (3.77)$$

Para a função de transferência $H_2(s)$ que relaciona a corrente de entrada com a tensão de saída do compensador, $\frac{\hat{i}_c}{\hat{v}_m}$, esta é determinada a partir da lei de controle da equação (3.78) e

vista em [70]:

$$R_{sh} \cdot \hat{i}_g = \frac{\hat{v}_m}{M(d)}. \quad (3.78)$$

Onde:

$$M(d) = \frac{\hat{v}_o}{\hat{v}_g}, \quad (3.79)$$

$$\hat{v}_g = V_p + \hat{v}_{in}. \quad (3.80)$$

Substituindo (3.79) e (3.80) em (3.78) e eliminando os termos de pequenos sinais tem-se:

$$\frac{\hat{i}_g}{\hat{v}_m} = \frac{V_p}{V_{ol} \cdot R_{sh}}. \quad (3.81)$$

A corrente de saída média \hat{i}_g pode ser calculada a partir da corrente de entrada:

$$\hat{i}_g = \frac{\hat{p}_{in}}{V_p} = \frac{\hat{i}_c \cdot V_{o1}}{V_p} \quad (3.82)$$

Substituindo (3.82) em (3.81), determina-se a função de transferência $H_2(s)$:

$$H_2(s) = \frac{\hat{i}_c}{\hat{v}_m} = \frac{V_p^2}{V_{o1}^2 \cdot R_{sh}} \quad (3.83)$$

Para o controle da tensão no barramento CC, a malha de tensão deve manter a tensão de saída dentro de um valor especificado frente às variações de carga. Esta malha de tensão deverá ser lenta para não causar distorções na corrente de entrada. Para se projetar esta malha de controle, é necessário determinar a função de transferência da planta $G(s)$ que relaciona a tensão de saída e a corrente no indutor. A partir do modelo de pequenos sinais da chave PWM [72], apresenta-se na Fig. 3.16 o circuito equivalente para a obtenção da função de transferência desconsiderando-se as variações na razão cíclica e na tensão de entrada.

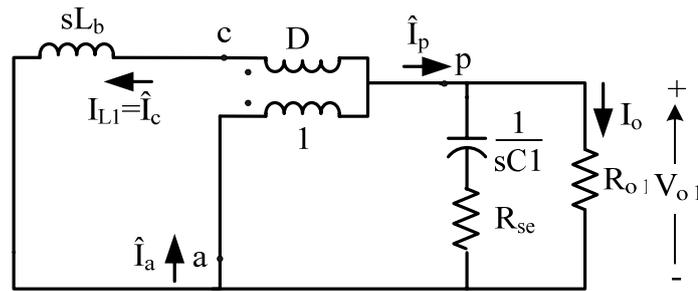


Fig. 3.16 – Modelo do conversor para determinação da função de transferência $G(s)$.

Da análise do circuito da Fig. 3.16, resulta em:

$$G(s) = (1 - D) \cdot \frac{R_{o1} \cdot (1 + s \cdot R_{se} \cdot C1)}{1 + s \cdot (R_{o1} + R_{se}) \cdot C1} \quad (3.84)$$

Conforme a função de transferência em (3.84), o conversor apresenta como fontes de perturbação a razão cíclica e a carga. Variações de carga afetam o pólo e ganho do sistema, este último sendo sensível à razão cíclica. A resistência série equivalente do capacitor acrescenta um zero na função de transferência. Na equação (3.84), o valor da razão cíclica complementar corresponde ao seu valor médio durante um ciclo da tensão de entrada. A expressão da razão cíclica complementar para o semiciclo positivo da tensão de entrada é definida pela equação (3.85):

$$(1 - D)(\omega t) = \frac{1}{\beta} \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq \pi \quad (3.85)$$

E, para o semiciclo negativo é definido pela equação (3.86):

$$(1 - D)(\omega t) = 1 \quad \pi \leq \omega t \leq 2 \cdot \pi \quad (3.86)$$

Assim, o valor médio da razão cíclica complementar para um ciclo da tensão de entrada é:

$$(1-D)_{med} = \frac{1}{\beta \cdot \pi} + \frac{1}{2}. \quad (3.87)$$

Assim, substituindo-se (3.87) em (3.84) tem-se que:

$$G(s) = \left(\frac{1}{\beta \cdot \pi} + \frac{1}{2} \right) \cdot \frac{R_{o1} \cdot (1 + s \cdot R_{se} \cdot C1)}{1 + s \cdot (R_{o1} + R_{se}) \cdot C1}. \quad (3.88)$$

A resistência série equivalente do capacitor é desprezada. Assim, (3.88) se torna igual a:

$$G(s) = \left(\frac{1}{\beta \cdot \pi} + \frac{1}{2} \right) \cdot \frac{R_{o1}}{1 + s \cdot R_{o1} \cdot C1}. \quad (3.89)$$

Dessa forma, a função de transferência de malha aberta do controle é dada por:

$$FTMA(s) = G(s) \cdot H_1(s) \cdot H_2(s). \quad (3.90)$$

O compensador de tensão $C(s)$ adotado é o compensador proporcional-integral com filtro, onde a Fig. 3.17 apresenta o seu respectivo diagrama de Bode. A frequência de cruzamento deve ser muito baixa para poder atenuar a frequência de 120Hz na saída do compensador e não causar distorções na corrente de entrada.

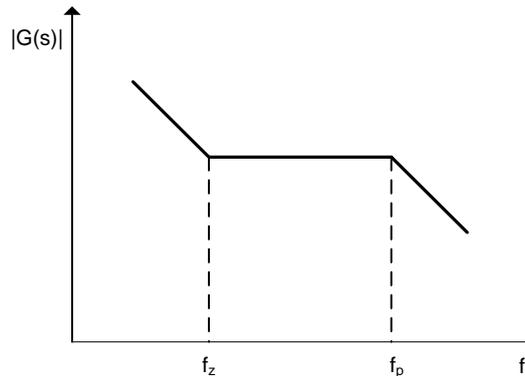


Fig. 3.17 – Diagrama de Bode da função de transferência do compensador.

A função de transferência do compensador de tensão $C(s)$ é mostrada na equação (3.91):

$$C(s) = \frac{K}{s} \cdot \frac{1 + \frac{1}{\omega_z} \cdot s}{1 + \frac{1}{\omega_{p2}} \cdot s}. \quad (3.91)$$

O compensador de tensão é projetado seguindo os seguintes critérios de alocação de pólos e zeros:

- A frequência de cruzamento deve estar a menos de 1/4 da frequência da tensão de entrada (usualmente entre 10 e 20Hz);

- O primeiro pólo é alocado na origem para minimizar o erro estático em regime permanente;
- O segundo pólo é alocado na frequência da tensão de entrada;
- O zero é alocado na mesma frequência do pólo da função de transferência da tensão de saída, $G(s)$.

Por fim, a função de transferência de laço aberto do sistema de controle do conversor é:

$$FTLA(s) = FTMA(s) \cdot C(s). \quad (3.92)$$

3.5 Exemplo de Projeto

3.5.1 Especificações e Considerações

As especificações para a montagem do protótipo do conversor de três níveis convencional e as considerações para os parâmetros de projeto adotados são apresentadas na Tabela 3.1 e Tabela 3.2, respectivamente.

Tabela 3.1 – Especificações do projeto.

Potência de saída total	$P_o = 3kW$
Tensão eficaz de entrada	$V_{in} = 110V_{ca}$
Tensão eficaz de saída	$V_o = 200 + 200V_{cc}$
Frequência da rede	$f_r = 60Hz$
Fator de potência na entrada	$\hat{p}_{in} \cong 1$

Tabela 3.2 – Parâmetros adotados do projeto.

Frequência de comutação dos interruptores	$f_s = 20kHz$
Ondulação de tensão sobre cada capacitor na saída	$\Delta V_o = 5\% \cdot V_o$
Ondulação da corrente na entrada	$\Delta I_{in} = 20\% \cdot I_p$
Rendimento teórico esperado do sistema	$\eta = 0,95$

3.5.2 Dimensionamento dos Componentes

A relação entre a tensão de saída e o valor de pico da tensão de entrada é obtida a partir da equação (3.18):

$$\beta = \frac{V_{o1}}{V_p} = \frac{200}{156} = 1,28.$$

A corrente de saída, obtida a partir da equação (3.9), é:

$$I_o = \frac{P_o}{V_o} = \frac{3000}{400} = 7,5A.$$

Dimensionamento do indutor L_b

A indutância é calculada para a máxima ondulação de corrente ao longo de um período da rede. Com os valores especificados de ondulação da corrente de entrada, o valor da indutância de L_b é obtido a partir da equação (3.28):

$$L_b = \frac{200}{4 \cdot 8,12 \cdot 20000} = 307,89\mu H.$$

Para o projeto adotou-se o valor de $308\mu H$. A corrente eficaz que circula através do indutor L_b é calculada a partir de (3.58):

$$I_{eff_{L_b}} = \frac{2 \cdot \sqrt{2} \cdot 1,28 \cdot 7,5}{0,95} = 28,71A.$$

O valor da corrente de pico que circula através de L_b é dada por (3.59):

$$I_{p_{L_b}} = \frac{4 \cdot 1,28 \cdot 7,5}{0,95} = 40,60A.$$

A realização do projeto físico do indutor foi feita conforme procedimento em [20] e o resumo do projeto é apresentado na Tabela 3.3.

Tabela 3.3 – Resumo do projeto do indutor L_b .

Indutância de L_b	$L_b = 308\mu H$
Núcleo Thornton escolhido	$2xNEE - 65 / 33 / 39$
Número de espiras	$N_{L_b} = 23\text{espiras}$
Quantidade de fios em paralelos / bitola do fio	$N_{fios} = 30x22AWG$
Entreferro	$\frac{l_g}{2} = 0,24cm$

Dimensionamento dos interruptores

São apresentados os cálculos dos esforços de tensão e corrente e sua respectiva especificação para apenas um interruptor, pois os demais interruptores estão submetidos aos mesmos esforços de tensão e corrente.

A máxima tensão sobre os interruptores é calculada a partir da equação (3.60):

$$V_{S1} = \frac{V_o}{2} = 200V$$

A corrente média nos interruptores é calculada através da equação (3.66):

$$I_{mdS1} = \frac{(4 \cdot 1,28 - \pi) \cdot 7,5}{\pi \cdot 0,95} = 5,03A.$$

A corrente eficaz nos interruptores é calculada através da equação (3.63):

$$I_{efS1} = \frac{\sqrt{6} \cdot 7,5}{3 \cdot \sqrt{\pi} \cdot 0,95} \cdot \sqrt{3 \cdot \pi \cdot 1,28^2 - 8 \cdot 1,28} = 8,37A.$$

A máxima corrente de pico repetitivo nos interruptores é a mesma corrente de pico do indutor de entrada. A partir dessas especificações para os esforços de tensão e corrente é escolhido o IRGP50B60PD1 da fabricante *International Rectifier*.

Dimensionamento dos diodos

Os esforços de tensão e corrente do diodo $D1$, os mesmos para os demais diodos, são calculados. A tensão reversa máxima sobre os diodos é obtida através de (3.67):

$$V_{D1} = V_o = 400V.$$

A corrente média que circula através dos diodos é dada pela equação (3.70):

$$I_{mdD1} = \frac{7,5}{2 \cdot 0,95} = 3,95A.$$

A corrente eficaz através dos diodos é dada pela equação (3.73):

$$I_{efD1} = \frac{2 \cdot \sqrt{3} \cdot 7,5 \cdot \sqrt{1,28}}{3 \cdot \sqrt{\pi} \cdot 0,95} = 5,83A.$$

Escolhe-se o diodo 30EPH06 da *International Rectifier*.

Dimensionamento dos capacitores

São apresentados os cálculos da capacitância e dos esforços de tensão e corrente do capacitor $C1$, que são os mesmos para $C2$. O valor da capacitância de $C1$ é dado pela equação (3.54):

$$C1 \geq \frac{7,5}{4 \cdot \pi \cdot 60 \cdot 0,95 \cdot (0,05 \cdot 400)} \geq 1047 \mu F.$$

A máxima tensão sobre o capacitor é dada pela equação (3.74):

$$V_{C1} = 200V.$$

A corrente eficaz que circula através do capacitor é definida pela equação (3.76):

$$I_{efC1} = \frac{\sqrt{6} \cdot 7,5}{6 \cdot \sqrt{\pi} \cdot 0,95} \cdot \sqrt{64 \cdot 1,28 + 3 \cdot \pi} = 17,41A.$$

Para o projeto foram especificados dois capacitores eletrolíticos de 680 μ F/350V em paralelo formando uma capacitância equivalente de 1360 μ F.

3.5.3 Projeto do Estágio de Controle

O controle do conversor é realizado de forma digital utilizando-se o FPGA EP2C20F484C7 inserido na placa de desenvolvimento da fabricante ALTERA, a *CYCLONE II STARTER BOARD*, conforme apresentado no Capítulo 2. A Fig. 3.18 representa o circuito do conversor de três níveis convencional com o diagrama de blocos do controle da estrutura do conversor, no qual empregou-se o FPGA.

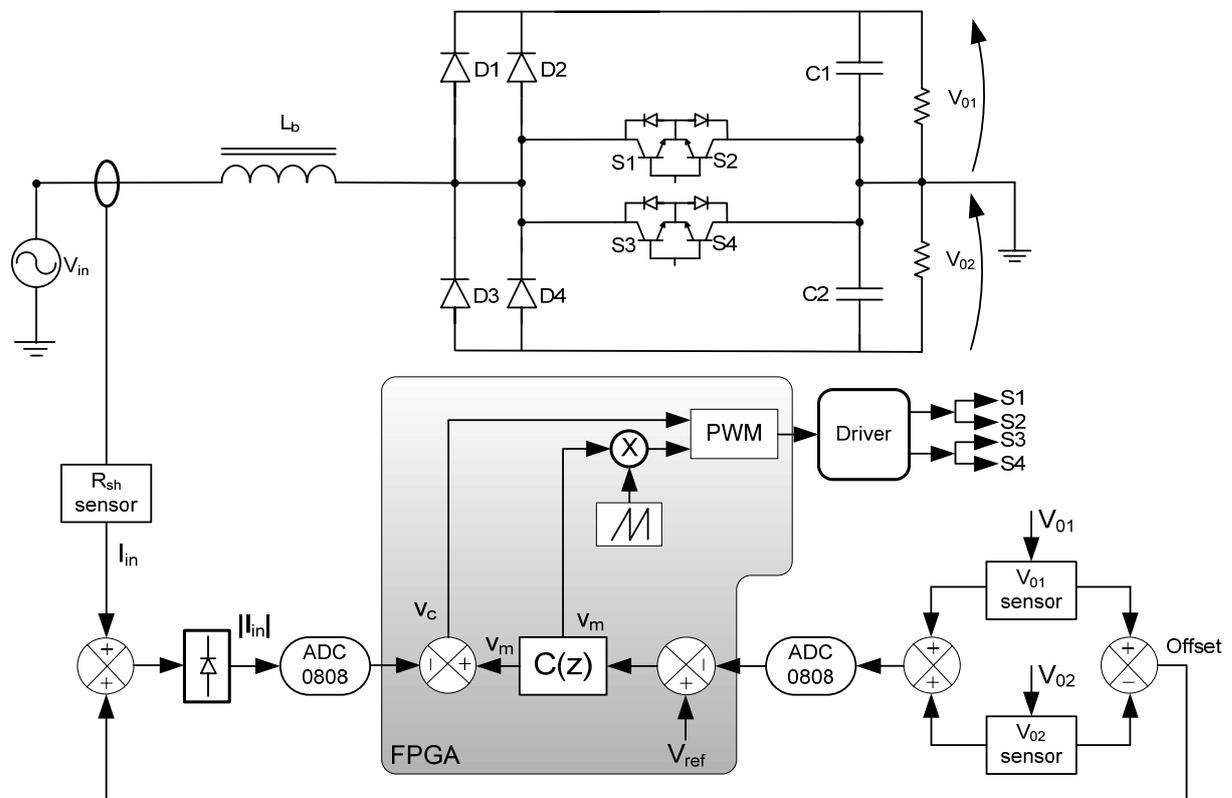


Fig. 3.18 – Diagrama de blocos do controle do conversor.

A seguir, descrevem-se o projeto do controlador da tensão de saída e as rotinas computacionais implementadas a fim de satisfazer todo o processo do controle digital usando o FPGA.

Funções de Transferência do Conversor

Para projetar o controlador de tensão se faz necessário conhecer a função de transferência de malha aberta. Tal função foi definida em (3.90):

$$FTMA(s) = G(s) \cdot H_1(s) \cdot H_2(s).$$

A função de transferência da planta $G(s)$ é calculada a partir de (3.89):

$$G(s) = \left(\frac{1}{0,248} + \frac{1}{2} \right) \cdot \frac{53,33}{1+s \cdot 0,109}$$

$$G(s) = \frac{39,871}{1+s \cdot 0,109} \quad (3.93)$$

Adotando a tensão de referência como sendo de 3V, a função de transferência do ganho do sensor de tensão $H_1(s)$ é calculada a partir de (3.77):

$$H_1(s) = \frac{3}{400}$$

$$H_1(s) = 0,0075 \quad (3.94)$$

A função de transferência $H_2(s)$ é dada por (3.83):

$$H_2(s) = \frac{V_{inpk}^2}{V_o^2 \cdot R_{sh}}$$

Para determinação dessa função de transferência se faz necessário calcular o ganho do sensor de corrente. O ganho do sensor de corrente é calculado a seguir, adotando-se que a corrente de pico de entrada do conversor terá uma tensão proporcional igual a 2V para a carga nominal. Assim:

$$R_{sh} = \frac{V_{snpk}}{I_p} \quad (3.95)$$

$$R_{sh} = \frac{2}{40,60} = 0,045$$

Logo, a função de transferência $H_2(s)$ é dada por:

$$H_2(s) = \frac{24200}{160000 \cdot 0,045}$$

$$H_2(s) = 3,383 \quad (3.96)$$

Determinadas todas as equações que compõe a função de transferência de malha aberta, o diagrama de *Bode* da função é apresentado na Fig. 3.19.

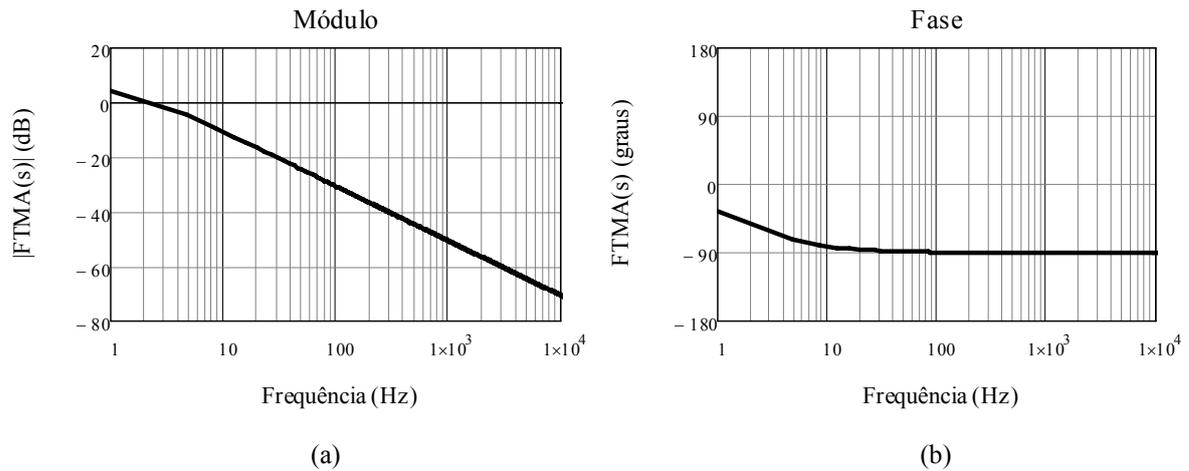


Fig. 3.19 – Diagrama de Bode da função de transferência $FTMA(s)$. (a) Ganho, (b) Fase.

Projeto do Controlador de Tensão

Como já foi dito, o controlador de tensão é um controlador do tipo proporcional-integral com filtro. Sua função de transferência é representada em (3.91):

$$C(s) = \frac{K}{s} \cdot \frac{1 + \frac{1}{\omega_z} \cdot s}{1 + \frac{1}{\omega_{p2}} \cdot s}$$

Seguindo os critérios recomendados no item 3.4, a frequência de cruzamento deve ser a menos de 1/4 da frequência da tensão de entrada (usualmente entre 10 e 20Hz):

$$f_c = \frac{f_r}{3} \quad (3.97)$$

$$f_c = 20\text{Hz}.$$

O zero é alocado na mesma frequência do pólo da função de transferência $G(s)$:

$$\omega_z = \frac{1}{2 \cdot \pi \cdot R_o \cdot C1} \quad (3.98)$$

$$\omega_z = 1,463\text{Hz}.$$

O primeiro pólo do compensador é alocado na origem para minimizar o erro estático em regime permanente e, o segundo pólo é alocado na frequência da tensão de entrada:

$$\omega_{p2} = f_r = 60\text{Hz} \quad (3.99)$$

Para se alcançar a frequência de cruzamento, o compensador deve possuir um ganho K . Considerando apenas para efeito de cálculo que o valor inicial desse ganho K é igual a 1, substitui-se os valores na equação (3.91) determina-se o ganho necessário K :

$$K_{db} = 20 \cdot \log(|FTMA(2 \cdot \pi \cdot f_c) \cdot C(2 \cdot \pi \cdot f_c)|) \quad (3.100)$$

$$K_{db} = -36,321dB .$$

$$K = 10^{\frac{-K_{db}}{20}} . \quad (3.101)$$

$$K = 65,471 .$$

Assim, a função de transferência do controlador de tensão fica definida. Substituindo os valores encontrados acima em (3.91), tem-se:

$$C(s) = \frac{65,471}{s} \cdot \frac{1 + 0,684 \cdot s}{1 + 0,017 \cdot s} . \quad (3.102)$$

O diagrama de *Bode* da função de transferência do controlador de tensão é apresentado na Fig. 3.20.

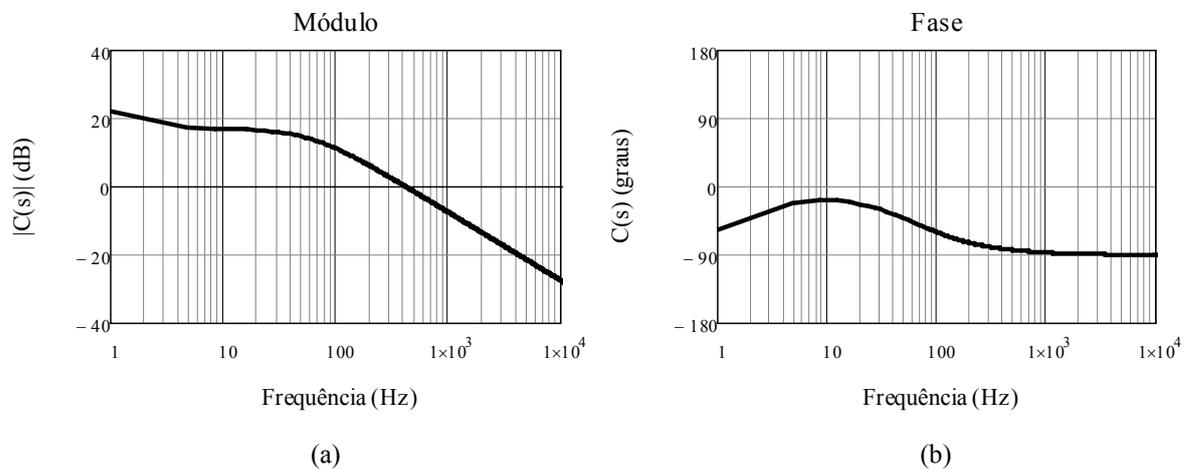


Fig. 3.20 – Diagrama de Bode da função de transferência $C(s)$. (a) Ganho, (b) Fase.

A função de transferência de laço aberto definida em (3.92) é representada por (3.103) e a Fig. 5.9 apresenta o diagrama de *Bode* da mesma. A margem de fase é de $71,56^\circ$.

$$FTLA(s) = \frac{39,871}{1 + s \cdot 0,109} \cdot 0,0075 \cdot 3,383 \cdot \frac{65,471}{s} \cdot \frac{1 + s \cdot 0,684}{1 + s \cdot 0,017} . \quad (3.103)$$

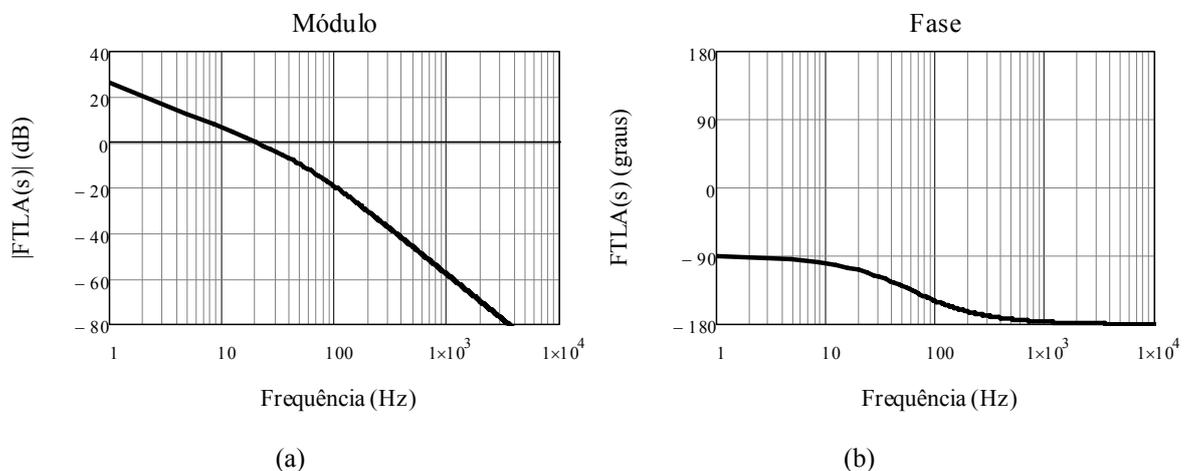


Fig. 3.21 – Diagrama de Bode da função de transferência $FTLA(s)$. (a) Ganho, (b) Fase.

Projeto do Controlador Digital de Tensão

Após a determinação da função de transferência do controlador de tensão, é necessário converter o controlador para o domínio z . Definindo-se a frequência de amostragem em $f_a = 250kHz$ e utilizando a transformação bilinear através do método de Tustin, utilizando-se do uso de ferramentas computacionais dedicadas ao estudo de controle e realimentação, é possível realizar a conversão de $C(s)$ para $C(z)$.

Dessa forma, a partir da equação (3.102), o controlador de tensão $C(z)$ é dado por:

$$C(z) = \frac{0,005268 + 3,081 \times 10^{-8} \cdot z^{-1} - 0,005268 \cdot z^{-2}}{1 - 2 \cdot z^{-1} + z^{-2}}. \quad (3.104)$$

Foi visto no Capítulo 2 que a função de transferência no domínio z precisa ser reescrita sob a forma de equação a diferenças para a devida implementação no FPGA. Assim, a equação (3.104) pode ser reescrita dessa forma:

$$C(z) = \frac{Y(z)}{U(z)} = \frac{b_0 + b_1 \cdot z^{-1} - b_2 \cdot z^{-2}}{1 - a_1 \cdot z^{-1} + z^{-2}}. \quad (3.105)$$

$$Y(z) - Y(z) \cdot a_1 \cdot z^{-1} + Y(z) \cdot z^{-2} = U(z) \cdot b_0 + U(z) \cdot b_1 \cdot z^{-1} - U(z) \cdot b_2 \cdot z^{-2}. \quad (3.106)$$

$$Y(z) = U(z) \cdot b_0 + U(z) \cdot b_1 \cdot z^{-1} - U(z) \cdot b_2 \cdot z^{-2} + Y(z) \cdot a_1 \cdot z^{-1} - Y(z) \cdot z^{-2}. \quad (3.107)$$

Sabe-se que o termo z^{-1} representa um atraso de uma amostra. Assim, para uma frequência de amostragem k , a equação a diferenças que representa o controlador de tensão digital implementada no programa do FPGA é:

$$y(k) = b_0 \cdot u(k) + b_1 \cdot u(k-1) - b_2 \cdot u(k-2) + a_1 \cdot y(k-1) - y(k-2). \quad (3.108)$$

Substituindo os coeficientes de (3.104) em (3.108) tem-se:

$$y(k) = 0,005268 \cdot u(k) + 3,081 \times 10^{-8} \cdot u(k-1) - 0,005268 \cdot u(k-2) + 2 \cdot y(k-1) - y(k-2). \quad (3.109)$$

Percebe-se que alguns coeficientes da equação (3.109) são menores que um e precisam ser escalonados. Adotando a notação q com N igual a 15, a equação (3.109) passa a ter como coeficientes inteiros arredondados:

$$y(k) = 173 \cdot u(k) + 1 \cdot u(k-1) - 173 \cdot u(k-2) + 65536 \cdot y(k-1) - 32768 \cdot y(k-2). \quad (3.110)$$

3.6 Rendimento Teórico

3.6.1 Modelagem de Perdas

Com o objetivo de se realizar uma análise comparativa entre os conversores estudados neste trabalho, faz-se uma modelagem de perdas dos componentes de cada conversor, iniciando pelo conversor de três níveis convencional, a fim de se obter um rendimento teórico do conversor. Serão analisadas as perdas nos componentes magnéticos e elementos semicondutores.

Cálculo das Perdas no Indutor L_b

As perdas totais no indutor se caracterizam pelas perdas no núcleo de ferrite mais as perdas no cobre do enrolamento. Estas perdas são determinadas após a definição dos parâmetros necessários apresentados na Tabela 3.4.

Tabela 3.4 – Parâmetros necessários para o cálculo das perdas do indutor.

Frequência de operação do indutor	$f_{L_b} = 20kHz$
Volume do núcleo magnético	$V_e = 210,33cm^3$
Comprimento médio por espira	$MLT = 34,73cm$
Variação de fluxo magnético	$\Delta B = 0,03T$
Coefficiente de perdas por histerese	$K_H = 4 \cdot 10^{-5}$
Coefficiente de perdas por correntes parasitas	$K_E = 4 \cdot 10^{-10}$
Resistividade do cobre a 70° C	$\rho = 2,078 \cdot 10^{-6} \Omega \cdot cm$

A equação (3.111) determina as perdas magnéticas do núcleo de ferrite:

$$P_{magL_b} = \Delta B^{2,4} \cdot (K_H \cdot f_{L_b} + K_E \cdot f_{L_b}^2) \cdot V_e. \quad (3.111)$$

$$P_{magL_b} = 0,03^{2,4} \cdot (4 \cdot 10^{-5} \cdot 20000 + 4 \cdot 10^{-10} \cdot 20000^2) \cdot 210,33 = 0,045W.$$

As perdas no cobre são calculadas por:

$$P_{cuL_b} = \rho \cdot MLT \cdot N_{L_b} \cdot N_{fios} \cdot S_{22AWG} \cdot J_{max}^2. \quad (3.112)$$

$$P_{cuL_b} = 2,078 \cdot 10^{-6} \cdot 34,726 \cdot 23 \cdot 30 \cdot 0,003239 \cdot 300^2 = 14,52W.$$

As perdas totais no indutor são calculadas por:

$$P_{totL_b} = P_{magL_b} + P_{cuL_b} \quad (3.113)$$

$$P_{totL_b} = 14,56W.$$

Cálculo das Perdas nos Interruptores

As perdas totais nos interruptores se caracterizam pelas perdas por entrada em condução, perdas por condução e perdas por bloqueio do interruptor mais as perdas por comutação e por condução do diodo intrínseco em antiparalelo do IGBT. Estas perdas são determinadas para o IGBT utilizado IRGP50B60PD da fabricante *International Rectifier* cujos parâmetros são apresentados na Tabela 3.5.

Tabela 3.5 – Especificação do IGBT IRGP35B60PD.

Máxima tensão coletor – emissor	$V_{CE} = 600V$
Máxima corrente de coletor	$I_C = 45A @ 100^\circ C$
Máxima corrente de condução direta (diodo)	$I_F = 15A @ 100^\circ C$
Resistência térmica junção-cápsula (IGBT)	$R_{thjCS} = 0,32^\circ C / W$
Resistência térmica junção-cápsula (diodo)	$R_{thjDS} = 1,7^\circ C / W$
Resistência térmica cápsula-dissipador	$R_{thCS} = 0,50^\circ C / W$
Tempo de subida	$t_r = 15ns$
Tempo de descida	$t_f = 15ns$
Máxima queda de tensão em condução (diodo)	$V_F = 1,6V @ 125^\circ C$
Corrente de recuperação do diodo intrínseco	$I_{rr} = 10A$
Tempo de recuperação do diodo intrínseco	$t_{rr} = 120ns$
Carga de recuperação do diodo intrínseco	$Q_{rr} = 600nC$
Derivada da corrente de recuperação reversa do diodo intrínseco	$di_c / dt = 200A / \mu s$

Utilizando-se do gráfico da curva de saída característica fornecida pelo fabricante para uma temperatura de $125^\circ C$ [73] apresentado na Fig. 3.22, para o valor da corrente nominal do interruptor de 45A, determinam-se as tensões de saturação e de limiar do IGBT. Assim, pelo gráfico, para uma tensão de acionamento V_{GE} igual a 15V, a tensão de saturação é igual a 3,1V e a tensão de limiar é igual a 1,2V.

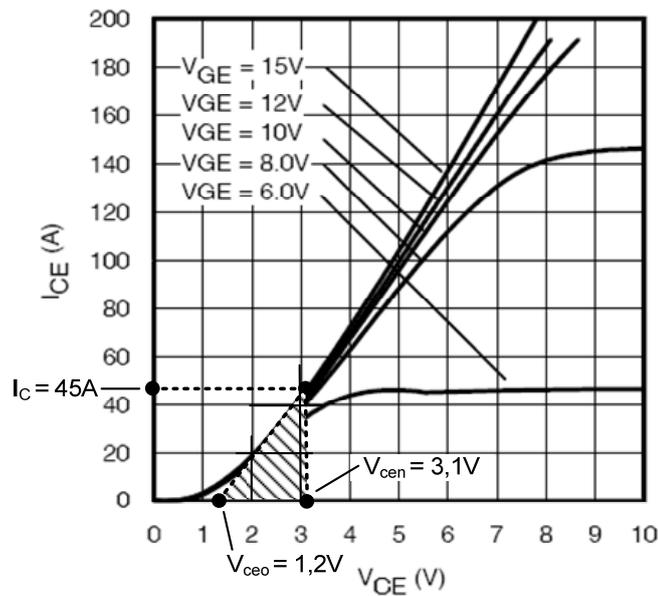


Fig. 3.22 – Curva de saída característica de saída do IGBT IRGP50B60PD.

As perdas no IGBT são calculadas segundo [74]. Considerando que a corrente nos interruptores em paralelo se dividirá de forma igualitária, as perdas por entrada em condução de cada interruptor são dadas por:

$$P_{onS1} = \left[\begin{aligned} & \left(\frac{I_o}{2} + I_{rr} \right) \cdot (1,2 \cdot t_r + t_a) \cdot \left(\frac{1}{2} \cdot V_{S1} - \frac{1}{3} \cdot L_s \cdot \frac{di_c}{dt} \right) + \\ & + t_b \cdot \left(V_{S1} - L_s \cdot \frac{di_c}{dt} \right) \cdot \left(\frac{1}{2} \cdot \frac{I_o}{2} + \frac{1}{3} \cdot I_{rr} \right) \end{aligned} \right] \cdot fs, \quad (3.114)$$

onde as constantes t_a e t_b são definidos nas equações (3.115) e (3.116) e L_s é a indutância do laço de corrente, considerada igual a $1\mu\text{H}$.

$$t_a = \frac{2}{3} \cdot t_{rr} \quad (3.115)$$

$$t_b = \frac{1}{3} \cdot t_{rr} \quad (3.116)$$

Substituindo-se os valores acima, a perda por entrada em condução calculada é igual a $P_{onS1} = 0,37W$ por interruptor. As perdas por condução são dadas pela equação (3.117):

$$P_{condS1} = \frac{I_{mdS1}}{2} \cdot V_{CEO} + \left[\frac{V_{CEN} - V_{CEO}}{I_{CN}} \right] \cdot \left(\frac{I_{efS1}}{2} \right)^2. \quad (3.117)$$

$$P_{condS1} = 8,99W.$$

As perdas por bloqueio do IGBT são calculadas pela equação (3.118):

$$P_{offS1} = (0,5 \cdot P_{\max} \cdot t_{rv} + \xi \cdot P_{\max}) \cdot fs. \quad (3.118)$$

Onde t_{rv} é o tempo de subida da tensão dado pela equação (3.119), a constante ξ é calculada pela equação (3.120) e P_{max} é a máxima perda do IGBT calculada pela equação (3.121).

$$t_{rv} = \frac{2}{5} \cdot t_f . \quad (3.119)$$

$$\xi = \frac{t_f}{\ln(P_{max}) - \ln(0,1 \cdot P_{max})} . \quad (3.120)$$

$$P_{max} = V_{S1} \cdot \frac{I_o}{2} \quad (3.121)$$

Substituindo-se os valores na equação (3.118) tem-se $P_{offS1} = 0,29W$. As perdas em condução do diodo em antiparalelo são dadas pela equação (3.122):

$$P_{condDS1} = \left(\frac{V_F - V_{CEO}}{I_F} \cdot \left(\frac{I_{efS1}}{2} \right)^2 \right) + V_{CEO} \cdot \frac{I_{mdS1}}{2} . \quad (3.122)$$

$$P_{condDS1} = 7,90W .$$

As perdas por comutação do diodo são dadas pela equação (3.123):

$$P_{comDS1} = \frac{1}{2} \cdot V_O \cdot I_{rr} \cdot t_{rr} \cdot fs \quad (3.123)$$

$$P_{comDS1} = 0,42W .$$

Assim, as perdas totais nos interruptores são dadas pela equação (3.124):

$$P_{totalS1} = 2 \cdot (P_{onS1} + P_{condS1} + P_{offS1}) + 2 \cdot (P_{condDS1} + P_{comDS1}) . \quad (3.124)$$

$$P_{totalS1} = 35,93W .$$

Cálculo das Perdas nos Diodos

As perdas totais nos diodos se caracterizam pelas perdas por comutação e por condução. Estas perdas são determinadas para o diodo utilizado 30EPH06 da fabricante *International Rectifier* cujos parâmetros são apresentados na Tabela 3.6.

Tabela 3.6 – Especificação dos diodos.

Máxima tensão reversa	$V_{RRM} = 600V$
Máxima corrente de condução direta	$I_F = 30A @ 116^\circ C$
Máxima queda de tensão em condução	$V_F = 1,75V @ 150^\circ C$
Corrente de recuperação	$I_{rr} = 7,7A$
Tempo de recuperação	$t_{rr} = 77ns$
Resistência térmica junção-cápsula	$R_{thjcd} = 0,9^\circ C / W$
Resistência térmica cápsula-dissipador	$R_{thcsD} = 0,4^\circ C / W$

As perdas em condução do diodo são dadas pela equação (3.122). Assim, substituindo os valores da Tabela 3.6 em (3.122), o resultado é:

$$P_{condD1} = 5,36W .$$

As perdas por comutação do diodo são dadas pela equação (3.123). Do mesmo modo, substituindo os valores da Tabela 3.6 em (3.123), tem-se:

$$P_{comD1} = 1,19W .$$

Assim, as perdas totais no diodo são dadas pela equação :

$$P_{totalD1} = 2 \cdot (P_{condD1} + P_{comD1}) . \quad (3.125)$$

$$P_{totalD1} = 13,09W .$$

Cálculo do Rendimento Teórico

Considerando as perdas teóricas calculadas, podem ser determinadas as perdas totais do conversor através da equação (3.126):

$$P_{total} = P_{totL_b} + 2 \cdot P_{totalS1} + 2 \cdot P_{totalD1} . \quad (3.126)$$

$$P_{total} = 112,60W$$

O rendimento teórico do conversor em condições de plena carga pode ser calculado pela equação (3.127):

$$\eta_{teo} = \frac{P_o}{P_o + P_{total}} \cdot 100\% = 96,38\% . \quad (3.127)$$

3.6.2 Cálculo Térmico

São apresentados os cálculos necessários para a especificação de dois dissipadores de calor que serão usados para colocar todos os semicondutores de potência. Em cada dissipador serão colocados dois diodos e dois IGBTs. Considerando-se uma temperatura ambiente, T_a , igual a 40° C, temperatura de junção, T_j , igual a 100° C, as resistências térmicas equivalentes dos diodos e interruptores são dadas, respectivamente, por:

$$R_{theqD} = \frac{R_{thjcD} + R_{thcsD}}{2} = 0,9^{\circ} C / W , \quad (3.128)$$

$$R_{theqS} = \left(\frac{R_{thjcS} \cdot R_{thjcDS1}}{R_{thjcS} + R_{thjcDS1}} \right) + R_{thcsS} = 0,77^{\circ} C / W . \quad (3.129)$$

Sendo que, no interruptor bidirecional temos ao mesmo tempo um interruptor e um diodo conduzindo. As perdas totais nos semicondutores são dadas por (3.130):

$$P_t = P_{totalS1} + 2 \cdot P_{condD1} = 46,65W . \quad (3.130)$$

Dessa forma, a resistência térmica dissipador – ambiente é obtida a partir de (3.131):

$$T_j - T_a = \left(\frac{R_{theqD} \cdot R_{theqS}}{R_{theqD} + R_{theqS}} + R_{da} \right) \cdot P_t . \quad (3.131)$$

Resolvendo a equação (3.131) temos que:

$$R_{da} = 1,94^{\circ} C / W . \quad (3.132)$$

Para o calor calculado foi escolhido o dissipador térmico HS 10425 da *HS Dissipadores* de resistência térmica igual a 1,79°C/W/4". O dissipador escolhido possui um comprimento igual a 4". Dessa forma, o uso de ventilação forçada faz-se necessário.

3.7 Resultados de Simulação e Experimentais

Realizado o projeto do conversor de três níveis convencional, parte-se para a simulação do mesmo. O programa de simulação por computador (PSIM) é utilizado a fim de comprovar o comportamento do conversor sob condições nominais de carga, bem como quando submetido a variações na carga.

A Fig. 3.23 apresenta as formas de onda da tensão e corrente de entrada. Pode-se observar que o conversor opera com alto fator de potência na entrada e baixa distorção harmônica da corrente. O valor eficaz e de pico da corrente de entrada correspondente são de 27,82A e 47,42A, respectivamente. A potência de entrada do conversor é de 3,071kVA.

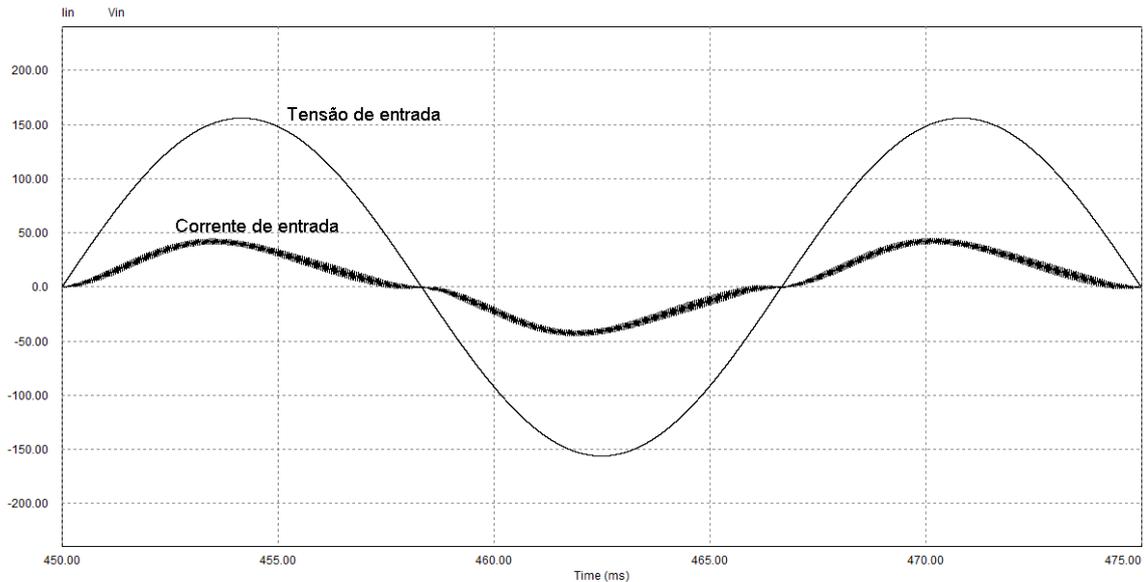


Fig. 3.23 – Formas de onda da tensão e corrente de entrada.

Na Fig. 3.24 são mostradas as formas de onda da tensão de saída em cada capacitor e no barramento total e da corrente de carga. Observa-se que a tensão possui ondulação especificada e está regulada em torno do valor médio de saída de 400V. A corrente média de saída é de 7,43A. A potência de saída média é de 2,94kW.

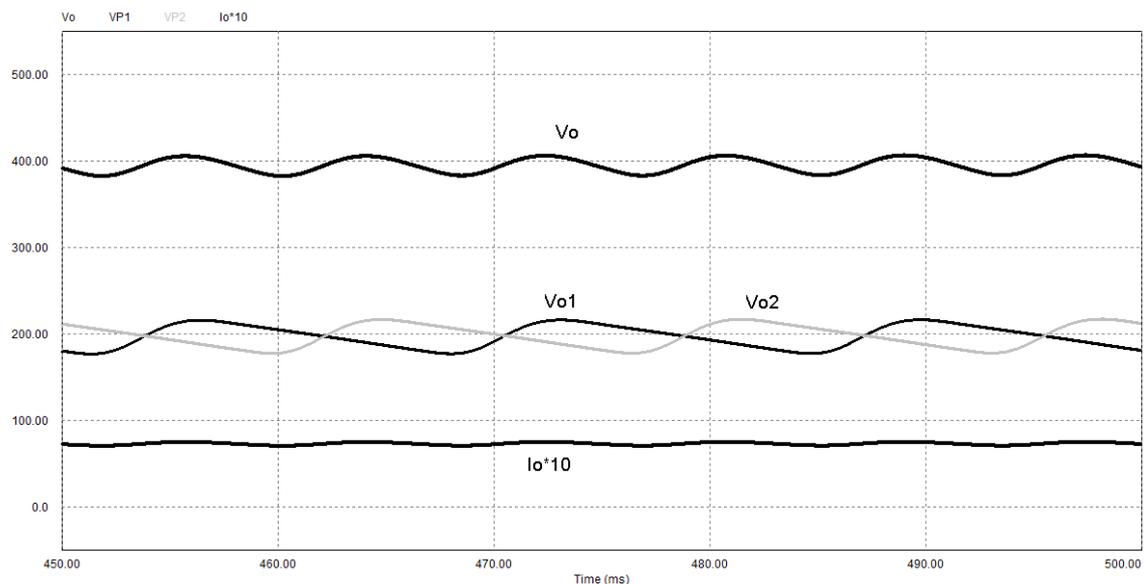


Fig. 3.24 – Formas de onda da tensão e da corrente de saída do conversor para plena carga.

A Fig. 3.25 apresenta as formas de onda da tensão e corrente no indutor L_b na frequência da rede. Os valores da corrente eficaz e de pico do indutor são os mesmos da corrente de entrada.

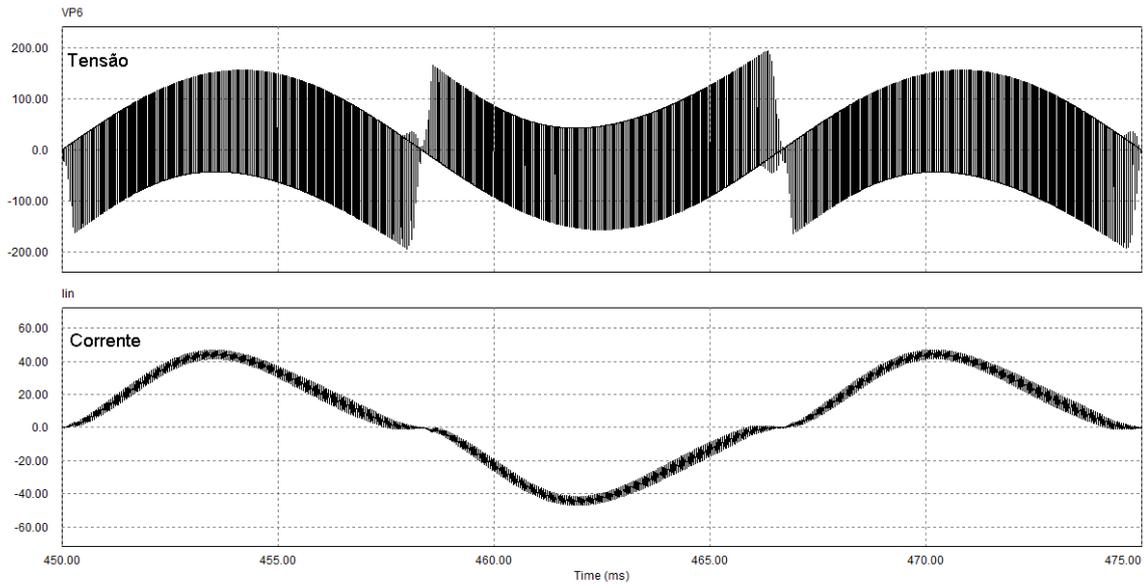


Fig. 3.25 – Formas de onda da tensão e corrente no indutor L_b na frequência da rede.

A Fig. 3.26 apresenta as formas de onda da tensão e corrente no indutor L_b na frequência de comutação.

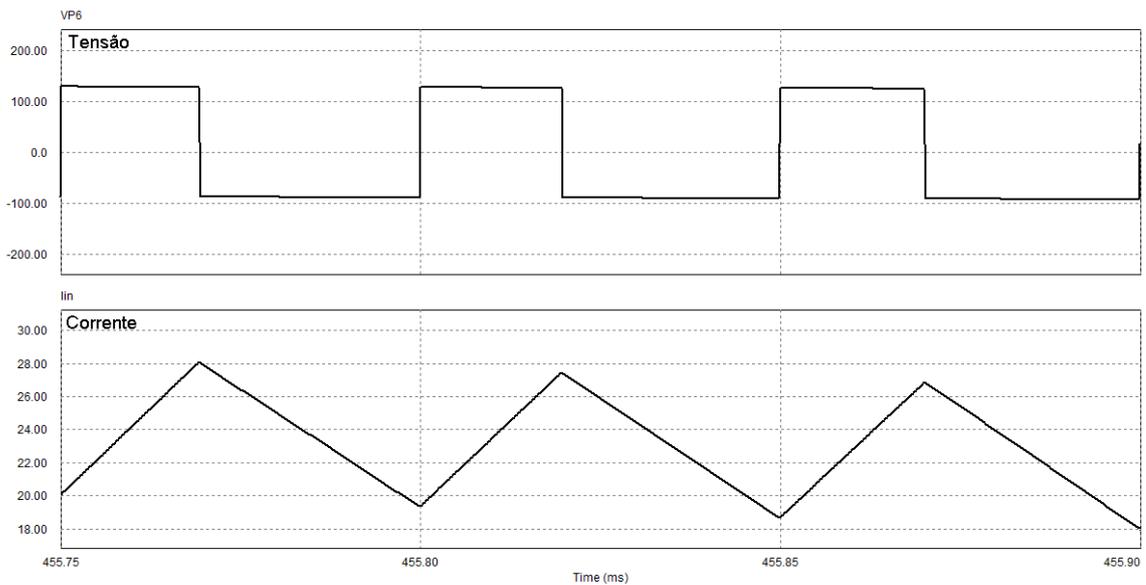


Fig. 3.26 – Formas de onda da tensão e corrente no indutor L_b na frequência de comutação.

A Fig. 3.27 apresenta as formas de onda da tensão e corrente no interruptor bidirecional SI na frequência da rede. Os valores da corrente média, eficaz e de pico do interruptor SI são, respectivamente, 8,03A, 15,28A e 46,58A. O valor da máxima tensão sobre o interruptor SI é de 216,9V.

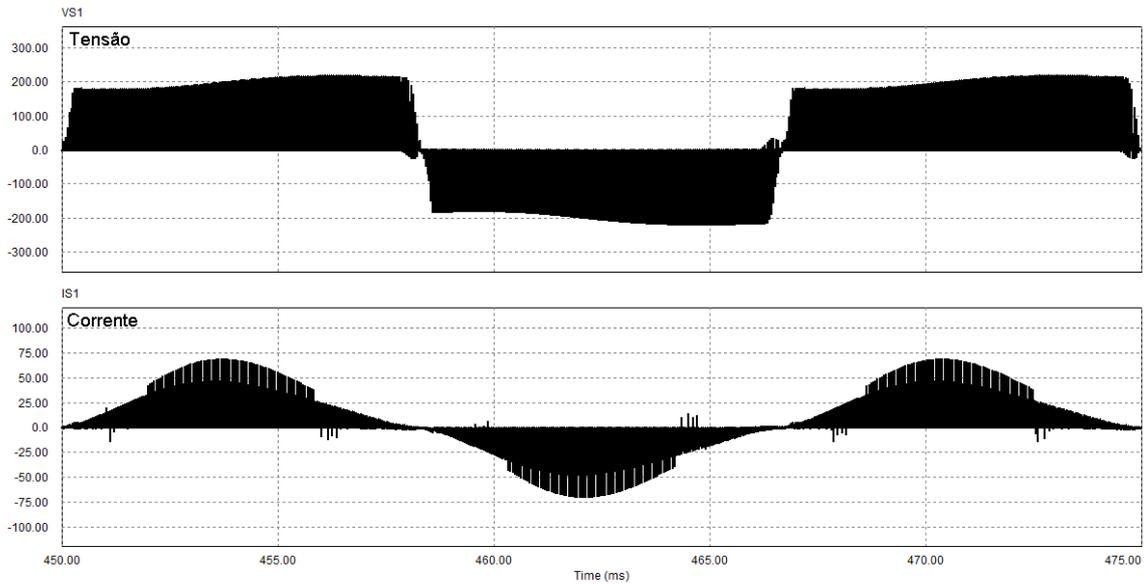


Fig. 3.27 – Formas de onda da tensão e corrente no interruptor S1 na frequência da rede.

A Fig. 3.28 apresenta as formas de onda da tensão e corrente do interruptor *SI* na frequência de comutação.

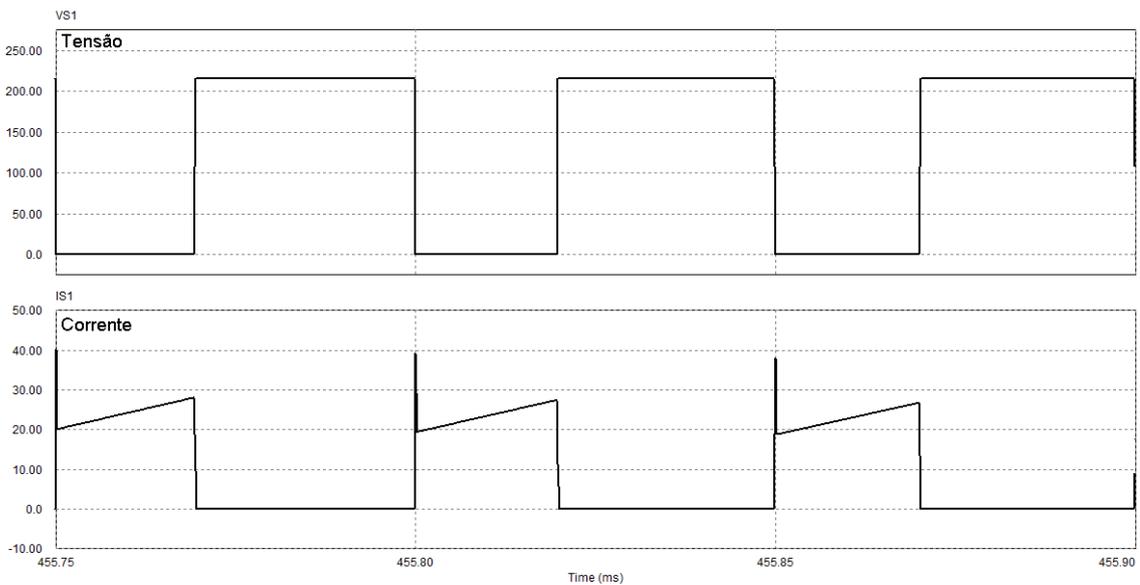


Fig. 3.28 – Formas de onda da tensão e corrente no interruptor S1 na frequência de comutação.

A Fig. 3.29 apresenta as formas de onda da tensão e corrente no diodo *DI* na frequência da rede. Os valores da corrente média, eficaz e de pico do diodo *DI* são, respectivamente, 9,92A, 18,74 e 46,75A. O valor da máxima tensão reversa sobre o diodo D1 é de 406,9V.

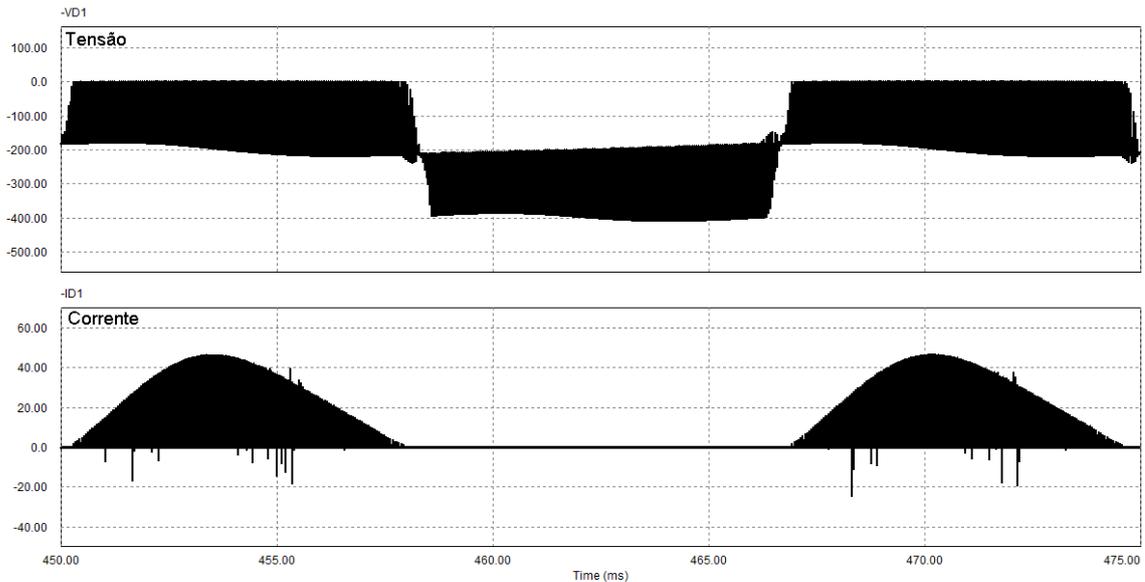


Fig. 3.29 – Formas de onda da tensão e corrente no diodo D1 na frequência da rede.

A Fig. 3.30 apresenta as formas de onda da tensão e corrente no diodo *DI* na frequência de comutação.

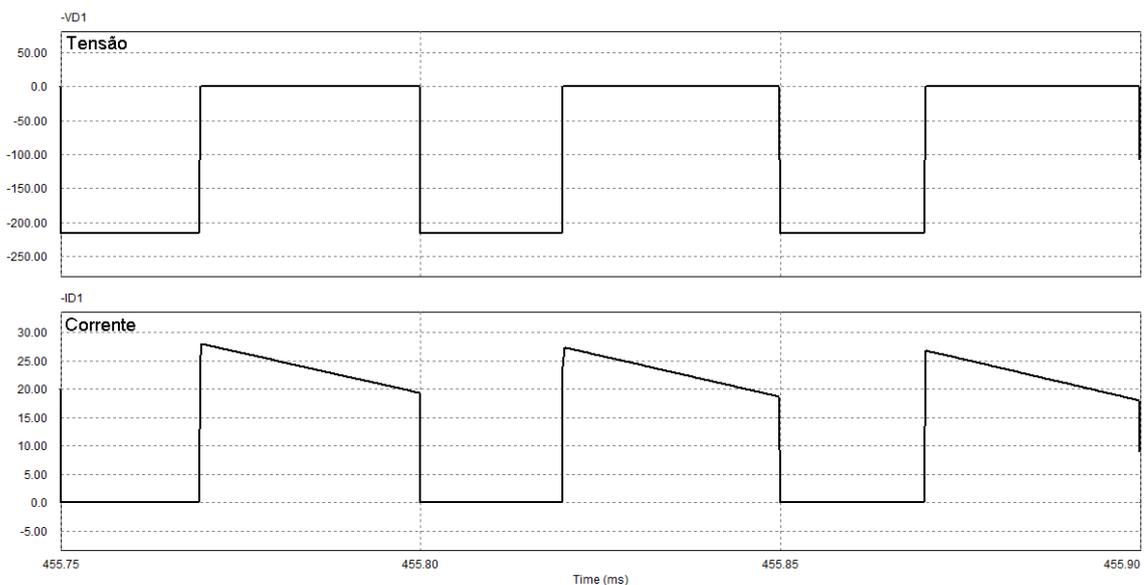


Fig. 3.30 – Formas de onda da tensão e corrente no diodo D1 na frequência de comutação.

A Fig. 3.31 apresenta as formas de onda das tensões de saída em cada capacitor e no barramento total e da corrente de carga quando submetida a um degrau de carga de 50% para carga nominal. Observa-se a atuação do controlador de tensão visto que o comportamento das tensões de saída é de manterem a tensão de saída especificada.

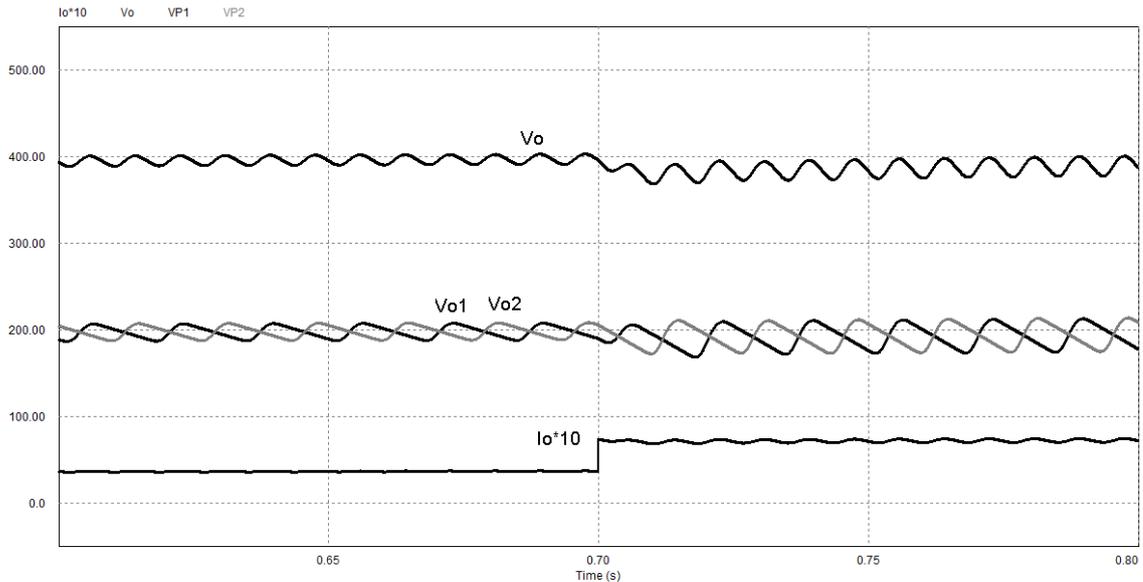


Fig. 3.31 – Formas de onda das tensões de saída e corrente de saída para um degrau de carga de 50% para carga nominal.

A Fig. 3.32 apresenta as formas de onda dos principais sinais de controle do conversor de três níveis convencional: tensão amostrada do sensor de corrente ($V_{iinamost}$), tensão na saída do controlador de tensão (v_m) e tensão de controle (v_c). Pode-se observar que o valor máximo da tensão de controle v_c é limitado pela tensão de saída do controlador que, a cada ciclo, é multiplicada por uma portadora convencional com inclinação fixa, gerando uma portadora com uma inclinação variável.

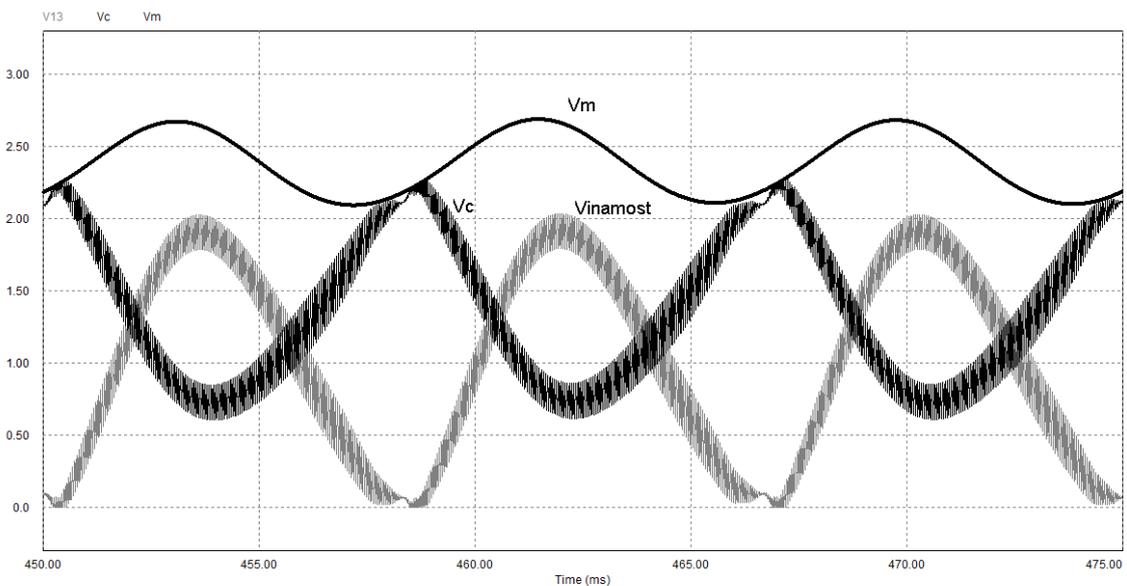


Fig. 3.32 – Formas de onda dos principais sinais de controle do conversor: v_m , v_c e $V_{iinamost}$.

Para validação do princípio de funcionamento e simulação do conversor de três níveis convencional com controlador digital baseado na técnica ICC usando um FPGA, os resultados obtidos nos ensaios de um protótipo de 3kW de potência implementado em laboratório serão apresentados a seguir. O protótipo é mostrado na Fig. 3.33.

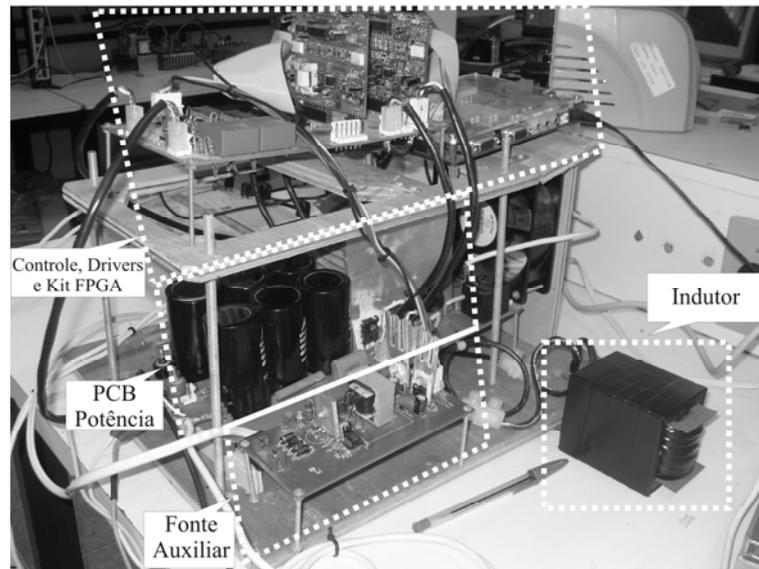


Fig. 3.33 – Vista geral do protótipo implementado em laboratório usando FPGA.

A Fig. 3.34 apresenta as formas de onda da tensão e corrente de entrada, das tensões de saída em cada capacitor e da tensão de saída total. Pode-se perceber a correção do fator de potência que ficou com um valor de 0,9877. A corrente de entrada possui um valor eficaz de 28,81A e um valor de pico de 45A. A potência de entrada é de 3,17kVA.

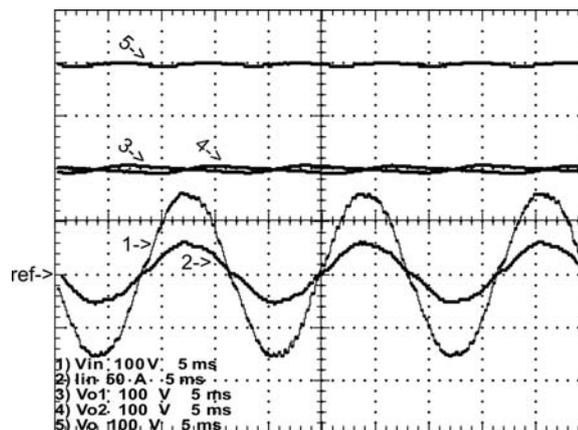


Fig. 3.34 – Resultados experimentais: 1. Tensão de entrada (100V/div); 2. Corrente de entrada (50A/div); 3. Tensão de saída V_{o1} (100V/div); 4. Tensão de saída V_{o2} (100V/div); 5. Tensão de saída total (100V/div). Tempo (5ms/div).

Nessa mesma figura, observa-se que as tensões de saída em cada capacitor estão balanceadas e reguladas nos níveis estabelecidos em projeto. A tensão total ficou regulada em

um valor médio de 400V para uma corrente de carga nominal de 7,5A dando uma potência de saída nominal de 3kW.

A Fig. 3.35 apresenta o espectro harmônico da corrente de entrada para o conversor operando com carga nominal e tensão nominal de entrada. A taxa de distorção harmônica da corrente de entrada foi de 6,047% para um THD da tensão de entrada de 3,467%.

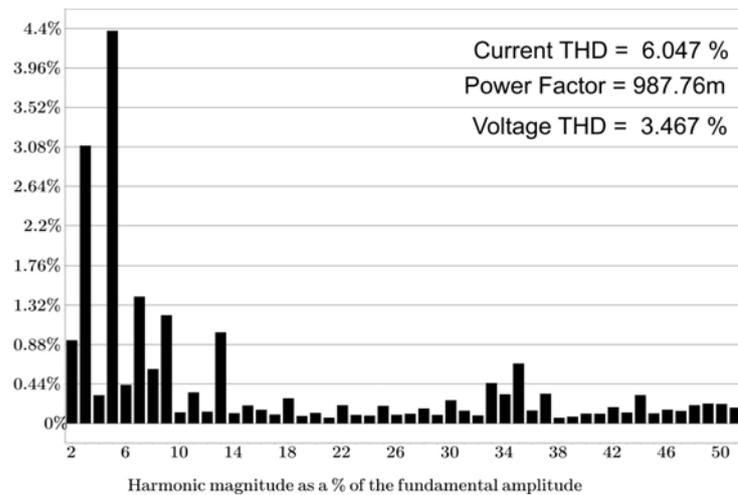


Fig. 3.35 – Espectro harmônico da corrente de entrada.

As formas de onda da tensão e corrente sobre o indutor L_b são apresentadas na Fig. 3.36(a) para a frequência da rede e na Fig. 3.36(b) para a frequência de comutação. Os valores da corrente eficaz e de pico do indutor são os mesmos da corrente de entrada.

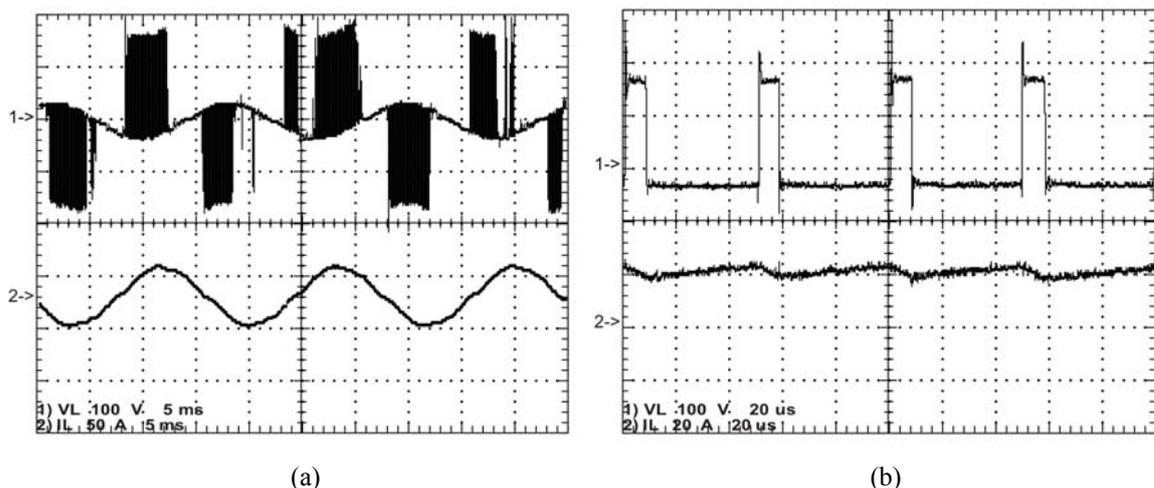


Fig. 3.36 – Formas de onda sobre L_b . (a) na frequência da rede: 1. Tensão (100V/div), 2. Corrente (50A/div), tempo (5ms/div); (b) na frequência de comutação: 1. Tensão (100V/div), 2. Corrente (20A/div), tempo (20µs/div).

As formas de onda da tensão e corrente sobre o interruptor SI são apresentadas na Fig. 3.37(a) para a frequência da rede e na Fig. 3.37(b) para a frequência de comutação. O valor médio, eficaz e de pico da corrente sobre SI é, respectivamente, 4A, 7,7A e 22,5A, lembrando que são dois interruptores em paralelo.

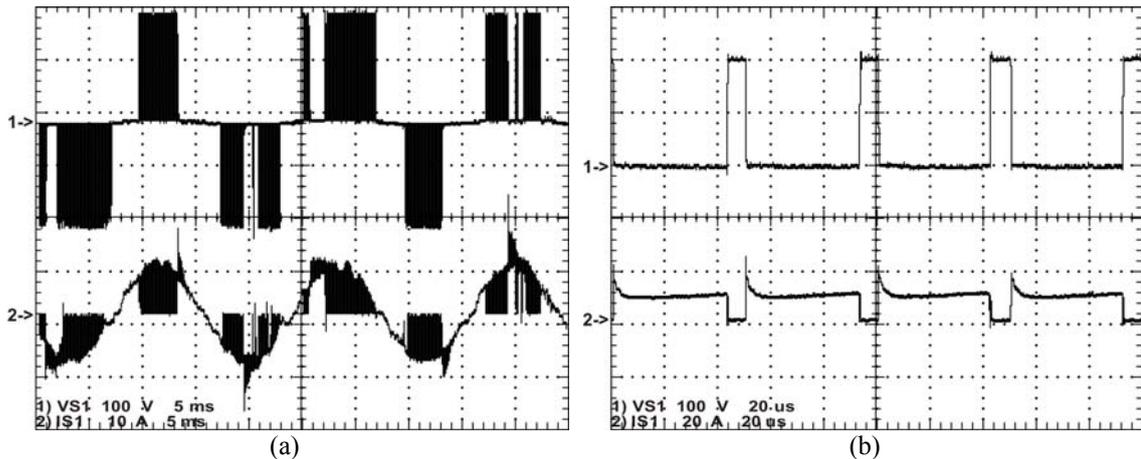


Fig. 3.37 – Formas de onda no interruptor S1. (a) na frequência da rede: 1. Tensão (100V/div); 2. Corrente (10A/div); tempo (5ms/div). (b) na frequência de comutação: 1. Tensão (100V/div); 2. Corrente (20A/div), tempo (20µs/div).

Percebe-se que na comutação do interruptor para o controle ICC há pequenos picos de tensão e/ou corrente e que a comutação é do tipo *hard switching*. Esses detalhes podem ser vistos na Fig. 3.38(a) para o acionamento do interruptor e na Fig. 3.38(b) para o bloqueio do interruptor.

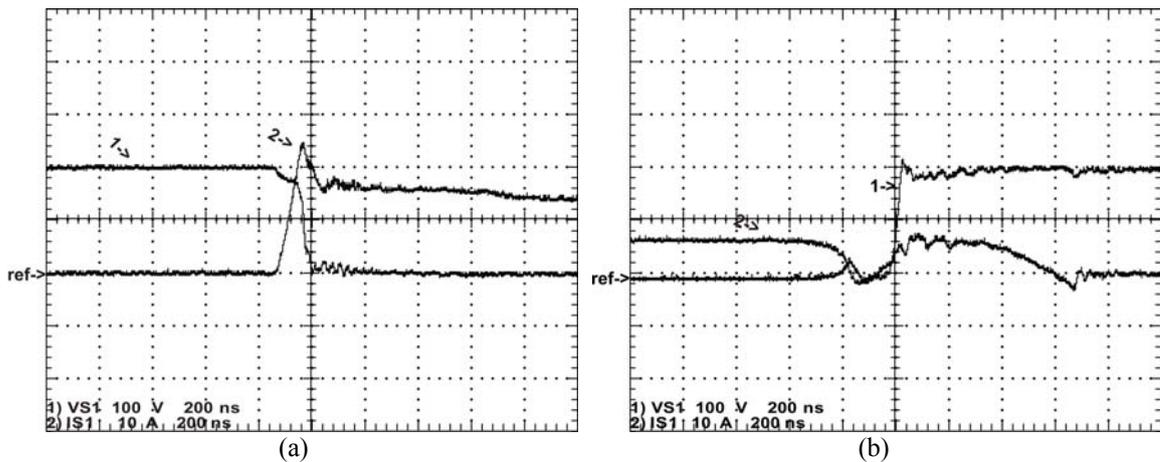


Fig. 3.38 – Detalhe da comutação (a) no acionamento do interruptor (100V/div, 10A/div); (b) no bloqueio do interruptor (100V/div, 10A/div). Tempo (200ns/div).

As formas de onda da tensão e corrente sobre o diodo *DI* são apresentadas na Fig. 3.39(a) para a frequência da rede e na Fig. 3.39(b) para a frequência de comutação. O valor médio, eficaz e de pico da corrente sobre *DI* é, respectivamente, 4,8A, 9,3A e 22,5A, com dois diodos em paralelo.

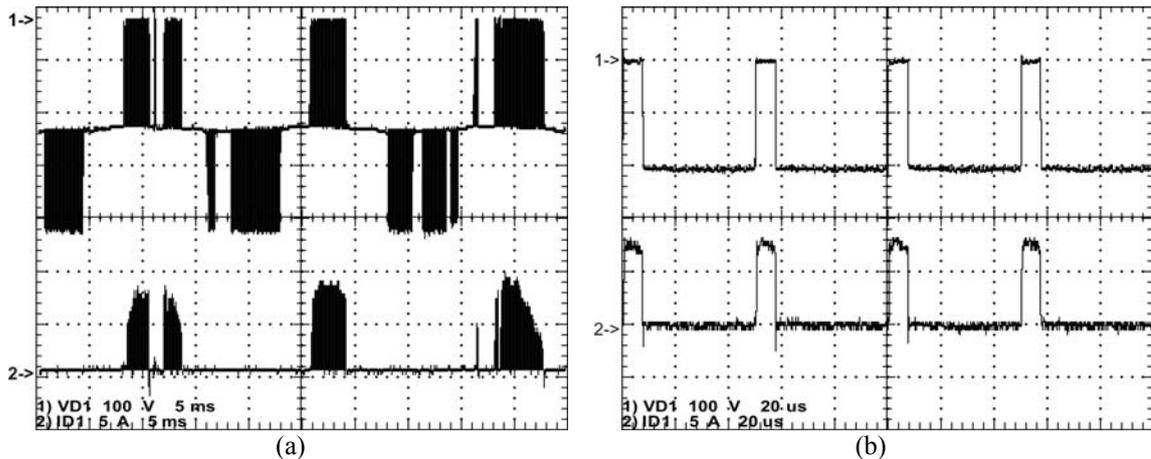


Fig. 3.39 – Formas de onda no diodo D1. (a) na frequência da rede: 1. Tensão (100V/div); 2. Corrente (5A/div); tempo (5ms/div). (b) na frequência de comutação: 1. Tensão (100V/div); 2. Corrente (5A/div); tempo (20µs/div).

Os detalhes de comutação do diodo podem ser observados na Fig. 3.40(a) para o acionamento e, na Fig. 3.40(b) para o bloqueio do diodo, onde para ambas as figuras, a tensão no diodo foi invertida para uma melhor visualização das perdas.

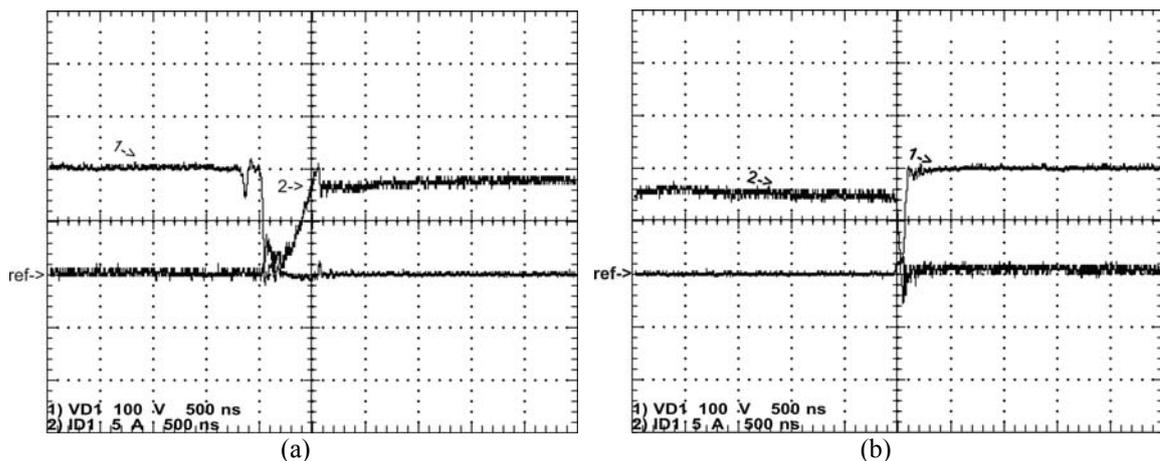


Fig. 3.40 – Detalhe da comutação (a) no acionamento do diodo (100V/div, 5A/div); (b) no bloqueio do interruptor (100V/div, 5A/div). Tempo (500ns/div).

A Fig. 3.41 apresenta as formas de onda das tensões de saída em cada capacitor e no barramento total e a corrente de carga para um degrau de carga de 50% para a carga nominal. Percebe-se nesta figura a atuação do controlador digital de tensão, onde as tensões mantêm a regulação da tensão de saída especificada.

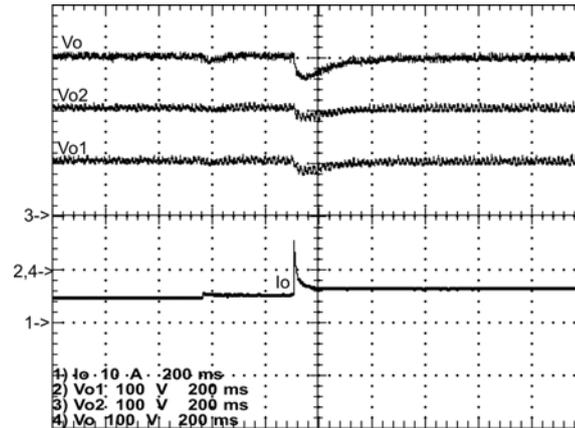


Fig. 3.41 – Formas de onda das tensões de saída em cada capacitor, no barramento total e corrente de carga (10A/div, 100V/div, 100V/div, 100V/div, 200ms/div).

A Fig. 3.42 apresenta os principais sinais de controle do conversor de três níveis convencional onde as aquisições foram realizadas através de conversores D/A do tipo R2R. As formas de onda apresentadas são a tensão de saída do controlador de tensão v_m , da tensão de controle v_c e da tensão amostrada do sensor de corrente $v_{isample}$. Como pode ser visto na figura, os sinais de controle se comportam de forma semelhante ao apresentado na simulação.

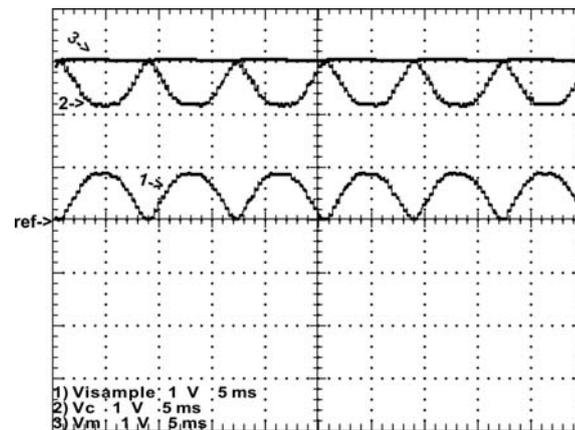


Fig. 3.42 – Formas de onda dos principais sinais de controle do retificador: v_m , $v_{isample}$ e v_c . (1V/div, 1V/div, 1V/div, 5ms/div).

Na Fig. 3.43 tem-se a curva de rendimento do conversor sem levar em consideração a alimentação da fonte auxiliar, da placa de controle e *drivers* e da placa de desenvolvimento do FPGA. Percebe-se um rendimento sempre superior a 92%, a partir de 1kW, com um rendimento para plena carga de 94,64%.

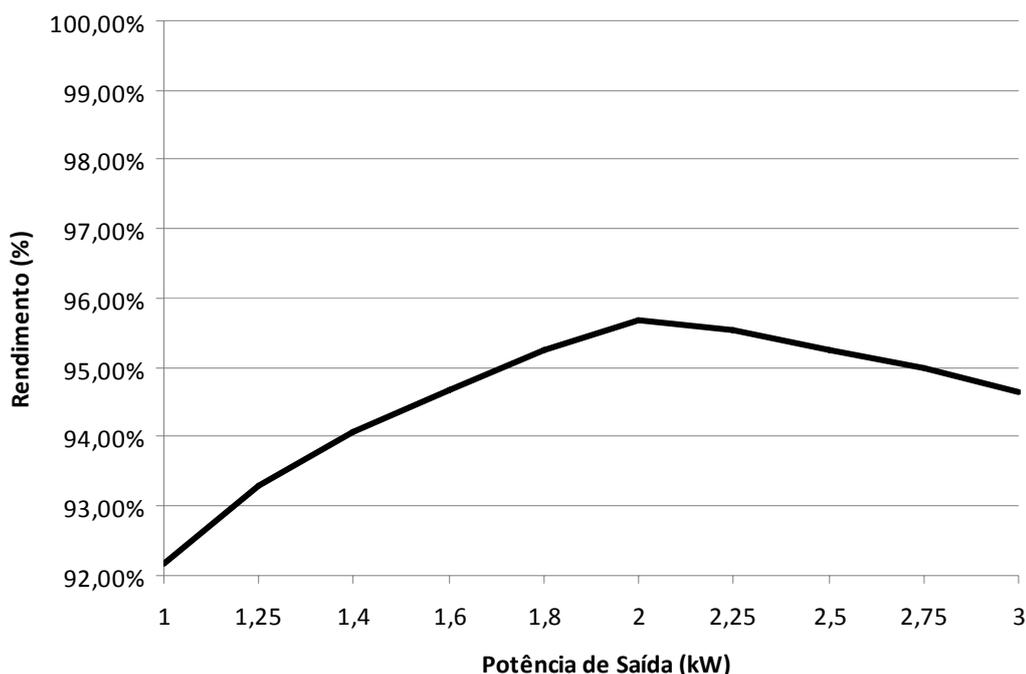


Fig. 3.43 – Curva de rendimento do conversor de três níveis convencional.

3.8 Conclusões

Neste capítulo apresentou-se a análise qualitativa e quantitativa, modelagem dinâmica, exemplo de projeto e resultados de simulação e experimental de um protótipo de 3kW do conversor de três níveis convencional.

De toda a análise realizada podem-se fazer as seguintes conclusões:

- O conversor pode ser modelado como sendo um conversor *boost* clássico;
- Através dos resultados experimentais, verificou-se um elevado fator de potência e se mantiveram equilibradas e reguladas as tensões de saída, mesmo em condição de degrau de carga;
- O THD da corrente de entrada se mostrou acima dos 5% normalmente aceitáveis, talvez devido ao elevado THD da tensão de entrada (em torno dos 3%) e por conta da utilização de interruptores em paralelo acionados com o mesmo sinal de comando, que, devido à assimetria do layout da placa de potência e outras perdas parasitas, possam ter comprometido o THD;
- O mesmo acontece com o rendimento obtido, pouco abaixo dos 95% esperado, devido aos interruptores e diodos utilizados em paralelo.

CAPÍTULO 4

CONVERSOR CA-CC MONOFÁSICO DE CINCO NÍVEIS INTERCALADO

4.1 Introdução

No Capítulo 3 foi estudado o conversor *boost* de três níveis convencional que apresenta uma topologia que integra o retificador e o estágio pré-regulador, o que é favorável para a aplicação em um sistema *no-break on-line* não isolado, sendo um conversor que opera com alta eficiência, pois somente um ou dois semicondutores conduzem simultaneamente, diminuindo-se as perdas por condução.

Mas, com o objetivo de processar maiores potências, as perdas por condução, o volume e peso do retificador se elevam, fazendo com que a eficiência diminua e os custos aumentem. Dentre as soluções encontradas para aumentar a eficiência do conversor, uma solução a ser proposta nesta tese é a aplicação da técnica de intercalar [12] o conversor *boost* de três níveis convencional com o objetivo de reduzir as perdas por condução.

Dessa forma, é estudado neste capítulo o conversor monofásico CA-CC de cinco níveis intercalado. Com esse objetivo, são apresentados: a estrutura topológica do conversor de cinco níveis intercalado; etapas de funcionamento e principais formas de onda; análise qualitativa e quantitativa do conversor proposto e sua operação dinâmica. Um exemplo de projeto do conversor e resultados de simulação e experimental também são apresentados.

4.2 Análise Qualitativa

4.2.1 Topologia e Princípio de Funcionamento

A obtenção da nova topologia é feita partindo-se da topologia do conversor monofásico de três níveis convencional apresentado na Fig. 4.1(a). Aplica-se nesta topologia a célula de comutação intercalada mostrada na Fig. 4.1(b) que, trata-se da conexão de dois conversores *boost* de três níveis convencional em paralelo. Substituindo-se os pontos “a”, “b”, “c” e “d” da célula de comutação nos respectivos pontos “a”, “b”, “c” e “d” do conversor obtém-se o conversor CA-CC monofásico de cinco níveis intercalado apresentado na Fig. 4.1(c).

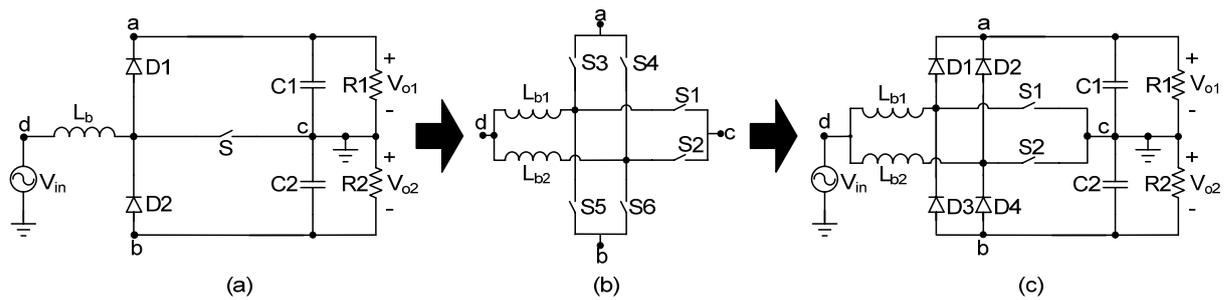


Fig. 4.1 - (a) conversor de três níveis convencional; (b) célula de comutação intercalada; (c) conversor de cinco níveis intercalado obtido.

Como o conversor é do tipo unidirecional, ou seja, possui somente um sentido no fluxo do processamento de energia, os interruptores $S3$, $S4$, $S5$ e $S6$ da célula de comutação podem ser substituídos por diodos. Já os interruptores $S1$ e $S2$ são interruptores bidirecionais. Assim, a configuração de montagem escolhida para esses interruptores é apresentada na Fig. 1.8(iii) tratando-se de dois dispositivos IGBT onde seus diodos intrínsecos em antiparalelo desses interruptores são utilizados. Dessa forma, a topologia do conversor CA-CC monofásico de cinco níveis proposto é apresentada na Fig. 4.2, sendo composta dos seguintes elementos: dois indutores L_{b1} e L_{b2} localizados no lado CA, quatro interruptores controlados $S1$, $S2$, $S3$ e $S4$ (com seus respectivos diodos intrínsecos em antiparalelo D_{S1} , D_{S2} , D_{S3} e D_{S4}) formando dois interruptores bidirecionais, quatro diodos $D1$, $D2$, $D3$ e $D4$ e dois capacitores de filtro $C1$ e $C2$ com um ponto de conexão comum.

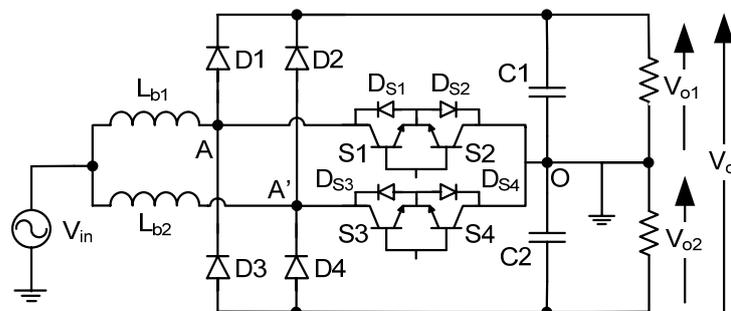


Fig. 4.2 – Topologia do conversor monofásico de cinco níveis intercalado proposto.

Para que o conversor emule uma carga resistiva pura, fazendo assim a correção do fator de potência, os modos de operação deste conversor são definidos pela comparação da tensão retificada de entrada e a tensão de saída em função da razão cíclica dos interruptores controlados. Assim, quando a tensão de entrada é menor que a metade da tensão de saída total, o conversor opera com razão cíclica maior que 0,5 e ocorre a sobreposição dos sinais de comando dos interruptores em alguns instantes (*overlapping mode*) e, quando a tensão de entrada é maior que a metade da tensão de saída total, o conversor opera com razão cíclica menor que 0,5 e ocorre a não-sobreposição dos sinais de comando dos interruptores (*non-overlapping mode*). Estes modos de funcionamento são mostrados na Fig. 4.3.

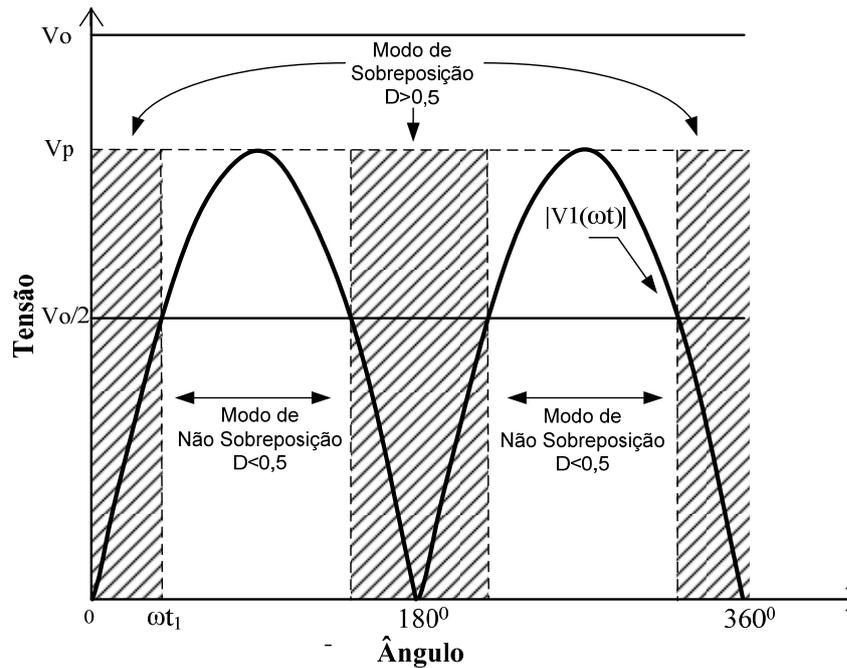


Fig. 4.3 – Modos de operação do conversor em um período da rede.

Se for considerada a tensão entre os pontos A e O e A' e O de forma separada, percebe-se o mesmo comportamento do conversor de três níveis convencional, ou seja, as tensões assumem os valores de $+V_o/2$, 0 e $-V_o/2$ (lembrando: $V_o = V_{o1} + V_{o2}$). As tensões V_{AO} e $V_{A'O}$ são apresentadas na Fig. 4.4, considerando uma baixa frequência de comutação e com a tensão $V_{A'O}$ um pouco maior para melhor visualização. Mas, somando-se estas tensões e, dependendo do estado dos interruptores (conduzindo ou bloqueado) e do modo de operação (modo de não sobreposição ou sobreposição) a tensão total pode assumir cinco valores distintos ($+V_o$, $+V_o/2$, 0 , $-V_o/2$ e $-V_o$), conforma a Fig. 4.5. Por conta disso, ao invés deste conversor ser chamado de conversor de três níveis intercalado, este conversor é chamado de conversor de cinco níveis intercalado.

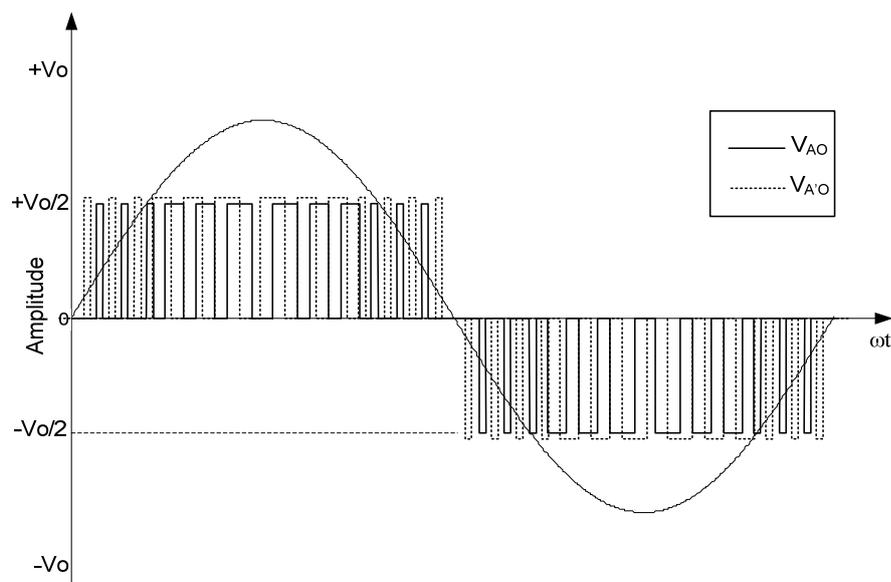


Fig. 4.4 – Formas de onda da tensão de entrada e tensões $V_{A'O}$ e $V_{A'O}$ para o conversor de cinco níveis intercalado.

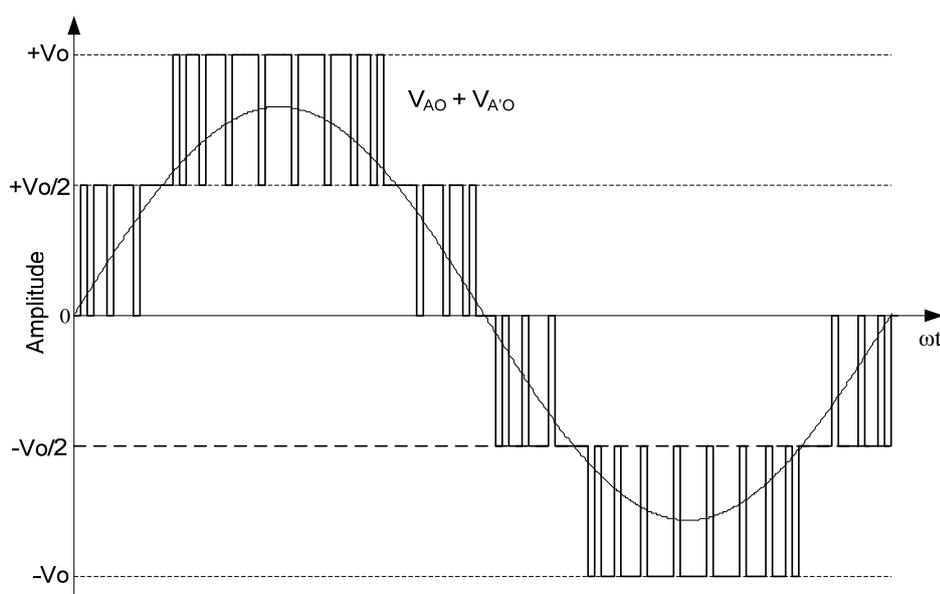


Fig. 4.5 - Formas de onda da tensão de entrada e tensão total ($V_{A'O} + V_{A'O}$) para o conversor de cinco níveis intercalado.

4.2.2 Etapas de Operação para o Modo de Não Sobreposição

1ª. Etapa ($t_0 \leq t \leq t_1$) – Etapa de Acumulação e Transferência de Energia

No instante t_0 , o interruptor $S1$ entra em condução e $S3$ permanece bloqueado. O diodo $D1$ está inversamente polarizado enquanto que o diodo $D2$ está diretamente polarizado. A corrente que circula através do indutor L_{b1} cresce linearmente e energia é armazenada, enquanto que a energia armazenada em uma etapa anterior no indutor L_{b2} é fornecida para a carga através do diodo $D2$. Sendo os indutores iguais, suas respectivas correntes são iguais

($I_{Lb1} = I_{Lb2}$). Esta etapa de operação está ilustrada na Fig. 4.6, e o caminho da circulação da corrente é marcada em negrito. A etapa termina quando o interruptor $S1$ é bloqueado.

As equações diferenciais que definem esta 1ª etapa são apresentadas a seguir:

$$v_{in}(\omega t) = L_{b1} \cdot \frac{di_{Lb1}}{d\omega t} \quad (4.1)$$

$$v_{in}(\omega t) = V_{o1} - L_{b2} \cdot \frac{di_{Lb2}}{d\omega t} \quad (4.2)$$

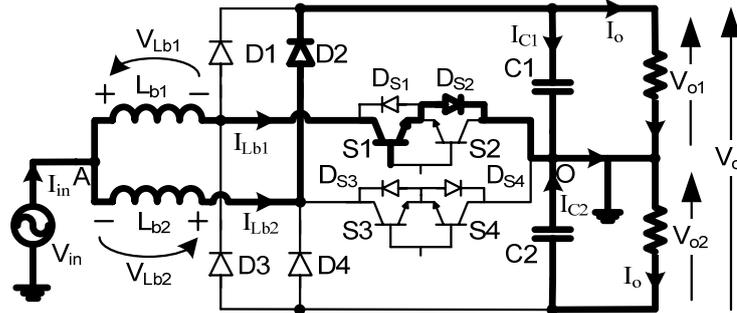


Fig. 4.6 – 1ª etapa de operação.

2ª Etapa ($t_1 \leq t \leq t_2$) – Etapa de Transferência de Energia

No instante t_1 , o interruptor $S1$ é comandado a bloquear e o interruptor $S3$ permanece bloqueado. A tensão sobre o indutor L_{b1} é invertida, e toda a energia armazenada durante a etapa anterior no indutor é transferida para a carga. O diodo $D1$ é diretamente polarizado e $D2$ permanece diretamente polarizado. Esta etapa está ilustrada na Fig. 4.7 e termina quando $S3$ é comandado a conduzir.

As equações diferenciais que definem esta 2ª etapa são apresentadas a seguir:

$$v_{in}(\omega t) = V_{o1} - L_{b1} \cdot \frac{di_{Lb1}}{d\omega t} \quad (4.3)$$

$$v_{in}(\omega t) = V_{o1} - L_{b2} \cdot \frac{di_{Lb2}}{d\omega t} \quad (4.4)$$

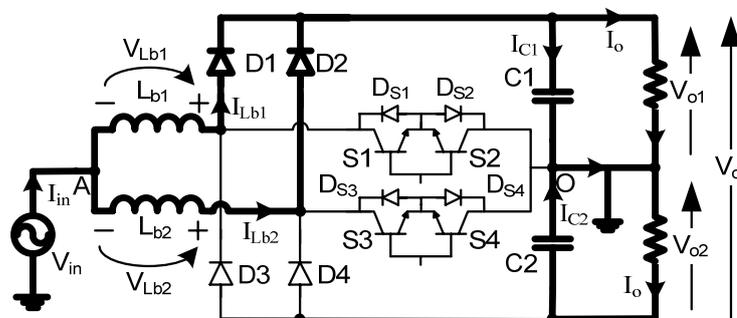


Fig. 4.7 – 2ª e 4ª etapa de operação.

3ª Etapa ($t_2 \leq t \leq t_3$) – Etapa de Acumulação e Transferência de Energia

Devido à simetria do circuito, esta etapa é semelhante à primeira, sendo que, o interruptor $S3$ é comandado a conduzir e $S1$ permanece bloqueado, o diodo $D1$ está diretamente polarizado enquanto que o diodo $D2$ é inversamente polarizado e, as tensões sobre os indutores invertem de polaridade em relação à 1ª etapa. Esta etapa de operação está ilustrada na Fig. 4.8, e a etapa termina quando o interruptor $S3$ é bloqueado.

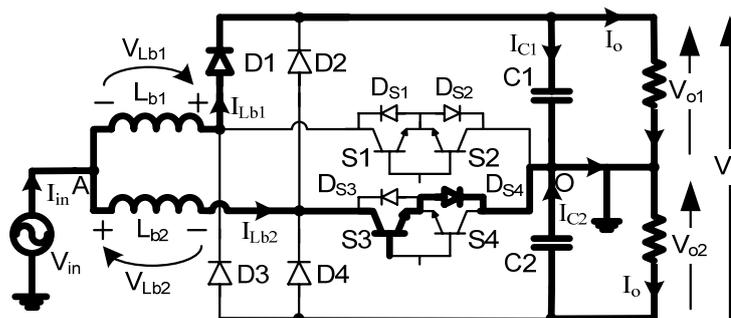


Fig. 4.8 – 3ª etapa de operação.

4ª Etapa ($t_3 \leq t \leq T$) – Etapa de Transferência de Energia

Esta etapa é idêntica à segunda etapa e o circuito é mostrado na Fig. 4.7, onde o caminho da circulação de corrente é marcado em negrito.

As principais formas de onda de tensão e corrente nos diferentes componentes do conversor estão mostradas na Fig. 4.9 para um período de comutação T . As formas de onda são traçadas segundo os pulsos de comando aplicado aos interruptores $S1$ e $S3$. As grandezas I_{MLb1} , I_{MLb2} , I_{mLb1} e I_{mLb2} representam as correntes máximas e mínimas dos indutores L_{b1} e L_{b2} , respectivamente.

Para o conversor de cinco níveis intercalado, observa-se que, a ondulação nos indutores do conversor intercalado são maiores que no de três níveis convencional para uma mesma ondulação de corrente de entrada e operam na mesma frequência de comutação. De qualquer forma, os esforços de corrente nos semicondutores são divididos, fazendo com que as perdas de condução e de comutação sejam menores, aumentando o rendimento do conversor com relação ao conversor de três níveis convencional.

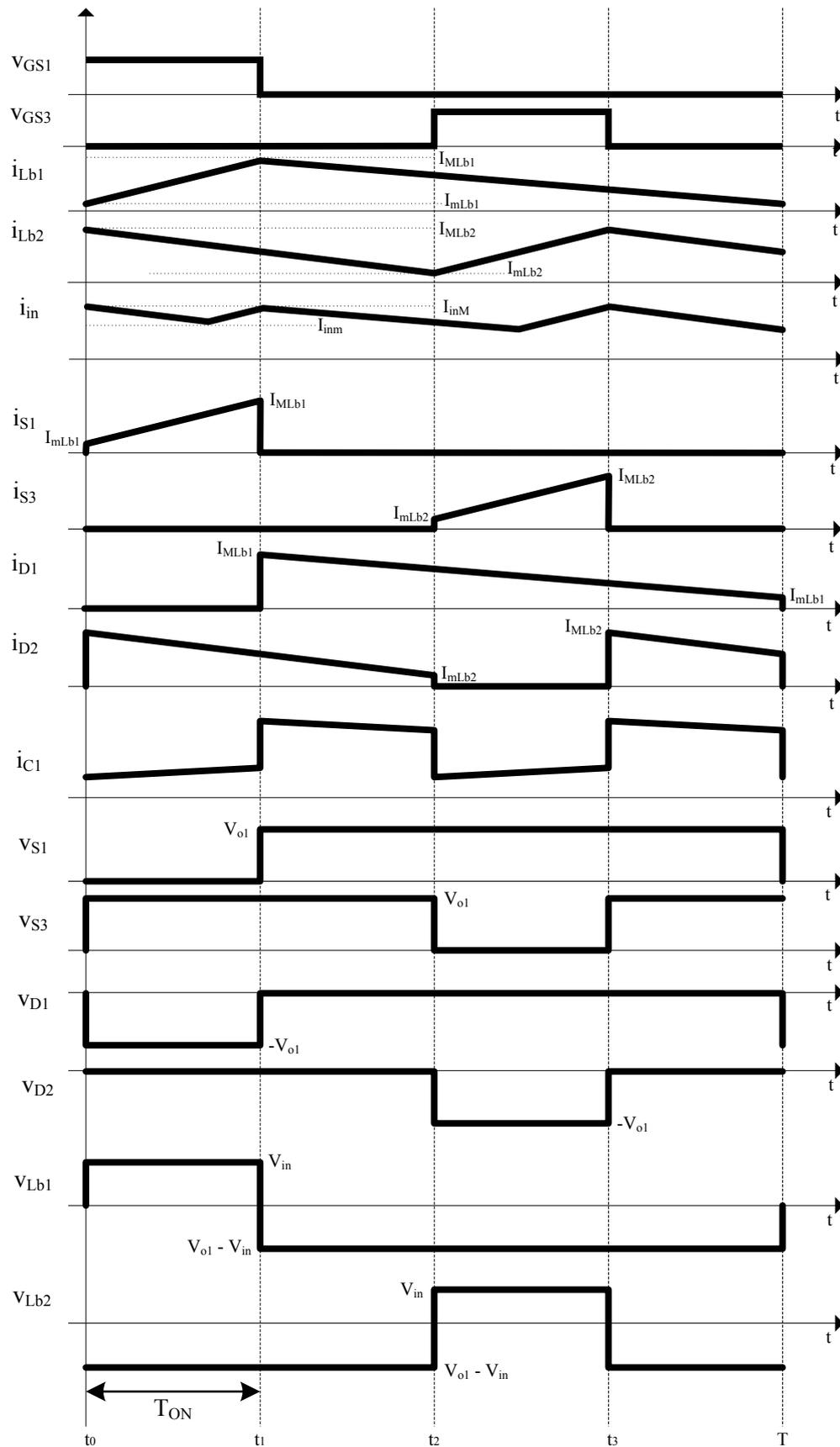


Fig. 4.9 – Principais formas de onda idealizadas para o modo de operação de não sobreposição.

4.2.3 Etapas de Operação para o Modo de Sobreposição

De forma análoga à análise anterior, em um período de comutação ocorrem quatro etapas de operação que são descritas a seguir.

1ª. Etapa ($t_0 \leq t \leq t_1$) – Etapa de Acumulação de Energia

No instante $t = t_0$, o interruptor $S1$ entra em condução e $S3$ permanece conduzindo. Todos os diodos estão inversamente polarizados. A corrente nos dois indutores crescem linearmente armazenando energia. Nesta etapa não há transferência de energia da entrada para a carga, sendo o barramento CC, o responsável por fornecer esta energia. Esta etapa de operação está ilustrada na Fig. 4.10. A etapa termina quando $S3$ é bloqueado.

As equações diferenciais que definem esta 1ª etapa são apresentadas a seguir:

$$v_{in}(\omega t) = L_{b1} \cdot \frac{di_{Lb1}}{d\omega t} \quad (4.5)$$

$$v_{in}(\omega t) = L_{b2} \cdot \frac{di_{Lb2}}{d\omega t} \quad (4.6)$$

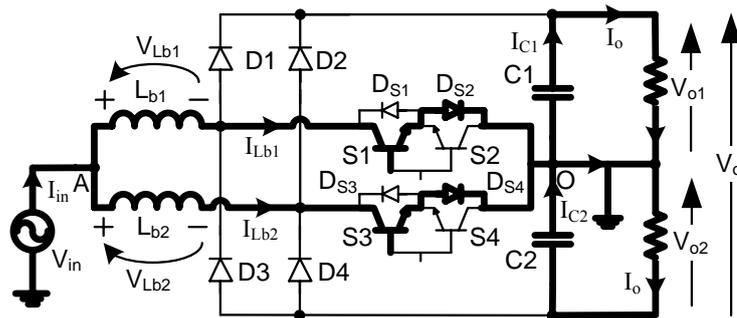


Fig. 4.10 – 1ª e 3ª etapa de operação.

2ª Etapa ($t_1 \leq t \leq t_2$) – Etapa de Transferência de Energia

No instante $t = t_1$, o interruptor $S3$ é comandado a bloquear e o interruptor $S1$ permanece conduzindo. A tensão sobre o indutor L_{b2} é invertida para manter a variação do fluxo magnético constante através do núcleo. No mesmo instante, o diodo $D2$ é diretamente polarizado e $D1$ permanece inversamente polarizado. A energia armazenada durante a etapa anterior no indutor L_{b2} é transferida para a carga e a corrente decresce linearmente enquanto que o indutor L_{b1} continua armazenando energia. Esta etapa de operação está ilustrada na Fig. 4.11. A etapa termina quando $S3$ é comandado a conduzir.

As equações diferenciais que definem esta 2ª etapa são apresentadas a seguir:

$$v_{in}(\omega t) = L_{b1} \cdot \frac{di_{Lb1}}{d\omega t} \quad (4.7)$$

$$v_{in}(\omega t) = V_{o1} - L_{b2} \cdot \frac{di_{Lb2}}{d\omega t} \quad (4.8)$$

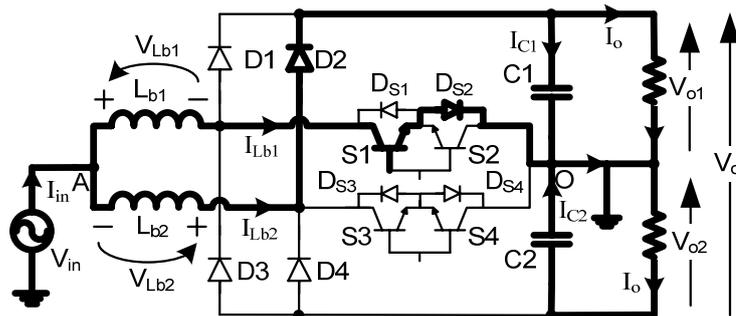


Fig. 4.11 – 2ª etapa de operação.

3ª Etapa ($t_2 \leq t \leq t_3$) – Etapa de Acumulação de Energia

Devido à simetria do circuito do conversor, esta etapa é idêntica à primeira, sendo que o interruptor $S3$ entra em condução enquanto $S1$ permanece conduzindo. Todos os diodos estão inversamente polarizados. Esta etapa de operação está ilustrada na Fig. 4.10. A etapa termina quando $S1$ é comandado a bloquear.

4ª Etapa ($t_3 \leq t \leq T$) – Etapa de Transferência de Energia

Esta etapa é similar à segunda etapa com a diferença que o interruptor $S1$ é bloqueado e o interruptor $S3$ permanece conduzindo. O diodo $D1$ é diretamente polarizado enquanto que o diodo $D2$ permanece bloqueado. O circuito é mostrado na Fig. 4.12.

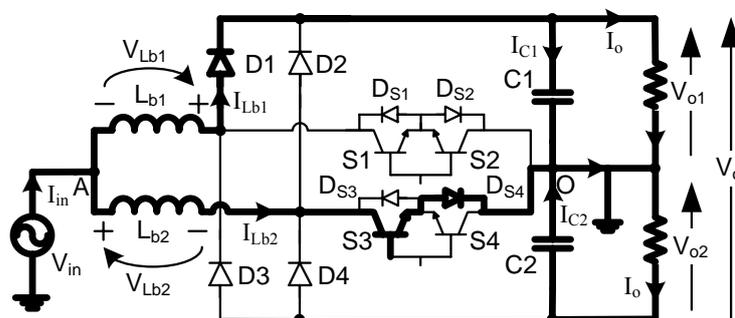


Fig. 4.12 – 4ª etapa de operação.

As principais formas de onda de tensão e corrente nos diferentes componentes do conversor são mostradas na Fig. 4.13 para um período de comutação T . As formas de onda são traçadas segundo os pulsos de comando aplicado aos interruptores $S1$ e $S3$.

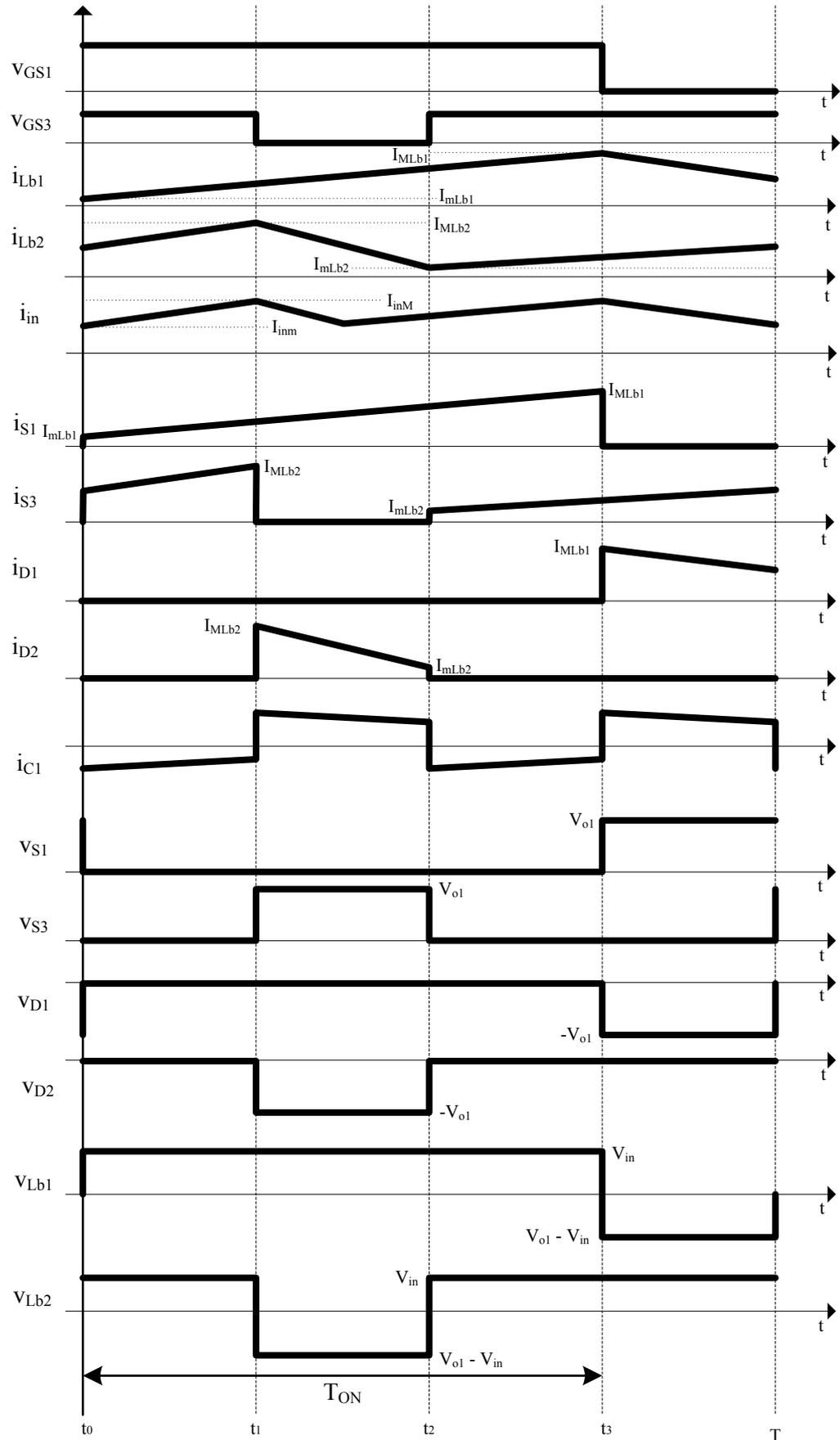


Fig. 4.13 – Principais formas de onda idealizadas para o modo de operação de sobreposição.

4.3 Análise Quantitativa do Estágio de Potência

4.3.1 Operação em Regime Permanente

As mesmas relações levantadas para o conversor de três níveis convencional apresentadas no item 3.3.1 são válidas para o conversor de cinco níveis intercalado na operação em regime permanente, ou seja, a tensão de entrada é definida por (3.5):

$$v_{in}(\omega t) = V_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi .$$

A corrente de entrada é definida por (3.6):

$$i_{in}(\omega t) = I_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi .$$

A potência de entrada instantânea definida por (3.8):

$$p_{in}(\omega t) = V_p \cdot I_p \cdot \text{sen}^2(\omega t) .$$

A potência de saída definida por (3.9):

$$P_o = V_o \cdot I_o = \frac{1}{2} \cdot V_p \cdot I_p \cdot \eta .$$

4.3.2 Determinação do Ganho Estático

A metodologia aqui utilizada para determinar o ganho estático é semelhante à utilizada no item 3.3.2. Dessa forma, repete-se que as variações de fluxo magnético em cada etapa de operação são iguais, pois no indutor a tensão média em um período de comutação é nula. Assim, tem-se a equação definida em (3.10):

$$\Delta\Phi_{(t_1-t_0)} = \Delta\Phi_{(t_2-t_1)} .$$

O ganho estático do conversor de cinco níveis intercalado será igual ao já encontrado para o conversor de três níveis convencional. Para comprovar, considerando que o ganho estático é o mesmo para ambos os modos, calcula-se o mesmo substituindo as variações de fluxo na equação (3.10), para o indutor L_{b2} (onde existe variação de fluxo para as etapas 1 e 2) no modo de sobreposição. Assim, tem-se a equação (4.9):

$$(V_{in}(\omega t)) \cdot (t_1 - t_0) = (V_{o1} - V_{in}(\omega t)) \cdot (t_2 - t_1) . \quad (4.9)$$

Os intervalos de tempo da 1ª e 2ª etapa de operação em função da razão cíclica são apresentados a seguir para o modo de sobreposição em (4.10):

$$\begin{cases} t_1 - t_0 = \frac{T}{2} \cdot (2 \cdot D - 1) \\ t_2 - t_1 = T \cdot (1 - D) \end{cases} . \quad (4.10)$$

Substituindo a equação (4.10) em (4.9), obtém-se:

$$V_{in}(\omega t) \cdot \left(\frac{T}{2} \cdot (2 \cdot D - 1) \right) = (V_{o1} - V_{in}(\omega t)) \cdot (T - D \cdot T). \quad (4.11)$$

Resolvendo a equação (4.11), obtém-se:

$$V_{in}(\omega t) \cdot (T) = (V_{o1}) \cdot (2 \cdot T - 2 \cdot D \cdot T) \Rightarrow \frac{V_{o1}}{V_{in}(\omega t)} = \frac{1}{2 - 2 \cdot D}. \quad (4.12)$$

Como para o indutor L_{bI} para as etapas 3 e 4, o ganho estático encontrado é o mesmo, para a fonte de alimentação do conversor o ganho estático somado é:

$$\frac{V_{o1}}{V_{in}(\omega t)} = 2 \cdot \frac{1}{2 - 2 \cdot D} \Rightarrow \frac{V_{o1}}{V_{in}(\omega t)} = \frac{1}{1 - D}. \quad (4.13)$$

Assim, verifica-se que o conversor de cinco níveis intercalado apresenta a mesma característica de ganho estático do conversor de três níveis convencional já apresentado nesta tese.

4.3.3 Variação da Razão Cíclica

Para o conversor de cinco níveis intercalado, a variação da razão cíclica é semelhante à apresentada para o conversor de três níveis convencional no item 3.3.3 e rerepresentada na equação (4.14) e na Fig. 4.14.

$$D(\omega t) = 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t). \quad (4.14)$$

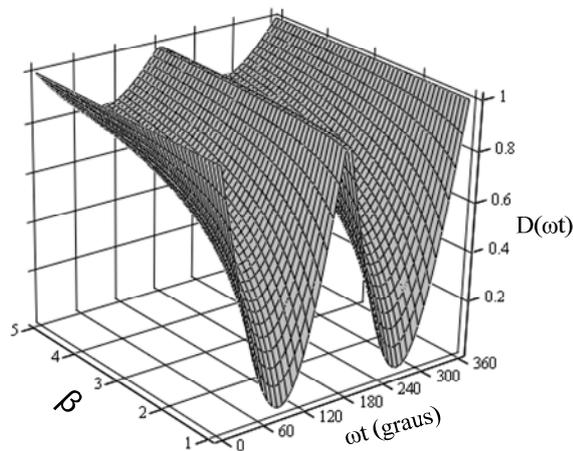


Fig. 4.14 – Variação da razão cíclica em função do tempo para um período da tensão de entrada.

4.3.4 Determinação da Ondulação de Corrente de Entrada

Para a determinação da ondulação da corrente de entrada para o conversor de cinco níveis intercalado se faz necessária a determinação da ondulação para os dois modos de operação. Como tem-se dois indutores iguais, será determinada a ondulação de corrente para o indutor L_{b1} .

Para o modo de não sobreposição, tem-se que a equação diferencial relativa à 1ª etapa de operação é:

$$L_{b1} \cdot \frac{di_{Lb1}}{d\omega t} - v_{in}(\omega t) = 0. \quad (4.15)$$

Resolvendo a equação para uma variação da razão cíclica ($d\omega t = D(\omega t)/f_s$), tem-se:

$$\Delta I_{Lb1} = \frac{(1 - D(\omega t)) \cdot D(\omega t)}{f_s \cdot L_{b1}} \cdot V_{o1}. \quad (4.16)$$

Para o modo de sobreposição, a equação diferencial relativa à 1ª etapa de operação é dada por:

$$L_{b1} \cdot \frac{di_{Lb1}}{d\omega t} - v_{in}(\omega t) = 0. \quad (4.17)$$

Resolvendo a equação para uma variação da razão cíclica ($d\omega t = (2 \cdot D(\omega t) - 1)/2 \cdot f_s$), tem-se:

$$\Delta I_{Lb1} = \frac{(2 \cdot D(\omega t) - 1) \cdot (1 - D(\omega t))}{2 \cdot f_s \cdot L_{b1}} \cdot V_{o1}. \quad (4.18)$$

Substituindo (4.14) em (4.16) e (4.18), obtêm-se:

$$\Delta I_{Lb1} = \frac{\text{sen}(\omega t) \cdot (\beta - \text{sen}(\omega t))}{f_s \cdot L_{b1} \cdot \beta^2} \cdot V_{o1}, \quad (4.19)$$

$$\Delta I_{Lb1} = \frac{(\beta - 2 \cdot \text{sen}(\omega t)) \cdot \text{sen}(\omega t)}{2 \cdot f_s \cdot L_{b1} \cdot \beta^2} \cdot V_{o1}. \quad (4.20)$$

Adotando a relação $\frac{L_b \cdot f_s}{V_{o1}}$ como fator de parametrização, chegam-se as expressões (4.21) e

(4.22):

$$\overline{\Delta I_{Lb1}(\omega t)} = \frac{\Delta I_{Lb1}(\omega t) \cdot L_{b1} \cdot f_s}{V_{o1}} = \frac{\text{sen}(\omega t) \cdot (\beta - \text{sen}(\omega t))}{\beta^2}, \quad (4.21)$$

$$\overline{\Delta I_{Lb1}(\omega t)} = \frac{\Delta I_{Lb1}(\omega t) \cdot L_{b1} \cdot f_s}{V_{o1}} = \frac{(\beta - 2 \cdot \text{sen}(\omega t)) \cdot \text{sen}(\omega t)}{2 \cdot \beta^2}. \quad (4.22)$$

A Fig. 4.15 apresenta de forma gráfica a variação da ondulação da corrente parametrizada da entrada em meio período da rede para diferentes valores de β . A forma de onda mais escura

representa o modo de sobreposição e a forma de onda mais clara representa o modo de não sobreposição.

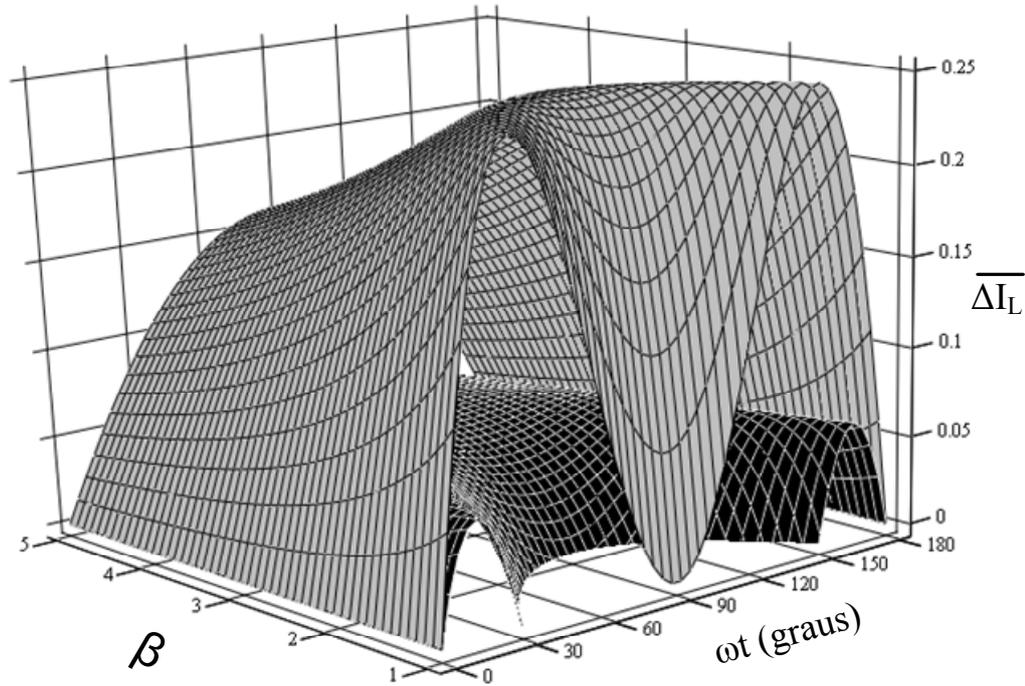


Fig. 4.15 – Variação da ondulação da corrente parametrizada para meio período da rede.

Nota-se que o máximo valor da ondulação de corrente parametrizada é obtido no modo de não sobreposição. Dessa forma, esse valor é calculado a partir da equação (4.21). Assim, derivando e igualando a zero, tem-se:

$$\frac{d\overline{\Delta I_{Lb1}}(\omega t)}{d\omega t} = \frac{\cos(\omega t) \cdot (\beta - \text{sen}(\omega t))}{\beta^2} - \frac{\cos(\omega t) \cdot \text{sen}(\omega t)}{\beta^2} = 0. \quad (4.23)$$

Resolvendo (4.23), tem-se que as raízes da equação são:

$$\begin{cases} \omega t = \text{asen}\left(\frac{\beta}{4}\right) \\ \omega t = \frac{\pi}{2} \end{cases}. \quad (4.24)$$

Com interesse no ponto de máxima ondulação de corrente, substituem-se os valores de ωt de (4.24) em (4.23). O resultado da corrente parametrizada encontrada é:

$$\overline{\Delta I_{Lb1}}\left(\text{asen}\left(\frac{\beta}{4}\right)\right) = \frac{\left(\text{sen}\left(\text{asen}\left(\frac{\beta}{4}\right)\right)\right) \cdot \left(\beta - \text{sen}\left(\text{asen}\left(\frac{\beta}{4}\right)\right)\right)}{\beta^2} = \frac{1}{4}. \quad (4.25)$$

Assim, substituindo-se esse valor na equação (4.21), obtém-se o máximo valor da ondulação de corrente através do indutor dado pela equação (4.26).

$$\Delta I_{L_{b1}\max} = \overline{\Delta I_{L_{b1}}}(\omega t) \cdot \frac{V_{o1}}{L_{b1} \cdot f_s} = \frac{V_{o1}}{4 \cdot L_{b1} \cdot f_s} = \frac{V_o}{8 \cdot L_{b1} \cdot f_s}. \quad (4.26)$$

Dessa forma, o valor da indutância pode ser calculado de acordo com a equação (4.27):

$$L_{b1} = L_{b2} = \frac{V_o}{8 \cdot \Delta I_{L_{b1}} \cdot f_s}. \quad (4.27)$$

4.3.5 Determinação da Ondulação de Tensão

A forma de onda da corrente que circula no capacitor do filtro $C1$, na frequência de comutação, é apresentada na Fig. 4.16 para um período da rede começando pelo semiciclo positivo.

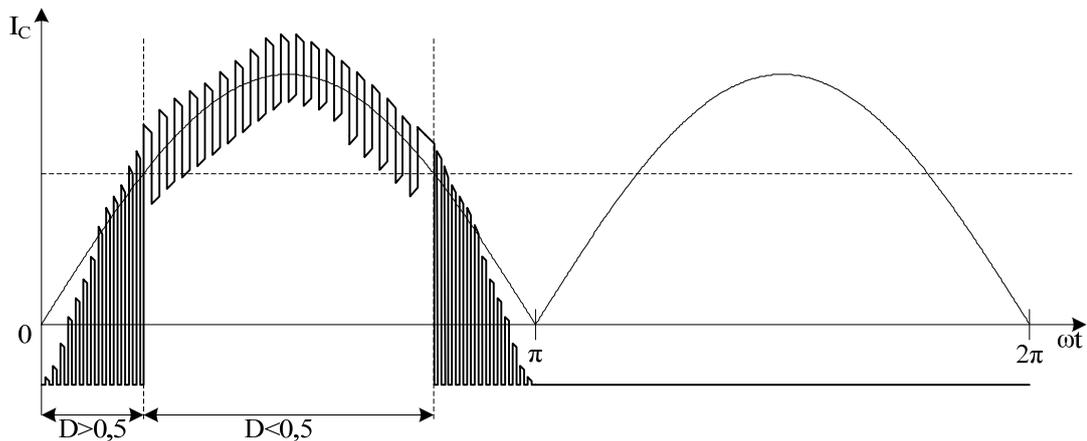


Fig. 4.16 – Forma de onda da corrente no capacitor de filtro $C1$ para um período da rede.

Observa-se que para o modo de não sobreposição a corrente é contínua, não alcançando o zero em nenhum momento, ou seja, o capacitor é sempre carregado nesse modo, com mais corrente ou menos corrente, dependendo da comutação dos interruptores.

A partir daí, tem-se o mesmo procedimento apresentado no item 3.3.5 para a determinação da ondulação de tensão chegando a:

$$C1 = \frac{I_o}{2 \cdot \eta \cdot \omega \cdot \Delta V_o}. \quad (4.28)$$

4.3.6 Análise dos Esforços de Tensão e Corrente no Conversor

Apresenta-se uma metodologia de projeto do conversor, onde são realizados cálculos matemáticos dos esforços de tensão e corrente nos componentes do conversor para o modo de condução contínua.

Expressões Básicas

É apresentado algumas expressões já definidas no item 3.3.6:

$$v_{in}(\omega t) = V_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi. \quad (4.29)$$

$$i_{in}(\omega t) = I_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi. \quad (4.30)$$

$$I_p = \frac{\beta \cdot I_o}{\eta}. \quad (4.31)$$

Indutores L_{b1} e L_{b2}

São definidos os esforços de corrente no indutor L_{b1} que são os mesmos para o indutor L_{b2} . A corrente eficaz em função de ωt que circula através do indutor para razão cíclica menor e maior que 0,5 é definida por (4.32).

$$i_{efL_{b1}}(\omega t) = I_p \cdot \text{sen}(\omega t). \quad (4.32)$$

A corrente eficaz que circula através do indutor em um período da rede é definida por:

$$I_{efL_{b1}} = 2 \cdot \sqrt{\frac{1}{\pi} \cdot \int_0^{\omega t1} (i_{efL_{b1}}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\omega t1}^{\pi - \omega t1} (i_{efL_{b1}}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t1}^{\pi} (i_{efL_{b1}}(\omega t))^2 d\omega t}. \quad (4.33)$$

Resolvendo a equação (4.33), obtém-se a equação (4.34).

$$I_{efL_b} = \frac{\sqrt{2} \cdot \beta \cdot I_o}{\eta}. \quad (4.34)$$

O valor máximo da corrente de pico que circula através do indutor é dado por (4.35).

$$I_{pL1} = \frac{2 \cdot \beta \cdot I_o}{\eta}. \quad (4.35)$$

Interruptores S1, S2, S3 e S4

São definidos os esforços de tensão e corrente do interruptor $S1$, que são os mesmos para os demais interruptores. A máxima tensão sobre os interruptores é definida por (4.36):

$$V_{S1} = \frac{V_o}{2}. \quad (4.36)$$

A corrente eficaz em função de ωt através do interruptor, para razão cíclica menor e maior que 0,5, é definida por (4.37).

$$i_{efS1}(\omega t) = I_p \cdot \text{sen}(\omega t) \cdot \sqrt{\frac{\beta - \text{sen}(\omega t)}{\beta}}. \quad (4.37)$$

A corrente eficaz em um período da rede é definida por (4.38). Com isto pode-se especificar interruptores do tipo MOSFET.

$$I_{efS1} = 2 \cdot \sqrt{\frac{1}{\pi} \cdot \int_0^{\omega t1} (i_{efS1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\omega t1}^{\pi - \omega t1} (i_{efS1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t1}^{\pi} (i_{efS1}(\omega t))^2 d\omega t}. \quad (4.38)$$

Resolvendo a equação (4.38), obtém-se a equação (4.39).

$$I_{efS1} = \frac{\sqrt{6} \cdot I_o}{3 \cdot \eta} \cdot \sqrt{\frac{\beta \cdot (3 \cdot \pi \cdot \beta - 8)}{\pi}}. \quad (4.39)$$

O valor máximo da corrente de pico repetitivo dos interruptores é o mesmo dado por (4.35). A corrente média em função de ωt através do interruptor, para razão cíclica menor e maior que 0,5, é definida por (4.40).

$$i_{mdS1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t) \cdot (\beta - \text{sen}(\omega t))}{\beta}. \quad (4.40)$$

A corrente média em um período da rede é definida por (4.41). Com isto pode-se especificar interruptores do tipo IGBT.

$$I_{mdS1} = 2 \cdot \left(\frac{1}{\pi} \cdot \int_0^{\omega t1} (i_{mdS1}(\omega t)) d\omega t + \frac{1}{\pi} \cdot \int_{\omega t1}^{\pi - \omega t1} (i_{mdS1}(\omega t)) d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t1}^{\pi} (i_{mdS1}(\omega t)) d\omega t \right). \quad (4.41)$$

Resolvendo a equação (4.41), obtém-se a equação (4.42).

$$I_{mdS1} = \frac{(4 \cdot \beta - \pi) \cdot I_o}{\pi \cdot \eta}. \quad (4.42)$$

Diodos D1, D2, D3 e D4

São definidos os esforços de tensão e corrente do diodo $D1$, que são os mesmos para os diodos $D2$, $D3$ e $D4$. A máxima tensão reversa sobre os diodos é definida por (4.43):

$$V_{D1} = V_o. \quad (4.43)$$

A corrente média em função de ωt através do diodo, para razão cíclica menor e maior que 0,5, é definida por (4.44).

$$i_{mdD1}(\omega t) = \frac{I_p \cdot \text{sen}^2(\omega t)}{\beta}. \quad (4.44)$$

A corrente média em um período da rede é definida por (4.45).

$$I_{mdD1} = \left(\frac{1}{\pi} \cdot \int_0^{\omega t1} (i_{mdD1}(\omega t)) d\omega t + \frac{1}{\pi} \cdot \int_{\omega t1}^{\pi - \omega t1} (i_{mdD1}(\omega t)) d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t1}^{\pi} (i_{mdD1}(\omega t)) d\omega t \right). \quad (4.45)$$

Resolvendo a equação (4.45), obtém-se a equação (4.46).

$$I_{mdD1} = \frac{I_o}{2 \cdot \eta}. \quad (4.46)$$

A corrente eficaz em função de ωt através do diodo, para razão cíclica menor e maior que 0,5, é definida por (4.47).

$$i_{efD1}(\omega t) = I_p \cdot \text{sen}(\omega t) \cdot \sqrt{\frac{\text{sen}(\omega t)}{\beta}}. \quad (4.47)$$

A corrente média em um período da rede é definida por (4.48).

$$I_{efD1} = \sqrt{\left(\frac{1}{\pi} \cdot \int_0^{\omega t_1} (i_{efD1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\omega t_1}^{\pi - \omega t_1} (i_{efD1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t_1}^{\pi} (i_{efD1}(\omega t))^2 d\omega t \right)}. \quad (4.48)$$

Resolvendo a equação (4.48), obtém-se a equação (4.49).

$$I_{efD1} = \frac{\sqrt{6} \cdot I_o}{12 \cdot \eta} \cdot \sqrt{\frac{\beta \cdot \left[\sqrt{(4 - \beta^2)^3} - 4 \cdot \sqrt{(4 - \beta^2)} + \beta^2 \cdot \sqrt{(4 - \beta^2)} + 64 \right]}{\pi}}. \quad (4.49)$$

O valor máximo da corrente de pico repetitivo dos diodos é o mesmo dado por (4.35).

Capacitores C1 e C2

São definidos os esforços de tensão e corrente no capacitor de filtro $C1$, que são os mesmos para o capacitor $C2$. A máxima tensão sobre os capacitores é definida por (4.50):

$$V_{C1} = \frac{V_o}{2}. \quad (4.50)$$

A corrente eficaz em função de ωt para razão cíclica menor que 0,5, é definida por (4.51).

$$i_{1efC1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{\beta} \cdot \sqrt{\frac{(\beta - \text{sen}(\omega t)) \cdot (2 \cdot \text{sen}(\omega t) - \beta)}{2}}. \quad (4.51)$$

A corrente eficaz em função de ωt para razão cíclica maior que 0,5, é definida por (4.52).

$$i_{2efC1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{\beta} \cdot \sqrt{\frac{(\beta - 2 \cdot \text{sen}(\omega t)) \cdot \text{sen}(\omega t)}{2}}. \quad (4.52)$$

A corrente eficaz em um período da rede é definida por (4.53).

$$I_{efC1} = 2 \cdot \sqrt{\frac{1}{\pi} \cdot \int_0^{\omega t_1} (i_{2efC1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\omega t_1}^{\pi - \omega t_1} (i_{1efC1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t_1}^{\pi} (i_{2efC1}(\omega t))^2 d\omega t}. \quad (4.53)$$

Resolvendo a equação (4.53), obtém-se a equação (4.54).

$$I_{efC1} = \frac{2 \cdot I_o}{\eta} \cdot \sqrt{\frac{16 \cdot \beta + 12 \cdot \beta^2 \cdot \text{sen}^{-1}\left(\frac{\beta}{2}\right) + \beta \cdot \sqrt{4 - \beta^2} \cdot (16 - \beta^2) - 6 \cdot \pi \cdot \beta^2 - 9 \cdot \pi}{6}}. \quad (4.54)$$

4.4 Modelagem do Circuito de Potência

O conversor intercalado de cinco níveis pode ser modelado de forma semelhante ao conversor de três níveis convencional para um controle onde o monitoramento da corrente se localiza na entrada do conversor para que sejam comparados de forma igualitária os mesmos parâmetros dos conversores. A diferença com relação ao controle do conversor de três níveis convencional é que para o conversor de cinco níveis intercalado são necessárias duas portadoras defasadas entre si de 180° ao invés de somente uma portadora. Outra estratégia de controle pode ser feita para esse conversor monitorando as correntes de cada indutor separadamente.

Dessa forma, utilizando-se a mesma técnica de controle ICC e o mesmo tipo de compensador com os mesmos critérios de alocação de pólos e zeros utilizados no item 3.4, têm-se as seguintes funções de transferência já apresentadas no referido item para o diagrama de blocos apresentada na Fig. 4.17:

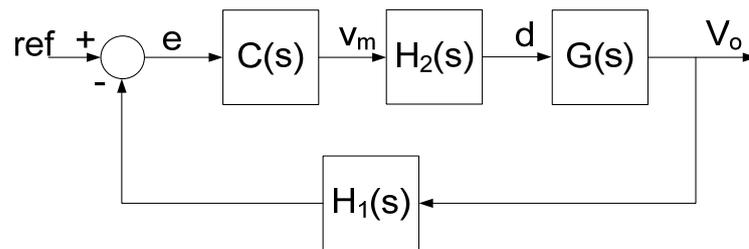


Fig. 4.17 – Diagrama de blocos do controle do conversor por ICC.

$$H_1(s) = \frac{V_{ref}}{V_o} \quad (4.55)$$

$$H_2(s) = \frac{V_p^2}{V_{o1}^2 \cdot R_{sh}} \quad (4.56)$$

$$G(s) = \left(\frac{1}{\beta \cdot \pi} + \frac{1}{2} \right) \cdot \frac{R_{o1}}{1 + s \cdot R_{o1} \cdot C1} \quad (4.57)$$

$$C(s) = \frac{K}{s} \cdot \frac{1 + \frac{1}{\omega_z} \cdot s}{1 + \frac{1}{\omega_{p2}} \cdot s} \quad (4.58)$$

4.5 Exemplo de Projeto

4.5.1 Especificações e Considerações

Com o objetivo de se comparar topologias, para o conversor de cinco níveis intercalado adotam-se as mesmas especificações e parâmetros do conversor de três níveis apresentados no Capítulo 3 para a montagem do protótipo do conversor proposto. A única diferença se dá no rendimento teórico esperado do sistema, neste caso, um rendimento esperado de 0,97. Estes valores são rerepresentados na Tabela 4.1 e Tabela 4.2.

Tabela 4.1 – Especificações do projeto.

Potência de saída total	$P_o = 3kW$
Tensão eficaz de entrada	$V_{in} = 110Vca$
Tensão eficaz de saída	$V_o = 200 + 200Vcc$
Frequência da rede	$f_r = 60Hz$
Fator de potência na entrada	$fp_{in} \cong 1$

Tabela 4.2 – Parâmetros adotados do projeto.

Frequência de comutação dos interruptores	$f_s = 20kHz$
Ondulação de tensão sobre cada capacitor na saída	$\Delta V_o = 5\% \cdot V_o$
Ondulação da corrente na entrada	$\Delta I_{in} = 20\% \cdot I_p$
Rendimento teórico esperado do sistema	$\eta = 0,97$

4.5.2 Dimensionamento dos Componentes

A relação entre a tensão de saída e o valor de pico da tensão de entrada é obtida a partir da equação (3.18):

$$\beta = \frac{V_{o1}}{V_p} = \frac{200}{156} = 1,28.$$

A corrente de saída, obtida a partir da equação (3.9), é:

$$I_o = \frac{P_o}{V_o} = \frac{3000}{400} = 7,5A.$$

Dimensionamento dos indutores L_{b1} e L_{b2}

A ondulação de corrente especificada é relacionada à corrente de entrada que é a soma das correntes nos indutores. Assim, a corrente de pico dos indutores é dada pela equação (4.35):

$$I_{pL1} = \frac{2 \cdot 1,28 \cdot 7,5}{0,97} = 19,88A.$$

O dobro desse valor é igual a 39,76A. Dessa forma, a ondulação da corrente de entrada deve ser de 20% desse valor, ou seja:

$$\Delta I_{in} = 7,95A.$$

Mas, como a ondulação de corrente nos indutores é o dobro da ondulação da corrente de entrada, tem-se que:

$$\Delta I_{L_{b1}} = 15,91A.$$

Com os valores especificados de ondulação da corrente nos indutores, seu valor de indutância é obtido a partir da equação (4.27):

$$L_{b1} = \frac{400}{8 \cdot 15,91 \cdot 20000} = 157,18\mu H.$$

Para o projeto adotou-se o valor de 155 μ H. Assim, a nova ondulação de corrente no indutor é igual a:

$$\Delta I_{L_{b1}} = \frac{400}{8 \cdot 155 \times 10^{-6} \cdot 20000} = 16,13A. \quad (4.59)$$

A corrente eficaz que circula através de cada indutor é calculada a partir de (4.34):

$$I_{efL_{b1}} = \frac{\sqrt{2} \cdot 1,28 \cdot 7,5}{0,97} = 14,06A.$$

O resumo do projeto físico dos indutores é apresentado na Tabela 4.3.

Tabela 4.3 – Resumo do projeto do indutor L_b .

Indutância de L_{b1} e L_{b2}	$L_b = 155\mu H$
Núcleo Thornton escolhido	$NEE - 65 / 33 / 26$
Número de espiras	$N_{L_b} = 24\text{espiras}$
Quantidade de fios em paralelos / bitola do fio	$N_{fios} = 15 \times 22\text{AWG}$
Entreferro	$l_g / 2 = 0,08\text{cm}$

Dimensionamento dos interruptores

São apresentados os cálculos dos esforços de tensão e corrente de apenas um interruptor, pois os demais estão submetidos aos mesmos esforços de tensão e corrente.

A máxima tensão sobre os interruptores é calculada a partir da equação (4.36):

$$V_{S1} = \frac{V_o}{2} = 200V.$$

A corrente média nos interruptores é calculada através da equação (4.42):

$$I_{mdS1} = \frac{(4 \cdot 1,28 - \pi) \cdot 7,5}{\pi \cdot 0,97} = 4,93 A.$$

A corrente eficaz nos interruptores é calculada através da equação (4.39):

$$I_{efS1} = \frac{\sqrt{6} \cdot 7,5}{3 \cdot 0,97} \cdot \sqrt{\frac{1,28 \cdot (3 \cdot \pi \cdot 1,28 - 8)}{\pi}} = 8,19 A.$$

A máxima corrente de pico repetitivo nos interruptores é a mesma para um indutor. A partir dessas especificações para os esforços de tensão e corrente é escolhido o IRGP50B60PD1 da *International Rectifier*.

Dimensionamento dos diodos

Os esforços de tensão e corrente do diodo DI , os mesmos para os demais diodos, são calculados. A tensão reversa máxima sobre os diodos é obtida através de (4.43):

$$V_{D1} = V_O = 400V.$$

A corrente média que circula através dos diodos é dada pela equação (4.46):

$$I_{mdD1} = \frac{7,5}{2 \cdot 0,97} = 3,87 A.$$

A corrente eficaz que circula através dos diodos é dada pela equação (4.49):

$$I_{efD1} = \frac{\sqrt{6} \cdot 7,5}{12 \cdot 0,97} \cdot \sqrt{\frac{1,28 \cdot \left[\sqrt{(4 - 1,28^2)^3} - 4 \cdot \sqrt{(4 - 1,28^2)} + 1,28^2 \cdot \sqrt{(4 - 1,28^2)} + 64 \right]}{\pi}} = 8,08 A$$

Escolhe-se o diodo 30EPH06 da *International Rectifier*.

Dimensionamento dos capacitores

São apresentados os cálculos da capacitância e dos esforços de tensão e corrente do capacitor $C1$, que são os mesmos para $C2$. O valor da capacitância de $C1$ é dado pela equação (4.28):

$$C1 \geq \frac{7,5}{4 \cdot \pi \cdot 60 \cdot 0,97 \cdot (0,05 \cdot 400)} \geq 1025 \mu F.$$

A máxima tensão sobre o capacitor é dada pela equação (4.50):

$$V_{C1} = \frac{400}{2} = 200V.$$

A corrente eficaz que circula através do capacitor é definida pela equação (4.54):

$$I_{efC1} = \frac{2 \cdot I_O}{\eta} \cdot \sqrt{\frac{16 \cdot \beta + 12 \cdot \beta^2 \cdot \text{sen}^{-1}\left(\frac{\beta}{2}\right) + \beta \cdot \sqrt{4 - \beta^2} \cdot (16 - \beta^2) - 6 \cdot \pi \cdot \beta^2 - 9 \cdot \pi}{6}} = 11,38 A.$$

Para o projeto, mantém-se os dois capacitores eletrolíticos de $680\mu\text{F}/350\text{V}$ em paralelo formando uma capacitância equivalente de $1360\mu\text{F}$.

4.5.3 Projeto do Estágio de Controle

O controle do conversor é realizado de forma digital semelhante ao utilizado no conversor anterior onde a Fig. 4.18 representa o circuito do conversor de cinco níveis intercalado com o diagrama de blocos do controle da estrutura do conversor, no qual empregou-se o FPGA.

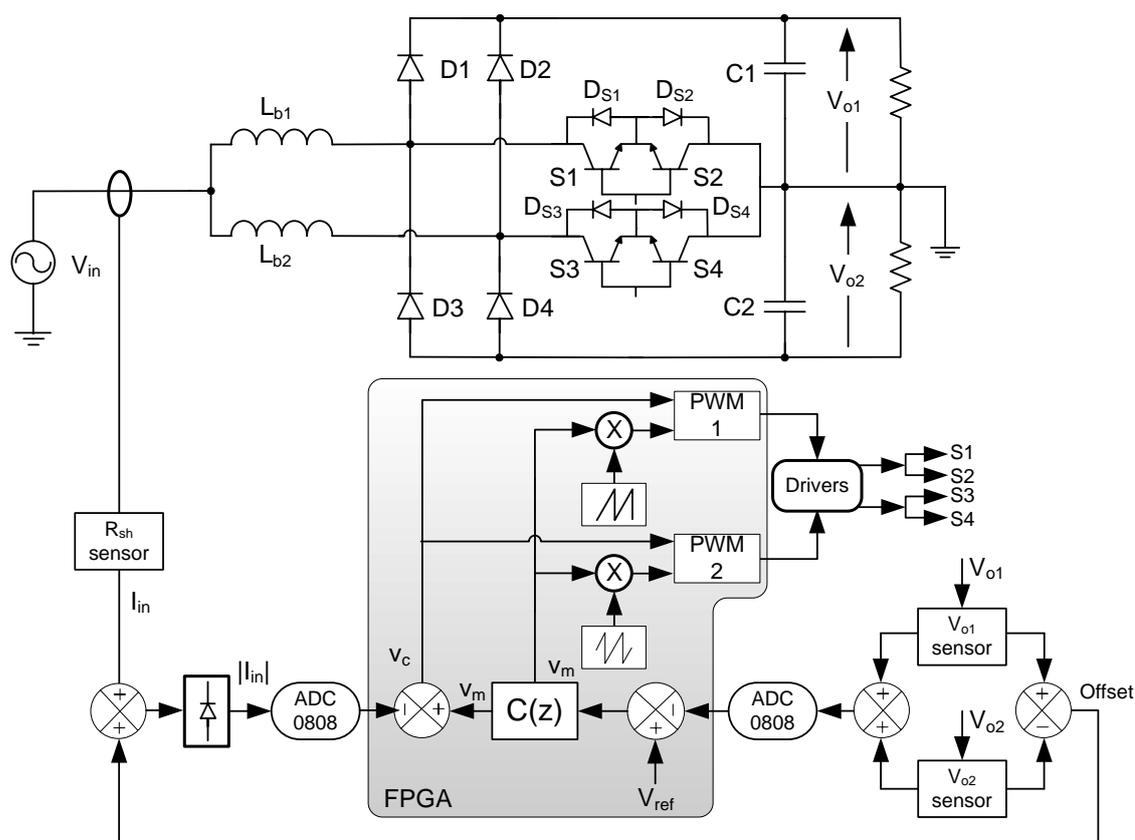


Fig. 4.18 – Diagrama de blocos do controle do conversor.

Adotando o mesmo critério de dimensionamento do sistema de controle do conversor de três níveis convencional, ou seja, mesmo ganho de sensor de tensão de saída, mesmo ganho do sensor da corrente de entrada, etc., tem-se que, para o conversor de cinco níveis intercalado, as funções de transferência e o controlador de tensão serão os mesmos já especificados no item 3.5.3, onde a diferença entre eles se dá no modulador PWM, conforme já descrito anteriormente no item 4.4.

4.6 Rendimento Teórico

4.6.1 Modelagem de Perdas

Cálculo das Perdas nos Indutores

As perdas totais no indutor são calculadas no conversor de cinco níveis a partir dos parâmetros necessários apresentados na Tabela 4.4.

Tabela 4.4 – Parâmetros necessários para o cálculo das perdas do indutor.

Frequência de operação do indutor	$f_{L_{b1}} = 20kHz$
Volume do núcleo magnético	$V_e = 72,33cm^3$
Comprimento médio por espira	$MLT = 14,86cm$
Variação de fluxo magnético	$\Delta B = 0,03T$
Coefficiente de perdas por histerese	$K_H = 4 \cdot 10^{-5}$
Coefficiente de perdas por correntes parasitas	$K_E = 4 \cdot 10^{-10}$
Resistividade do cobre a 70° C	$\rho = 2,078 \cdot 10^{-6} \Omega \cdot cm$

As perdas magnéticas do núcleo de ferrite são calculadas a partir da equação (3.109).

$$P_{magL_b} = \Delta B^{2,4} \cdot (K_H \cdot f_{L_b} + K_E \cdot f_{L_b}^2) \cdot V_e.$$

$$P_{magL_b} = 0,03^{2,4} \cdot (4x10^{-5} \cdot 40000 + 4x10^{-10} \cdot 20000^2) \cdot 72,33 = 0,015W.$$

As perdas no cobre são calculadas por (3.110):

$$P_{cul_b} = \rho \cdot MLT \cdot N_{L_b} \cdot N_{fios} \cdot S_{22AWG} \cdot J_{max}^2.$$

$$P_{cul_b} = 2,078x10^{-6} \cdot 14,86 \cdot 24 \cdot 15 \cdot 0,003239 \cdot 300^2 = 3,24W.$$

As perdas totais no indutor são calculadas por (3.111):

$$P_{totL_b} = 2 \cdot (P_{magL_b} + P_{cul_b})$$

$$P_{totL_b} = 6,51W.$$

Cálculo das Perdas nos Interruptores

As perdas totais nos interruptores são calculadas de forma análoga as perdas calculadas no capítulo anterior para o IGBT cujos parâmetros foram apresentados na Tabela 3.5. Assim, as perdas por entrada em condução de cada interruptor são dadas por:

$$P_{onS1} = \left[\begin{array}{l} (I_o + I_{rr}) \cdot (1,2 \cdot t_r + t_a) \cdot \left(\frac{1}{2} \cdot V_{S1} - \frac{1}{3} \cdot L_s \cdot \frac{di_c}{dt} \right) + \\ + t_b \cdot \left(V_{S1} - L_s \cdot \frac{di_c}{dt} \right) \cdot \left(\frac{1}{2} \cdot I_o + \frac{1}{3} \cdot I_{rr} \right) \end{array} \right] \cdot fs. \quad (4.60)$$

Substituindo-se os valores, a perda por entrada em condução calculada é igual a $P_{onS1} = 0,37W$ por interruptor. As perdas por condução são dadas pela equação (4.61):

$$P_{condS1} = I_{mdS1} \cdot V_{CEO} + \left[\frac{V_{CEN} - V_{CEO}}{I_{CN}} \right] \cdot I_{efS1}^2. \quad (4.61)$$

$$P_{condS1} = 8,75W.$$

As perdas por bloqueio do IGBT são calculadas pela equação (3.116). Substituindo-se os valores, tem-se $P_{offS1} = 0,29W$. As perdas em condução do diodo em antiparalelo são dadas pela equação (4.62):

$$P_{condDS1} = \left(\frac{V_F - V_{CEO}}{I_F} \cdot I_{efS1}^2 \right) + V_{CEO} \cdot I_{mdS1}. \quad (4.62)$$

$$P_{condDS1} = 7,70W.$$

As perdas por comutação do diodo são dadas pela equação (3.121). Substituindo, tem-se $P_{comDS1} = 0,42W$.

Assim, as perdas totais nos interruptores são dadas pela equação (4.63):

$$P_{totalS1} = (P_{onS1} + P_{condS1} + P_{offS1}) + (P_{condDS1} + P_{comDS1}). \quad (4.63)$$

$$P_{totalS1} = 17,52W.$$

Cálculo das Perdas nos Diodos

Para o mesmo diodo apresentado na Tabela 3.6, são calculadas as perdas. As perdas em condução do diodo são dadas pela equação (4.62). Assim, substituindo os valores, tem-se $P_{condD1} = 5,84W$.

As perdas por comutação do diodo são dadas pela equação (3.121). Do mesmo modo, substituindo os valores, tem-se $P_{comD1} = 1,19W$.

Assim, as perdas totais no diodo são dadas pela equação :

$$P_{totalD1} = P_{condD1} + P_{comD1}. \quad (4.64)$$

$$P_{totalD1} = 7,02W.$$

Cálculo do Rendimento Teórico

Considerando as perdas teóricas calculadas, podem ser determinadas as perdas totais do conversor através da equação (4.65):

$$P_{total} = P_{totL_b} + P_{totT} + 2 \cdot P_{totalS1} + 2 \cdot P_{totalD1} . \quad (4.65)$$

$$P_{total} = 55,59W$$

O rendimento teórico do conversor em condições de plena carga pode ser calculado pela equação (4.66):

$$\eta_{teo} = \frac{P_o}{P_o + P_{total}} \cdot 100\% = 98,18\% . \quad (4.66)$$

4.6.2 Cálculo Térmico

O procedimento de cálculo térmico utilizado no item 3.6.2 para a especificação do dissipador é semelhante para o conversor de cinco níveis intercalado, onde dois dissipadores de calor são usados para colocar todos os semicondutores de potência e, em cada dissipador será colocado dois diodos e dois IGBTs. Considerando-se uma temperatura ambiente, T_a , igual a 40° C, temperatura de junção, T_j , igual a 100° C, as resistências térmicas equivalentes dos diodos e interruptores são dadas, respectivamente, por:

$$R_{theqD} = \frac{R_{thjcD} + R_{thcsD}}{2} = 0,9^\circ C / W , \quad (4.67)$$

$$R_{theqS} = \left(\frac{R_{thjcS} \cdot R_{thjcDS1}}{R_{thjcS} + R_{thjcDS1}} \right) + R_{thcsS} = 0,77^\circ C / W . \quad (4.68)$$

Sendo que, no interruptor bidirecional temos ao mesmo tempo um interruptor e um diodo conduzindo. As perdas totais nos semicondutores são dadas por (4.69):

$$P_t = P_{totalS1} + 2 \cdot P_{condD1} = 46,71W . \quad (4.69)$$

Dessa forma, a resistência térmica dissipador – ambiente é obtida a partir de (3.129):

$$T_j - T_a = \left(\frac{R_{theqD} \cdot R_{theqS}}{R_{theqD} + R_{theqS}} + R_{da} \right) \cdot P_t .$$

Resolvendo a equação (3.129) temos que:

$$R_{da} = 1,94^\circ C / W . \quad (4.70)$$

Dessa forma, mantém-se o dissipador térmico HS 10425 da *HS Dissipadores* escolhido no item 3.6.2.

4.7 Resultados de Simulação e Experimentais

Realizado o projeto do conversor de cinco níveis intercalado, parte-se para a simulação do mesmo. Seguindo o mesmo procedimento anterior, o programa de simulação por computador (PSIM) é utilizado a fim de comprovar o comportamento do conversor sob condições nominais de carga, bem como quando submetido a variações na carga.

A Fig. 4.19 apresenta as formas de onda da tensão e corrente de entrada. Pode-se observar que o conversor opera com alto fator de potência na entrada e baixa distorção harmônica da corrente. O valor eficaz e de pico da corrente de entrada correspondente são de 27,83A e 46,73A, respectivamente. A potência média de entrada do conversor é de 3,07kVA.

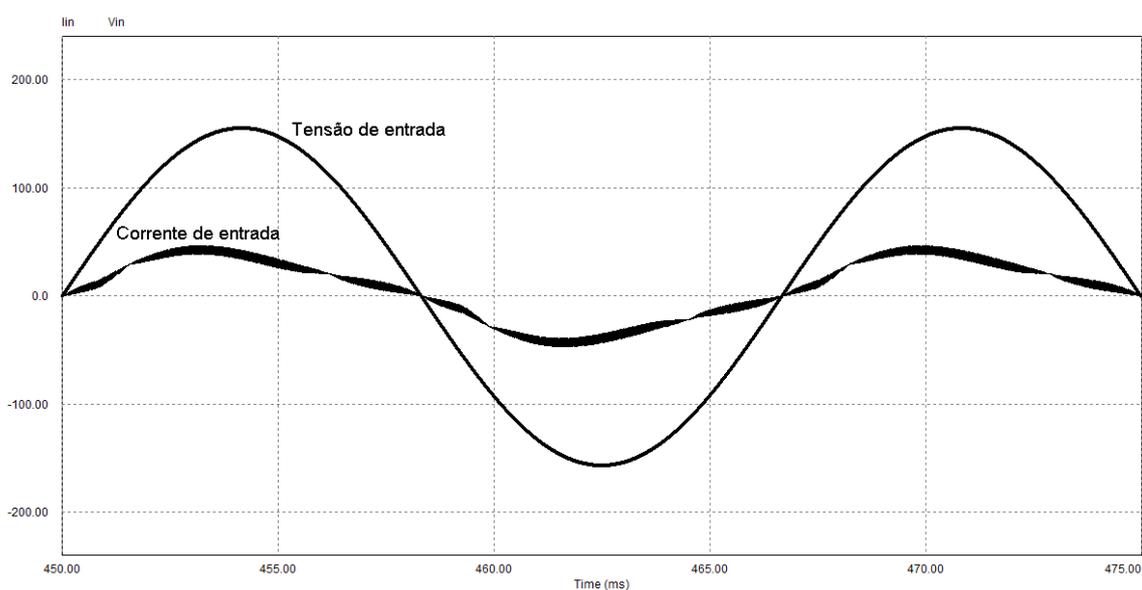


Fig. 4.19 – Formas de onda da tensão e corrente de entrada.

Na Fig. 4.20 são mostradas as formas de onda da tensão de saída em cada capacitor e no barramento total e da corrente de carga. Observa-se que a tensão possui ondulação especificada e está regulada em torno do valor médio de saída de 400V. A corrente média de saída é de 7,5A. A potência média de saída é de 3,001kW.

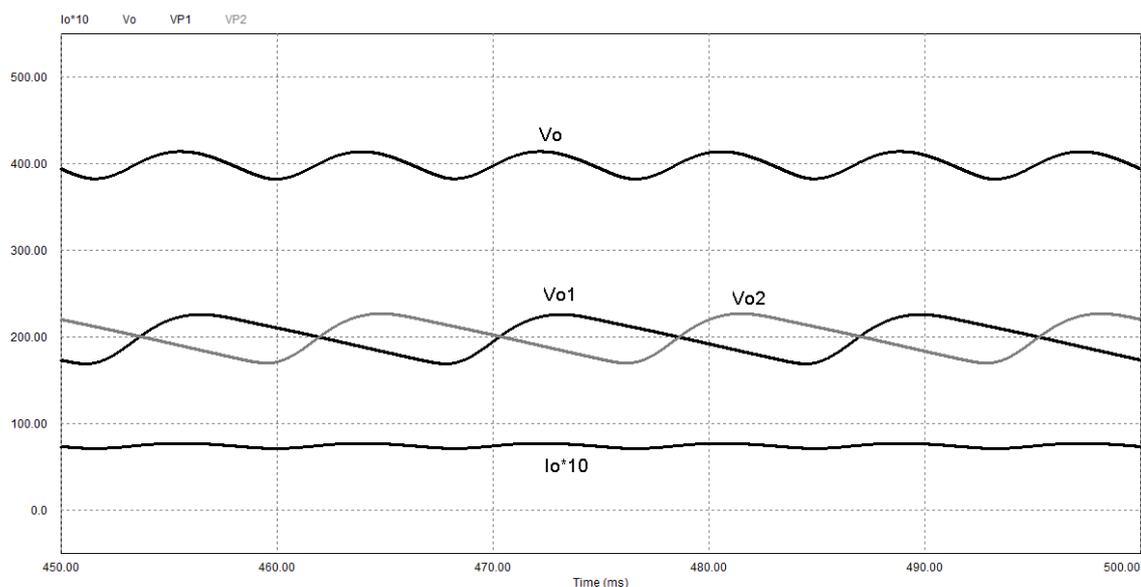


Fig. 4.20 – Formas de onda da tensão e da corrente de saída do conversor para plena carga.

A Fig. 4.21 apresenta as formas de onda da tensão e corrente no indutor L_{b1} na frequência da rede. Os valores da corrente eficaz e de pico do indutor são de 14,42A e 27,18A, respectivamente.

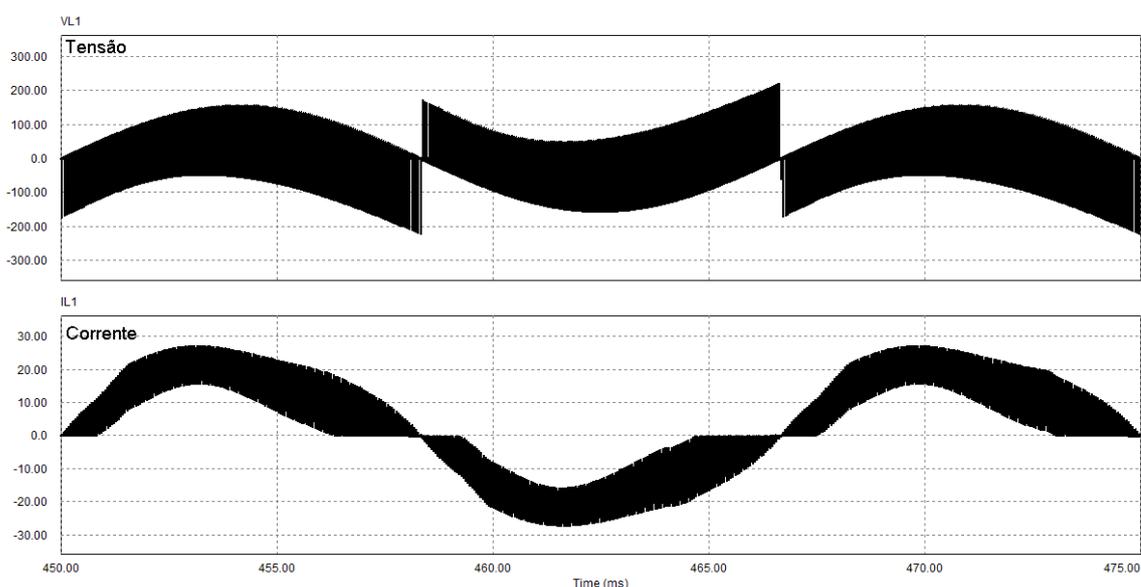


Fig. 4.21 – Formas de onda da tensão e corrente no indutor L_{b1} na frequência da rede.

A Fig. 4.22 apresenta as formas de onda da tensão e corrente nos indutores e corrente de entrada na frequência de comutação para os modos, Fig. 4.22(a), de não-sobreposição e, Fig. 4.22(b), de sobreposição. Observa-se que a corrente de entrada é exatamente a soma das correntes nos dois indutores com uma ondulação menor e com o dobro da frequência de operação dos indutores.

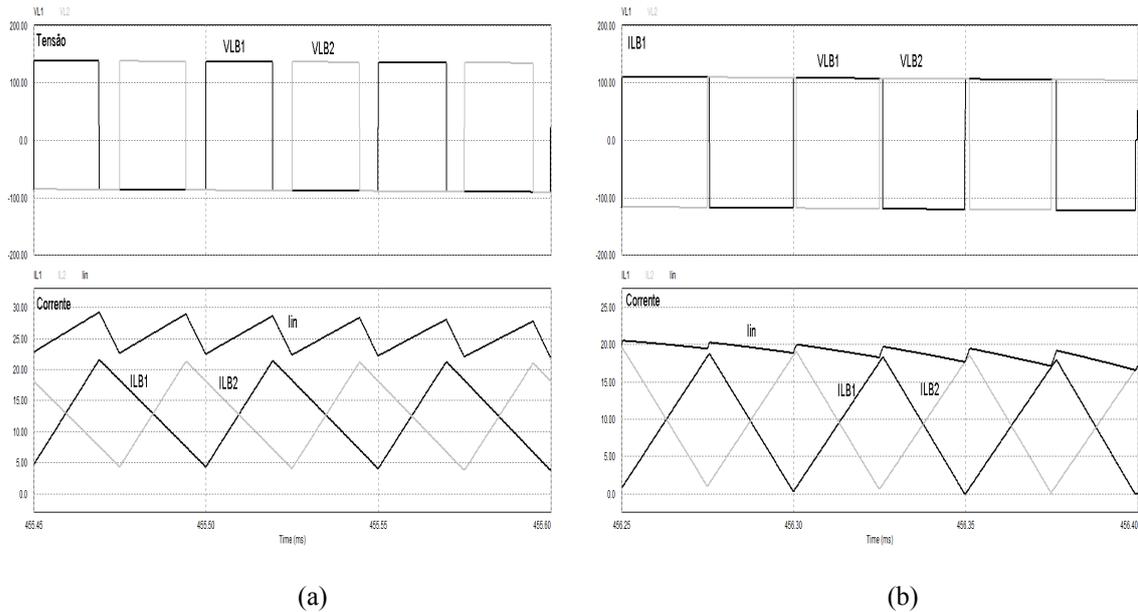


Fig. 4.22 – Formas de onda da tensão e corrente nos indutores e corrente de entrada na frequência de comutação: (a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 4.23 apresenta as formas de onda da tensão e corrente no interruptor bidirecional *SI* na frequência da rede. Os valores da corrente média, eficaz e de pico do interruptor *SI* são, respectivamente, 4,80A, 8,69A e 27,16A. O valor da máxima tensão sobre o interruptor *SI* é de 226,61V.

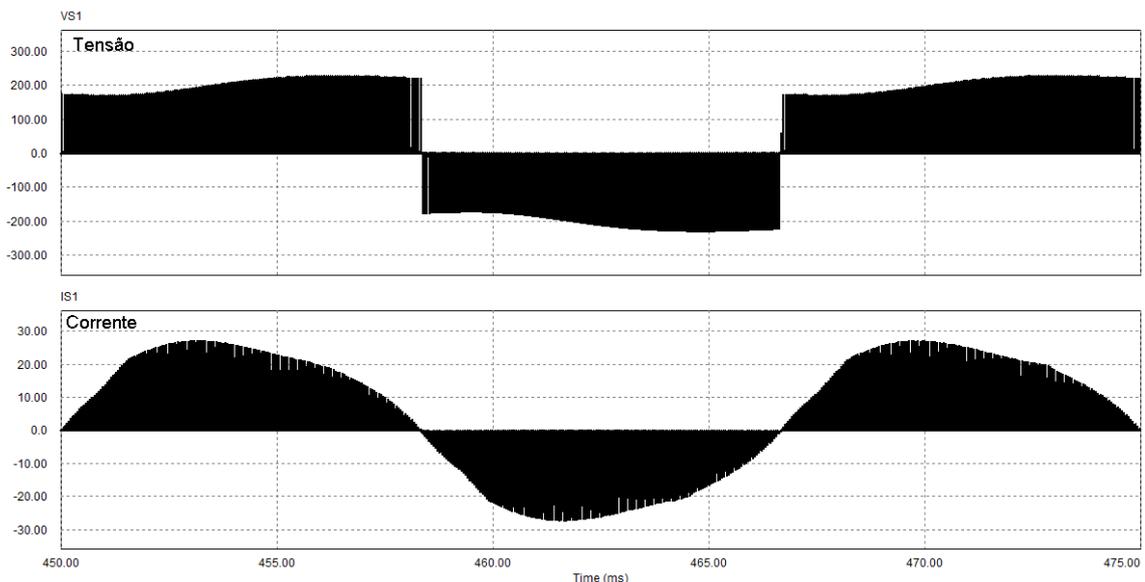


Fig. 4.23 – Formas de onda da tensão e corrente no interruptor *SI* na frequência da rede.

A Fig. 4.24 apresenta as formas de onda da tensão e corrente do interruptor *SI* na frequência de comutação. A Fig. 4.24(a) para o modo de não-sobreposição, e a Fig. 4.24(b) para o modo de sobreposição.

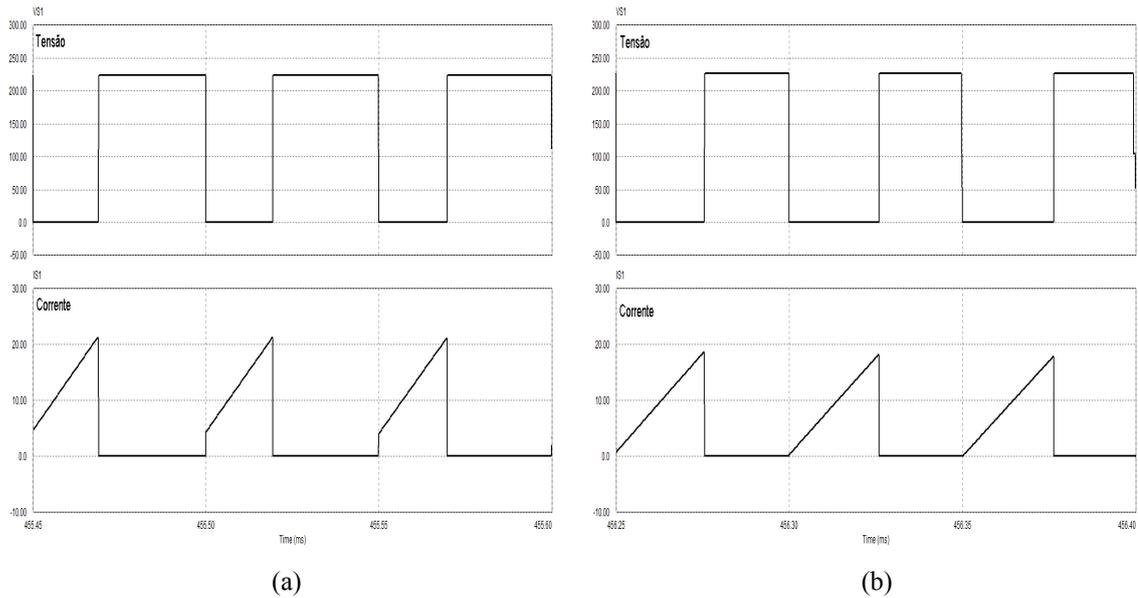


Fig. 4.24 – Formas de onda da tensão e corrente no interruptor S1 na frequência de comutação:
(a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 4.25 apresenta as formas de onda da tensão e corrente no diodo DI na frequência da rede. Os valores da corrente média, eficaz e de pico do diodo DI são, respectivamente, 3,75A, 8,29A e 27,18A. O valor da máxima tensão reversa sobre o diodo $D1$ é de 414,3V.

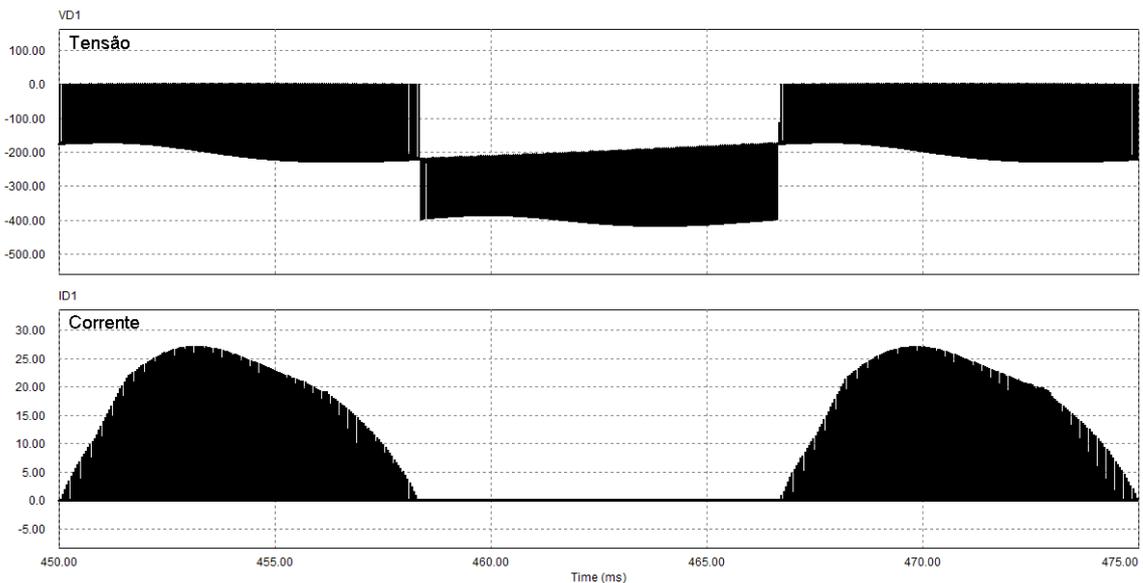


Fig. 4.25 – Formas de onda da tensão e corrente no diodo $D1$ na frequência da rede.

A Fig. 4.26 apresenta as formas de onda da tensão e corrente no diodo DI na frequência de comutação. A Fig. 4.26(a) para o modo de não-sobreposição e, a Fig. 4.26(b) para o modo de sobreposição.

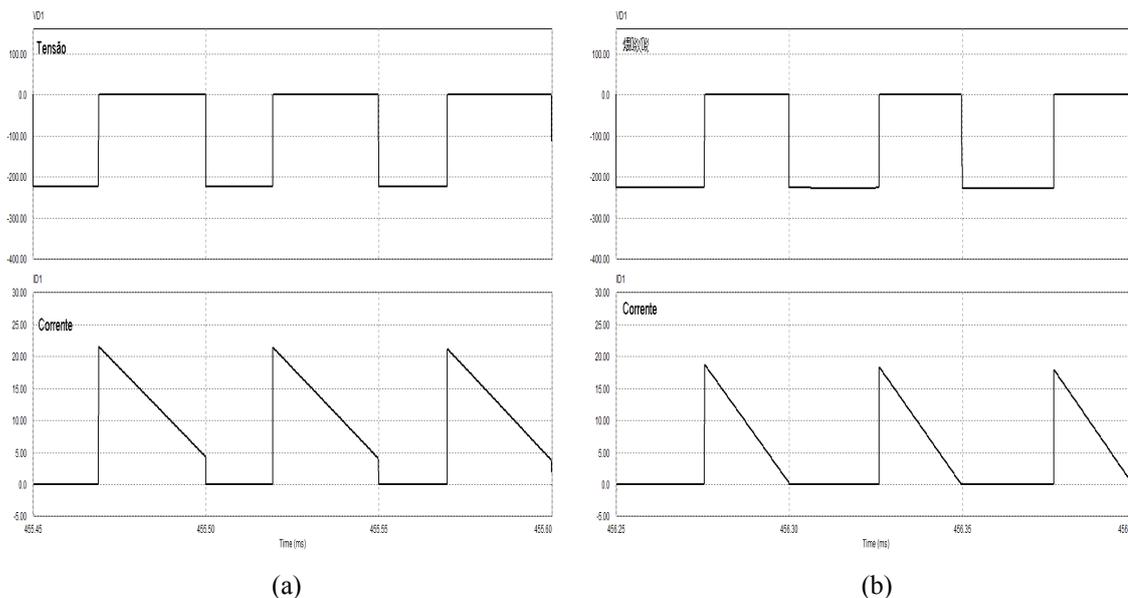


Fig. 4.26 – Formas de onda da tensão e corrente no diodo D1 na frequência de comutação:
(a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 4.27 apresenta as formas de onda das tensões de saída em cada capacitor e no barramento total e da corrente de carga quando submetida a um degrau de carga de 50% para carga nominal, onde se observa a atuação do controlador de tensão.

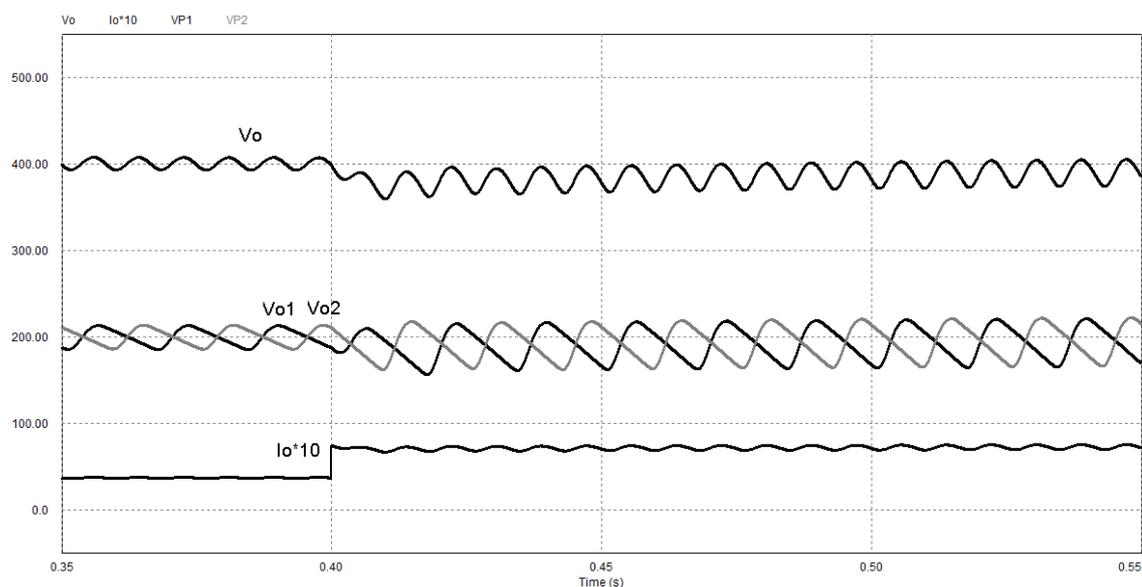


Fig. 4.27 – Formas de onda das tensões de saída e corrente de saída para um degrau de carga de 50% para carga nominal.

A Fig. 4.28 apresenta as formas de onda dos principais sinais de controle do conversor de cinco níveis: tensão amostrada do sensor de corrente ($V_{iinamost}$), tensão na saída do controlador de tensão (v_m) e tensão de controle (v_c).

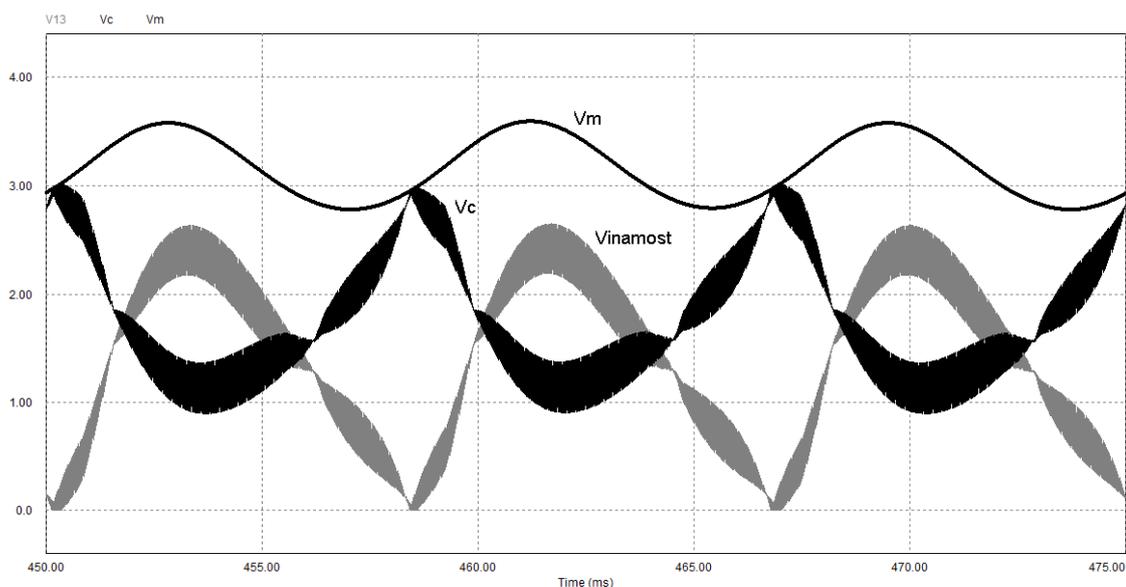


Fig. 4.28 – Formas de onda dos principais sinais de controle do retificador: v_m , v_c e $V_{inamost}$.

Para validação do princípio de funcionamento e simulação do conversor de cinco níveis intercalado, os resultados obtidos nos ensaios de um protótipo de 3kW de potência implementado em laboratório são apresentados a seguir. O protótipo do conversor é mostrado na Fig. 4.29.

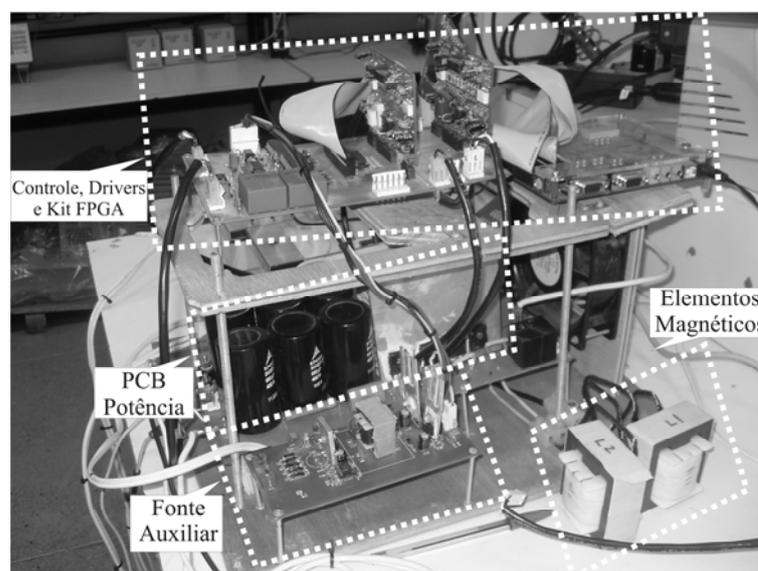


Fig. 4.29 – Vista geral do protótipo implementado em laboratório.

A Fig. 4.30 apresenta as formas de onda da tensão e corrente de entrada, corrente no indutor L_{b1} , tensões de saída em cada capacitor e da tensão de saída total. Percebe-se a correção do fator de potência que ficou com um valor de 0,9864 e a corrente no indutor que é a metade do valor da corrente total de entrada. As tensões de saída em cada capacitor estão balanceadas e reguladas nos níveis estabelecidos em projeto, com um valor médio de 400V para uma corrente de carga nominal de 7,5A dando uma potência de saída nominal de 3kW. A

corrente de entrada possui um valor eficaz de 28,07A e um valor de pico de 39,7A. A potência de entrada é de 3,088kVA.

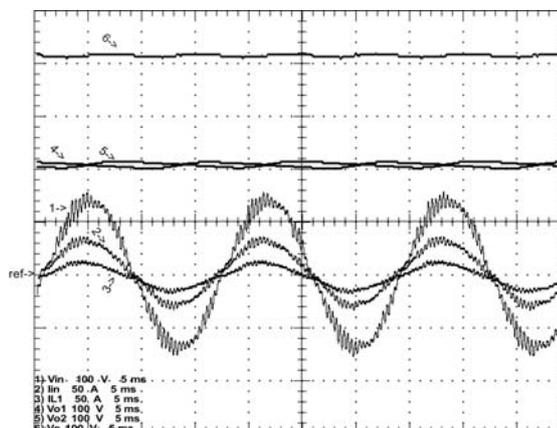


Fig. 4.30 – Resultados experimentais: 1. Tensão de entrada (100V/div); 2. Corrente de entrada (50A/div); 3. Corrente em L_{b1} (100V/div); 4. Tensão de saída V_{o1} (100V/div); 5. Tensão de saída V_{o2} (100V/div); 6. Tensão de saída total (100V/div). Tempo (5ms/div).

A Fig. 4.31 apresenta o espectro harmônico da corrente de entrada para o conversor operando com carga nominal. A taxa de distorção harmônica da corrente de entrada, foi de 6,764%, para uma tensão de entrada com um THD de 4,149%, valores estes mais elevados que os obtidos para o conversor de três níveis convencional.

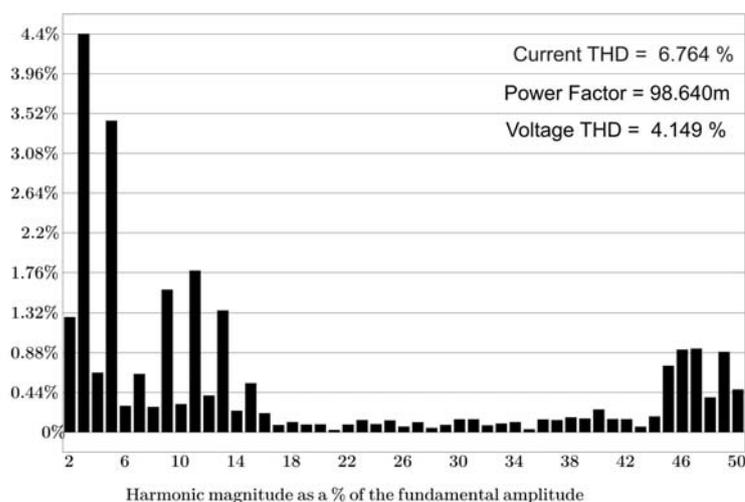


Fig. 4.31 – Espectro harmônico da corrente de entrada.

A Fig. 4.32 apresenta as formas de onda da tensão e corrente sobre o indutor L_{b1} na frequência da rede. Os valores da corrente eficaz e de pico do indutor são em torno da metade dos valores da corrente de entrada, ou seja, 14A e 19,8A, respectivamente.

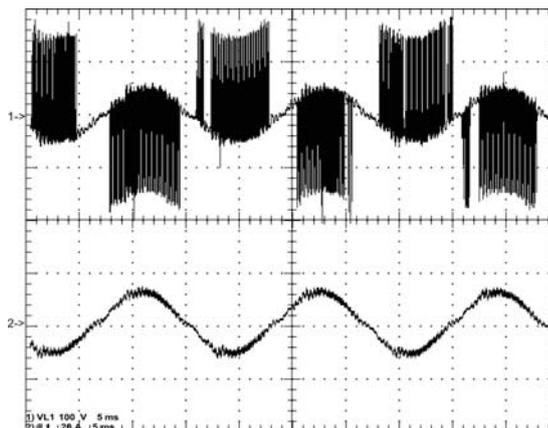


Fig. 4.32 – Formas de onda sobre L_{b1} na frequência da rede: 1. Tensão (100V/div); 2. Corrente (20A/div); Tempo (5ms/div).

A Fig. 4.33 apresenta as formas de onda da tensão e corrente dos indutores L_{b1} e L_{b2} e da corrente total de entrada na frequência de comutação, Fig. 4.33(a), para o modo de não-sobreposição e, Fig. 4.33(b), para o modo de sobreposição. Observa-se o fato da corrente de entrada ser a soma das duas correntes nos indutores e ser o dobro da frequência de operação dos indutores.

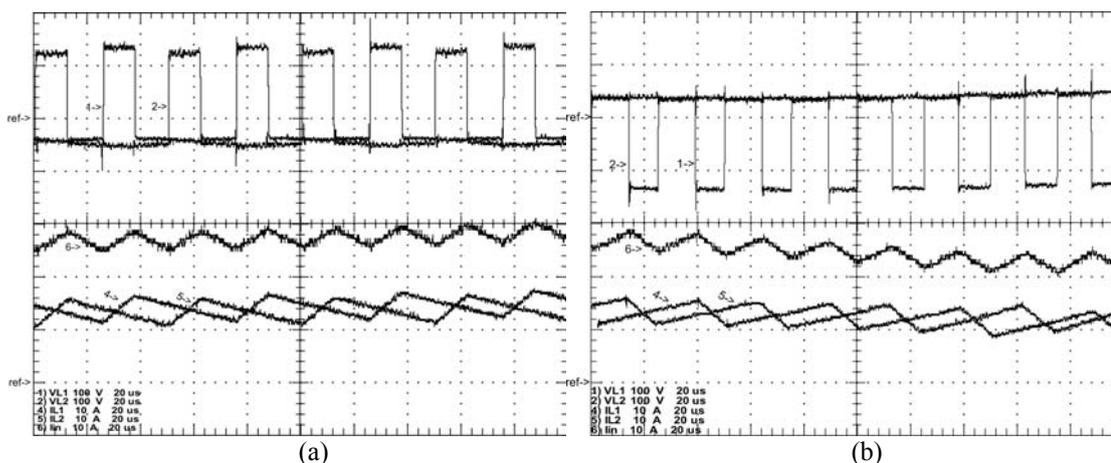


Fig. 4.33 – Formas de onda nos indutores L_{b1} e L_{b2} e da corrente de entrada na frequência de comutação: 1. V_{Lb1} (100V/div), 2. V_{Lb2} (100V/div), 3. I_{Lb1} (10A/div), 4. I_{Lb2} (10A/div), 5. I_{in} (10A/div), tempo (20 μ s/div).
(a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 4.34 apresenta as formas de onda da tensão e corrente do interruptor bidirecional SI na frequência da rede. O valor médio, eficaz e de pico da corrente sobre SI é, respectivamente, 5,1A, 8,9A e 19,8A.

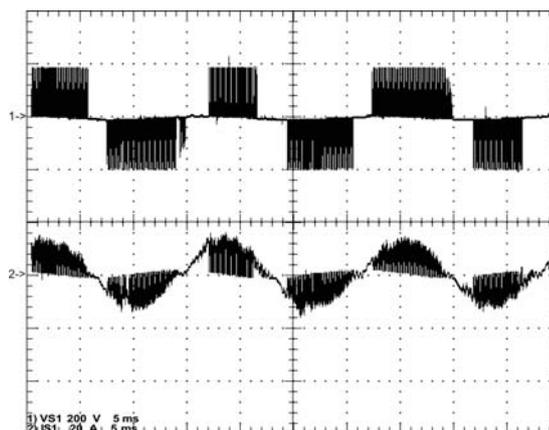


Fig. 4.34 – Formas de onda sobre SI na frequência da rede: 1. Tensão (200V/div); 2. Corrente (20A/div); Tempo (5ms/div).

Para a frequência de comutação são apresentadas as formas de onda da tensão e corrente de SI , Fig. 4.35(a), para o modo de não-sobreposição e, Fig. 4.35(b), para o modo de sobreposição.

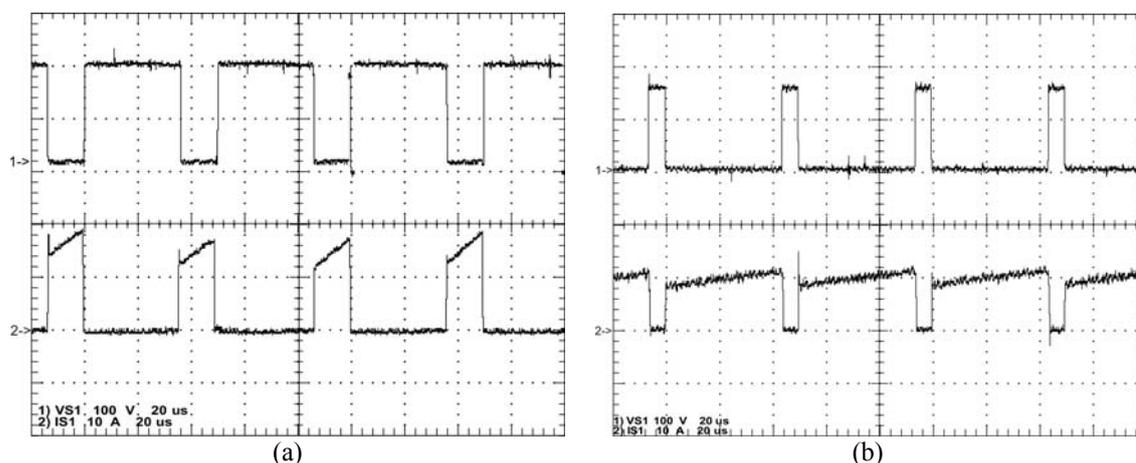


Fig. 4.35 – Formas de onda no interruptor SI na frequência de comutação: 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (20µs/div). (a) modo de não-sobreposição; (b) modo de sobreposição.

Assim como no conversor anterior, na comutação do interruptor há pequenos picos de tensão e/ou corrente e a comutação é do tipo *hard switching*. Esses detalhes podem ser vistos na Fig. 4.36(a) para o acionamento do interruptor e na Fig. 4.36(b) para o bloqueio do interruptor.

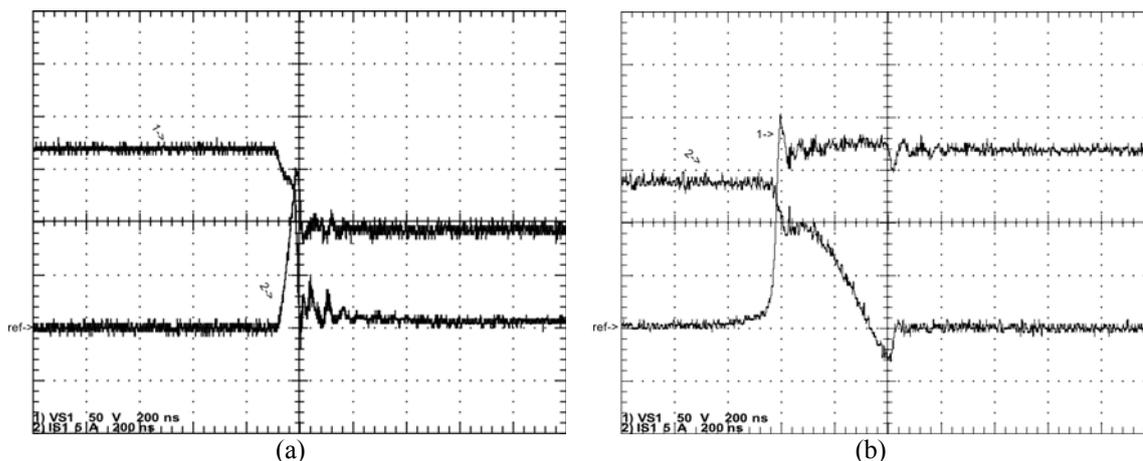


Fig. 4.36 – Detalhe da comutação (a) no acionamento do interruptor (50V/div, 5A/div); (b) no bloqueio do interruptor (50V/div, 5A/div). Tempo (200ns/div).

A Fig. 4.37 apresenta as formas de onda da tensão e corrente do diodo *DI* na frequência da rede. O valor médio, eficaz e de pico da corrente é, respectivamente, 3,9A, 8,4A e 19,8A.

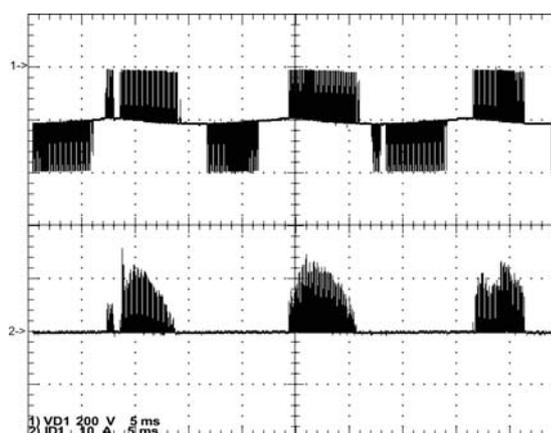


Fig. 4.37 – Formas de onda sobre *DI* na frequência da rede: 1. Tensão (200V/div); 2. Corrente (10A/div); Tempo (5ms/div).

As formas de onda da tensão e corrente do diodo *DI* na frequência de comutação são apresentadas na Fig. 4.38(a), para não-sobreposição e, Fig. 4.38(b), para sobreposição.

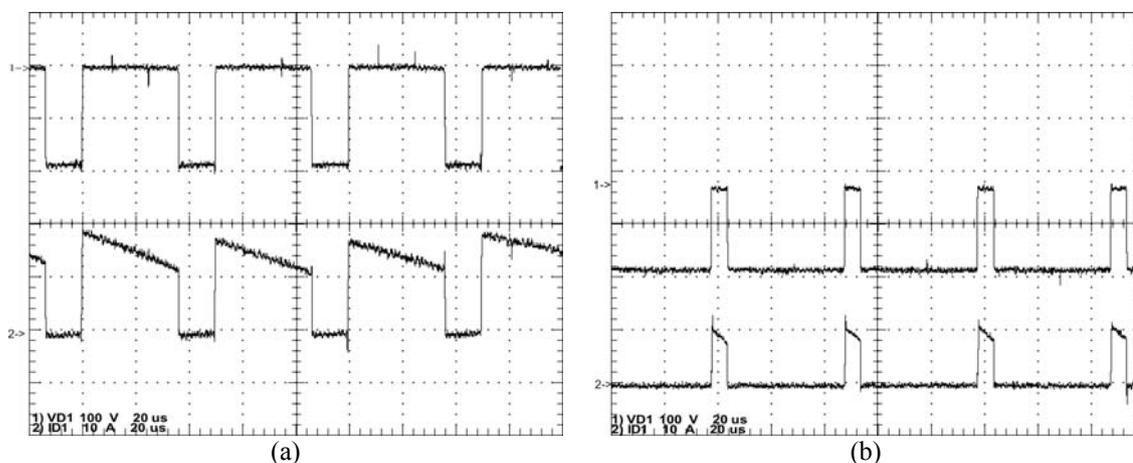


Fig. 4.38 – Formas de onda no diodo *DI* na frequência de comutação: 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (20µs/div). (a) modo de não-sobreposição; (b) modo de sobreposição.

Os detalhes de comutação do diodo podem ser observados na Fig. 4.39(a) para o acionamento e, na Fig. 4.39(b) para o bloqueio do diodo, onde para ambas as figuras, a tensão no diodo foi invertida para uma melhor visualização das perdas.

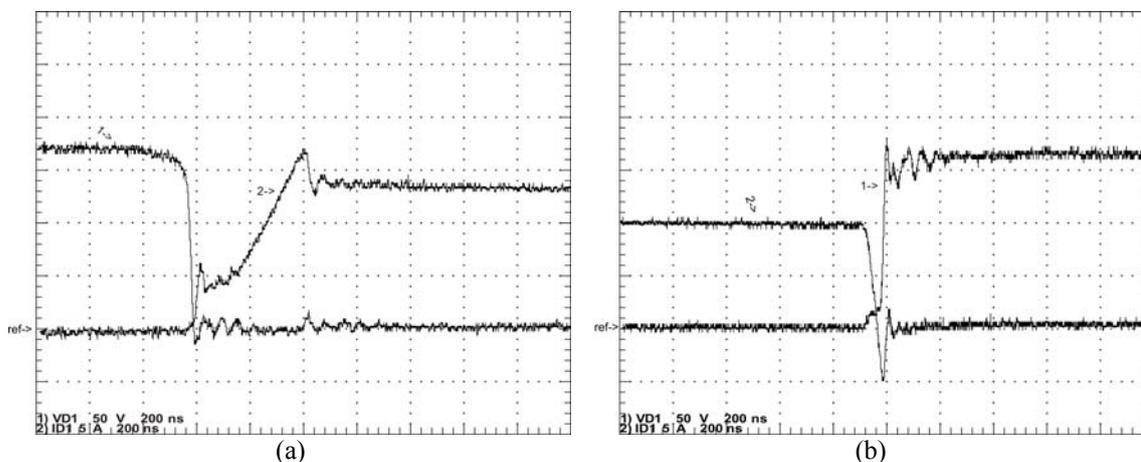


Fig. 4.39 – Detalhe da comutação (a) no acionamento do diodo (50V/div, 5A/div); (b) no bloqueio do diodo (50V/div, 5A/div). Tempo (200ns/div).

A Fig. 4.40 apresenta as formas de onda das tensões de saída em cada capacitor e no barramento total e a corrente de carga para um degrau de carga de 50% para a carga nominal. Observa-se a atuação do controlador digital de tensão, onde as tensões mantêm a regulação da tensão de saída especificada.

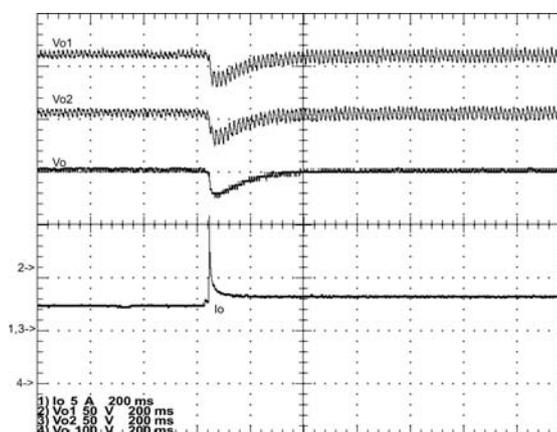


Fig. 4.40 – Formas de onda das tensões de saída em cada capacitor, no barramento total e corrente de carga para um degrau de carga de 50% para carga nominal (50V/div, 50V/div, 100V/div, 5A/div, 200ms/div).

A Fig. 4.41 apresenta os principais sinais de controle do conversor de cinco níveis, onde as aquisições foram realizadas através de conversores D/A do tipo R2R. As formas de onda apresentadas são a tensão de saída do controlador de tensão v_m , da tensão de controle v_c e da tensão amostrada do sensor de corrente $v_{isample}$. Como pode ser visto na figura, os sinais de controle se comportam de forma semelhante ao apresentado na simulação.

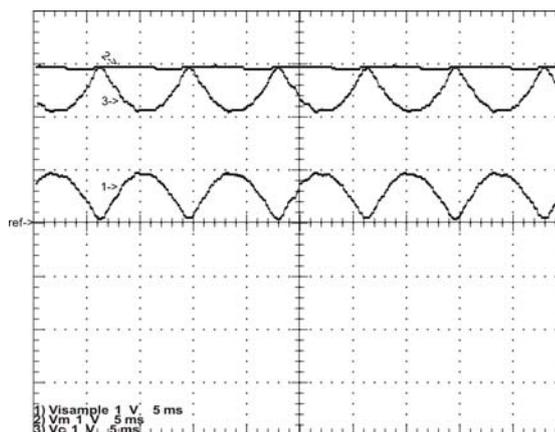


Fig. 4.41 – Formas de onda dos principais sinais de controle do conversor: v_{sample} , v_m e v_c .
(1V/div, 1V/div, 1V/div, 5ms/div).

Na Fig. 4.42 tem-se a curva de rendimento do conversor sem levar em consideração a alimentação da fonte auxiliar e da placa de desenvolvimento do FPGA. Percebe-se um rendimento sempre superior a 95%, a partir de 1kW, com um rendimento para plena carga de 97,15%.

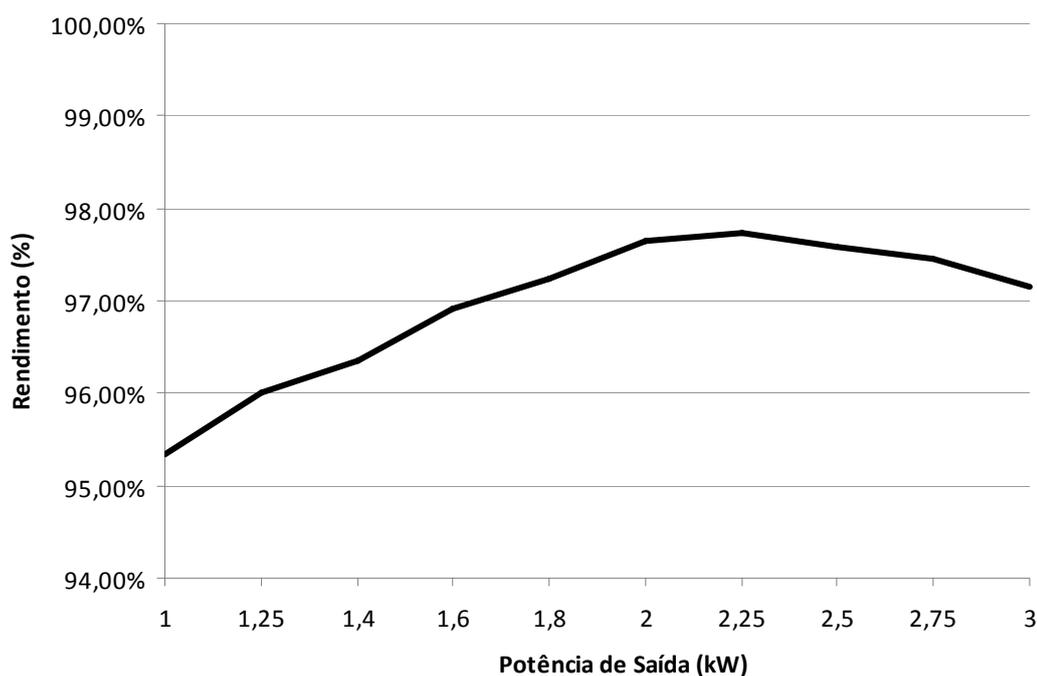


Fig. 4.42 – Curva de rendimento do conversor intercalado de cinco níveis.

4.8 Conclusões

Neste capítulo apresentou-se a análise qualitativa e quantitativa, modelagem dinâmica, exemplo de projeto e resultados de simulação e experimental de um protótipo de 3kW do conversor de cinco níveis intercalado.

De toda a análise realizada podem-se fazer as seguintes conclusões:

- O conversor também pode ser modelado como sendo um conversor *boost* clássico;
- Através dos resultados experimentais, verificou-se um elevado fator de potência e se mantiveram equilibradas e reguladas as tensões de saída, mesmo em condição de degrau de carga;
- Por conta da inserção da célula intercalada, dividiram-se os esforços de corrente nos semicondutores resultando na diminuição das perdas por condução, e conseqüentemente, elevando o rendimento chegando a 97,15% na potência nominal;
- O THD da corrente de entrada também se mostrou acima dos 5% normalmente aceitáveis, também devido ao elevado THD da tensão de entrada (em torno dos 4%).

CAPÍTULO 5

CONVERSOR CA-CC MONOFÁSICO DE CINCO NÍVEIS TIPO T

5.1 Introdução

Nos capítulos anteriores foram apresentadas duas topologias que integram o retificador e o estágio pré-regulador para aplicação em um sistema *no-break on-line* não isolado: o conversor de três níveis convencional e o conversor de cinco níveis intercalado.

Com o mesmo objetivo de processar maiores potências, além do conversor de cinco níveis intercalado, outra solução a ser proposta nesta tese é a aplicação da célula de comutação tipo T no conversor monofásico de três níveis convencional com o objetivo de elevar sua eficiência (diminuição das perdas por condução) e, diminuir o peso e volume dos elementos magnéticos do conversor.

Portanto, é estudado neste capítulo o conversor monofásico CA-CC de cinco níveis baseado na célula de comutação tipo T, doravante denominado de conversor de cinco níveis tipo T. Com esse objetivo, são apresentados: a estrutura topológica do conversor de cinco níveis; etapas de funcionamento e principais formas de onda; análise qualitativa e quantitativa do conversor proposto e sua operação dinâmica. Um exemplo de projeto do conversor e resultados de simulação e experimentais também são apresentados.

5.2 Análise Qualitativa

5.2.1 Topologia e Princípio de Funcionamento

A obtenção da topologia é feita partindo-se da topologia do conversor monofásico de três níveis convencional apresentado na Fig. 5.1(a). Aplica-se nesta topologia a célula de comutação tipo T mostrada na Fig. 5.1(b). Substituindo-se os pontos “a”, “b”, “c” e “d” da célula de comutação nos respectivos pontos “a”, “b”, “c” e “d” do conversor obtém-se o conversor CA-CC monofásico de cinco níveis tipo T apresentado na Fig. 5.1(c).

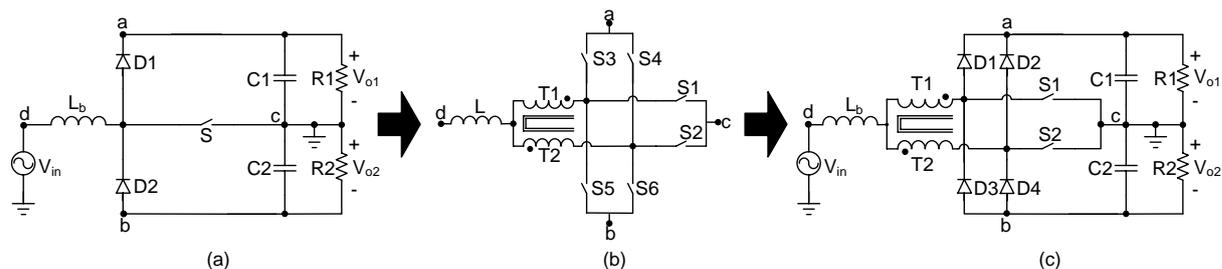


Fig. 5.1 - (a) conversor de três níveis convencional; (b) célula de comutação tipo T; (c) conversor de cinco níveis tipo T obtido.

Sendo o conversor do tipo unidirecional, conforme procedimento apresentado no Capítulo 4, a topologia do conversor CA-CC monofásico de cinco níveis tipo T é apresentada na Fig. 5.2, sendo composta dos seguintes elementos: um indutor L_b localizado no lado CA, um autotransformador com enrolamentos $T1$ e $T2$, quatro interruptores controlados $S1$, $S2$, $S3$ e $S4$ (com seus respectivos diodos intrínsecos em antiparalelo D_{S1} , D_{S2} , D_{S3} e D_{S4}) formando dois interruptores bidirecionais, quatro diodos $D1$, $D2$, $D3$ e $D4$ e dois capacitores de filtro $C1$ e $C2$ com um ponto de conexão comum.

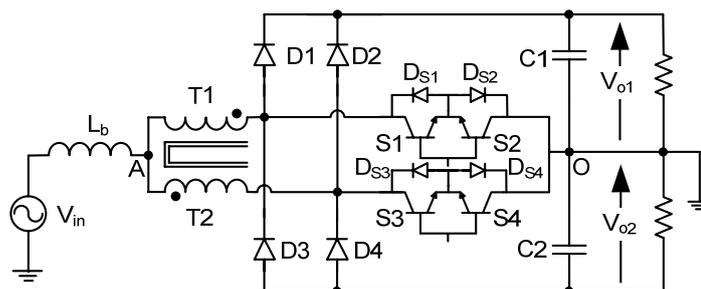


Fig. 5.2 – Topologia do conversor monofásico de cinco níveis tipo T proposto.

Para que o conversor emule uma carga resistiva pura, de forma semelhante ao conversor de cinco níveis intercalado, os interruptores operam em dois modos: com razão cíclica maior que 0,5 (*overlapping mode*) e; com razão cíclica menor que 0,5 (*non-overlapping mode*).

A tensão da rede foi definida em (3.5):

$$v_{in}(\omega t) = V_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi .$$

Na análise, os intervalos de cada modo de operação em função do deslocamento angular ωt são definidos da seguinte forma:

Modo de sobreposição dos sinais de comando dos interruptores: $0 \leq \omega t \leq \omega t_1$;

Modo de não-sobreposição dos sinais de comando dos interruptores: $\omega t_1 \leq \omega t \leq \pi - \omega t_1$.

Devido ao efeito do autotransformador e, dependendo do estado dos interruptores (conduzindo ou bloqueado) e do modo de operação (modo de não sobreposição ou sobreposição) a tensão entre os pontos A e O pode assumir cinco valores distintos ($+V_o$,

$+V_o/2$, 0 , $-V_o/2$ e $-V_o$). Durante o semiciclo positivo da tensão de entrada, a tensão entre os pontos A e O apresenta para o modo de sobreposição: nível zero quando os dois interruptores estão em condução e nível $+V_o/2$ quando somente um interruptor está conduzindo. Para o modo de não sobreposição a tensão apresenta nível $+V_o/2$ quando somente um interruptor está conduzindo e $+V_o$ quando nenhum interruptor conduz. No semiciclo negativo o comportamento é análogo. A tensão V_{AO} é apresentada na Fig. 5.3, considerando uma baixa frequência de comutação para melhor visualização. Por conta disso, este conversor é chamado de conversor de cinco níveis.

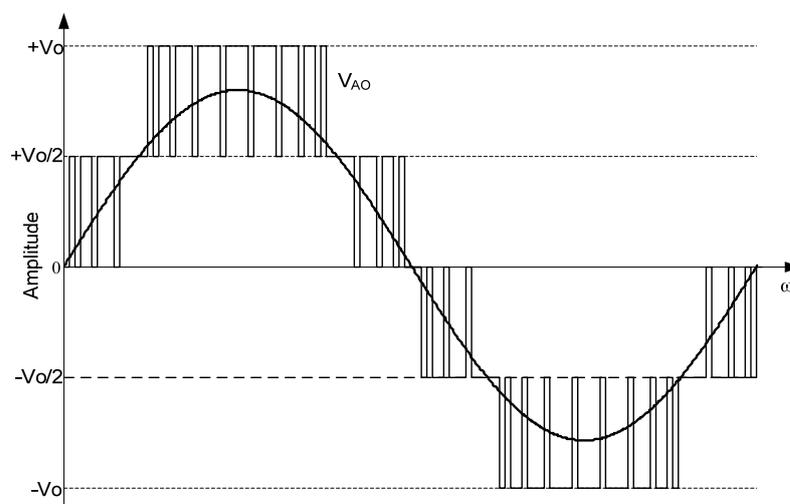


Fig. 5.3 – Formas de onda da tensão de entrada e tensão V_{AO} para o conversor monofásico de cinco níveis.

O conversor de cinco níveis tipo T apresenta para o semiciclo positivo da tensão de entrada quatro etapas de operação por período de comutação em cada modo de condução (sobreposição e não sobreposição), onde para o semiciclo negativo da tensão de entrada a análise é análoga. Segue-se a descrição do funcionamento dessas etapas de operação.

5.2.2 Etapas de Operação para o Modo de Não Sobreposição

1ª. Etapa ($t_0 \leq t \leq t_1$) – Etapa de Acumulação e Transferência de Energia

No instante t_0 , o interruptor $S1$ entra em condução e $S3$ permanece bloqueado. O diodo $D1$ está inversamente polarizado enquanto que o diodo $D2$ está diretamente polarizado. A corrente que circula através do indutor L_b cresce linearmente e energia é armazenada. Essa mesma corrente é dividida entre os enrolamentos $T1$ e $T2$ do autotransformador. Uma parte dessa corrente flui através de $T2$ e $D2$ fornecendo, em parte, transferência de energia à carga. A outra parte da corrente flui através de $T1$ e $S1$, diminuindo-se assim, os esforços de corrente nos interruptores. A tensão em cada enrolamento é de $V_o/2$. Sendo o número de espiras de $T1$ - $T2$ iguais, as correntes através dos enrolamentos são iguais ($I_{T1} = I_{T2}$). Esta etapa de operação

está ilustrada na Fig. 5.4, e o caminho da circulação da corrente é marcada em **negrito**. A etapa termina quando o interruptor *S1* é bloqueado.

A equação diferencial que define esta 1ª etapa é apresentada a seguir:

$$v_{in}(\omega t) = L_b \cdot \frac{di_{in}}{d\omega t} + \frac{V_{o1}}{2}. \quad (5.1)$$

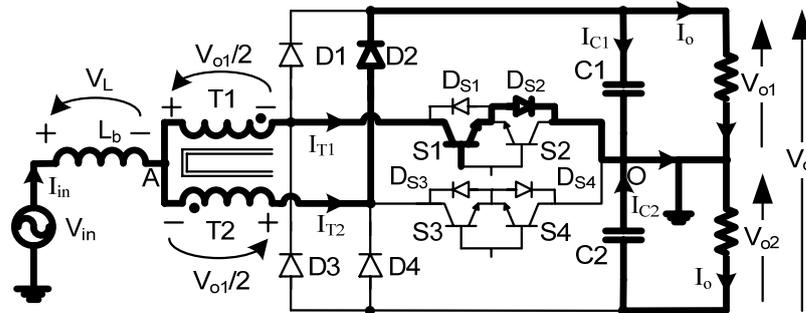


Fig. 5.4 – 1ª etapa de operação.

2ª Etapa ($t_1 \leq t \leq t_2$) – Etapa de Transferência de Energia

No instante t_1 , o interruptor *S1* é comandado a bloquear e o interruptor *S3* permanece bloqueado. A tensão sobre o indutor L_b é invertida, pois toda a energia armazenada durante a etapa anterior no indutor é transferida para a carga. O diodo *D1* é diretamente polarizado e *D2* permanece diretamente polarizado. A circulação de correntes iguais nos enrolamentos dos autotransformadores, conforme a polaridade, geram uma tensão nula em seus enrolamentos enquanto que, a corrente de magnetização circula livremente pelo autotransformador. Esta etapa está ilustrada na Fig. 5.5 e termina quando *S3* é comandado a conduzir.

A equação diferencial que define esta 2ª etapa é apresentada a seguir:

$$v_{in}(\omega t) = V_{o1} - L_b \cdot \frac{di_{in}}{d\omega t}. \quad (5.2)$$

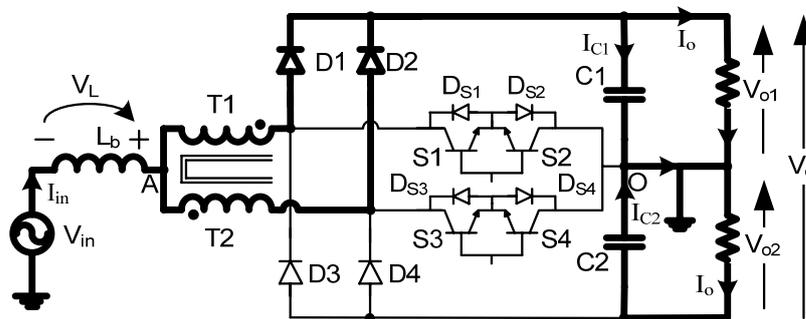


Fig. 5.5 – 2ª e 4ª etapa de operação.

3ª Etapa ($t_2 \leq t \leq t_3$) – Etapa de Acumulação e Transferência de Energia

Devido à simetria do circuito, esta etapa é semelhante à primeira, sendo que, o interruptor *S3* é comandado a conduzir e *S1* permanece bloqueado, o diodo *D1* está diretamente polarizado enquanto que o diodo *D2* é inversamente polarizado e, as tensões sobre os

enrolamentos dos autotransformadores invertem de polaridade. Esta etapa de operação está ilustrada na Fig. 5.6, e a etapa termina quando o interruptor $S3$ é bloqueado.

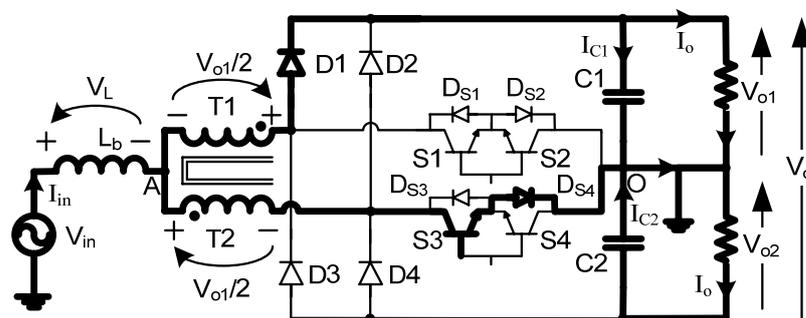


Fig. 5.6 – 3ª etapa de operação.

4ª Etapa ($t_3 \leq t \leq T$) – Etapa de Transferência de Energia

Esta etapa é idêntica à segunda etapa e o circuito é mostrado na Fig. 5.5, onde o caminho da circulação de corrente é marcado em negrito.

As principais formas de onda de tensão e corrente nos diferentes componentes do conversor estão mostradas na Fig. 5.7 para um período de comutação T . As formas de onda são traçadas segundo os pulsos de comando aplicado aos interruptores $S1$ e $S3$ e as grandezas IM e Im representam a corrente máxima e mínima do indutor, respectivamente.

Neste modo de operação, 50% da potência de entrada é transferida diretamente à saída através do autotransformador e diodos sem circular pelos interruptores controlados através das etapas 2 e 4. Assim, as perdas de condução e de comutação são menores e o rendimento do conversor aumenta.

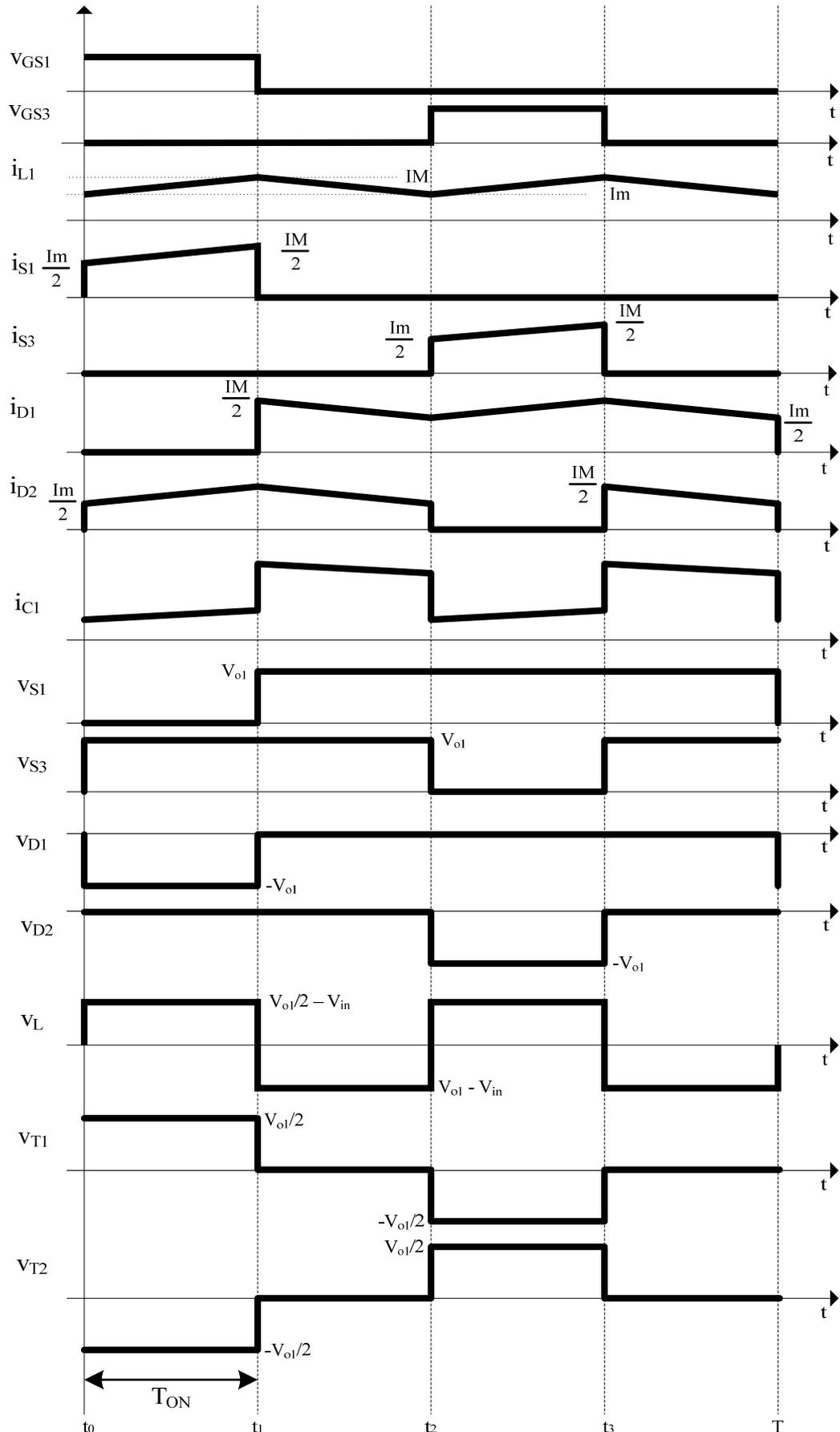


Fig. 5.7 – Principais formas de onda idealizadas para o modo de operação de não sobreposição.

5.2.3 Etapas de Operação para o Modo de Sobreposição

De forma análoga à análise anterior, em um período de comutação ocorrem quatro etapas de operação que são descritas a seguir.

1ª. Etapa ($t_0 \leq t \leq t_1$) – Etapa de Acumulação de Energia

No instante $t = t_0$, o interruptor $S1$ entra em condução e $S3$ permanece conduzindo. Todos os diodos estão inversamente polarizados. Da corrente que circula através do indutor L_b , uma parte flui através de $T1$ e $S1$ ($I_{T1} = I_{S1}$) e outra parte flui através de $T2$ e $S3$ ($I_{T2} = I_{S3}$). A corrente em L_b cresce linearmente e o indutor armazena energia. Se o número de espiras de $T1$ - $T2$ é igual, as correntes através dos enrolamentos são iguais ($I_{T1} = I_{T2}$) e um fluxo magnético resultante é nulo, provocando tensão zero nos mesmos. Nesta etapa não há transferência de energia da entrada para a carga, sendo o barramento CC, o responsável por fornecer energia para a carga. Esta etapa de operação está ilustrada na Fig. 5.8. A etapa termina quando $S3$ é bloqueado.

A equação diferencial que define esta 1ª etapa é apresentada a seguir:

$$v_{in}(\omega t) = L_b \cdot \frac{di_{in}}{d\omega t}. \quad (5.3)$$

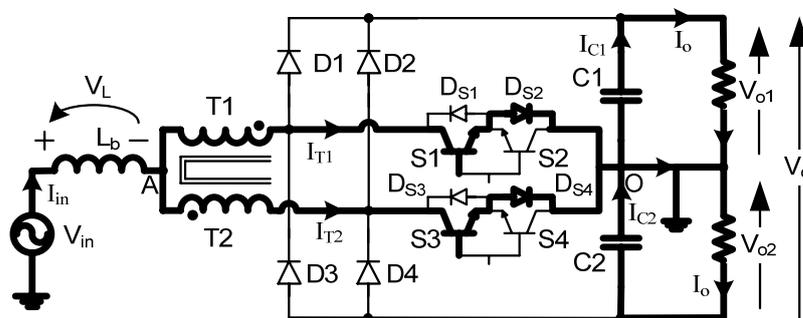


Fig. 5.8 – 1ª e 3ª etapa de operação.

2ª Etapa ($t_1 \leq t \leq t_2$) – Etapa de Transferência de Energia

No instante $t = t_1$, o interruptor $S3$ é comandado a bloquear e o interruptor $S1$ permanece conduzindo. A tensão sobre o indutor L_b é invertida para manter a variação do fluxo magnético constante através do núcleo. No mesmo instante, o diodo $D2$ é diretamente polarizado e $D1$ permanece inversamente polarizado. Da corrente I_{in} que circula através do indutor, uma parte flui através de $T2$ e $D2$ e outra parte flui através de $T1$ e $S1$. A energia armazenada durante a etapa anterior no indutor é transferida para a carga e a corrente decresce linearmente. Esta etapa de operação está ilustrada na Fig. 5.9. A etapa termina quando $S3$ é comandado a conduzir.

A equação diferencial que define esta 2ª etapa é apresentada a seguir:

$$v_{in}(\omega t) = \frac{V_{o1}}{2} - L_b \cdot \frac{di_{in}}{d\omega t}. \quad (5.4)$$

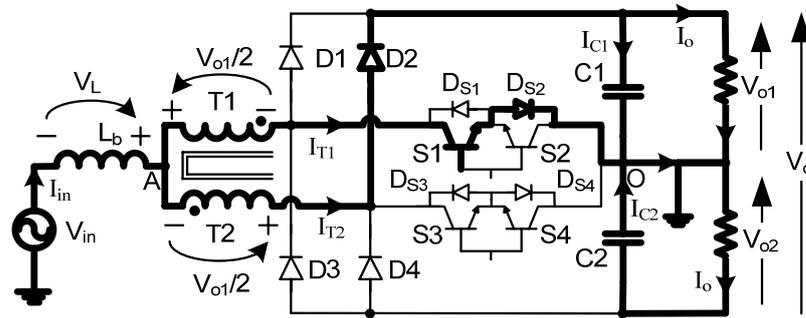


Fig. 5.9 – 2ª etapa de operação.

3ª Etapa ($t_2 \leq t \leq t_3$) – Etapa de Acumulação de Energia

Devido à simetria do circuito do conversor, esta etapa é idêntica à primeira, sendo que o interruptor $S3$ entra em condução enquanto $S1$ permanece conduzindo. Todos os diodos estão inversamente polarizados. Esta etapa de operação está ilustrada na Fig. 5.8. A etapa termina quando $S1$ é comandado a bloquear.

4ª Etapa ($t_3 \leq t \leq T$) – Etapa de Transferência de Energia

Esta etapa é similar à segunda etapa com a diferença que o interruptor $S1$ é bloqueado e o interruptor $S3$ permanece conduzindo. O diodo $D1$ é diretamente polarizado enquanto que o diodo $D2$ permanece bloqueado. O circuito é mostrado na Fig. 5.10.

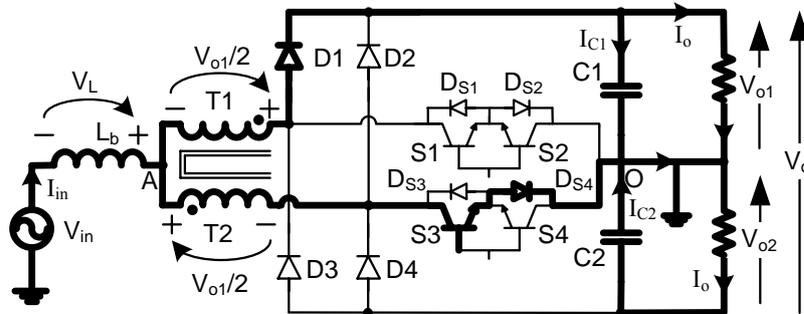


Fig. 5.10 – 4ª etapa de operação.

As principais formas de onda de tensão e corrente nos diferentes componentes do conversor são mostradas na Fig. 5.11 para um período de comutação T . As formas de onda são traçadas segundo os pulsos de comando aplicado aos interruptores $S1$ e $S3$.

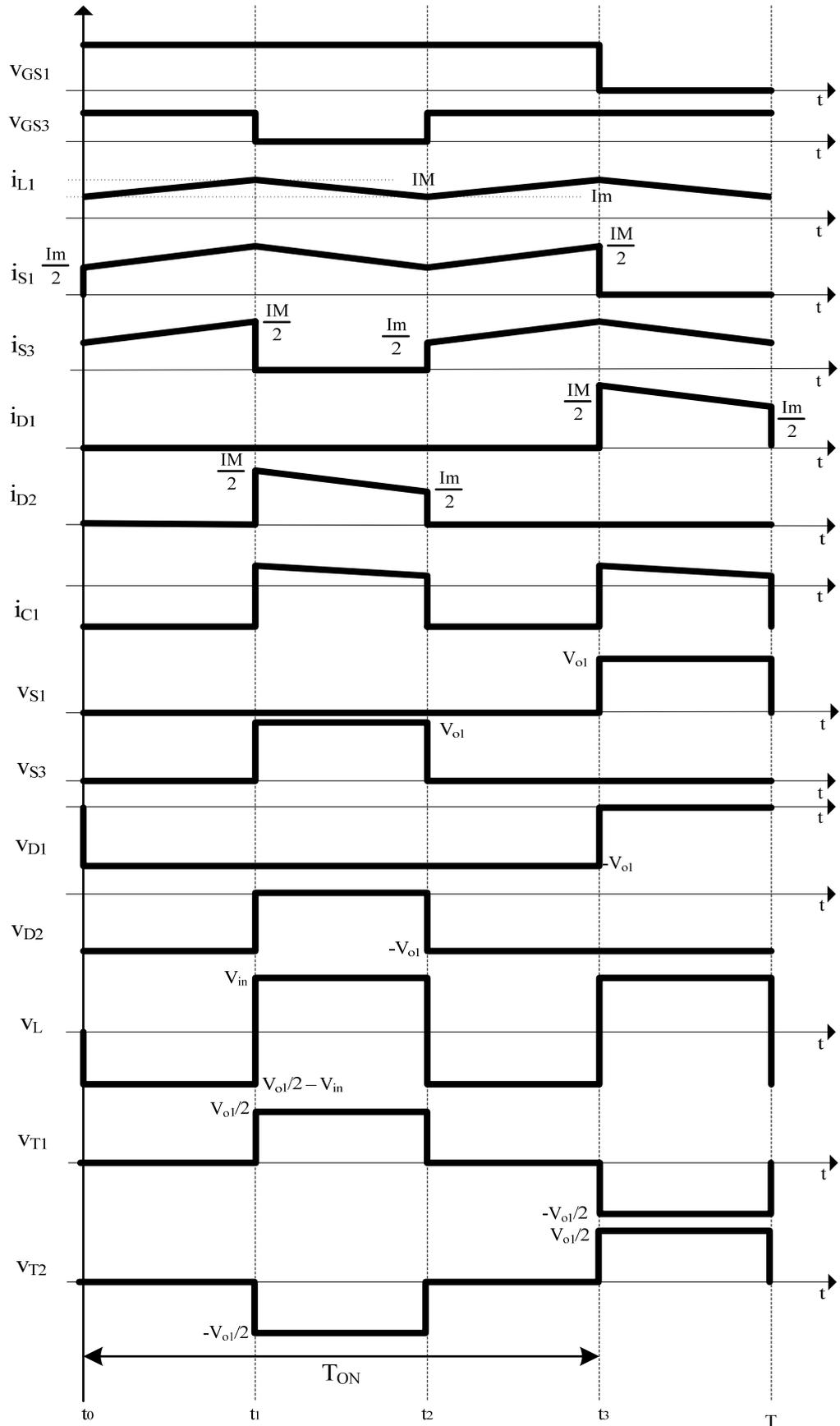


Fig. 5.11 – Principais formas de onda idealizadas para o modo de operação de sobreposição.

5.3 Análise Quantitativa do Estágio de Potência

5.3.1 Operação em Regime Permanente

As mesmas relações levantadas para o conversor de três níveis convencional apresentadas no item 3.3.1 são válidas para o conversor de cinco níveis tipo T na operação em regime permanente, ou seja, a tensão de entrada é definida por (3.5):

$$v_{in}(\omega t) = V_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi .$$

A corrente de entrada é definida por (3.6):

$$i_{in}(\omega t) = I_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi .$$

A potência de entrada instantânea definida por (3.8):

$$p_{in}(\omega t) = V_p \cdot I_p \cdot \text{sen}^2(\omega t) .$$

A potência de saída definida por (3.9):

$$P_o = V_o \cdot I_o = \frac{1}{2} \cdot V_p \cdot I_p \cdot \eta .$$

5.3.2 Determinação do Ganho Estático

Utilizando da mesma metodologia dos conversores anteriores, tem-se a equação definida em (3.10):

$$\Delta\Phi_{(t_1-t_0)} = \Delta\Phi_{(t_2-t_1)} .$$

Substituindo as variações de fluxo na equação (3.10), obtém-se as equações (5.5) e (5.6) para os modos de não sobreposição e sobreposição, respectivamente:

$$\left(V_{in}(\omega t) - \frac{V_{o1}}{2} \right) \cdot (t_1 - t_0) = (V_{o1} - V_{in}(\omega t)) \cdot (t_2 - t_1) , \quad (5.5)$$

$$V_{in}(\omega t) \cdot (t_1 - t_0) = \left(\frac{V_{o1}}{2} - V_{in}(\omega t) \right) \cdot (t_2 - t_1) . \quad (5.6)$$

Os intervalos de tempo de cada etapa de operação em função da razão cíclica são apresentados a seguir, para o modo de não sobreposição em (5.7), e para o modo de sobreposição em (5.8):

$$\begin{cases} t_1 - t_0 = D \cdot T \\ t_2 - t_1 = \frac{T}{2} \cdot (1 - 2 \cdot D) \\ t_3 - t_2 = D \cdot T \\ T - t_3 = \frac{T}{2} \cdot (1 - 2 \cdot D) \end{cases} \quad (5.7)$$

$$\begin{cases} t_1 - t_0 = \frac{T}{2} \cdot (2 \cdot D - 1) \\ t_2 - t_1 = T \cdot (1 - D) \\ t_3 - t_2 = \frac{T}{2} \cdot (2 \cdot D - 1) \\ T - t_3 = T \cdot (1 - D) \end{cases} \quad (5.8)$$

Substituindo as equações (5.7) e (5.8) em (5.5) e (5.6), respectivamente, obtém-se:

$$\left(V_{in}(\omega t) - \frac{V_{o1}}{2} \right) \cdot D \cdot T = (V_{o1} - V_{in}(\omega t)) \cdot \left(\frac{T}{2} \cdot (1 - 2 \cdot D) \right), \quad (5.9)$$

$$V_{in}(\omega t) \cdot \left(\frac{T}{2} \cdot (2 \cdot D - 1) \right) = \left(\frac{V_{o1}}{2} - V_{in}(\omega t) \right) \cdot (T - D \cdot T). \quad (5.10)$$

Resolvendo as equações (5.9) e (5.10), respectivamente, obtém-se:

$$\frac{V_{o1}}{2} \cdot (T - D \cdot T) = V_{in}(\omega t) \cdot \left(\frac{T}{2} \right) \Rightarrow \frac{V_{o1}}{V_{in}(\omega t)} = \frac{1}{1 - D}, \quad (5.11)$$

$$V_{in}(\omega t) \cdot \left(\frac{T}{2} \right) = \left(\frac{V_{o1}}{2} \right) \cdot (T - D \cdot T) \Rightarrow \frac{V_{o1}}{V_{in}(\omega t)} = \frac{1}{1 - D}. \quad (5.12)$$

Observa-se que o valor encontrado para o ganho estático é o mesmo para ambos os modos de operação. Assim, o conversor de cinco níveis tipo T apresenta a mesma característica de ganho estático dos demais conversores já estudados nesta tese.

5.3.3 Variação da Razão Cíclica

Semelhante aos demais conversores, a variação da razão cíclica é a mesma apresentada para o conversor de três níveis convencional no item 3.3.3 e rerepresentada na equação (5.13) e na Fig. 5.12.

$$D(\omega t) = 1 - \frac{1}{\beta} \cdot \text{sen}(\omega t). \quad (5.13)$$

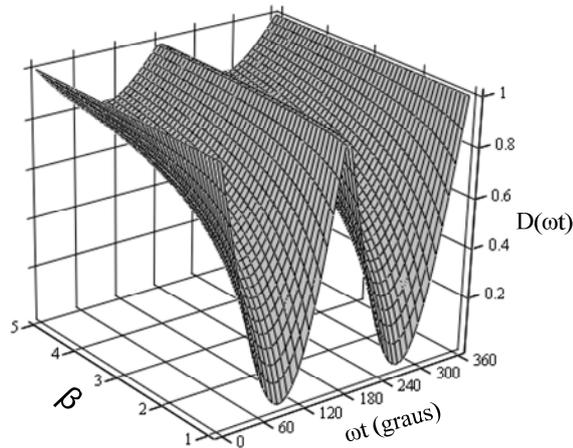


Fig. 5.12 – Variação da razão cíclica em função do tempo para um período da tensão de entrada.

5.3.4 Determinação da Ondulação de Corrente de Entrada

Semelhante ao conversor de cinco níveis intercalado, para a determinação da ondulação da corrente de entrada para o conversor de cinco níveis tipo T se faz necessária a determinação da ondulação para os dois modos de operação.

Para o modo de não sobreposição, tem-se que a equação diferencial relativa à 1ª etapa de operação é:

$$L_b \cdot \frac{di_{in}}{d\omega t} - v_{in}(\omega t) + \frac{V_{o1}}{2} = 0. \quad (5.14)$$

Resolvendo a equação para uma variação da razão cíclica ($d\omega t = D(\omega t)/f_s$), tem-se:

$$\Delta I_L = \frac{(1 - 2 \cdot D(\omega t)) \cdot D(\omega t)}{2 \cdot f_s \cdot L_b} \cdot V_{o1}. \quad (5.15)$$

Para o modo de sobreposição, a equação diferencial relativa à 1ª etapa de operação é dada por:

$$L_b \cdot \frac{di_{in}}{d\omega t} - v_{in}(\omega t) = 0. \quad (5.16)$$

Resolvendo a equação para uma variação da razão cíclica ($d\omega t = (2 \cdot D(\omega t) - 1)/2 \cdot f_s$), tem-se:

$$\Delta I_L = \frac{(2 \cdot D(\omega t) - 1) \cdot (1 - D(\omega t))}{2 \cdot f_s \cdot L_b} \cdot V_{o1}. \quad (5.17)$$

Substituindo (5.13) em (5.15) e (5.17), obtêm-se:

$$\Delta I_L = \frac{(2 \cdot \text{sen}(\omega t) - \beta) \cdot (\beta - \text{sen}(\omega t))}{2 \cdot f_s \cdot L_b \cdot \beta^2} \cdot V_{o1}, \quad (5.18)$$

$$\Delta I_L = \frac{(\beta - 2 \cdot \text{sen}(\omega t)) \cdot \text{sen}(\omega t)}{2 \cdot f_s \cdot L_b \cdot \beta^2} \cdot V_{o1}. \quad (5.19)$$

Adotando a relação $\frac{L_b \cdot f_s}{V_{o1}}$ como fator de parametrização, chegam-se as expressões (5.20) e

(5.21):

$$\overline{\Delta I_L(\omega t)} = \frac{\Delta I_L(\omega t) \cdot L_b \cdot f_s}{V_{o1}} = \frac{(2 \cdot \text{sen}(\omega t) - \beta) \cdot (\beta - \text{sen}(\omega t))}{2 \cdot \beta^2}, \quad (5.20)$$

$$\overline{\Delta I_L(\omega t)} = \frac{\Delta I_L(\omega t) \cdot L_b \cdot f_s}{V_{o1}} = \frac{(\beta - 2 \cdot \text{sen}(\omega t)) \cdot \text{sen}(\omega t)}{2 \cdot \beta^2}. \quad (5.21)$$

A Fig. 5.13 apresenta de forma gráfica a variação da ondulação da corrente parametrizada da entrada em meio período da rede para diferentes valores de β .

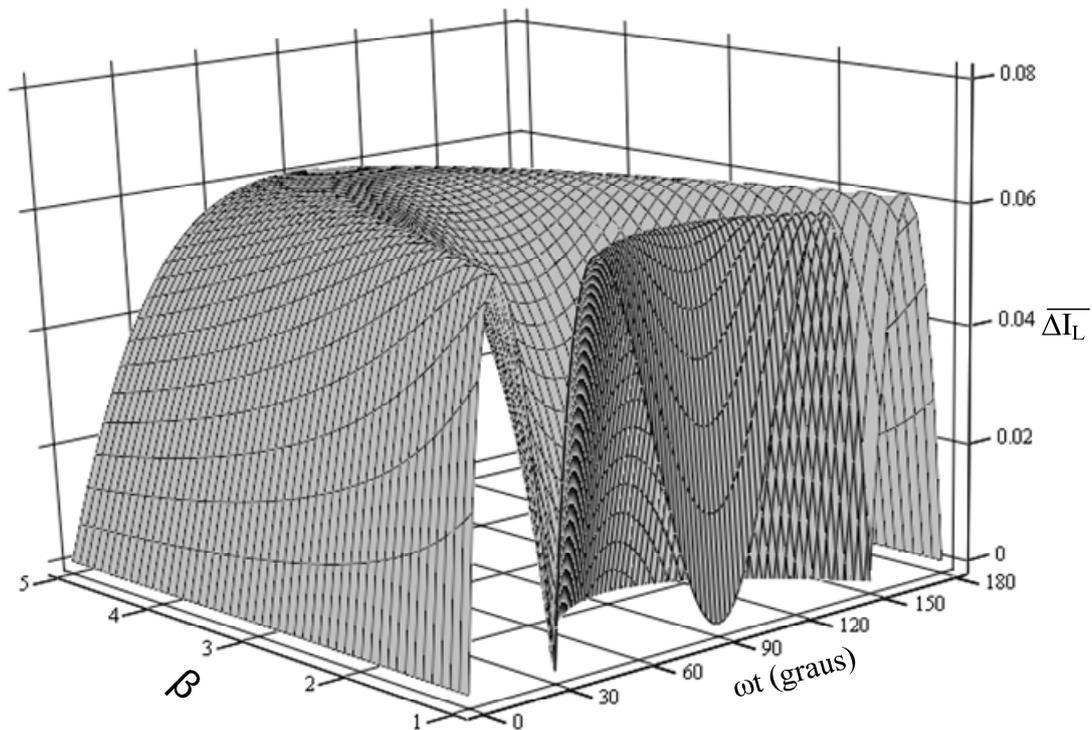


Fig. 5.13 – Variação da ondulação da corrente parametrizada para meio período da rede.

O máximo valor da ondulação de corrente parametrizada é calculada a partir das equações (5.20) e (5.21) para cada modo de operação. Assim, derivando-as e igualando-as a zero, tem-se para $D < 0,5$ e $D > 0,5$, respectivamente:

$$\frac{d\overline{\Delta I_L(\omega t)}}{d\omega t} = \frac{\cos(\omega t) \cdot (\beta - \text{sen}(\omega t))}{\beta^2} + \frac{\cos(\omega t) \cdot (\beta - 2 \cdot \text{sen}(\omega t))}{2 \cdot \beta^2} = 0. \quad (5.22)$$

$$\frac{\overline{d\Delta I_L(\omega t)}}{d\omega t} = \frac{\cos(\omega t) \cdot (\beta - 2 \cdot \text{sen}(\omega t))}{2 \cdot \beta^2} - \frac{\cos(\omega t) \cdot \text{sen}(\omega t)}{\beta^2} = 0. \quad (5.23)$$

Resolvendo (5.22) e (5.23), têm-se que as raízes das equações são, respectivamente:

$$\begin{cases} \omega t = \text{asen}\left(\frac{3 \cdot \beta}{4}\right) \\ \omega t = \frac{\pi}{2} \end{cases}, \quad (5.24)$$

$$\begin{cases} \omega t = \text{asen}\left(\frac{\beta}{4}\right) \\ \omega t = \frac{\pi}{2} \end{cases}. \quad (5.25)$$

As raízes dessas equações apontam um ponto de mínimo e um de máximo. Com interesse no ponto de máxima ondulação de corrente, substituem-se os valores de ωt de (5.24) e (5.25) em (5.22) e (5.23), respectivamente. Os resultados das correntes parametrizadas encontradas para ambos os modos de operação são, respectivamente:

$$\overline{\Delta I_L\left(\text{asen}\left(\frac{3 \cdot \beta}{4}\right)\right)} = \frac{\left(2 \cdot \text{sen}\left(\text{asen}\left(\frac{3 \cdot \beta}{4}\right)\right) - \beta\right) \cdot \left(\beta - \text{sen}\left(\text{asen}\left(\frac{3 \cdot \beta}{4}\right)\right)\right)}{2 \cdot \beta^2} = \frac{1}{16}, \quad (5.26)$$

$$\overline{\Delta I_L\left(\text{asen}\left(\frac{\beta}{4}\right)\right)} = \frac{\left(\beta - 2 \cdot \text{sen}\left(\text{asen}\left(\frac{\beta}{4}\right)\right)\right) \cdot \text{sen}\left(\text{asen}\left(\frac{\beta}{4}\right)\right)}{2 \cdot \beta^2} = \frac{1}{16}. \quad (5.27)$$

Nota-se que o valor encontrado é o mesmo para ambos os modos de operação. Assim, substituindo-se esse valor na equação (5.20) ou (5.21), obtém-se o máximo valor da ondulação de corrente através do indutor dado pela equação (5.28).

$$\Delta I_{L\max} = \overline{\Delta I_L}(\omega t) \cdot \frac{V_{o1}}{L_b \cdot f_s} = \frac{V_{o1}}{16 \cdot L_b \cdot f_s} = \frac{V_o}{32 \cdot L_b \cdot f_s}. \quad (5.28)$$

Dessa forma, o valor da indutância pode ser calculado de acordo com a equação (5.29):

$$L_b = \frac{V_o}{32 \cdot \Delta I_L \cdot f_s}. \quad (5.29)$$

5.3.5 Determinação da Ondulação de Tensão

A forma de onda da corrente que circula no capacitor do filtro $C1$, na frequência de comutação, é semelhante a forma de onda apresentada na Fig. 4.16 no item 4.3.5 e aqui reapresentada na Fig. 5.14 para um período da rede começando pelo semiciclo positivo.

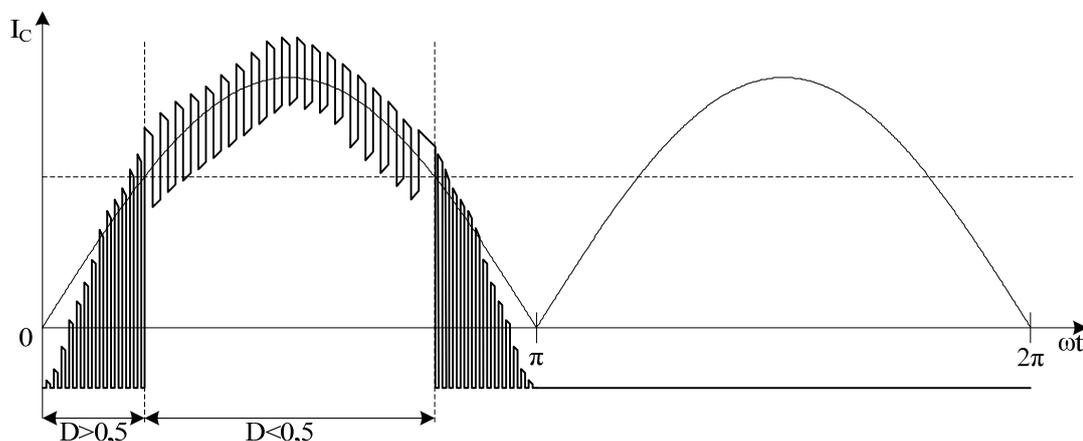


Fig. 5.14 – Forma de onda da corrente no capacitor de filtro $C1$ para um período da rede.

Deste modo, tem-se o mesmo procedimento apresentado no item 3.3.5 para a determinação da ondulação de tensão chegando a:

$$C1 = \frac{I_o}{2 \cdot \eta \cdot \omega \cdot \Delta V_o} \quad (5.30)$$

5.3.6 Análise dos Esforços de Tensão e Corrente no Conversor

Apresenta-se uma metodologia de projeto do conversor, onde são realizados cálculos matemáticos dos esforços de tensão e corrente nos componentes do conversor para o modo de condução contínua.

Expressões Básicas

É apresentada algumas expressões já definidas no item 3.3.6:

$$v_{in}(\omega t) = V_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi \quad (5.31)$$

$$i_{in}(\omega t) = I_p \cdot \text{sen}(\omega t) \quad 0 \leq \omega t \leq 2\pi \quad (5.32)$$

$$I_p = \frac{2 \cdot \beta \cdot I_o}{\eta} \quad (5.33)$$

O ângulo de transição ωt_1 é determinado igualando-se a tensão de entrada a um meio da tensão de saída, expressa em (5.34).

$$\omega t_1 = a \operatorname{sen} \left(\frac{V_{o1}}{2 \cdot V_p} \right) = a \operatorname{sen} \left(\frac{\beta}{2} \right). \quad (5.34)$$

Indutor L_b

A corrente eficaz em função de ωt que circula através do indutor para razão cíclica menor e maior que 0,5 é definida por (5.35).

$$i_{efL_b}(\omega t) = I_p \cdot \operatorname{sen}(\omega t). \quad (5.35)$$

A corrente eficaz que circula através do indutor em um período da rede é definida por:

$$I_{efL_b} = 2 \cdot \sqrt{\frac{1}{\pi} \cdot \int_0^{\omega t_1} (i_{efL_b}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\omega t_1}^{\pi - \omega t_1} (i_{efL_b}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t_1}^{\pi} (i_{efL_b}(\omega t))^2 d\omega t}. \quad (5.36)$$

Resolvendo a equação (5.36), obtém-se a equação (5.37).

$$I_{efL_b} = \frac{2 \cdot \sqrt{2} \cdot \beta \cdot I_o}{\eta}. \quad (5.37)$$

O valor máximo da corrente de pico que circula através do indutor é dado por (5.38).

$$I_{pL_b} = \frac{4 \cdot \beta \cdot I_o}{\eta}. \quad (5.38)$$

Autotransformador

São definidos os esforços de tensão e corrente no enrolamento $T1$ do transformador, que é o mesmo para o enrolamento $T2$. A máxima tensão sobre os enrolamentos do transformador é definida por (5.39):

$$V_{T1} = V_{T2} = \frac{V_{o1}}{2}. \quad (5.39)$$

A corrente eficaz em função de ωt através do transformador, para razão cíclica menor e maior que 0,5, é definida por (5.40).

$$i_{efT1}(\omega t) = \frac{I_p \cdot \operatorname{sen}(\omega t)}{2} = \frac{i_{efL_b}(\omega t)}{2}. \quad (5.40)$$

Assim, a corrente eficaz através dos enrolamentos do transformador é definida por (5.41).

$$I_{efT1} = \frac{\sqrt{2} \cdot \beta \cdot I_o}{\eta}. \quad (5.41)$$

O valor máximo da corrente de pico através do enrolamento $T1$ é dado por (5.42):

$$I_{pT1} = \frac{2 \cdot \beta \cdot I_o}{\eta}. \quad (5.42)$$

Interruptores S1, S2, S3 e S4

São definidos os esforços de tensão e corrente do interruptor SI , que são os mesmos para os demais interruptores. A máxima tensão sobre os interruptores é definida por (5.43):

$$V_{S1} = \frac{V_o}{2}. \quad (5.43)$$

A corrente eficaz em função de ωt através do interruptor, para razão cíclica menor e maior que 0,5, é definida por (5.44).

$$i_{efS1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{2} \cdot \sqrt{\frac{\beta - \text{sen}(\omega t)}{\beta}}. \quad (5.44)$$

A corrente eficaz em um período da rede é definida por (5.45). Com isto pode-se especificar interruptores do tipo MOSFET.

$$I_{efS1} = 2 \cdot \sqrt{\frac{1}{\pi} \cdot \int_0^{\omega t 1} (i_{efS1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\omega t 1}^{\pi - \omega t 1} (i_{efS1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t 1}^{\pi} (i_{efS1}(\omega t))^2 d\omega t}. \quad (5.45)$$

Resolvendo a equação (5.45), obtém-se a equação (5.46).

$$I_{efS1} = \frac{2 \cdot I_o}{\eta} \cdot \sqrt{\frac{\beta \cdot (3 \cdot \pi \cdot \beta - 8)}{6 \cdot \pi}}. \quad (5.46)$$

O valor máximo da corrente de pico repetitivo dos interruptores é o mesmo dado por (5.42). A corrente média em função de ωt através do interruptor, para razão cíclica menor e maior que 0,5, é definida por (5.47).

$$i_{mdS1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t) \cdot (\beta - \text{sen}(\omega t))}{2 \cdot \beta}. \quad (5.47)$$

A corrente média em um período da rede é definida por (5.48). Com isto pode-se especificar interruptores do tipo IGBT.

$$I_{mdS1} = 2 \cdot \left(\frac{1}{\pi} \cdot \int_0^{\omega t 1} (i_{mdS1}(\omega t)) d\omega t + \frac{1}{\pi} \cdot \int_{\omega t 1}^{\pi - \omega t 1} (i_{mdS1}(\omega t)) d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t 1}^{\pi} (i_{mdS1}(\omega t)) d\omega t \right). \quad (5.48)$$

Resolvendo a equação (5.48), obtém-se a equação (5.49).

$$I_{mdS1} = \frac{(4 \cdot \beta - \pi) \cdot I_o}{\pi \cdot \eta}. \quad (5.49)$$

Diodos D1, D2, D3 e D4

São definidos os esforços de tensão e corrente do diodo DI , que são os mesmos para os diodos $D2$, $D3$ e $D4$. A máxima tensão reversa sobre os diodos é definida por (5.50):

$$V_{D1} = V_o. \quad (5.50)$$

A corrente média em função de ωt através do diodo, para razão cíclica menor e maior que 0,5, é definida por (5.51).

$$i_{mdD1}(\omega t) = \frac{I_p \cdot \text{sen}^2(\omega t)}{2 \cdot \beta}. \quad (5.51)$$

A corrente média em um período da rede é definida por (5.52).

$$I_{mdD1} = \left(\frac{1}{\pi} \cdot \int_0^{\omega t1} (i_{mdD1}(\omega t)) d\omega t + \frac{1}{\pi} \cdot \int_{\omega t1}^{\pi - \omega t1} (i_{mdD1}(\omega t)) d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t1}^{\pi} (i_{mdD1}(\omega t)) d\omega t \right). \quad (5.52)$$

Resolvendo a equação (5.52), obtém-se a equação (5.53).

$$I_{mdD1} = \frac{I_o}{2 \cdot \eta}. \quad (5.53)$$

A corrente eficaz em função de ωt através do diodo, para razão cíclica menor e maior que 0,5, é definida por (5.54).

$$i_{efD1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{2} \cdot \sqrt{\frac{\text{sen}(\omega t)}{\beta}}. \quad (5.54)$$

A corrente média em um período da rede é definida por (5.55).

$$I_{efD1} = 2 \cdot \sqrt{\left(\frac{1}{\pi} \cdot \int_0^{\omega t1} (i_{efD1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\omega t1}^{\pi - \omega t1} (i_{efD1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t1}^{\pi} (i_{efD1}(\omega t))^2 d\omega t \right)}. \quad (5.55)$$

Resolvendo a equação (5.55), obtém-se a equação (5.56).

$$I_{efD1} = \frac{I_o}{6 \cdot \eta} \cdot \sqrt{\frac{6 \cdot \beta \cdot \left[\sqrt{(4 - \beta^2)^3} - 4 \cdot \sqrt{(4 - \beta^2)} + \beta^2 \cdot \sqrt{(4 - \beta^2)} + 64 \right]}{2 \cdot \pi}}. \quad (5.56)$$

O valor máximo da corrente de pico repetitivo dos diodos é o mesmo dado por (5.42).

Capacitores C1 e C2

São definidos os esforços de tensão e corrente no capacitor de filtro $C1$, que são os mesmos para o capacitor $C2$. A máxima tensão sobre os capacitores é definida por (5.57):

$$V_{C1} = \frac{V_o}{2}. \quad (5.57)$$

A corrente eficaz em função de ωt para razão cíclica menor que 0,5, é definida por (5.58).

$$i_{1efC1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{\beta} \cdot \sqrt{\frac{(\beta - \text{sen}(\omega t)) \cdot (2 \cdot \text{sen}(\omega t) - \beta)}{2}}. \quad (5.58)$$

A corrente eficaz em função de ωt para razão cíclica maior que 0,5, é definida por (5.59).

$$i_{2efC1}(\omega t) = \frac{I_p \cdot \text{sen}(\omega t)}{\beta} \cdot \sqrt{\frac{(\beta - 2 \cdot \text{sen}(\omega t)) \cdot \text{sen}(\omega t)}{2}}. \quad (5.59)$$

A corrente eficaz em um período da rede é definida por (5.60).

$$I_{efC1} = 2 \cdot \sqrt{\frac{1}{\pi} \cdot \int_0^{\omega t_1} (i_{2efC1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\omega t_1}^{\pi - \omega t_1} (i_{1efC1}(\omega t))^2 d\omega t + \frac{1}{\pi} \cdot \int_{\pi - \omega t_1}^{\pi} (i_{2efC1}(\omega t))^2 d\omega t}. \quad (5.60)$$

Resolvendo a equação (5.60), obtém-se a equação (5.61).

$$I_{efC1} = \frac{2 \cdot I_o}{\eta} \cdot \sqrt{\frac{16 \cdot \beta + 12 \cdot \beta^2 \cdot \text{sen}^{-1}\left(\frac{\beta}{2}\right) + \beta \cdot \sqrt{4 - \beta^2} \cdot (16 - \beta^2) - 6 \cdot \pi \cdot \beta^2 - 9 \cdot \pi}{6}}. \quad (5.61)$$

5.4 Modelagem do Circuito de Potência

O conversor de cinco níveis pode ser modelado de forma semelhante aos conversores já apresentados. Dessa forma, utilizando-se a mesma técnica de controle ICC e o mesmo tipo de compensador com os mesmos critérios de alocação de pólos e zeros utilizados no item 3.4, têm-se as seguintes funções de transferência já apresentadas no referido item para o diagrama de blocos apresentada na Fig. 5.15:

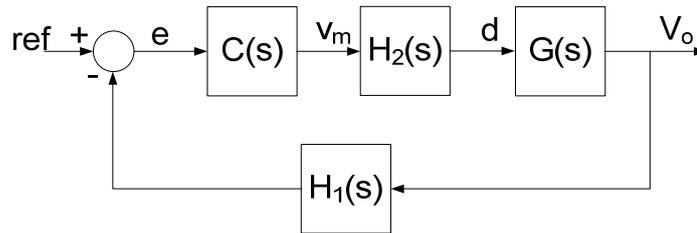


Fig. 5.15 – Diagrama de blocos do controle do conversor por ICC.

$$H_1(s) = \frac{V_{ref}}{V_o}. \quad (5.62)$$

$$H_2(s) = \frac{V_p^2}{V_{o1}^2 \cdot R_{sh}}. \quad (5.63)$$

$$G(s) = \left(\frac{1}{\beta \cdot \pi} + \frac{1}{2} \right) \cdot \frac{R_{o1}}{1 + s \cdot R_{o1} \cdot C1}. \quad (5.64)$$

$$C(s) = \frac{K}{s} \cdot \frac{1 + \frac{1}{\omega_z} \cdot s}{1 + \frac{1}{\omega_{p2}} \cdot s}. \quad (5.65)$$

5.5 Exemplo de Projeto

5.5.1 Especificações e Considerações

São adotadas as mesmas especificações e parâmetros dos conversores anteriores para a montagem do protótipo do conversor de cinco níveis tipo T proposto. O rendimento teórico esperado do sistema será de 0,97. Estes valores são rerepresentados na Tabela 5.1 e Tabela 5.2.

Tabela 5.1 – Especificações do projeto.

Potência de saída total	$P_o = 3kW$
Tensão eficaz de entrada	$V_{in} = 110Vca$
Tensão eficaz de saída	$V_o = 200 + 200Vcc$
Frequência da rede	$f_r = 60Hz$
Fator de potência na entrada	$fp_{in} \cong 1$

Tabela 5.2 – Parâmetros adotados do projeto.

Frequência de comutação dos interruptores	$f_s = 20kHz$
Ondulação de tensão sobre cada capacitor na saída	$\Delta V_o = 5\% \cdot V_o$
Ondulação da corrente na entrada	$\Delta I_{in} = 20\% \cdot I_p$
Rendimento teórico esperado do sistema	$\eta = 0,97$

5.5.2 Dimensionamento dos Componentes

A relação entre a tensão de saída e o valor de pico da tensão de entrada é obtida a partir da equação (3.18):

$$\beta = \frac{V_{o1}}{V_p} = \frac{200}{156} = 1,28.$$

A corrente de saída, obtida a partir da equação (3.9), é:

$$I_o = \frac{P_o}{V_o} = \frac{3000}{400} = 7,5A.$$

O ângulo de transição é dado por (5.66):

$$\omega t_1 = asen\left(\frac{\beta}{2}\right) \cong 40^\circ \quad (5.66)$$

Dimensionamento do indutor L_b

Com os valores especificados de ondulação da corrente de entrada, o valor da indutância de L_b é obtido a partir da equação (5.29):

$$L_b = \frac{400}{32 \cdot 7,95 \cdot 20000} = 78,6 \mu H .$$

Para o projeto adotou-se o valor de $80 \mu H$. Assim, a nova ondulação de corrente no indutor é igual a:

$$\Delta I_{L_b} = \frac{400}{32 \cdot 80 \times 10^{-6} \cdot 20000} = 7,81 A . \quad (5.67)$$

A corrente eficaz que circula através do indutor é calculada a partir de (5.37):

$$I_{efL_b} = \frac{2\sqrt{2} \cdot 1,28 \cdot 7,5}{0,97} = 28,12 A .$$

O valor da corrente de pico que circula através de L_b é dada por (5.38):

$$I_{pL_b} = \frac{4 \cdot 1,28 \cdot 7,5}{0,97} = 39,76 A .$$

O resumo do projeto físico do indutor é apresentado na Tabela 5.3.

Tabela 5.3 – Resumo do projeto do indutor L_b .

Indutância de L_b	$L_b = 80 \mu H$
Núcleo Thornton escolhido	$NEE - 65/33/26$
Número de espiras	$N_{L_b} = 21 \text{ espiras}$
Quantidade de fios em paralelos / bitola do fio	$N_{fios} = 19 \times 20 \text{ AWG}$
Entreferro	$\frac{l_g}{2} = 0,18 \text{ cm}$

Dimensionamento do autotransformador

A máxima tensão sobre os enrolamentos do transformador é determinada a partir da equação (5.39):

$$V_{T1} = \frac{V_{o1}}{2} = 100 V .$$

A corrente eficaz que circula através de um enrolamento do autotransformador é calculada pela equação (5.41):

$$I_{efT1} = \frac{\sqrt{2} \cdot 1,28 \cdot 7,5}{0,97} = 14,06 A .$$

A máxima corrente de pico através de um enrolamento do autotransformador é dada por (5.42):

$$I_{pT1} = \frac{2 \cdot 1,28 \cdot 7,5}{0,97} = 19,88 A.$$

O projeto do autotransformador é realizado conforme [20] considerando o valor da corrente de magnetização desprezível em relação à corrente de carga e a relação de transformação é unitária. O resumo do projeto é apresentado na Tabela 5.4.

Tabela 5.4 – Resumo do projeto do autotransformador.

Núcleo Thornton escolhido	NEE – 55/28/21
Número de espiras por enrolamento	$N_{T1} = 12 \text{ espiras}$
Quantidade de fios em paralelo / bitola do fio	$N_{fiosT1} = 10 \times 20 \text{ AWG}$

Dimensionamento dos interruptores

São apresentados os cálculos dos esforços de tensão e corrente de apenas um interruptor, pois os demais estão submetidos aos mesmos esforços de tensão e corrente.

A máxima tensão sobre os interruptores é calculada a partir da equação (5.43):

$$V_{s1} = \frac{V_o}{2} = 200V.$$

A corrente média nos interruptores é calculada através da equação (5.49):

$$I_{mds1} = \frac{(4 \cdot 1,28 - \pi) \cdot 7,5}{\pi \cdot 0,97} = 4,92 A.$$

A corrente eficaz nos interruptores é calculada através da equação (5.46):

$$I_{efs1} = \frac{2 \cdot 7,5}{0,97} \cdot \sqrt{\frac{1,28 \cdot (3 \cdot \pi \cdot 1,28 - 8)}{6 \cdot \pi}} = 8,19 A.$$

A máxima corrente de pico repetitivo nos interruptores é a mesma para um enrolamento do transformador. A partir dessas especificações para os esforços de tensão e corrente é escolhido o IRGP50B60PD1 da *International Rectifier*.

Dimensionamento dos diodos

Os esforços de tensão, corrente e, das perdas do diodo DI , os mesmos para os demais diodos, são calculados. A tensão reversa máxima sobre os diodos é obtida através de (5.50):

$$V_{D1} = V_o = 400V.$$

A corrente média que circula através dos diodos é dada pela equação (5.53):

$$I_{mdD1} = \frac{7,5}{2 \cdot 0,97} = 3,87 A.$$

A corrente eficaz que circula através dos diodos é dada pela equação (5.56):

$$I_{efD1} = \frac{7,5}{6 \cdot 0,97} \cdot \sqrt{\frac{6 \cdot 1,28 \cdot \left[\sqrt{(4-1,28^2)^3} - 4 \cdot \sqrt{(4-1,28^2)} + 1,28^2 \cdot \sqrt{(4-1,28^2)} + 64 \right]}{2 \cdot \pi}} = 11,42A$$

Escolhe-se o diodo 30EPH06 da *International Rectifier*.

Dimensionamento dos capacitores

São apresentados os cálculos da capacitância e dos esforços de tensão e corrente do capacitor $C1$, que são os mesmos para $C2$. O valor da capacitância de $C1$ é dado pela equação (5.30):

$$C1 \geq \frac{7,5}{4 \cdot \pi \cdot 60 \cdot 0,97 \cdot (0,05 \cdot 400)} \geq 1025 \mu F .$$

A máxima tensão sobre o capacitor é dada pela equação (5.57):

$$V_{C1} = \frac{400}{2} = 200V .$$

A corrente eficaz que circula através do capacitor é definida pela equação (5.61):

$$I_{efC1} = \frac{2 \cdot I_o}{\eta} \cdot \sqrt{\frac{16 \cdot \beta + 12 \cdot \beta^2 \cdot \text{sen}^{-1}\left(\frac{\beta}{2}\right) + \beta \cdot \sqrt{4 - \beta^2} \cdot (16 - \beta^2) - 6 \cdot \pi \cdot \beta^2 - 9 \cdot \pi}{6}} = 11,38A .$$

Para o projeto foram especificados dois capacitores eletrolíticos de 680 μ F/350V em paralelo formando uma capacitância equivalente de 1360 μ F.

5.5.3 Projeto do Estágio de Controle

O controle do conversor é realizado de forma digital semelhante ao utilizado nos conversores anteriores onde a Fig. 5.16 representa o circuito do conversor de cinco níveis tipo T com o diagrama de blocos do controle da estrutura do conversor, no qual empregou-se o FPGA.

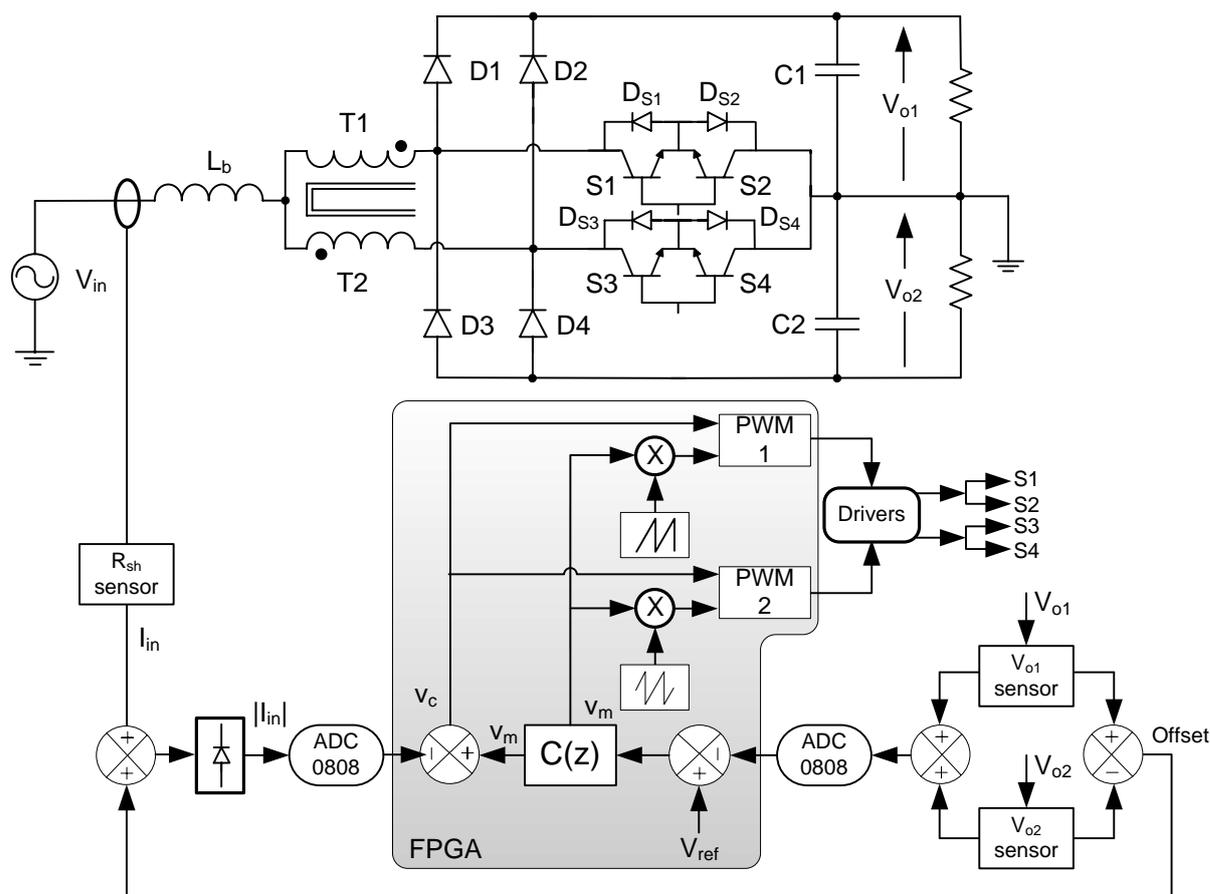


Fig. 5.16 – Diagrama de blocos do controle do conversor.

De forma semelhante ao adotado para o conversor de cinco níveis intercalado, o mesmo critério de dimensionamento do sistema de controle do conversor de três níveis convencional é utilizado. Desse modo, tem-se que, para o conversor de cinco níveis tipo T, as funções de transferência e o controlador de tensão serão os mesmos já especificados no item 3.5.3 e 4.5.3.

5.6 Rendimento Teórico

5.6.1 Modelagem de Perdas

Cálculo das Perdas no Indutor L_b

As perdas totais no indutor são calculadas no conversor de cinco níveis tipo T a partir dos parâmetros necessários apresentados na Tabela 5.5.

Tabela 5.5 – Parâmetros necessários para o cálculo das perdas do indutor.

Frequência de operação do indutor	$f_{L1} = 40kHz$
Volume do núcleo magnético	$V_e = 72,33cm^3$
Comprimento médio por espira	$MLT = 14,86cm$
Variação de fluxo magnético	$\Delta B = 0,03T$
Coefficiente de perdas por histerese	$K_H = 4 \cdot 10^{-5}$
Coefficiente de perdas por correntes parasitas	$K_E = 4 \cdot 10^{-10}$
Resistividade do cobre a 70° C	$\rho = 2,078 \cdot 10^{-6} \Omega \cdot cm$

As perdas magnéticas do núcleo de ferrite são calculadas a partir da equação (3.109).

$$P_{magL_b} = \Delta B^{2,4} \cdot (K_H \cdot f_{L_b} + K_E \cdot f_{L_b}^2) \cdot V_e.$$

$$P_{magL_b} = 0,03^{2,4} \cdot (4 \cdot 10^{-5} \cdot 40000 + 4 \cdot 10^{-10} \cdot 40000^2) \cdot 72,33 = 0,036W.$$

As perdas no cobre são calculadas por (3.110):

$$P_{cuL_b} = \rho \cdot MLT \cdot N_{L_b} \cdot N_{fios} \cdot S_{22AWG} \cdot J_{max}^2.$$

$$P_{cuL_b} = 2,078 \cdot 10^{-6} \cdot 14,86 \cdot 21 \cdot 19 \cdot 0,003239 \cdot 300^2 = 4,61W.$$

As perdas totais no indutor são calculadas por (3.111):

$$P_{totL_b} = P_{magL_b} + P_{cuL_b}$$

$$P_{totL_b} = 4,65W.$$

Cálculo das Perdas no Autotransformador

A definição dos parâmetros necessários para o cálculo das perdas no autotransformador é apresentado na Tabela 5.6.

Tabela 5.6 – Parâmetros necessários para cálculo das perdas do autotransformador.

Frequência de operação do transformador	$f_{T1} = 20kHz$
Volume do núcleo magnético	$V_e = 42,50cm^3$
Comprimento médio por espira	$MLT = 11,60cm$
Variação de fluxo magnético	$\Delta B = 0,15T$
Coefficiente de perdas por histerese	$K_H = 4 \cdot 10^{-5}$
Coefficiente de perdas por correntes parasitas	$K_E = 4 \cdot 10^{-10}$

A equação (5.68) determina as perdas magnéticas do núcleo de ferrite:

$$P_{magT1} = \Delta B^{2,4} \cdot (K_H \cdot f_{T1} + K_E \cdot f_{T1}^2) \cdot V_e. \quad (5.68)$$

$$P_{magT1} = 0,43W.$$

As perdas no cobre são calculadas por (5.69):

$$P_{cuT1} = \rho \cdot MLT \cdot N_{T1} \cdot N_{fiosT1} \cdot S_{20AWG} \cdot J_{max}^2. \quad (5.69)$$

$$P_{cuT} = 1,35W.$$

As perdas totais no autotransformador são calculadas por :

$$P_{totT} = 2 \cdot (P_{magT1} + P_{cuT1}). \quad (5.70)$$

$$P_{totT} = 3,57W.$$

Cálculo das Perdas nos Interruptores

As perdas totais nos interruptores são calculadas de forma análoga as perdas calculadas nos capítulos anteriores para o IGBT cujos parâmetros foram apresentados na Tabela 3.5. Assim, as perdas por entrada em condução de cada interruptor são dadas por:

$$P_{onS1} = \left[\begin{aligned} &(I_o + I_{rr}) \cdot (1,2 \cdot t_r + t_a) \cdot \left(\frac{1}{2} \cdot V_{S1} - \frac{1}{3} \cdot L_s \cdot \frac{di_c}{dt} \right) + \\ &+ t_b \cdot \left(V_{S1} - L_s \cdot \frac{di_c}{dt} \right) \cdot \left(\frac{1}{2} \cdot I_o + \frac{1}{3} \cdot I_{rr} \right) \end{aligned} \right] \cdot fs. \quad (5.71)$$

Substituindo-se os valores, a perda por entrada em condução calculada é igual a $P_{onS1} = 0,37W$ por interruptor. As perdas por condução são dadas pela equação (5.72):

$$P_{condS1} = I_{mDS1} \cdot V_{CEO} + \left[\frac{V_{CEN} - V_{CEO}}{I_{CN}} \right] \cdot I_{efS1}^2. \quad (5.72)$$

$$P_{condS1} = 8,74W.$$

As perdas por bloqueio do IGBT são calculadas pela equação (3.116). Substituindo-se os valores, tem-se $P_{offS1} = 0,29W$. As perdas em condução do diodo em antiparalelo são dadas pela equação (5.73):

$$P_{condDS1} = \left(\frac{V_F - V_{CEO}}{I_F} \cdot I_{efS1}^2 \right) + V_{CEO} \cdot I_{mDS1}. \quad (5.73)$$

$$P_{condDS1} = 7,70W.$$

As perdas por comutação do diodo são dadas pela equação (3.121). Substituindo, tem-se $P_{comDS1} = 0,42W$.

Assim, as perdas totais nos interruptores são dadas pela equação (5.74):

$$P_{totalS1} = (P_{onS1} + P_{condS1} + P_{offS1}) + (P_{condDS1} + P_{comDS1}). \quad (5.74)$$

$$P_{totalS1} = 17,52W.$$

Cálculo das Perdas nos Diodos

Para o mesmo diodo apresentado na Tabela 3.6, são calculadas as perdas. As perdas em condução do diodo são dadas pela equação (5.73). Assim, substituindo os valores, tem-se $P_{condD1} = 7,03W$

As perdas por comutação do diodo são dadas pela equação (3.121). Do mesmo modo, substituindo os valores, tem-se $P_{comD1} = 1,19W$.

Assim, as perdas totais no diodo são dadas pela equação :

$$P_{totalD1} = P_{condD1} + P_{comD1}. \quad (5.75)$$

$$P_{totalD1} = 8,22W.$$

Cálculo do Rendimento Teórico

Considerando as perdas teóricas calculadas, podem ser determinadas as perdas totais do conversor através da equação (5.76):

$$P_{total} = P_{totL_b} + P_{totT} + 2 \cdot P_{totalS1} + 2 \cdot P_{totalD1}. \quad (5.76)$$

$$P_{total} = 59,65W$$

O rendimento teórico do conversor em condições de plena carga pode ser calculado pela equação (5.77):

$$\eta_{teo} = \frac{P_o}{P_o + P_{total}} \cdot 100\% = 98,05\%. \quad (5.77)$$

5.6.2 Cálculo Térmico

O procedimento de cálculo térmico utilizado no item 3.6.2 para a especificação do dissipador é semelhante para o conversor de cinco níveis tipo T, onde dois dissipadores de calor são usados para colocar todos os semicondutores de potência e, em cada dissipador será colocado dois diodos e dois IGBTs. Considerando-se uma temperatura ambiente, T_a , igual a $40^\circ C$, temperatura de junção, T_j , igual a $100^\circ C$, as resistências térmicas equivalentes dos diodos e interruptores são dadas, respectivamente, por:

$$R_{theqD} = \frac{R_{thjcd} + R_{thcsD}}{2} = 0,65^\circ C / W, \quad (5.78)$$

$$R_{theqS} = \left(\frac{R_{thjcS} \cdot R_{thjcDS1}}{R_{thjcS} + R_{thjcDS1}} \right) + R_{thcsS} = 0,77^\circ C / W . \quad (5.79)$$

Sendo que, no interruptor bidirecional temos ao mesmo tempo um interruptor e um diodo conduzindo. As perdas totais nos semicondutores são dadas por (5.80):

$$P_t = P_{totalS1} + 2 \cdot P_{condD1} = 49,10W . \quad (5.80)$$

Dessa forma, a resistência térmica dissipador – ambiente é obtida a partir de (3.129):

$$T_j - T_a = \left(\frac{R_{theqD} \cdot R_{theqS}}{R_{theqD} + R_{theqS}} + R_{da} \right) \cdot P_t .$$

Resolvendo a equação (3.129) temos que:

$$R_{da} = 1,88^\circ C / W . \quad (5.81)$$

Dessa forma, mantém-se o dissipador térmico HS 10425 da *HS Dissipadores* escolhido no item 3.6.2.

5.7 Resultados de Simulação e Experimentais

Realizado o projeto do conversor de cinco níveis tipo T, parte-se para a simulação do mesmo. Seguindo os mesmos procedimentos anteriores, o programa de simulação por computador (PSIM) é utilizado a fim de comprovar o comportamento do conversor sob condições nominais de carga, bem como quando submetido a variações na carga.

A Fig. 5.17 apresenta as formas de onda da tensão e corrente de entrada. Pode-se observar que o conversor opera com alto fator de potência na entrada e baixa distorção harmônica da corrente. O valor eficaz e de pico da corrente de entrada correspondente são de 27,91A e 47,66A, respectivamente. A potência de entrada do conversor é de 3,075kVA.

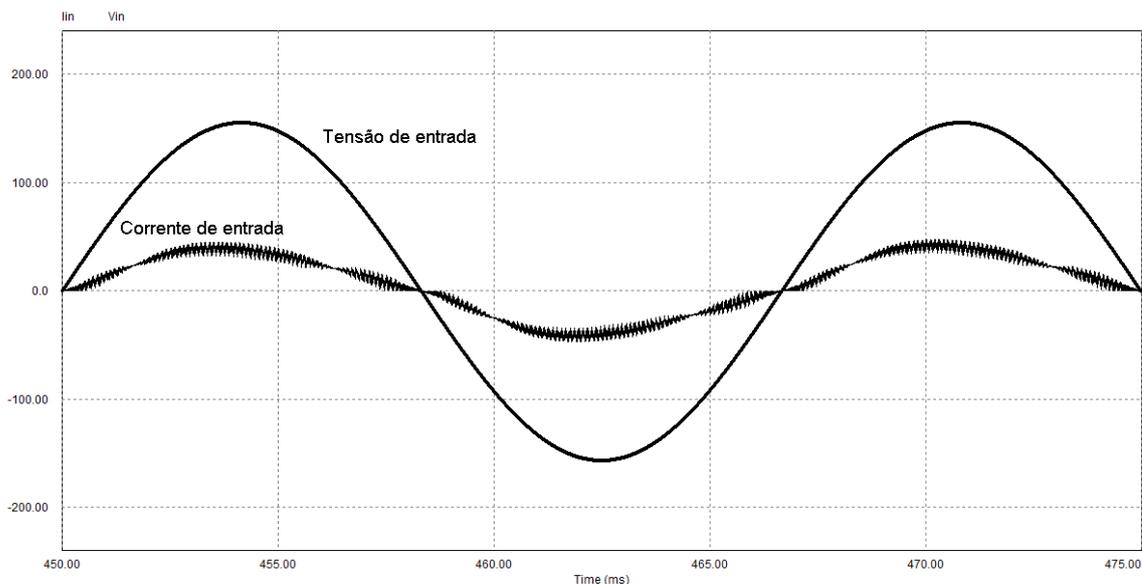


Fig. 5.17 – Formas de onda da tensão e corrente de entrada.

Na Fig. 5.18 são mostradas as formas de onda da tensão de saída em cada capacitor e no barramento total e da corrente de carga. Observa-se que a tensão possui ondulação especificada e está regulada em torno do valor médio de saída de 400V. A corrente média de saída é de 7,53A. A potência de saída é de 3,056kW.

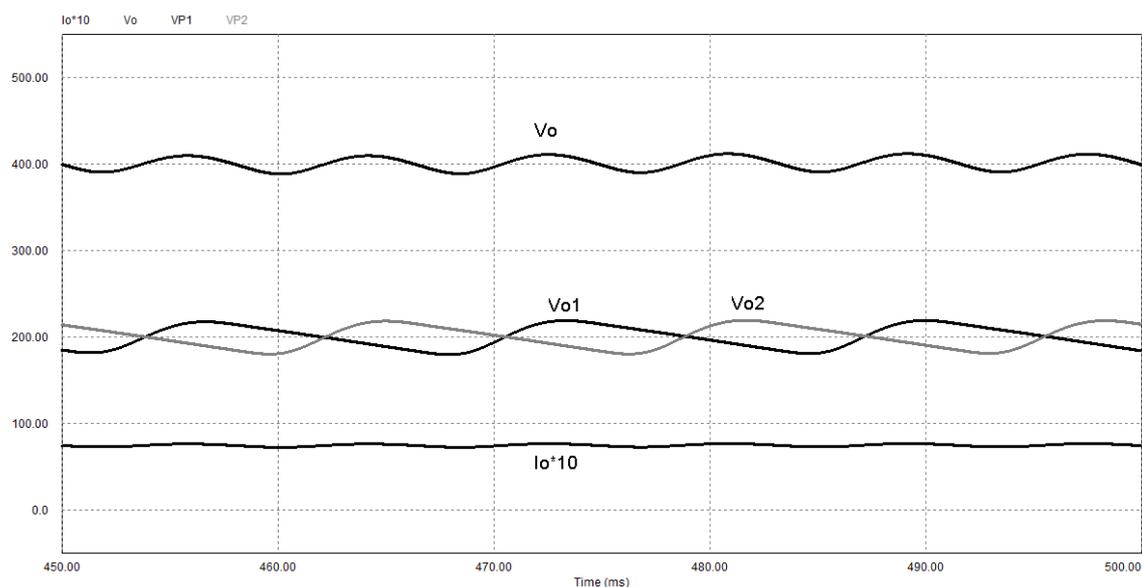


Fig. 5.18 – Formas de onda da tensão e da corrente de saída do conversor para plena carga.

A Fig. 5.19 apresenta as formas de onda da tensão e corrente no indutor na frequência da rede. Os valores da corrente eficaz e de pico do indutor são os mesmos da corrente de entrada.

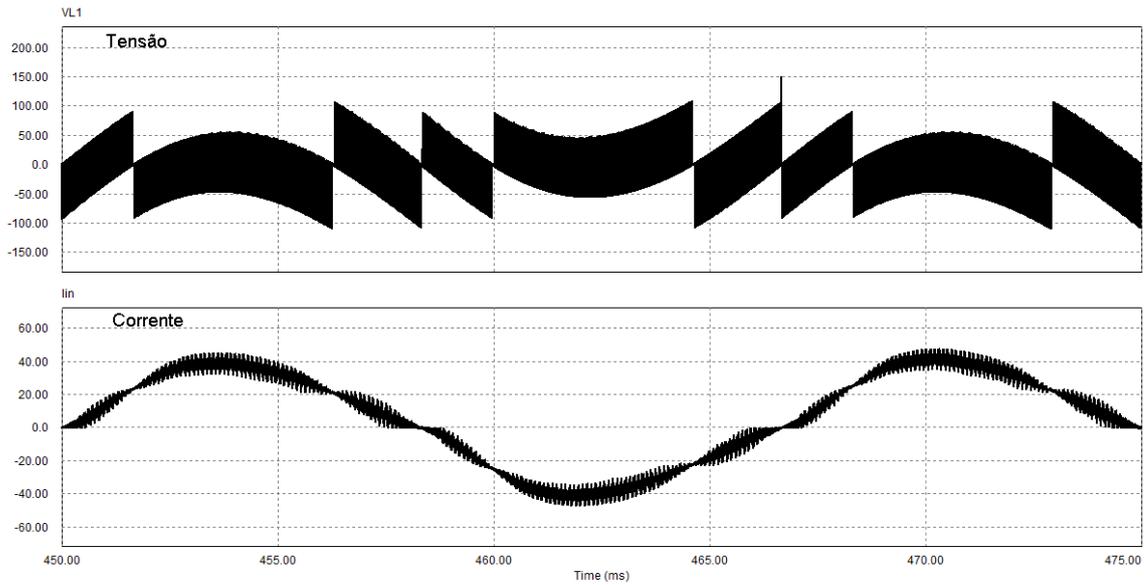


Fig. 5.19 – Formas de onda da tensão e corrente no indutor na frequência da rede.

A Fig. 5.20 apresenta as formas de onda da tensão e corrente no indutor na frequência de comutação para os modos, Fig. 5.20(a), de não-sobreposição e, Fig. 5.20(b), de sobreposição.

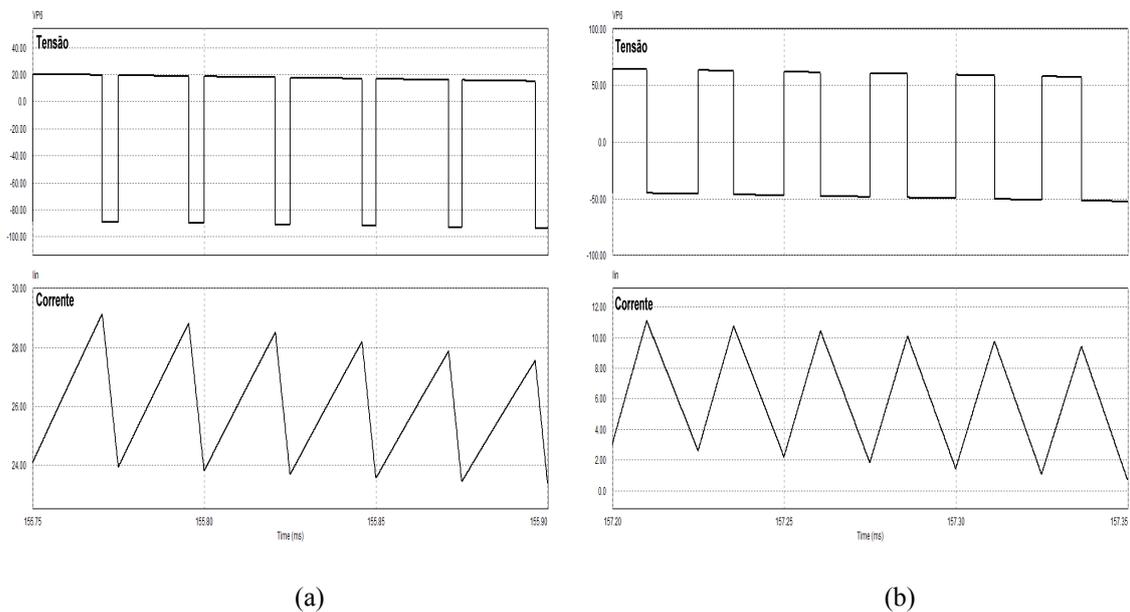


Fig. 5.20 – Formas de onda da tensão e corrente no indutor na frequência de comutação:

(a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 5.21 apresenta as formas de onda da tensão e corrente sobre o enrolamento $T1$ do autotransformador na frequência da rede. Os valores da corrente eficaz e de pico no enrolamento $T1$ são 13,95A e 23,83A, respectivamente. O valor da máxima tensão sobre o enrolamento $T1$ é de 109,66V.

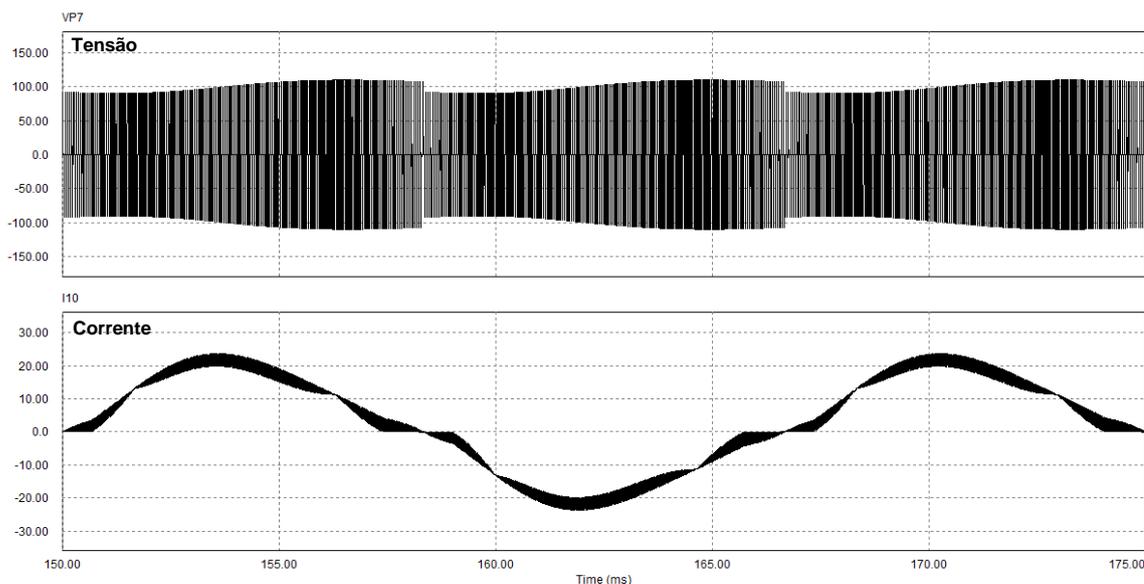


Fig. 5.21 – Formas de onda da tensão e corrente no enrolamento T1 na frequência da rede.

Na Fig. 5.22 mostram-se as formas de onda da tensão e corrente no enrolamento $T1$ na frequência de comutação para os modos, Fig. 5.22(a), de não-sobreposição e, Fig. 5.22(b), de sobreposição.

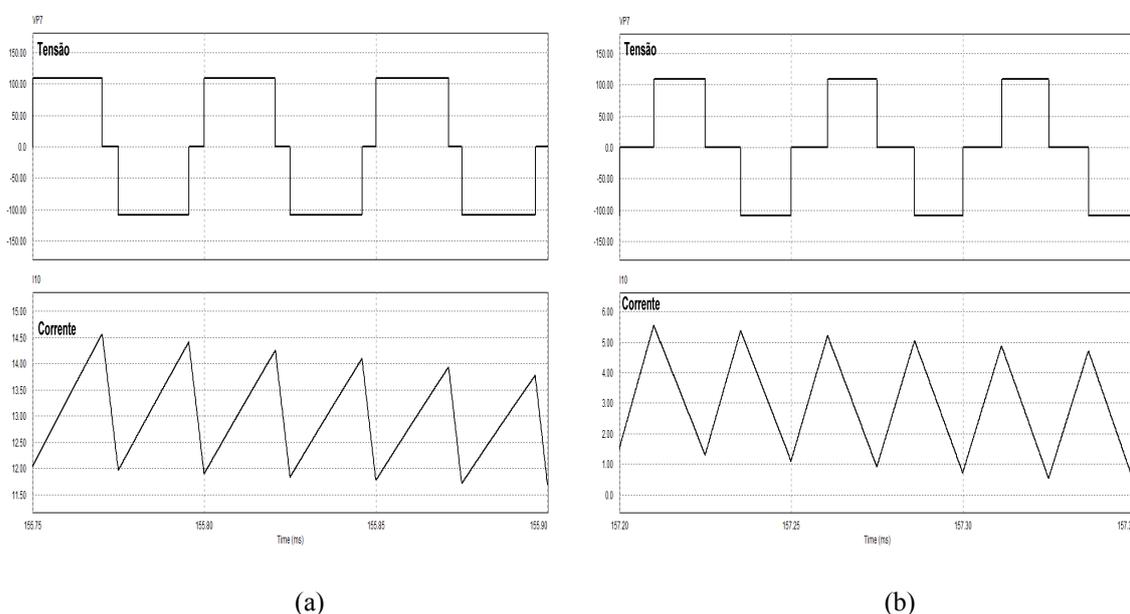


Fig. 5.22 – Formas de onda da tensão e corrente no enrolamento T1 na frequência de comutação:
(a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 5.23 apresenta as formas de onda da tensão e corrente no interruptor bidirecional $S1$ na frequência da rede. Os valores da corrente média, eficaz e de pico do interruptor $S1$ são, respectivamente, 4,58A, 8,04A e 22,6A. O valor da máxima tensão sobre o interruptor $S1$ é de 219,08V.

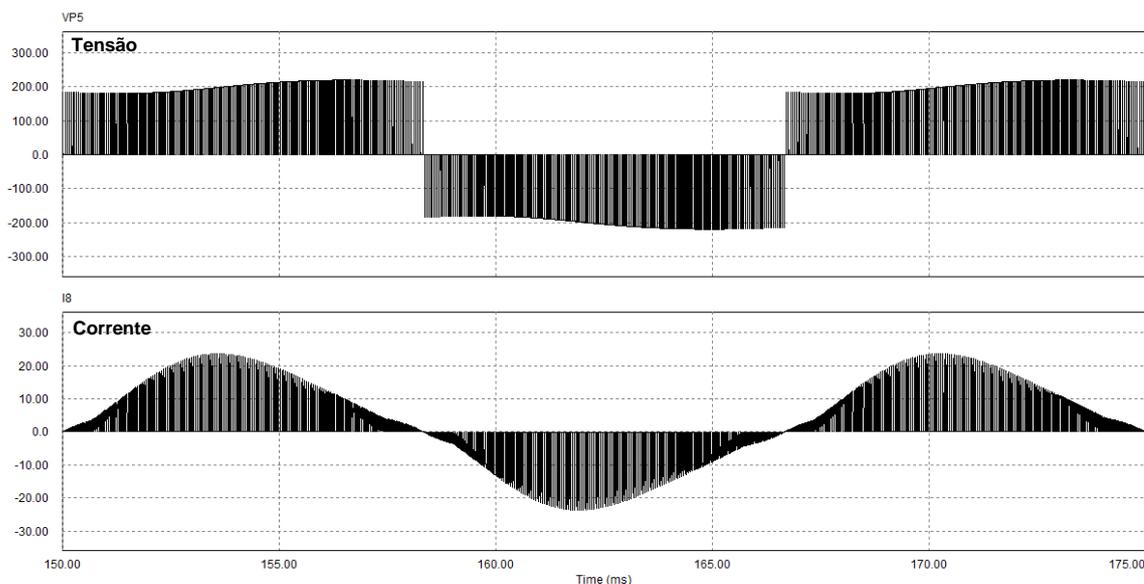


Fig. 5.23 – Formas de onda da tensão e corrente no interruptor S1 na frequência da rede.

A Fig. 5.24 apresenta as formas de onda da tensão e corrente do interruptor *SI* na frequência de comutação. A Fig. 5.24(a) para o modo de não-sobreposição, e a Fig. 5.24(b) para o modo de sobreposição.

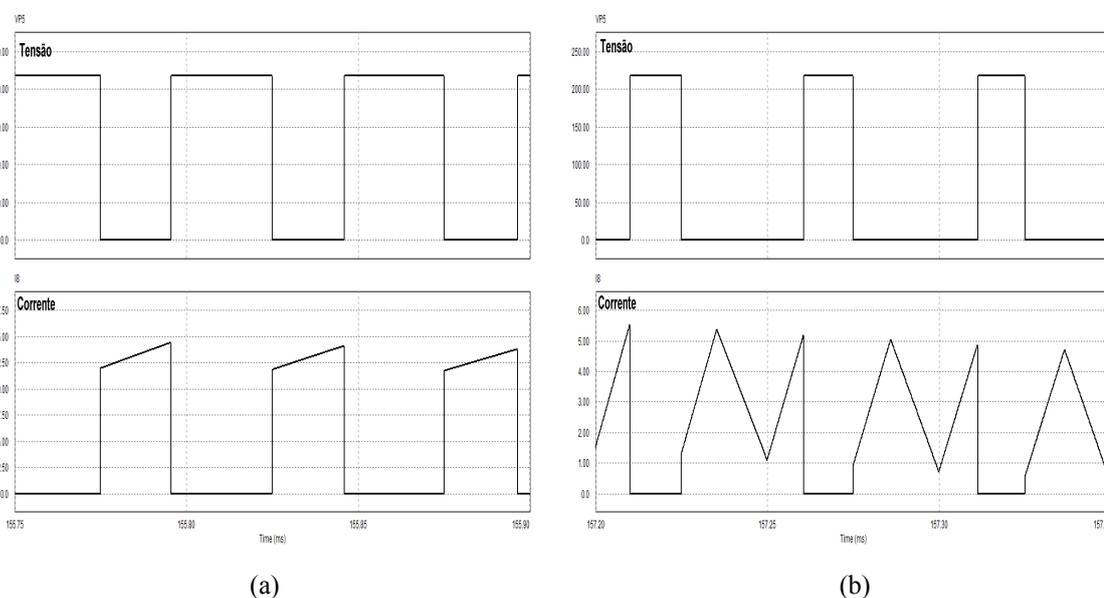


Fig. 5.24 – Formas de onda da tensão e corrente no interruptor S1 na frequência de comutação:
(a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 5.25 apresenta as formas de onda da tensão e corrente no diodo *D1* na frequência da rede. Os valores da corrente média, eficaz e de pico do diodo *D1* são, respectivamente, 3,71A, 7,47A e 23,83A. O valor da máxima tensão reversa sobre o diodo D1 é de 411,7V.

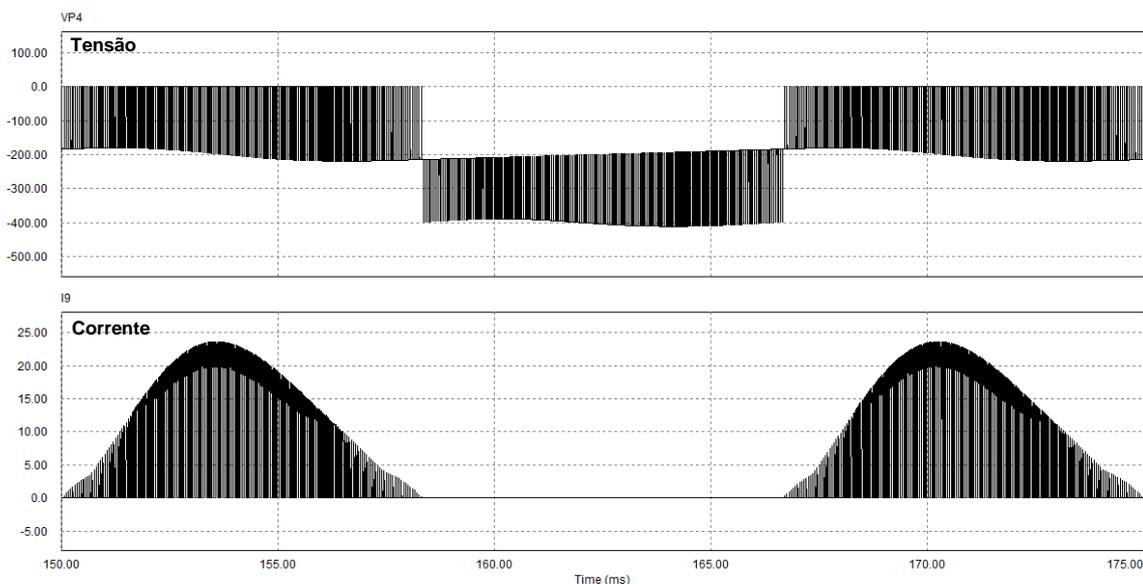


Fig. 5.25 – Formas de onda da tensão e corrente no diodo D1 na frequência da rede.

A Fig. 5.26 apresenta as formas de onda da tensão e corrente no diodo *DI* na frequência de comutação. A Fig. 5.26(a) para o modo de não-sobreposição e, a Fig. 5.26(b) para o modo de sobreposição.

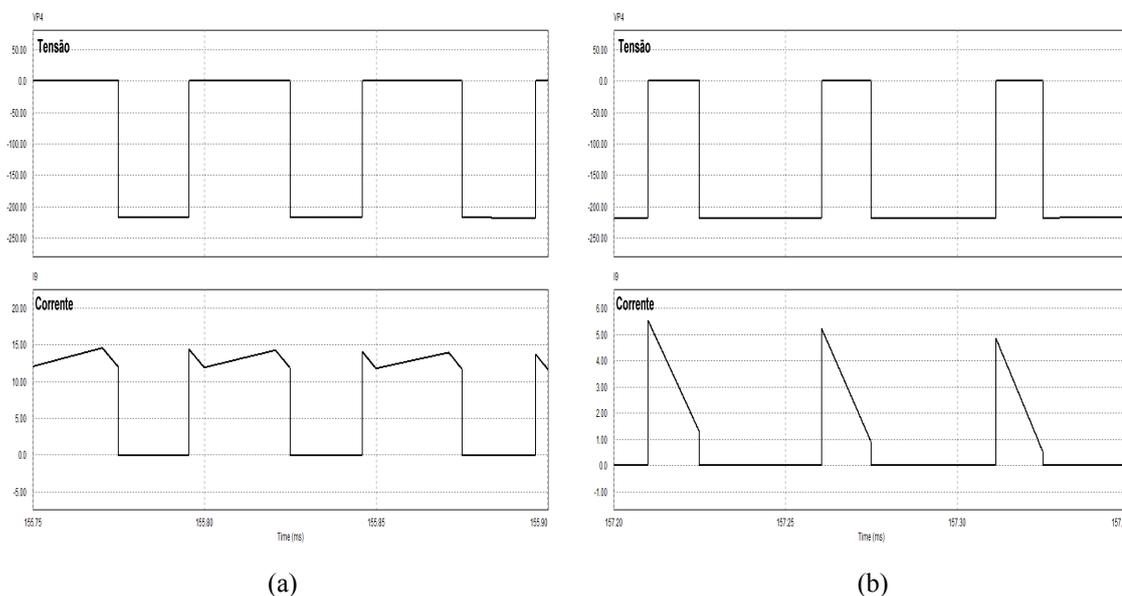


Fig. 5.26 – Formas de onda da tensão e corrente no diodo D1 na frequência de comutação:
(a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 5.27 apresenta as formas de onda das tensões de saída em cada capacitor e no barramento total e da corrente de carga quando submetida a um degrau de carga de 50% para carga nominal. Observa-se a atuação do controlador de tensão visto que o comportamento das tensões de saída é de manterem a tensão de saída especificada.

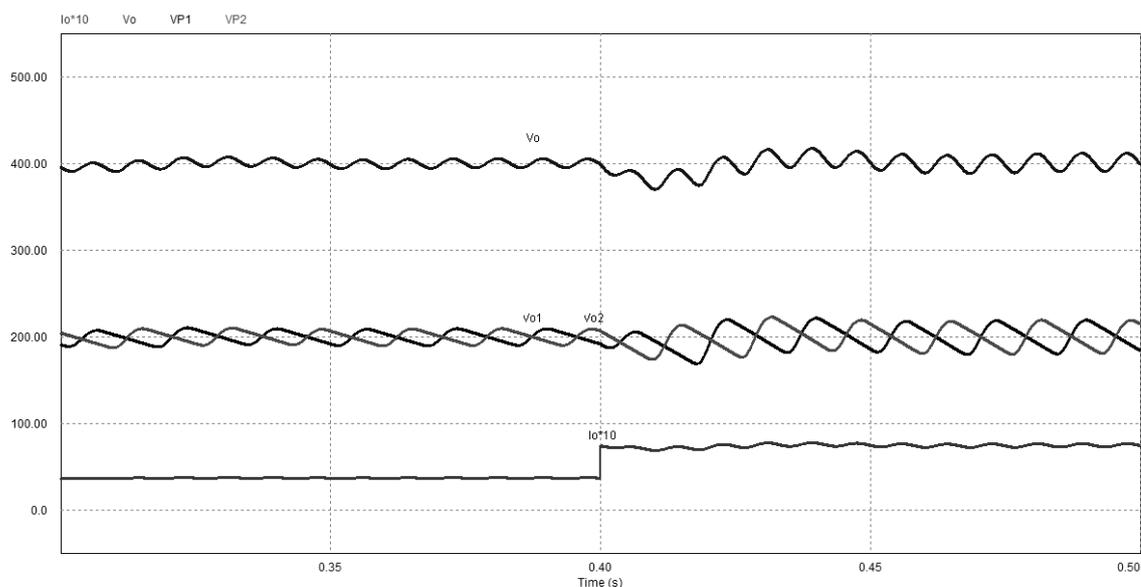


Fig. 5.27 – Formas de onda das tensões de saída e corrente de saída para um degrau de carga de 50% para carga nominal.

A Fig. 5.28 apresenta as formas de onda dos principais sinais de controle do conversor de cinco níveis: tensão amostrada do sensor de corrente ($V_{iinamost}$), tensão na saída do controlador de tensão (v_m) e tensão de controle (v_c).

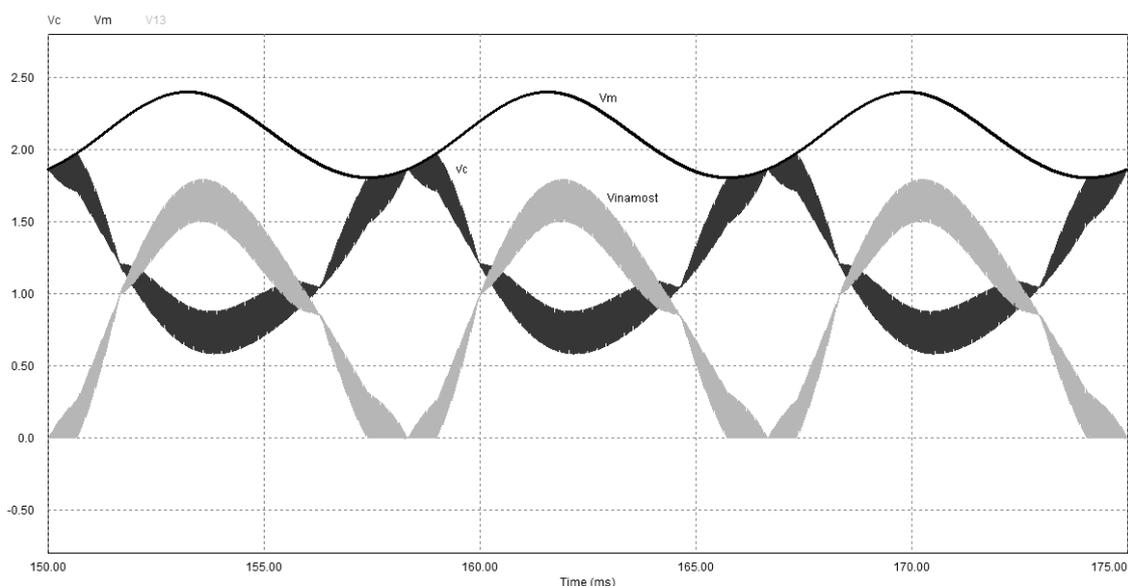


Fig. 5.28 – Formas de onda dos principais sinais de controle do retificador: v_m , v_c e $V_{iinamost}$.

Para validação do princípio de funcionamento e simulação do conversor de cinco níveis tipo T, os resultados obtidos nos ensaios de um protótipo de 3kW de potência implementado em laboratório serão apresentados a seguir. O protótipo do conversor é mostrado na Fig. 5.29.

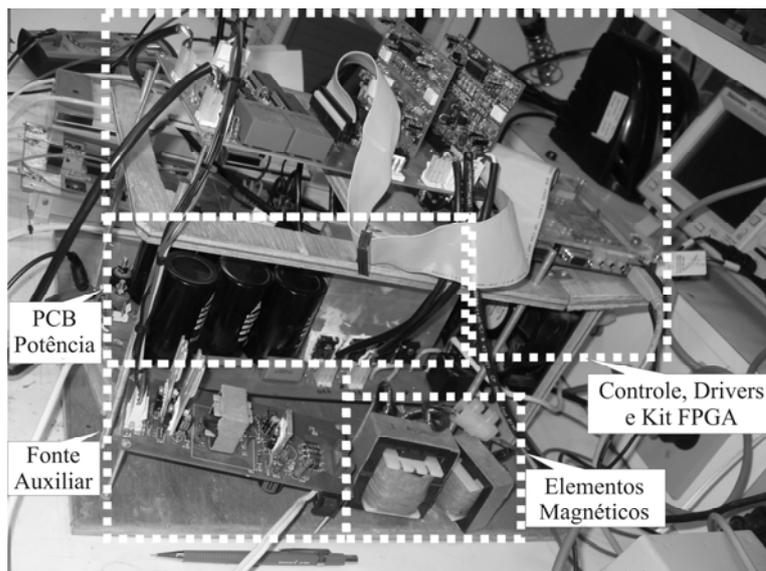


Fig. 5.29 – Vista geral do protótipo implementado em laboratório usando FPGA.

A Fig. 5.30 apresenta as formas de onda da tensão e corrente de entrada, das tensões de saída em cada capacitor e da tensão de saída total. Nota-se a correção do fator de potência que ficou com um valor de 0,9913. A corrente de entrada possui um valor eficaz de 28,07A e um valor de pico de 44,5A. A potência de entrada é de 3,088kVA.

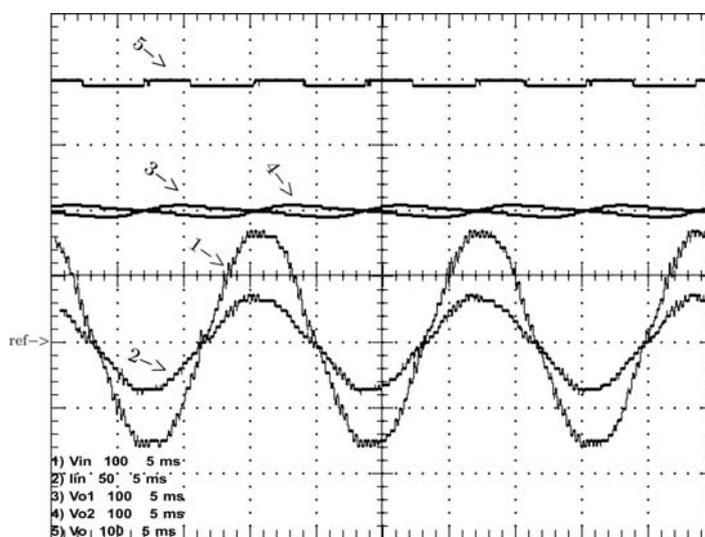


Fig. 5.30 – Resultados experimentais: 1. Tensão de entrada (100V/div); 2. Corrente de entrada (50A/div); 3. Tensão de saída V_{o1} (100V/div); 4. Tensão de saída V_{o2} (100V/div); 5. Tensão de saída total (100V/div). Tempo (5ms/div).

Nessa mesma figura, observa-se que as tensões de saída em cada capacitor estão balanceadas e reguladas nos níveis estabelecidos em projeto. A tensão total ficou regulada em um valor médio de 400V para uma corrente de carga nominal de 7,5A dando uma potência de saída nominal de 3kW.

A Fig. 5.31 apresenta o espectro harmônico da corrente de entrada para o conversor operando com carga nominal. A taxa de distorção harmônica da corrente de entrada, foi de 3,87% para um THD da tensão de entrada de 6,548%.

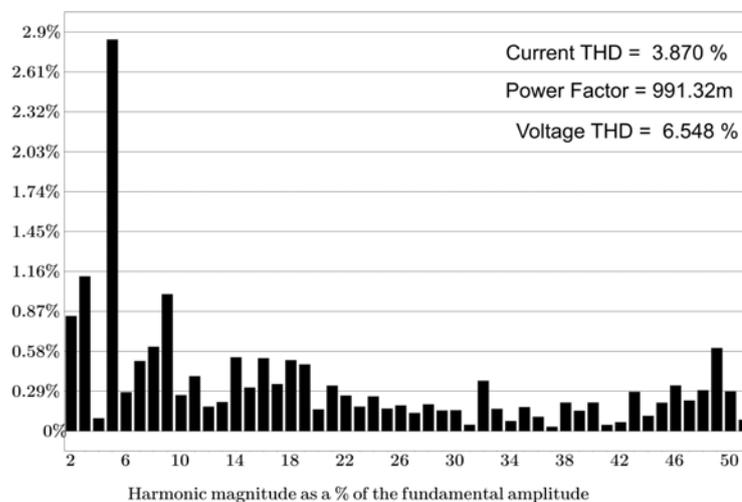


Fig. 5.31 – Espectro harmônico da corrente de entrada.

A Fig. 5.32 apresenta as formas de onda da tensão e corrente sobre o indutor L_b na frequência da rede. Os valores da corrente eficaz e de pico do indutor são os mesmos da corrente de entrada.

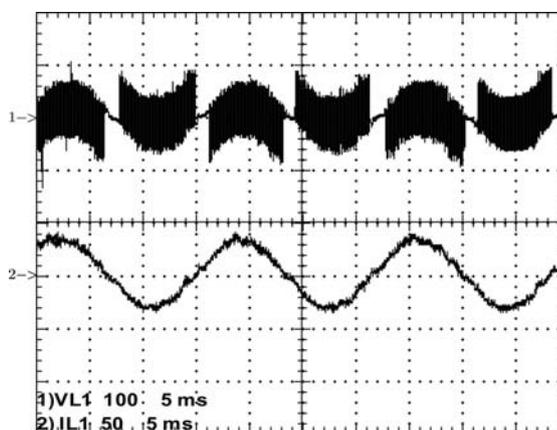


Fig. 5.32 – Formas de onda sobre L_b na frequência da rede: 1. Tensão (100V/div); 2. Corrente (50A/div); Tempo (5ms/div).

A Fig. 5.33 apresenta as formas de onda da tensão e corrente do indutor L_b na frequência de comutação, Fig. 5.33(a), para o modo de não-sobreposição e, Fig. 5.33(b), para o modo de sobreposição.

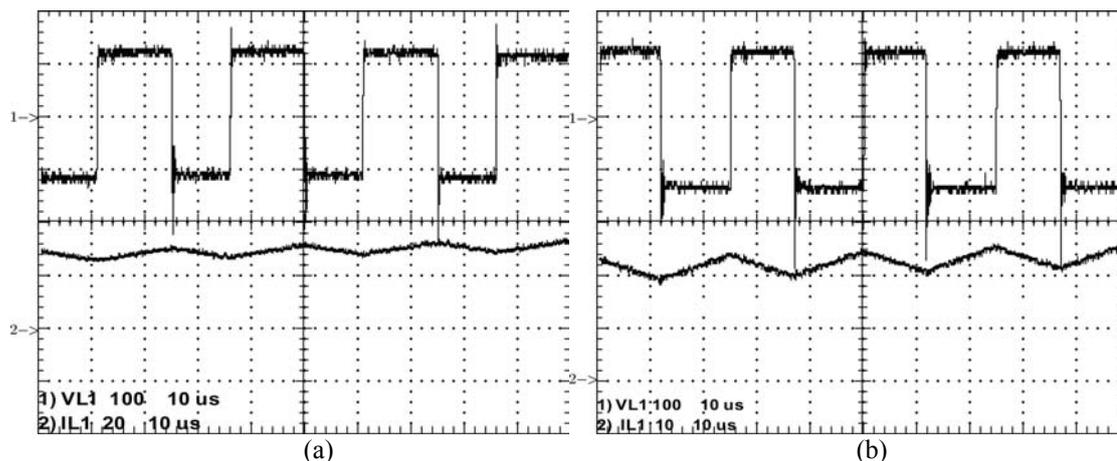


Fig. 5.33 – Formas de onda no indutor L_b na frequência de comutação: (a) modo de não-sobreposição - 1. Tensão (100V/div), 2. Corrente (20A/div), tempo (10µs/div); (b) modo de sobreposição - 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (10µs/div).

A Fig. 5.34 apresenta as formas de onda da tensão e corrente no enrolamento TI do autotransformador na frequência de comutação, Fig. 5.34(a), para o modo de não-sobreposição e, Fig. 5.34(b), para o modo de sobreposição. O valor eficaz e de pico da corrente sobre o enrolamento TI é de 14,05A e 22,4A, respectivamente.

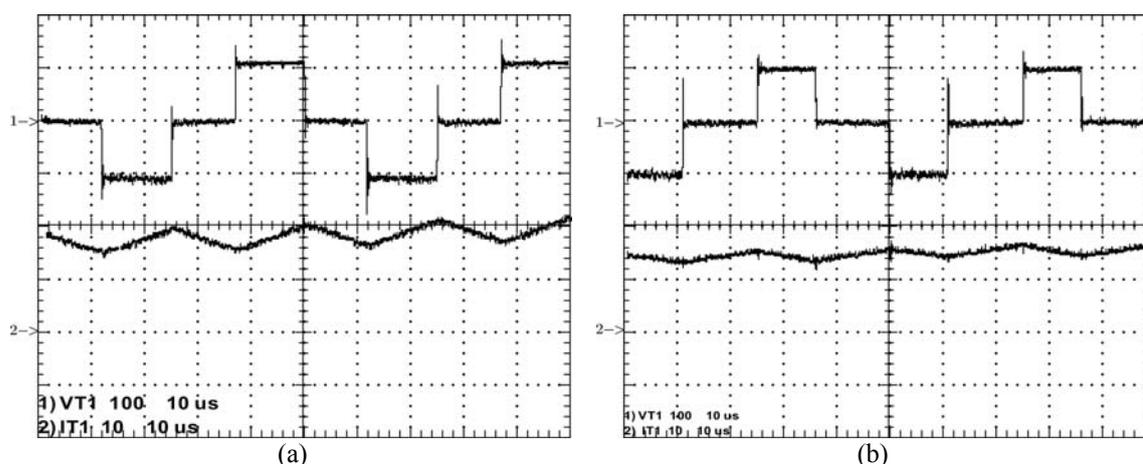


Fig. 5.34 – Formas de onda no enrolamento TI na frequência de comutação: 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (10µs/div). (a) modo de não-sobreposição; (b) modo de sobreposição.

A Fig. 5.35 apresenta as formas de onda da tensão e corrente do interruptor bidirecional SI na frequência da rede. O valor médio, eficaz e de pico da corrente sobre SI é, respectivamente, 4,7A, 7,95A e 21,3A.

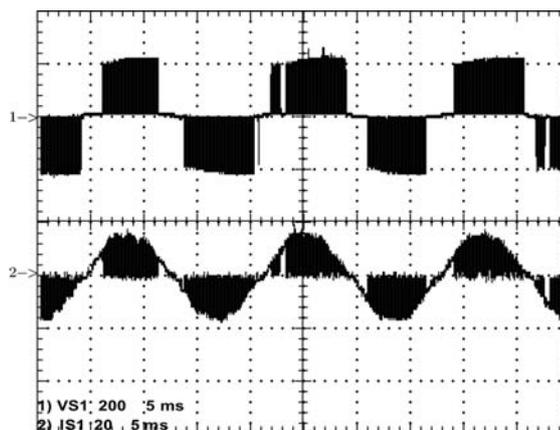


Fig. 5.35 – Formas de onda sobre *SI* na frequência da rede: 1. Tensão (200V/div); 2. Corrente (20A/div); Tempo (5ms/div).

Para a frequência de comutação são apresentadas as formas de onda da tensão e corrente de *SI*, para o modo de não-sobreposição e para o modo de sobreposição na Fig. 5.36.

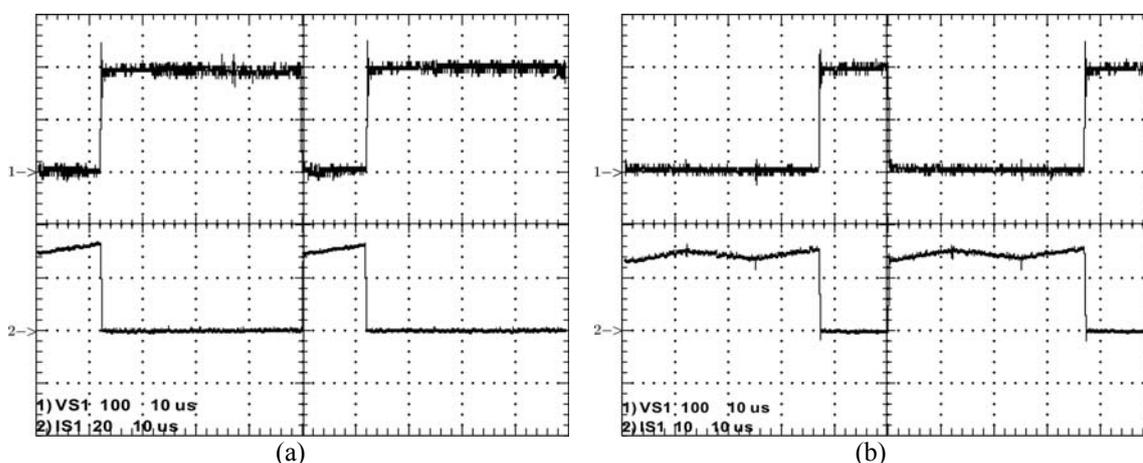


Fig. 5.36 – Formas de onda no interruptor *SI* na frequência de comutação: (a) modo de não-sobreposição - 1. Tensão (100V/div), 2. Corrente (20A/div), tempo (10µs/div); (b) modo de sobreposição - 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (10µs/div).

Os detalhes da comutação podem ser vistos na Fig. 5.37(a) para o acionamento do interruptor e na Fig. 5.37(b) para o bloqueio do interruptor.

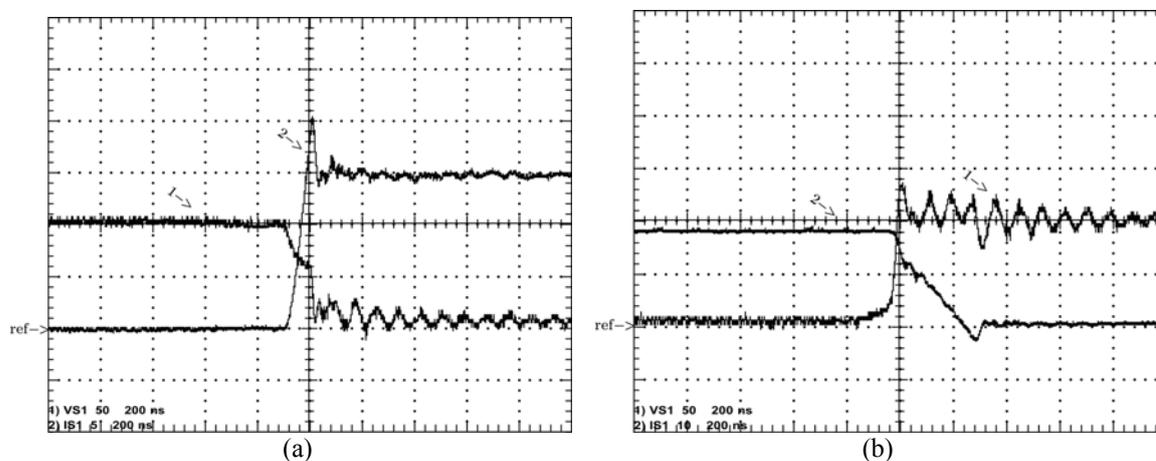


Fig. 5.37 – Detalhe da comutação (a) no acionamento do interruptor (50V/div, 5A/div); (b) no bloqueio do interruptor (50V/div, 10A/div). Tempo (200ns/div).

A Fig. 5.38 apresenta as formas de onda da tensão e corrente do diodo *DI* na frequência da rede. O valor médio, eficaz e de pico da corrente sobre *DI* é, respectivamente, 3,8A, 7,7A e 21,1A.

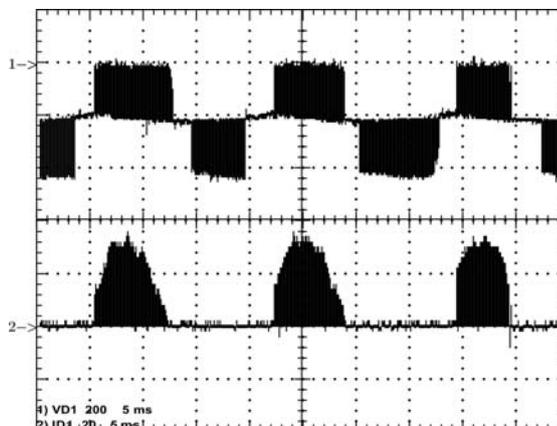


Fig. 5.38 – Formas de onda sobre *DI* na frequência da rede: 1. Tensão (200V/div); 2. Corrente (20A/div); Tempo (5ms/div).

A Fig. 5.39 apresenta as formas de onda da tensão e corrente do diodo *DI* na frequência de comutação, Fig. 5.39(a), para não-sobreposição e, Fig. 5.39(b), para sobreposição.

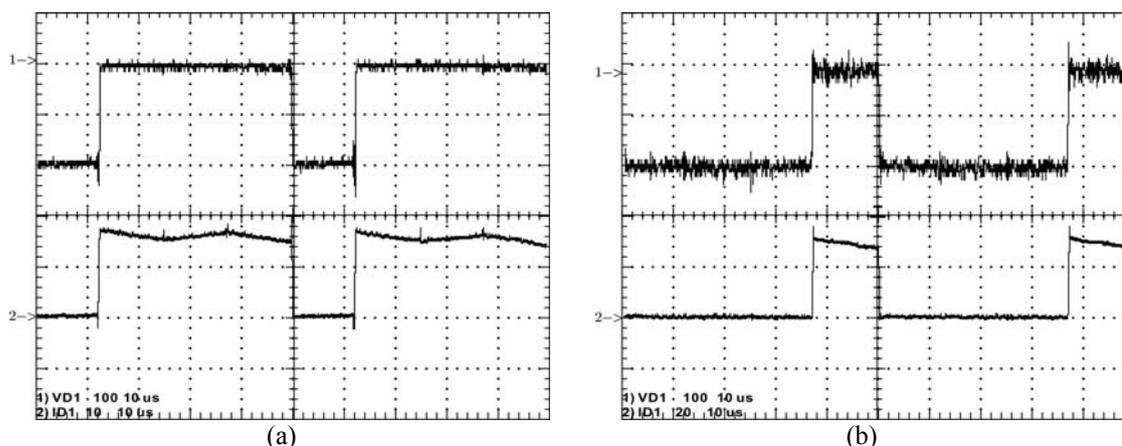


Fig. 5.39 – Formas de onda no diodo *DI* na frequência de comutação: (a) modo de não-sobreposição - 1. Tensão (100V/div), 2. Corrente (10A/div), tempo (10µs/div); (b) modo de sobreposição - 1. Tensão (100V/div), 2. Corrente (20A/div), tempo (10µs/div).

Os detalhes de comutação do diodo podem ser observados na Fig. 5.40(a) para o acionamento e, na Fig. 5.40(b) para o bloqueio do diodo, onde para ambas as figuras, a tensão no diodo foi invertida para uma melhor visualização das perdas.

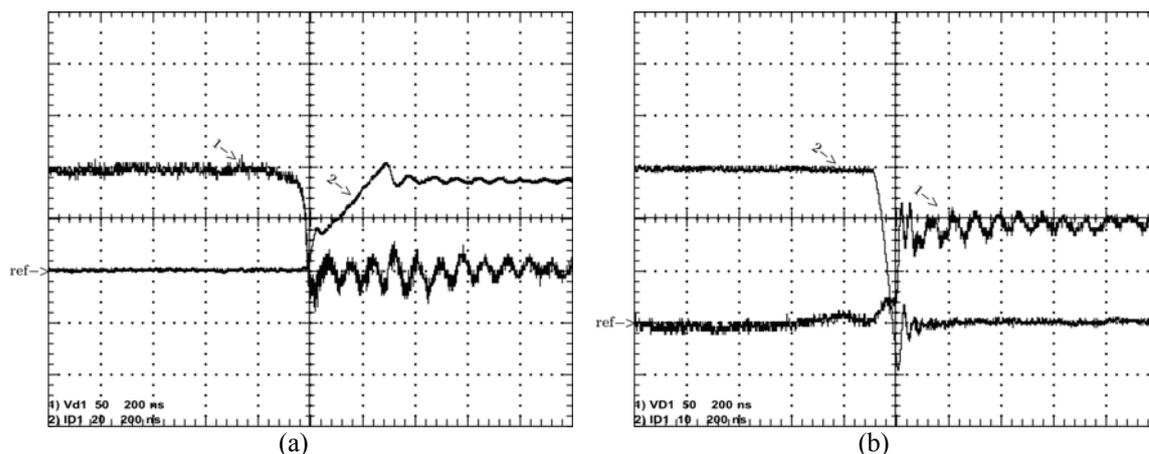


Fig. 5.40 – Detalhe da comutação (a) no acionamento do diodo (50V/div, 20A/div); (b) no bloqueio do interruptor (50V/div, 10A/div). Tempo (200ns/div).

A Fig. 5.41 apresenta as formas de onda das tensões de saída em cada capacitor e no barramento total e a corrente de carga para um degrau de carga de 50% para a carga nominal. Percebe-se nesta figura a atuação do controlador digital de tensão, onde as tensões mantêm a regulação da tensão de saída especificada.

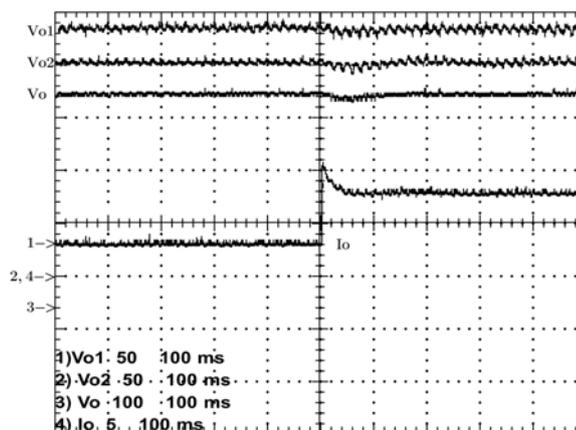


Fig. 5.41 – Formas de onda das tensões de saída em cada capacitor, no barramento total e corrente de carga para um degrau de carga de 50% para carga nominal (50V/div, 50V/div, 100V/div, 5A/div, 100ms/div).

A Fig. 5.42 apresenta os principais sinais de controle do conversor de cinco níveis tipo T, semelhante aos demais conversores. Como pode ser visto na figura, os sinais de controle se comportam de forma semelhante ao apresentado na simulação.

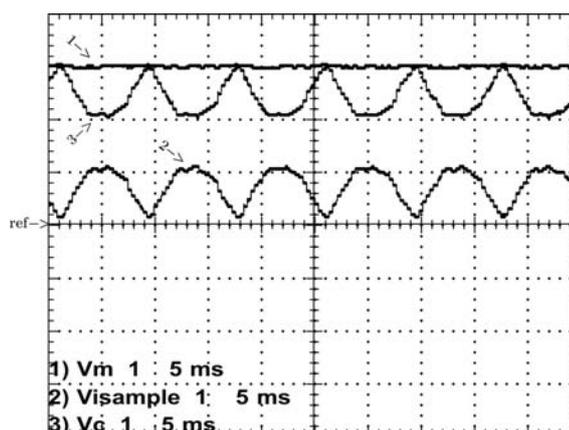


Fig. 5.42 – Formas de onda dos principais sinais de controle do conversor: v_m , v_{sample} e v_c .
 (1V/div, 1V/div, 1V/div, 5ms/div).

Na Fig. 5.43 tem-se a curva de rendimento do conversor sem levar em consideração a alimentação da fonte auxiliar e da placa de desenvolvimento do FPGA. Percebe-se um rendimento sempre superior a 95%, a partir de 1kW, com um rendimento para plena carga de 97,18%.

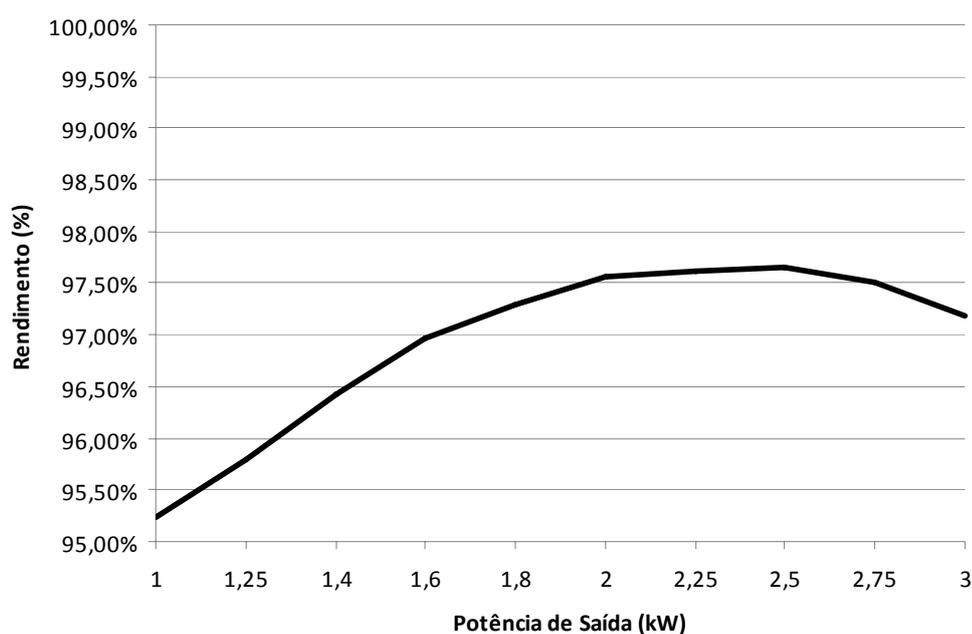


Fig. 5.43 – Curva de rendimento do conversor de cinco níveis.

5.8 Conclusões

Neste capítulo apresentou-se a análise qualitativa e quantitativa, modelagem dinâmica, exemplo de projeto e resultados de simulação e experimental de um protótipo de 3kW do conversor de cinco níveis tipo T.

De toda a análise realizada podem-se fazer as seguintes conclusões:

- O conversor também pode ser modelado como sendo um conversor *boost* clássico;
- Como os demais conversores, através dos resultados experimentais verificou-se um elevado fator de potência e se mantiveram equilibradas e reguladas as tensões de saída, mesmo em condição de degrau de carga;
- Com a implementação da célula de comutação tipo T, os esforços de corrente nos semicondutores foram divididos como no conversor de cinco níveis intercalado resultando na diminuição das perdas por condução, e conseqüentemente, elevando o rendimento chegando a 97,18% na potência nominal;
- O THD da corrente de entrada se mostrou abaixo dos 5% normalmente aceitáveis, sendo o conversor com melhores resultados neste quesito.

CAPÍTULO 6

ANÁLISE COMPARATIVA DE DESEMPENHO DOS TRÊS CONVERSORES CA-CC MONOFÁSICOS ESTUDADOS

6.1 Introdução

Após serem apresentados os três conversores CA-CC monofásicos objetos de estudo desta tese, o conversor de três níveis convencional e os conversores de cinco níveis intercalado e tipo T, uma análise comparativa de desempenho desses três conversores é apresentada neste capítulo.

Essa análise levará em conta os seguintes quesitos: comparativo dos principais parâmetros dos conversores; comparativo de rendimento; comparativo de peso e volume dos magnéticos; e, comparativo do desempenho dinâmico dos conversores.

6.2 Análise dos Principais Parâmetros dos Conversores

A Tabela 6.1 apresenta os parâmetros de projeto dos três conversores. Destes dados destaca-se que o valor do capacitor de saída é o mesmo para os três conversores. Entretanto, o valor da indutância é bem diferente para as três topologias. O maior valor é o do conversor de três níveis convencional, seguido do conversor de cinco níveis intercalado que possui dois indutores com a metade do valor da indutância do conversor de três níveis convencional, ou seja, somando os dois indutores tem-se o mesmo resultado e, por fim, o conversor de cinco níveis tipo T possui o menor valor, praticamente a metade do valor da indutância do conversor intercalado, devido ao seu indutor operar com o dobro da frequência de comutação.

Tabela 6.1 – Parâmetros de projeto.

Parâmetros	Três níveis Convencional	Cinco níveis Intercalado	Cinco níveis tipo T
Tensão de entrada	110Vca	110Vca	110Vca
Tensão de saída	400Vdc	400Vdc	400Vdc
Potência de saída	3kW	3kW	3kW
Freq. de comutação	20kHz	20kHz	20kHz
Capacitor	1360 μ F	1360 μ F	1360 μ F
Indutor	308 μ H	155 μ H	80 μ H

A seguir, apresentam-se novamente na Fig. 6.1 as topologias dos conversores na forma em que os mesmos foram implementados. Observa-se que todos os conversores possuem o mesmo número de semicondutores (diodos e IGBTs) para que se tente realizar uma análise comparativa em condições de igualdade entre as topologias. Dessa forma, para a construção dos protótipos, utilizou-se a mesma placa de circuito impressa, ou PCB (do inglês, *Printed Circuit Board*) e a mesma PCB de controle. A diferença na implementação das topologias é que para o conversor de três níveis convencional foi necessário realizar uma conexão deixando em paralelo os diodos e interruptores e, no PCB de controle, o mesmo sinal de gatilho do IGBT foi enviado para os dois circuitos de *drivers*, enquanto que para os demais conversores eram enviados dois sinais de gatilho defasados entre si de 180° . Os protótipos montados em laboratório são rerepresentados na Fig. 6.2. Percebe-se então que, no que diz respeito à estrutura dos conversores, a principal diferença entre os conversores se dá na quantidade e na construção dos elementos magnéticos. Assim, o conversor de três níveis possui apenas um indutor, porém bastante volumoso, o conversor intercalado possui dois indutores e o conversor tipo T possui um indutor que opera com o dobro da frequência de comutação com um volume reduzido e um autotransformador.

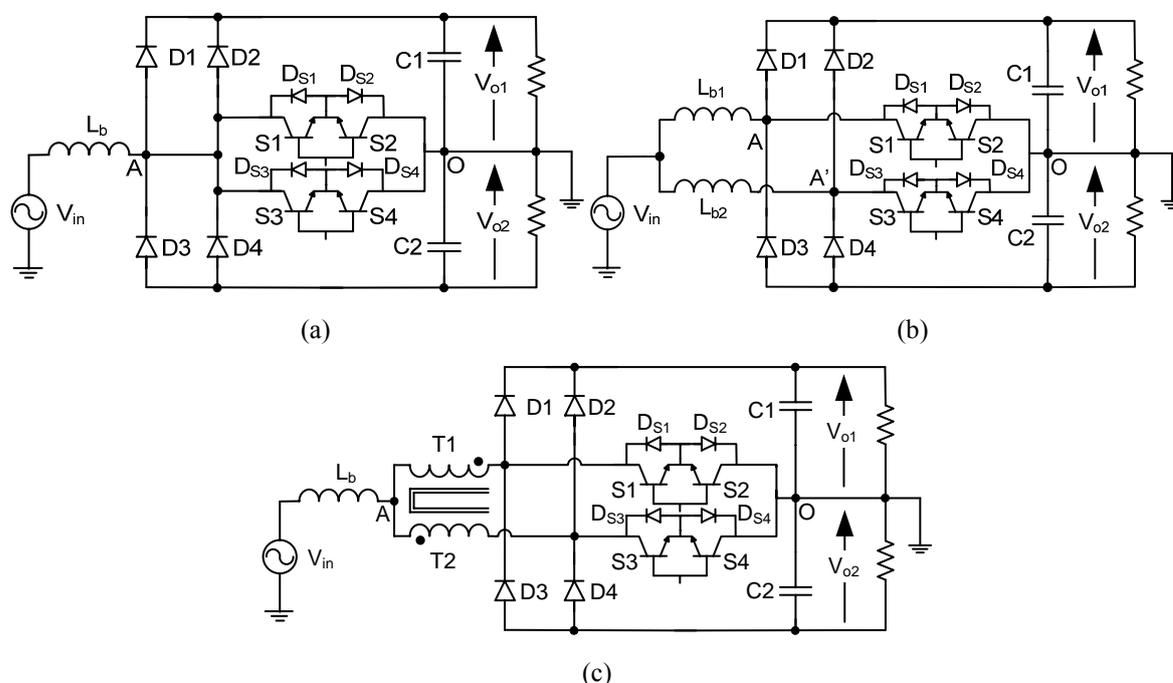


Fig. 6.1 – Topologias dos conversores: (a) três níveis convencional; (b) cinco níveis intercalado; (c) cinco níveis tipo T.

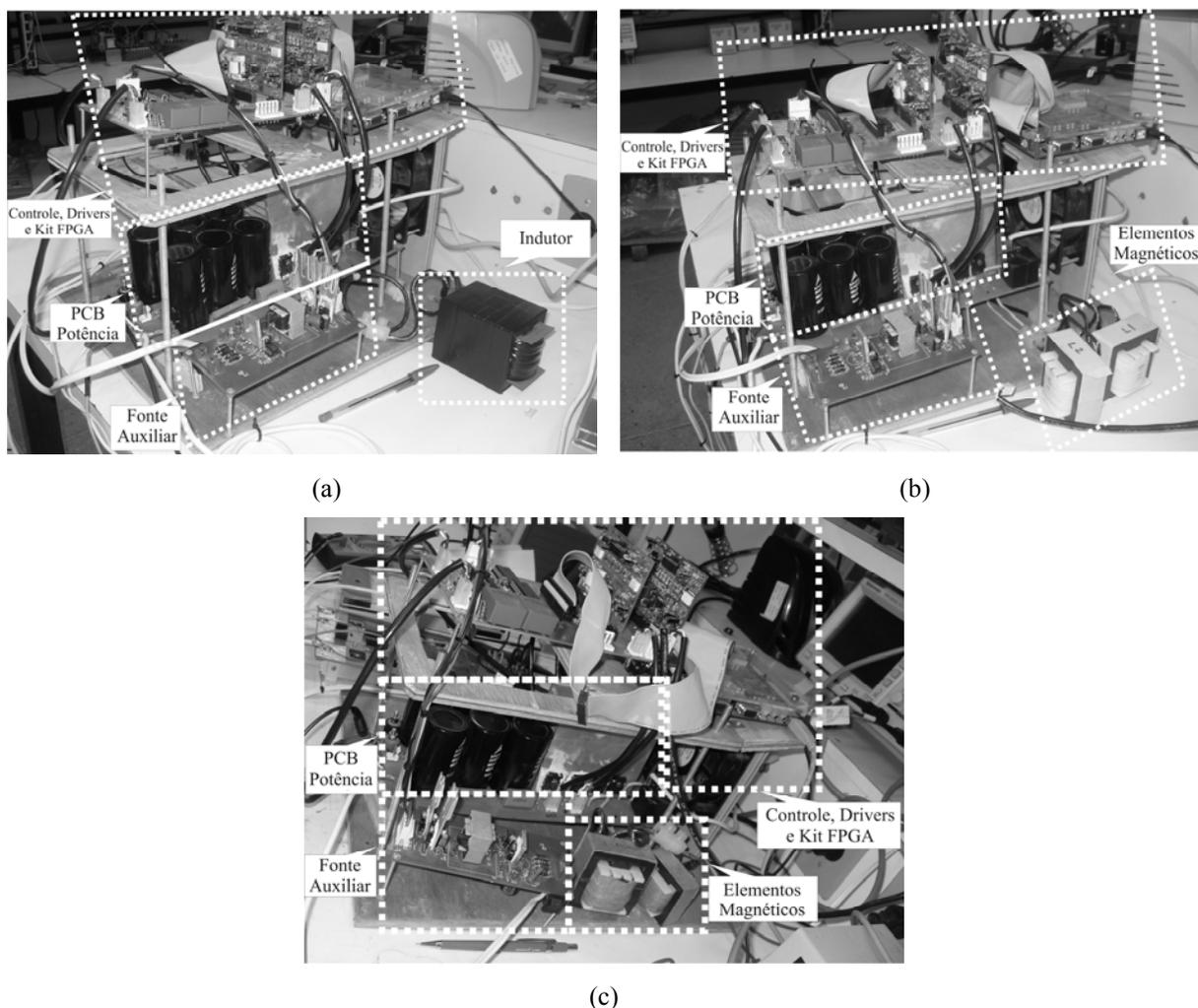


Fig. 6.2 – Protótipos dos conversores: (a) três níveis convencional; (b) cinco níveis intercalado; (c) cinco níveis tipo T.

Uma análise comparativa dos esforços de corrente dos conversores estudados nesta tese é apresentada na Tabela 6.2 com os resultados teóricos, de simulação e experimental obtidos em todos os conversores para carga nominal.

Tabela 6.2 – Comparativa entre os resultados teóricos, de simulação e experimentais obtidos entre todos os conversores.

Esforços de Corrente (A)	Três níveis Convencional			Cinco níveis Intercalado			Cinco níveis tipo T		
	Teórico	Simul.	Exper.	Teórico	Simul.	Exper.	Teórico	Simul.	Exper.
I_{inef}	28,71	27,82	28,81	28,12	28,84	28,00	28,12	27,91	28,07
I_{inpk}	40,60	47,42	45,00	39,76	54,36	39,60	39,76	47,66	44,50
I_{Lef}	28,71	27,82	28,81	14,06	14,42	14,00	28,12	27,91	28,07
I_{Lpk}	40,60	47,42	45,00	19,88	27,18	19,80	39,76	47,66	44,50
I_{Smd}	10,06	8,03	8,00	4,93	4,80	5,10	4,92	4,58	4,70
I_{Sef}	16,73	15,28	15,40	8,19	8,69	8,90	8,19	8,04	7,95
I_{Spk}	40,60	46,58	45,00	19,88	27,16	19,80	39,76	22,60	21,30
I_{Dmd}	7,90	9,92	9,60	3,87	3,75	3,90	3,87	3,71	3,80
I_{Def}	11,66	18,74	18,60	8,08	8,29	8,40	11,42	7,47	7,70
I_{Dpk}	40,60	46,75	45,00	19,88	27,18	19,80	39,76	23,83	21,10

Uma observação a ser feita dos resultados apresentados na Tabela 6.2 é que para o conversor de três níveis convencional os resultados apresentados para as correntes experimentais dos semicondutores foram dobradas, já que foram utilizados dois semicondutores em paralelo no interruptor e diodos.

Analisando estes resultados observa-se que os conversores de cinco níveis intercalado e tipo T se equivalem neste quesito possuindo os melhores resultados de esforços de corrente, sendo praticamente a metade dos esforços de corrente obtidos no conversor de três níveis convencional, devido ao fato de que nestes conversores os esforços de corrente são divididos.

Na Tabela 6.3 é apresentado o desempenho dos conversores considerando o fator de potência e as THD de tensão e corrente de entrada. Quanto ao fator de potência, todos os conversores apresentaram um bom desempenho, sempre próximos a unidade, utilizando o mesmo sistema de controle, onde o conversor de cinco níveis tipo T obteve o melhor desempenho. Quanto a THD da corrente de entrada, o conversor de cinco níveis intercalado apresentou um pior desempenho. Este resultado pode ser atribuído ao modo como a corrente é amostrada, ou seja, na soma das correntes dos indutores, onde, um desbalanço nas correntes dos indutores pode acontecer por conta das características construtivas dos indutores. Teoricamente, seria melhor a corrente ser amostrada individualmente em cada indutor para melhores resultados. Porém, neste caso, o custo do conversor se eleva com a inserção de mais um sensor de corrente. Quanto a THD da tensão de entrada, é apresentada apenas para indicar como estava a tensão de entrada no momento em que os resultados foram obtidos. Assim, pode-se verificar que o conversor de cinco níveis tipo T apresentou um ótimo resultado neste quesito pois, apresentou o pior THD para tensão de entrada e, no entanto, possui o melhor THD da corrente de entrada.

Tabela 6.3 – Desempenho dos conversores.

Parâmetros	Três níveis Convencional	Cinco níveis Intercalado	Cinco níveis tipo T
Fator de potência	98,77%	98,64%	99,13%
THD tensão	3,47%	4,15%	6,55%
THD corrente	6,05%	6,76%	3,87%

6.3 Análise do Rendimento

As curvas de rendimento dos três conversores são apresentadas na Fig. 6.3 até a potência nominal. Os conversores de cinco níveis intercalado e tipo T possuem os melhores desempenhos com rendimentos finais acima de 97% enquanto que o conversor de três níveis convencional tem o pior rendimento, pouco inferior a 95%. Percebe-se que, entre os conversores de cinco níveis, praticamente inexitem diferenças em todas as faixas de potência, sendo uma diferença mínima no final entre o conversor intercalado e o tipo T: 0,03%. Esta pequena diferença pode ser explicada pelo fato de as perdas no indutor do conversor de cinco níveis tipo T serem maiores que no conversor de cinco níveis intercalado devido a este indutor operar com o dobro da frequência de comutação elevando as perdas magnéticas no núcleo de ferrite do indutor.

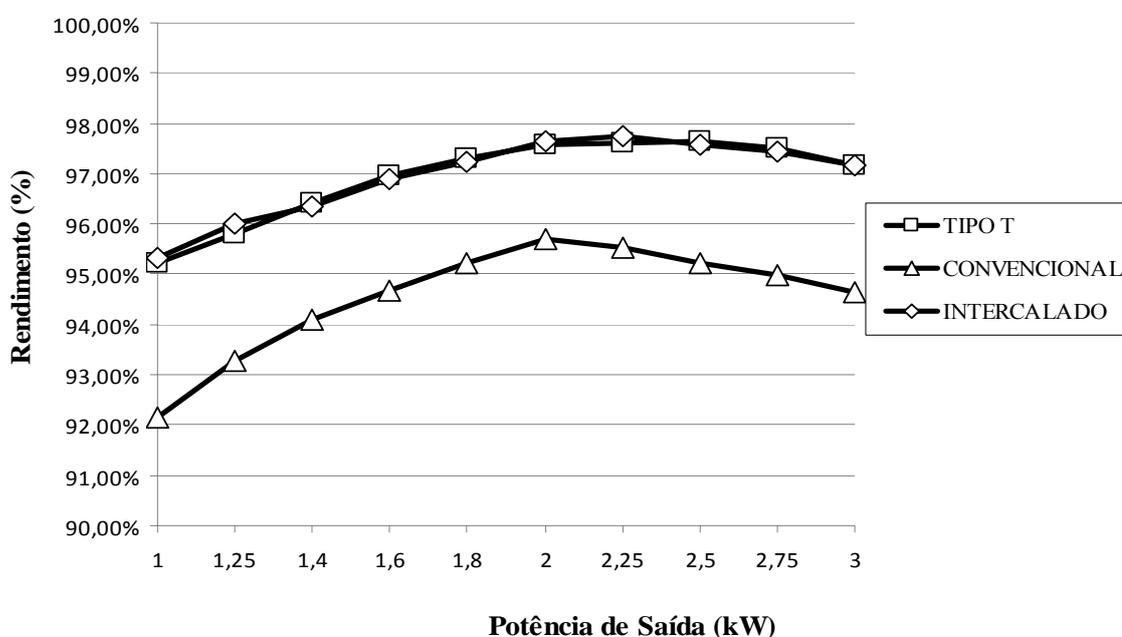


Fig. 6.3 – Curvas de rendimento dos três conversores estudados.

O elevado rendimento dos conversores de cinco níveis deve-se ao fato dos dois conversores terem suas correntes divididas, resultando em reduzidos esforços nos semicondutores, enquanto que no conversor de três níveis convencional, toda a corrente principal circula através dos seus semicondutores, acarretando altas perdas e esforços nos semicondutores. Para ilustrar essas afirmações, a Fig. 6.4 apresenta uma comparação das perdas teóricas calculadas em cada dispositivo (elementos magnéticos, interruptores e diodos) para os três conversores.

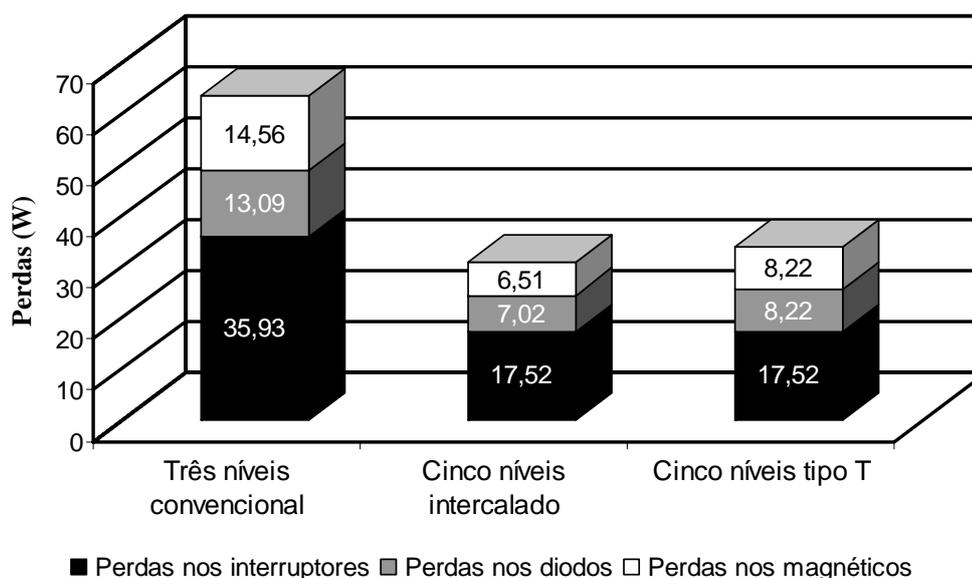


Fig. 6.4 – Comparação das perdas nos três conversores estudados.

6.4 Análise do Peso e Volume

Como já foi dito, para a implementação dos três conversores foi utilizada a mesma PCB de potência. Portanto, neste quesito, a diferença entre as topologias se dá no peso e volume dos elementos magnéticos. A Tabela 6.4 e a Fig. 6.5 apresentam a comparação do volume total dos elementos magnéticos e do peso dos três conversores. Para melhorar a visualização na Fig. 6.5, o peso foi dado em gramas e dividido por dez.

Tabela 6.4 – Comparativa entre os pesos e volumes dos elementos magnéticos dos conversores.

	Núcleos utilizados	Peso total (kg)	Volume total (cm ³)	Ganho de peso (%)	Ganho de vol. (%)
Três níveis convencional	2x NEE – 65/33/39	1,725	210,33	-	-
Cinco níveis intercalado	2x NEE – 65/33/26	1,250	144,66	38 (3N)	45,39 (3N)
Cinco níveis tipo T	1x NEE – 65/33/26 1x NEE – 55/28/21	1,060	114,83	62,74 (3N) 17,92 (5NI)	83,17 (3N) 25,97 (5NI)

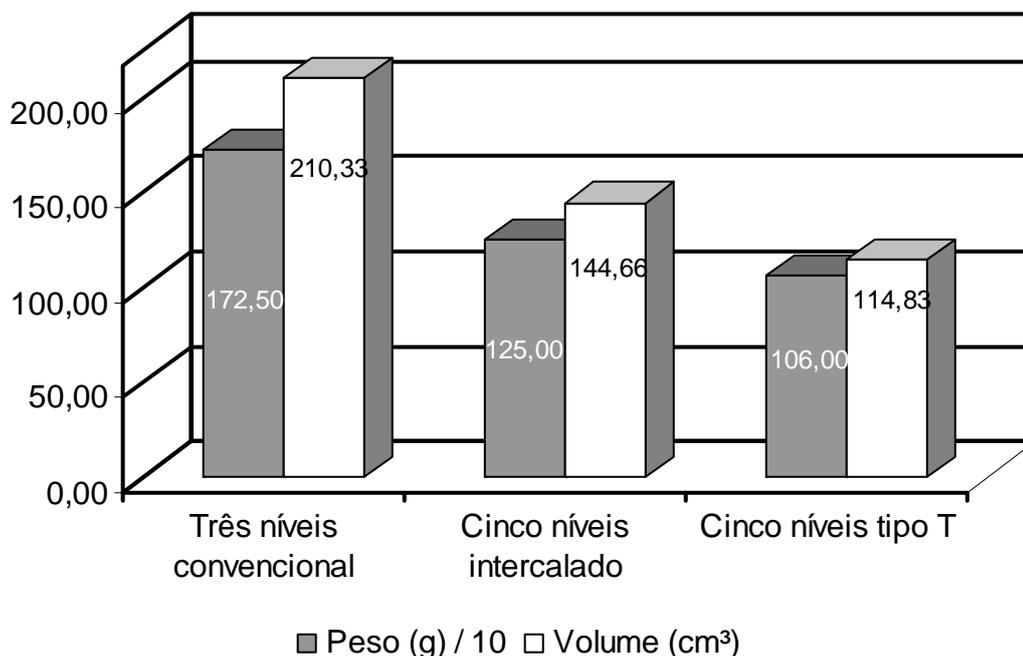


Fig. 6.5 – Comparação do volume total nos elementos magnéticos e peso nos três conversores.

Observando os valores da Tabela 6.4 e a Fig. 6.5, nota-se que o conversor de cinco níveis tipo T é o que possui o menor volume e peso dentre os três conversores, mesmo adicionando-se um autotransformador à topologia, enquanto que os demais possuem apenas indutores. Este fato se dá, mais uma vez, pelo fato do indutor do conversor operar com o dobro da frequência de comutação. Seu ganho de volume chega a ser de 83,17% se comparado ao volume do indutor do conversor de três níveis e de 25,97% se comparado aos indutores do conversor de cinco níveis intercalado. Já o conversor de cinco níveis intercalado possui um ganho de 45,39% se comparado ao conversor de três níveis convencional. Com relação ao peso, o ganho do conversor de cinco níveis tipo T chega a ser de 62,74% se comparado ao conversor de três níveis convencional e de 17,92% se comparado ao conversor de cinco níveis intercalado. O conversor de cinco níveis intercalado consegue ter um ganho de peso de 38% se comparado ao conversor de três níveis convencional.

6.5 Análise do Desempenho Dinâmico

As respostas dinâmicas dos três conversores quando submetidos a um degrau de carga de 50% para 100% da carga nominal são rerepresentadas na Fig. 6.6. Lembrando que o controlador de tensão é o mesmo para os três conversores e, analisando a figura, observa-se que o conversor com melhor resposta dinâmica é o conversor de cinco níveis tipo T, onde o controlador atua de forma mais rápida (menor que 100ms) e com a menor perturbação na

tensão de saída. Este fato por ser explicado pelo fato de, no momento do degrau de carga, a corrente de entrada também sofre um degrau. Assim, como a ondulação da corrente de entrada nos conversores de cinco níveis é o dobro da frequência de comutação, o controlador tende a processar com mais rapidez ao degrau de carga. No entanto, mesmo com a corrente de entrada operando com o dobro da frequência de comutação, o conversor com a pior resposta dinâmica é o conversor de cinco níveis intercalado que possui a resposta mais lenta e o maior distúrbio na tensão de saída. Este resultado pode ser mais uma vez atribuído ao modo como a corrente é amostrada no conversor, conforme já citado anteriormente no item 6.2.

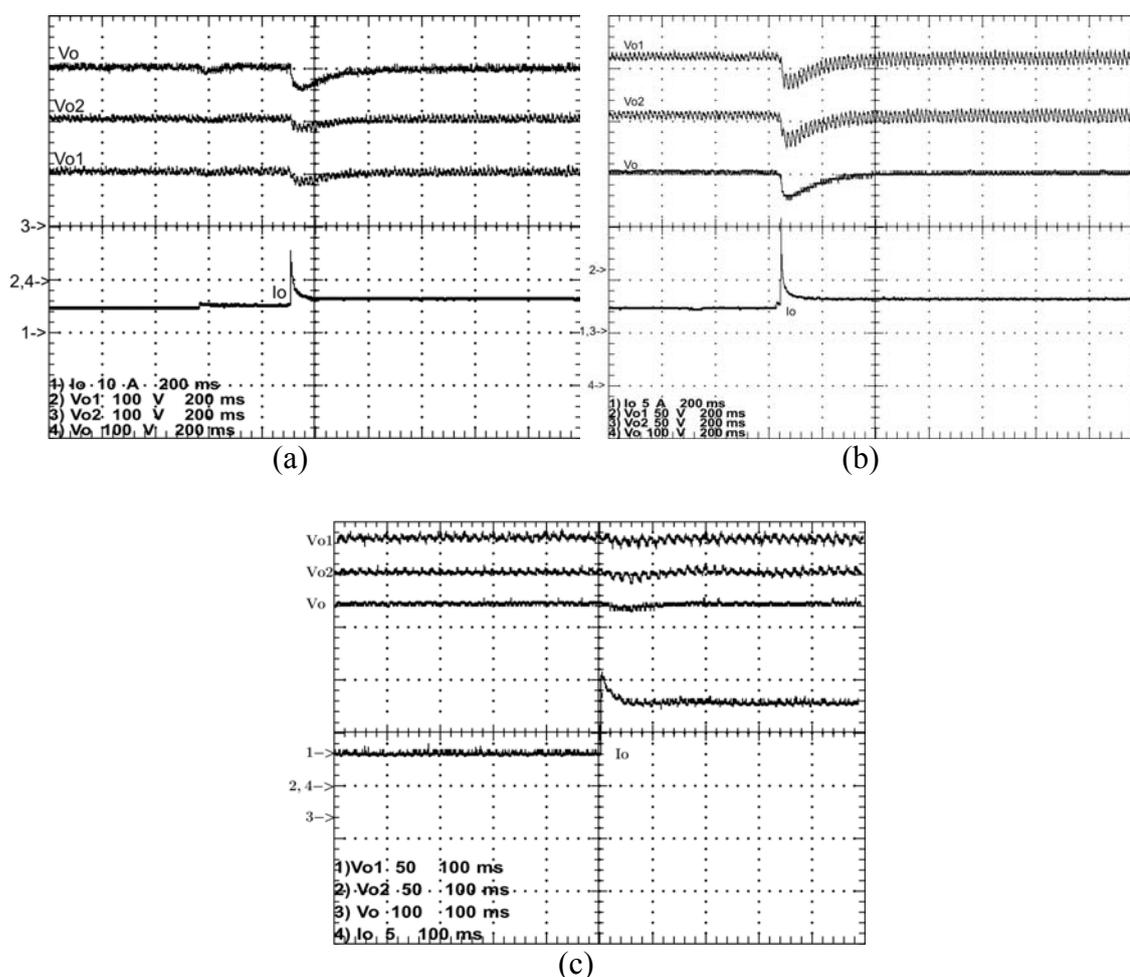


Fig. 6.6 – Degrau de carga de 50% para 100% da carga nominal: (a) conversor de três níveis convencional (10A/div, 100V/div, 100V/div, 100V/div, 200ms/div); (b) conversor de cinco níveis intercalado (50V/div, 50V/div, 100V/div, 5A/div, 200ms/div); (c) conversor de cinco níveis tipo T (50V/div, 50V/div, 100V/div, 5A/div, 100ms/div).

6.6 Conclusões

Neste capítulo apresentou-se uma análise comparativa entre os três conversores estudados nesta tese sob vários quesitos de desempenho. A partir desta análise realizada conclui-se que:

- O conversor de três níveis convencional seria mais indicado se for considerado sua simplicidade (número de componentes e sistema de controle mais simples), baixo custo e alto FP para potências menores, pois foi visto que para potências mais elevadas os esforços de corrente são maiores e o peso e volume dos elementos magnéticos são consideravelmente grandes;
- O conversor de cinco níveis intercalado é o mais recomendado se for levado em conta o reduzido volume e peso dos magnéticos (se comparado ao conversor de três níveis convencional), alto FP, baixos esforços de corrente nos semicondutores e elevado rendimento, podendo ser aplicado em elevadas potências;
- Já o conversor de cinco níveis tipo T é o mais recomendado se levado em conta o reduzido volume e peso (o menor dentre os três conversores analisados), alto FP, baixa THD, baixos esforços de corrente nos semicondutores e elevado rendimento, sendo o mais indicado para aplicações que requerem um processamento de potências mais elevadas e reduzido volume e peso;
- Percebe-se que os conversores de cinco níveis se equivalem. No entanto, o conversor de cinco níveis tipo T se sobressai ao conversor de cinco níveis intercalado nos quesitos taxa de distorção harmônica, peso, volume e resposta dinâmica.

Dessa forma, pode-se dizer que as três topologias analisadas apresentam bons resultados para aplicações com correção do fator de potência com bom rendimento, sendo, portanto, a definição da melhor topologia ligada diretamente ao tipo de aplicação e suas necessidades (potência processada, volume e peso, resposta dinâmica, custos, etc.).

CONCLUSÃO GERAL

Na soma dos esforços em pesquisas, dentro do universo da eletrônica de potência, por conversores estáticos que satisfaçam requerimentos de elevada potência, elevada eficiência e reduzido peso e volume para diversas aplicações, entre elas os *no-breaks*, existe uma procura por novas configurações topológicas, técnicas de controle e aplicações em controle digital. Dessa forma, foi apresentado neste trabalho duas novas topologias de conversores CA-CC monofásicos (conversor de cinco níveis intercalado e conversor de cinco níveis tipo T) para aplicações em sistemas *no-breaks on-line* não isolados e juntamente com o conversor de três níveis convencional foi realizada uma análise comparativa de desempenho entre essas três topologias. São características comuns dessas topologias: a integração do conversor ao estágio retificador; correção do fator de potência; uso do neutro comum que facilita o uso de *by-pass* para aplicações em sistemas *no-breaks* e, uma nova forma de se alcançar o mesmo comportamento do controlador OCC (técnica de controle ICC) via controle digital usando o microcontrolador FPGA.

No Capítulo 1 apresentaram-se as desvantagens de se ter um baixo fator de potência no sistema elétrico e suas soluções. Dentro dessas soluções tivemos a apresentação de diversas topologias monofásicas de conversores CFP com suas respectivas vantagens e desvantagens. Desta abordagem conclui-se que, para elevadas potências e para aplicações em *no-breaks*, as topologias mais viáveis são aquelas que operam como dobrador de tensão, ou seja, a tensão total de cada saída do barramento CC deverá ser maior que duas vezes o valor de pico máximo da tensão de entrada. Apresentou-se também uma revisão sobre as principais técnicas de controle para CFP utilizadas. Com relação a este item, conclui-se que a técnica de controle por valores médios é largamente utilizada e difundida, mas, o uso de técnicas mais simplificadas como o OCC reduz o número de componentes, sensores e malhas de controle necessárias. A desvantagem desse tipo de técnica de controle é a complexidade de implementação dos controladores e moduladores para o controle digital.

No Capítulo 2 foi apresentado um estudo sobre os conceitos básicos de controle digital e FPGA e a apresentação da técnica de controle baseada no OCC: a *Indirect Current Control* - ICC, aplicada aos três conversores analisados nesta tese. Sobre o FPGA foi mostrado: sua arquitetura básica com o princípio de funcionamento dos blocos internos; a programação em FPGA, onde se pode integrar a comunicação entre blocos gráficos e programação escrita por

descrição de *hardware*, como o VHDL; e, as principais características do FPGA utilizado, no caso, o EP2C20F484C da Altera inserido na placa de desenvolvimento *Cyclone II Starter Kit*. Dessa análise conclui-se que o FPGA possui uma facilidade e flexibilidade na sua programação com grande velocidade de processamento e uso de operações paralelas. A técnica de controle aplicada ao FPGA, a ICC, foi apresentada tendo como vantagens: monitoramento de apenas duas grandezas físicas dos conversores (corrente de entrada e tensão de saída), a não necessidade de um sinal de referência de entrada e apenas uma malha de controle (tensão de saída) e a facilidade de implementação na forma digital. A confiabilidade, precisão, flexibilidade e reduzido número de componentes externos são citadas como vantagens no uso de controladores digitais e, dessa maneira, apresentaram-se as técnicas para obtenção de controladores digitais e respectiva análise de estabilidade e a representação numérica para sistemas digitais.

Nos Capítulos 3, 4 e 5 são realizados estudos sobre os conversores monofásicos CA-CC de três níveis convencional (Capítulo 3), de cinco níveis intercalado (Capítulo 4) e de cinco níveis tipo T (capítulo 5). Foi apresentada a análise qualitativa e quantitativa das três topologias, mostrando o princípio de funcionamento, esforços de tensão e corrente dos componentes de potência, modelagem dinâmica e modelagem de perdas do conversor. Desta análise conclui-se que: os conversores de cinco níveis intercalado e tipo T possuem a vantagem de dividir os esforços de corrente dos semicondutores, diminuindo assim as perdas por condução e, elevando desse modo o rendimento do conversor; na modelagem dinâmica, os três conversores podem ser modelados como sendo um conversor *boost* clássico com funções de transferência já bem conhecidas na literatura. Também foram apresentados os resultados de simulação e experimental de cada topologia para um protótipo de 3kW de potência de saída. Primeiro, conclui-se que, os resultados de simulação obtidos são satisfatórios e validam a análise teórica realizada em todos os três conversores. Dos resultados experimentais obtidos para os três conversores conclui-se que: os mesmos comprovam as principais características comuns esperadas de cada conversor que é o elevado fator de potência na entrada, a regulação da tensão de saída mesmo sob condições de degrau de carga e o baixo conteúdo harmônico; e, para os conversores de cinco níveis intercalado e tipo T comprova-se as reduzidas perdas por condução resultando num rendimento acima de 97% para ambos.

No Capítulo 6 é realizada uma análise comparativa entre os três conversores monofásicos CA-CC apresentados nos capítulos anteriores sob os quesitos: principais

parâmetros dos conversores; rendimento; peso e volume; e, desempenho dinâmico. Na análise dos principais parâmetros dos conversores, que diz respeito principalmente aos esforços de corrente dos componentes ativos e passivos e das taxas de distorção harmônica, os conversores de cinco níveis intercalado e tipo T se equivaleram nos esforços de corrente, tendo praticamente a metade dos esforços exigidos no conversor de três níveis convencional, mas, o conversor de cinco níveis tipo T se sobressai aos demais com relação as taxas de distorção harmônica. Para a análise do rendimento, mais uma vez os conversores de cinco níveis intercalado e tipo T se equivalem com um rendimento semelhante para a carga nominal, acima de 97%, enquanto que o conversor de três níveis convencional ficou com um rendimento pouco menor que 95% para carga nominal. Na análise de peso e volume, o conversor de cinco níveis tipo T se sobressai aos demais com ganhos de peso de até 62% e ganhos de volume de até 83% se comparado aos outros conversores. Em segundo vem o conversor de cinco níveis intercalado com ganho de 38% de peso e 45% de volume em cima do conversor de três níveis convencional. Por fim, com respeito ao desempenho dinâmico, para um degrau de carga de 50% para 100% da carga nominal, o conversor de cinco níveis tipo T apresentou uma resposta mais rápida e com menor perturbação para a tensão de saída, sendo o conversor de cinco níveis intercalado o que apresentou o pior desempenho neste quesito.

Finalmente, conclui-se que a partir dos estudos e implementações realizadas utilizando um controlador digital com FPGA e através da análise comparativa, resultaram as seguintes contribuições:

- Apresentação da célula de comutação tipo T que pode ser utilizada tanto em aplicações de conversão CA-CC ou CC-CA, monofásica, trifásica ou polifásica, com fluxo de processamento de energia unidirecional ou bidirecional.
- Três protótipos de 3kW de potência implementados e controlados digitalmente por FPGA utilizando-se de apenas uma placa de potência e uma placa de controle (vide Apêndice B): conversor CA-CC de três níveis convencional; conversor CA-CC de cinco níveis intercalado; conversor CA-CC de cinco níveis tipo T. Tais implementações resultaram em informações de detalhes de projeto, simulação e implementação de técnica de controle digital via FPGA.
- O desenvolvimento de rotinas e algoritmos para a implementação digital da técnica de controle ICC via FPGA (vide Apêndice A).
- O conversor de cinco níveis tipo T é o que apresenta os melhores resultados entre os

três conversores, se destacando nos quesitos: taxa de distorção harmônica, peso e volume e desempenho dinâmico.

Como sugestões para trabalhos futuros: a aplicação da célula de comutação tipo T e da célula de intercalar em topologias trifásicas; aplicação de células de comutação suave para verificação de melhorias de rendimento nas topologias de cinco níveis; análise do desempenho dos conversores no que diz respeito a aplicação de cargas desbalanceadas, indutores desbalanceados e/ou resistores de gatilho dos interruptores desbalanceados; e, implementação de um sistema *no-break* completo com a ligação do conversor de cinco níveis intercalado e tipo T a um inversor.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] IEC 62040-1-1, Uninterruptible power systems (UPS) Part 1-1: General and safety requirements for UPS used in operator access areas. International Electrotechnical Commission. First Edition, 2002-08.
- [2] NBR 15014/2003, Conversor a semicondutor – Sistema de alimentação de potência ininterrupta com saída em corrente alternada (nobreak) – Terminologia. Associação Brasileira de Normas Técnicas – ABNT, 2003.
- [3] IEC 62040-3, Uninterruptible power systems (UPS) Part 3: Method of specifying the performance and test requirements. International Electrotechnical Commission. First Edition, 1999-03.
- [4] GUERRERO, J.M.; VICUNA, L.G.; UCEDA, J. “*Uninterruptible Power Supply Systems Provide Protection*”, IEEE Transaction on Ind. Electron. Mag., vol. 1, no. 1, pp. 28-38, 2007.
- [5] KLEIN, J.; NALBANT, M. K. “*Power Factor Correction – Incentives, Standards and Techniques*”, PCIM, pp. 26-31, june 1990.
- [6] DEWAN, S. B. “*Optimum Input and Output Filters for a Single-Phase Rectifier Power Supply*”, IEEE Trans. On Industry Applications, v. IA-17, n. 3, mai./jun. 1981.
- [7] PRASAD, A. R.; ZIOGAS, P. D.; MANIAS, S. “*A Novel Passive Waveshaping Method for Single-Phase Diode Rectifiers*”, 16th Annual Conference of IEEE Industrial Electronics Society, IECON’90, v. 2, p. 1041–1050, nov. 1990.
- [8] GOHR JR., R.; PERIN, A. J. “*Three-Phase Rectifier Filters Analysis*”, Congresso Brasileiro de Eletrônica de Potência, COBEP’91, p. 281-286, 1991.
- [9] POMILIO, J. A. Pré-reguladores de Fator de Potência, Apostila, disponível online: <http://www.dsce.fee.unicamp.br/~antenor>.
- [10] DIXON, L. “*Average current control of switching power supplies*”. UNITRODE, Application Note U-140, p.9-457 - 9-470, 1994.
- [11] BRAGA, H. A. C.; BARBI, I. “*A 3-kW Unity-Power-Factor Rectifier Based on a Two-Cell Boost Converter Using a New Parallel-Connection Technique*”, IEEE Trans. On Power Electronics, v. 14, n. 1, p. 209-217, jan. 1999.
- [12] MIWA, B. A.; OTTEN, D. M.; SCHLETCHT, M. F. “*High Efficiency Power Factor Correction Using Interleaving Techniques*”, Applied Power Electronics Conference and Exposition, APEC’92, p. 557–568, 1992.
- [13] LASLO, B.; REDL, R. “*Power Factor Correction with Interleaved Boost Converters in Continuous-Inductor-Current Mode*”, Applied Power Electronics Conference and Exposition, APEC’93, p. 168–174, 1993.
- [14] PINTO, J. A. C.; PEREIRA, A. A.; FARIAS, V. J.; DE FREITAS, L. C.; VIEIRA, J. B., JR. “*A power factor correction preregulator AC-DC interleaved boost with soft-commutation*”, Power Electronics Specialists Conference, PESC’97, v. 1, p. 121-125, jun. 1997.
- [15] TYMERSKI, R.; VORPERIAN, V. “*Generation, Classification and Analysis of Switched-mode DC-to-DC Converters by the Use of Converter Cells*”, International Telecommunication Energy Conference, INTELEC’86, p. 181-195, 1986.

- [16] BASCOPE, G.V.T.; BARBI, I. “*A Single Phase PFC 3 kW Converter Using a Three-State Switching Cell*”, Power Electronics Specialists Conference, PESC’04, v.5, p. 4037-4042, jun. 2004.
- [17] MAKSIMOVIC, D.; ERICKSON, R. “*Universal-Input, High-Power-Factor, Boost Doubler Rectifiers*”, Applied Power Electronics Conference and Exposition, APEC’95, v. 1, p. 459–465, mar. 1995.
- [18] MARTINS, A. S.; KASSICK, E. V.; BARBI, I. “*Control Strategy for the Double-Boost Converter in Continuous Conduction Mode Applied to Power Factor Correction*”, Power Electronics Specialists Conference, PESC’96, v. 2, p. 1066-1072, jun. 1996.
- [19] BASTOS, G. H. A. *Retificador Monofásico com Alto Fator de Potência com Conexão Comum entre Entrada e Saída*, Fortaleza, 2006. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal do Ceará, Fortaleza.
- [20] DA CÂMARA, R. A. *Pré-regulador com Derivação Central Baseado na Célula de Comutação de Três Estados para Aplicação em No-breaks*, Fortaleza, 2008. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal do Ceará, Fortaleza.
- [21] ENJETI, P. N.; MARTINEZ, R. “*A High Performance Single-phase AC to DC Rectifier with Input Power Factor Correction*”, Applied Power Electronics Conference and Exposition, APEC’93, v. 1, p. 190–195, 1993.
- [22] DE SOUZA, A. F.; BARBI, I. “*A New ZVS-PWM Unity Power Factor Rectifier with Reduction Losses*”, IEEE Trans. on Power Electronics, vol. 10, no. 6, p. 746-752, 1995.
- [23] JOVANOVIĆ, M. M.; JANG, Y. “*State-of-the-art, Single-phase, Active Power-factor-correction Techniques for High-power Applications – an Overview*”, IEEE Trans. on Industrial Electronics, vol. 52, no. 3, p. 701-708, 2005.
- [24] DE SOUZA, A. F.; BARBI, I. *High Power Factor Rectifier with Reduced Conduction and Commutation Losses*, 21st International Telecommunications Energy Conference, INTELEC’99, p. 8.1.1-8.1.5, jun. 1999.
- [25] KONG, P.; WANG, S.; LEE, F. C. “*Common Mode EMI Noise Suppression for Bridgless PFC Converters*”, IEEE Trans. on Power Electronics, vol. 23, no. 1, p. 291-27, 2008.
- [26] HUBER, L.; JANG, Y.; JOVANOVIĆ, M. M. “*Performance Evaluation of Bridgless PFC Boost Rectifiers*”, IEEE Trans. on Power Electronics, vol.23, no. 3, p. 1381-1390, 2008.
- [27] SALMON, J. C. “*Circuit Topologies for Single-phase Voltage-doubler Boost Rectifiers*”, IEEE Trans. on Power Electronics, vol. 4, no. 4, p. 521-529, out. 1993.
- [28] SALMON, J. C. “*Circuit Topologies for PWM Boost Rectifiers Operated from 1-phase and 3-phase AC Supplies and Using Either Single or Split DC Rail Voltage Outputs*”, Applied Power Electronics Conference and Exposition, APEC’95, v. 1, p. 473–479, mar. 1995.
- [29] CRUZ, C. M. T. *Técnicas de Comutação Não Dissipativa Aplicada a Retificadores de Três Níveis Operando com Fator de Potência Unitário*. Florianópolis, 2002. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Santa Catarina, Florianópolis.

- [30] VIEIRA JR., J. B.; et al. “A Single-phase Three-level Rectifier Employing a Passive Nondissipative Snubber”, 7º Congresso Brasileiro de Eletrônica de Potência, COBEP’05, p. 266-272, 2005.
- [31] TOFOLI, F. L.; et al. “Proposal of a Soft-switching Single-phase Three-level Rectifier”, IEEE Trans. on Industrial Electronics, vol. 55, no. 1, p. 107-113, jan. 2008.
- [32] LIN, B. R.; HOU, Y. L.; CHIANG, H. K. “Implementation of a Three-level Rectifier for Power Factor Correction”, IEEE Trans. on Power Electronics, vol. 15, no. 5, set. 2000.
- [33] MUSSA, S. A. *Controle de um Conversor CA-CC Trifásico PWM de Três Níveis com Fator de Potência Unitário Utilizando DSP*. Florianópolis, 2003. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Santa Catarina, Florianópolis.
- [34] ALCADE, A. L. P.; D’AQUINO, F. M.; MOHR, H. B.; MUSSA, S. A. “Implementation of a Control Strategy for PFC with FPGA”, European Conference on Power Electronics and Applications, EPE’07, p. 1-9, 2007.
- [35] ALCADE, A. L. P.; et al. “FPGA-based Control of a PFC Converter”, International Symposium on Industrial Electronics, ISIE’07, p. 959-963, 2007.
- [36] ALCADE, A. L. P.; ORTMANN, M. S. MUSSA, S. A. “NIOS II Processor Implemented in FPGA: Na Application on Control of a PFC Converter”, Power Electronics Specialists Conference, PESC’08, p. 4446-4451, 2008.
- [37] ROSSETTO, L.; SPIAZZI, G.; TENTI, P. “Control Techniques for Power Factor Correction Converters”, Power Electronics, Motion Control Conference, PEMC’94, p. 1310-1318, 1994.
- [38] LAI, Z.; SMEDLEY, K.M. “A Family of Continuous-conduction-mode Power-factor-correction Controllers Based on General Pulse-width Modulator”, IEEE trans. on Power Electronics, vol. 13, no. 3, p. 501-510, mai. 1998.
- [39] BEN-YAAKOV, S.; ZELTSER, I. “The Dynamics of a PWM Boost Converter with Resistive Input”, IEEE Trans. on Industrial Electronics, vol. 46, no. 3, p. 613-619, jun. 1999.
- [40] BORGONOVO, D.; REMOR, J. P.; PERIN, A. J.; BARBI, I. “A Self-controlled Power Factor Correction Single-phase Boost Pre-regulator”, Power Electronics Specialists Conference, PESC’95, p. 2351-2357, 1995.
- [41] KOCHER, M. J.; STEIGERWALD, R. L. “An AC-to-DC Converter with High Quality Input Waveforms”, IEEE Trans. on Industry Applications, vol. 1A-19, no. 4, p. 586-599, jul./ago. 1983.
- [42] LIU, K. H.; LIN, Y. L. “Current Waveform Distortion in Power Factor Correction Circuits Employing Discontinuous-mode Boost Converters”, Power Electronics Specialists Conference, PESC’89, p. 825-829, 1989.
- [43] ERICKSON, R.; MADIGAN, M.; SINGER, S. “Design of a Simple High-power-factor Rectifier Based on the Flyback Converter”, Applied Power Electronics Conference and Exposition, APEC’90, p. 792–801, 1990.
- [44] SIMONETTI, D. S. L.; SEBASTIAN, J.; DOS REIS, F. S.; UCEDA, J. “Design Criteria for Sepic and Cuk Converters as Power Factor Preregulators in Discontinuous Conduction Mode”, Industrial Electronics Conference, IECON’92, p. 283-288, 1992.

- [45] LAI, J. S.; CHEN, D. “*Design Consideration for Power Factor Correction Boost Converter Operating at the Boundary of Continuous Conduction Mode and Discontinuous Conduction Mode*”, Applied Power Electronics Conference and Exposition, APEC’93, p. 267–273, 1993.
- [46] ZHOU, C.; RIDLEY, R. B.; LEE, F. C. “*Design and Analysis of a Hysteretic Boost Power Factor Circuit*”, Power Electronics Specialists Conference, PESC’90, p. 800-807, 1990.
- [47] REDL, R.; ERISMAN, B. P. “*Reducing Distortion in Peak-current-controlled Boost Power-factor Correctors*”, Applied Power Electronics Conference and Exposition, APEC’94, p. 576-583, 1994.
- [48] SILVA, C. S. “*Power factor correction with the UC3854*”. Application Note, UNITRODE. Lexington, MA, USA, 1991.
- [49] TODD, P. C. “*UC3854 controlled power correction circuit design*”, UNITRODE, Application Note U-134, p. 9-362 - 9-381, 1994.
- [50] BALOGH, L. “*UC3854A/B and UC3855A/B provide power limiting with sinusoidal Input current for PFC Front Ends*”. Unitrode Design Notes DN-66, 2001.
- [51] BASCOPE, G. V. T.; *Nova Família de Conversores CC-CC PWM Não Isolados Utilizando Células de Comutação de Três Estados*, Florianópolis, 2001. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Santa Catarina, Florianópolis.
- [52] BASCOPE, R. P. T.; NETO, J. A. F.; BASCOPE, G. V. T. “*Multi-state Commutation Cells to Increase Current Capacity of Multi-level Inverters*”, Telecommunications Energy Conference, INTELEC’2011, p. 1-9, 2011.
- [53] HIRACHI, K.; et al. “*Switched-mode PFC Rectifier with High-frequency Transformer Link for High-power Density Single Phase UPS*”, Power Electronics Specialists Conference, PESC’97, vol. 1, p. 290-296, 1997.
- [54] KRISHNAN, R. “*Design and Development of a High Frequency On-line Uninterruptible Power Supply*”, Industrial Electronics Conference, IECON’95, p. 578-583, 1995.
- [55] BASCOPE, R. P. T.; SÁ JR, E. M.; BRANCO, C. G. C.; ANTUNES, F. L. M. “*PFC Preregulator with High Frequency Isolation Using Half-bridge Chopper for UPS Applications*”, International Conference on Industry Applications, INDUSCON’04, 2004.
- [56] DA CÂMARA, R. A.; et al. “*Three-phase Voltage Doubler Rectifier Based on Three-state Switching Cell for Uninterruptible Power Supply Applications Using FPGA*”, Applied Power Electronics Conference and Exposition, APEC’10, p. 837-843, 2010.
- [57] SILVA, C. E. A.; et al. “*A Three-phase Rectifier for WECS with Indirect Current Control*”, Revista Eletrônica de Potência, vol. 16, no. 1, p. 28-36, fev. 2011.
- [58] CHEN, C. H. *Analog and Digital Control System Design: Transfer-function, State-space, and Algebraic Methods*. New York. Saunders College Publishing Electrical Engineering, 1993.
- [59] DA CÂMARA, R. A.; et al. “*Voltage Doubler Boost Rectifier Based on Three-state Switching Cell for UPS Applications*”, Congresso Brasileiro de Eletrônica de Potência, COBEP’09, p. 458-463, 2009.

- [60] MONMASSON, E.; CIRSTEIA, M. N. “*FPGA Design Methodology for Industrial Control Systems – A Review*”, IEEE Trans. on Ind. Electronics, vol. 54, no. 4, p. 1824-1842, 2007.
- [61] ALTERA, *Cyclone II FPGA Starter Development Board – Reference Manual*, 2006.
- [62] PEDRONI, V. *Eletrônica Digital Moderna com VHDL*. Ed. Elsevier, 2010.
- [63] ACTEL, *Actel data book*, 2011. (Online). Disponível em: www.actel.com.
- [64] ALTERA, *Altera data book*, 2011. (Online). Disponível em: www.altera.com.
- [65] DA COSTA, C. *Projetos de Circuitos Digitais com FPGA*. Ed. Érica, 2009.
- [66] IEEE STANDARD 1076-1987, IEEE Standard VHDL Language Reference Manual. The Institute of Electrical and Electronics Engineers. First Edition, 1987.
- [67] DORF, R. C.; BISHOP, R. H. *Sistemas de Controle Modernos*. Editora LTC. 8ª ed. 2001.
- [68] OGATA, K. *Discrete-Time Control Systems*. Prentice-Hall International, Inc. 2nd Edition. 1995.
- [69] MIDDLETON, R. H.; GOODWIN, G. C. *Digital Control and Estimation, a Unified Approach*. Prentice-Hall, 1990.
- [70] BROWN, R.; SOLDANO, M. *PFC Converter Design with IR1150 One Cycle Control IC*, Application Note AN-1077, <http://www.irf.com>, 2007.
- [71] D’AMORE, R. *VHDL – Descrição e Síntese de Circuitos Digitais*. Rio de Janeiro. Editora LTC, 2005.
- [72] VORPERIAN, V. “*Simplified analysis of PWM converters using the model of the PWM switch: parts I and II*”. IEEE Transactions on Aerospace and Electronic Systems, v. AES-26, p. 490-505, 1990.
- [73] INTERNATIONAL RECTIFIER. *Catálogo de Diodos, MOSFETs e IGBTs*. <http://www.irf.com>, 2011.
- [74] TORRICO-BASCOPE, R. P.; PERIN, A. J. *O Transistor IGBT aplicado em eletrônica de potência*. Porto Alegre. Sagra Luzzato, 1997.
- [75] DE CASTRO, A., et. al. “*Concurrent and Simple Digital Controller of an AC/DC Converter With Power Factor Correction Based on an FPGA*”, IEEE Trans. on Power Electronics, vol. 18, no. 1, p. 334–343, 2003.
- [76] BARBI, I.; *Eletrônica de potência: projetos de fontes chaveadas*. Florianópolis. Editora do Autor, 2001.
- [77] ERICKSON, Robert; MAKSIMOVIC, W. *Fundamentals of Power Electronics*. 2 Ed.
- [78] RASHID, M. H. *Eletrônica de potência: circuitos, dispositivos e aplicações*, São Paulo, Makron Books, 1999.
- [79] MARTINS, D. C. *Eletrônica de potência: introdução ao estudo dos conversores CC-CA*, Florianópolis, Editora dos autores, 2005.
- [80] THORNTON. *Catálogo de Núcleos de Ferrite*. <http://www.thornton.com.br>, 2011.
- [81] HS DISSIPADORES. *Catálogo de Dissipadores*. <http://www.hsdissipadores.com.br>, 2011.

- [82] LEM. *Catálogo de Sensores*, <http://www.lem.com>, 2011.

APÊNDICE A

(Programas gerados no FPGA)

A.1 Gerador das portadoras dente de serra

ENTITY portadoras IS

PORT (clk : IN BIT;
 clk2 : OUT BIT;
 tri1, tri2 : OUT NATURAL RANGE 0 TO 255);

END portadoras;

ARCHITECTURE arch1 OF portadoras IS

TYPE tabela1 IS ARRAY (INTEGER RANGE<>) OF NATURAL;
 TYPE tabela2 IS ARRAY (INTEGER RANGE<>) OF NATURAL;
 SHARED VARIABLE aux, aux2 : NATURAL RANGE 0 TO 1023 := 0;

CONSTANT dados1 : tabela1 (0 to 207) :=

(0,0,0,1,2,3,4,5,6,7,8,9,10,11,12,13,14,15,16,17,18,19,20,21,22,23,24,25,26,27,28,29,30,31,32,33,34,35,36,37,38,
 39,40,41,42,43,44,45,46,47,48,49,50,51,52,53,54,55,56,57,58,59,60,61,62,63,64,65,66,67,68,
 69,70,71,72,73,74,
 75,76,77,78,79,80,81,82,83,84,85,86,87,88,89,90,91,92,93,94,95,96,97,98,99,100,101,102,103,104,105,106,107,
 108,109,110,111,112,113,114,115,116,117,118,119,120,121,122,123,124,125,126,127,128,129,130,131,132,133,134,135,
 136,137,138,139,140,141,142,143,144,145,146,147,148,149,150,151,152,153,154,155,156,157,158,159,160,161,162,
 163,164,165,166,167,168,169,170,171,172,173,174,175,176,177,178,179,180,181,182,183,184,185,186,187,188,189,
 190,191,192,193,194,195,196,197,198,199,200,201,202,203,204,205);

CONSTANT dados2 : tabela2 (0 to 207) :=

(103,104,105,106,107,108,109,110,111,112,113,114,115,116,117,118,119,120,121,122,123,124,125,126,127,128,129,
 130,131,132,133,134,135,136,137,138,139,140,141,142,143,144,145,146,147,148,149,150,151,152,153,154,155,156,
 157,158,159,160,161,162,163,164,165,166,167,168,169,170,171,172,173,174,175,176,177,178,179,180,181,182,183,
 184,185,186,187,188,189,190,191,192,193,194,195,196,197,198,199,200,201,202,203,204,205);

```

5,0,0,0,1,2,3,4,5,6,7,8,9,
10,11,12,13,14,15,16,17,18,19,20,21,22,23,24,25,26,27,28,29,30,31,32,33,34,35,36,37,38,39,
40,41,42,43,44,45,
46,47,48,49,50,51,52,53,54,55,56,57,58,59,60,61,62,63,64,65,66,67,68,69,70,71,72,73,74,75,
76,77,78,79,80,81,
82,83,84,85,86,87,88,89,90,91,92,93,94,95,96,97,98,99,100,101,102);

```

```

BEGIN

```

```

PROCESS (clk)

```

```

BEGIN

```

```

IF aux = 208 THEN aux := 0; clk2 <= '1';

```

```

ELSIF clk 'EVENT AND clk = '1' THEN

```

```

    aux := aux + 1;

```

```

    aux2 := dados2(aux);

```

```

    clk2 <= '0';

```

```

END IF;

```

```

END PROCESS;

```

```

tri1 <= dados2(aux);

```

```

tri2 <= dados1(aux);

```

```

END arch1;

```

A.2 Divisor de frequência para o *clock* dos ADCs externos

```

ENTITY clk_freq IS

```

```

PORT (clk : IN BIT;

```

```

z,y : OUT BIT);

```

```

END clk_freq;

```

```

ARCHITECTURE arch2 OF clk_freq IS

```

```

SHARED VARIABLE x : NATURAL RANGE 0 TO 6173;

```

```

BEGIN

```

```

PROCESS(clk)
BEGIN

IF x = 250 THEN --FREQUENCIA DE 500KHZ PARA O CLK INTERNO DO FPGA
--IF x = 408 THEN
--    z <= '0';
    x := 0;
ELSIF clk 'EVENT AND clk = '1' THEN
    if (x < 10) then          --razao ciclica de 50%
--if (x < 204) then          --razao ciclica de 50%
        z <= '1';
        y <= '1';
    else z <= '0'; y <= '0';
    end if;
    x := x+1;
END IF;

END PROCESS;
END arch2;

```

A.3 Compensador de tensão

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_arith.ALL;
USE ieee.std_logic_signed.ALL;
USE ieee.std_logic_unsigned.ALL;

    GENERIC( K4 : INTEGER := 49873;      --coeficientes em notação q15
    K3 : INTEGER := 17102;
    K2 : INTEGER := 348;
    K1 : INTEGER := 7;
    K0 : INTEGER := 341 );
    PORT( Ventrada : IN INTEGER RANGE 1023 downto -1023;      --definindo
as portas de entrada e saída
        Vout : OUT INTEGER RANGE 1023 downto 0 := 0;
        clock : IN BIT);
END voltage_reg2;

```

ARCHITECTURE calculo OF voltage_reg2 IS

```
SIGNAL Erro : INTEGER :=10;
SIGNAL U : INTEGER := 10;
SIGNAL Erro_1, Erro_2, U_1, U_2 : INTEGER :=10;
```

BEGIN

```
abc : PROCESS( clock )
```

```
  BEGIN
```

```
    IF( clock'event and clock = '1' )THEN
```

```
      Vout <= 775 - ( K2*Erro + K1*Erro_1 - K0*Erro_2 + K4*U_1
- K3*U_2 )/ 32768;
```

```
      U <= ( K2*Erro + K1*Erro_1 - K0*Erro_2 + K4*U_1 -
K3*U_2 )/ 32768;
```

```
      Erro_2 <= Erro_1;
```

```
      Erro_1 <= Erro;
```

```
      Erro <= Ventrada;
```

```
      U_2 <= U_1;
```

```
      U_1 <= U;
```

```
    END IF;
```

```
  END PROCESS;
```

```
END calculo;
```

APÊNDICE B

(Esquemático completo)

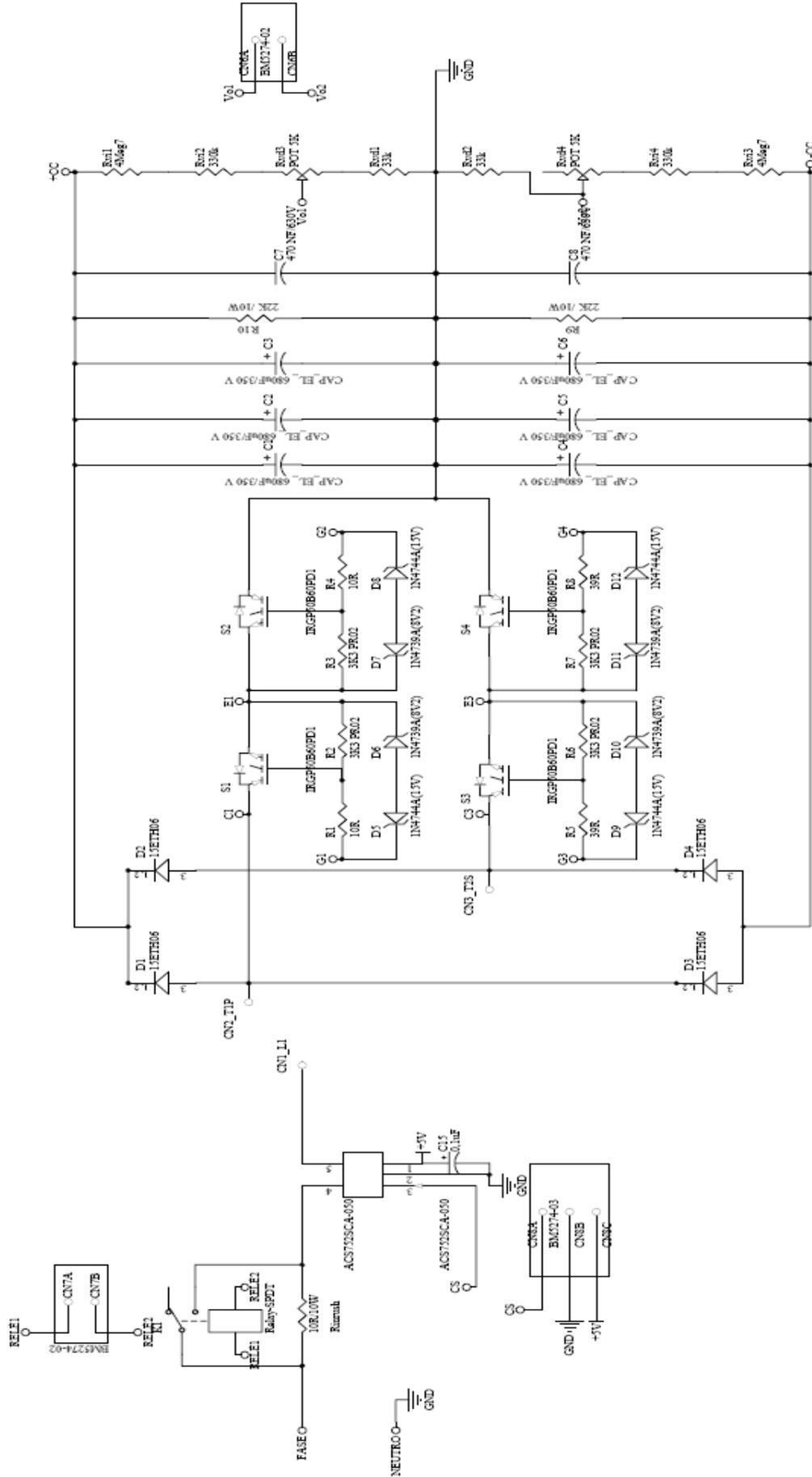


Fig. B.1 – Esquemático da placa de potência dos conversores.

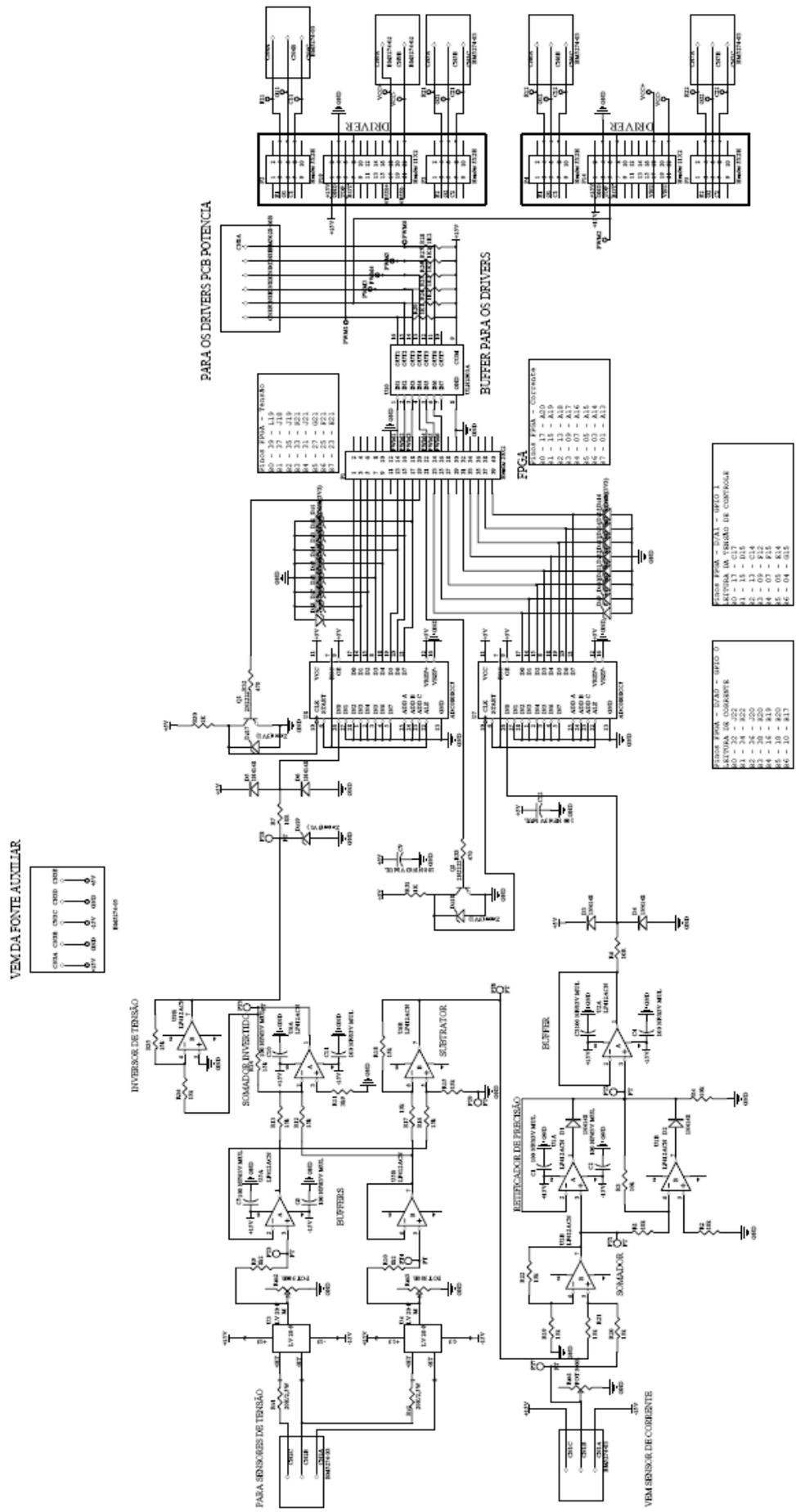


Fig. B.2 – Esquemático da placa de controle dos conversores.

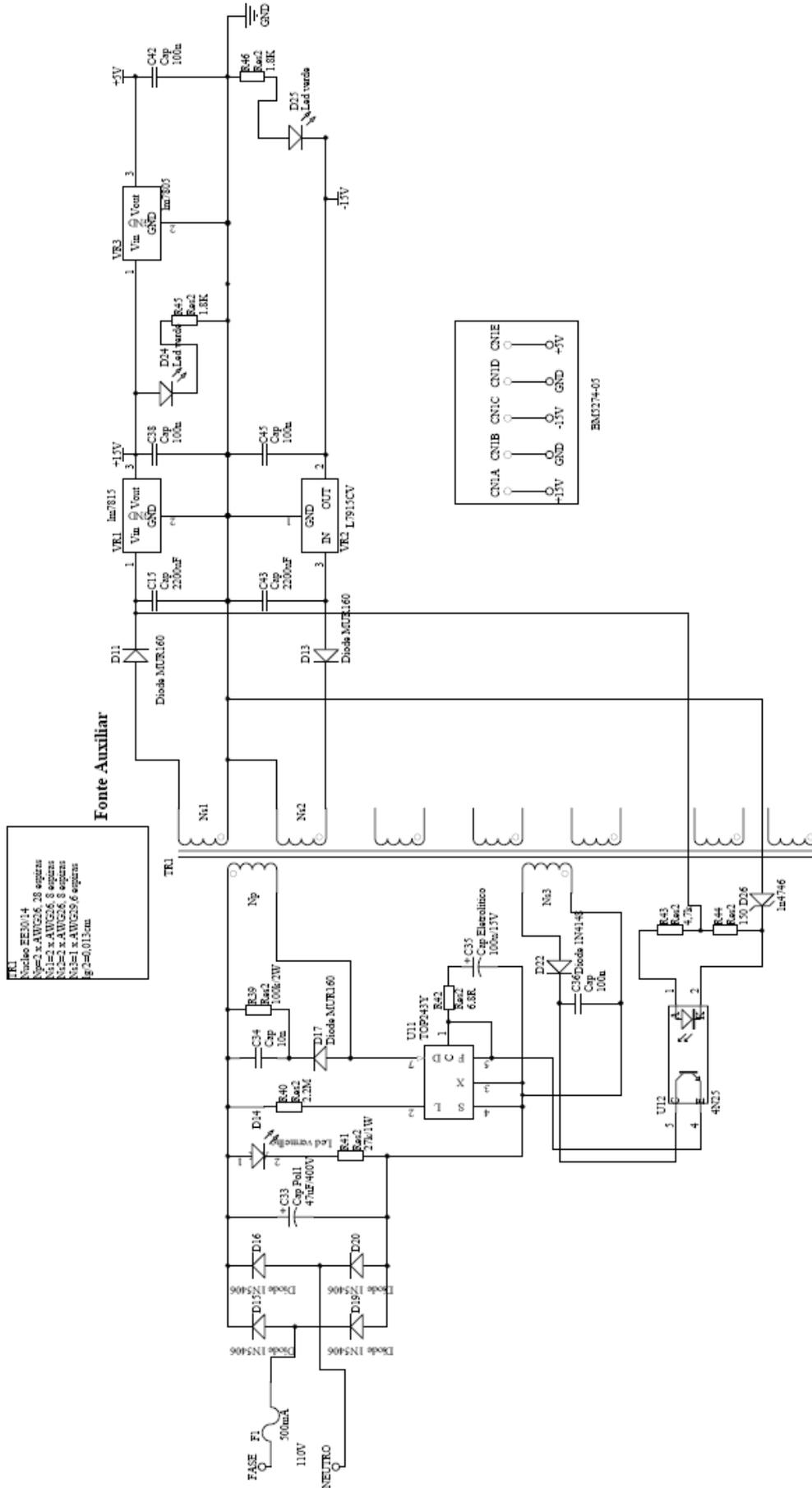


Fig. B.3 – Esquemático da placa da fonte auxiliar.