



**UNIVERSIDADE FEDERAL DO CEARÁ**  
**CENTRO DE TECNOLOGIA**  
**DEPARTAMENTO DE ENGENHARIA ELÉTRICA**  
**PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**JOSÉ WILLAMY MEDEIROS DE ARAÚJO**

**CONVERSOR CA-CC MULTINÍVEL DE ÚNICO ESTÁGIO PARA APLICAÇÃO  
EM TRANSFORMADORES DE ESTADO SÓLIDO**

**FORTALEZA**

**2018**

JOSÉ WILLAMY MEDEIROS DE ARAÚJO

CONVERTOR CA-CC MULTINÍVEL DE ÚNICO ESTÁGIO PARA APLICAÇÃO EM  
TRANSFORMADORES DE ESTADO SÓLIDO

Dissertação apresentada ao Curso de Mestrado em Engenharia Elétrica do Departamento de Engenharia Elétrica da Universidade Federal do Ceará como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica.

Orientador: Prof. Dr. Paulo Peixoto Praça.

Coorientador: Prof. Dr. Demercil de Souza Oliveira Júnior

FORTALEZA

2018

Dados Internacionais de Catalogação na Publicação  
Universidade Federal do Ceará  
Biblioteca Universitária  
Gerada automaticamente pelo módulo Catalog, mediante os dados fornecidos pelo(a) autor(a)

---

- A689c Araújo, José Willamy Medeiros de.  
Conversor ca-cc multinível de único estágio para aplicação em transformadores de estado sólido / José Willamy Medeiros de Araújo. – 2018.  
190 f. : il. color.
- Dissertação (mestrado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2018.  
Orientação: Prof. Dr. Paulo Peixoto Praça.  
Coorientação: Prof. Dr. Demercil de Sousa Oliveira Júnior.
1. Conversor ca-cc. 2. Conversor multinível. 3. Transformador de estado sólido. 4. Correção de fator de potência. 5. Phase shift. I. Título.

CDD 621.3

---

JOSÉ WILLAMY MEDEIROS DE ARAÚJO

CONVERSOR CA-CC MULTINÍVEL DE ÚNICO ESTÁGIO PARA APLICAÇÃO EM  
TRANSFORMADORES DE ESTADO SÓLIDO

Dissertação apresentada ao Curso de Mestrado em Engenharia Elétrica do Departamento de Engenharia Elétrica da Universidade Federal do Ceará como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica.

Aprovada em: 16/02/2018

BANCA EXAMINADORA

---

Prof. Dr. Paulo Peixoto Praça (Orientador)  
Universidade Federal do Ceará (UFC)

---

Prof. Dr. Demercil de Souza Oliveira Júnior (Coorientador)  
Universidade Federal do Ceará (UFC)

---

Prof. Dr. Luiz Henrique Silva Colado Barreto  
Universidade Federal do Ceará (UFC)

---

Prof. Dr. Raphael Amaral da Câmara  
Universidade Federal do Ceará (UFC)

---

Prof. Dr. Maurício Beltrão de Rossiter Corrêa  
Universidade Federal de Campina Grande (UFCG)

A Deus.

À minha mãe Maria de Jesus.

Ao meu pai José Alves.

À minha esposa Rosany Priscila.

## AGRADECIMENTOS

Primeiramente, agradeço à minha mãe, Maria de Jesus Medeiros de Araújo, e ao meu pai, José Alves de Araújo, por todo amor, carinho e suporte durante minha vida.

Agradeço às minhas irmãs, Alexandra Medeiros Lima e Patrícia Medeiros dos Santos, por toda a atenção e assistência, tanto afetiva quanto financeira, que foram cruciais para que eu pudesse desenvolver meus estudos.

À minha esposa e companheira, Rosany Priscila Pinheiro Medeiros, pelo amor, paciência e compreensão, durante todos esses anos de mestrado nos quais passei mais tempo no laboratório do que ao seu lado.

Ao meu orientador Paulo Peixoto Praça, por acreditar no meu trabalho e por sempre estar disposto a ajudar, transmitindo sempre confiança e conhecimento.

Ao coorientador Demercil de Souza Oliveira Júnior, sempre presente desde as disciplinas motivando e auxiliando em diversos problemas.

Ao professor Luiz Henrique Silva Colado Barreto, professor Raphael Amaral da Câmara e professor Maurício Beltrão de Rossiter Corrêa por participarem desta banca avaliadora.

Aos demais professores e funcionários do Departamento de Engenharia Elétrica, pela contribuição direta ou indireta no trabalho durante todo programa de pós-graduação, e ao técnico de laboratório Pedro, sempre prestativo na oficina.

Aos colegas de pós-graduação, pelas contribuições nos momentos de dificuldades ou simplesmente por fazerem parte dos momentos de descontração, como nas horas do café e GPEC-Beer. Em especial gostaria de remarcar os amigos de trabalho: Dalton de Araújo, Raimundo Nonato, Juliano Pacheco, Bruno Ricardo, Francisco Brito, Kristian Pessoa, Ícaro, Jorge Wattes, Marcus Anderson, Samuel Queiroz, Cícero Alisson, Perdoem-me caso tenha esquecido o nome de alguém.

Aos órgãos governamentais, CAPES e CNPq, que contribuíram com o apoio financeiro necessário à realização deste trabalho, no sentido de promover o desenvolvimento científico e tecnológico.

Finalmente, agradeço a todos aqueles que de alguma maneira contribuíram para conclusão deste trabalho.

“A persistência é o caminho do êxito.”

(Charles Chaplin)

“Dê-me seis horas para derrubar uma árvore e  
passarei as quatro primeiras afiando o  
machado.”

(Abraham Lincoln)

## RESUMO

Este trabalho propõe o estudo e desenvolvimento de um conversor CA-CC multinível de único estágio para aplicação em transformadores de estado sólido. Este tipo de aplicação vem crescendo bastante na atualidade com o aumento da utilização de energias renováveis, *smart grids* e sistemas que requerem redução de peso e volume tais como a tração elétrica. O conversor proposto é baseado no *dual active bridge* (DAB) associado com a célula de comutação de três estados (CC3E). O conversor possui uma estrutura que pode ser modularizada e aplicada em elevadas tensões podendo operar tanto como retificador quanto inversor. É realizada uma análise qualitativa onde é mostrada a técnica de modulação, tanto analógica quanto vetorial, assim como a estratégia de controle necessária para o conversor. Posteriormente, é realizada uma análise quantitativa do fluxo de potência do conversor através do modelo completo das tensões e corrente do transformador, a análise da variação de corrente na entrada e a análise das perdas considerando dois modelos de chaves distintos. É realizado ainda o dimensionamento dos controladores digitais do conversor utilizando o método do fator k. Por fim, é realizada a validação do estudo através de resultados de simulação e experimentais em estado permanente e transitório. É obtida uma grande similaridade entre as modelagens desenvolvidas e os valores obtidos em simulação e experimental. As malhas de controle dimensionadas apresentam dinâmicas com sobressinais inferiores a 15 % e tempos de acomodação inferiores a 200 ms. A bidirecionalidade da estrutura é demonstrada com um ensaio de inversão de fluxo. A topologia é capaz de operar com fator de potência unitário e baixo THD. Além disso, é mostrada a curva de eficiência da estrutura que é capaz de operar com um rendimento máximo de 87,5 % utilizando chaves do tipo IGBT. É demonstrado ainda, que essa eficiência pode ser elevada para 95,5 % com utilização de chaves de melhor desempenho.

**Palavras-chave:** Conversor CA-CC multinível, correção de fator de potência, transformador de estado sólido, *dual active bridge*, *phase-shift*.



## ABSTRACT

This work proposes the study and development of a single stage multi-level AC-DC converter for application in solid-state transformers. This type of application has been growing very much in the present time with the rise in the use of renewable energies, smart grids and systems that require reduction of weight and volume such as electric traction. The proposed converter is based on the dual active bridge (DAB) associated with the three state switching cell (3SSC). The converter has a structure that can be modularized and applied at high voltages and can operate both as rectifier or inverter. A qualitative analysis is performed where the analog and vector modulation technique is presented as well as the control strategy required for the converter. Subsequently, is performed a quantitative analysis of the converter power flow considering the real transformer voltage and current, the analysis of the input current ripple and the loss analysis considering two different switch models. The digital controllers are also dimensioned using the k factor method. Finally, the validation of the study is carried out through simulation and experimental results in a permanent and transient state. A great similarity between the developed models and the simulation and experimental values is obtained. The dimensioned control loops present dynamics with overshoot of less than 15 % and accommodation times of less than 200 ms. The bi-directionality of the structure is demonstrated with a power inversion test. The topology is capable of operating with unit power factor and low THD. In addition, the efficiency curve of the structure is shown which is capable of operating at a maximum of 87,5 % using IGBT switches. It is also demonstrated that this efficiency can be raised to 95,5 % with the use of better performance switches.

**Keywords:** Multi-level ac-dc converter, power factor correction, solid state transformer, dual active bridge, phase-shift.

## LISTA DE FIGURAS

Figura 2.1	– Retificador com célula PFC <i>push-pull</i> baseado no DAB. ....	26
Figura 2.2	– Retificador baseado no DAB com modulação de frequência e <i>phase-shift</i> . ..	26
Figura 2.3	– Retificador baseado no DAB com modulação ZVS otimizada. ....	27
Figura 2.4	– Retificador bidirecional com <i>full-bridge</i> CLLC. ....	28
Figura 2.5	– Retificador com modo de corrente triangular cascadeado com DAB. ....	29
Figura 2.6	– Conversor modular multinível. ....	30
Figura 2.7	– Retificador PFC bidirecional modular multinível. ....	31
Figura 2.8	– Conversor modular multinível com retificador síncrono e DAB. ....	32
Figura 2.9	– Conversor proposto. ....	33
Figura 2.10	– Estrutura modular. ....	33
Figura 3.1	– Estados do secundário. ....	35
Figura 3.2	– Estados do primário. ....	36
Figura 3.3	– Modulação utilizada no conversor proposto. ....	38
Figura 3.4	– Tensão multinível do conversor. ....	39
Figura 3.5	– Tensão multinível e setor. ....	40
Figura 3.6	– Associação de n módulos. ....	40
Figura 3.7	– Vetores do primário. ....	41
Figura 3.8	– Setores do conversor para um módulo. ....	42
Figura 3.9	– Análise dos tempos da tensão multinível ....	43
Figura 3.10	– Estratégia de controle geral ....	45
Figura 3.11	– Circuito de sincronismo PLL. ....	45
Figura 3.12	– Corrente de magnetização do transformador. ....	46
Figura 3.13	– Algoritmo do controle de magnetização. ....	47
Figura 3.14	– Regiões de operação do conversor. ....	48
Figura 3.15	– Mudanças de Regiões. ....	52
Figura 3.16	– Fator de potência, corrente RMS, potência aparente e potência ativa. ....	55
Figura 3.17	– Entrada CA do conversor. ....	55
Figura 3.18	– <i>Ripple</i> de corrente na entrada ....	56
Figura 3.19	– Correntes no conversor. ....	58
Figura 3.20	– Magnéticos do conversor. ....	65
Figura 3.21	– Perdas no conversor. ....	67
Figura 4.1	– Filtro de segunda ordem. ....	71

Figura 4.2	– Diagrama de blocos da malha de tensão do barramento primário.....	73
Figura 4.3	– Função de transferência de laço aberto da tensão de entrada sem compensador.....	74
Figura 4.4	– Função de transferência de laço aberto da tensão de entrada com compensador.....	76
Figura 4.5	– Resposta ao degrau da malha do barramento primário.....	77
Figura 4.6	– Diagrama de blocos da malha de balanceamento dos capacitores. ....	77
Figura 4.7	– Função de transferência de laço aberto de balanceamento dos capacitores com compensador.....	78
Figura 4.8	– Resposta ao degrau da malha de balanceamento.....	79
Figura 4.9	– Diagrama de blocos da malha de corrente.....	80
Figura 4.10	– Função de transferência de laço aberto da corrente sem compensador.....	81
Figura 4.11	– Função de transferência de laço aberto da corrente de entrada com compensador.....	82
Figura 4.12	– Resposta ao degrau da malha de corrente.....	82
Figura 4.13	– Gyrator.....	83
Figura 4.14	– Gyrator aplicado ao DAB.....	84
Figura 4.15	– Diagrama de blocos da malha da tensão de saída.....	84
Figura 4.16	– Função de transferência de laço aberto da tensão de saída sem compensador.....	85
Figura 4.17	– Função de transferência de laço aberto da tensão de saída com compensador.....	86
Figura 4.18	– Resposta ao degrau da malha da tensão de saída.....	86
Figura 4.19	– Diagrama de blocos da malha de balanceamento das tensões de primário. ....	87
Figura 4.20	– Função de transferência de laço abeto de balanceamento dos primários com compensador.....	88
Figura 4.21	– Resposta ao degrau da malha de balanceamento das tensões de primário. ....	88
Figura 4.22	– Diagrama de blocos da malha da corrente de magnetização. ....	89
Figura 4.23	– Função de transferência de laço aberto da magnetização sem compensador. ....	90
Figura 4.24	– Função de transferência de laço aberto da magnetização com compensador. ....	91
Figura 4.25	– Resposta ao degrau da malha da corrente de magnetização.....	91
Figura 5.1	– Circuito de potência (lado primário): (a) Diagrama elétrico, (b) Circuito no PSIM.....	93

Figura 5.2	– Circuito de potência (lado secundário): (a) Diagrama elétrico, (b) Circuito no PSIM.....	94
Figura 5.3	– Bloco controlador.....	95
Figura 5.4	– Bloco modulador.....	95
Figura 5.5	– Circuito de gatilho com tempo morto.....	96
Figura 5.6	– Tensão multinível e tensão de entrada.....	96
Figura 5.7	– Tensão e corrente de entrada no modo retificador.....	97
Figura 5.8	– Ondulação da corrente no indutor de entrada.....	98
Figura 5.9	– Espectro da corrente: (a) Alta frequência, (b) Detalhe da baixa frequência...	98
Figura 5.10	– Tensão de primário, secundário e corrente do transformador no modo retificador.....	99
Figura 5.11	– Tensão e corrente de entrada no modo inversor.....	100
Figura 5.12	– Tensão de primário, secundário e corrente do transformador no modo inversor.....	100
Figura 5.13	– Tensão de entrada, corrente de entrada e defasagem durante degrau de carga.....	101
Figura 5.14	– Corrente de magnetização, tensão de saída e tensão nos capacitores do primário durante degrau de carga.....	102
Figura 5.15	– Comparativo da modelagem matemática com valores simulado.....	102
Figura 5.16	– Circuito com dois módulos e principais grandezas analisadas.....	103
Figura 5.17	– Tensão multinível e tensão de entrada com dois módulos.....	104
Figura 5.18	– Tensão de entrada e corrente de entrada com dois módulos.....	104
Figura 5.19	– Tensão de primário, secundário e corrente do transformador para os dois módulos.....	105
Figura 5.20	– Tensão de entrada, corrente de entrada e ângulo de defasagem durante degrau de carga com dois módulos.....	105
Figura 5.21	– Tensão nos capacitores do primário durante degrau de carga com dois módulos.....	106
Figura 5.22	– Tensão de saída e correntes de magnetização durante degrau de carga com dois módulos.....	106
Figura 6.1	– Protótipo Montado: (a) Vista superior, (b) Vista Frontal.....	108
Figura 6.2	– Detalhe dos Módulos: (a) Primário, (b) Secundários.....	109
Figura 6.3	– Detalhe do DSP utilizado.....	109

Figura 6.4	– Placas de Aquisição: (a) Balanceamento dos Capacitores, (b) PLL e Corrente de Entrada.....	110
Figura 6.5	– Magnéticos: (a) Indutor de Entrada, (b) Indutor de Dispersão e Transformador de Potência, (c) Transformador de Interfase.....	110
Figura 6.6	– Tensões: (a) Multinível, (b) Saída, (c) Capacitores.....	112
Figura 6.7	– Tensão e corrente de entrada modo retificador com 1 módulo.....	112
Figura 6.8	– Detalhe do trafo modo retificador: (a) Tensão do primário, (b) Tensão do secundário, (c) Corrente do primário.....	113
Figura 6.9	– Corrente de magnetização com 1 módulo.....	114
Figura 6.10	– Tensão e corrente de saída no modo Inversor com 1 módulo.....	114
Figura 6.11	– Detalhe do trafo modo inversor: (a) Tensão do primário, (b) Tensão do secundário, (c) Corrente do primário.....	115
Figura 6.12	– Degrau de carga de 50 % para 100 % em modo retificador com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores.....	116
Figura 6.13	– Degrau de carga de 100 % para 50 % em modo retificador com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores.....	117
Figura 6.14	– Degrau de carga de 50 % para 100 % em modo inversor com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores.....	118
Figura 6.15	– Degrau de carga de 100 % para 50 % em modo inversor com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores.....	119
Figura 6.16	– Diagrama para realização do ensaio de degrau de carga no modo inversor.	119
Figura 6.17	– Degrau de carga de -50 % para 60 % com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores.....	120
Figura 6.18	– Detalhe da inversão de fase com 1 módulo.....	121
Figura 6.19	– Análise da potência.....	122
Figura 6.20	– Curva de rendimento no modo retificador.....	122
Figura 6.21	– Tensões multiníveis: (a) Módulo 1, (b) Módulo 2, (c) Total.....	123
Figura 6.22	– Detalhe das tensões multiníveis: (a) Módulo 1, (b) Módulo 2, (c) Total.....	124
Figura 6.23	– Tensão e corrente de entrada com 2 módulos.....	124

Figura 6.24 – Barramentos com 2 módulos: (a) Primário do módulo 1, (b) Primário do módulo 2, (c) Saída.....	125
Figura 6.25 – Capacitores: (a) Módulo 1, (b) Módulo 2.....	126
Figura 6.26 – Tensão e corrente de entrada no modo inversor com 2 módulos. ....	126
Figura 6.27 – Degrau de carga de 50 % para 100 % em modo retificador com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores .....	127
Figura 6.28 – Degrau de carga de 100 % para 50 % em modo retificador com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores .....	128
Figura 6.29 – Degrau de carga de 50 % para 100 % em modo inversor com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores .....	129
Figura 6.30 – Degrau de carga de 100 % para 50 % em modo inversor com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores .....	130
Figura 6.31 – Degrau de carga de -75 % para 75 % com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores .....	131
Figura 6.32 – Detalhe da inversão de fase com 2 módulos.....	132

## LISTA DE TABELAS

Tabela 3.1	– Estados do secundário. ....	36
Tabela 3.2	– Estados do primário. ....	37
Tabela 3.3	– Tempos em cada região. ....	49
Tabela 3.4	– Tensão no transformador em cada região. ....	49
Tabela 3.5	– Corrente nas regiões 1 e 2. ....	50
Tabela 3.6	– Correntes nas regiões 3 e 4. ....	50
Tabela 3.7	– Potência em cada região. ....	51
Tabela 3.8	– Potência quase instantânea. ....	51
Tabela 3.9	– Tempo para mudança de regiões. ....	53
Tabela 3.10	– Especificações do conversor. ....	57
Tabela 3.11	– Corrente média nos semicondutores. ....	60
Tabela 3.12	– Corrente eficaz nos semicondutores. ....	61
Tabela 3.13	– Características elétricas das chaves. ....	63
Tabela 3.14	– Características interpoladas das chaves. ....	63
Tabela 3.15	– Perdas nas chaves. ....	64
Tabela 3.16	– Características dos indutores. ....	65
Tabela 3.17	– Características dos transformadores. ....	66
Tabela 3.18	– Perdas nos magnéticos. ....	67
Tabela 4.1	– Especificações do projeto. ....	69
Tabela 4.2	– Parâmetros do conversor. ....	69
Tabela 4.3	– Resumo do projeto dos circuitos associados aos sensores de tensão. ....	70
Tabela 4.4	– Componentes utilizados nos filtros. ....	72
Tabela 4.5	– Resumo dos dados do controlador da tensão de entrada. ....	76
Tabela 4.6	– Resumo dos dados do controlador de balanceamento dos capacitores. ....	78
Tabela 4.7	– Resumo dos dados do controlador da corrente de entrada. ....	81
Tabela 4.8	– Resumo dos dados do controlador da tensão de saída. ....	85
Tabela 4.9	– Resumo dos dados do controlador de balanceamento dos primários. ....	87
Tabela 4.10	– Resumo dos dados do controlador de magnetização. ....	90
Tabela 6.1	– Principais Componentes Utilizados em 1 Módulo. ....	111

## LISTA DE ABREVIATURAS E SIGLAS

3SSC	<i>Three-State Switching Cell</i> (Célula de Comutação de Três Estados)
AC	<i>Alternate Current</i> (Corrente Alternada)
CA	Corrente Alternada
CC	Corrente Contínua
CC3E	Célula de Comutação de Três Estados
DAB	<i>Dual Active Bridge</i>
DC	<i>Direct Current</i> (Corrente Contínua)
DHB	<i>Dual Half Bridge</i>
GaN	Nitreto de Gálio
IGBT	<i>Insulated Gate Bipolar Transistor</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
NPC	<i>Neutral Point Clamped</i> (Grampeamento do Ponto Neutro)
PFC	<i>Power Factor Correction</i> (Correção de Fator de Potência)
PI	Proporcional-Integral
PLL	<i>Phase Locked Loop</i>
PWM	<i>Pulse-Width Modulation</i> (Modulação por Largura de Pulso)
RMS	<i>Root Mean Square</i> (Raiz quadrada da média quadrática)
SiC	<i>Silicon Carbide</i> (Carboneto de Silício)
SPWM	<i>Sinusoidal Pulse-Width Modulation</i> (Modulação por Largura de Pulso Senoidal)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
ZCS	<i>Zero Current Switching</i> (Comutação sob Corrente Nula)
ZVS	<i>Zero Voltage Switching</i> (Comutação sob Tensão Nula)



## LISTA DE SIMBOLOS

$\alpha$	Componente horizontal da transformada de Clarke
$\beta$	Componente vertical da transformada de Clarke
$\delta_{S_{ij}}(t)$	Função de modulação da chave $S_{ij}$
$\Phi_i$	Defasagem do submódulo $i$
$\Delta I_{L_{max}}$	<i>Ripple</i> máximo da corrente de entrada
$\Delta \Phi_i$	Incremento de fase do módulo $i$
$\theta$	Defasagem entre módulos
$\theta_r$	Fase da rede
$a$	Relação de transformação do transformador
$AF$	Aumento de fase requerido pelo método $k$
$C_{+i}$	Capacitor superior do primário do submódulo $i$
$C_{-i}$	Capacitor inferior do primário do submódulo $i$
$C_{1f}$	Capacitância 1 do filtro <i>butterworth</i>
$C_{2f}$	Capacitância 2 do filtro <i>butterworth</i>
$C_{o\_i}$	Capacitância de saída do submódulo $i$
$D_{S_{i1}}(t)$	Ciclo de trabalho da chave $S_{i1}$
$F_m$	Ganho do modulador
$f_r$	Frequência da rede
$f_s$	Frequência de chaveamento
$FTL_{Ai}(s)$	Função de transferência de laço aberto da corrente
$FTL_{Av}(s)$	Função de transferência de laço aberto da tensão de saída
$FTL_{Az}(s)$	Função de transferência de laço aberto da tensão de primário
$g$	Constante girostática
$G_c$	Ganho para o controlador por fator $k$
$G_i(s)$	Função de transferência da malha de corrente
$G_v(s)$	Função de transferência da malha do barramento de saída
$G_z(s)$	Função de transferência da malha do barramento de entrada
$G_m(s)$	Função de transferência da malha de magnetização
$H_i$	Ganho do sensor de corrente de entrada
$H_v$	Ganho do sensor de tensão
$H_{im}$	Ganho do sensor de corrente de magnetização
$I_{D_{ij\_med}}$	Corrente média do diodo $j$ do submódulo $i$
$I_{D_{ij\_rms}}$	Corrente rms do diodo $j$ do submódulo $i$

$I_{Dij}(t)$	Corrente do diodo j do submódulo i
$I_{in}(t)$	Corrente de entrada
$I_{mag}$	Corrente de magnetização
$I_{med}$	Corrente média
$I_n$	Corrente nominal da chave
$I_{pri}(t)$	Corrente do primário
$I_{rms}$	Corrente rms
$I_{rr}$	Pico de corrente de recuperação reversa
$I_{Sij}(t)$	Corrente da chave j do submódulo i
$I_{Tij\_med}$	Corrente média passando pelo canal da chave j do submódulo i
$I_{Tij\_rms}$	Corrente rms passando pelo canal da chave j do submódulo i
$I_{Tij}(t)$	Corrente que passa pelo canal da chave j do submódulo i
$k$	Fator k
$k_{i\_on}$	Fator i da interpolação da curva de energia de acionamento da chave
$k_{i\_off}$	Fator i da interpolação da curva de energia de desligamento da chave
$K_{ad}$	Ganho do conversor A/D
$l$	Número de níveis da tensão multinível
$L_{disp\_i}$	Indutância de dispersão do módulo i
$L_{in}$	Indutância de entrada
$M$	Índice de modulação
$MF$	Margem de fase
$n$	Número de módulos
$n_{ad}$	Número de bits do conversor A/D
$P_{chaves}$	Potência dissipada pelas chaves
$P_{cobre}$	Potência dissipada nos enrolamentos dos magnéticos
$P_{Dij\_cond}$	Potência dissipada por condução no diodo j do submódulo i
$P_{Dij\_rr}$	Potência dissipada no diodo j do submódulo i por recuperação reversa
$P_o$	Potência de saída do conversor
$P_{Tij\_cond}$	Potência dissipada por condução no canal da chave j do submódulo i
$P_{Tij\_on}$	Potência dissipada no acionamento da chave j do submódulo i
$P_{Tij\_off}$	Potência dissipada no desligamento da chave j do submódulo i
$R_{1f}$	Resistor 1 do filtro <i>butterworth</i>
$R_{2f}$	Resistor 2 do filtro <i>butterworth</i>
$R_D$	Resistência do diodo
$R_{fio}$	Resistência dos enrolamentos dos magnéticos

$R_o$	Resistência de carga
$R_s$	Resistência do canal da chave
$Setor$	Setor da tensão multinível
$S_{ij}$	Chave j do submódulo i
$SM_{pri\_i}$	Submódulo primário i
$SM_{sec\_i}$	Submódulo secundário i
$t_i$	Tempo i da região de operação do transformador
$T_a$	Tempo de amostragem
$t_{c1}$	Tempo de transição da região 1 para a 2 ou 1 para 3
$t_{c2}$	Tempo de transição da região 2 para a 4 ou 3 para 4
$T_{iA}$	Enrolamento A do transformador de interfase do submódulo i
$T_{iB}$	Enrolamento B do transformador de interfase do submódulo i
$T_{iC}$	Enrolamento primário do transformador do submódulo i
$T_{iD}$	Enrolamento secundário do transformador do submódulo i
$t_{off}$	Tempo em nível baixo da tensão multinível
$t_{on}$	Tempo em nível alto da tensão multinível
$T_r$	Período da rede
$t_{rr}$	Tempo de recuperação reversa
$T_s$	Período de chaveamento
$V_{ac}$	Tensão rms de entrada
$V_\alpha$	Componente horizontal da tensão no sistema de Clarke
$V_\beta$	Componente vertical da tensão no sistema de Clarke
$V_{C+i}$	Tensão do capacitor superior do primário do submódulo i
$V_{C-i}$	Tensão do capacitor inferior do primário do submódulo i
$V_{cc\_i}$	Tensão do barramento primário do submódulo i
$V_{CEsat}$	Tensão de saturação da chave
$V_d$	Tensão na direção direta do sistema de Park
$V_{Dcond}$	Queda de tensão no diodo
$V_{Dij}(t)$	Curva característica do diodo j do submódulo i
$V_{Fad}$	Tensão de fundo de escala do conversor A/D
$V_L$	Tensão no indutor de entrada
$V_{multi\_i}$	Tensão multinível do submódulo i
$V_{multi}$	Tensão multinível total do conversor
$V_o$	Tensão de saída
$V_{oref}$	Tensão de referência da saída

$V_p$	Tensão de pico da entrada
$V_{ppm}$	Tensão máxima pico à pico da tensão moduladora
$V_{pri\_i}$	Tensão de primário do transformador do submódulo i
$V_q$	Tensão na direção de quadratura do sistema de Park
$V_{ref}$	Tensão de referência do barramento de entrada
$V_{sec\_i}$	Tensão de secundário do transformador do submódulo i
$V_{Tij}(t)$	Curva característica da chave j do submódulo i
$\omega_c$	Frequência de cruzamento
$\omega_{cut}$	Frequência de corte do filtro <i>butterworth</i>
$W_{Dij\_rr}(t)$	Energia dissipada na recuperação reversa do diodo j do submódulo i
$\omega_p$	Frequência do polo do controlador do tipo k
$\omega_r$	Frequência da rede em radianos
$\omega_z$	Frequência do zero do controlador do tipo k

## SUMARIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>21</b>
<b>2</b>	<b>ESTADO DA ARTE DOS CONVERSORES CA-CC .....</b>	<b>25</b>
<b>2.1</b>	<b>Retificadores de Estágio Único.....</b>	<b>25</b>
<b>2.1.1</b>	<i>Retificador Bidirecional Baseado no DAB.....</i>	<i>25</i>
<b>2.1.2</b>	<i>Retificador Baseado no DAB com Modulação de Frequência Combinada com Phase Shift.....</i>	<i>26</i>
<b>2.1.3</b>	<i>Retificador Baseado no DAB com Modulação ZVS Otimizada .....</i>	<i>27</i>
<b>2.2</b>	<b>Retificadores de Dois Estágios.....</b>	<b>27</b>
<b>2.2.1</b>	<i>Retificador Bidirecional com Full-Bridge CLLC para Isolação.....</i>	<i>28</i>
<b>2.2.2</b>	<i>Retificador PFC Intercalado com Modo de Corrente Triangular .....</i>	<i>28</i>
<b>2.3</b>	<b>Retificadores Monofásicos Modulares.....</b>	<b>29</b>
<b>2.3.1</b>	<i>Conversor Modular Multinível .....</i>	<i>29</i>
<b>2.3.2</b>	<i>Retificador PFC Bidirecional Modular Multinível.....</i>	<i>30</i>
<b>2.3.3</b>	<i>Conversor Modular Multinível com Retificador Síncrono e DAB.....</i>	<i>31</i>
<b>2.4</b>	<b>Topologia Proposta.....</b>	<b>32</b>
<b>2.5</b>	<b>Considerações Finais .....</b>	<b>34</b>
<b>3</b>	<b>ANÁLISE DO CONVERSOR PROPOSTO.....</b>	<b>35</b>
<b>3.1</b>	<b>Análise Qualitativa .....</b>	<b>35</b>
<b>3.1.1</b>	<i>Estados de Funcionamento.....</i>	<i>35</i>
<b>3.1.2</b>	<i>Técnica de Modulação .....</i>	<i>37</i>
<b>3.1.3</b>	<i>Modulação vetorial.....</i>	<i>40</i>
<b>3.1.4</b>	<i>Estratégia de Controle Geral.....</i>	<i>44</i>
<b>3.2</b>	<b>Análise Quantitativa.....</b>	<b>47</b>
<b>3.2.1</b>	<i>Modelo Completo.....</i>	<i>47</i>
<b>3.2.2</b>	<i>Análise da Corrente de entrada .....</i>	<i>55</i>
<b>3.2.3</b>	<i>Estudo das Perdas.....</i>	<i>57</i>
<b>3.2.3.1</b>	<i>Correntes Média e Eficaz .....</i>	<i>57</i>
<b>3.2.3.2</b>	<i>Cálculo das Perdas por Condução e Comutação .....</i>	<i>61</i>
<b>3.2.3.3</b>	<i>Cálculo das Perdas dos Magnéticos .....</i>	<i>64</i>
<b>3.2.3.4</b>	<i>Eficiência do Conversor.....</i>	<i>67</i>
<b>3.3</b>	<b>Considerações Finais .....</b>	<b>68</b>
<b>4</b>	<b>PROCEDIMENTO DE PROJETO .....</b>	<b>69</b>

4.1	Sensores de Tensão.....	70
4.2	Sensores de Corrente.....	70
4.3	Filtros.....	71
4.4	Projeto dos Controladores.....	72
4.4.1	<i>Controlador do Barramento de Tensão do Primário</i> .....	72
4.4.2	<i>Controlador da Corrente de Entrada</i> .....	79
4.4.3	<i>Controlador do Barramento da Tensão do Secundário</i> .....	83
4.4.4	<i>Controlador da Corrente de Magnetização</i> .....	89
4.5	Considerações Finais.....	92
5	<b>RESULTADOS DE SIMULAÇÃO</b> .....	93
5.1	Detalhes do Circuito Simulado.....	93
5.2	Análise dos Resultados.....	96
5.2.1	<i>Resultados com 1 Módulo</i> .....	96
5.2.2	<i>Resultados com 2 Módulos</i> .....	103
5.3	Considerações Finais.....	107
6	<b>RESULTADOS EXPERIMENTAIS</b> .....	108
6.1	Descrição do Protótipo Experimental.....	108
6.2	Resultados Experimentais .....	111
6.2.1	<i>Resultados com 1 Módulo</i> .....	111
6.2.2	<i>Resultados com 2 Módulos</i> .....	122
6.3	Considerações Finais.....	132
7	<b>CONCLUSÃO</b> .....	133
	<b>REFERÊNCIAS</b> .....	135
	<b>APÊNDICE A – DIMENSIONAMENTO DOS MAGNÉTICOS</b> .....	141
	<b>APÊNDICE B – CÓDIGO EM LINGUAGEM C UTILIZADO NO BLOCO DE CONTROLE DO PSIM</b> .....	143
	<b>APÊNDICE C – CÓDIGO EM LINGUAGEM C UTILIZADO NO BLOCO MODULADOR DO PSIM</b> .....	148
	<b>APÊNDICE D – CÓDIGO EM LINGUAGEM C UTILIZADO NO DSP CPU1 PARA 1 MÓDULO</b> .....	159
	<b>APÊNDICE E – CÓDIGO EM LINGUAGEM C UTILIZADO NO DSP CPU2 PARA 1 MÓDULO</b> .....	173

## 1 INTRODUÇÃO

O aumento do consumo de energia no mundo demanda um aumento proporcional na geração. Para se alcançar tal requerimento os usos de energias renováveis assim como sistemas distribuídos de energia e redes inteligentes têm crescido consideravelmente (QIAO et al., 2010). Dentro desse cenário, o uso de sistemas de tensão contínua tem se tornado uma solução bastante interessante (PRITCHARD; GREGORY; SRDIC, 2016). Dessa forma, o uso de sistemas que realizam a conversão CA-CC, conhecidos como retificadores, se torna muito importante em diversas aplicações. Em Oliveira et al. (2012) pode ser visto um conversor CA-CC destinado a sistemas de geração distribuída. Em Vancu et al. (2012) pode ser visto um comparativo de diversas topologias para sistemas de redes inteligentes. Em Musavi, Eberle e Dunford (2011) pode ser vista a utilização de retificadores em um carregador de baterias para veículos elétricos. Em Kasper et al. (2015) pode ser vista a otimização de uma topologia para utilização em sistemas de telecomunicações.

Muitas dessas aplicações requisitam do conversor a capacidade de processar energia em ambos os sentidos de conversão, sendo assim chamados de conversores bidirecionais.

Além disso, diversas normas internacionais estabelecem limites para o fator de potência e taxa de distorção harmônica dos equipamentos eletrônicos (IEC, 2001). Dessa forma, a utilização de circuitos retificadores capazes de realizar a correção do fator de potência assim como reduzir a taxa de distorção harmônica tem se tornado crucial, surgindo assim, uma grande quantidade de topologias (SINGH et al., 2011).

Outro fator crucial para o desenvolvimento de uma nova topologia é a densidade de potência do conversor. Nos dias atuais, diversas aplicações, como tração elétrica e aeronaves, necessitam que o conversor possua um tamanho e peso reduzidos. Para que uma elevada densidade de potência seja alcançada é necessário que o conversor possua uma elevada eficiência operando em frequências altas. Operar o conversor em altas frequências acarreta na redução dos magnéticos e a elevada eficiência reduzirá os dissipadores. Em Ortmann, Mussa e Heldwein (2009) pode ser vista uma análise da utilização de uma célula de múltiplos estados para o aumento da eficiência e em Everts et al. (2014a) é feita uma modulação otimizada com obtenção de comutação suave para a redução das perdas.

Outra maneira de se obter melhores eficiências é através da utilização de componentes de alta qualidade como nanocristais para os magnéticos e chaves de alto

desempenho como o carbeto de silício (SiC) e o nitreto de gálio (GaN). Em Huang et al. (2017) é realizada uma análise sobre a utilização de chaves de carbeto de silício em sistemas de média tensão apresentando bons resultados.

Uma aplicação que tem ganhado bastante espaço no cenário atual é o transformador de estado sólido. Em Huber e Kolar (2016) pode ser visto que o transformador de estado sólido, similarmente ao transformador convencional, é um circuito capaz de realizar o acoplamento magnético entre dois circuitos. Além disso, ele é capaz de realizar o casamento de impedâncias e a isolação. Os transformadores convencionais são construídos através de um núcleo magnético e pelo menos dois enrolamentos. Um dos enrolamentos é alimentado com uma tensão alternada e através do processo de indução surge uma tensão no outro enrolamento. Esses transformadores normalmente são operados em baixa frequência acarretando em um grande peso e volume. Além da desvantagem dimensional, os transformadores convencionais necessitam de circuitos e dispositivos externos para a realização da proteção e regulação de anomalias provenientes da rede e da carga.

Por outro lado, o transformador de estado sólido utiliza conversores chaveados para obter uma tensão alternada de frequência maior acarretando na redução do seu volume e peso. Além disso, a utilização de conversores eletrônicos em sua construção possibilita a regulação de tensão assim como a correção do fator de potência e filtragem ativa da rede sem necessidade de dispositivos externos.

Esses transformadores de estado sólido podem ser construídos utilizando um conversor CA-CC para obter um barramento contínuo seguido por um conversor que produz uma tensão alternada de frequência maior para o transformador. Em seguida, a tensão alternada de alta frequência do transformador é convertida novamente em contínua para finalmente ser convertida em uma tensão alternada na frequência da rede. Muitas dessas etapas podem ser integradas em um único estágio para reduzir o número de componentes. Além disso, dependendo da topologia empregada podem estar disponíveis barramentos de tensão contínua, tanto em alta quanto em baixa tensão, que podem ser utilizados para a conexão de fontes de energia renováveis como foi classificado por Falcones, Xiaolin e Ayyanar (2010).

Diversas topologias estão sendo apresentadas como pode ser visto em Kolar e Ortiz (2013). Tanto com um, dois ou três estágios de conversão. Além disso, vem crescendo o número de transformadores construídos. Um grande mercado que primeiramente absorveu esses transformadores foi o de tração elétrica ferroviária devido à redução do peso e volume.



Em Feng et al. (2017) é realizada uma compilação com diversas topologias e transformadores construídos para aplicações em trens elétricos. Contudo, a aplicação em sistemas de distribuição vem crescendo gradativamente como pode ser visto em Huang, She e Burgos (2013).

Uma grande limitação para os transformadores de estado sólido vem a ser a tensão de bloqueio máxima dos semicondutores. Mesmo com todo o avanço atual na tecnologia de semicondutores a tensão de bloqueio máxima é de 15000 V. Para contornar esse problema tem crescido a quantidade de topologias apresentadas que possuem uma estrutura modular e multinível. Esse tipo de estrutura divide os esforços dos semicondutores permitindo assim a aplicação em tensões mais elevadas. Além disso, as topologias multiníveis apresentam uma menor taxa de distorção harmônica para a tensão reduzindo assim o filtro necessário para a corrente (HOLMES; LIPO, 2003).

As estruturas modulares também possibilitam a construção de conversores mais confiáveis permitindo a instalação de módulos redundantes que entram em funcionamento caso um módulo falhe. Em Liserre et al. (2016) é realizado um estudo que mostra a possibilidade de aumentar a vida útil dos módulos em um conversor modular.

Dessa forma, o desenvolvimento de conversores CA-CC para aplicação em transformadores de estado sólido representa uma grande contribuição.

Neste contexto, a presente dissertação visa à análise e desenvolvimento de um conversor CA-CC multinível de único estágio para aplicação em transformadores de estado sólido.

O presente texto está organizado em sete capítulos, sendo estes descritos na sequência:

Capítulo 2 – Estado da arte dos conversores CA-CC. Neste ponto, são descritos os principais conversores encontrados na literatura. São apresentadas diversas topologias separadas em estágio único, dois estágios e modulares, constituindo assim uma base para a concepção da topologia proposta, por sua vez apresentada no final deste capítulo.

Capítulo 3 – Análise do conversor CA-CC. Uma vez que a topologia é proposta, esta seção dedica-se a descrever a estrutura supracitada em detalhes. Primeiramente, realiza-se a análise qualitativa, sendo apresentada a técnica de modulação e a estratégia de controle. Em seguida, tem-se a análise quantitativa, na qual se desenvolve o equacionamento dos principais elementos do conversor. Por fim, realiza-se o estudo das perdas do conversor.

Capítulo 4 – Procedimento de projeto. Neste capítulo, é descrito detalhadamente o projeto dos sensores e filtros. Em seguida, é apresentado o projeto dos controladores utilizados.

Capítulo 5 – Resultados de simulação. Buscando validar a topologia proposta, são discutidos neste capítulo alguns resultados de simulação. Além dos resultados em regime permanente, são aplicados degraus de carga para validar o funcionamento correto dos controladores e demonstrar a bidirecionalidade de fluxo de potência do conversor.

Capítulo 6 – Resultados experimentais: Através de um protótipo montado em laboratório são apresentados os resultados experimentais. Analogamente à simulação, são discutidas formas de ondas em estado permanente e dinâmico do conversor. Além disso, é obtida a curva de rendimento do conversor.

Capítulo 7 – Conclusão geral: Finalmente, são apresentadas as considerações finais do trabalho, discutindo-se detalhadamente o estudo desenvolvido e propondo-se sugestões para continuidade da pesquisa em termos de trabalhos futuros.

## 2 ESTADO DA ARTE DOS CONVERSORES CA-CC

Neste capítulo é realizada a revisão de literatura envolvendo os principais conversores CA-CC relacionados ao tema proposto. Com base na discussão do capítulo anterior os conversores aqui discutidos apresentam bidirecionalidade e isolamento. Além disso, este capítulo é dividido em três tópicos. Primeiramente são discutidas topologias de conversores de único estágio. Na segunda parte é dada atenção aos conversores de dois estágios e na terceira parte são apresentadas topologias modulares. Por fim, é apresentada a topologia que será estudada no restante desse trabalho.

Vale ainda mencionar aqui a relevância do trabalho de Tsai-Fu, Te-Hung e Yuan-Chuan (1999) onde são apresentados diversos conversores de estágio único relacionando o rendimento à célula de correção de fator de potência utilizada e o trabalho de Singh et al. (2003) que realizou uma revisão literária de diversos retificadores monofásicos classificando-os em unidirecionais e bidirecionais conforme a célula de correção do fator de potência. Esses dois trabalhos em conjunto representam um grande alicerce para o estudo dos retificadores.

### 2.1 Retificadores de Estágio Único

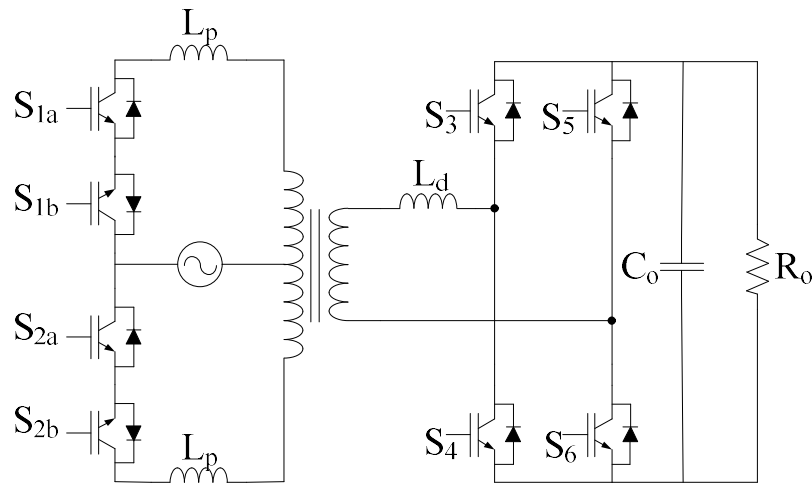
Dentre as diversas topologias retificadoras encontradas na literatura, esta seção dedica-se à revisão dos trabalhos associados aos conversores monofásicos de único estágio. Esse tipo de estrutura contém um número reduzido de componentes sendo ideais para redução de volume.

#### 2.1.1 Retificador Bidirecional Baseado no DAB

Em Baranwal et al. (2018) é apresentado o conversor visto na Figura 2.1. O conversor é bidirecional, com único estágio baseado no conversor *Dual Active Bridge* (DAB) proposto em Doncker, Divan e Kheraluwala (1991) utilizando como célula de correção do fator de potência uma estrutura *push-pull*. Através da metodologia de controle proposta no trabalho é possível obter *Zero Current Switching* (ZCS) no lado CA e *Zero Voltage Switching* (ZVS) no lado CC. Além disso, a metodologia de controle foi otimizada para a redução da corrente eficaz do transformador, aumentando assim seu fator de utilização e reduzindo suas perdas. O conversor foi testado para diversas potências inferiores à 200 W obtendo uma

eficiência máxima de 88 %. Além disso, os semicondutores do lado primário são submetidos a grandes esforços.

Figura 2.1 – Retificador com célula PFC *push-pull* baseado no DAB.

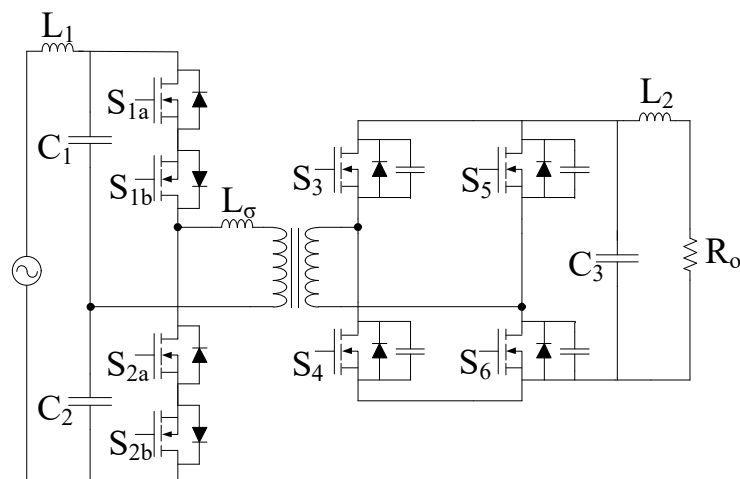


FONTE: Adaptada de Baranwal et al. (2018).

### 2.1.2 Retificador Baseado no DAB com Modulação de Frequência Combinada com *Phase Shift*

Em Jauch e Biela (2016) é apresentada uma modulação por frequência combinada com *phase shift* para a obtenção de ZVS nas chaves CA. A topologia, que pode ser vista na Figura 2.2, é constituída de um DAB utilizando uma meia ponte no lado CA e uma ponte completa no lado secundário.

Figura 2.2 – Retificador baseado no DAB com modulação de frequência e *phase-shift*.



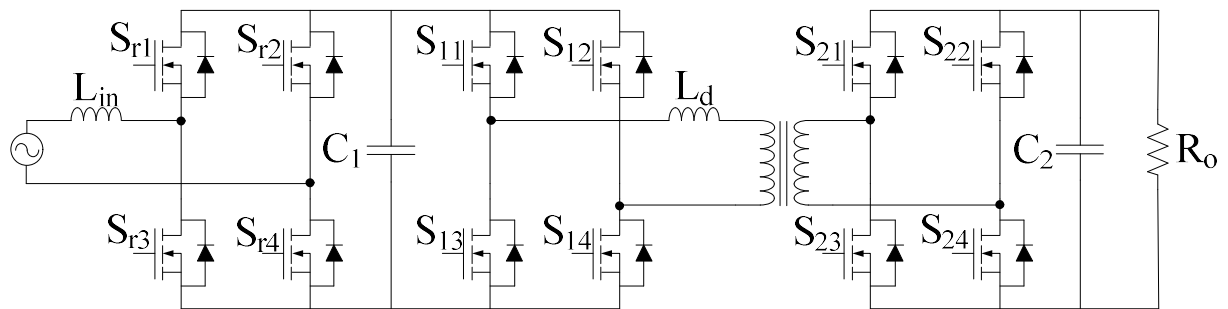
FONTE: Adaptada de Jauch e Biela (2016).

Essa topologia foi originalmente proposta em Jauch e Biela (2012) e é validada com um protótipo de 3,3 kW. Além da eficiência de aproximadamente 97 % foi obtida uma taxa de distorção harmônica na corrente de 2,89 % e fator de potência unitário.

### 2.1.3 Retificador Baseado no DAB com Modulação ZVS Otimizada

Em Everts et al. (2014a) é apresentada uma otimização da modulação para a obtenção de ZVS. A metodologia foi validada em um DAB bidirecional isolado conectado a um retificador síncrono conforme visto na Figura 2.3.

Figura 2.3 – Retificador baseado no DAB com modulação ZVS otimizada.



FONTE: Adaptada de Everts et al. (2014a).

O capacitor na saída do retificador possui um valor bastante pequeno sendo responsável apenas pela filtragem de alta frequência. A validação foi realizada com um protótipo de 3,7 kW apresentando um rendimento de 96 %. Devido à presença do barramento variável há um aumento da circulação de reativo comprometendo a eficiência do conversor.

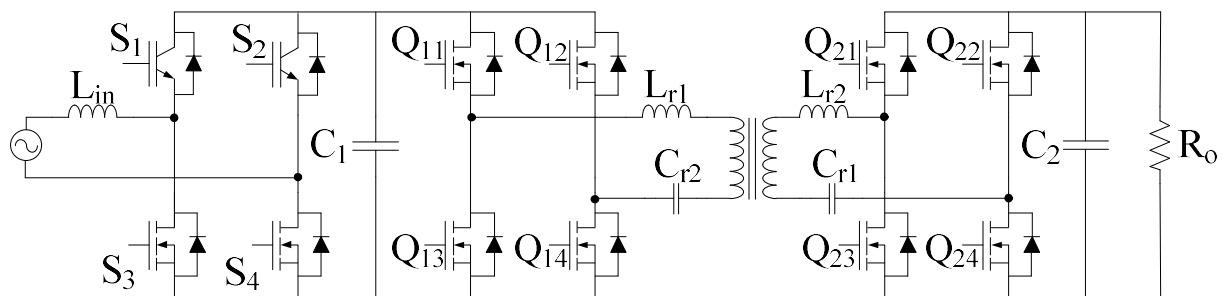
## 2.2 Retificadores de Dois Estágios

Esta seção é dedicada à apresentação de diversas topologias de retificadores monofásicos de dois estágios. Esse tipo de topologia é composto de um retificador cascateado com um conversor CC-CC isolado.

### 2.2.1 Retificador Bidirecional com Full-Bridge CLLC para Isolação

Em Kim et al. (2013) é proposta a utilização de um retificador bidirecional em cascata com o conversor proposto em Kim et al. (2012) para realização da isolamento e interface dos barramentos. A topologia pode ser vista na Figura 2.4. No retificador são utilizadas chaves do tipo *Insulated Gate Bipolar Transistor* (IGBT) com diodos de carbeto de silício em antiparalelo na parte superior dos braços para a redução dos efeitos de recuperação reversa durante a operação em modo CA-CC.

Figura 2.4 – Retificador bidirecional com *full-bridge* CLLC.



FONTE: Adaptada de Kim et al. (2013).

Na parte inferior da ponte retificadora são utilizados *Metal Oxide Semiconductor Field Effect Transistor* (MOSFET) para reduzir as perdas de condução e para obtenção de comutação suave na operação inversora. O conversor CC-CC utilizado apresenta ZVS em todas as chaves do primário e comuta suavemente as do secundário dispensando o uso de circuitos grampeadores para a redução dos esforços nas chaves. Contudo, o controle da tensão em baixas cargas apresenta uma grande dificuldade devido às características ressonantes do circuito e os elevados ganhos. Um protótipo de 5 kW foi montado em laboratório e foi obtido um rendimento de 94,5 % no modo retificador e 94,2 % em modo inversor considerando carga nominal.

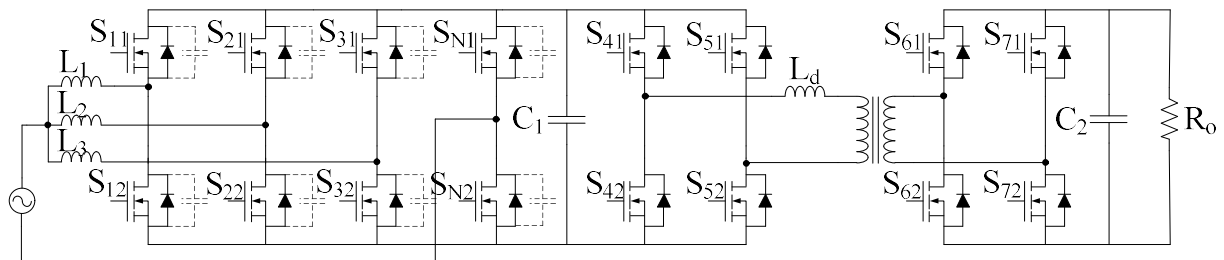
### 2.2.2 Retificador PFC Intercalado com Modo de Corrente Triangular

Em Marxgut, Biela e Kolar (2010) é proposta uma topologia que utiliza um braço em alta frequência operando em comutação suave em conjunto com um braço na frequência da rede. Esta topologia apresenta um elevado *ripple* de corrente no indutor que pode afetar consideravelmente o fator de potência e a taxa de distorção harmônica. Para contornar esse

efeito, no artigo também é proposta a utilização de um sistema intercalado com diversas células reduzindo assim o ripple de corrente. Além disso, o braço de baixa frequência é capaz de reduzir a emissão de interferência magnética de modo comum.

A topologia originalmente apresentada não é isolada. Contudo, em Everts et al. (2012) foi proposto o cascadeamento em dois estágios, visto na Figura 2.5, dessa topologia com um conversor DAB apresentando bons resultados em eficiência.

Figura 2.5 – Retificador com modo de corrente triangular cascadeado com DAB.



FONTE: Adaptada de Everts et al. (2012).

A topologia foi validada com um protótipo de 200 W e três módulos intercalados obtendo uma eficiência de 96,9 %. Apesar da eficiência, o volume da estrutura foi maior se comparado com estruturas em único estágio. Uma desvantagem dessa topologia é a variação da frequência de chaveamento que dificulta consideravelmente o dimensionamento dos componentes de filtro assim como a metodologia de controle. Em Biela et al. (2010) é mostrado os resultados de um protótipo da mesma topologia com 3 kW de potência alcançando uma eficiência de 98,3 % .

## 2.3 Retificadores Monofásicos Modulares

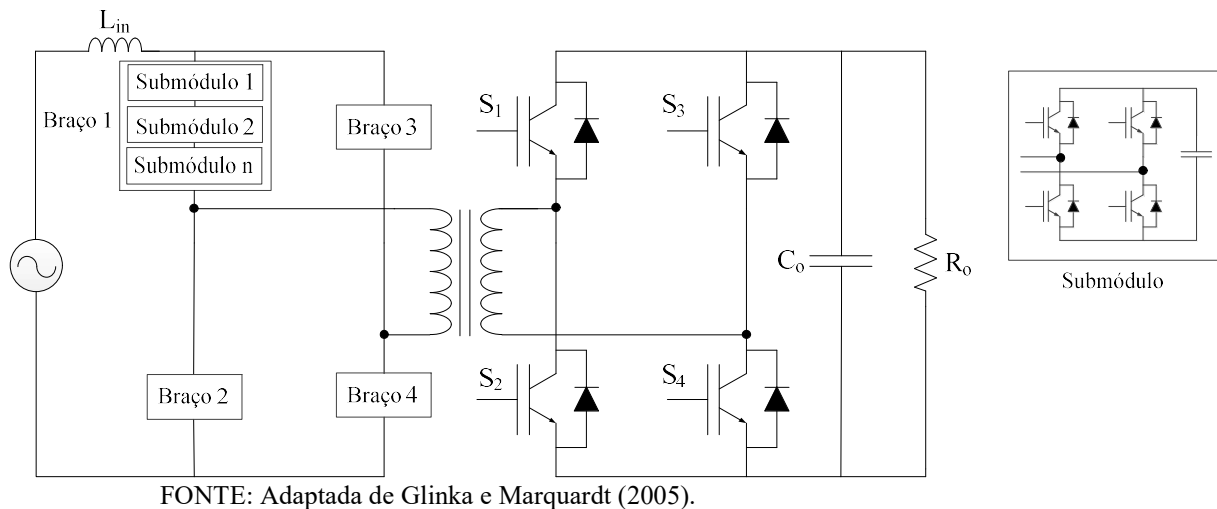
Esta seção é destinada a apresentação de topologias de conversores monofásicos modulares. Como dito anteriormente, esse tipo de conversor apresenta grande utilidade em elevadas tensões por permitir a divisão dos esforços nos semicondutores além de possibilitar uma maior confiabilidade para o conversor permitindo a redundância de módulos.

### 2.3.1 Conversor Modular Multinível

Em Glinka e Marquardt (2005) é apresentada uma topologia de conversor modular multinível destinada à aplicação em tração elétrica ferroviária. A topologia possui

quatro braços idênticos, compostos de vários submódulos contendo pontes completas com capacitores, como pode ser visto na Figura 2.6. A topologia assim proposta opera em estágio único não necessitando de barramento contínuo de tensão elevada. Para o funcionamento adequado do conversor é necessário que todos os capacitores sejam balanceados. O conversor foi simulado com uma potência de 5 MW e em Glinka (2004) foi demonstrado um protótipo de 2 MW com dezessete níveis.

Figura 2.6 – Conversor modular multinível



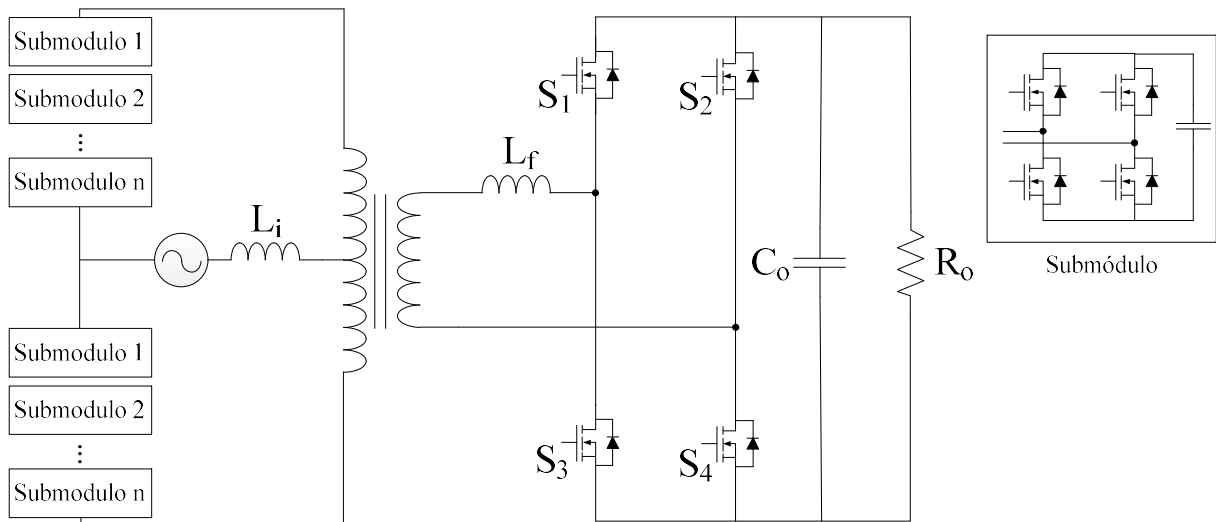
### 2.3.2 Retificador PFC Bidirecional Modular Multinível

Em Pacheco, Brito e Oliveira (2015) é proposta a topologia vista na Figura 2.7 destinada à aplicação em transformadores de estado sólido.

Esta topologia é composta do cascadeamento de diversos módulos em ponte completa, interligados a um transformador de interfase. A topologia possui característica boost e utiliza a técnica de *interleaving* através da célula de três estado proposta em Bascope e Barbi (2000). É utilizada uma modulação por *phase shift* unipolar em cada submódulo fazendo com que a topologia apresente uma boa distribuição das perdas nos semicondutores assim como uma boa taxa de distorção harmônica. Para validação da topologia foi realizada uma simulação utilizando 4 submódulos e uma potência de 3,3 kW. Na simulação foi obtido um fator de potência de 0,99 e uma taxa de distorção harmônica menor que 2 % na corrente.



Figura 2.7 – Retificador PFC bidirecional modular multinível.



FONTE: Adaptada de Pacheco, Brito e Oliveira (2015).

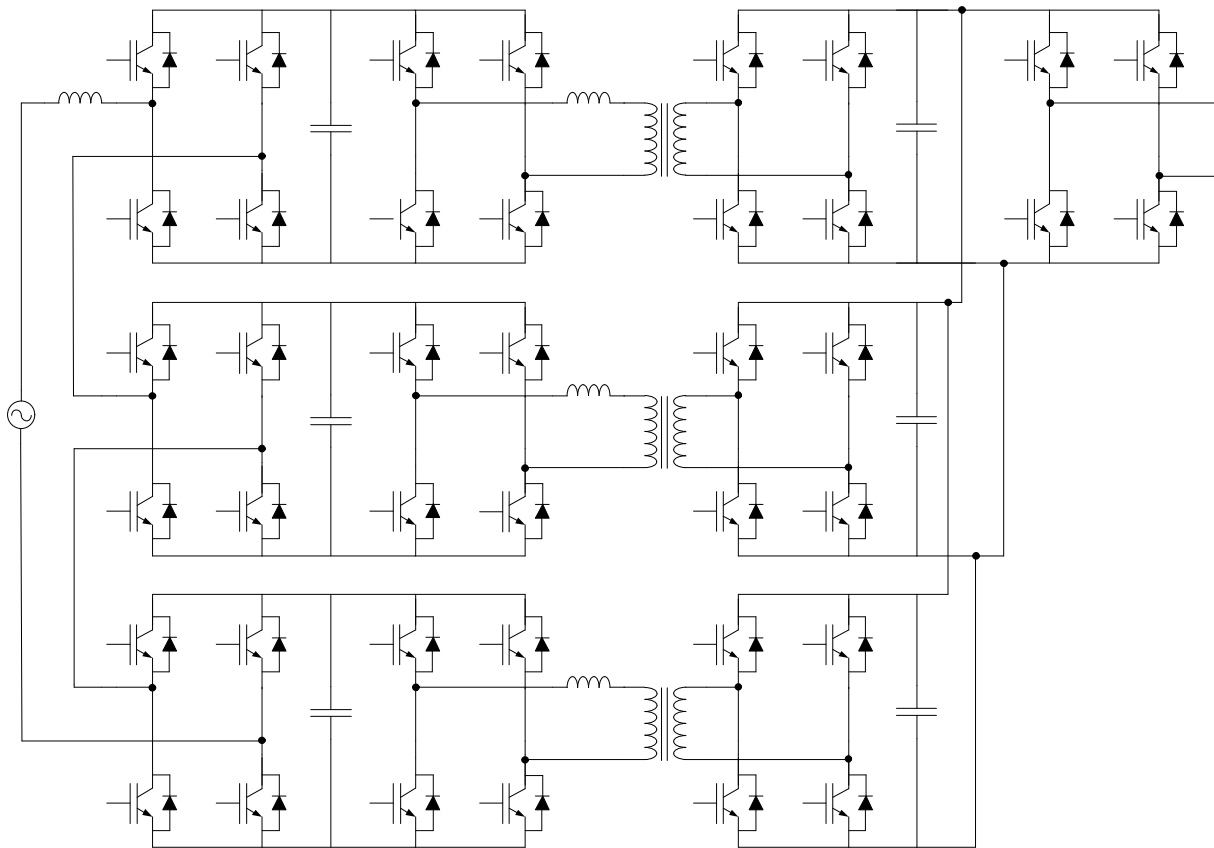
### 2.3.3 Conversor Modular Multinível com Retificador Síncrono e DAB

Uma estrutura muito utilizada que possui modularidade, bidirecionalidade, isolamento e comutação suave é a utilização de um retificador síncrono em conjunto com um conversor DAB. Diversos trabalhos implementaram essa estrutura realizando o cascadeamento de módulos conforme visto na Figura 2.8.

O cascadeamento se dá pela conexão em série do lado de alta tensão, para dividir os esforços de tensão nas chaves, e em paralelo no lado de baixa tensão, para a redução da corrente nos semicondutores. Em She et al. (2014) foi construído um protótipo de 10 kVA recebendo uma tensão alternada de 3,6 kV obtendo fator de potência unitário. Considerando apenas carga contínua de 4 kW o conversor alcançou uma eficiência de 92 %. Diversos testes foram realizados tais como compensação de reativo, afundamento de tensão e integração com micro rede.

Em Fan e Li (2011) é proposta uma topologia semelhante, porém utilizando um conversor meia ponte sendo chamada de *Dual Half-Bridge* (DHB). O conversor opera com ZVS em todas as chaves através da modulação por defasagem, utiliza um transformador planar para a redução das perdas no núcleo do transformador e um indutor adaptativo para manter comutação suave em cargas baixas. A topologia é validada com um protótipo de 1 kW de potência operando em 50 kHz obtendo um rendimento máximo de 97,2 %. Além disso, o conversor conseguiu manter o rendimento acima de 96 % desde 25 % de carga até o valor nominal.

Figura 2.8 – Conversor modular multinível com retificador síncrono e DAB.



FONTE: Adaptada de She et al. (2014).

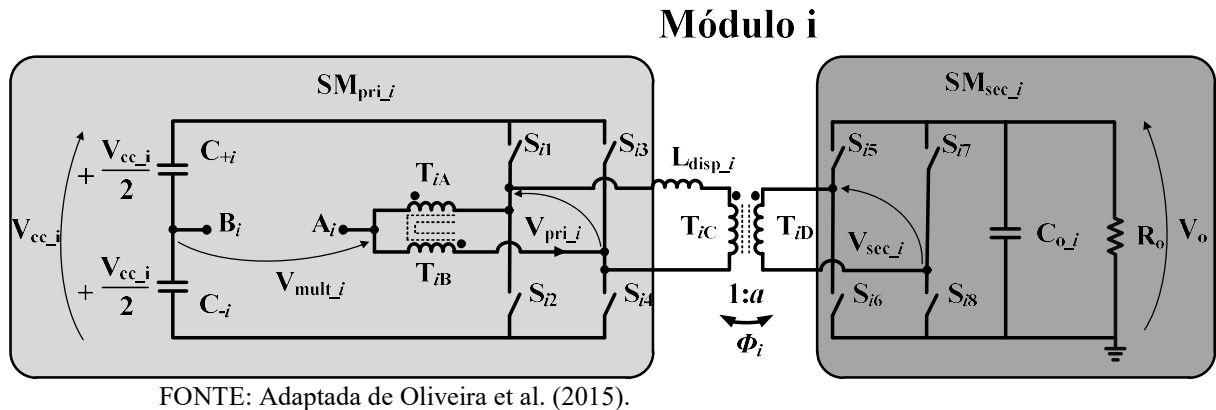
## 2.4 Topologia Proposta

Tendo em vista as topologias vistas anteriormente o presente trabalho propõe a análise e desenvolvimento do conversor proposto em Oliveira et al. (2015). O conversor, que pode ser visto na Figura 2.9, utiliza a técnica de *interleaving* em conjunto com a célula de comutação de três estados. Além disso, utiliza um DAB com modulação por *phase-shift* para o controle do fluxo de potência.

Dentre as principais características desse conversor de estágio único destacam-se:

- a) correção do fator de potência;
- b) isolação galvânica em alta frequência;
- c) bidirecionalidade de fluxo de potência;
- d) regiões com comutação não dissipativa.

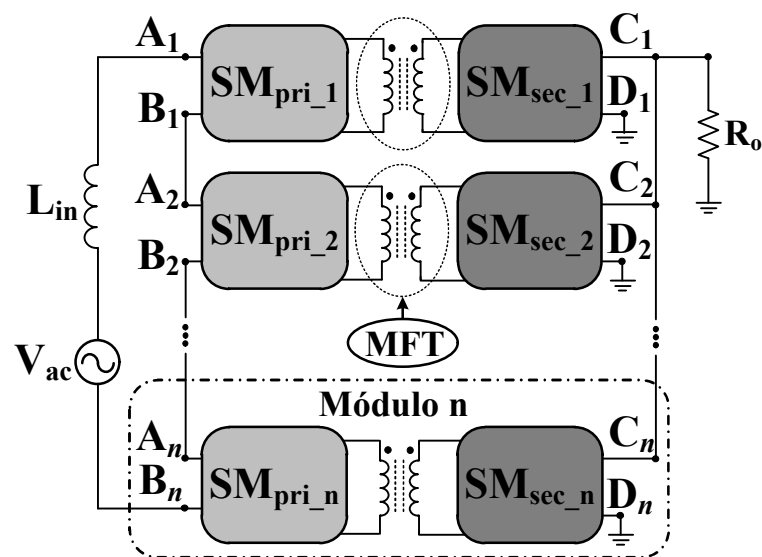
Figura 2.9 – Conversor proposto.



Além disso, a topologia apresenta dois barramentos contínuos de tensão, um no lado primário e outro no secundário permitindo assim a conexão de cargas ou fontes de energia renováveis. Nota-se ainda que todos esses barramentos são controlados, sendo o barramento do lado primário controlado pelo ciclo de trabalho e o do secundário através do *phase-shift*.

A topologia também permite a modularização do conversor com a conexão do primário em série, para conexão em elevadas tensões, e o secundário em paralelo, para o processamento de elevadas correntes, como pode ser visto na Figura 2.10.

Figura 2.10 – Estrutura modular.



O conversor assim proposto apresenta todas as características fundamentais para aplicação em transformadores de estado sólido.

## **2.5 Considerações Finais**

Este capítulo apresentou uma revisão bibliográfica de retificadores. Diversas topologias foram apresentadas e classificadas por características relevantes ao presente estudo. Primeiramente foram descritas topologias de estágio único, em sequencia topologias de dois estágios e conversores modulares.

Diante do exposto, foi proposto o estudo de uma nova topologia de retificador modular, multinível, bidirecional em estágio único baseada no DAB. O conversor possui viabilidade para integração com diversas cargas ou fontes de energias renováveis. Além disso, devido à isolação galvânica em alta frequência e a capacidade de correção do fator de potência o conversor também pode ser aplicado em transformadores de estado sólido.

### 3 ANÁLISE DO CONVERSOR PROPOSTO

Uma vez realizada a revisão bibliográfica, este capítulo dedica-se à descrição detalhada do conversor proposto. Em um primeiro momento é realizada uma análise qualitativa do conversor onde é descrito o seu funcionamento através dos seus estados de operação, estratégia de modulação e as estruturas de controle necessárias.

Na segunda parte do capítulo é realizada a análise quantitativa do conversor através do equacionamento da potência ativa, determinação do *ripple* máximo de corrente e estudo das perdas.

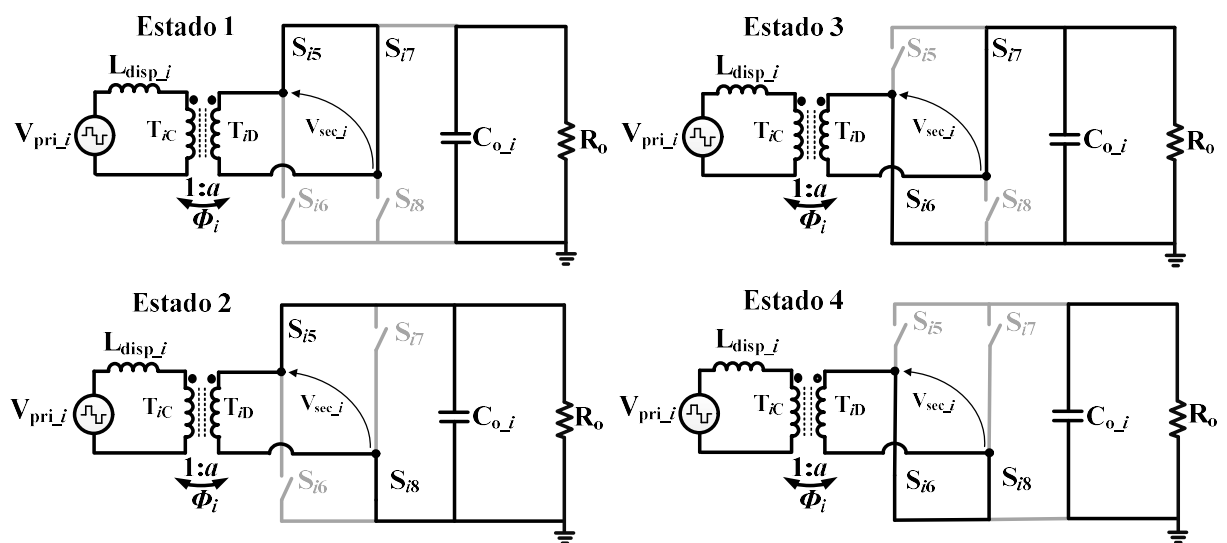
#### 3.1 Análise Qualitativa

Nesta seção é apresentada a análise qualitativa do conversor através dos seus estados de funcionamento, estratégia de modulação e controle.

##### 3.1.1 Estados de Funcionamento

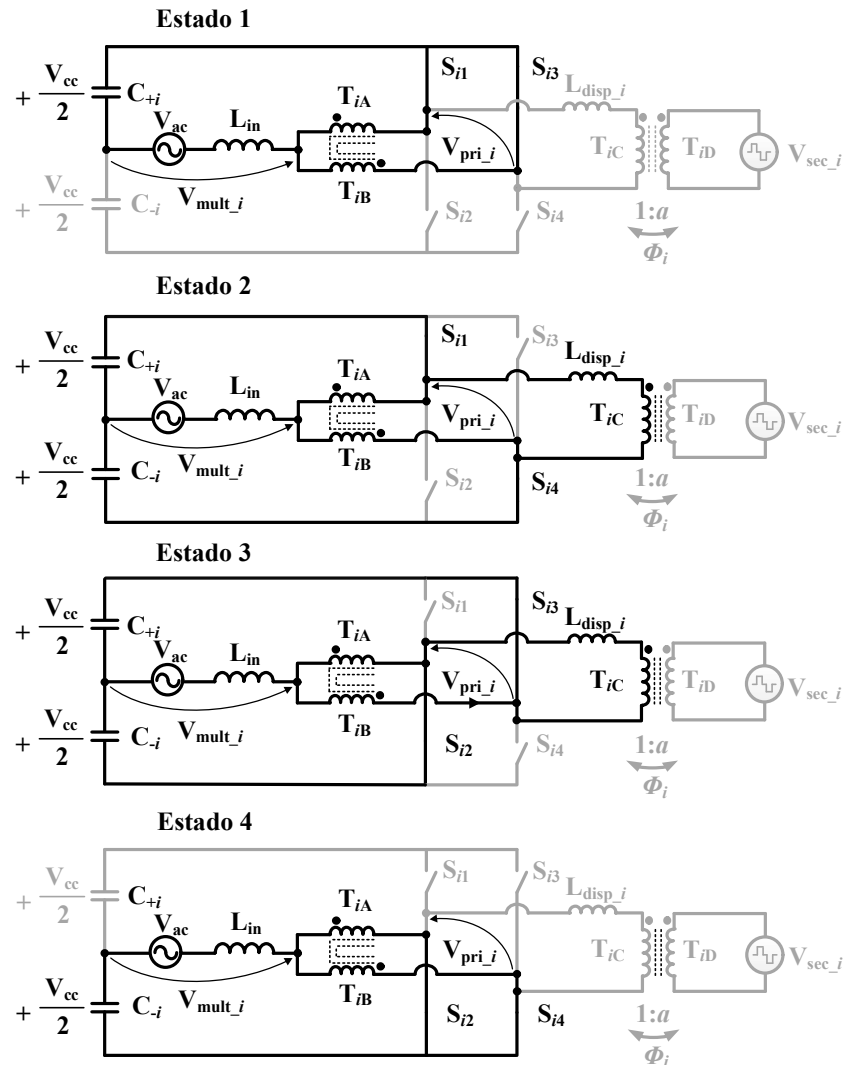
Na Figura 3.1 podem ser vistos os estados possíveis do lado secundário do conversor e na Figura 3.2 os do primário.

Figura 3.1 – Estados do secundário.



FONTE: Próprio autor.

Figura 3.2 – Estados do primário.



FONTE: Próprio autor.

Na Tabela 3.1 estão representados os estados das chaves do secundário com os respectivos valores de tensão do secundário,  $V_{sec\_i}$ .

Tabela 3.1 – Estados do secundário.

<i>Estado</i>	$S_{i5}$	$S_{i6}$	$S_{i7}$	$S_{i8}$	$V_{sec\_i}$
1	1	0	1	0	0
2	1	0	0	1	$a \cdot V_{pri\_i}$
3	0	1	1	0	$a \cdot V_{pri\_i}$
4	0	1	0	1	0

FONTE: Próprio autor.

Na Tabela 3.2 são resumidos os estados do primário com o valor da tensão multinível,  $V_{multi\_i}$ , e da tensão do primário,  $V_{pri\_i}$ , do transformador.

Tabela 3.2 – Estados do primário.

<i>Vetor</i>	<i>Estado</i>	$S_{i1}$	$S_{i2}$	$S_{i3}$	$S_{i4}$	$V_{multi\_i}$	$V_{pri\_i}$
$V_1$	1	1	0	1	0	$+\frac{V_{cc}}{2}$	0
$V_2$	2	1	0	0	1	0	$+V_{cc}$
$V_3$	3	0	1	1	0	0	$-V_{cc}$
$V_4$	4	0	1	0	1	$-\frac{V_{cc}}{2}$	0

FONTE: Próprio autor.

Utilizando uma técnica de modulação adequada é possível obter uma sequência desses estados capaz de estabelecer uma tensão de três níveis tanto no transformador quanto na tensão multinível assim como realizar o controle do fluxo de potência.

### 3.1.2 Técnica de Modulação

A modulação utilizada nesse conversor é baseada na técnica *Sinusoidal Pulse-Width Modulation* (SPWM). Esta técnica utiliza duas portadoras defasadas em  $180^\circ$ , uma para cada braço da ponte, comparadas com uma moduladora senoidal (HOLMES; LIPO, 2003). Além disso, o controle do fluxo de potência no transformador é realizado através da técnica de *phase-shift*. Nessa técnica a direção e intensidade de potência são controladas através do valor do ângulo de defasagem entre as portadoras da ponte do primário e secundário.

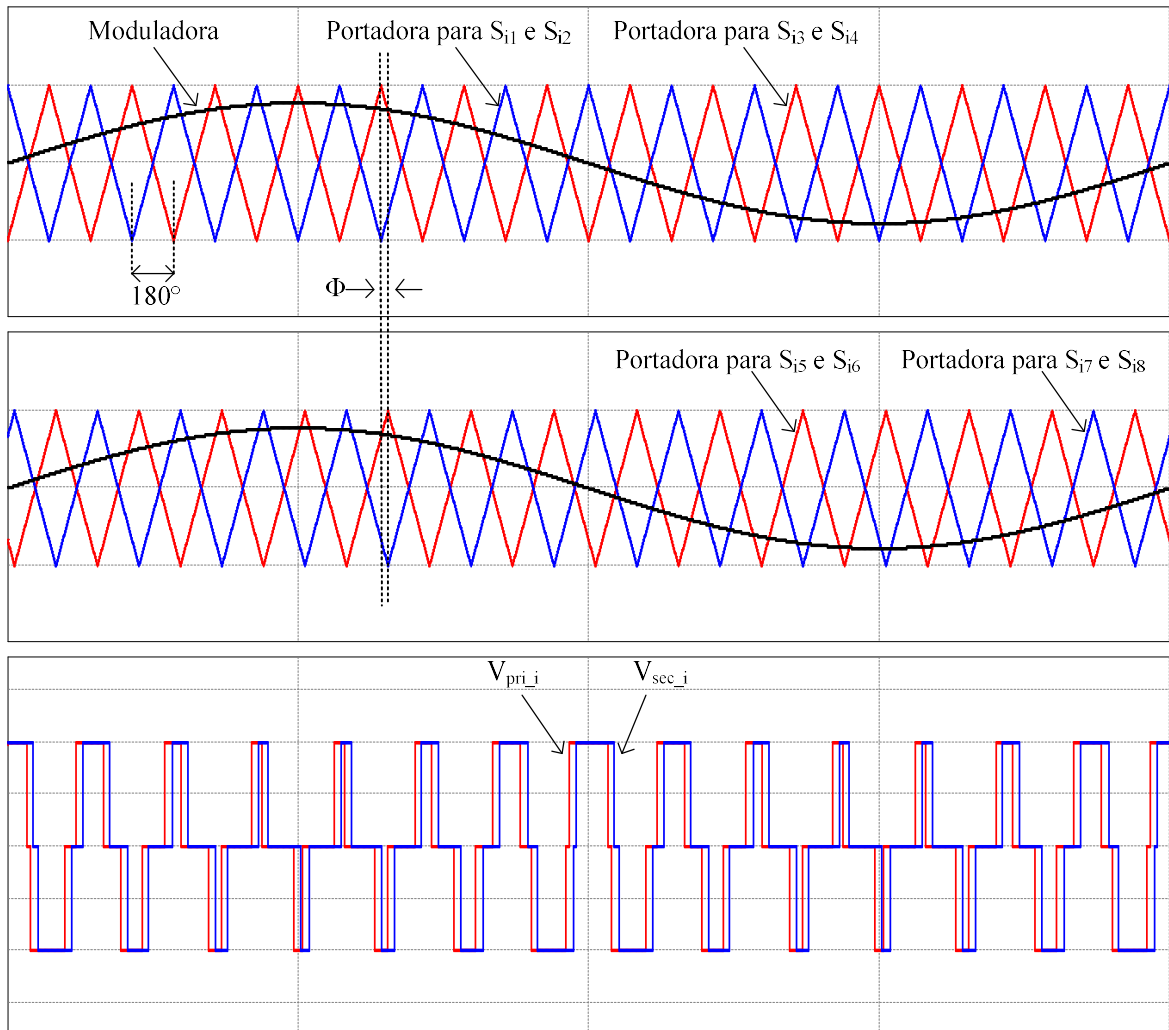
Na Figura 3.3 podem ser vistas as principais formas de onda relacionadas a essa modulação.

Pode-se observar na figura a existência da defasagem de  $180^\circ$  entre as portadoras dos braços de uma mesma ponte. Pode-se ver também uma defasagem de  $\Phi$  entre as portadoras das chaves da ponte do primário e do secundário.

Vale salientar que as duas chaves de um mesmo braço operam de forma complementar. Dessa forma, deve ser implementada uma metodologia para impedir a ocorrência de curto circuito nos braços. No caso do presente trabalho é utilizada a

configuração de um tempo morto no driver de acionamento das chaves. Na mesma figura podem ainda ser vistas as tensões de três níveis aplicadas ao transformador.

Figura 3.3 – Modulação utilizada no conversor proposto.



FONTE: Próprio autor.

No caso da utilização de mais de um módulo em cascata deve se produzir uma defasagem entre as portadoras do módulo para que seja possível aumentar o número de níveis da tensão multinível. Essa defasagem entre os módulos é calculada através da equação (3.1).

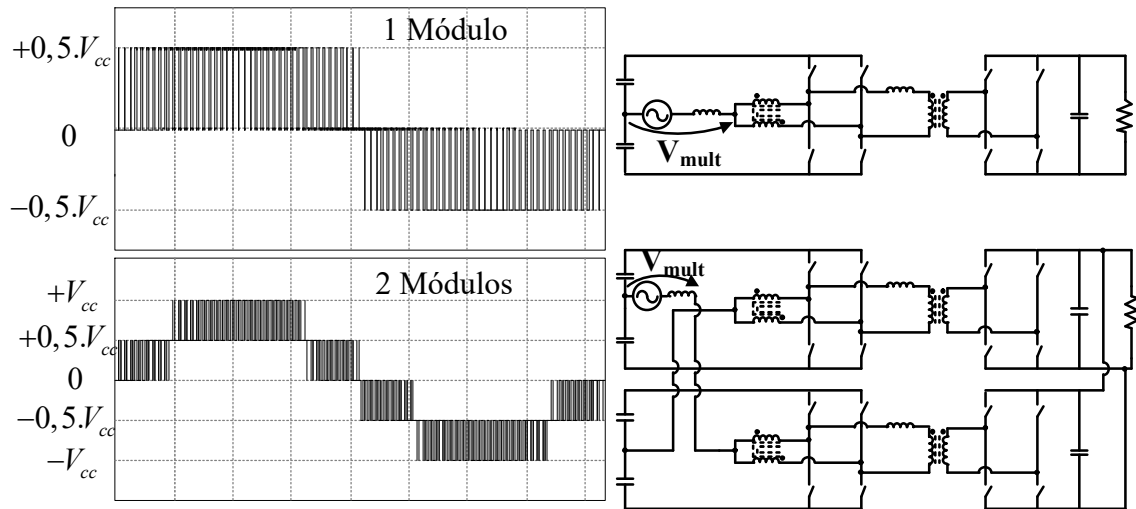
$$\theta = \frac{180^\circ}{n} \quad (3.1)$$

Onde  $n$  representa o número de módulos cascadeados.

Na Figura 3.4 pode ser vista a tensão multinível  $V_{\text{mult}}$  do conversor considerando um e dois módulos.



Figura 3.4 – Tensão multinível do conversor.



FONTE: Próprio autor.

Para um módulo a tensão possui três níveis ( $+0,5.V_{cc}$ ,  $0$ ,  $-0,5.V_{cc}$ ). Para dois módulos a tensão possui 5 níveis ( $+V_{cc}$ ,  $+0,5.V_{cc}$ ,  $0$ ,  $-0,5.V_{cc}$ ,  $-V_{cc}$ ). A quantidade de níveis em função do número de módulos pode ser obtida pela equação (3.2).

$$l = 2.n + 1 \quad (3.2)$$

Esses níveis de tensão, com exceção do zero, podem ser definidos de uma maneira genérica através da equação (3.3).

$$V_{nível} = Setor \cdot \frac{V_{cc}}{2} \quad (3.3)$$

A variável setor pode ser definida através da equação (3.4).

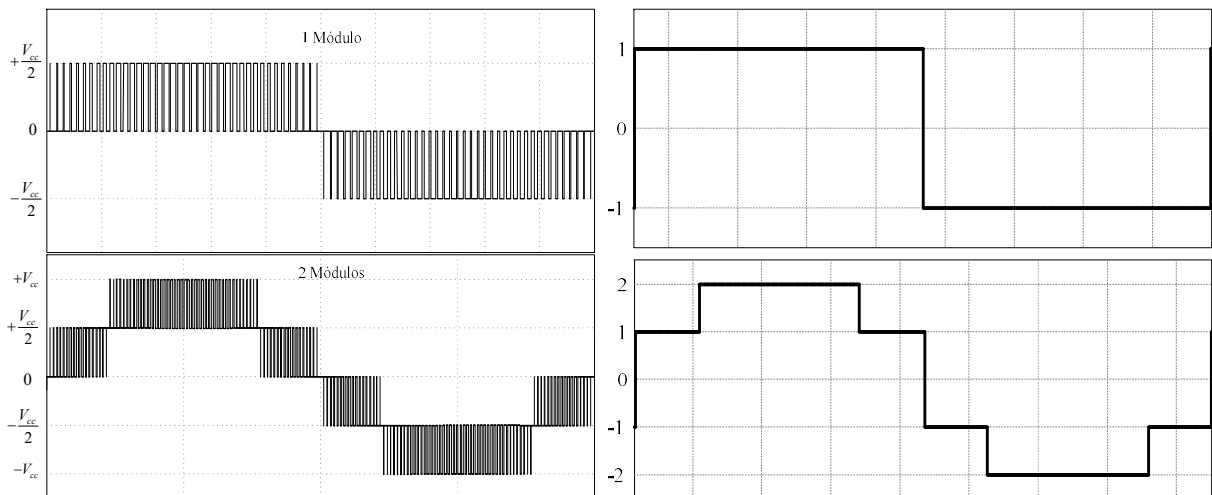
$$Setor = \text{ceil} \left( M \cdot |\text{sen}(\omega_r t)| \right) \cdot \text{sign}(\text{sen}(\omega_r t)) \quad (3.4)$$

Onde  $M$  é o índice de modulação expresso pela equação (3.5),  $\text{ceil}$  é uma função que arredonda o valor para o próximo inteiro,  $\text{sign}$  é uma função que retorna o sinal do número e  $\omega_r$  a frequência da rede em radianos.

$$M = \frac{2.V_p}{V_{cc}} \quad (3.5)$$

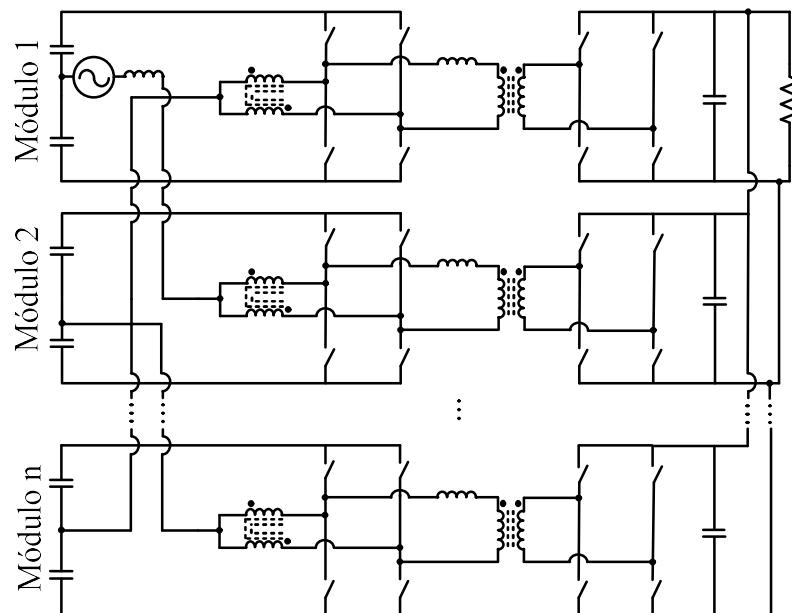
No cálculo do índice de modulação  $V_p$  é o pico da tensão de entrada,  $V_{cc}$  a tensão do barramento primário. Na Figura 3.5 pode ser vista a variação da variável setor em um período de rede considerando um e dois módulos.

Figura 3.5 – Tensão multinível e setor.



FONTE: Próprio autor.

O aumento do número de níveis do conversor reduz o tamanho da indutância necessária na entrada como é mostrado na análise quantitativa. Na Figura 3.6 pode ser vista a associação de  $n$  módulos.

Figura 3.6 – Associação de  $n$  módulos.

FONTE: Próprio autor.

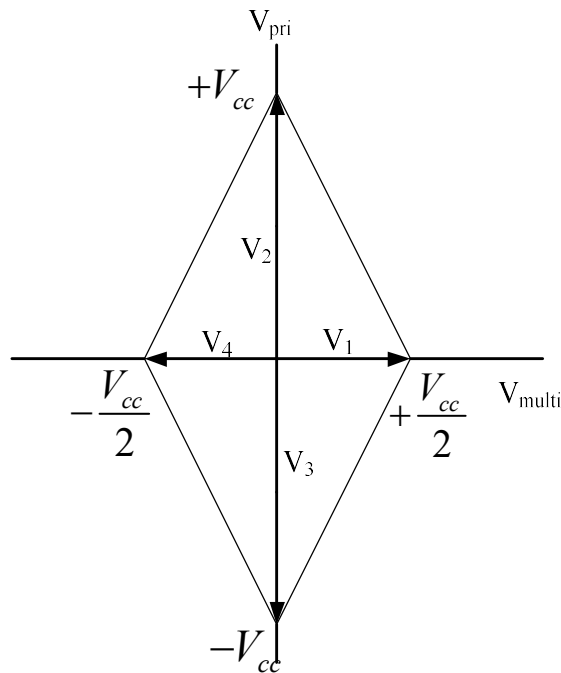
### 3.1.3 Modulação vetorial

A modulação vetorial é uma metodologia capaz de desenvolver um modulador discreto. Para o desenvolvimento deste modulador vetorial é necessário o conhecimento de

todos os estados do conversor, a sequência em que esses estados ocorrem e o tempo que se deve permanecer em cada estado.

Cada estado do conversor é chamado de um vetor. Na Figura 3.7 estão representados os estados do primário vistos na Tabela 3.2.

Figura 3.7 – Vetores do primário.

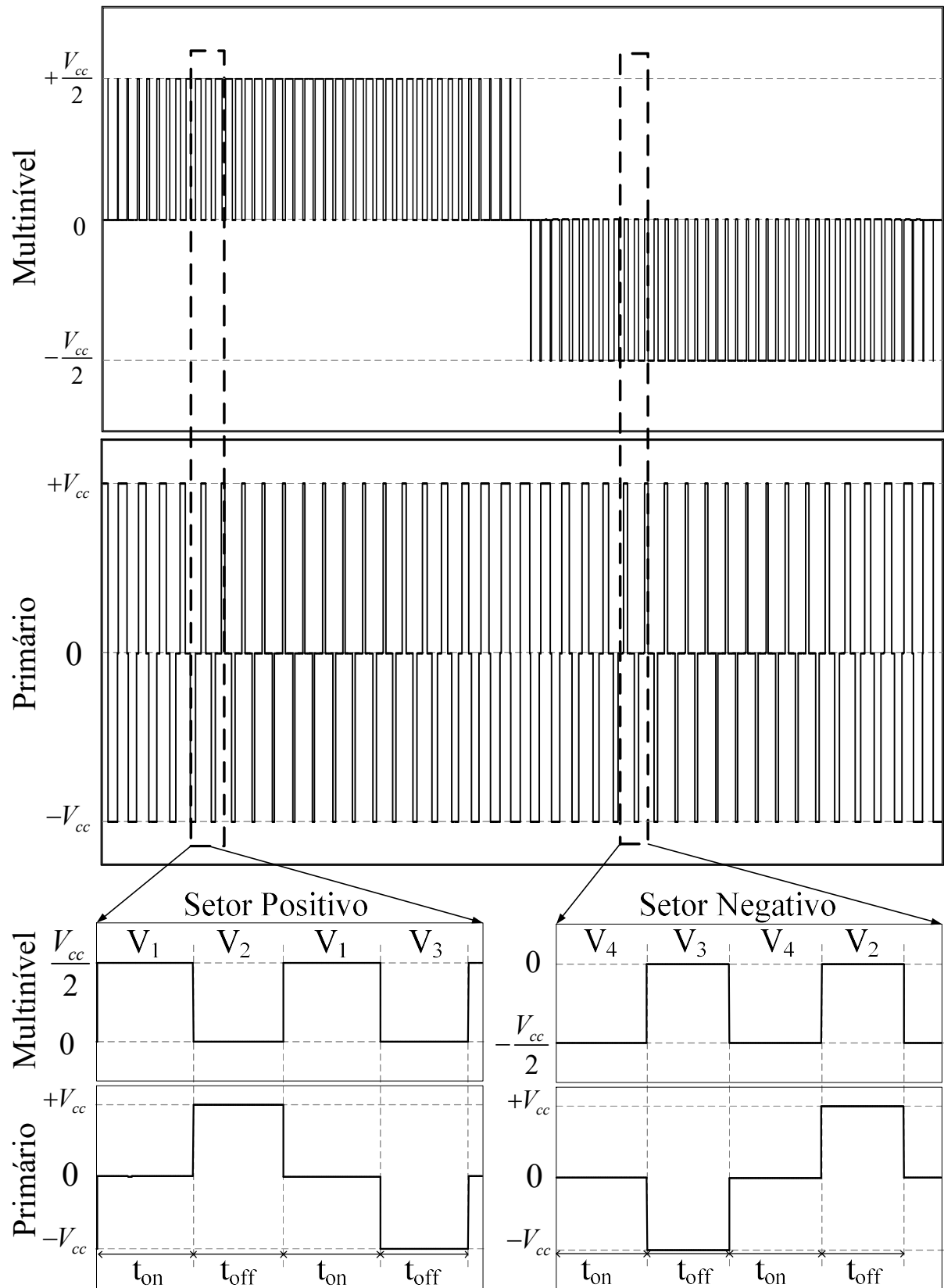


FONTE: Próprio autor.

Na figura é representada no eixo horizontal a tensão multinível do conversor e no eixo vertical a tensão do primário do transformador. Com esses vetores, um módulo do conversor pode operar em dois setores distintos, um positivo e um negativo. Na Figura 3.8 pode ser visto o detalhamento da tensão multinível e da tensão do transformador para cada um desses setores.

Através da Figura 3.8 pode ser determinada a sequência dos vetores em cada setor. No setor positivo ocorre a sequência V1-V2-V1-V3 e no setor negativo a sequência V4-V3-V4-V2. Com essas sequências é possível obter uma tensão de três níveis no transformador e uma tensão de três níveis na multinível com apenas uma comutação por transição.

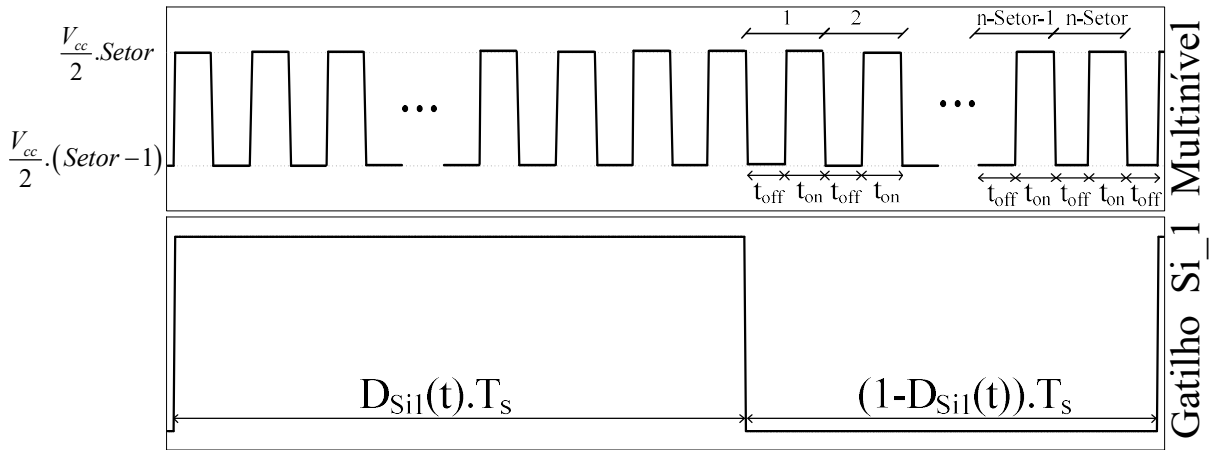
Figura 3.8 – Setores do conversor para um módulo.



FONTE: Próprio autor.

Para finalizar a construção do modulador vetorial é ainda necessária a determinação do valor do tempo de cada vetor. Na Figura 3.9 pode ser vista a tensão multinível no setor positivo juntamente com o gatilho da chave  $S_{i1}$  considerando  $n$  módulos.

Figura 3.9 – Análise dos tempos da tensão multinível



FONTE: Próprio autor.

Através dessa figura pode se obter as relações vistas na equação (3.6) e equação (3.7).

$$(n - Setor).t_{on} + (n - Setor + 1).t_{off}(t) = (1 - D_{Si1}(t)).T_s \quad (3.6)$$

$$t_{on}(t) + t_{off}(t) = \frac{T_s}{2.n} \quad (3.7)$$

Onde  $t_{on}$  é o tempo em nível alto da multinível,  $t_{off}$  o tempo em nível baixo,  $T_s$  o período de chaveamento e  $D_{Si1}(t)$  o ciclo de trabalho da chave  $S_{i1}$ . Além disso, por ser utilizada uma moduladora senoidal o ciclo de trabalho da chave  $S_{i1}$  pode ser obtido pela equação (3.8).

$$D_{Si1}(t) = \frac{1}{2} + \frac{V_p}{V_{cc}} \text{sen}(\omega_r.t) \quad (3.8)$$

Onde  $V_p$  é o pico da tensão de entrada,  $V_{cc}$  a tensão do barramento primário e  $\omega_r$  a frequência da rede em radianos. Resolvendo o sistema de equações e substituindo o valor do ciclo de trabalho obtém-se o valor de  $t_{on}$  e  $t_{off}$  visto na equação (3.9) e equação (3.10) respectivamente.

$$t_{on} = \frac{T_s}{2.n} \left( 1 - |Setor| + \frac{2.V_p}{V_o} \cdot |\text{sen}(\omega_r.t)| \right) \quad (3.9)$$

$$t_{off} = \frac{T_s}{2.n} \cdot \left( |Setor| - \frac{2.V_p}{V_o} |\text{sen}(\omega_r.t)| \right) \quad (3.10)$$

A construção do modulador vetorial pode ainda ser generalizada para um número maior de módulos através da determinação dos vetores incluindo os estados de todos os módulos simultaneamente, conforme visto em Honório et al. (2015). Outra possibilidade seria a utilização dos mesmos vetores em todos os módulos, porém com um atraso na aplicação desses vetores dado pela equação.

$$\theta_i = \frac{T_s}{2.n} \quad (3.11)$$

Observe que o atraso na aplicação dos vetores é análogo à defasagem das portadoras vista na equação (3.1).

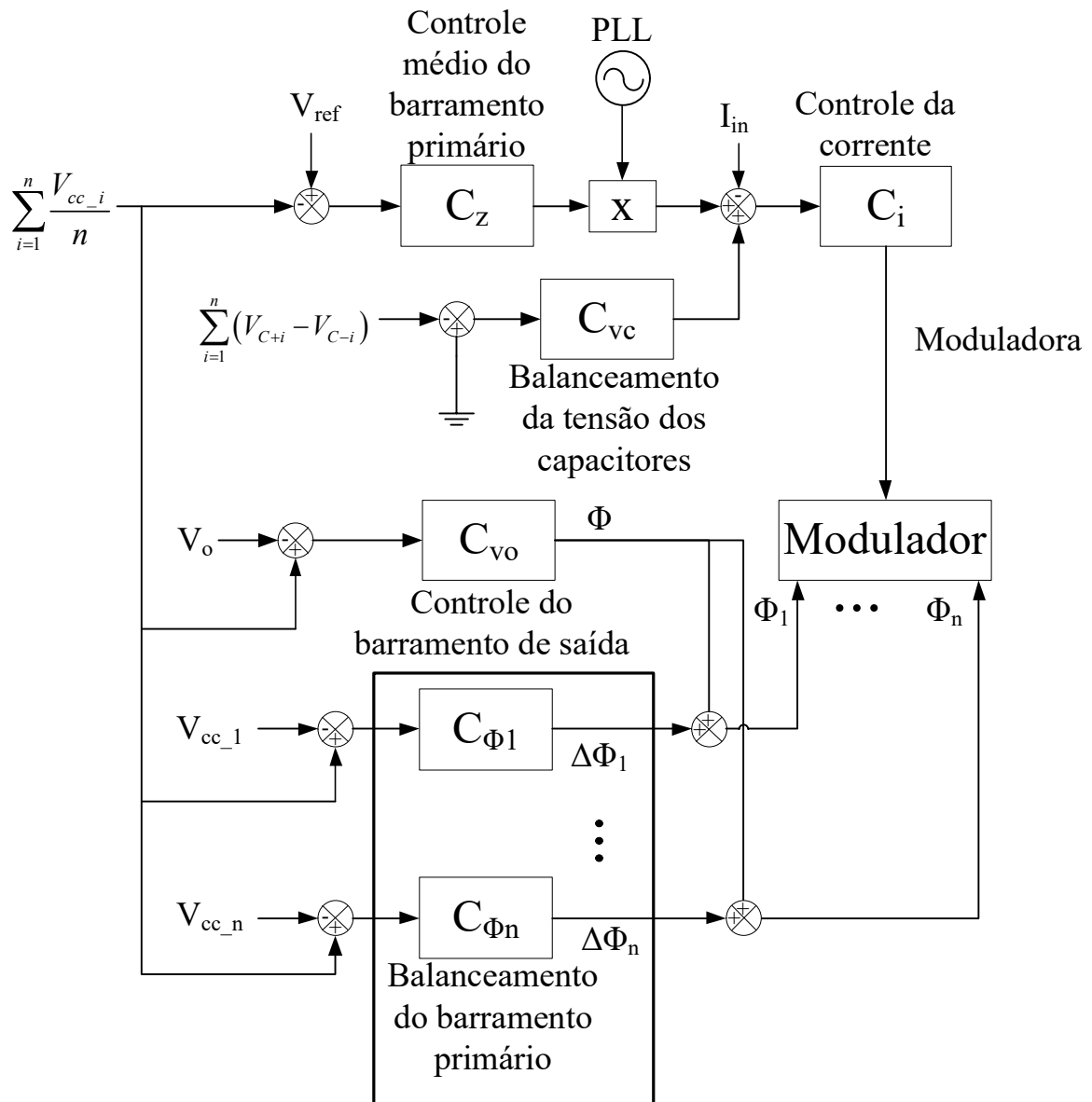
### 3.1.4 Estratégia de Controle Geral

A estratégia de controle aplicada à topologia pode ser vista na Figura 3.10.

No lado primário, através do ciclo de trabalho, é realizado o controle do valor médio do barramento CC e o valor da corrente de entrada. No caso de vários módulos o controle é realizado em cima da média das tensões dos barramentos de todos os módulos. No controle de corrente é realizada a correção do fator de potência, mantendo o formato da corrente de entrada senoidal e em fase com a tensão CA. Essas duas malhas são construídas em cascata, com o controlador da tensão fornecendo a referência para o pico da corrente. Além disso, é utilizado um PLL para o rastreamento da fase da tensão de entrada. A estrutura do PLL adotada pode ser vista na Figura 3.11.

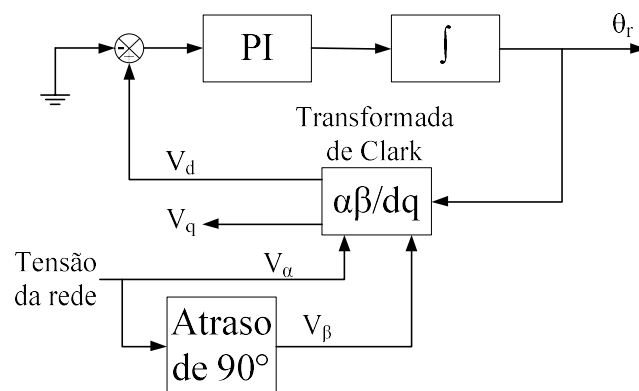
Como pode ser visto, o PLL é baseado na teoria dq (BHATTACHARYA; DIVAN, 1995). O sinal de tensão é lido e defasado em 90° criando assim um pseudo-sistema bifásico  $V_\alpha$  e  $V_\beta$ , semelhante às coordenadas de Clark de um sistema trifásico. Esse sistema é transformado para as coordenadas dq, obtendo assim a componente de quadratura  $V_q$  e a componente direta  $V_d$ . Para a determinação da fase da rede  $\theta_r$  é aplicado um controlador PI para zerar a componente direta.

Figura 3.10 – Estratégia de controle geral



FONTE: Próprio autor.

Figura 3.11 – Circuito de sincronismo PLL.



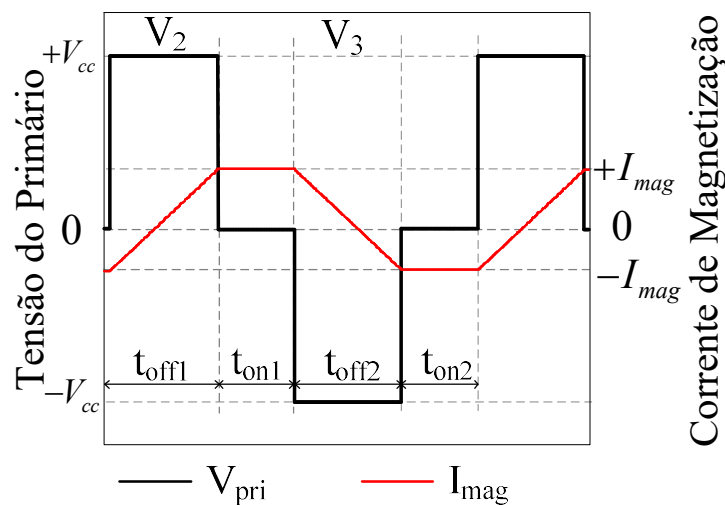
FONTE: Próprio autor.

Além disso, a estrutura do controle possui ainda uma malha capaz de realizar o balanceamento da tensão dos capacitores. Essa malha atua adicionando sua saída ao sinal de controle da malha de tensão multiplicada pela senóide proveniente do PLL.

O controlador ainda possui uma malha para o controle da tensão de saída que atua sobre o ângulo de defasagem  $\Phi$  entre o primário e o secundário. Contudo, uma vez que se utilizam vários módulos, pode ocorrer um desbalanceamento de potência entre os módulos fazendo com que os barramentos de entrada fiquem diferentes. Para contornar esse problema é realizado um controle de balanceamento dos barramentos de entrada. Essa malha de balanceamento atua fazendo uma pequena adição  $\Delta\Phi_i$  no ângulo de defasagem dos módulos.

Por fim, ainda é realizada uma malha de controle de magnetização. Essa malha atua nos tempos dos vetores  $V_2$  e  $V_3$  como pode ser visto na Figura 3.12.

Figura 3.12 – Corrente de magnetização do transformador.

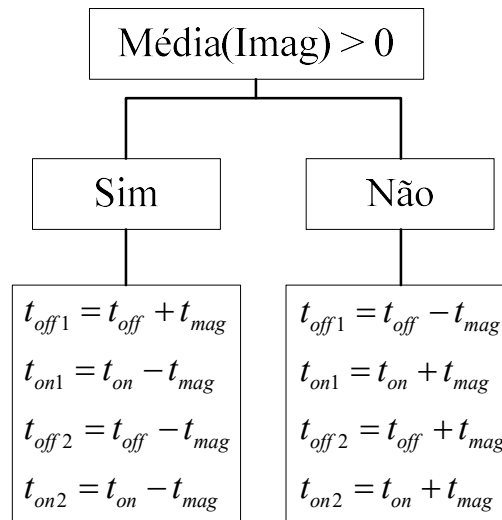


FONTE: Próprio autor.

Observa-se que o vetor  $V_2$  é responsável pelo aumento da corrente de magnetização e o vetor  $V_3$  responsável pela diminuição. Os vetores  $V_1$  e  $V_4$  não afetam a magnetização. Dessa forma, sempre que a magnetização estiver alta deve-se reduzir o tempo de  $V_2$  e aumentar o tempo de  $V_3$ . Se a magnetização estiver baixa deve-se aumentar o tempo de  $V_2$  e reduzir o tempo de  $V_3$ . Para se manter a frequência constante deve-se ainda alterar o tempo dos vetores posteriores a  $V_2$  e  $V_3$  de forma complementar. Na Figura 3.13 é estabelecido o algoritmo para o atuador desse controle.



Figura 3.13 – Algoritmo do controle de magnetização



FONTE: Próprio autor.

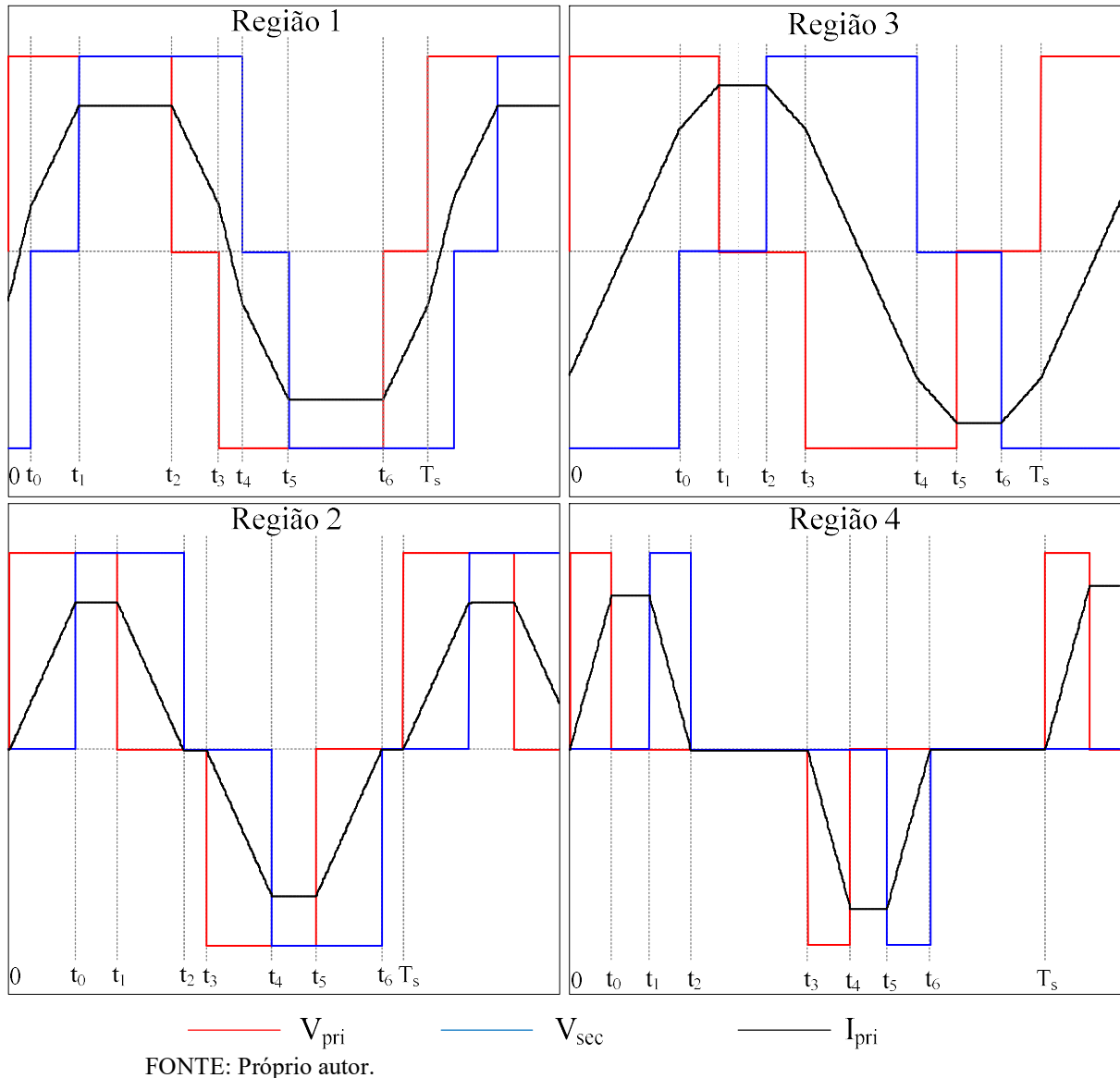
### 3.2 Análise Quantitativa

Neste tópico, apresenta-se a análise quantitativa do conversor proposto. São analisados os modos de operação do conversor através da análise das tensões e correntes do transformador. A partir dessas formas de onda, calculam-se as potências envolvidas, estudo esse necessário para o correto dimensionamento do indutor de dispersão e controle do fluxo de potência. Em um segundo momento, através da análise da tensão no indutor de entrada, é obtido o *ripple* máximo de corrente necessário para o dimensionamento desse indutor. Por fim é realizada uma análise de perdas nos semicondutores e magnéticos do conversor.

#### 3.2.1 Modelo Completo

Estudos realizados em Everts (2014b) mostram que o transformador do DAB pode operar em até 12 regiões distintas, sendo 4 para o fluxo positivo de potência, quatro para o fluxo negativo de potência e 4 que ocorrem apenas quando o conversor opera com ciclos de trabalho diferentes no primário e secundário. No estudo em questão o ciclo de trabalho do primário e secundário é considerado igual. Além disso, as formas de onda para fluxo negativo são semelhantes às de fluxo positivo, pois no presente estudo os barramentos de entrada e saída possuem o mesmo valor de tensão. Dessa forma, a análise fica restrita à apenas 4 regiões que podem ser vistas na Figura 3.14.

Figura 3.14 – Regiões de operação do conversor.



Cada região pode ser dividida em oito intervalos de tempo dentro de um período de chaveamento. Os valores dos tempos que delimitam esses intervalos podem ser vistos na Tabela 3.3. Na tabela  $f_s$  é a frequência de chaveamento,  $D$  representa a largura do pulso da tensão no transformador e  $\Phi$  o ângulo de defasagem entre a tensão de primário e secundário.

Na Tabela 3.4 pode ser visto o valor da tensão do transformador para cada um desses intervalos em cada região. Nesta tabela  $V_o$  é a tensão do barramento secundário que é a mesma do primário.

De forma semelhante podem ser obtidas as equações para cada intervalo da corrente do transformador. As equações para as regiões 1 e 2 são vistas na Tabela 3.5 e as regiões 3 e 4 na Tabela 3.6.

Tabela 3.3 – Tempos em cada região.

<i>Tempo</i>	<i>Região1</i>	<i>Região2</i>	<i>Região3</i>	<i>Região4</i>
$t_0$	$\frac{\Phi}{2\pi \cdot f_s} + D.T_s - \frac{T_s}{2}$	$\frac{\Phi}{2\pi \cdot f_s}$	$\frac{\Phi}{2\pi \cdot f_s} - \frac{T_s}{2} + D.T_s$	$D.T_s$
$t_1$	$\frac{\Phi}{2\pi \cdot f_s}$	$D.T_s$	$D.T_s$	$\frac{\Phi}{2\pi \cdot f_s}$
$t_2$	$D.T_s$	$\frac{\Phi}{2\pi \cdot f_s} + D.T_s$	$\frac{\Phi}{2\pi \cdot f_s}$	$\frac{\Phi}{2\pi \cdot f_s} - D.T_s$
$t_3$	$\frac{T_s}{2}$	$\frac{T_s}{2}$	$\frac{T_s}{2}$	$\frac{T_s}{2}$
$t_4$	$\frac{\Phi}{2\pi \cdot f_s} + D.T_s$	$\frac{\Phi}{2\pi \cdot f_s} + \frac{T_s}{2}$	$\frac{\Phi}{2\pi \cdot f_s} + D.T_s$	$\frac{T_s}{2} + D.T_s$
$t_5$	$\frac{\Phi}{2\pi \cdot f_s} + \frac{T_s}{2}$	$D.T_s + \frac{T_s}{2}$	$\frac{T_s}{2} + D.T_s$	$\frac{\Phi}{2\pi \cdot f_s} + \frac{T_s}{2}$
$t_6$	$D.T_s + \frac{T_s}{2}$	$\frac{\Phi}{2\pi \cdot f_s} + \frac{T_s}{2} + D.T_s$	$\frac{\Phi}{2\pi \cdot f_s} + \frac{T_s}{2}$	$\frac{\Phi}{2\pi \cdot f_s} + \frac{T_s}{2} + D.T_s$

FONTE: Próprio autor.

Tabela 3.4 – Tensão no transformador em cada região.

<i>Intervalo</i>	<i>Região1</i>	<i>Região2</i>	<i>Região3</i>	<i>Região4</i>
$0 < t \leq t_0$	$V_o$	$V_o$	$V_o$	$V_o$
$t_0 < t \leq t_1$	$V_o$	$V_o$	$V_o$	0
$t_1 < t \leq t_2$	$V_o$	0	0	0
$t_2 < t \leq t_3$	0	0	0	0
$t_3 < t \leq t_4$	$-V_o$	$-V_o$	$-V_o$	$-V_o$
$t_4 < t \leq t_5$	$-V_o$	$-V_o$	$-V_o$	0
$t_5 < t \leq t_6$	$-V_o$	0	0	0
$t_6 < t \leq T_s$	0	0	0	0

FONTE: Próprio autor.

Tabela 3.5 – Corrente nas regiões 1 e 2.

<b>Intervalo</b>	<b>Região1</b>	<b>Região2</b>
$0 < t \leq t_0$	$(2.V_o.t - V_o.t_0).L_{disp}^{-1}$	$V_o.L_{disp}^{-1}.t$
$t_0 < t \leq t_1$	$\frac{V_o.(t-t_0)}{L_{disp}} + \frac{V_o}{L_{disp}}t_0$	$\frac{V_o.\Phi}{2.\pi.f_s L_{disp}}$
$t_1 < t \leq t_2$	$\frac{V_o.\Phi}{2.\pi.f_s L_{disp}}$	$\frac{V_o.\Phi}{2.\pi.f_s L_{disp}} - \frac{V_o.(t-t_1)}{L_{disp}}$
$t_2 < t \leq t_3$	$-\frac{V_o.(t-t_2)}{L_{disp}} + \frac{V_o.\Phi}{2.\pi.f_s L_{disp}}$	0
$t_3 < t \leq t_4$	$(-2.V_o.(t-t_3) + V_o.t_0).L_{disp}^{-1}$	$-V_o.(t-t_3).L_{disp}^{-1}$
$t_4 < t \leq t_5$	$-\frac{V_o.(t-t_4)}{L_{disp}} - \frac{V_o}{L_{disp}}t_0$	$-\frac{V_o.\Phi}{2.\pi.f_s L_{disp}}$
$t_5 < t \leq t_6$	$-\frac{V_o.\Phi}{2.\pi.f_s L_{disp}}$	$-\frac{V_o.\Phi}{2.\pi.f_s L_{disp}} + \frac{V_o.(t-t_5)}{L_{disp}}$
$t_6 < t \leq T_s$	$\frac{V_o.(t-t_6)}{L_{disp}} - \frac{V_o.\Phi}{2.\pi.f_s L_{disp}}$	0

FONTE: Próprio autor.

Tabela 3.6 – Correntes nas regiões 3 e 4.

<b>Tempo</b>	<b>Região3</b>	<b>Região4</b>
$0 < t \leq t_0$	$(2.V_o.t - V_o.t_0).L_{disp}^{-1}$	$V_o.L_{disp}^{-1}.t$
$t_0 < t \leq t_1$	$(V_o.(t-t_0) + V_o.t_0).L_{disp}^{-1}$	$T_s.V_o.L_{disp}^{-1}.\Phi$
$t_1 < t \leq t_2$	$V_o.D.T_s.L_{disp}^{-1}$	$(V_o.D.T_s - V_o.(t-t_1)).L_{disp}^{-1}$
$t_2 < t \leq t_3$	$(-V_o.(t-t_2) + V_o.D.T_s).L_{disp}^{-1}$	0
$t_3 < t \leq t_4$	$(-2.V_o.(t-t_3) + V_o.t_0).L_{disp}^{-1}$	$-V_o.(t-t_3).L_{disp}^{-1}$
$t_4 < t \leq t_5$	$(-V_o.(t-t_4) - V_o.t_0).L_{disp}^{-1}$	$-V_o.D.T_s.L_{disp}^{-1}$
$t_5 < t \leq t_6$	$-V_o.D.T_s.L_{disp}^{-1}$	$(-V_o.D.T + V_o.(t-t_5)).L_{disp}^{-1}$
$t_6 < t \leq T_s$	$(V_o.(t-t_6) - V_o.D.T_s).L_{disp}^{-1}$	0

FONTE: Próprio autor.

Uma vez definidas a tensão e corrente do transformador, pode-se obter a potência através do produto de ambas. O resultado pode ser visto na Tabela 3.7.

Tabela 3.7 – Potência em cada região.

<i>Tempo</i>	<i>Região1</i>	<i>Região2</i>	<i>Região3</i>	<i>Região4</i>
$0 < t \leq t_0$	$\frac{2.V_o^2}{L_{disp}}t - \frac{V_o^2}{L_{disp}}t_0$	$\frac{V_o^2}{L_{disp}}t$	$\frac{2.V_o^2}{L_{disp}}t - \frac{V_o^2}{L_{disp}}t_0$	$\frac{V_o^2}{L_{disp}}t$
$t_0 < t \leq t_1$	$\frac{V_o^2 \cdot (t - t_0)}{L_{disp}} + \frac{V_o^2}{L_{disp}}t_0$	$\frac{V_o^2 \cdot \Phi}{2 \cdot \pi \cdot f_s \cdot L_{disp}}$	$\frac{V_o^2 \cdot (t - t_0)}{L_{disp}} + \frac{V_o^2}{L_{disp}}t_0$	0
$t_1 < t \leq t_2$	$\frac{V_o^2 \cdot \Phi}{2 \cdot \pi \cdot f_s \cdot L_{disp}}$	0	0	0
$t_2 < t \leq t_3$	0	0	0	0

FONTE: Próprio autor.

Observe que a tabela da potência descreve apenas os valores de  $t_0$  até  $t_3$ , pois ela possui o dobro da frequência da corrente. Com esses valores pode ser realizada uma integração no período de chaveamento para determinar a potência quase instantânea para cada região. Nessa integração é considerado que o período de chaveamento é muito menor que o período da rede permitindo considerar o ciclo de trabalho constante. Esses valores podem ser vistos na Tabela 3.8.

Tabela 3.8 – Potência quase instantânea.

<i>Região</i>	<i>Potência Quase Instantânea</i>
1	$\frac{V_o^2 \cdot (-4 \cdot \pi^2 \cdot D^2 + 4 \cdot \pi^2 \cdot D - 2 \cdot \Phi^2 + 2 \cdot \pi \cdot \Phi - \pi^2)}{4 \cdot \pi^2 \cdot L_{disp} \cdot f_s}$
2	$\frac{V_o^2 \cdot \Phi \cdot (4 \cdot \pi \cdot D - \Phi)}{4 \cdot \pi^2 \cdot L_{disp} \cdot f_s}$
3	$\frac{V_o^2 \cdot (\Phi - \pi) \cdot (\Phi - \pi + 4 \cdot \pi \cdot D)}{4 \cdot \pi^2 \cdot L_{disp} \cdot f_s}$
4	$\frac{V_o^2 \cdot D^2}{L_{disp} \cdot f_s}$

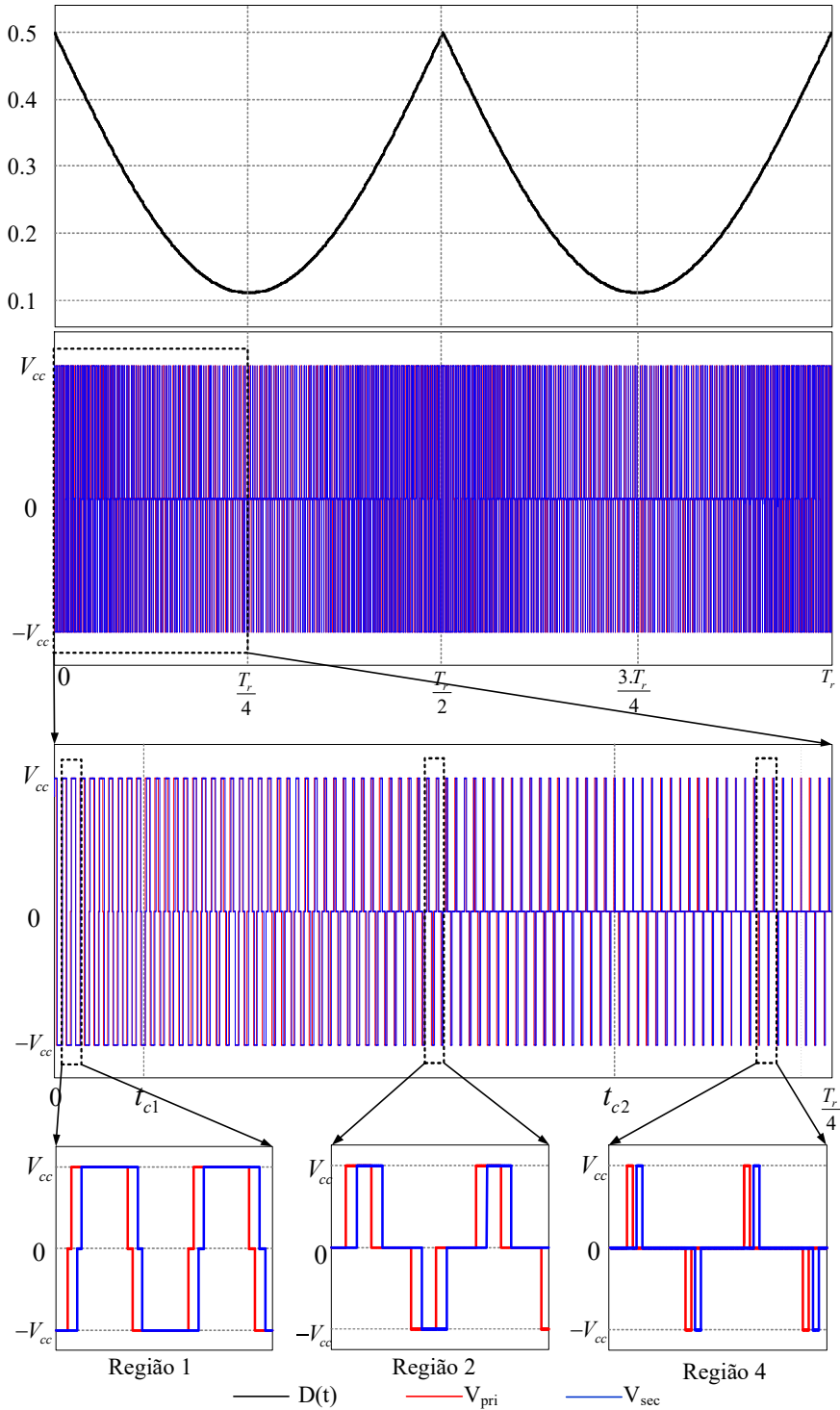
FONTE: Próprio autor.

Por fim, pode ser obtida a potência ativa total transferida realizando a integração em um período completo da rede. Nessa integração o ciclo de trabalho do transformador varia senoidalmente através da equação (3.12).

$$D(t) = \frac{1}{2} - \frac{M}{2} |\sin(\omega_r t)| \tag{3.12}$$

Onde M é o índice de modulação. Na Figura 3.15 pode ser vista a tensão do transformador em um período da rede e as mudanças de regiões que ocorrem.

Figura 3.15 – Mudanças de Regiões.



FONTE: Próprio autor.

É necessário determinar o tempo,  $t_{c1}$  e  $t_{c2}$ , no qual ocorrem as mudanças de regiões para definir os limites de integração.

Pode-se observar que o ciclo de trabalho do transformador se repete em metade do período da rede. Dessa forma, as mudanças de regiões que ocorrem durante o semiciclo positivo são as mesmas do semiciclo negativo. Além disso, há uma simetria em um quarto de período. Detalhando a tensão, pode ser observado que inicialmente com o ciclo de trabalho elevado o transformador estará na região 1. No tempo  $t_{c1}$  devido à variação do ciclo de trabalho do conversor ele começa a operar na região dois. Por fim, a partir de  $t_{c2}$ , quando o ciclo de trabalho é pequeno, o conversor começa a operar na região quatro. Para o segundo quarto de ciclo as regiões são as mesmas acontecendo em sentido contrário.

Caso o conversor opere com ângulo de defasagem superior à  $90^\circ$  ocorreria o aparecimento da região 3. Nesse caso, não existiria a região 2. O conversor operaria inicialmente na região 1 em  $t_{c1}$  passaria para a região 3 e em  $t_{c2}$  para a região 4. Analisando os pontos de transição das regiões podem-se obter os tempos vistos na Tabela 3.9.

Tabela 3.9 – Tempo para mudança de regiões.

<i>Tempo</i>	<i>Transição</i>	<i>Condicional</i>		<i>Valor</i>
$t_{c1}$	Região 1 para a Região 2	$\Phi \leq \frac{\pi}{2}$	$\Phi \leq \pi.M$	$\frac{1}{\omega_r} \arcsen\left(\frac{\Phi}{\pi.M}\right)$
			$\Phi > \pi.M$	$\frac{T_r}{4}$
	Região 1 para a Região 3	$\Phi > \frac{\pi}{2}$	$\Phi > \pi.(1-M)$	$\frac{1}{\omega_r} \arcsen\left(\frac{\pi-\Phi}{\pi.M}\right)$
			$\Phi \leq \pi.(1-M)$	$\frac{T_r}{4}$
$t_{c2}$	Região 2 para a Região 4	$\Phi \leq \frac{\pi}{2}$	$\Phi > \pi.(1-M)$	$\frac{1}{\omega_r} \arcsen\left(\frac{\pi-\Phi}{\pi.M}\right)$
			$\Phi \leq \pi.(1-M)$	$\frac{T_r}{4}$
	Região 3 para a Região 4	$\Phi > \frac{\pi}{2}$	$\Phi \leq \pi.M$	$\frac{1}{\omega_r} \arcsen\left(\frac{\Phi}{\pi.M}\right)$
			$\Phi > \pi.M$	$\frac{T_r}{4}$

FONTE: Próprio autor.

Observe que a potência transferida em cada quarto de período da rede é a mesma, tornando possível a integração conforme a equação (3.13).

$$P = \frac{4}{T_r} \left( \int_0^{t_{c1}} P_{região1}(t) dt + \int_{t_{c1}}^{t_{c2}} P_{região2}(t) dt + \int_{t_{c2}}^{\frac{T_r}{4}} P_{região4}(t) dt \right) \quad (3.13)$$

Onde  $P_{regiãoi}$  é a potência quase instantânea da região  $i$ . Realizando a integração obtém-se a equação (3.14) para ângulos de defasagem menores do que  $90^\circ$  e a equação (3.15) para ângulos maiores que  $90^\circ$ .

$$\begin{aligned} P(\Phi, M) = & \frac{V_o^2 \cdot (\pi^3 \cdot M^2 + 2 \cdot \pi^3 - 4 \cdot \pi^2 \cdot \omega_r \cdot t_{c2} - 4 \cdot \omega_r \cdot \Phi^2 \cdot t_{c1} - 4 \cdot \omega_r \cdot \Phi^2 \cdot t_{c2})}{8 \cdot \pi^3 \cdot L_{disp} \cdot f_s} + \\ & + \frac{V_o^2 \cdot (8 \cdot \pi \cdot \omega_r \cdot \Phi \cdot t_{c2} - 6 \cdot \pi^2 \cdot M \cdot \cos(\omega_r \cdot t_{c2}) - 6 \cdot \pi \cdot M \cdot \Phi \cdot \cos(\omega_r \cdot t_{c1}))}{8 \cdot \pi^3 \cdot L_{disp} \cdot f_s} + \\ & + \frac{V_o^2 \cdot (6 \cdot \pi \cdot M \cdot \Phi \cdot \cos(\omega_r \cdot t_{c2}) - 2 \cdot \pi^2 \cdot M^2 \cdot \omega_r \cdot t_{c1} - 2 \cdot \pi^2 \cdot M^2 \cdot \omega_r \cdot t_{c2})}{8 \cdot \pi^3 \cdot L_{disp} \cdot f_s} \end{aligned} \quad (3.14)$$

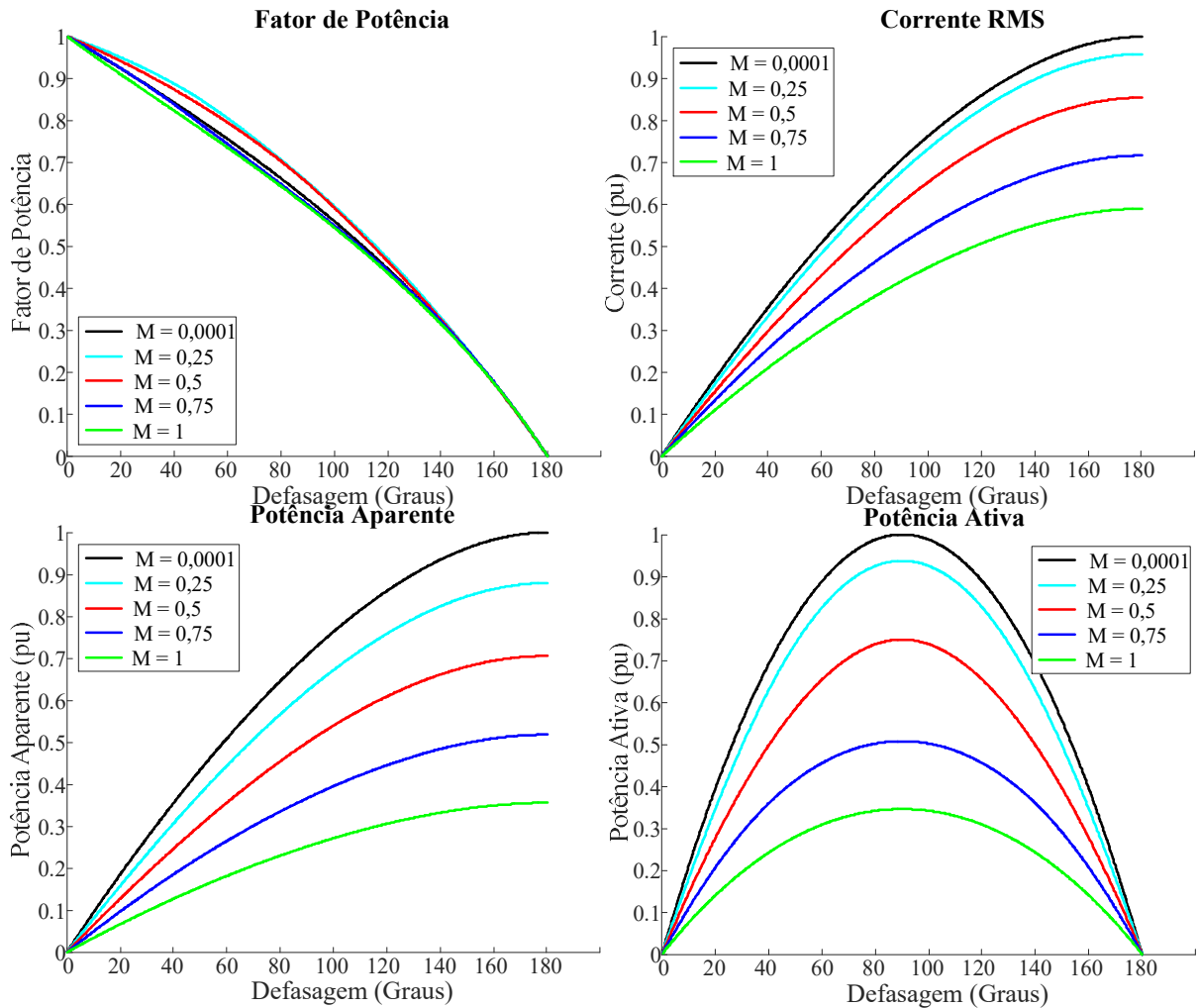
$$\begin{aligned} P(\Phi, M) = & \frac{V_o^2 \cdot (2 \cdot \pi^3 + \pi^3 \cdot M^2 - 4 \cdot \pi^2 \cdot \omega_r \cdot t_{c1} - 4 \cdot \omega_r \cdot \Phi^2 \cdot t_{c1} - 4 \cdot \omega_r \cdot \Phi^2 \cdot t_{c2})}{8 \cdot \pi^3 \cdot L_{disp} \cdot f_s} + \\ & + \frac{V_o^2 \cdot (-6 \cdot \pi^2 \cdot M \cdot \cos(\omega_r \cdot t_{c1}) - 2 \cdot \pi^2 \cdot M^2 \cdot \omega_r \cdot t_{c1} - 2 \cdot \pi^2 \cdot M^2 \cdot \omega_r \cdot t_{c2} + 8 \cdot \pi \cdot \omega_r \cdot \Phi \cdot t_{c1})}{8 \cdot \pi^3 \cdot L_{disp} \cdot f_s} \\ & + \frac{V_o^2 \cdot (6 \cdot \pi \cdot M \cdot \Phi \cdot \cos(\omega_r \cdot t_{c1}) - 6 \cdot \pi \cdot M \cdot \Phi \cdot \cos(\omega_r \cdot t_{c2}))}{8 \cdot \pi^3 \cdot L_{disp} \cdot f_s} \end{aligned} \quad (3.15)$$

Análise semelhante pode ser realizada para o cálculo da tensão RMS e corrente RMS. Com esses valores calcula-se o fator de potência e potência total. Na Figura 3.16 podem ser vistos os valores dessas grandezas em função do ângulo de defasagem para vários valores de índice de modulação.

Observa-se que uma vez que o índice de modulação tende à zero, o conversor opera com ciclo de trabalho constante de 0,5 tornando-se um DAB. Além disso, observa-se que a faixa de ângulo entre  $15^\circ$  e  $45^\circ$  apresenta uma boa transferência de potência com baixo reativo.



Figura 3.16 – Fator de potência, corrente RMS, potência aparente e potência ativa

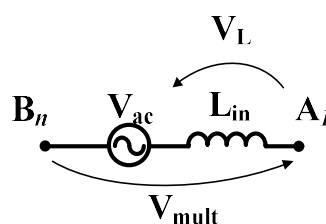


FONTE: Próprio autor.

### 3.2.2 Análise da Corrente de entrada

O *ripple* na corrente de entrada do conversor pode ser obtido através da análise do indutor de entrada. Pode se observar na Figura 3.17 que a tensão no indutor pode ser obtida pela equação (3.16).

Figura 3.17 – Entrada CA do conversor.



FONTE: Próprio autor.

$$V_L = V_p \cdot \text{sen}(\omega_r \cdot t) - V_{\text{multi}} = \frac{\Delta i_L}{\Delta t} \cdot L_{in} \quad (3.16)$$

Onde  $V_{\text{multi}}$  é a tensão multinível,  $\Delta i_L$  o ripple de corrente no indutor e  $L_{in}$  o indutor de entrada. O tempo de carga  $\Delta t$  no indutor é feito durante o nível baixo da tensão multinível. Dessa forma, substituindo os valores de  $t_{\text{off}}$  em  $\Delta t$  e a respectiva tensão em  $V_{\text{multi}}$  pode ser obtido o valor do *ripple* de corrente no indutor de entrada visto na equação (3.17).

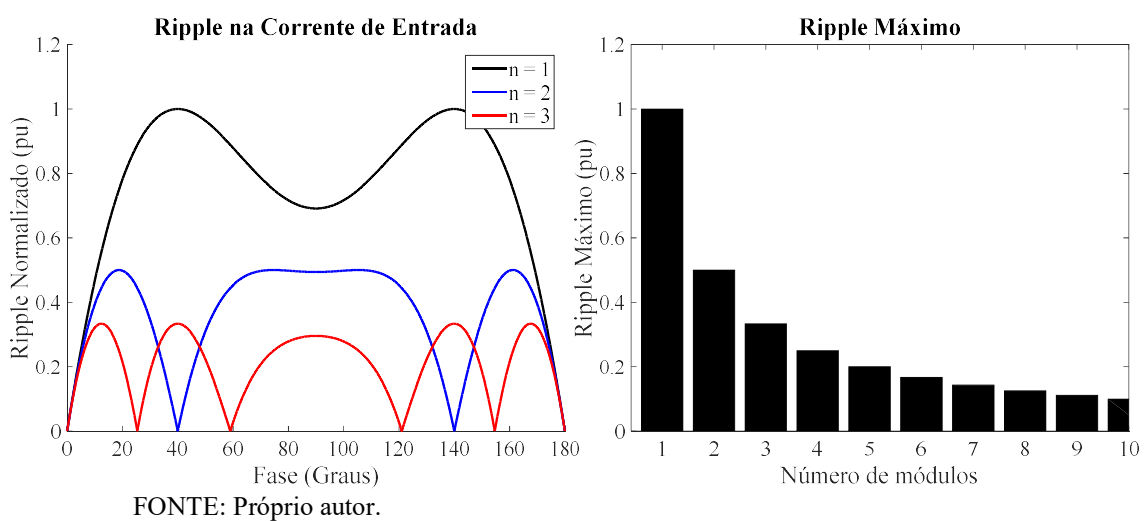
$$\Delta i_L = \frac{1}{L_{in}} \left( V_p \cdot \text{sen}(\omega_r \cdot t) - \frac{V_o}{2} (\text{Setor} - 1) \right) \cdot \left( \frac{T_s}{2 \cdot n} \left( \text{Setor} - \frac{2 \cdot V_p}{V_o} \text{sen}(\omega_r \cdot t) \right) \right) \quad (3.17)$$

Derivando essa equação e igualando à zero pode ser obtido o ponto de máximo *ripple* de corrente no indutor de entrada. Esse valor pode ser visto na equação (3.18).

$$\Delta i_{L_{\text{max}}} = \frac{T_s \cdot V_o}{16 \cdot L_{in} \cdot n} \quad (3.18)$$

Na Figura 3.18 pode ser vista a variação do *ripple* de corrente no período da rede para diferentes quantidades de módulos. Foi utilizada a normalização referente ao *ripple* máximo de um módulo. Pode ser observado que o aumento do número de módulos reduz consideravelmente o *ripple* de corrente no indutor de entrada diminuindo assim a indutância requerida. Além disso, aumentar o número de módulos mantendo a mesma indutância de entrada reduz a taxa de distorção harmônica.

Figura 3.18 – *Ripple* de corrente na entrada



### 3.2.3 Estudo das Perdas

Neste t3pico, desenvolve-se o estudo de perdas seguindo a metodologia adotada em Silva (2013). Para esse estudo, 3 necess3rio determinar a corrente m3dia e eficaz de cada semicondutor assim como estabelecer os intervalos de condu33o dos mesmos atrav3s da defini33o da fun33o de modula33o. Com esses dados, realiza-se ainda a interpola33o das caracter3sticas da chave para a obten33o das perdas nos semicondutores.

#### 3.2.3.1 Correntes M3dia e Eficaz

Na an3lise seguinte ser3 considerado que a corrente se divide igualmente entre os enrolamentos do transformador de interfase. Al3m disso, ser3o consideradas as especifica33es vistas na Tabela 3.10 referentes ao conversor.

Tabela 3.10 – Especifica33es do conversor.

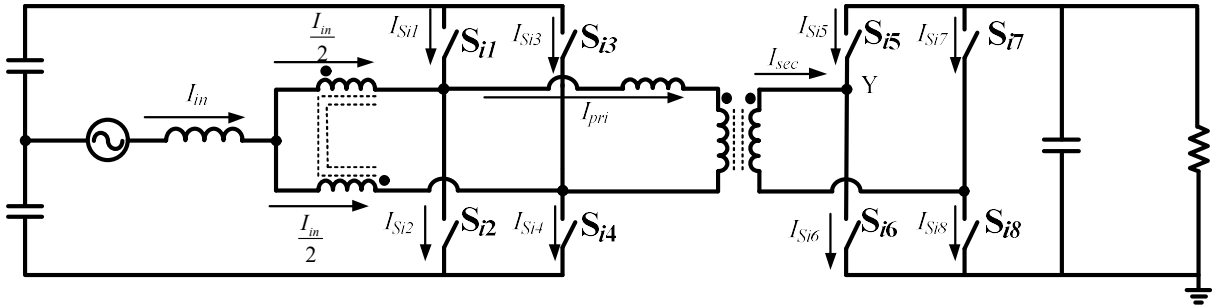
<b>Par3metro</b>	<b>Sigla</b>	<b>Valor</b>
Barramento CC do prim3rio	$V_{cc}$	400 V
Barramento CC do secund3rio	$V_o$	400 V
Tens3o eficaz de entrada	$V_{ac}$	110 V
Frequ3ncia de chaveamento	$f_s$	20 kHz
Frequ3ncia da rede	$f_r$	60 Hz
Pot3ncia de sa3da	$P_o$	1 kW
Rela33o de transforma33o	$a$	1

FONTE: Pr3prio autor.

Para determinarmos o valor da corrente nos semicondutores devemos analisar o n3o entre os bra3os do conversor na Figura 3.19.

Pode-se observar atrav3s do n3o entre as chaves  $S_{i1}$  e  $S_{i2}$  que a corrente que passa pelas chaves do bra3o pode ser calculada pela equa33o (3.19) e equa33o (3.20) respectivamente.

Figura 3.19 – Correntes no conversor.



FONTE: Próprio autor.

$$I_{Si1}(t) = \delta_{Si1}(t) \cdot \left( I_{pri}(t) - \frac{I_{in}(t)}{2} \right) \quad (3.19)$$

$$I_{Si2}(t) = -\delta_{Si2}(t) \cdot \left( I_{pri}(t) - \frac{I_{in}(t)}{2} \right) \quad (3.20)$$

Observe que a corrente  $I_{Si2}$  não é computada no cálculo da corrente  $I_{Si1}$  e vice-versa devido a função de comutação das chaves mostradas na equação (3.21) e equação (3.22). Estas equações mostram que apenas uma chave do braço pode estar conduzindo por vez.

$$\delta_{Si1}(t) = \begin{cases} 1 & 0 \leq t \leq T_s \cdot D_{Si1}(t) \\ 0 & T_s \cdot D_{Si1}(t) < t \leq T_s \end{cases} \quad (3.21)$$

$$\delta_{Si2}(t) = \begin{cases} 0 & 0 \leq t \leq T_s \cdot D_{Si1}(t) \\ 1 & T_s \cdot D_{Si1}(t) < t \leq T_s \end{cases} \quad (3.22)$$

Análise semelhante pode ser realizada para o braço das chaves  $S_{i3}$  e  $S_{i4}$  obtendo os resultados vistos nas equações (3.23) e equação (3.24).

$$I_{Si3}(t) = -\delta_{Si3}(t) \cdot \left( I_{pri}(t) + \frac{I_{in}(t)}{2} \right) \quad (3.23)$$

$$I_{Si4}(t) = \delta_{Si4}(t) \cdot \left( I_{pri}(t) + \frac{I_{in}(t)}{2} \right) \quad (3.24)$$

A função de chaveamento para essas chaves pode ser vista na equação (3.25) e equação (3.26).

$$\delta_{Si3}(t) = \delta_{Si1}\left(t + \frac{T_s}{2}\right) \quad (3.25)$$

$$\delta_{Si4}(t) = \delta_{Si2}\left(t + \frac{T_s}{2}\right) \quad (3.26)$$

Pode ser observado que a função de chaveamento do segundo braço do primário é o deslocamento das funções do primeiro braço em  $180^\circ$ . Estendendo a análise para o secundário temos a equação (3.27), equação (3.28), equação (3.29) e equação (3.30) respectivamente para a corrente das chaves  $S_{i5}$ ,  $S_{i6}$ ,  $S_{i7}$  e  $S_{i8}$ .

$$I_{S_{i5}}(t) = -\delta_{S_{i5}}(t) \cdot I_{pri}(t) \quad (3.27)$$

$$I_{S_{i6}}(t) = \delta_{S_{i6}}(t) \cdot I_{pri}(t) \quad (3.28)$$

$$I_{S_{i7}}(t) = \delta_{S_{i7}}(t) \cdot I_{pri}(t) \quad (3.29)$$

$$I_{S_{i8}}(t) = -\delta_{S_{i8}}(t) \cdot I_{pri}(t) \quad (3.30)$$

Observe que é utilizada a corrente de primário, pois é considerado que o transformador possui relação de transformação unitária. A função de comutação para cada uma dessas chaves pode ser vista na equação (3.31), equação (3.32), equação (3.33) e equação (3.34).

$$\delta_{S_{i5}}(t) = \delta_{S_{i1}}\left(t - \frac{\Phi \cdot T_s}{2\pi}\right) \quad (3.31)$$

$$\delta_{S_{i6}}(t) = \delta_{S_{i2}}\left(t - \frac{\Phi \cdot T_s}{2\pi}\right) \quad (3.32)$$

$$\delta_{S_{i7}}(t) = \delta_{S_{i3}}\left(t - \frac{\Phi \cdot T_s}{2\pi}\right) \quad (3.33)$$

$$\delta_{S_{i8}}(t) = \delta_{S_{i4}}\left(t - \frac{\Phi \cdot T_s}{2\pi}\right) \quad (3.34)$$

Observe que as funções de comutação das chaves do secundário são idênticas as do primário, porém com uma defasagem de  $\Phi$ .

Uma vez determinadas as correntes de cada chave devemos ainda separar a parcela que passa pelo canal da chave e a parcela que passa pelo diodo antiparalelo. Considerando os sentidos de corrente mostrados na Figura 3.19 a corrente que passa pelo canal é a parcela positiva de  $I_{Sij}$  em quanto a que passa pelo diodo será a parcela negativa. O subíndice  $j$  representa a chave desejada e o  $i$  o submódulo. Assim podemos separar matematicamente as duas grandezas através da equação (3.35) e equação (3.36).

$$I_{Tij}(t) = \frac{|I_{Sij}(t)| + I_{Sij}(t)}{2} \quad (3.35)$$

$$I_{Dij}(t) = \frac{|I_{Sij}(t)| - I_{Sij}(t)}{2} \quad (3.36)$$

Com isso pode-se calcular a corrente média e a corrente eficaz de cada chave através da equação (3.37) e equação (3.38) respectivamente.

$$I_{med} = \frac{1}{T_r} \int_0^{T_r} I(t) dt \quad (3.37)$$

$$I_{rms} = \sqrt{\frac{1}{T_r} \int_0^{T_r} I^2(t) dt} \quad (3.38)$$

Os valores obtidos com as equações juntamente com os valores simulados para o valor médio e eficaz podem ser vistos na Tabela 3.11 e na Tabela 3.12 respectivamente.

Pode ser observado que os valores de corrente médios e eficazes calculados apresentam grande similaridade com os obtidos por simulação. Para o valor da corrente média o maior erro obtido foi de 5,97 % e para os valores eficazes o maior erro foi de 5,30 %. Dessa forma, esses valores podem ser utilizados para o cálculo das perdas de condução e comutação nos semicondutores.

Tabela 3.11 – Corrente média nos semicondutores.

Semicondutor	Valor Calculado (A)	Valor Simulado (A)	Erro (%)
$I_{Ti1\_med}$	1,351	1,308	3,29
$I_{Di1\_med}$	1,350	1,398	3,43
$I_{Ti2\_med}$	1,339	1,338	0,07
$I_{Di2\_med}$	1,355	1,379	1,74
$I_{Ti3\_med}$	1,335	1,286	3,81
$I_{Di3\_med}$	1,338	1,348	0,74
$I_{Ti4\_med}$	1,351	1,339	0,90
$I_{Di4\_med}$	1,329	1,281	3,75
$I_{Ti5\_med}$	0,133	0,135	1,48
$I_{Di5\_med}$	1,384	1,332	3,90
$I_{Ti6\_med}$	0,119	0,116	2,59
$I_{Di6\_med}$	1,365	1,308	4,36
$I_{Ti7\_med}$	0,126	0,134	5,97
$I_{Di7\_med}$	1,375	1,309	5,04
$I_{Ti8\_med}$	0,123	0,116	6,03
$I_{Di8\_med}$	1,392	1,327	4,90

FONTE: Próprio autor.

Tabela 3.12 – Corrente eficaz nos semicondutores.

Semicondutor	Valor Calculado (A)	Valor Simulado (A)	Erro (%)
$I_{Ti1\ rms}$	3,237	3,255	0,55
$I_{Di1\ rms}$	2,838	2,911	2,51
$I_{Ti2\ rms}$	3,220	3,299	2,39
$I_{Di2\ rms}$	2,845	2,908	2,17
$I_{Ti3\ rms}$	3,201	3,181	0,63
$I_{Di3\ rms}$	2,814	2,830	0,57
$I_{Ti4\ rms}$	3,225	3,277	1,59
$I_{Di4\ rms}$	2,799	2,741	2,12
$I_{Ti5\ rms}$	0,710	0,733	3,14
$I_{Di5\ rms}$	2,753	2,642	4,20
$I_{Ti6\ rms}$	0,715	0,679	5,30
$I_{Di6\ rms}$	2,730	2,617	4,32
$I_{Ti7\ rms}$	0,703	0,731	3,83
$I_{Di7\ rms}$	2,730	2,620	4,21
$I_{Ti8\ rms}$	0,698	0,681	2,50
$I_{Di8\ rms}$	2,756	2,639	4,43

FONTE: Próprio autor.

### 3.2.3.2 Cálculo das Perdas por Condução e Comutação

Na análise seguinte são determinadas as perdas de comutação e condução dos semicondutores. Para a realização dessa análise é necessário o conhecimento das características de condução e comutação da chave. Essas características são representadas na ficha de especificação do componente, fornecida pelo fabricante, através de curvas. Essas curvas devem ser interpoladas para a obtenção das perdas no mesmo. Na equação (3.39) e equação (3.40) pode ser vista a linearização da curva da queda de tensão instantânea em função da corrente direta para o transistor e para o diodo em antiparalelo respectivamente.

$$V_{Tij}(t) = V_{CEsat} + R_s \cdot I_{Tij}(t) \quad (3.39)$$

$$V_{Dij}(t) = V_{Dcond} + R_D \cdot I_{Dij}(t) \quad (3.40)$$

Onde  $R_d$  é a resistência do diodo,  $R_s$  a resistência da chave,  $V_{CEsat}$  a tensão de saturação do transistor e  $V_{Dcond}$  a queda de tensão do diodo. Multiplicando essas equações pelo valor da corrente no componente, obtém-se a potência instantânea na chave, necessitando ainda realizar a média para obter as perdas de condução conforme visto na equação (3.41) e equação (3.42).

$$P_{Tij\_cond} = \frac{1}{T_r} \cdot \int_0^{T_r} (V_{CEsat} \cdot I_{Tij}(t) + R_s \cdot I_{Tij}^2(t)) dt = V_{CEsat} \cdot I_{Tij\_med} + R_s \cdot I_{Tij\_rms}^2 \quad (3.41)$$

$$P_{Dij\_cond} = \frac{1}{T_r} \cdot \int_0^{T_r} (V_{Dcond} \cdot I_{Dij}(t) + R_D \cdot I_{Dij}^2(t)) dt = V_{Dcond} \cdot I_{Dij\_med} + R_D \cdot I_{Dij\_rms}^2 \quad (3.42)$$

Como pode ser visto o valor das perdas por condução dependem do valor médio e eficaz das correntes que passam no semiconductor.

Para as perdas de comutação é necessário utilizar as curvas de energia dissipada na comutação. Essas curvas também são obtidas na folha de dados do fabricante. Realiza-se uma regressão de segundo grau dos dados para a obtenção da energia dissipada ao ligar e desligar a chave. A energia para ligar e desligar pode ser vista na equação (3.43) e equação (3.44) respectivamente.

$$W_{Tij\_ON}(t) = k_{0\_ON} + k_{1\_ON} \cdot I_{Tij}(t) + k_{2\_ON} \cdot [I_{Tij}(t)]^2 \quad (3.43)$$

$$W_{Tij\_OFF}(t) = k_{0\_OFF} + k_{1\_OFF} \cdot I_{Tij}(t) + k_{2\_OFF} \cdot [I_{Tij}(t)]^2 \quad (3.44)$$

Onde  $k_{i\_on}$  e  $k_{i\_off}$  são os coeficientes da regressão. Essa expressão representa a energia dissipada na comutação da chave para um dado valor de corrente. Para obter a potência deve-se multiplicar essas expressões pelo número de comutações e calcular a média, como pode ser visto na equação (3.45) e equação (3.46).

$$P_{Tij\_ON} = \frac{1}{T_r} \cdot \int_0^{T_r} f_s \cdot W_{Tij\_ON}(t) \cdot dt \quad (3.45)$$

$$P_{Tij\_OFF} = \frac{1}{T_r} \cdot \int_0^{T_r} f_s \cdot W_{Tij\_OFF}(t) \cdot dt \quad (3.46)$$

Por fim, deve-se ainda calcular a energia dissipada devido à recuperação reversa do diodo. Seguindo o trabalho visto em Casanellas (1994) essa energia pode ser calculada utilizando a equação (3.47).

$$W_{Dij\_rr}(t) = V_{cc} \cdot \left( 0,8 + \frac{0,2 \cdot I_{Dij}(t)}{I_n} \right) \cdot t_{rr} \cdot \left( 0,35 \cdot t_{rr} + 0,15 \cdot \frac{I_{rr}}{I_n} \cdot I_{Dij}(t) + I_{Dij}(t) \right) \quad (3.47)$$

Onde  $I_n$  é a corrente nominal da chave,  $t_{rr}$  é o tempo de recuperação reverso e  $I_{rr}$  o pico da corrente de recuperação reversa. Realizando a média e multiplicando pelo número de comutações obtém-se a equação (3.48), que representa as perdas ocasionadas pela recuperação reversa.

$$P_{Dij\_rr} = \frac{1}{T_r} \cdot \int_0^{T_r} f_s \cdot W_{Dij\_rr}(t) \cdot dt \quad (3.48)$$



A energia total dissipada nos semicondutores pode ser obtida através da soma de todas as perdas de condução, comutação e recuperação reversa. A expressão total pode ser vista na equação (3.49).

$$P_{chaves} = \sum_{j=1}^{8n} (P_{Tij\_cond} + P_{Dij\_cond} + P_{Tij\_ON} + P_{Tij\_OFF} + P_{Dij\_rr}) \quad (3.49)$$

Na Tabela 3.13 podem ser vistas as características de dois modelos de chaves utilizadas no presente estudo e na Tabela 3.14 os valores interpolados.

Tabela 3.13 – Características elétricas das chaves.

<b>Característica</b>	<b>IRGP50B60PD</b>	<b>C3M0065090J</b>
Tensão da chave	600 V	900 V
Corrente nominal	33 A	35 A
Tempo de recuperação reversa	74 ns	12 ns

FONTE: Próprio autor.

Tabela 3.14 – Características interpoladas das chaves.

<b>Característica</b>	<b>IRGP50B60PD</b>	<b>C3M0065090J</b>
$V_{CEsat}$	1,687 V	8,33 mV
$R_S$	31 m $\Omega$	85 m $\Omega$
$V_{CEsat3Q}$	-	1,67 mV
$R_{S3Q}$	-	82 m $\Omega$
$V_{Dcond}$	1,479 V	-
$R_D$	20 m $\Omega$	-
$k_{0\_ON}$	489 nJ	25,94 $\mu$ J
$k_{1\_ON}$	15,22 $\mu$ Wb	756,3 nWb
$k_{2\_ON}$	86,55 nH	15,62 nH
$k_{0\_OFF}$	282 $\mu$ J	6,937 $\mu$ J
$k_{1\_OFF}$	-7,94 $\mu$ Wb	256,3 nWb
$k_{2\_OFF}$	390 nH	20,62 nH

FONTE: Próprio autor.

A primeira chave é o IGBT IRGP50B60PD e a segunda o MOSFET de carbeto de silício C3M0065090J. Vale salientar que a corrente negativa no IGBT passará pelo diodo anti paralelo à chave mesmo havendo sinal de gatilho. Por outro lado, o MOSFET permite a passagem pelo canal. Dessa forma deve ser feita uma interpolação dos dados do MOSFET para a operação em primeiro e terceiro quadrante. Na Tabela 3.14  $V_{CEsat3Q}$  é a tensão de saturação do MOSFET em terceiro quadrante e  $R_{S3Q}$  a resistência em terceiro quadrante.

O resultado da análise de perdas pode ser visto na Tabela 3.15.

Tabela 3.15 – Perdas nas chaves.

<b>Característica</b>	<b>IRGP50B60PD</b>	<b>C3M0065090J</b>
Condução em primeiro quadrante	11,32 W	3,75 W
Comutação	46,54 W	5,41 W
Condução em terceiro quadrante	17,35 W	5,07 W
Recuperação reversa	11,63 W	-
Total	86,84 W	14,23 W

FONTE: Próprio autor.

Pode ser observado que as chaves de carbeto de silício apresentam menores perdas nas condições de estudo.

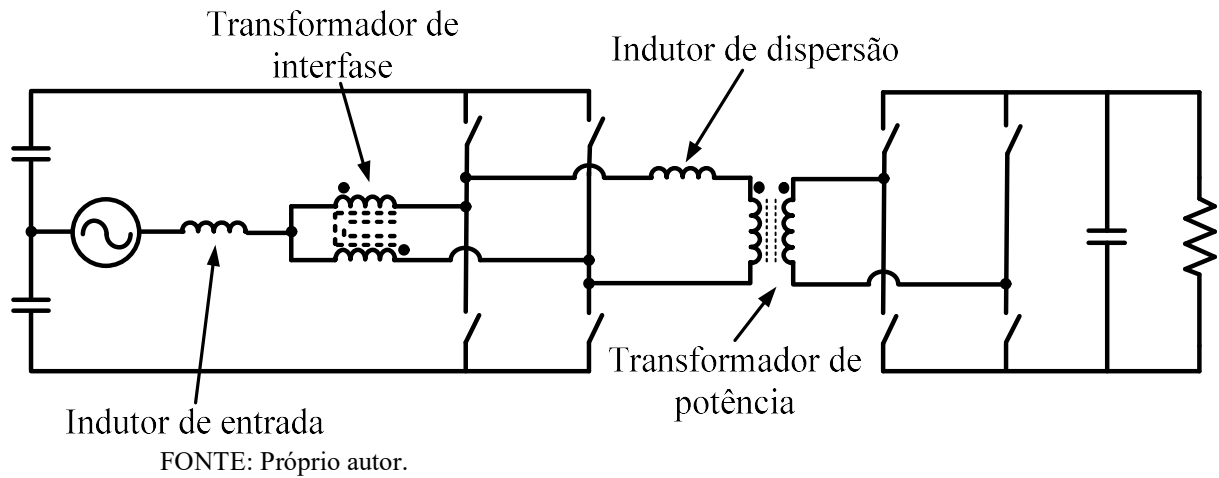
### 3.2.3.3 Cálculo das Perdas dos Magnéticos

O conversor proposto possui quatro magnéticos. O indutor de entrada, o indutor de dispersão, o transformador de interfase e o transformador de potência como pode ser visto na Figura 3.20.

A indutância de entrada pode ser calculada através da equação (3.18) especificando o ripple de corrente máximo na corrente de entrada.

A indutância de dispersão pode ser obtida utilizando a equação (3.14) juntamente com a potência desejada, índice de modulação e o ângulo de defasagem. O ângulo de defasagem deve ser escolhido entre  $15^\circ$  e  $45^\circ$  para que o conversor opere com baixa circulação de reativo. O valor escolhido no presente estudo é  $30^\circ$ .

Figura 3.20 – Magnéticos do conversor.



Utilizando os valores presente na Tabela 3.10 e as equações acima citadas, encontra-se o valor de 278,5  $\mu\text{H}$  para a indutância de dispersão e 785,1  $\mu\text{H}$  para o indutor de entrada.

Com esses valores de indutâncias pode se especificar os indutores para o conversor. As características do projeto dos indutores podem ser vistas na Tabela 3.16.

Tabela 3.16 – Características dos indutores.

Parâmetro	Indutor de entrada	Indutor de dispersão
Densidade de corrente	350 A/cm <sup>2</sup>	350 A/cm <sup>2</sup>
Densidade de fluxo magnético	0,3 T	0,3 T
Número de espiras	159	140
Condutor utilizado	10 fios 22 AWG	4 fios 22 AWG
Comprimento do condutor	16,3 m	8,7 m
Fator de utilização	0,4	0,4
Núcleo utilizado	MMT034T7725	MMT002T4416

FONTE: Próprio autor.

Os parâmetros densidade de corrente e densidade de fluxo magnético foram escolhidos visando manter a temperatura do magnético dentro dos limites estabelecidos pelo fabricante.

As características de construção dos transformadores podem ser vistas na Tabela 3.17. Os magnéticos foram dimensionados conforme o apêndice A.

Tabela 3.17 – Características dos transformadores.

<b>Parâmetro</b>	<b>Transformador de interfase</b>	<b>Transformador de potência</b>
Densidade de corrente	400 A/cm <sup>2</sup>	400 A/cm <sup>2</sup>
Densidade de fluxo magnético	0,2T	0,2 T
Número de espiras	80/80	134/134
Condutor utilizado	4 fios 22 AWG	4 fios 22 AWG
Comprimento do condutor	7,3 m	12,1 m
Fator de utilização	0,4	0,4
Núcleo utilizado	MMT139T6325	MMT139T6325

FONTE: Próprio autor.

Tanto os indutores quanto os transformadores possuem perdas nos condutores dadas pela equação (3.50).

$$P_{cobre} = R_{fio} \cdot I_{rms}^2 \quad (3.50)$$

Onde  $R_{fio}$  é a resistência do enrolamento. Além disso, os transformadores estão sujeitos a perdas no núcleo. Essas perdas são proporcionais à frequência de chaveamento, variação de densidade de fluxo magnético e volume do núcleo (MCLYMAN, 2014). O fabricante do núcleo oferece valores empíricos relacionados a cada um dos núcleos permitindo assim o cálculo dessas perdas nos transformadores. Por outro lado, os indutores apresentam perdas baixas no núcleo, pois a variação de densidade de fluxo magnético é baixa. Na Tabela 3.18 são apresentadas as perdas dos magnéticos conforme explicado previamente.

Tabela 3.18 – Perdas nos magnéticos.

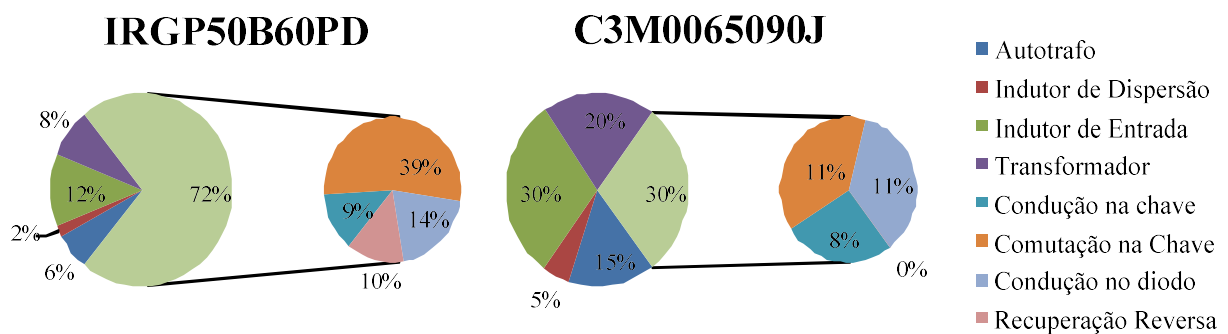
Magnético	Perda
Indutor de dispersão	2,46 W
Indutor de entrada	14,63 W
Transformador de potência	8,30 W
Transformador de interfase	7,35 W
Total	32,74 W

FONTE: Próprio autor.

### 3.2.3.4 Eficiência do Conversor

Uma vez realizado o cálculo das perdas nos semicondutores assim como o cálculo das perdas nos magnéticos pode-se determinar o valor da eficiência do conversor. Utilizando o IGBT IRGP50B60PD a eficiência ficou em 89,3 %. Utilizando a chave de carbeto de silício a eficiência subiu para 95,5 %. Na Figura 3.21 pode ser visto como estão distribuídas as perdas em ambos os cenários.

Figura 3.21 – Perdas no conversor



FONTE: Próprio autor.

Pode se constatar que o IGBT utilizado no estudo apresenta elevadas perdas correspondendo a 72 % do total contrastando com 30 % no caso do MOSFET de SiC. No caso dos magnéticos pode ser constatado que o indutor de entrada é responsável pela maior parcela de perdas nos magnéticos, devido à elevada corrente que o mesmo está submetido.

### 3.3 Considerações Finais

Este capítulo apresentou a análise qualitativa e quantitativa do conversor proposto. Na análise qualitativa foram abordadas a técnica de modulação e a estratégia de controle.

Na análise quantitativa foi equacionado o modelo completo do conversor mostrando as regiões de operação e obtendo o comportamento da potência ativa, potência aparente, fator de potência e corrente do transformador. Além disso, foi realizada a análise da corrente no indutor de entrada do conversor, onde pode ser visto que o aumento do número de módulos reduz consideravelmente o *ripple* de corrente.

Por fim, foi desenvolvido o estudo das perdas do conversor. Primeiramente foram determinados os valores médios e eficazes das correntes de todas as chaves para a obtenção das perdas de condução, comutação e recuperação reversa. Para completar a análise foi realizado o estudo de perdas dos magnéticos para a obtenção das perdas totais e a eficiência do conversor.

Foi possível concluir que a utilização de um semicondutor de alta performance pode melhorar consideravelmente as perdas do conversor e que o indutor de entrada apresenta a maior perda dentre os magnéticos do conversor.

#### 4 PROCEDIMENTO DE PROJETO

Uma vez realizada a análise matemática do conversor, neste capítulo é desenvolvida a análise dos sensores, filtros e controladores utilizados nas diversas malhas do conversor.

As especificações do projeto e os parâmetros do conversor utilizados nos cálculos dos componentes e dos controladores podem ser vistos na Tabela 4.1 e Tabela 4.2 respectivamente.

Tabela 4.1 – Especificações do projeto.

Tensão de entrada (CA)	110 V
Frequência da rede	60 Hz
Potência de saída	1 kW
Tensão no barramento primário	400 V
Tensão no barramento secundário	400 V
Frequência de comutação	20 kHz

FONTE: Próprio autor.

Tabela 4.2 – Parâmetros do conversor.

Indutância de entrada	785,1 $\mu$ H
Frequência da rede	60 Hz
Indutância série	278,5 $\mu$ H
Indutância de Magnetização (Controle)	0,5 mH
Capacitância (lado primário)	1830 $\mu$ F
Capacitância (lado secundário)	1410 $\mu$ F
Relação de transformação	1

FONTE: Próprio autor.

O valor das capacitâncias é obtido através do tempo de manutenção (*hold-up time*) e da equação (4.1).

$$C_{\min} = \frac{2 \cdot P_o \cdot t_{hu}}{V_o^2 - V_{o\min}^2} \quad (4.1)$$

Onde,  $t_{hu}$  é o tempo de manutenção e  $V_{o\min}$  o valor mínimo da tensão no barramento.

#### 4.1 Sensores de Tensão

Para realizar a medição das tensões no conversor são utilizados sensores isolados fabricados por LEM. O sensor utilizado nessa aplicação é o LP-20 capaz de medir até 500V. São necessários quatro sensores, sendo um para a tensão de entrada, um para cada barramento CC e outro para a tensão de um capacitor para realizar o balanceamento.

Para o correto funcionamento desse sensor é necessário especificar dois resistores. Um resistor de entrada que deve limitar a corrente para que não ultrapasse  $\pm 14\text{mA}$  e um segundo resistor que juntamente com o ganho de corrente do sensor irá produzir uma tensão dentro da faixa de leitura do conversor A/D utilizado. O ganho de corrente do sensor é de 2500:1000 e a faixa de trabalho do conversor A/D é de 0 à 3,3V. Na Tabela 4.3 pode ser visto um resumo do projeto dos sensores de tensão.

Tabela 4.3 – Resumo do projeto dos circuitos associados aos sensores de tensão.

	$V_{ac}$	$V_{C+i}/V_{cc}/V_o$	
<b>Modelo LEM</b>	LP-20	LP-20	
$V_{entrada\ máximo}$	311	400	V
$R_{entrada}$	$23,5 \times 10^3$	68000	$\Omega$
$i_{entrada}$	0,013	$5,9 \times 10^{-3}$	A
$V_{saída\ máx}$	1,5	3	V
$R_{saída}$	50	200	$\Omega$
$i_{saída}$	0,033	0,015	A
<b>Ganho</b>	$4,8 \times 10^{-3}$	$7,25 \times 10^{-3}$	

FONTE: Próprio autor.

Observa-se que a leitura da tensão de entrada é realizada de -1,5V até 1,5V e em seguida é realizado um deslocamento de 1,65V para que ela se torne totalmente positiva e possa ser lida pelo conversor A/D, uma vez que o microcontrolador não lê tensões negativas.

#### 4.2 Sensores de Corrente

Para a leitura da corrente também são utilizados sensores fabricados por LEM da série H0-NP/SP33. Considerando a potência de 1 kW do conversor e a tensão de entrada de 110 V a corrente tem um pico dado pela equação (4.2).

$$I_p = \frac{P_o}{V_{ac}} \sqrt{2} = \frac{1000}{110} \sqrt{2} = 12,8 \text{ A} \quad (4.2)$$



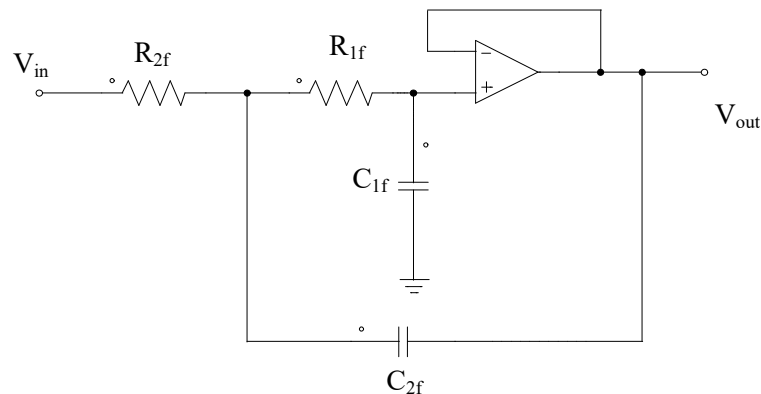
Com esse valor de corrente foi escolhido o sensor HO 25-NP/SP33 com três bobinas em paralelo. O valor do ganho desse sensor especificado pelo fabricante é de 0,0184 V/A. Esse sensor já realiza um deslocamento de 1,65 V na tensão de saída para a correta adequação com o conversor A/D utilizado.

Para a corrente de magnetização é utilizado o sensor HO 8-NP/SP33 cuja sensibilidade é de 0,619 V/A, pois a magnitude dessa corrente é muito pequena. Além disso, é utilizada uma configuração com as bobinas em série para uma melhor aquisição do sinal.

### 4.3 Filtros

Para a realização de uma medição com menos ruídos são utilizados filtros analógicos de segunda ordem do tipo passa baixa. Na Figura 4.1 pode ser vista a topologia de filtro utilizada.

Figura 4.1 – Filtro de segunda ordem.



FONTE: Próprio autor.

Para o projeto do filtro, define-se a frequência de corte desejada e adota-se o valor do resistor  $R_{1f}$  e capacitor  $C_{2f}$ . O resistor  $R_{2f}$  e o capacitor  $C_{1f}$  podem ser calculados pela equação (4.3) e equação (4.4) respectivamente.

$$R_{2f} = \frac{R_{1f}}{\sqrt{2} \cdot \omega_{cut} \cdot C_{2f} \cdot R_{1f} - 1} \quad (4.3)$$

$$C_{1f} = \frac{1}{\omega_{cut}^2 \cdot C_{2f} \cdot R_{1f} \cdot R_{2f}} \quad (4.4)$$

Onde  $\omega_{cut}$  é a frequência de corte em radianos. Esse filtro assim projetado possui a função de transferência vista na equação (4.5).

$$H_{butter}(s) = \frac{\omega_{cut}^2}{s^2 + \sqrt{2} \cdot \omega_{cut} \cdot s + \omega_{cut}^2} \quad (4.5)$$

Pode se observar que o filtro descrito acima possui um amortecimento intrínseco de 0,707 e dois pólos complexos conjugados com módulo igual à frequência de corte e fase de 45°, caracterizando um *butterworth*.

Para a aquisição da tensão dos barramentos CC, capacitor e corrente de entrada é considerado um filtro com frequência de corte de 10 kHz e para a corrente de magnetização 5 kHz. Na Tabela 4.4 podem ser vistos os componentes utilizados nos filtros.

Tabela 4.4 – Componentes utilizados nos filtros.

Componente	10 kHz	5 kHz
R1	2,2 kΩ	4,7 kΩ
R2	2,2 kΩ	4,7 kΩ
C1	10 nF	10 nF
C2	4,7 nF	4,7 nF

FONTE: Próprio autor.

#### 4.4 Projeto dos Controladores

Nesta seção é descrito detalhadamente o projeto dos controladores necessários para a operação do conversor utilizando uma abordagem com controlador digital.

Existem duas possibilidades para o projeto de controladores digitais. A primeira possibilidade é através da discretização da planta e a realização da sintonização do controlador no tempo discreto. A segunda possibilidade é o dimensionamento do controlador no tempo contínuo, considerando ganhos e aquisição digital, e posteriormente discretizando o controlador para uso no processador.

A descrição dos controladores é dividida em quatro partes. Controlador do barramento de tensão do primário, controlador da corrente de entrada, controlador do barramento do secundário e controlador da corrente de magnetização.

##### 4.4.1 Controlador do Barramento de Tensão do Primário

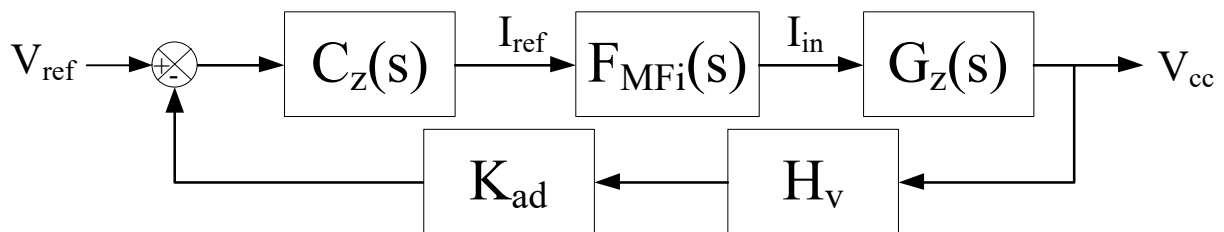
O controlador do barramento de tensão do primário é cascadeado com o controlador de corrente. Para realizar o projeto desse controlador é necessário conhecer a

função de transferência da planta que relaciona a tensão de primário com a corrente de entrada. Essa função de transferência é vista na equação (4.6).

$$G_z(s) = \frac{R_o}{R_o \cdot C_p \cdot s + 1} \quad (4.6)$$

Onde  $R_o$  é a resistência de carga e  $C_p$  a capacitância do primário. Essa função de transferência representa uma aproximação para baixas frequências. Aproximação essa que produz bons resultados tendo em vista que a frequência de cruzamento da tensão normalmente é baixa. Na Figura 4.2 pode ser visto um diagrama de blocos dessa malha de controle.

Figura 4.2 – Diagrama de blocos da malha de tensão do barramento primário.



FONTE: Próprio autor.

Onde  $C_z(s)$  é o controlador da malha de tensão do primário,  $F_{MFi}(s)$  é a função de transferência de malha fechada do controle de corrente,  $K_{ad}$  é o ganho do conversor A/D e  $H_v$  o ganho do sensor de tensão.

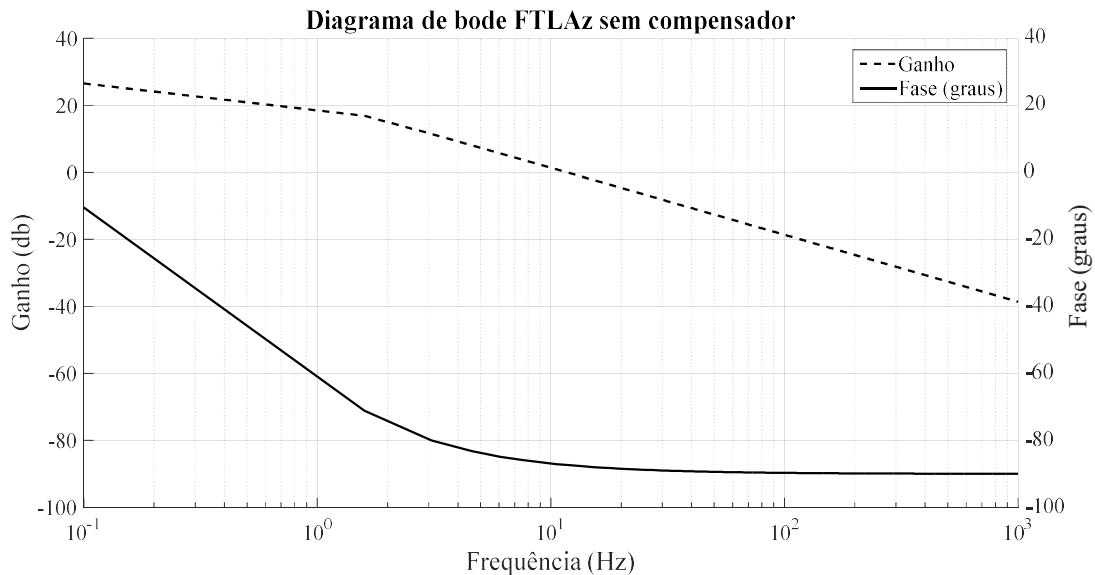
Na função de transferência de laço aberto do sistema deve ser considerado o ganho do sensor de tensão. Além disso, a malha de corrente, por ser uma malha muito mais rápida do que a malha de tensão, é vista por essa malha apenas pelo inverso do ganho do sensor. Logo, a função de transferência de laço aberto pode ser determinada pela equação (4.7).

$$FTLA_z(s) = G_z(s) \cdot \frac{H_v}{H_i} \quad (4.7)$$

Onde  $H_v$  é o ganho do sensor de tensão e  $H_i$  o ganho do sensor de corrente. Na Figura 4.3 pode ser visto o diagrama de bode dessa função.

Observe que não é necessário utilizar o ganho do conversor A/D, pois a malha de tensão fornece a referência de corrente, havendo assim um cancelamento desse ganho.

Figura 4.3 – Função de transferência de laço aberto da tensão de entrada sem compensador.



FONTE: Próprio autor.

No presente trabalho os controladores são dimensionados no tempo contínuo utilizando a metodologia do fator  $k$  proposta em Venable (1983). Posteriormente é realizada a discretização.

Para determinar o controlador pelo fator  $k$  deve-se primeiramente escolher a frequência de cruzamento desejada. A malha de tensão é uma malha lenta devendo assim ser escolhida uma frequência baixa.

No caso, a frequência escolhida é de 10 Hz. Deve-se escolher ainda a margem de fase. Uma boa margem de fase para o sistema é de  $60^\circ$ , pois atende um bom compromisso de sobressinal e tempo de acomodação.

Uma vez escolhido esses valores deve-se calcular o aumento de fase necessário para obter a margem de fase desejada através da equação (4.8).

$$AF = MF - \arg(FTLA(\omega_c)) - 90^\circ \quad (4.8)$$

MF é a margem de fase desejada e  $\omega_c$  é a frequência de cruzamento em radianos. Com esse aumento de fase determina-se o fator  $k$  através da equação (4.9).

$$k = \text{tg} \left( \frac{AF}{2} + 45^\circ \right) \quad (4.9)$$

Vale salientar que essa equação é válida apenas para AF menor que  $90^\circ$ . Para valores maiores deve-se utilizar um controlador diferente. No presente trabalho, todos os controladores ficaram dentro desse limite.

Com esse fator calcula-se a frequência do polo e do zero do controlador para que as condições de frequência de cruzamento e margem de fase sejam alcançadas através da equação (4.10) e equação (4.11) respectivamente.

$$\omega_z = \frac{\omega_c}{k} \quad (4.10)$$

$$\omega_p = \omega_c \cdot k \quad (4.11)$$

Por fim deve-se ainda calcular o ganho da função para obter a frequência de cruzamento desejada através da equação (4.12).

$$G_c = \frac{1}{|FTLA(\omega_c)|} \quad (4.12)$$

A função de transferência do controlador obtido pelo fator k é vista na equação (4.13).

$$C(s) = G_c \cdot \omega_p \frac{s + \omega_z}{s + \omega_p} \quad (4.13)$$

Para a aplicação em microcontroladores deve-se ainda discretizar a equação (4.13). No presente texto foi utilizado o método de Tustin que está expresso na equação (4.14).

$$s = \frac{2}{T_a} \cdot \frac{z-1}{z+1} \quad (4.14)$$

Onde  $T_a$  é o período de amostragem. Dessa forma o controlador discreto utilizando o fator k e o método de Tustin é visto na equação (4.15).

$$C(z) = \frac{U(z)}{E(z)} = \frac{G_c \cdot \omega_p \cdot T_a}{\omega_z} \cdot \frac{(\omega_z \cdot T_a + 2) \cdot z^2 + 2 \cdot \omega_z \cdot T_a \cdot z + (\omega_z \cdot T_a - 2)}{(4 + 2 \cdot \omega_p \cdot T_a) \cdot z^2 - 8 \cdot z + (4 - 2 \cdot \omega_p \cdot T_a)} \quad (4.15)$$

Onde  $U(z)$  é o sinal de controle e  $E(z)$  o sinal de erro. Com essa expressão, pode-se obter uma equação de diferenças que pode ser implementada em um processador. A equação de diferenças é vista na equação (4.16).

$$U(z) = a_1 \cdot U(z-1) + a_2 \cdot U(z-2) + b_0 \cdot E(z) + b_1 \cdot E(z-1) + b_2 \cdot E(z-2) \quad (4.16)$$

Onde cada coeficiente pode ser calculado através das equações abaixo.

$$a_1 = \frac{4}{2 + T_a \cdot \omega_p} \quad (4.17)$$

$$a_2 = \frac{T_a \cdot \omega_p - 2}{2 + T_a \cdot \omega_p} \quad (4.18)$$

$$b_0 = \frac{G_c \cdot \omega_p \cdot T_a \cdot (2 + T_a \cdot \omega_z)}{2 \cdot (2 + T_a \cdot \omega_p)} \quad (4.19)$$

$$b_1 = \frac{G_c \cdot \omega_p \cdot T_a^2 \cdot \omega_z}{2 + T_a \cdot \omega_p} \quad (4.20)$$

$$b_2 = \frac{G_c \cdot \omega_p \cdot T_a \cdot (T_a \cdot \omega_z - 2)}{2 \cdot (2 + T_a \cdot \omega_p)} \quad (4.21)$$

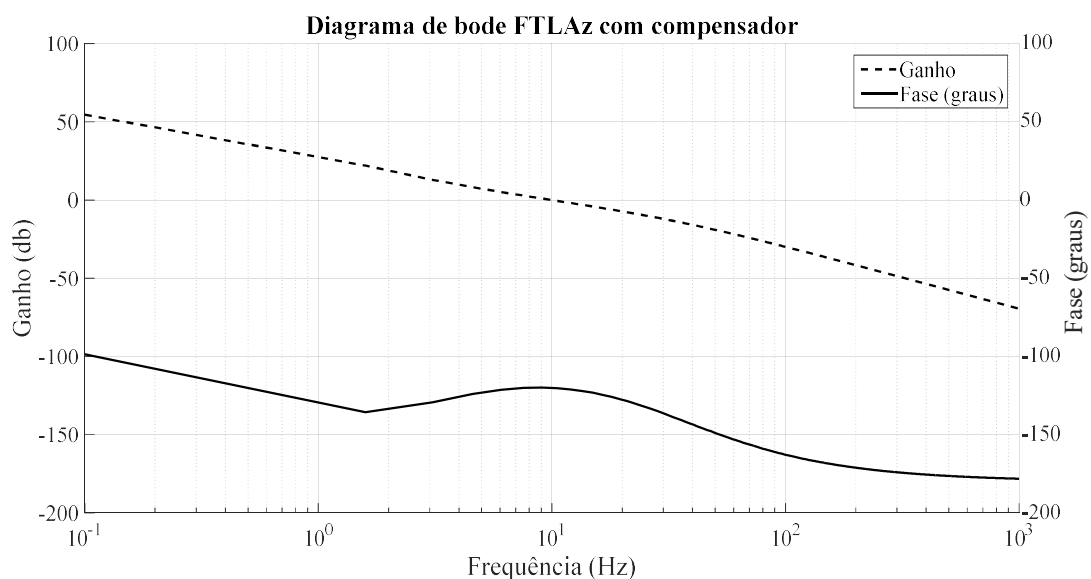
Com essas equações pode ser calculado o controlador de tensão. Os valores obtidos estão resumidos na Tabela 4.5. Na Figura 4.4 pode ser visto o diagrama de bode do sistema com o controlador.

Tabela 4.5 – Resumo dos dados do controlador da tensão de entrada.

$\mathbf{AF_z}$	56,82°
$\mathbf{k_z}$	3,36
$\mathbf{\omega_{zz}}$	18,7 rad/s
$\mathbf{\omega_{pz}}$	210,9 rad/s
$\mathbf{G_{cz}}$	0,855
$\mathbf{a_{1z}}$	1,996
$\mathbf{a_{2z}}$	-0,996
$\mathbf{b_{0z}}$	$1,5 \times 10^{-3}$
$\mathbf{b_{1z}}$	$4,68 \times 10^{-7}$
$\mathbf{b_{2z}}$	$-1,49 \times 10^{-3}$

FONTE: Próprio autor.

Figura 4.4 – Função de transferência de laço aberto da tensão de entrada com compensador.

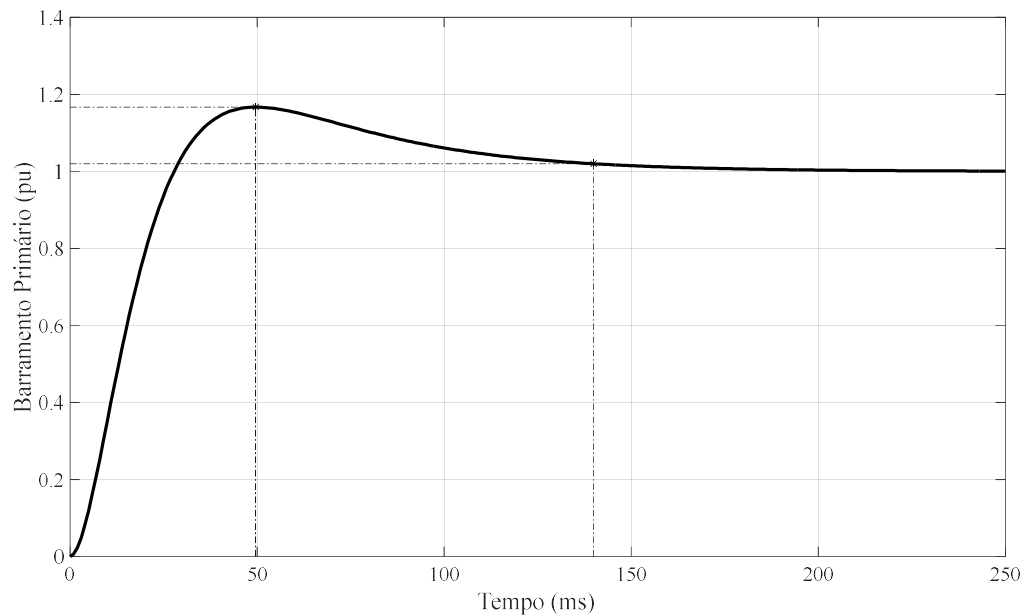


FONTE: Próprio autor.

Pode ser notado na figura que o controlador foi capaz de estabelecer a frequência de cruzamento desejada de 10 Hz e a margem de fase de 60°.

Na Figura 4.5 pode ser vista a resposta ao degrau de referência do sistema com controlador em malha fechada.

Figura 4.5 – Resposta ao degrau da malha do barramento primário.

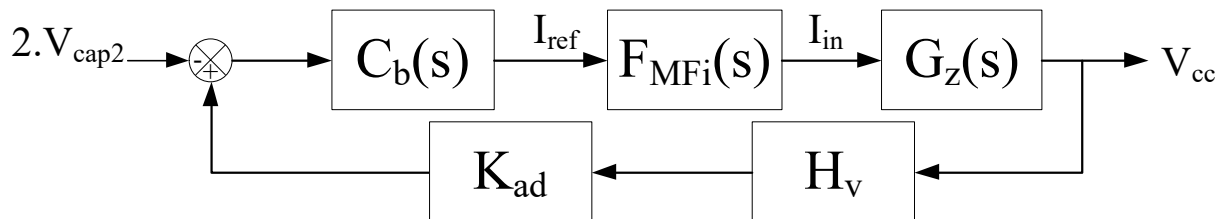


FONTE: Próprio autor.

Pode ser observado um sobressinal de 17% e um tempo de assentamento de 140ms.

A malha de balanceamento dos capacitores utiliza a mesma função de transferência da planta. Na Figura 4.6 pode ser visto o diagrama de blocos do sistema.

Figura 4.6 – Diagrama de blocos da malha de balanceamento dos capacitores.



FONTE: Próprio autor.

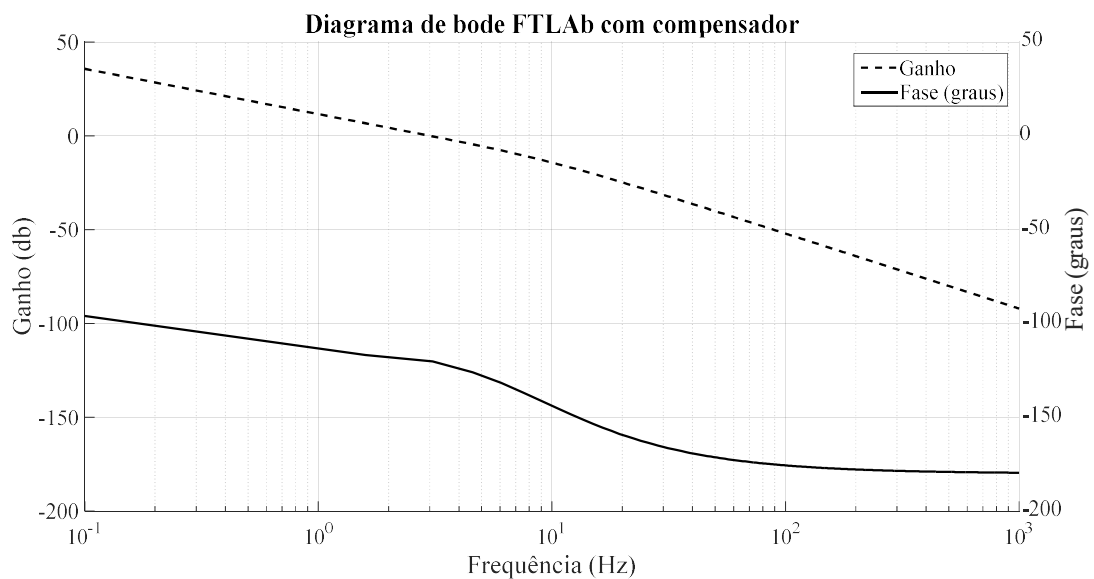
Contudo, uma vez que essa malha injeta um sinal à referência de corrente é interessante que ela não seja muito agressiva ao custo de afetar o fator de potência e o THD. Dessa forma, para a malha de balanceamento foi escolhida uma frequência de cruzamento de 3 Hz com margem de fase de  $60^\circ$ . O resumo dos valores do controlador assim obtido podem ser vistos na Tabela 4.6 e o diagrama de bode da função de transferência de laço aberto com o controlador pode ser visto na Figura 4.7.

Tabela 4.6 – Resumo dos dados do controlador de balanceamento dos capacitores.

$AF_b$	49,7°
$k_b$	2,73
$\omega_{zb}$	6,9 rad/s
$\omega_{pb}$	51,4 rad/s
$G_{cb}$	0,26
$a_{1b}$	1,999
$a_{2b}$	-0,999
$b_{0b}$	$1,1137 \times 10^{-4}$
$b_{1b}$	$1,283 \times 10^{-8}$
$b_{2b}$	$-1,1136 \times 10^{-4}$

FONTE: Próprio autor.

Figura 4.7 – Função de transferência de laço aberto de balanceamento dos capacitores com compensador

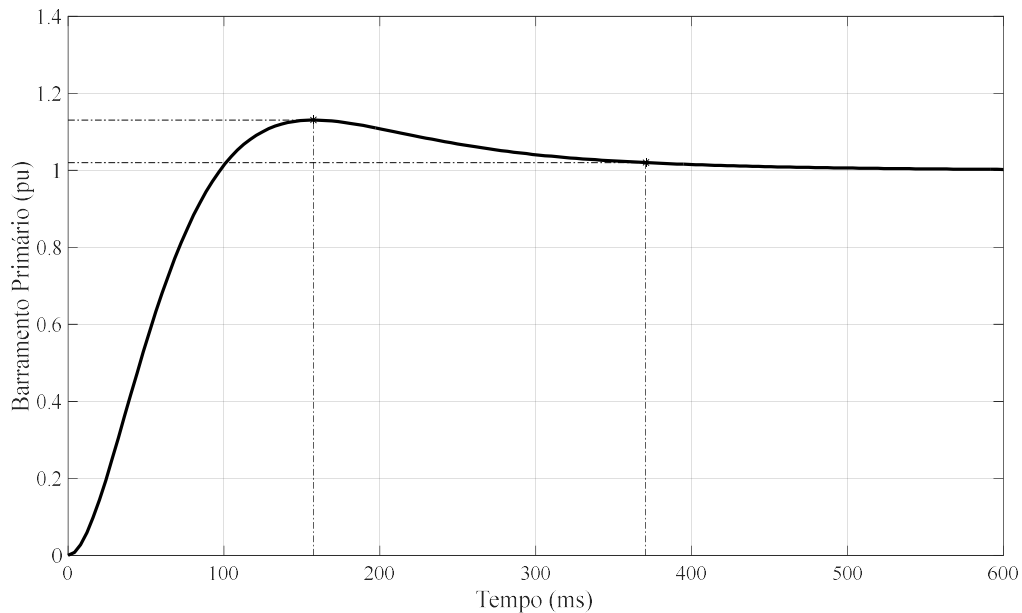


FONTE: Próprio autor.

Na Figura 4.8 pode ser visto o degrau de referência do sistema em malha fechada com controlador.



Figura 4.8 – Resposta ao degrau da malha de balanceamento.



FONTE: Próprio autor.

Pode ser observado um sobressinal de 13% e um tempo de assentamento de 370ms. Observe que o tempo é alto se comparado com a malha de tensão do barramento devido à escolha de uma frequência de cruzamento bastante pequena.

#### 4.4.2 Controlador da Corrente de Entrada

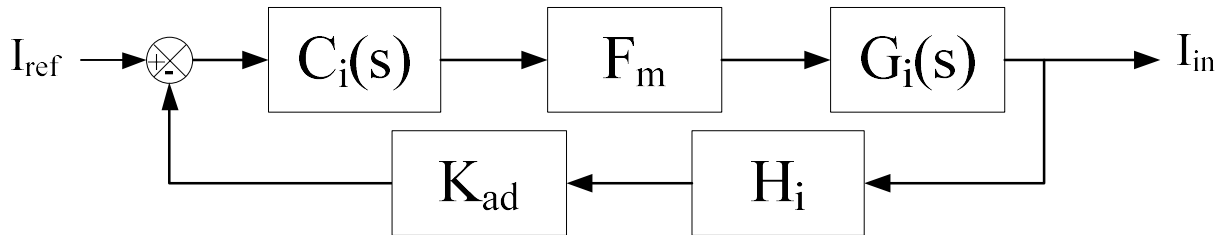
O controlador de corrente recebe como referência um valor proveniente da malha de tensão multiplicado pela senoide que é gerada através do PLL. Dessa forma, pode-se controlar o valor de pico e o formato dessa corrente. A função de transferência dessa malha pode ser vista na equação (4.22).

$$G_i(s) = \frac{V_o}{L_{in} \cdot s} \quad (4.22)$$

Na Figura 4.9 pode ser visto um diagrama de bloco desse sistema de controle.

Esse controlador atua diretamente sobre o índice de modulação. Dessa forma, sua função de transferência de laço aberto além de conter o ganho do sensor de corrente e do conversor A/D deve ainda ser multiplicada pelo ganho do modulador.

Figura 4.9 – Diagrama de blocos da malha de corrente.



FONTE: Próprio autor.

O ganho do conversor A/D pode ser obtido pela equação (4.23).

$$K_{ad} = \frac{2^{n_{ad}} - 1}{V_{Fad}} \quad (4.23)$$

Onde  $n_{ad}$  é o número de bits do conversor A/D e  $V_{Fad}$  o fundo de escala. O ganho do modulador pode ser obtido pela equação (4.24).

$$F_m = \frac{1}{V_{ppm}} \quad (4.24)$$

Onde  $V_{ppm}$  é o valor pico à pico máximo da moduladora. No presente estudo o valor máximo do índice de modulação que um módulo pode operar é 1. Logo, o valor de pico à pico máximo é igual à 2.

Dessa forma, a função de transferência de laço aberto pode ser obtida conforme visto na equação (4.25).

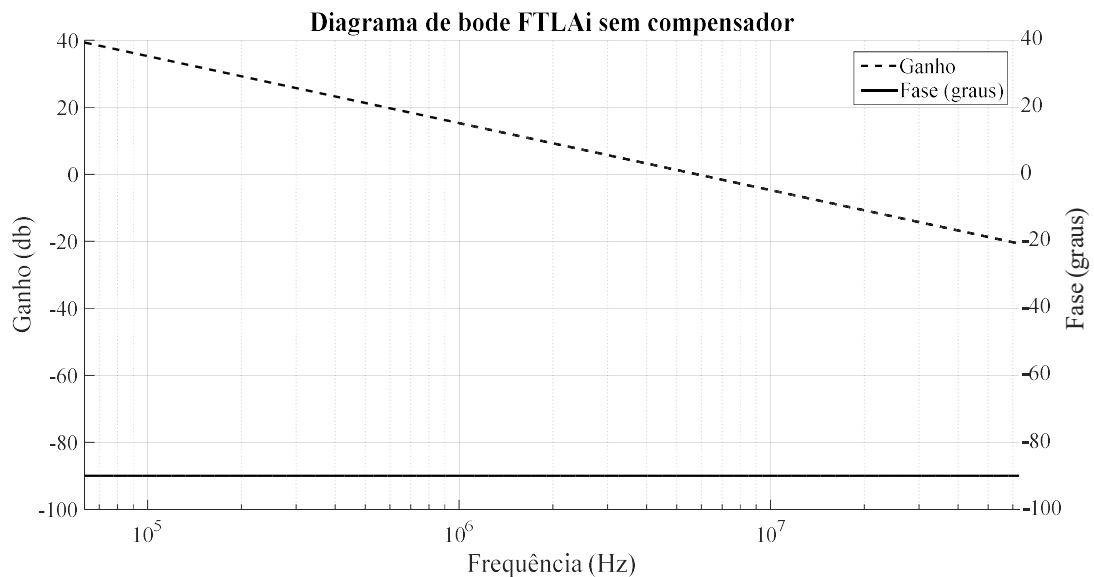
$$FTLA_i(s) = G_i(s) \cdot H_i \cdot K_{ad} \cdot F_m \quad (4.25)$$

Na Figura 4.10 pode ser visto o diagrama de bode da função de transferência de laço aberto.

Essa função de transferência representa uma aproximação para altas frequências. Aproximação essa que apresenta bons resultados, pois a malha de corrente possui frequência de cruzamento elevada.

De forma semelhante ao controlador do barramento de tensão, é usado o fator  $k$  discretizado por Tustin. Para a malha de corrente é utilizada uma frequência de cruzamento de 2,3 kHz e a margem de fase de 60°. Na Tabela 4.7 pode ser visto o resumo do controlador dimensionado.

Figura 4.10 – Função de transferência de laço aberto da corrente sem compensador



FONTE: Próprio autor.

Tabela 4.7 – Resumo dos dados do controlador da corrente de entrada.

$AF_i$	$60^\circ$
$k_i$	3,73
$\omega_{zi}$	3873 rad/s
$\omega_{pi}$	53930 rad/s
$G_{ci}$	0,00211
$a_{1i}$	1,38
$a_{2i}$	-0,38
$b_{0i}$	$6,757 \times 10^{-4}$
$b_{1i}$	$4,225 \times 10^{-5}$
$b_{2i}$	$-6,334 \times 10^{-4}$

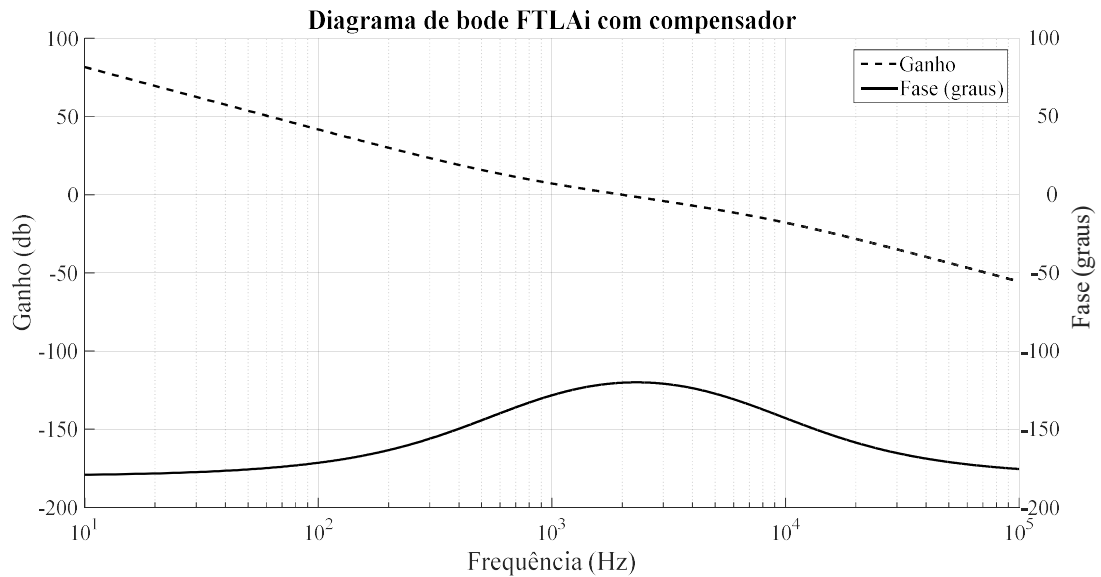
FONTE: Próprio autor.

Na Figura 4.11 pode ser visto o diagrama de bode da função de transferência de laço aberto com o compensador.

Mais uma vez pode ser visto que foi alcançada a frequência de cruzamento desejada de 2,3 kHz e margem de fase de  $60^\circ$ .

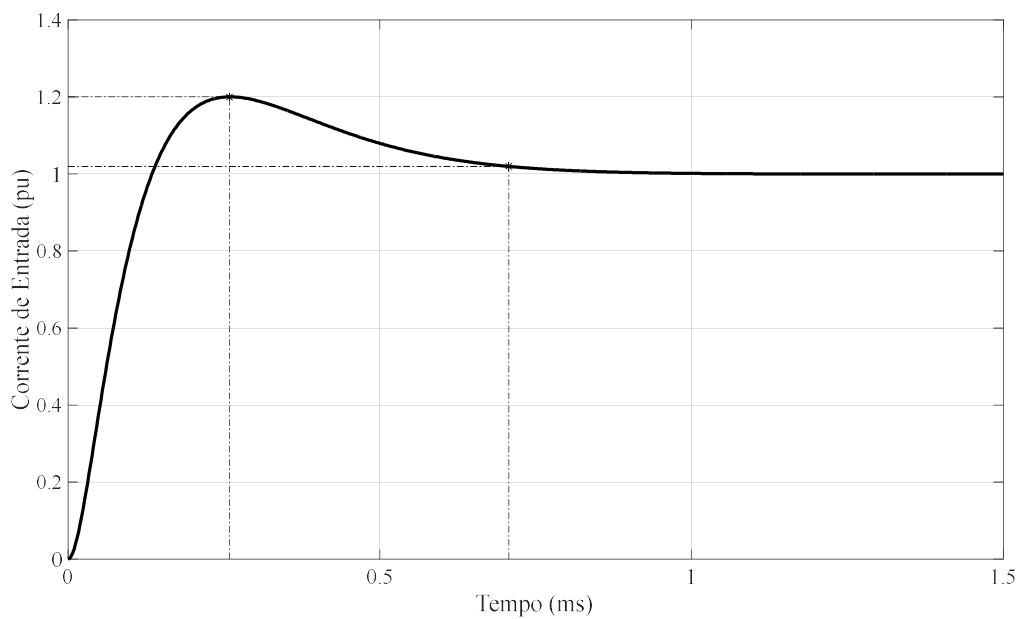
Na Figura 4.12 pode ser visto o degrau de referência no sistema em malha fechada.

Figura 4.11 – Função de transferência de laço aberto da corrente de entrada com compensador



FONTE: Próprio autor.

Figura 4.12 – Resposta ao degrau da malha de corrente.



FONTE: Próprio autor.

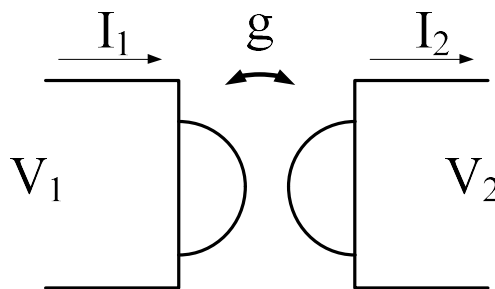
Pode ser observado um sobressinal de 20 % com um tempo de acomodação de 0,7 ms. Pelo tempo de acomodação pode ser constatado que essa malha é praticamente 200 vezes mais rápida que a malha de tensão. Valor esse adequado para o cascadeamento das mesmas.

#### 4.4.3 Controlador do Barramento da Tensão do Secundário

Para o dimensionamento do controlador do barramento da tensão do secundário é necessário obter a função de transferência que relaciona a tensão de saída com o ângulo de defasagem. Essa função pode ser obtida através da teoria do gyrator (TELLEGEN, 1948).

O gyrator é um elemento de duas portas, sem perdas e sem capacidade de armazenar energia que conecta as duas portas através de uma constante conhecida como constante girostática. Desse ponto de vista, o gyrator se assemelha bastante com um transformador. Contudo, o gyrator converte o elemento de uma porta em seu dual na segunda porta. Na Figura 4.13 pode ser vista a representação desse elemento.

Figura 4.13 – Gyrator



FONTE: Adaptado de Tellegen (1948).

As relações de corrente e tensão do gyrator podem ser vistas na equação (4.26) e equação (4.27).

$$I_2 = g.V_1 \quad (4.26)$$

$$I_1 = g.V_2 \quad (4.27)$$

Como pode ser visto em Santos e Martins (2012), o conversor DAB é considerado um gyrator natural onde a constante girostática é dada pela equação (4.28).

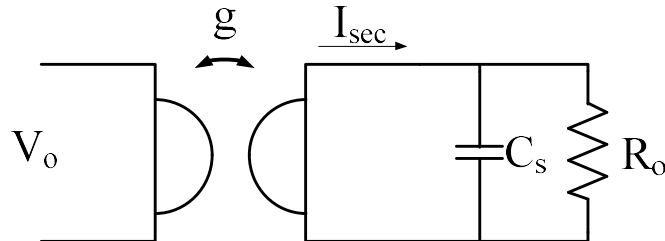
$$g = \frac{1}{2.\pi.f_s.L_{disp}} .\Phi .\left(1 - \frac{|\Phi|}{\pi}\right) \quad (4.28)$$

Considerando a tensão na porta 1 como sendo  $V_o$  a corrente no secundário pode ser obtida pela equação (4.29).

$$I_{sec} = g.V_o = \frac{V_o}{2.\pi.f_s.L_{disp}} .\Phi .\left(1 - \frac{|\Phi|}{\pi}\right) \quad (4.29)$$

A tensão de saída pode ser obtida multiplicando essa corrente pela impedância de saída conforme visto na Figura 4.14.

Figura 4.14 – Gyrator aplicado ao DAB



FONTE: Adaptado de (SANTOS; MARTINS, 2012).

A tensão de saída pode então ser obtida pela equação (4.30).

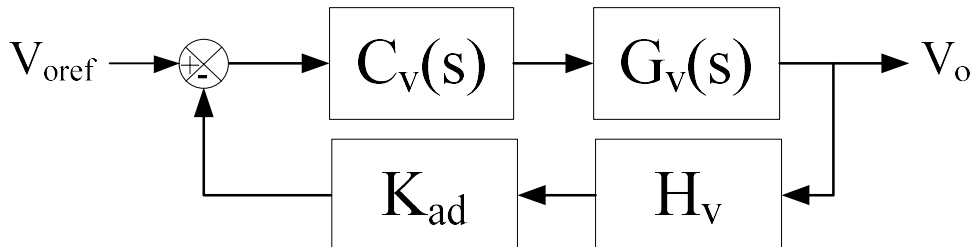
$$V_{sec}(s) = \frac{V_o}{2\pi \cdot f_s \cdot L_{disp}} \cdot \Phi \cdot \left(1 - \frac{|\Phi|}{\pi}\right) \cdot \frac{R_o}{R_o \cdot C_s \cdot s + 1} \quad (4.30)$$

Onde  $C_s$  é o capacitor de saída. Por fim, para obter a função de transferência para o controle do barramento de saída deve-se linearizar essa equação em torno do ponto de operação. Dessa forma, obtém-se a função de transferência vista na equação (4.31).

$$G_v(s) = \frac{V_o}{2\pi \cdot f_s \cdot L_d} \cdot \left(1 - \frac{2 \cdot |\Phi_o|}{\pi}\right) \cdot \frac{R_o}{R_o \cdot C_s \cdot s + 1} \quad (4.31)$$

Na Figura 4.15 pode ser observado o diagrama de blocos desse sistema de controle.

Figura 4.15 – Diagrama de blocos da malha da tensão de saída.



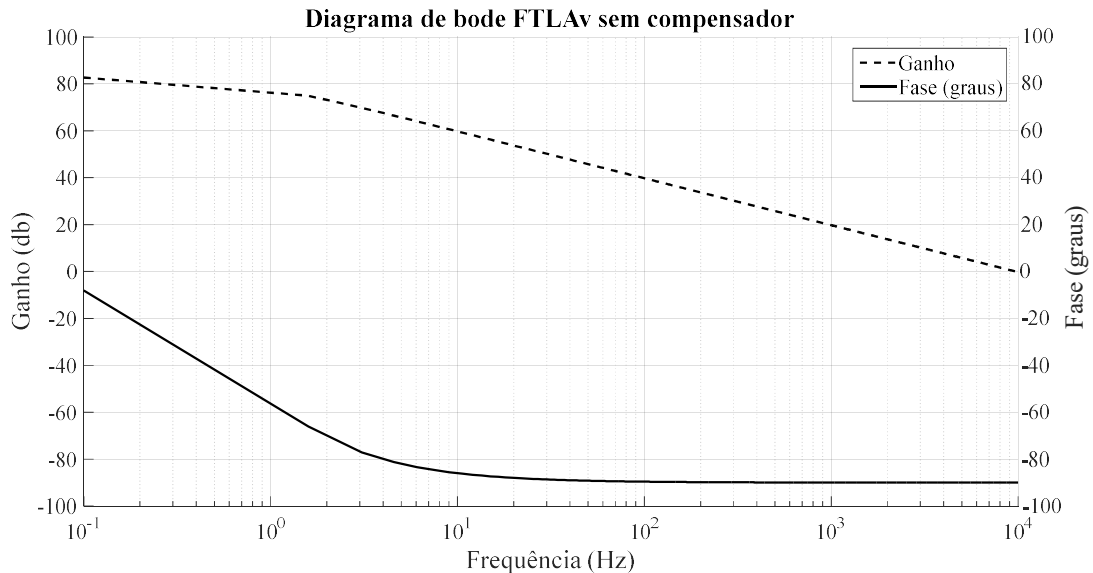
FONTE: Próprio autor.

A essa função de transferência deve-se ainda aplicar o ganho do sensor de tensão e o ganho do conversor A/D para se obter a função de transferência de laço aberta da tensão de saída conforme equação (4.32).

$$FTLA_v(s) = K_{ad} \cdot H_v \cdot G_v(s) \quad (4.32)$$

O diagrama de bode da função de transferência de laço aberto sem compensador pode ser visto na Figura 4.16.

Figura 4.16 – Função de transferência de laço aberto da tensão de saída sem compensador



FONTE: Próprio autor.

Para essa malha de controle é considerada uma frequência de cruzamento de 30 Hz, pois uma malha muito agressiva causaria grandes variações de ângulo de defasagem. Além disso, é considerada uma margem de fase de  $60^\circ$ , pois a mesma apresenta uma boa resposta dinâmica, com baixo sobressinal e pouca oscilação. Mais uma vez é utilizado o método do fator k com discretização por Tustin.

Na Tabela 4.8 vê-se o detalhamento do controlador obtido com essas especificações.

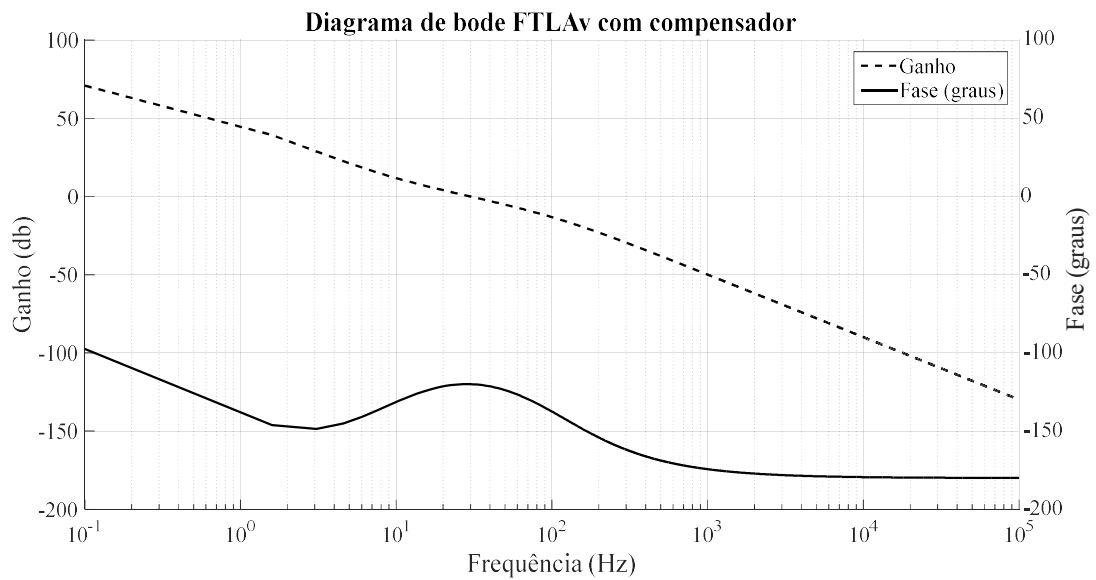
Tabela 4.8 – Resumo dos dados do controlador da tensão de saída.

$AF_v$	$58,6^\circ$
$k_v$	3,6
$\omega_{zv}$	52,9 rad/s
$\omega_{pv}$	671,8,6 rad/s
$G_{cv}$	0,000308
$a_{1v}$	1,989
$a_{2v}$	-0,989
$b_{0v}$	$1,717 \times 10^{-5}$
$b_{1v}$	$1,51 \times 10^{-8}$
$b_{2v}$	$-1,716 \times 10^{-5}$

FONTE: Próprio autor.

Na Figura 4.17 pode ser visto a função de transferência de laço aberto com o compensador. Pode ser visto que a frequência de cruzamento desejada foi alcançada assim como a margem de fase.

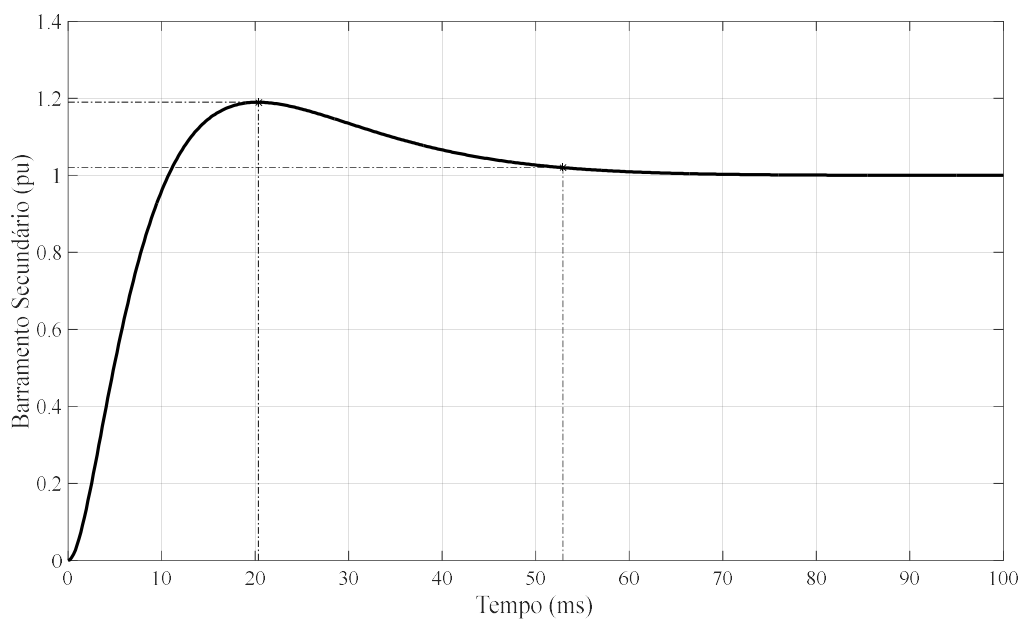
Figura 4.17 – Função de transferência de laço aberto da tensão de saída com compensador.



FONTE: Próprio autor.

Na Figura 4.18 pode ser vista a resposta ao degrau do sistema em malha fechada.

Figura 4.18 – Resposta ao degrau da malha da tensão de saída.



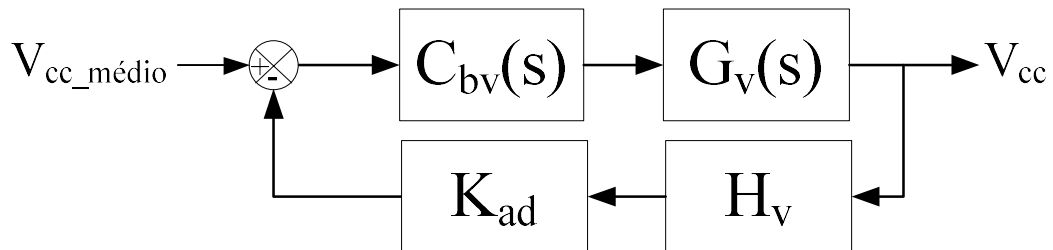
FONTE: Próprio autor.



Pode ser observado um sobressinal de 19 % e um tempo de acomodação de 53 ms. Pode ser constatado que a frequência de 30 Hz aplicada nessa malha de controle possibilitou uma resposta praticamente três vezes mais rápida que a malha do primário que foi sintonizada em 10 Hz.

No caso da utilização de dois módulos deve-se ainda dimensionar uma malha de balanceamento da tensão de primário. Como discutido anteriormente essa malha acrescenta um pequeno valor de ângulo em cada módulo utilizando assim a mesma função de transferência de malha aberta. Na Figura 4.19 pode ser visto um diagrama de blocos do sistema de controle.

Figura 4.19 – Diagrama de blocos da malha de balanceamento das tensões de primário.



FONTE: Próprio autor.

Para que a malha não seja tão agressiva foi escolhida uma frequência de cruzamento de 5 Hz com margem de fase de 60°.

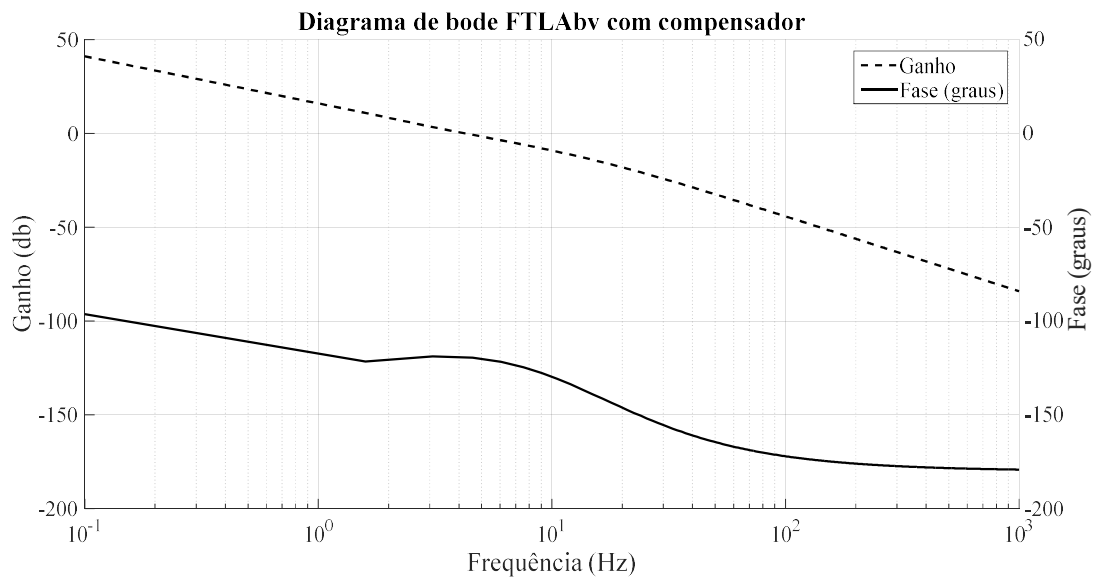
Na Tabela 4.9 pode ser visto o resumo dos parâmetros do controlador utilizado e na Figura 4.20 pode ser visto o diagrama de bode da função de transferência de laço aberto com o controlador. Pode ser visto nesse diagrama que a frequência de cruzamento escolhida foi alcançada assim como a margem de fase.

Tabela 4.9 – Resumo dos dados do controlador de balanceamento dos primários.

$AF_{bv}$	53°
$k_{bv}$	2,998
$\omega_{zbv}$	10,5rad/s
$\omega_{pbv}$	94,2rad/s
$G_{cbv}$	0,000603
$a_{1bv}$	1,998
$a_{2bv}$	-0,998
$b_{0bv}$	$4,734 \times 10^{-7}$
$b_{1bv}$	$8,268 \times 10^{-11}$
$b_{2bv}$	$-4,733 \times 10^{-7}$

FONTE: Próprio autor.

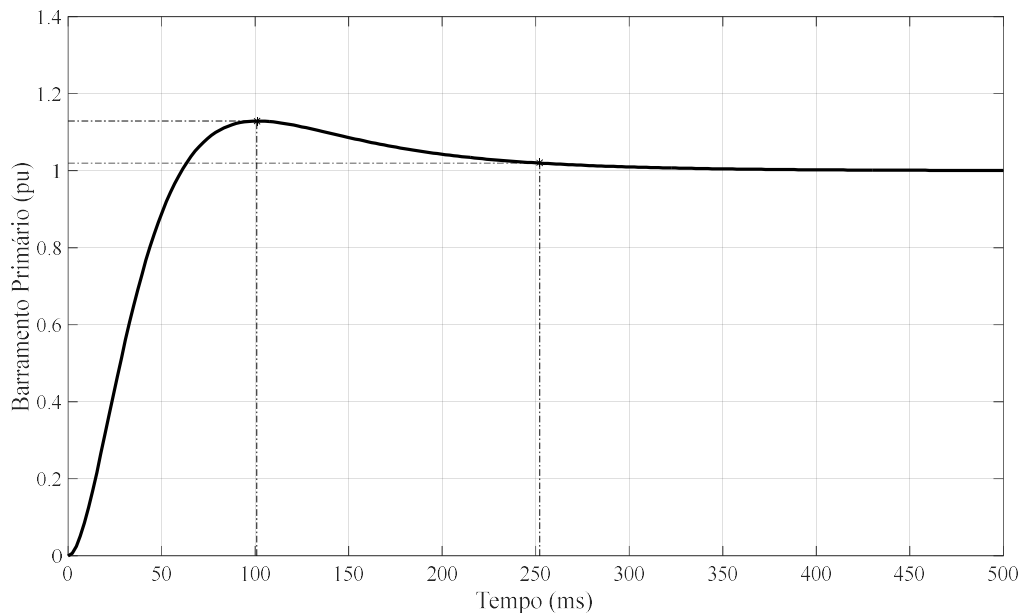
Figura 4.20 – Função de transferência de laço abeto de balanceamento dos primários com compensador



FONTE: Próprio autor.

Na Figura 4.21 pode ser vista a resposta ao degrau do sistema controlado.

Figura 4.21 – Resposta ao degrau da malha de balanceamento das tensões de primário.



FONTE: Próprio autor.

Pode ser observado um sobressinal de 13 % e um tempo de assentamento de 250 ms.

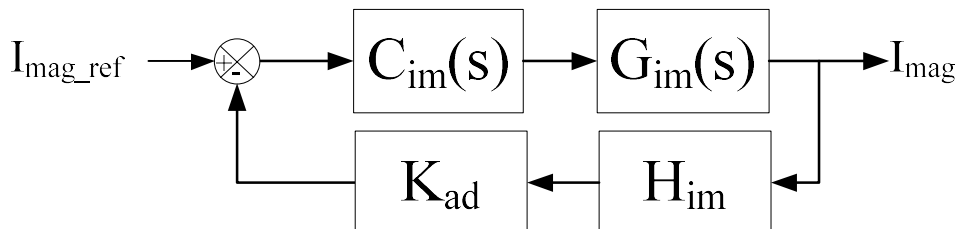
#### 4.4.4 Controlador da Corrente de Magnetização

Para determinar o valor de  $t_{mag}$  utilizado na estratégia de controle de magnetização, explicada no capítulo 3, deve ser dimensionado um controlador. Para medir a corrente de magnetização é utilizado um indutor em paralelo com o transformador que pode ser modelado pela equação (4.33).

$$G_{im}(s) = \frac{V_o}{L_m \cdot s} \quad (4.33)$$

Na Figura 4.22 pode ser visto o diagrama de blocos do sistema de controle.

Figura 4.22 – Diagrama de blocos da malha da corrente de magnetização.



FONTE: Próprio autor.

Deve-se aplicar o ganho do sensor de corrente de magnetização, o ganho do conversor A/D e o ganho do modulador à planta para obter a função de transferência de laço aberto vista na equação (4.34).

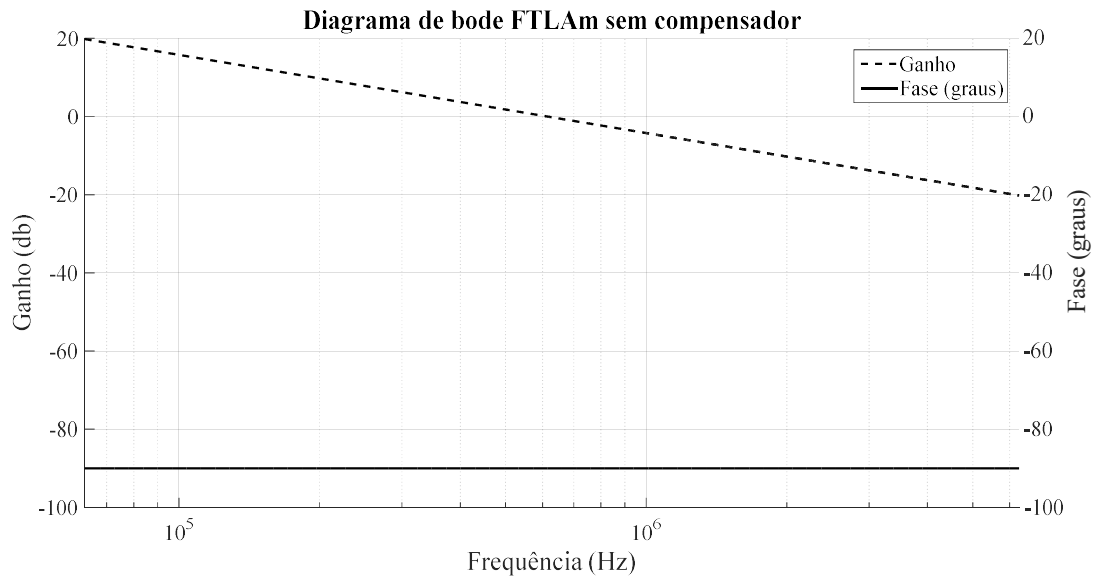
$$FTLA_{im}(s) = G_{im}(s) \cdot H_{im} \cdot K_{ad} \cdot F_m \quad (4.34)$$

O Diagrama de bode dessa função pode ser visto na Figura 4.23.

Para essa malha de controle é utilizada uma frequência de cruzamento de 20 Hz e uma margem de fase de 30°.

Com essas especificações é aplicado o método do fator k juntamente com a discretização de Tustin para obtenção do controlador digital. Na Tabela 4.10 pode ser visto um resumo dos parâmetros do controlador.

Figura 4.23 – Função de transferência de laço aberto da magnetização sem compensador.



FONTE: Próprio autor.

Tabela 4.10 – Resumo dos dados do controlador de magnetização.

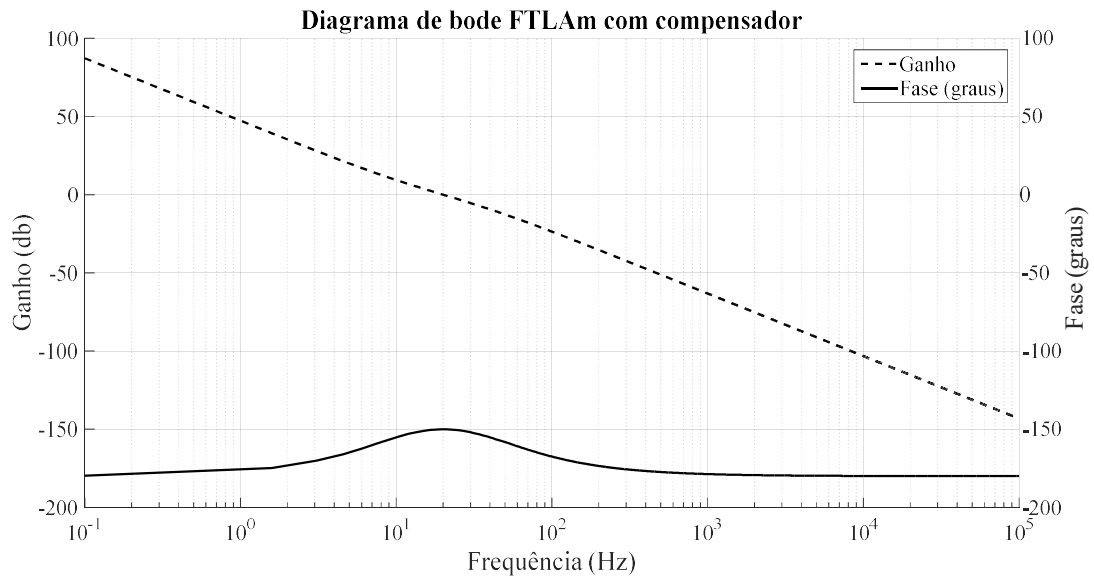
$AF_m$	$30^\circ$
$k_m$	1,732
$\omega_{zm}$	72,55rad/s
$\omega_{pm}$	217,66rad/s
$G_{cm}$	0,000205
$a_{1m}$	1,996
$a_{2m}$	-0,996
$b_{0m}$	$3,71 \times 10^{-7}$
$b_{1m}$	$4,48 \times 10^{-10}$
$b_{2m}$	$-3,70 \times 10^{-7}$

FONTE: Próprio autor.

Na Figura 4.24 pode ser visto o diagrama de bode da função de transferência de laço aberto com compensador.

Pode ser observado que o sistema compensado alcançou a frequência de cruzamento e margem de fase requerida.

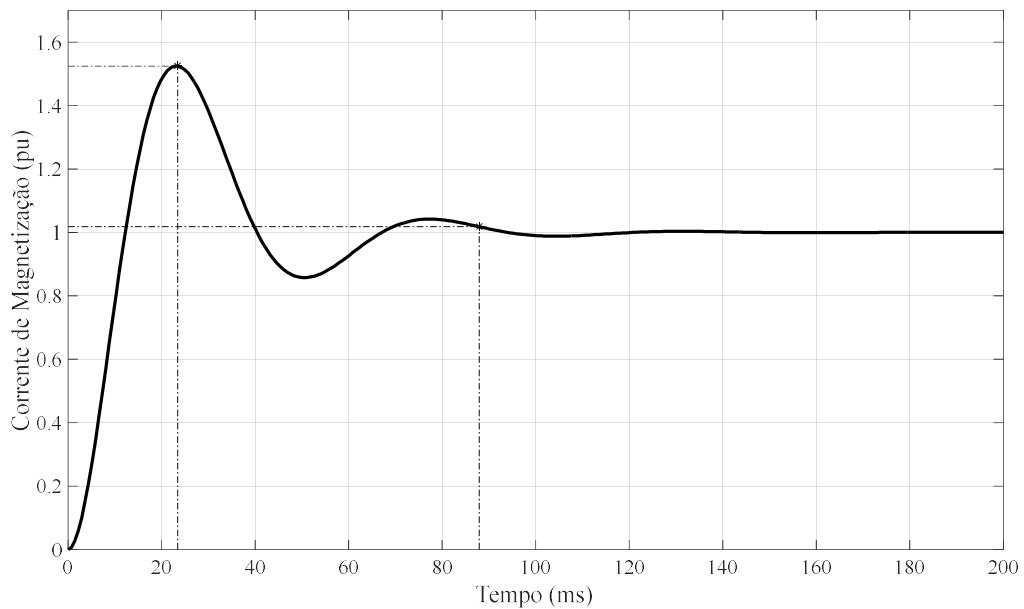
Figura 4.24 – Função de transferência de laço aberto da magnetização com compensador.



FONTE: Próprio autor.

Na Figura 4.25 pode ser vista a resposta ao degrau do sistema controlado.

Figura 4.25 – Resposta ao degrau da malha da corrente de magnetização.



FONTE: Próprio autor.

Pode ser observado um sobressinal de 50 % e um tempo de assentamento de 87 ms. Pode ainda ser observada uma oscilação maior antes de retornar ao regime

permanente. Essa oscilação é decorrente da escolha da margem de fase de 30°. Por outro lado, o sistema possui um tempo de subida bastante pequeno.

#### **4.5 Considerações Finais**

Neste capítulo foi descrito os sensores, filtros, funções de transferência das diversas malhas do conversor assim como os respectivos controladores.

Foi realizada a análise do elemento gyrator aplicando a mesma ao conversor DAB para o controle da tensão de saída.

Todas as malhas descritas são dimensionadas utilizando a metodologia do fator  $k$  na qual é possível determinar a frequência de cruzamento e a margem de fase para o sistema em malha aberta. Foi possível observar através dos diagramas de bode que a metodologia alcançou o objetivo especificado. Através da aplicação de degraus de referência foi possível analisar a dinâmica escolhida para as malhas.

Além disso, foi utilizada a discretização de Tustin para a aplicação dos controladores em um processador digital.

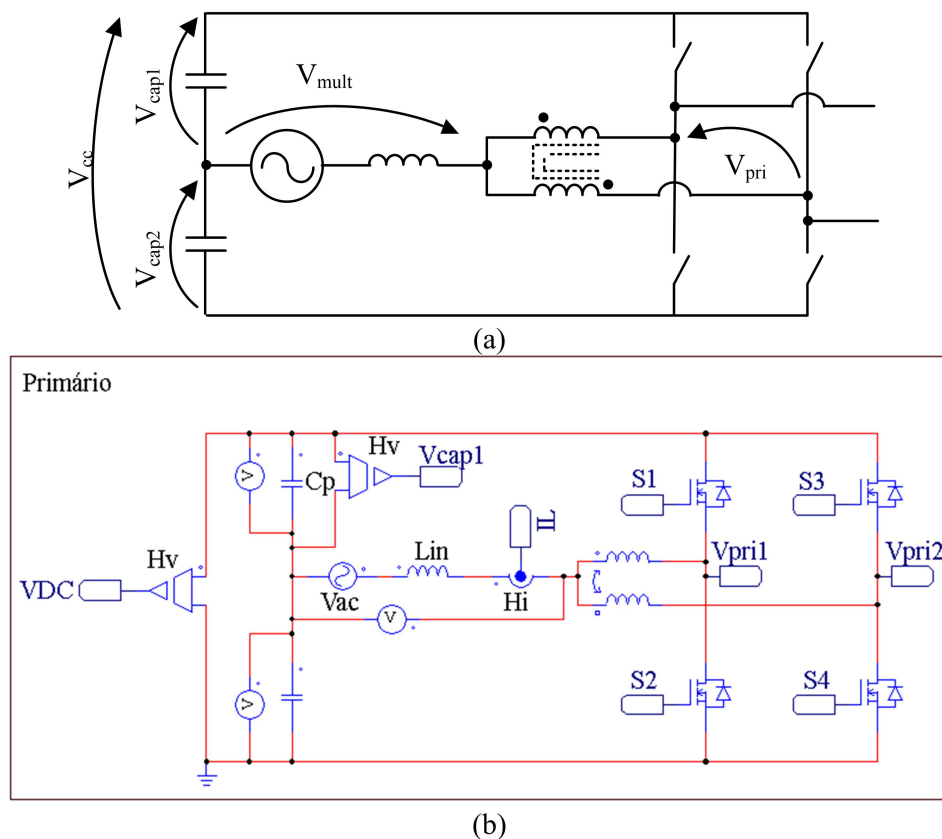
## 5 RESULTADOS DE SIMULAÇÃO

Nesse capítulo são apresentados os resultados de simulação do conversor proposto. As simulações foram realizadas na ferramenta PSIM<sup>®</sup>. Inicialmente, são descritos os circuitos implementados. Em seguida são mostrados os resultados em regime permanente para validar a análise qualitativa e quantitativa. Por fim são realizados degraus de carga para verificar o comportamento dinâmico do conversor e a atuação das malhas de controle descritas. A análise é realizada utilizando um módulo do conversor e posteriormente é estendida para o cascadeamento de dois módulos e validação da malha de balanceamento das tensões de primário. Em ambas as simulações é utilizado um modulador vetorial assim como as especificações da Tabela 4.1 e parâmetros da Tabela 4.2.

### 5.1 Detalhes do Circuito Simulado

O circuito contendo o lado primário do conversor pode ser visto na Figura 5.1.

Figura 5.1 – Circuito de potência do primário: (a) Diagrama elétrico, (b) Circuito no PSIM.

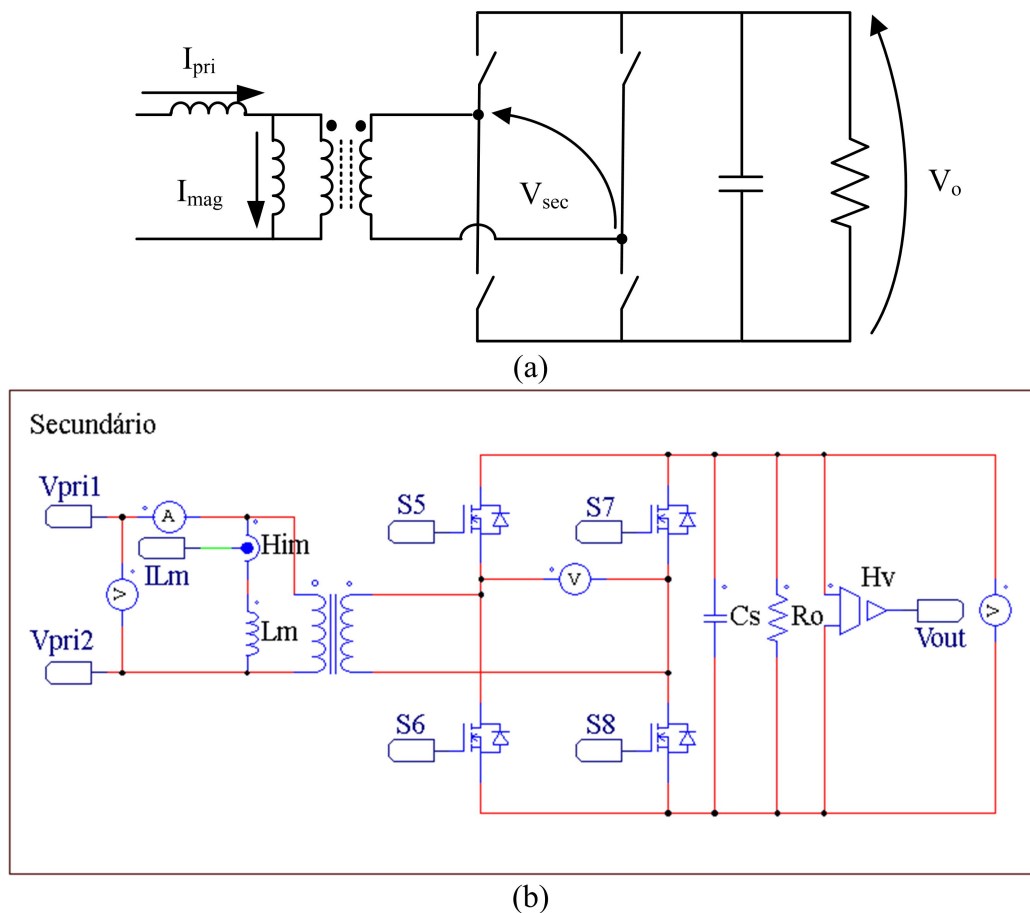


FONTE: Próprio autor.

Nesta figura estão presentes o sensor de tensão do barramento do primário, o sensor de tensão para o balanceamento do capacitor e o sensor de corrente de entrada.

Na Figura 5.2 apresenta-se a conexão do secundário. Nela pode ser vista o sensor da tensão de saída e o sensor para a corrente de magnetização. É utilizado um indutor em paralelo com o transformador para realizar a medição da corrente de magnetização.

Figura 5.2 – Circuito de potência do secundário: (a) Diagrama elétrico, (b) Circuito no PSIM.

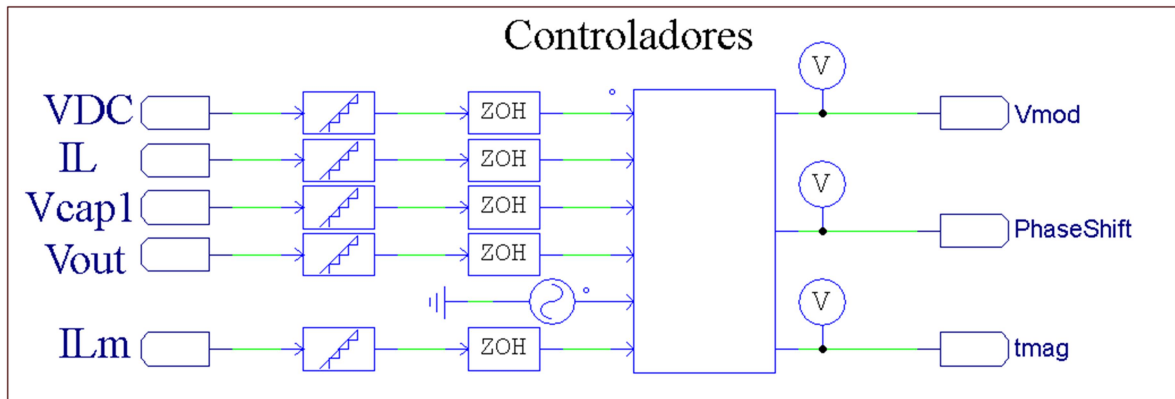


FONTE: Próprio autor.

Na Figura 5.3 pode ser visto o bloco responsável pelo controle do conversor. Pode ser vista a chegada dos sinais dos sensores que passam por um conversor A/D composto de um amostrador e um segurador de ordem zero. Esses sinais entram em um bloco C que simula o processador com os controladores digitais. O código dos controladores implementado em C pode ser visto no apêndice B.



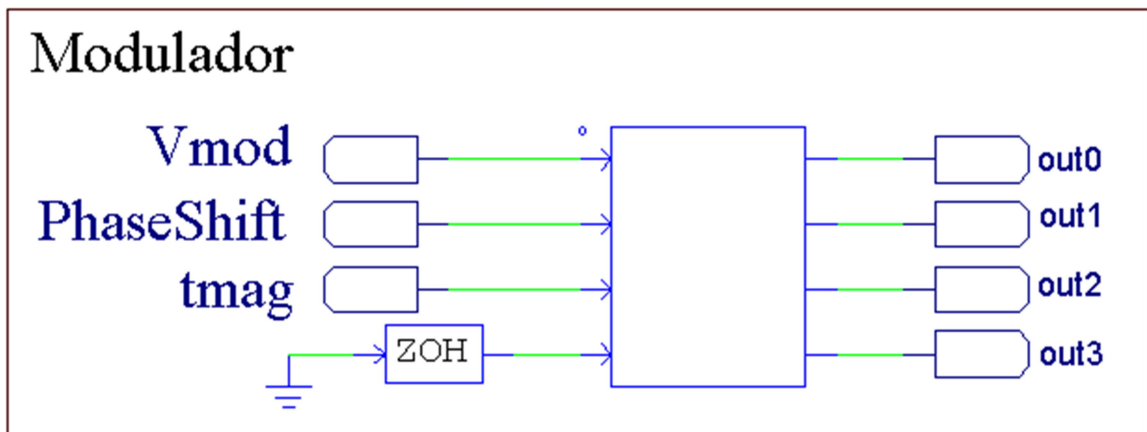
Figura 5.3 – Bloco controlador.



FONTE: Próprio autor.

Os sinais do bloco controlador são enviados para o bloco modulador visto na Figura 5.4.

Figura 5.4 – Bloco modulador

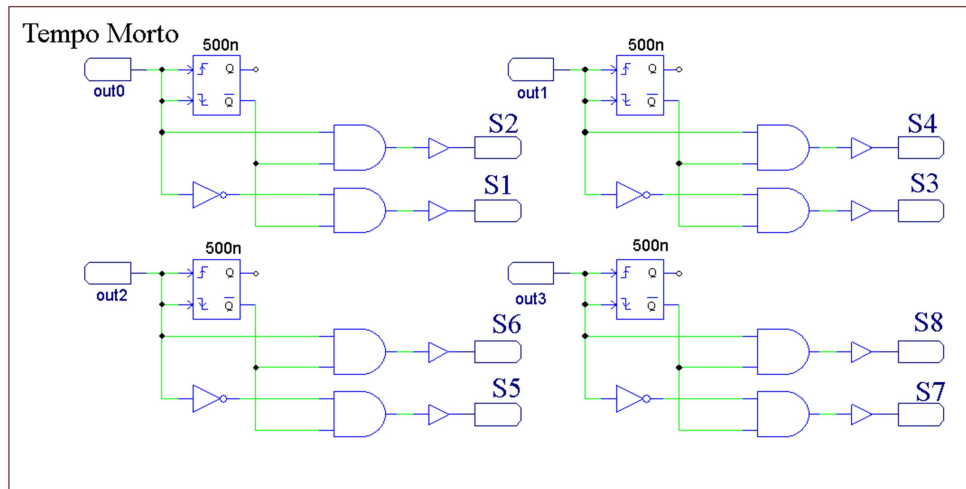


FONTE: Próprio autor.

Esse bloco realiza a modulação vetorial a partir do sinal proveniente da malha de corrente. Além disso, ele realiza a defasagem para obtenção dos gatilhos do secundário e realiza o controle de magnetização. O código em C utilizado no bloco modulador pode ser encontrado no apêndice C.

A saída com o sinal de cada braço do conversor é enviada para um bloco responsável por realizar o gatilho da chave e seu complementar, além de realizar o tempo morto para evitar curto-circuito no braço. Esse circuito pode ser visto na Figura 5.5.

Figura 5.5 – Circuito de gatilho com tempo morto



FONTE: Próprio autor.

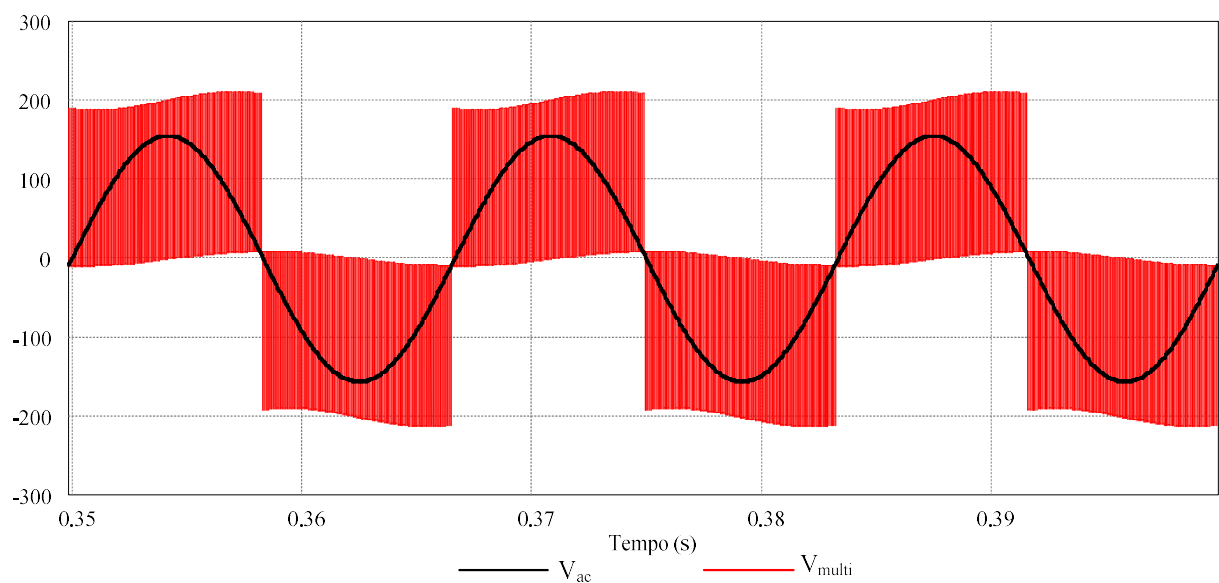
## 5.2 Análise dos Resultados

Uma vez descrito os circuitos utilizados, nessa seção são apresentados os resultados de simulação para um e dois módulos.

### 5.2.1 Resultados com 1 Módulo

Na Figura 5.6 pode ser vista a tensão multinível e a tensão de entrada.

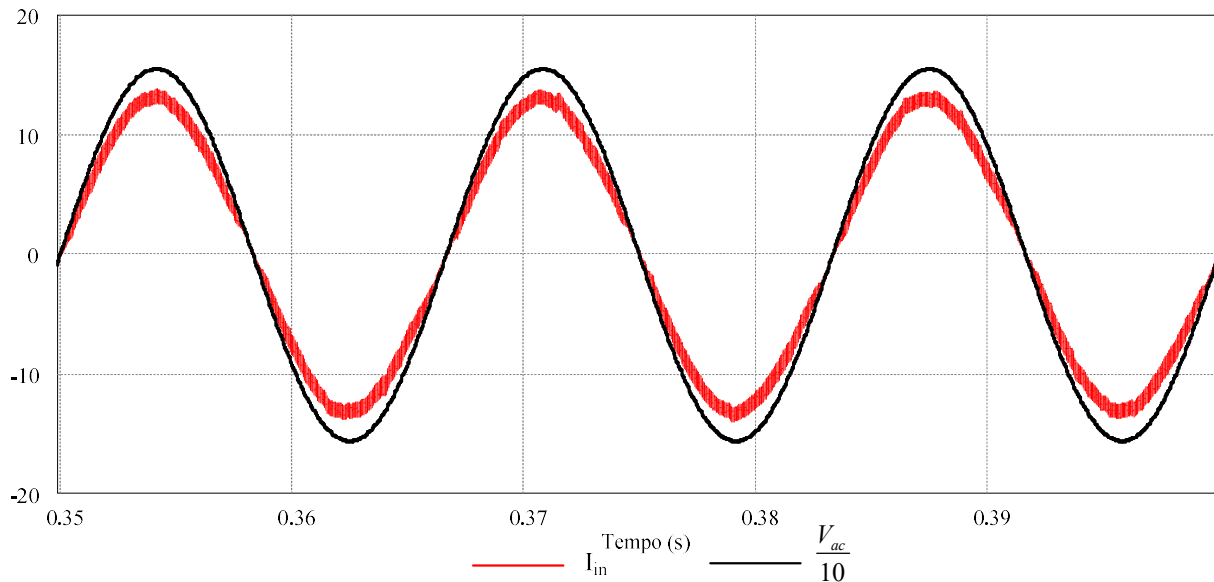
Figura 5.6 – Tensão multinível e tensão de entrada.



FONTE: Próprio autor.

Uma vez que é utilizado apenas um módulo temos três níveis na tensão multinível. Na Figura 5.7 pode ser vista a tensão de entrada e a corrente de entrada do conversor em estado estacionário.

Figura 5.7 – Tensão e corrente de entrada no modo retificador.



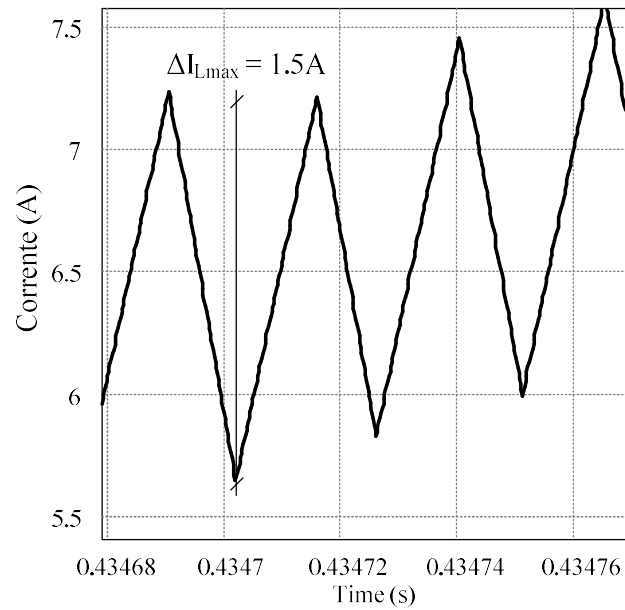
FONTE: Próprio autor.

Pode-se observar que a corrente está em fase com a tensão apresentando um fator de potência de 99,9 %. Além disso, a corrente apresentou uma taxa de distorção harmônica de 4,7 %. Ambos os valores se apresentam dentro dos limites estabelecidos nas normas.

Na Figura 5.8 pode ser visto um detalhamento em alta frequência da corrente de entrada. Foi escolhida a região de maior variação podendo ser constatado um *ripple* máximo de 1,5A equivalente a 10% do valor de pico. Valor esse utilizado no projeto do indutor de entrada.

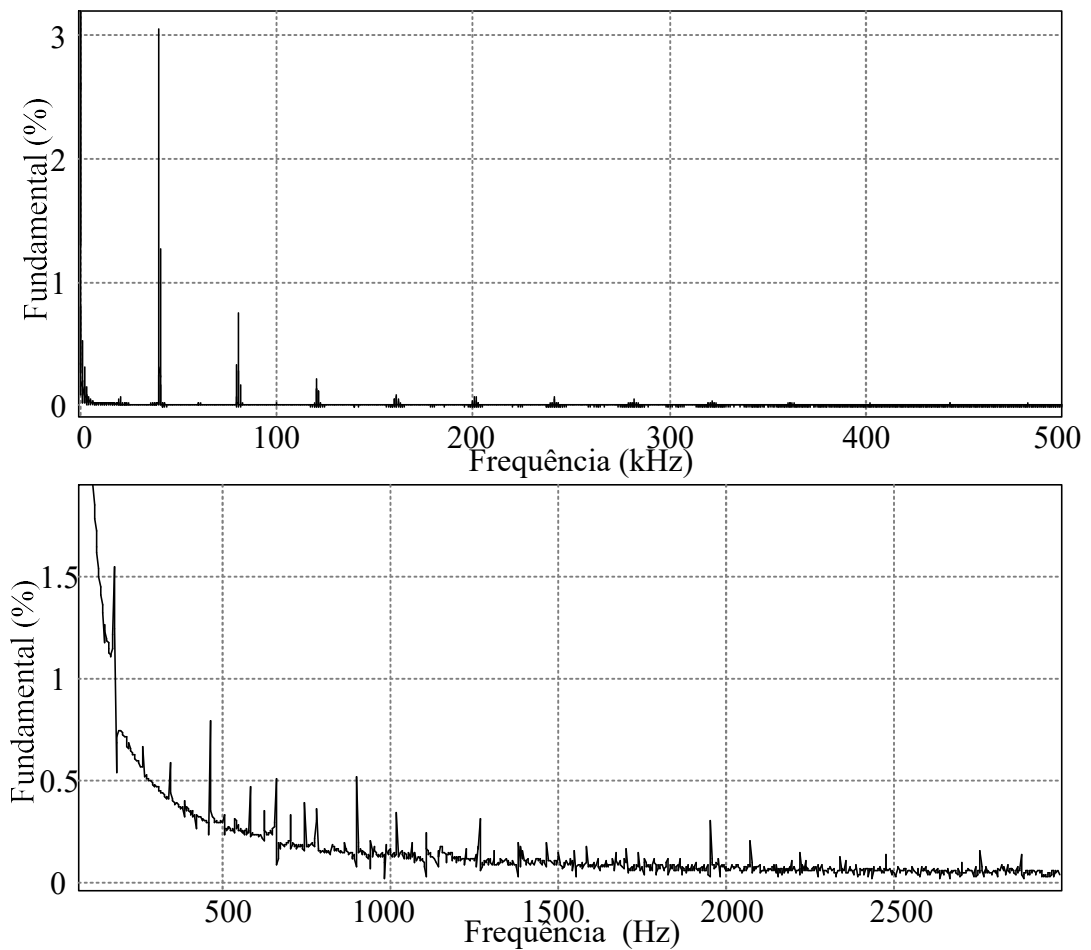
Na Figura 5.9 pode ser visto o espectro da corrente de entrada. Podem ser observados picos nos múltiplos do dobro da frequência de chaveamento.

Figura 5.8 – Ondulação da corrente no indutor de entrada.



FONTE: Próprio autor.

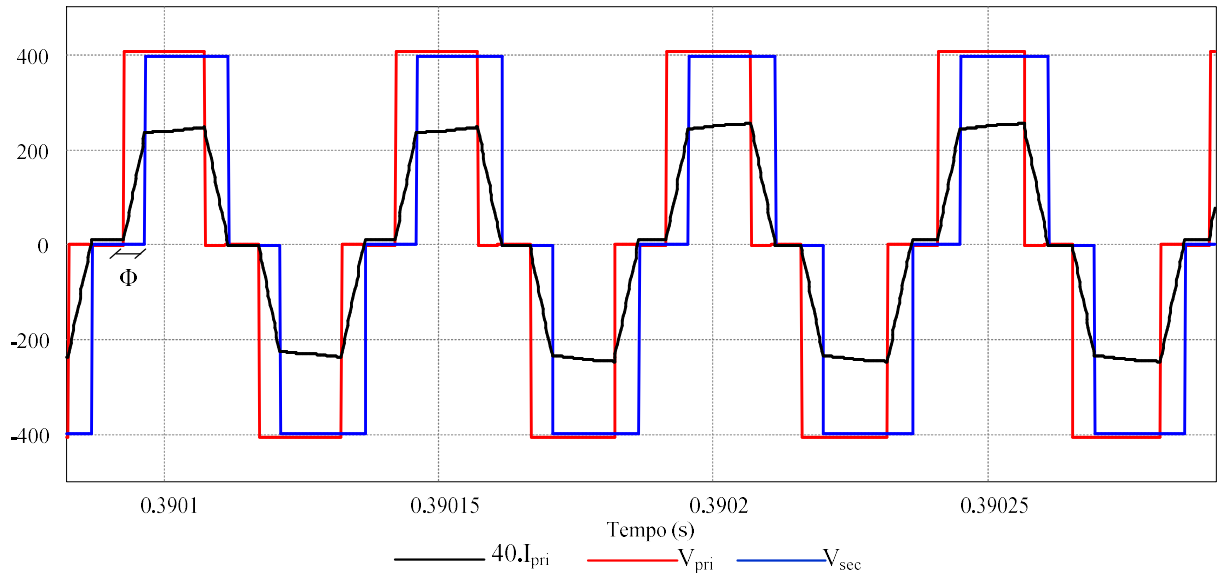
Figura 5.9 – Espectro da corrente: (a) Alta frequência, (b) Detalhe da baixa frequência.



FONTE: Próprio autor.

Na Figura 5.10 pode ser visto um detalhamento das tensões e corrente do transformador em estado estacionário.

Figura 5.10 –Tensão de primário, secundário e corrente do transformador no modo retificador.

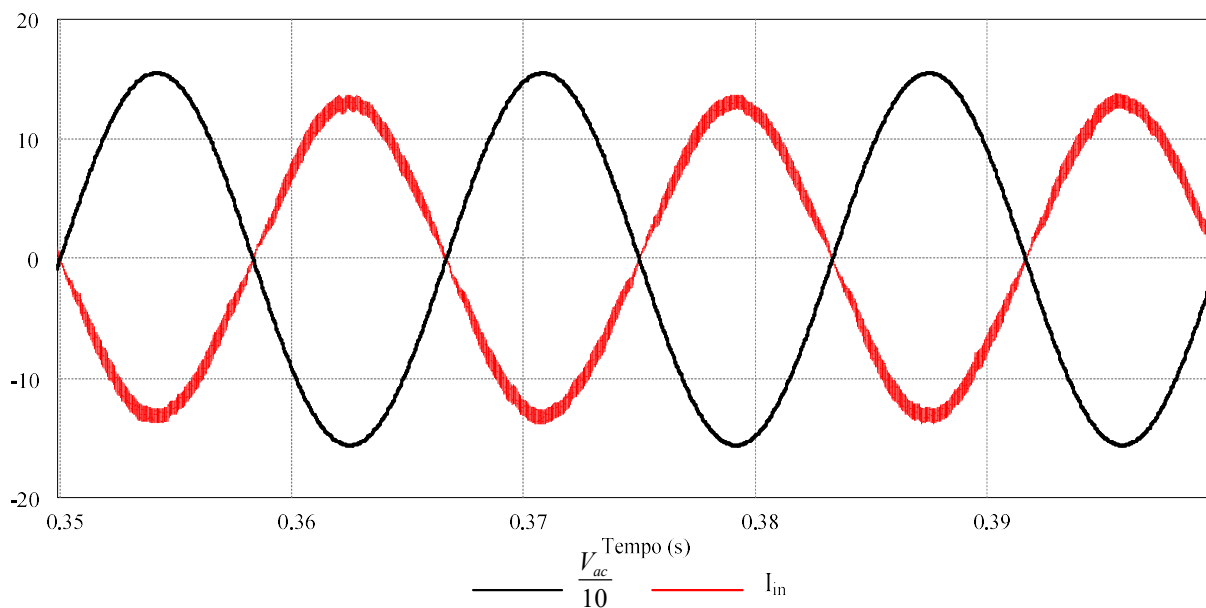


FONTE: Próprio autor.

Pode ser observada a presença de uma derivada na corrente quando as duas tensões estão em nível alto. Isso ocorre, pois as tensões possuem pequenas ondulações em baixa frequência ocasionando valores diferentes entre as tensões de primário e secundário. Além disso, pode ser observado que a tensão de primário está adiantada da tensão de secundário, correspondendo a um ângulo de defasagem positivo que é condizente com o fato do conversor estar operando como retificador, transferindo potência do primário para o secundário.

Na Figura 5.11 pode ser visto a tensão e corrente de entrada operando como inversor. Pode ser visto que a corrente fica em oposição de fase da tensão. Contudo, a correção do fator de potência e a taxa de distorção harmônica foram mantidas. Para que o controle da tensão do barramento secundário possa operar adequadamente o conversor é alimentado com uma fonte de corrente contínua.

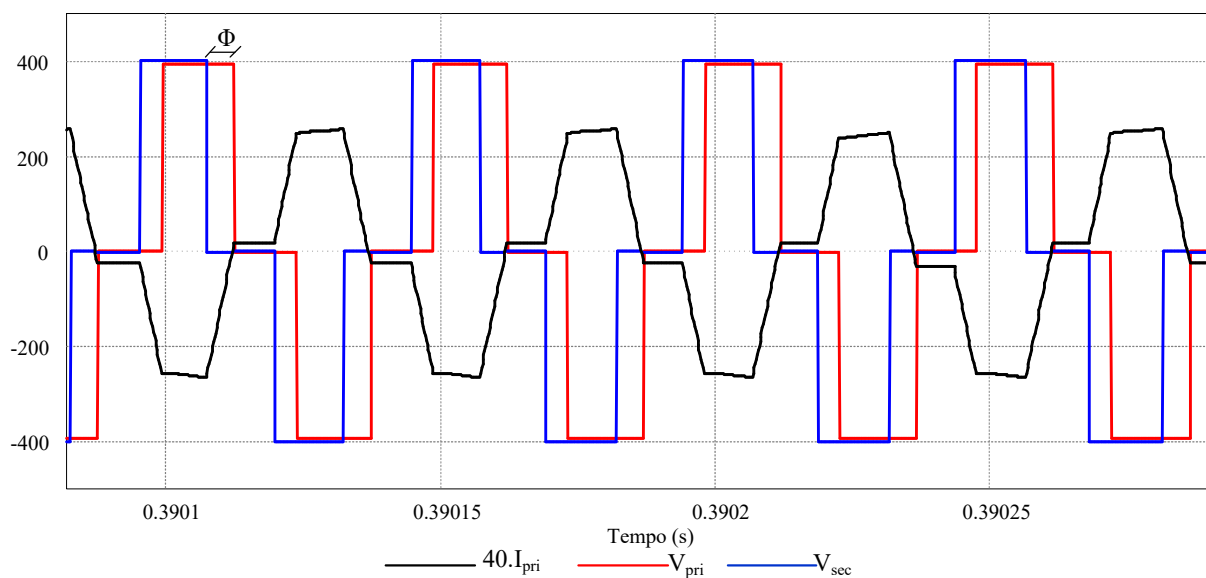
Figura 5.11 – Tensão e corrente de entrada no modo inversor



FONTE: Próprio autor.

Na Figura 5.12 pode ser visto as tensões e corrente no transformador operando como inversor. Pode ser notado que o ângulo de defasagem se torna negativo. Além disso, pode ser notado alguns níveis CC de corrente diferentes do esperado. Isso ocorre devido alguma diferença de razão cíclica entre o primário e secundário, assim como por efeito do tempo morto das chaves.

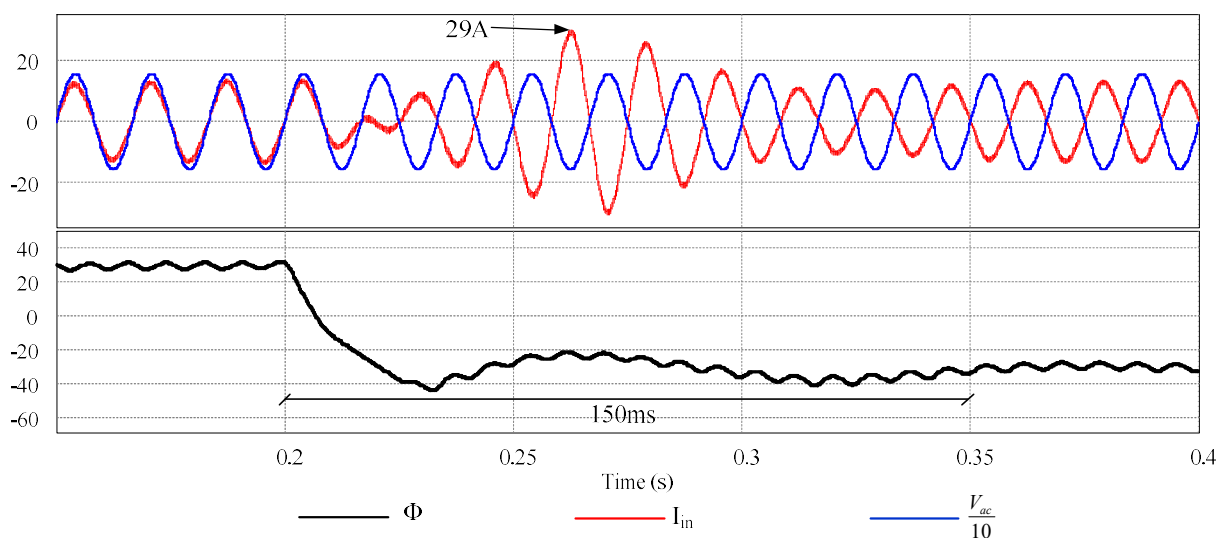
Figura 5.12 – Tensão de primário, secundário e corrente do transformador no modo inversor.



FONTE: Próprio autor.

Para validar as malhas de controle foi realizado um degrau de inversão de fluxo de 100% para -100% da carga nominal. Na Figura 5.13 pode ser visto a tensão de entrada, a corrente de entrada e o ângulo de defasagem.

Figura 5.13 – Tensão de entrada, corrente de entrada e defasagem durante degrau de carga.



FONTE: Próprio autor.

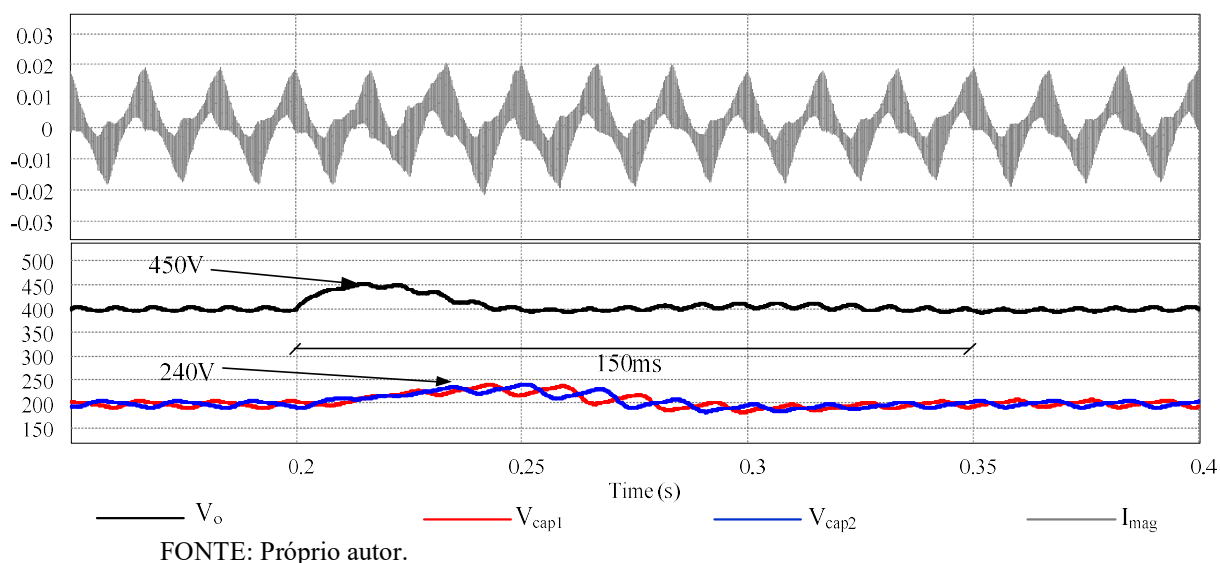
O conversor inicialmente estava operando como retificador com 100 % da carga. Pode ser observado o ângulo de defasagem de 30°. O degrau é aplicado em 0.2s levando o ângulo para o valor de -30° para a inversão de fluxo.

Observa-se que depois do degrau o conversor começa a operar como inversor invertendo a fase da corrente. Pode-se observar um sobressinal de 29 A e um tempo de acomodação de 150 ms. Para melhorar essa dinâmica seria necessário aumentar a frequência de cruzamento das malhas de tensão juntamente com o aumento das capacitâncias dos barramentos.

Na Figura 5.14 pode ser visto a corrente de magnetização, a tensão no barramento do secundário e as tensões nos capacitores do primário.

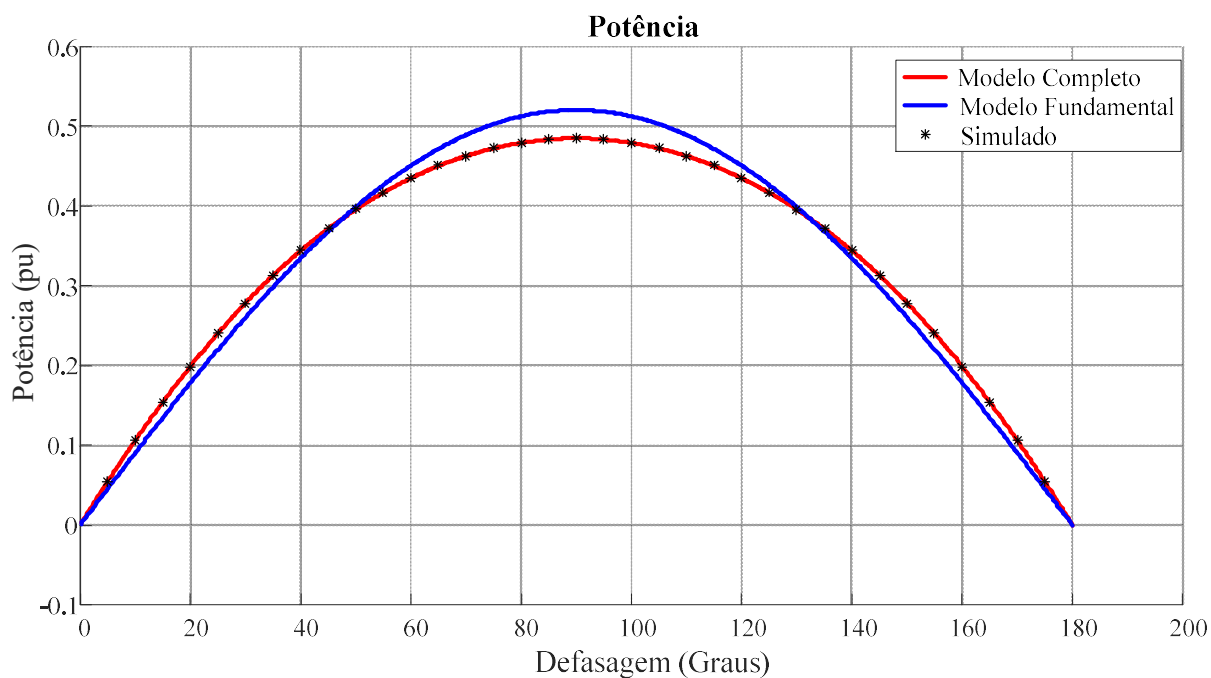
Pode se observar que a corrente de magnetização se manteve com média zero validando assim o controle de magnetização. A tensão de saída está inicialmente em 400 V. Durante o degrau surge um pico de 450 V retornando para 400 V depois de 150 ms. As tensões sobre os capacitores iniciam-se em 200 V, alcançam um valor de 240 V durante o degrau e retornam para 200 V. Vale também observar o equilíbrio entre as tensões dos mesmos validando assim a malha de balanceamento dos capacitores.

Figura 5.14 – Corrente de magnetização, tensão de saída e tensão nos capacitores do primário durante degrau de carga



Na Figura 5.15 pode ser visto o valor da potência obtida pela equação (3.14) e equação (3.15) juntamente com valores obtidos via simulação utilizando um wattímetro. Pode-se observar que o modelo descrito pelas equações apresenta total similaridade com os resultados obtidos por simulação.

Figura 5.15 – Comparativo da modelagem matemática com valores simulado.



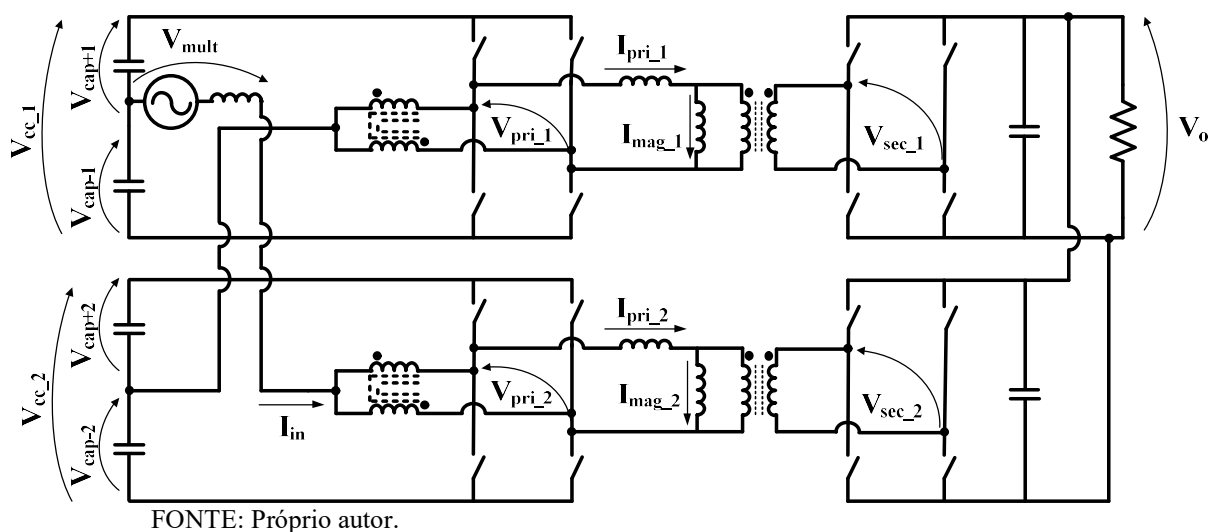


Na Figura 5.15 também foi adicionada a análise realizada por (ALMEIDA, 2016) em que é considerada apenas a componente fundamental das tensões do transformador. Pode-se observar que o modelo considerando apenas a fundamental apresenta pequenas diferenças ao contrário do modelo completo, devido à consideração dos diversos harmônicos presentes nas tensões. A potência máxima obtida com um índice de modulação zero e ângulo de  $180^\circ$  é utilizada para a normalização da potência.

### 5.2.2 Resultados com 2 Módulos

Para a simulação com dois módulos foram mantidos os mesmos parâmetros e especificações de um módulo com exceção da tensão de entrada e da potência que foram dobradas. Na Figura 5.16 pode ser visto o diagrama do circuito contendo dois módulos e as principais grandezas analisadas.

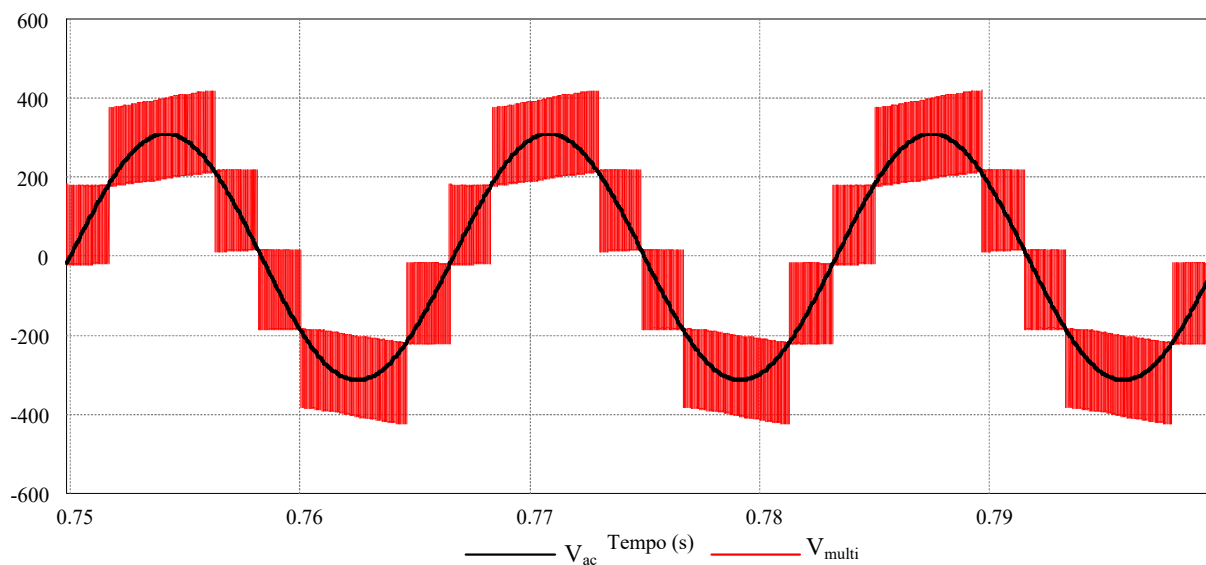
Figura 5.16 – Circuito com dois módulos e principais grandezas analisadas.



Na Figura 5.17 pode ser vista a tensão multinível e a tensão de entrada do conversor. Pode ser visto que o conversor operou com 5 níveis de tensão como previsto pela equação (3.2).

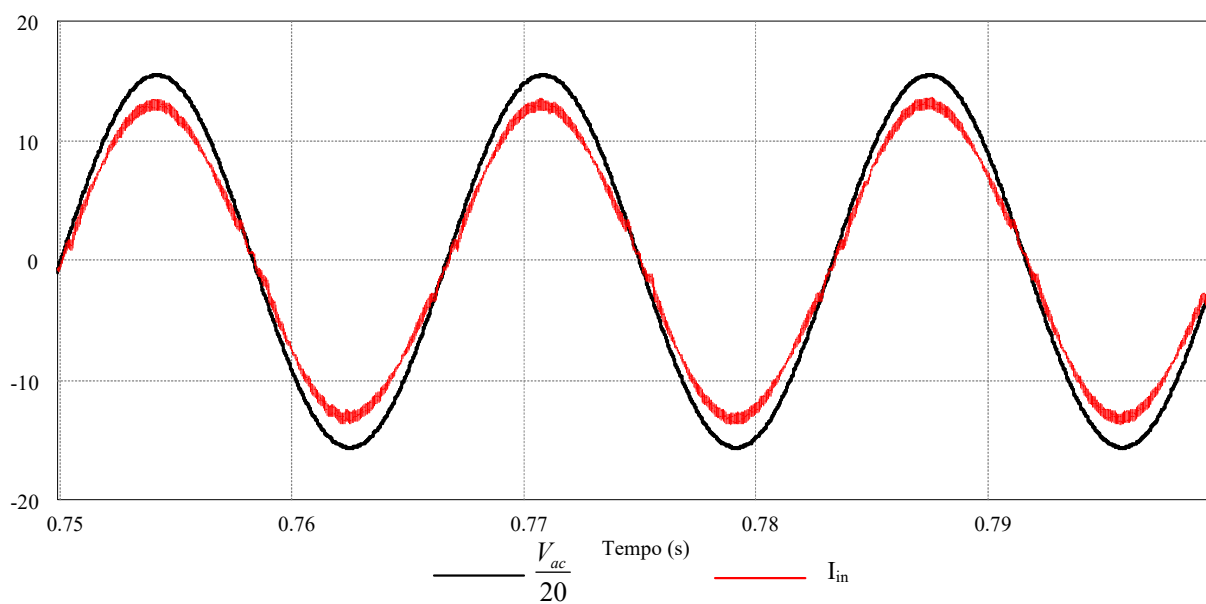
Na Figura 5.18 pode ser vista a corrente de entrada com a tensão de entrada. Foi obtido um fator de potência de 0,999 e uma taxa de distorção harmônica de 3,74 %. Essa diminuição do THD com relação a um módulo já era esperada tendo em vista que a utilização de dois módulos reduz consideravelmente o *ripple* de corrente.

Figura 5.17 – Tensão multinível e tensão de entrada com dois módulos.



FONTE: Próprio autor.

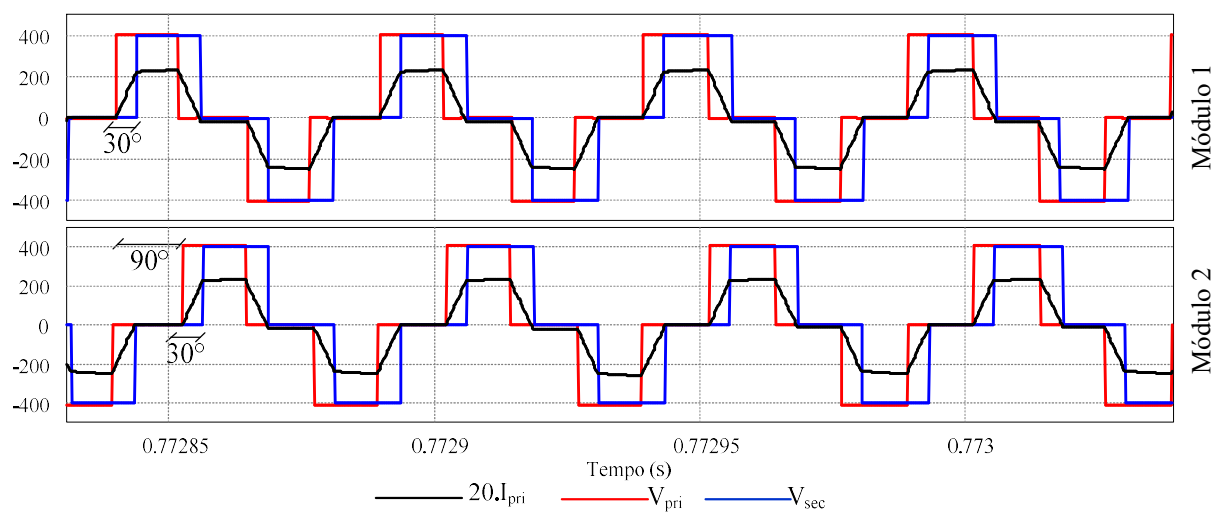
Figura 5.18 – Tensão de entrada e corrente de entrada com dois módulos.



FONTE: Próprio autor.

Na Figura 5.19 pode ser visto as tensões e corrente nos transformadores de ambos os módulos. Pode ser visto a defasagem de  $30^\circ$  positivo entre o primário e secundário de ambos os módulos indicando operação como retificador. Além disso, pode ser vista a defasagem de  $90^\circ$  entre os módulos necessária para a obtenção dos 5 níveis na multinível.

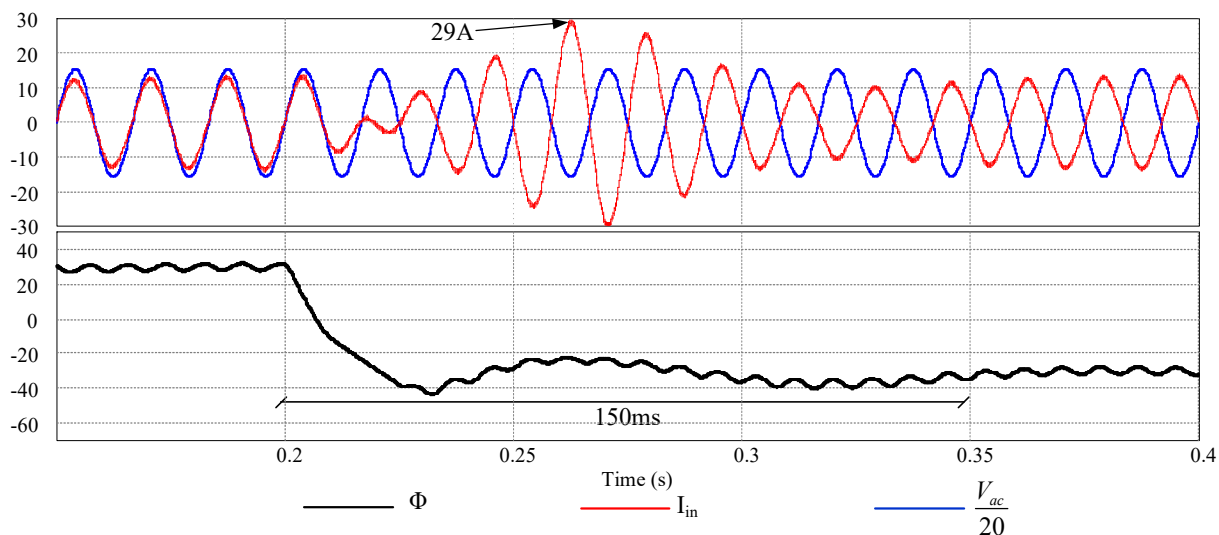
Figura 5.19 – Tensão de primário, secundário e corrente do transformador para os dois módulos.



FONTE: Próprio autor.

Na Figura 5.20 é realizado um degrau de inversão de fluxo para a validação das malhas de controle. O degrau é de 100% de carga para -100%.

Figura 5.20 – Tensão de entrada, corrente de entrada e ângulo de defasagem durante degrau de carga com dois módulos.



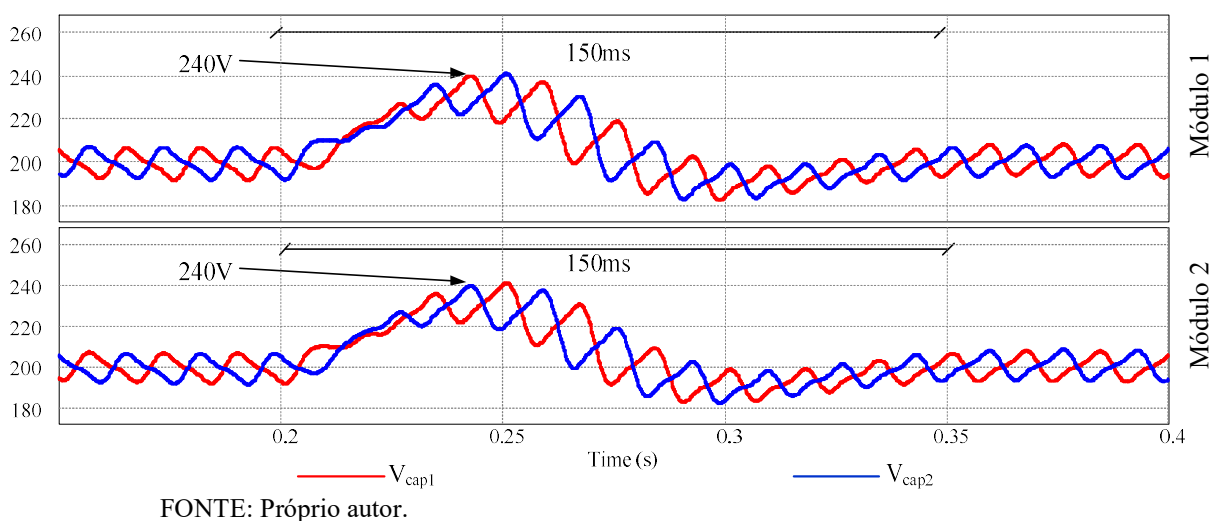
FONTE: Próprio autor.

Pode-se observar uma dinâmica muito semelhante à de 1 módulo. Tem-se um pico de corrente de 29 A e um tempo de assentamento de 150 ms. Pode-se observar o ângulo de defasagem em  $30^\circ$  juntamente com a corrente em fase com a tensão de entrada indicando uma

operação como retificador. No momento do degrau de carga o ângulo de defasagem passa para  $-30^\circ$  invertendo o fluxo de potência e iniciando a operação como inversor.

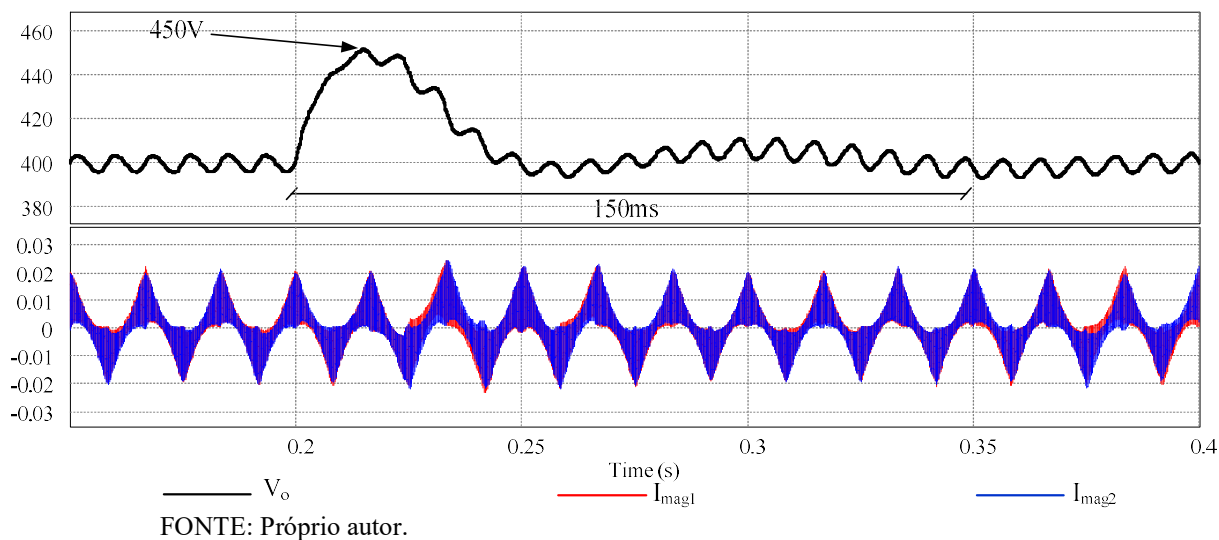
Na Figura 5.21 pode ser visto a tensão nos capacitores de cada módulo.

Figura 5.21 – Tensão nos capacitores do primário durante degrau de carga com dois módulos.



Pode se observar a presença de um sobressinal de 240 V. Além disso, observa-se que a malha de balanceamento equilibra os capacitores de ambos os módulos. Pode ainda ser constatado que a malha de balanceamento da tensão de primário dos módulos atua adequadamente. Na Figura 5.22 pode-se ver a tensão no barramento de saída e as correntes de magnetização.

Figura 5.22 – Tensão de saída e correntes de magnetização durante degrau de carga com dois módulos.



Pode ser observado que ambos os transformadores permanecem com a corrente de magnetização com média zero durante todo o transitório. A tensão de saída possui um sobressinal de 450 V e um tempo de assentamento de 150 ms.

### **5.3 Considerações Finais**

Os principais resultados de simulação são apresentados visando validar o funcionamento do conversor, sua modelagem e controle. Em regime permanente foi visto formas de onda da tensão multinível, corrente de entrada, tensões e corrente no transformador. Foi obtido um fator de potência unitário com THD abaixo de 5 %.

Com a aplicação do degrau de carga foi possível testar a capacidade bidirecional da estrutura assim como validar as malhas de controle. O degrau realizado foi de 200 %, passando de 100 % para -100 % da carga. Os controladores foram capazes de regular a tensão do barramento de entrada e de saída e equilibrar os capacitores dentro de um tempo de 150 ms. Além disso, a malha para o controle da corrente de magnetização manteve o valor médio da corrente em zero durante toda a inversão de fluxo.

Foi também realizada a análise da potência em função do ângulo de defasagem. A modelagem completa proposta obteve uma completa similaridade com os pontos obtidos por simulação.

A análise foi estendida para uma estrutura com dois módulos dobrando a potência e a tensão de entrada. Além das malhas citadas para o caso de um módulo, foi constatado ainda o funcionamento da malha de balanceamento da tensão de primário entre módulos. Os resultados obtidos foram bastante satisfatórios para ambas as análises.

## 6 RESULTADOS EXPERIMENTAIS

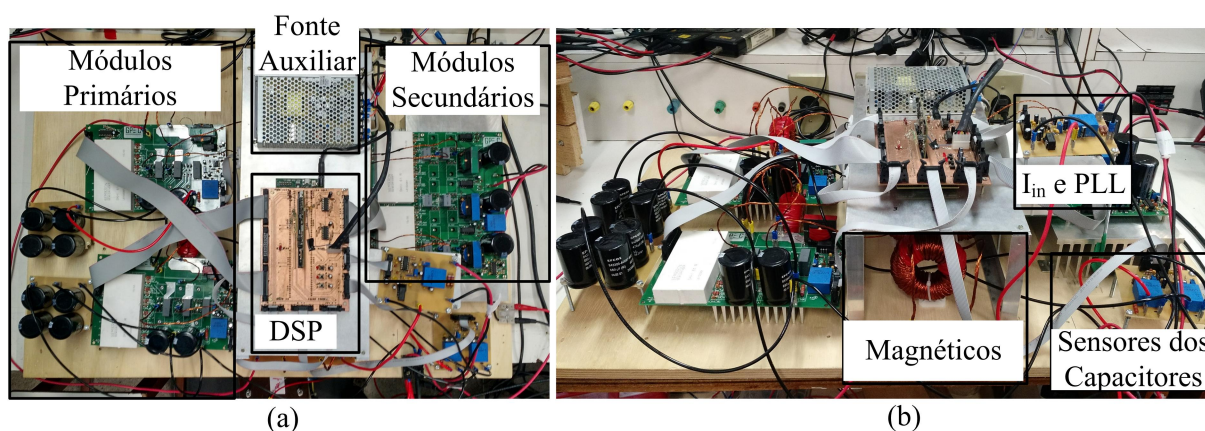
Neste capítulo é descrito o protótipo montado em laboratório. Primeiramente é descrito detalhadamente a estrutura física do protótipo com uma listagem de todos os componentes utilizados na montagem.

Em seguida são mostrados os resultados obtidos com o protótipo operando tanto em modo retificador quanto inversor em estado permanente. Por fim as malhas de controle são validadas através de degraus de carga. A análise é aplicada para um e dois módulos.

### 6.1 Descrição do Protótipo Experimental

Na Figura 6.1 pode ser vista uma imagem da visão superior e frontal do protótipo montado.

Figura 6.1 – Protótipo Montado: (a) Vista superior, (b) Vista Frontal.



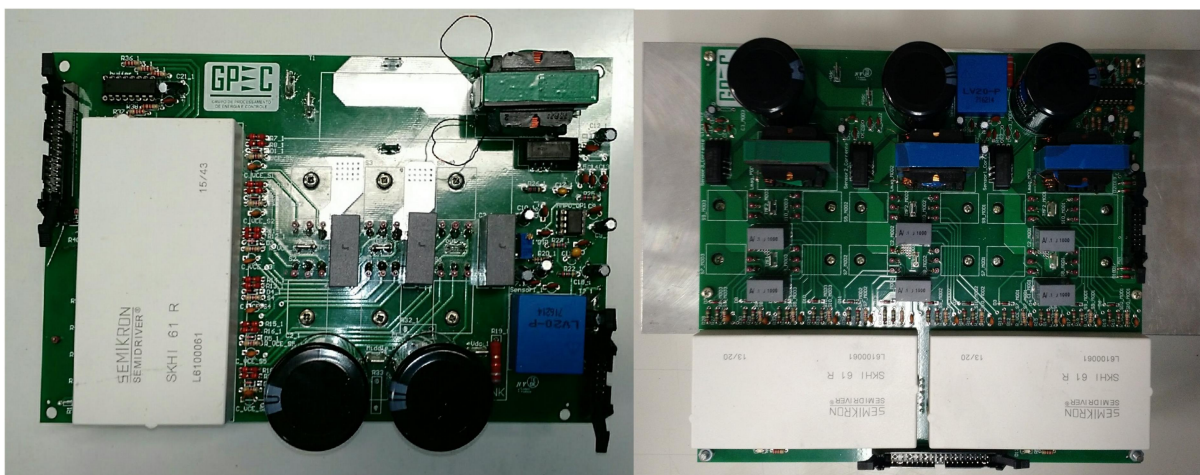
FONTE: Próprio autor.

Nessa figura pode ser observado que são utilizados módulos discretos para o primário enquanto os módulos secundários estão todos dispostos em uma única placa. Na Figura 6.2 pode ser visto um detalhe dos módulos primário e secundários. Ambos os módulos utilizam drivers da fabricante SEMIKRON<sup>®</sup> SKHI61<sup>®</sup> e possuem os sensores para a medição dos barramentos de tensão contínua e corrente de magnetização.

O protótipo utiliza ainda uma fonte auxiliar modelo NET-75C da fabricante MEAN WELL<sup>®</sup> para alimentação de circuitos tais como buffers, drivers e filtros.

O microcontrolador utilizado no protótipo é o DSP TMS320F28377D da fabricante Texas Instruments<sup>®</sup> visto em detalhe na Figura 6.3.

Figura 6.2 – Detalhe dos Módulos: (a) Primário, (b) Secundários.

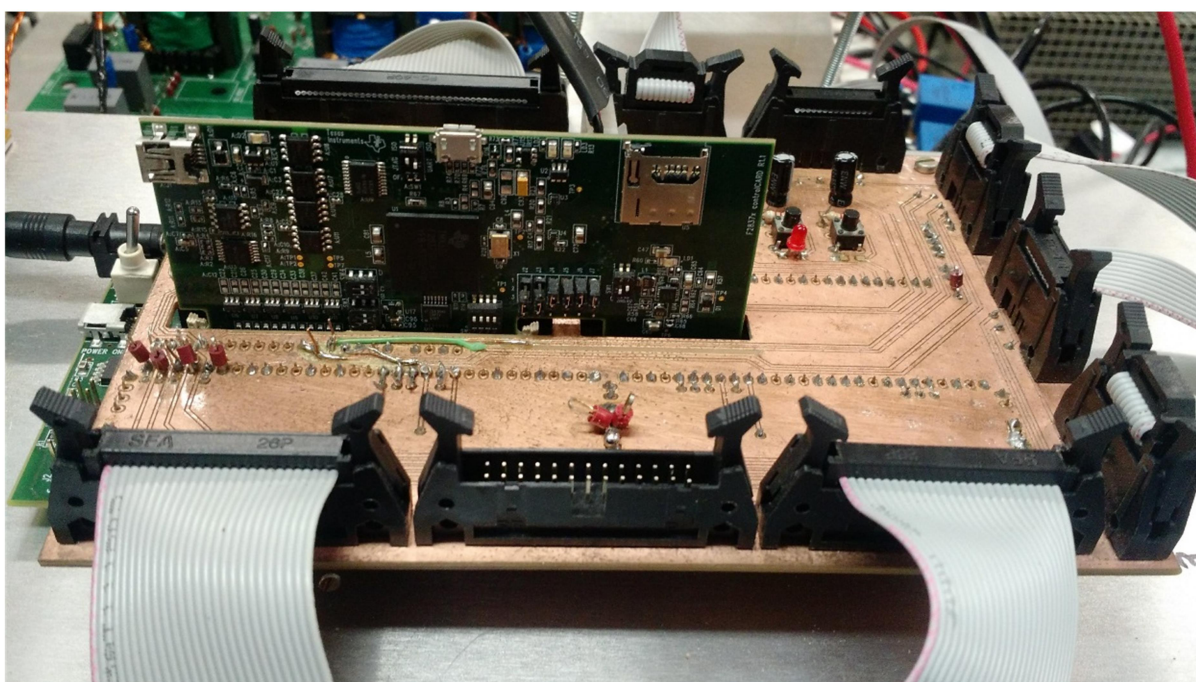


(a)

(b)

FONTE: Próprio autor.

Figura 6.3 – Detalhe do DSP utilizado.

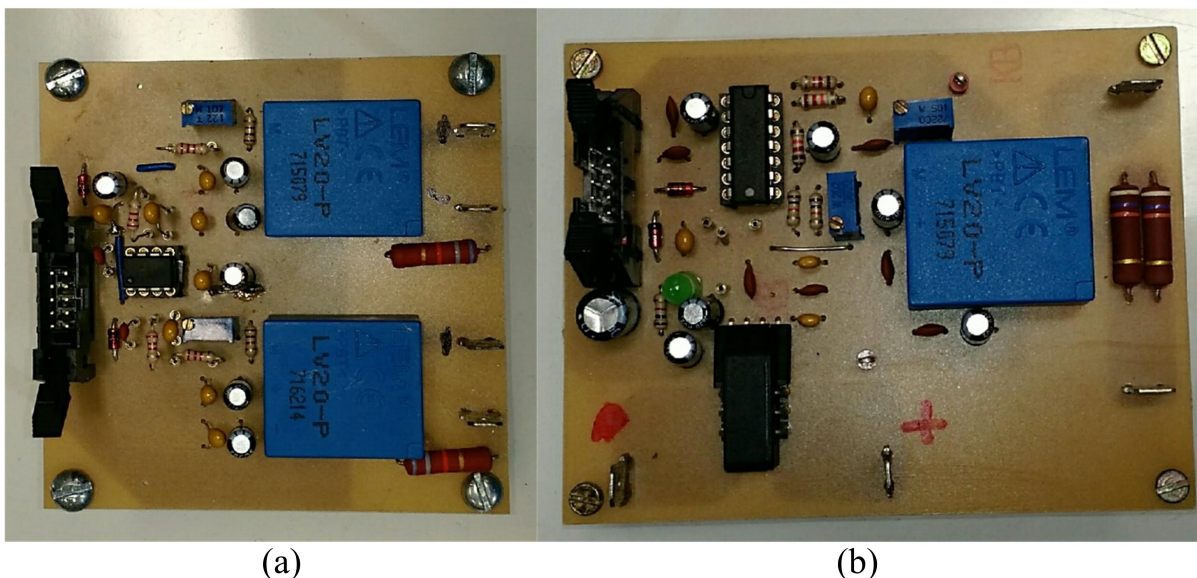


FONTE: Próprio autor.

Esse processador apresenta uma estrutura com dois núcleos de 32 bits. Ambos os núcleos são utilizados no protótipo sendo um para o cálculo das malhas de controle e outro para o modulador vetorial

Na Figura 6.4 podem ser vistas as placas utilizadas para a aquisição da corrente de entrada, da tensão para o PLL e da tensão dos capacitores para o balanceamento.

Figura 6.4 – Placas de Aquisição: (a) Balanceamento dos Capacitores, (b) PLL e Corrente de Entrada.

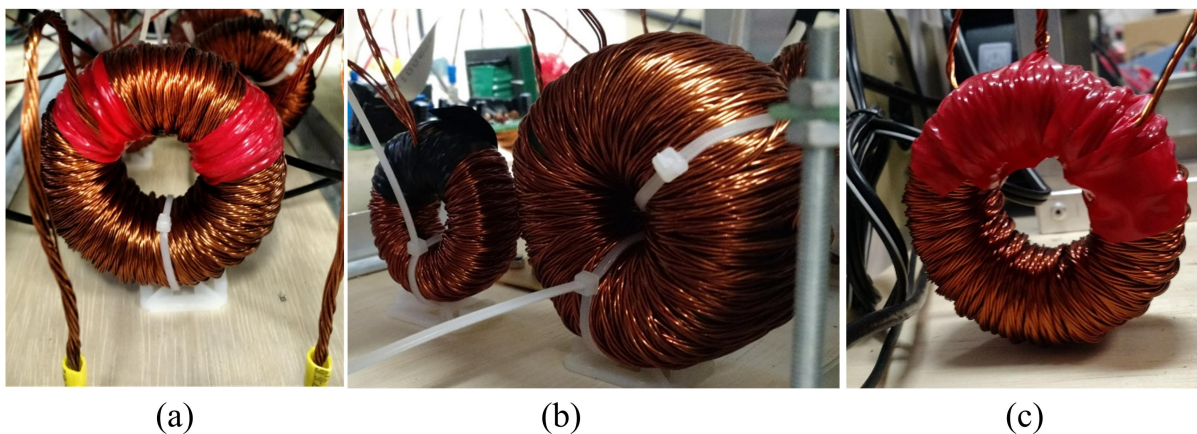


(a)  
FONTE: Próprio autor.

(b)

Na Figura 6.5 podem ser visto em detalhes os magnéticos utilizados no protótipo.

Figura 6.5 – Magnéticos: (a) Indutor de Entrada, (b) Indutor de Dispersão e Transformador de Potência, (c) Transformador de Interfase.



(a)  
FONTE: Próprio autor.

(b)

(c)

Na Tabela 6.1 pode ser visto um resumo dos principais componentes utilizados no protótipo.



Tabela 6.1 – Principais Componentes Utilizados em 1 Módulo

Componente	Modelos	Quantidade	Especificação
IGBT	IRGP50B60PD	8	600V/33A
Driver (SEMIKRON <sup>®</sup> )	SKHI61(R)	2	-
Capacitores eletrolíticos do primário	B43304-H2687-M	4	680 $\mu$ F/450V
	B43503-S5477-M91	2	470 $\mu$ F/450V
Capacitores de polipropileno do primário	R75-MKP	2	0,22 $\mu$ F/1kV
Capacitores eletrolíticos do secundário	B43503-S5477-M91	3	470 $\mu$ F/450V
Capacitores de polipropileno do secundário	R75-MKP	2	0,1 $\mu$ F/1kV
Sensor (LEM <sup>®</sup> )	HO 8-NP/SP33	2	8A
Sensor (LEM <sup>®</sup> )	HO 25-NP/SP33	1	25A
Sensor (LEM <sup>®</sup> )	LV 20-P	4	10-500V
Núcleo toroidal de ferrite (Magmattec <sup>®</sup> )	MMT002T4416	1	-
Núcleo toroidal de ferrite (Magmattec <sup>®</sup> )	MMT139T6325	2	-
Núcleo toroidal de pó de ferro (Magmattec <sup>®</sup> )	MMT034T7725	1	-

FONTE: Próprio autor.

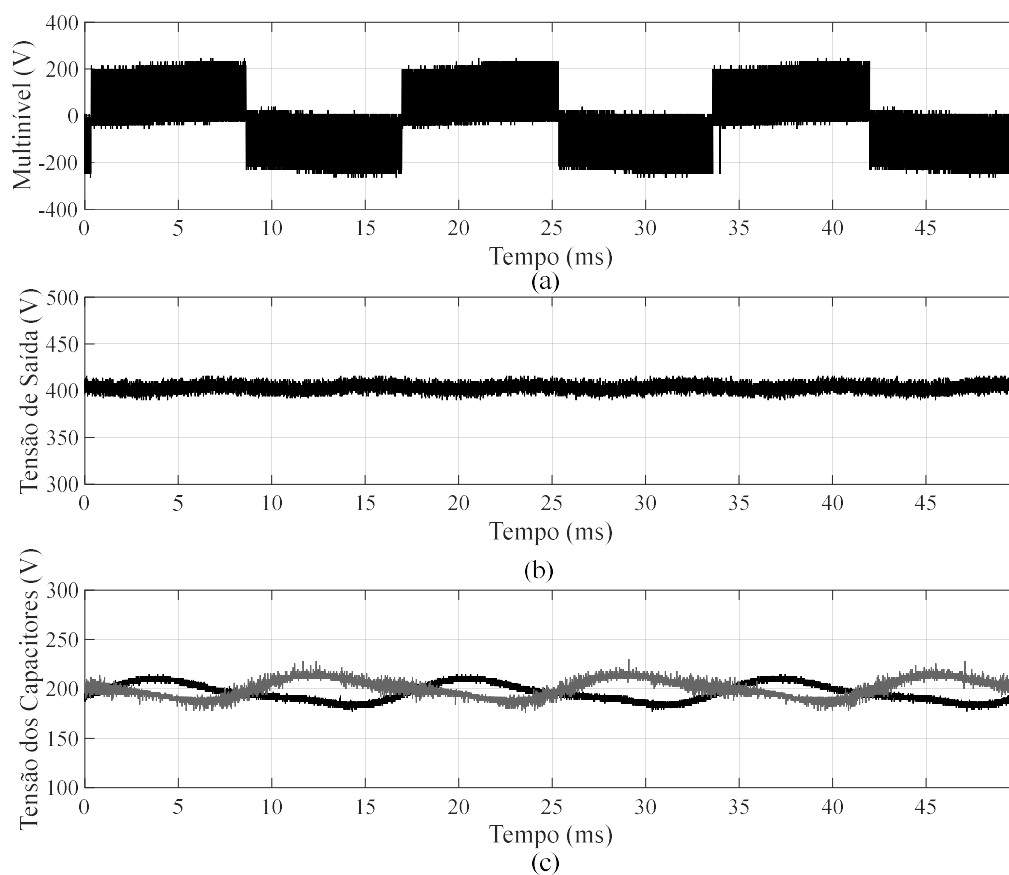
## 6.2 Resultados Experimentais

Esta seção é dedicada a mostrar os resultados experimentais em regime permanente e dinâmico do conversor. Ela está dividida em dois pontos principais. O primeiro abordando os resultados com um módulo e a segundo com dois módulos. São utilizadas as mesmas especificações da simulação que podem ser encontradas na Tabela 4.1 e os parâmetros da Tabela 4.2. Os códigos utilizados no DSP podem ser encontrados nos apêndices D e E.

### 6.2.1 Resultados com 1 Módulo

Na Figura 6.6 pode ser vista a tensão multinível juntamente com a tensão dos capacitores e de saída. Pode ser observada a tensão de saída de 400 V assim como o equilíbrio dos capacitores em 200 V.

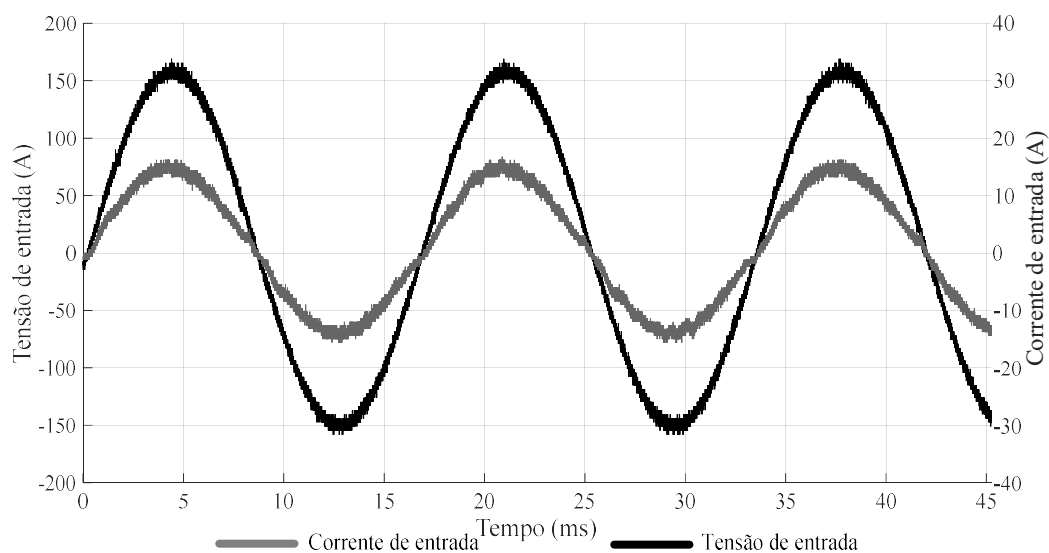
Figura 6.6 – Tensões: (a) Multinível, (b) Saída, (c) Capacitores.



FONTE: Próprio autor.

Na Figura 6.7 pode ser vista a tensão de entrada e a corrente de entrada.

Figura 6.7 – Tensão e corrente de entrada modo retificador com 1 módulo.

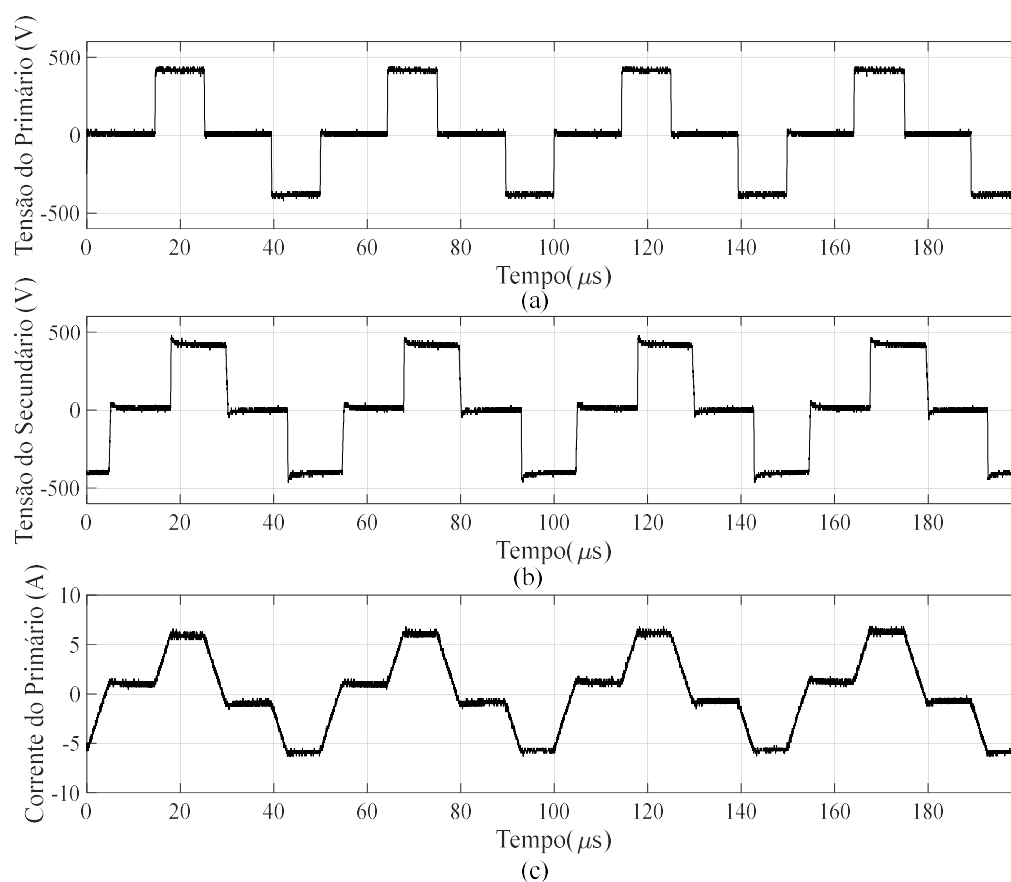


FONTE: Próprio autor.

Pode se observar que o PLL funcionou adequadamente fornecendo uma corrente com formato senoidal, THD de 4,121 % e fator de potência de 0,991.

Na Figura 6.8 pode ser visto um detalhamento das tensões e corrente do transformador.

Figura 6.8 – Detalhe do trafo modo retificador: (a) Tensão do primário, (b) Tensão do secundário, (c) Corrente do primário.

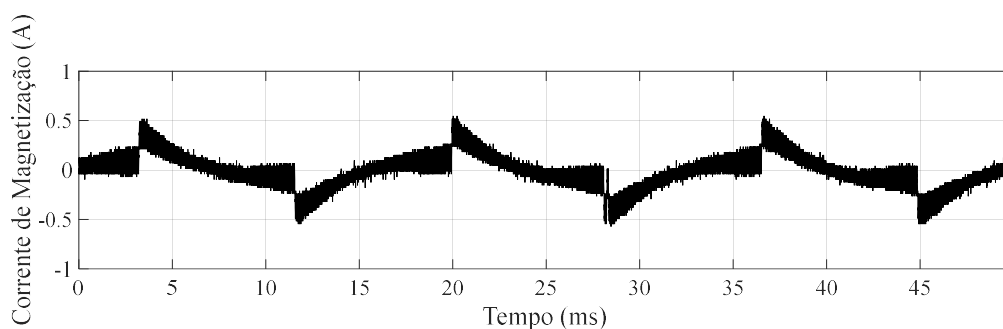


FONTE: Próprio autor.

Pode ser observado que uma vez que o conversor está operando como retificador o primário fica adiantado do secundário. Assim como na simulação há o aparecimento de níveis CC na corrente do transformador, ocasionados por diferenças no ciclo de trabalho e tempo morto.

Na Figura 6.9 pode ser vista a corrente de magnetização. Pode ser observado que a mesma permanece com média nula.

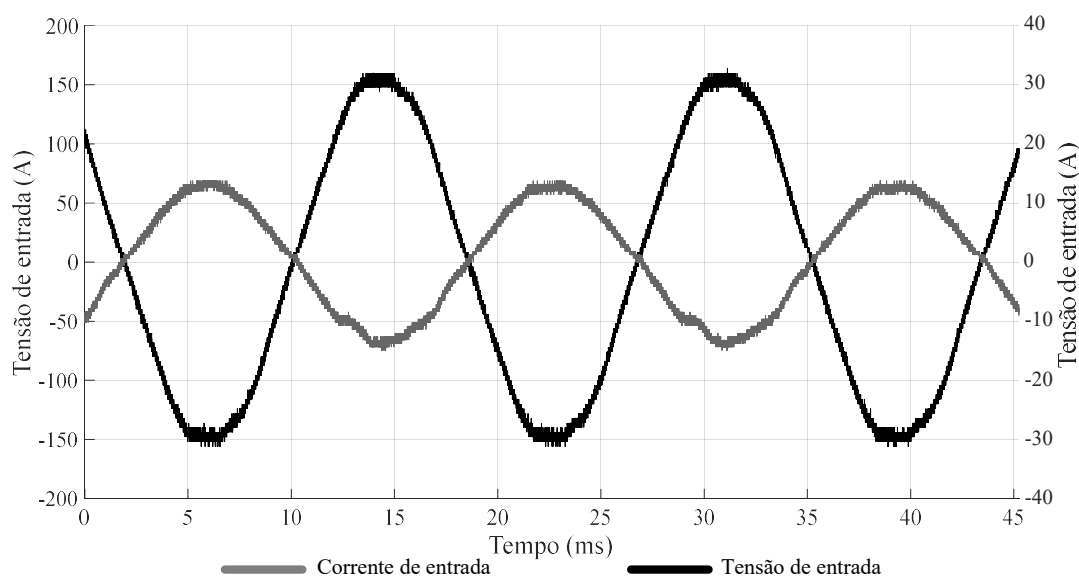
Figura 6.9 – Corrente de magnetização com 1 módulo.



FONTE: Próprio autor.

Na Figura 6.10 pode ser vista a tensão e corrente CA no modo inversor injetando na rede. O THD obtido para a corrente foi de 4,47 % e fator de potência de 0,993.

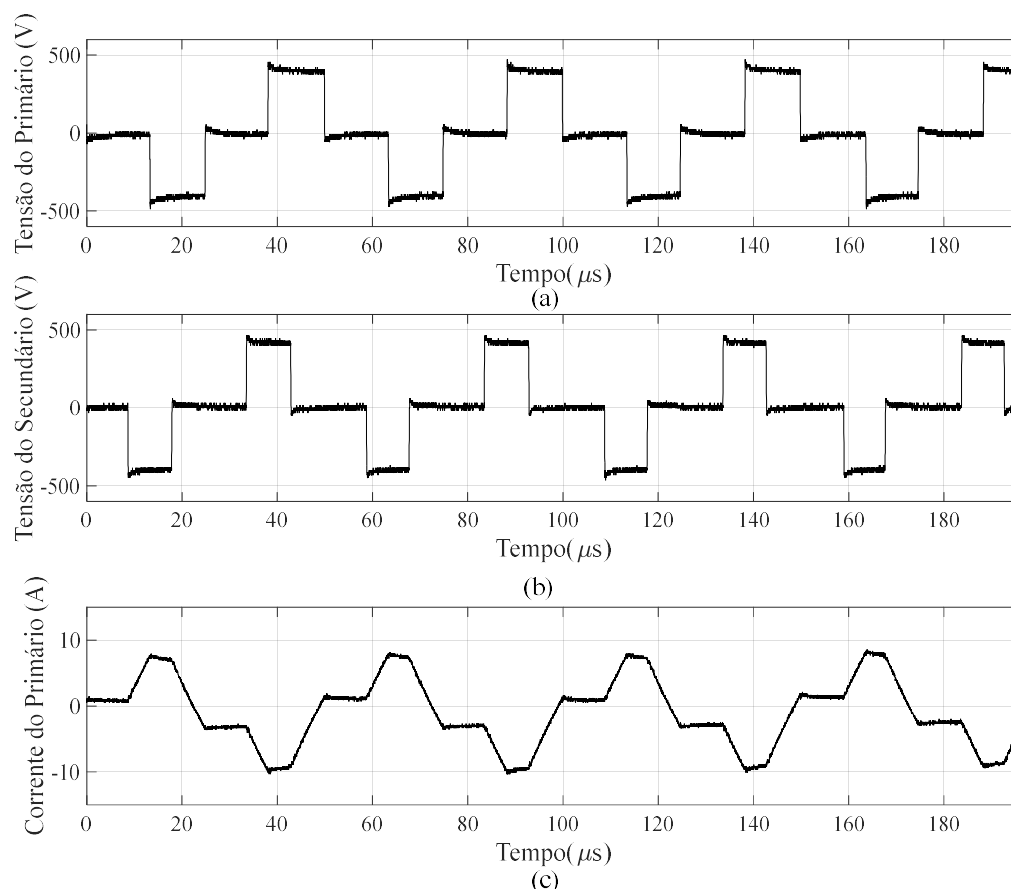
Figura 6.10 – Tensão e corrente de saída no modo Inversor com 1 módulo.



FONTE: Próprio autor.

Na Figura 6.11 pode ser visto um detalhamento das tensões e corrente no transformador operando como inversor. Pode ser observado que a tensão do secundário está adiantada do primário. Pode se observar também a corrente em oposição de fase da tensão de secundário caracterizando um fluxo de potência negativo.

Figura 6.11 – Detalhe do trafo modo inversor: (a) Tensão do primário, (b) Tensão do secundário, (c) Corrente do primário.



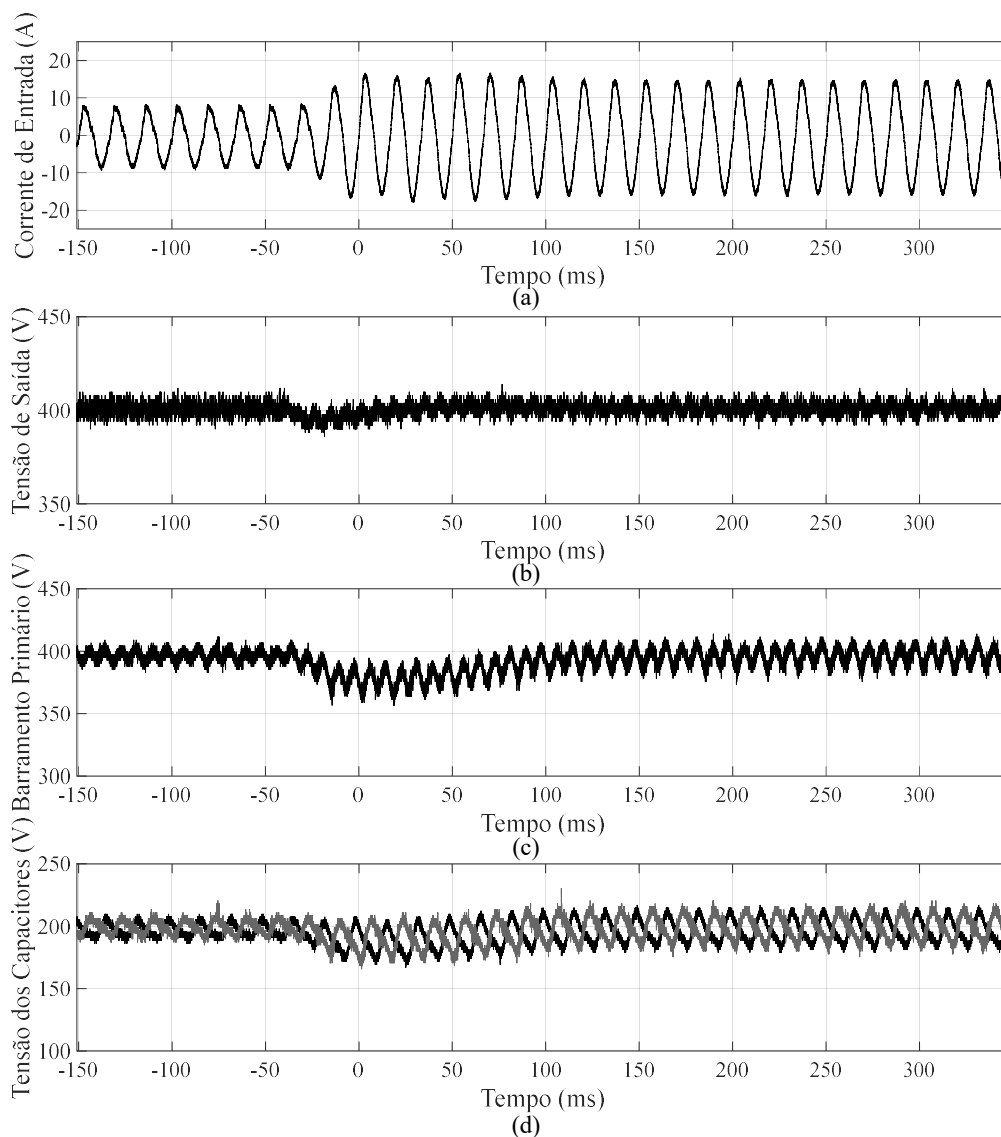
FONTE: Próprio autor.

Na Figura 6.12 pode ser visto um ensaio dinâmico realizado no conversor operando como retificador. Trata-se de um degrau de carga de 50 % para 100 %.

Pode se observar que a corrente de entrada possui pico máximo de 16,5A. A tensão de saída possui um afundamento de 10 V e um tempo de acomodação de 0,15 s. O barramento do lado primário sofre um afundamento de 40 V. Além disso, pode ser observado que a tensão dos capacitores permanece balanceada durante todo o degrau de carga.

Na Figura 6.13 pode ser visto o degrau de carga de 100 % para 50 %. Pode ser observado um sobressinal na tensão de saída de aproximadamente 10V e um tempo de acomodação de aproximadamente 0,15 s. O barramento do primário, por sua vez apresentou um sobressinal de 35 V. Além disso, os capacitores permaneceram equilibrados durante todo o ensaio.

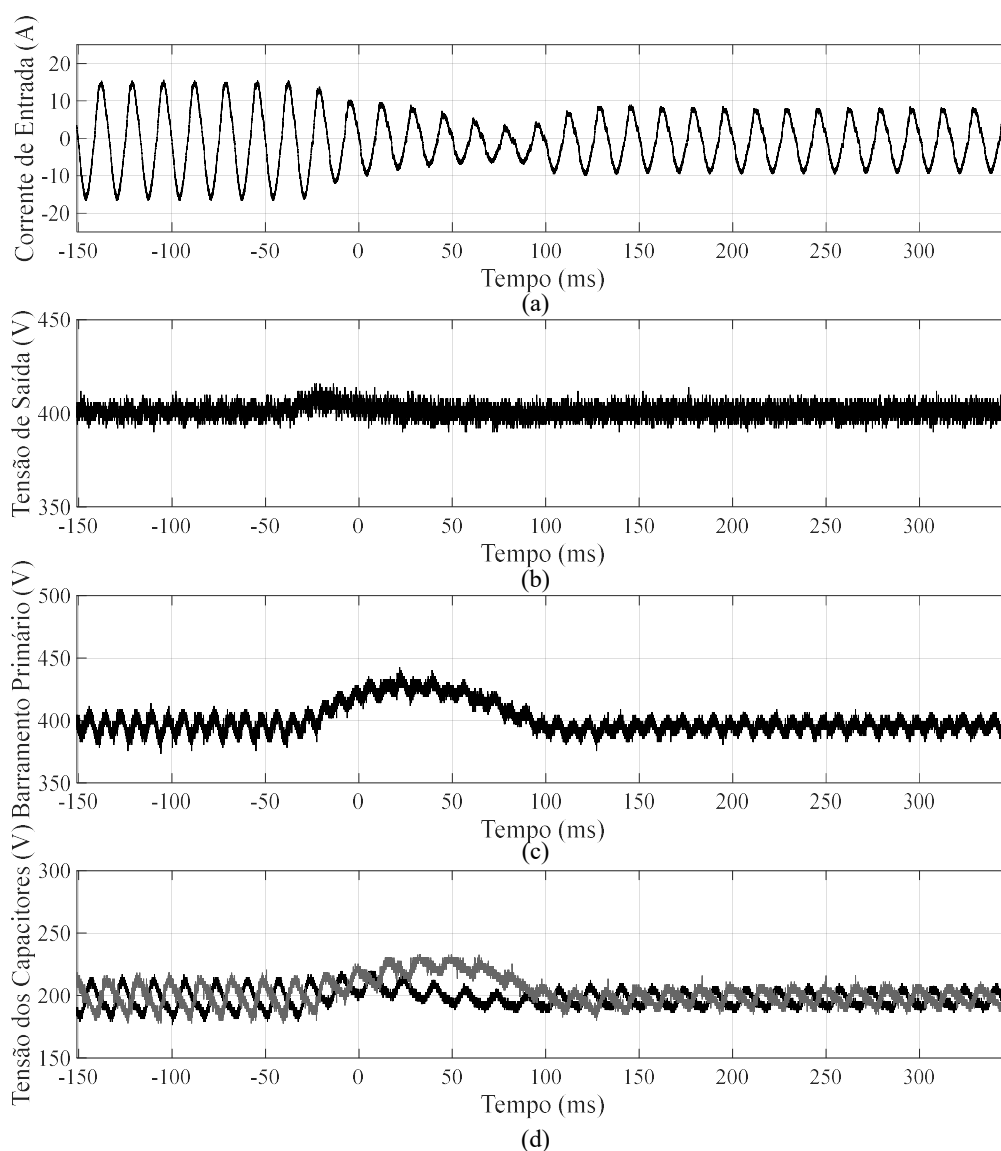
Figura 6.12 – Degrau de carga de 50 % para 100 % em modo retificador com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores



FONTE: Próprio autor.

Ensaio semelhante foram realizados com o conversor operando como inversor injetando na rede e podem ser vistos na Figura 6.14 e Figura 6.15. No degrau de 50 % para 100 % a corrente alcançou um pico máximo de 15 A, o barramento de saída 415 V e o barramento do primário 440 V. Além disso, os capacitores permaneceram balanceados. Todas as grandezas retornaram para o regime permanente dentro de 0,15s.

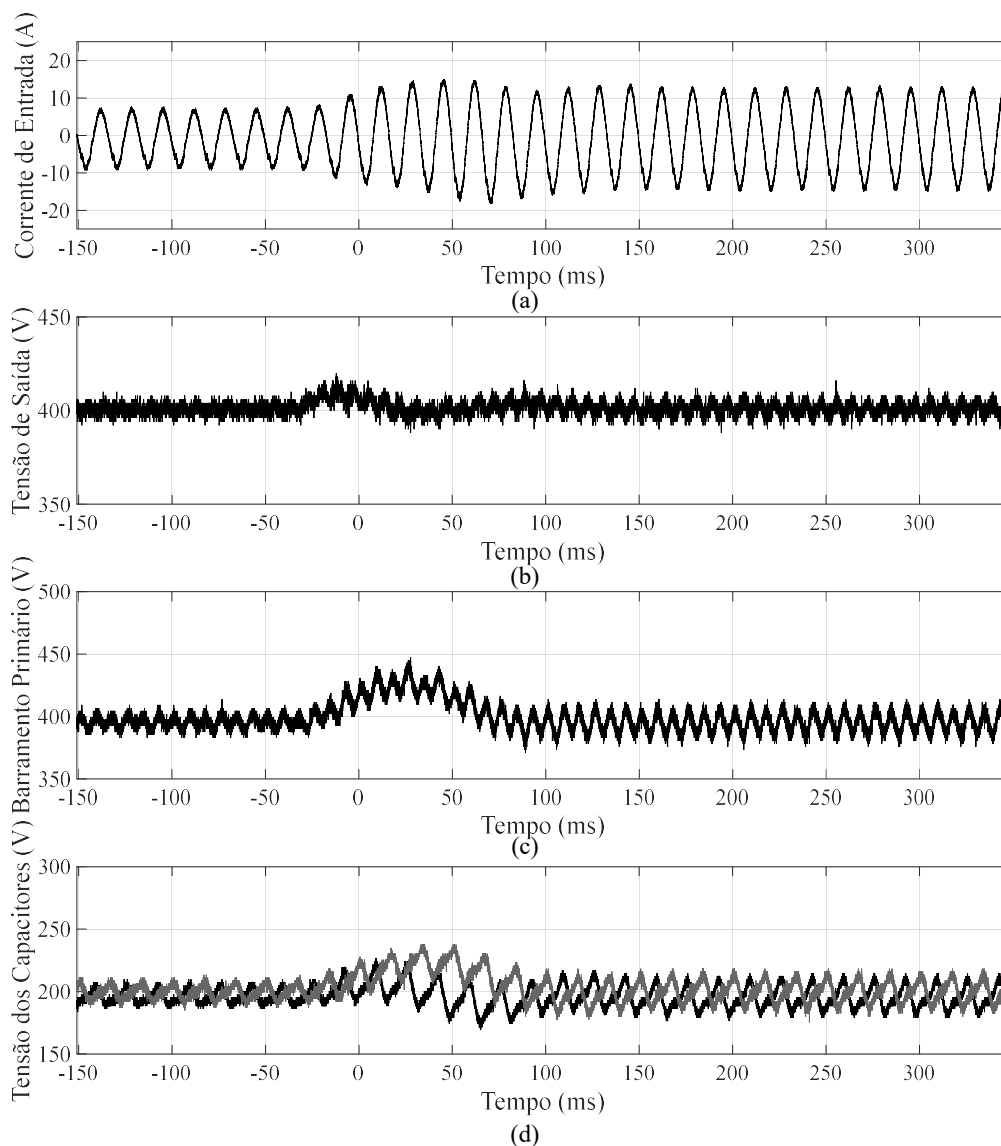
Figura 6.13 – Degrau de carga de 100 % para 50 % em modo retificador com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores



FONTE: Próprio autor.

No degrau de 100% para 50% em modo inversor, houve um afundamento de 10V na tensão de saída e 30V no barramento primário. Os capacitores se mantiveram equilibrados durante todo o ensaio. Todas as grandezas retornaram para o regime permanente dentro de 0,15s.

Figura 6.14 – Degrau de carga de 50 % para 100 % em modo inversor com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores



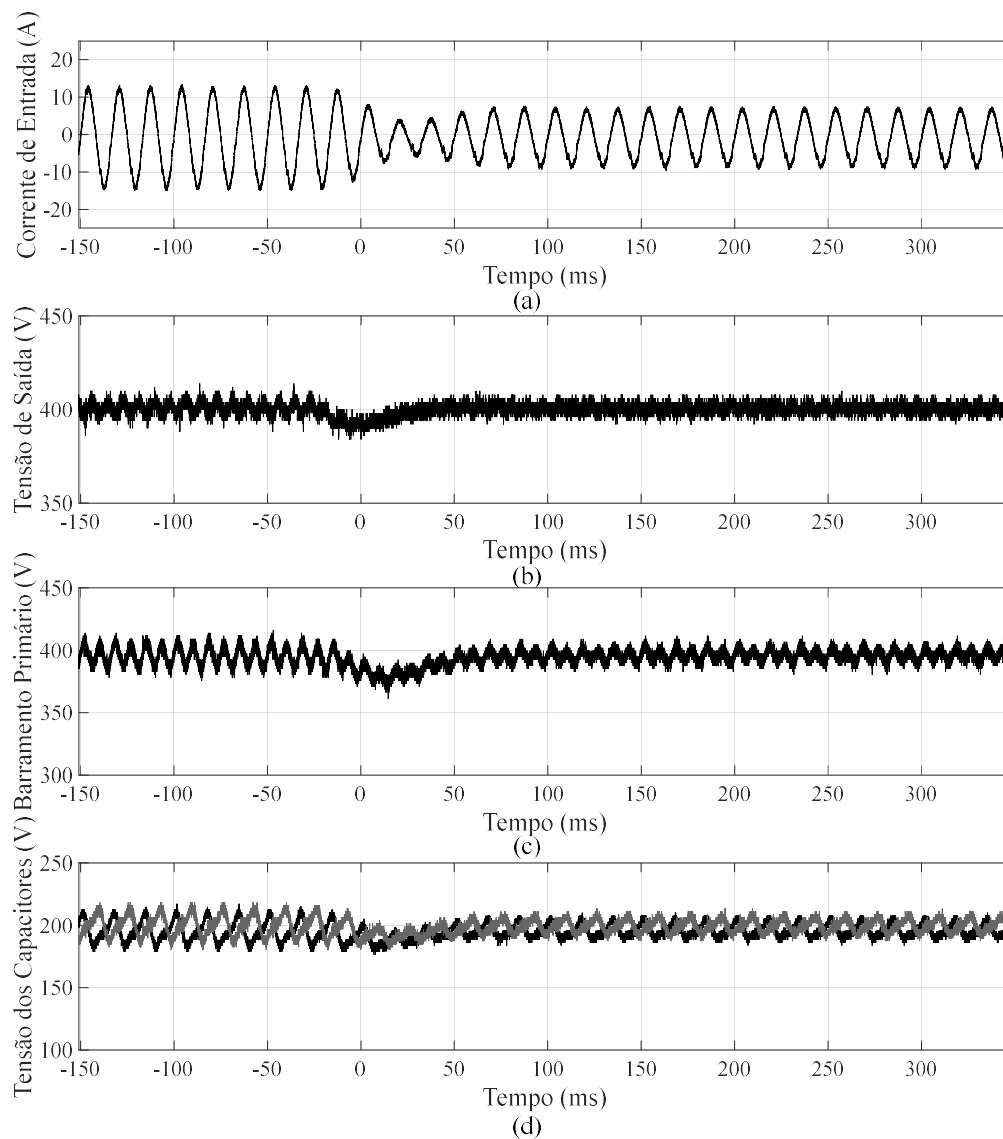
FONTE: Próprio autor.

Para a realização do ensaio como inversor o conversor é alimentado por uma fonte de corrente contínua para permitir o controle do barramento do secundário em 400 V e a energia é injetada na rede da concessionária. A fonte de corrente é ajustada para 2,5 A o que juntamente com o barramento de 400 V fornecerá 1 kW.

Para realizar a diminuição da carga que está sendo injetada na rede é conectada uma carga em paralelo com a fonte de corrente que irá drenar a potência referente ao valor do degrau que se deseja aplicar conforme Figura 6.16.

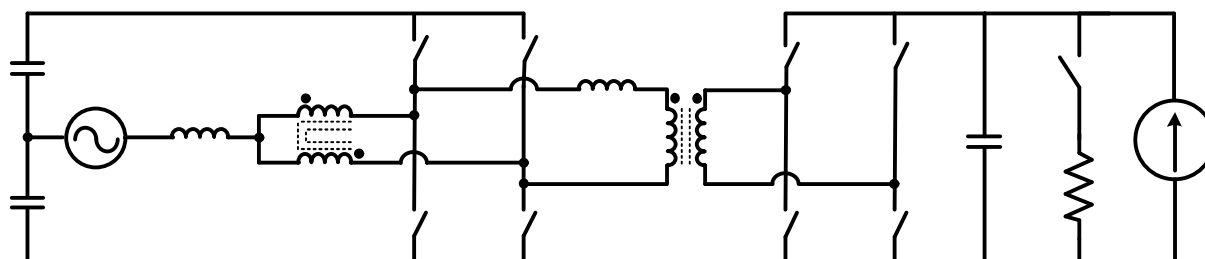


Figura 6.15 – Degrau de carga de 100 % para 50 % em modo inversor com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores



FONTE: Próprio autor.

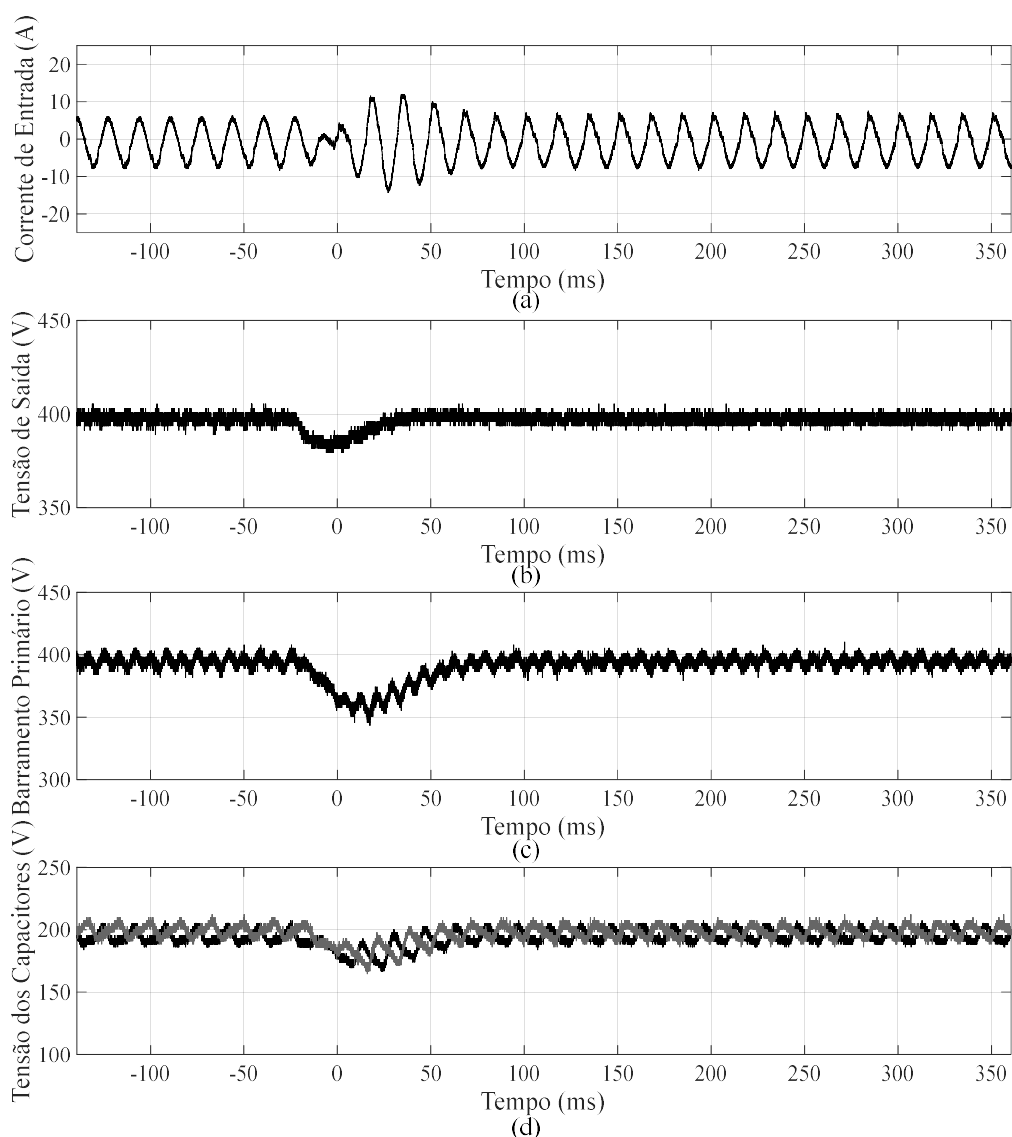
Figura 6.16 – Diagrama para realização do ensaio de degraú de carga no modo inversor.



FONTE: Próprio autor.

Por fim foi ainda realizado um ensaio de inversão de fluxo de potência visto na Figura 6.17.

Figura 6.17 – Degrau de carga de -50 % para 60 % com 1 módulo: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores



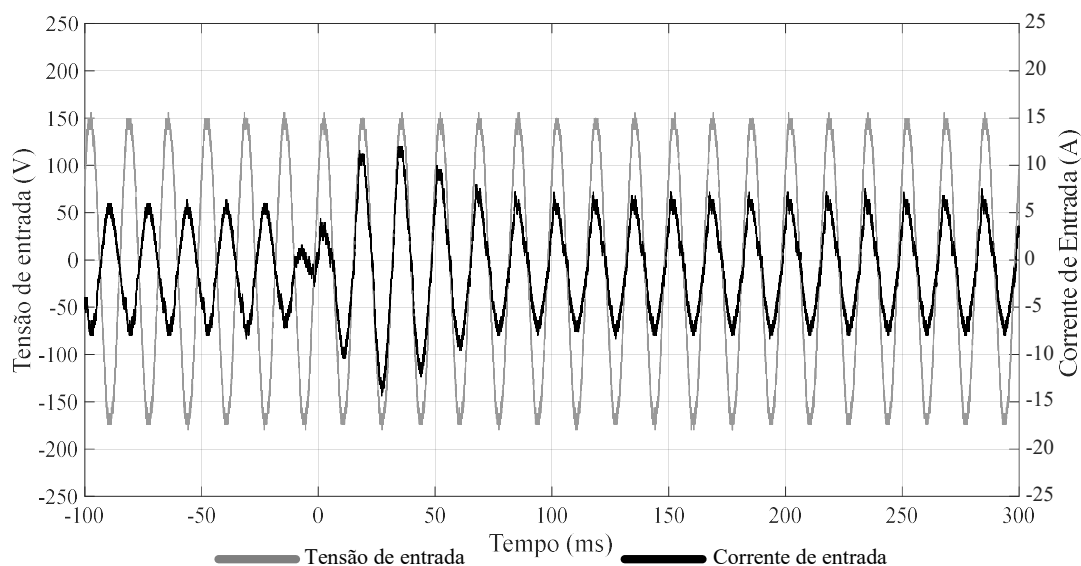
FONTE: Próprio autor.

O ensaio de inversão de fluxo é semelhante ao do modo inversor visto na Figura 6.16. Contudo, a carga aplicada ao barramento deve ser grande o suficiente para drenar toda a potência ajustada na fonte de corrente e ainda demandar carga da rede para a inversão de

fluxo. Para a realização de um degrau de 1 kW para -1 kW de carga é necessário conectar uma carga de 2 kW ao barramento da fonte de corrente. Devido à indisponibilidade da mesma no laboratório o degrau foi realizado de 50 % para -60 %.

O sistema inicia com meia carga em modo inversor e passa para 60 % no modo retificador. A corrente alcançou um pico de 12 A enquanto a tensão de saída teve um afundamento de 20 V. A tensão do primário teve um afundamento de 50 V e os capacitores permaneceram equilibrados durante toda a inversão de fluxo. As grandezas retornaram ao equilíbrio dentro de 0,15 s. Um detalhe da inversão de fase pode ser visto na Figura 6.18. Pode ser observado que a inversão de fase da corrente ocorre em praticamente um período de rede.

Figura 6.18 – Detalhe da inversão de fase com 1 módulo.



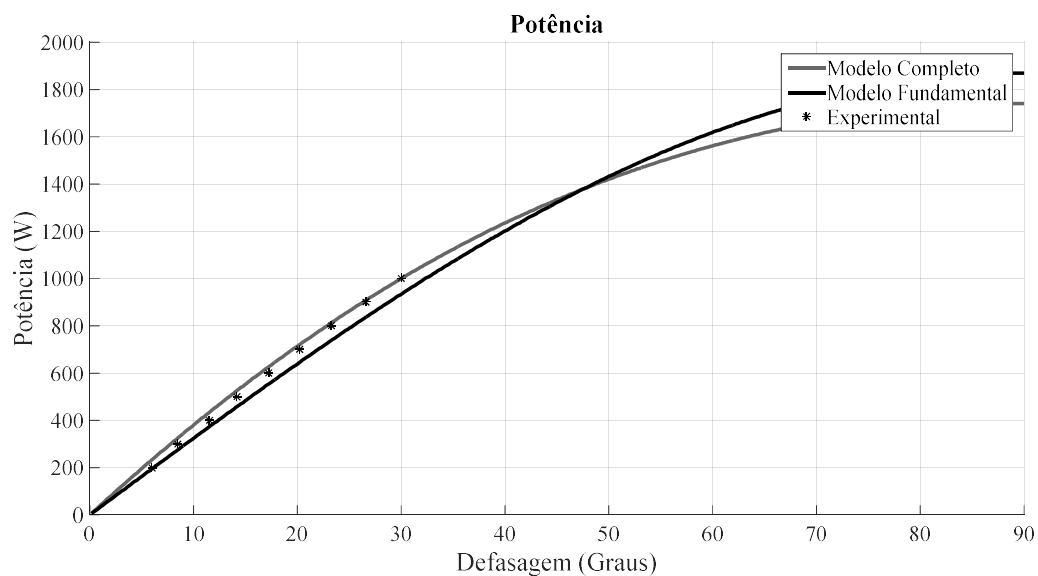
FONTE: Próprio autor.

Na Figura 6.19 pode ser vista a potência em função do ângulo de defasagem. Foram coletados pontos variando de 20 % da carga até 100 % do valor nominal. Pode ser observado que a análise matemática desenvolvida tem grande similaridade com o real.

Na Figura 6.20 pode ser vista a curva de eficiência do conversor operando como retificador.

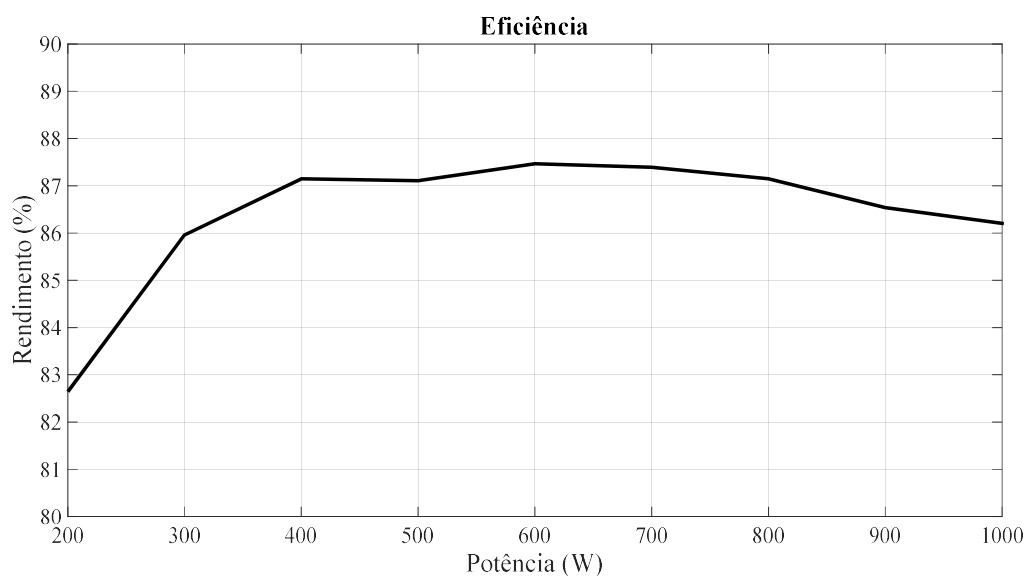
Foi alcançado um rendimento máximo de 87,5 % na carga de 600 W e 86,2 % em carga nominal. Esse rendimento está condizente com o valor obtido na análise de perdas com o IGBT. O mesmo poderia ser melhorado com a utilização de uma chave de SiC.

Figura 6.19 – Análise da potência.



FONTE: Próprio autor.

Figura 6.20 – Curva de rendimento no modo retificador.

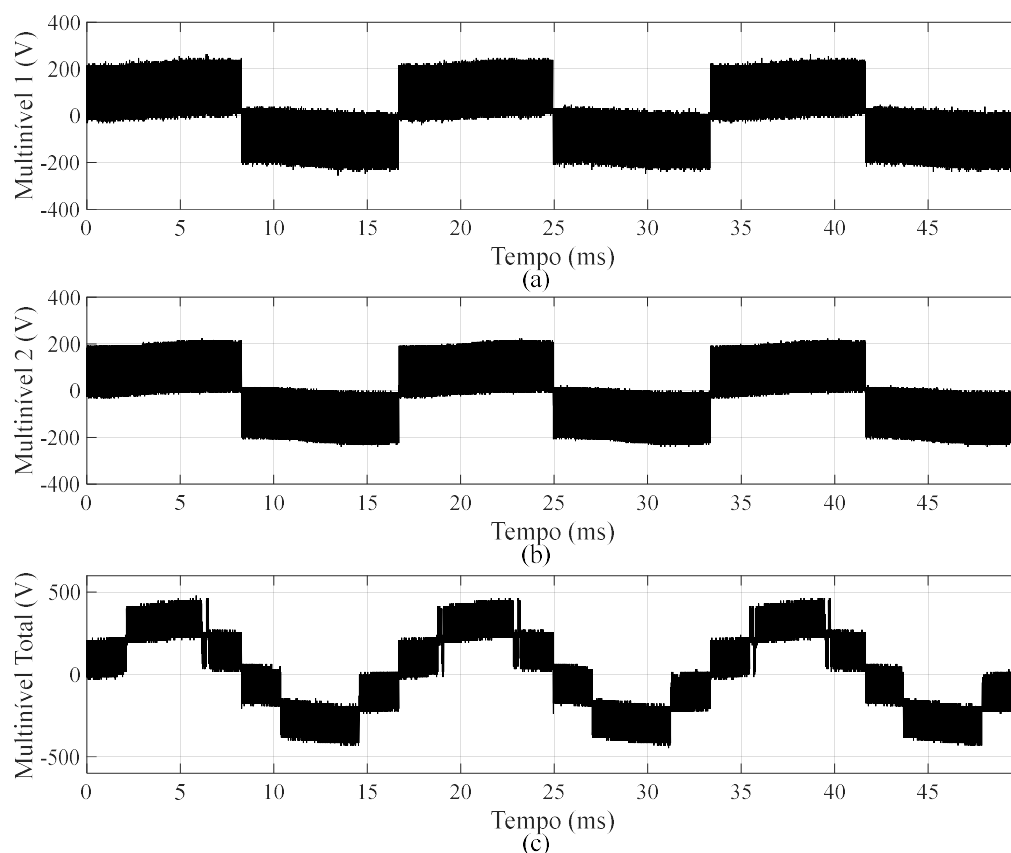


FONTE: Próprio autor.

### 6.2.2 Resultados com 2 Módulos

Na Figura 6.21 podem ser vistas as tensões multiníveis do conversor. Pode ser observado que cada módulo opera com três níveis enquanto o sistema completo possui cinco níveis.

Figura 6.21 – Tensões multiníveis: (a) Módulo 1, (b) Módulo 2, (c) Total

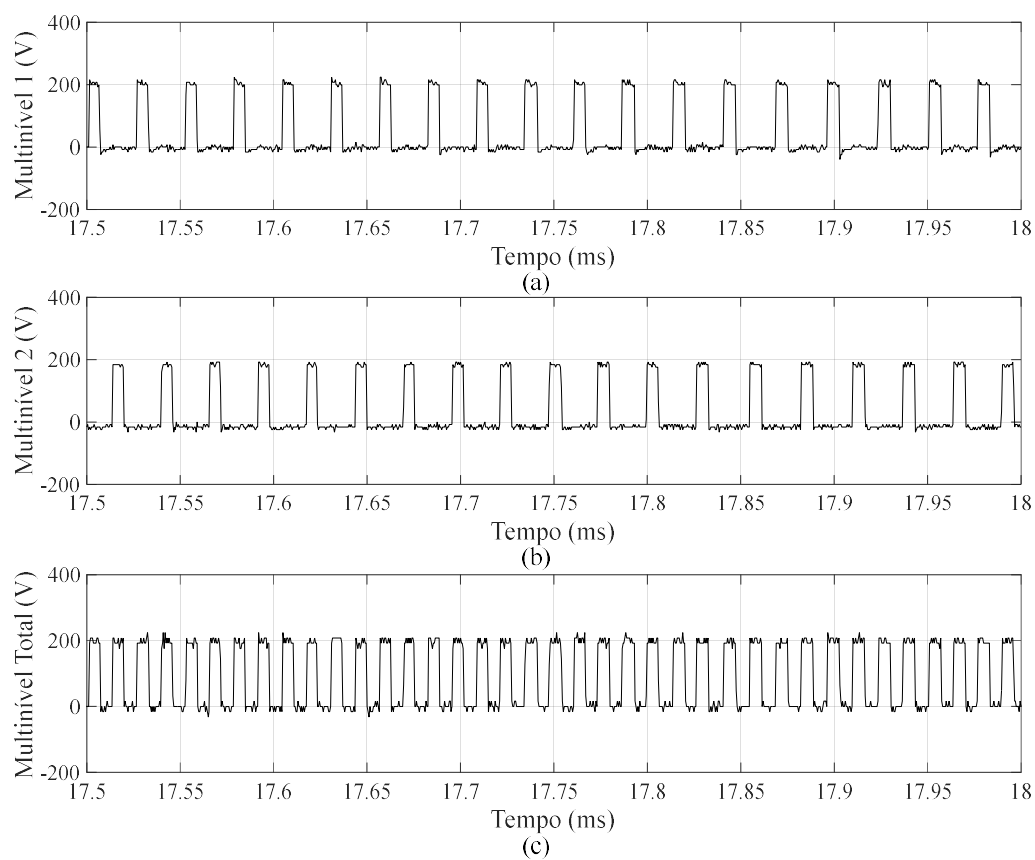


FONTE: Próprio autor.

Na Figura 6.22 pode ser visto um detalhe em alta frequência dessas tensões. Pode ser observado que a tensão multinível do módulo 2 está defasada em  $90^\circ$  da tensão do módulo 1. Além disso, a tensão multinível total é a soma da tensão dos dois módulos apresentando assim o dobro de frequência.

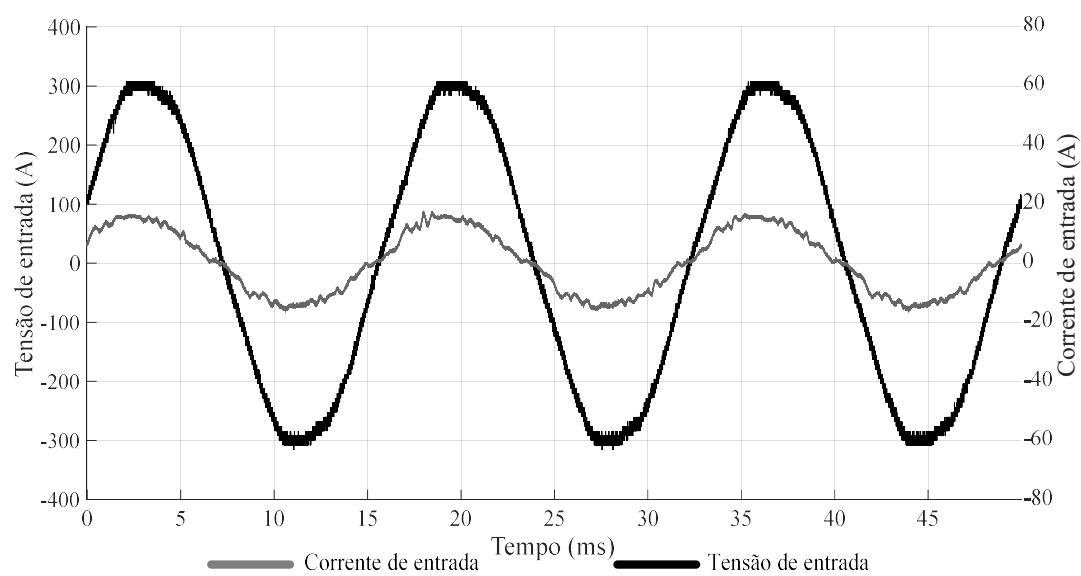
Na Figura 6.23 podem ser vistas a tensão e corrente de entrada. Mais uma vez pode ser observado que ambas estão perfeitamente em fase caracterizando o funcionamento adequado do PLL. A corrente apresenta ondulações nas transições dos setores decorrentes de limitações físicas do modulador obtendo assim um THD para a corrente de 7,9 % com fator de potência de 0,982. Esse THD poderia ser melhorado com a utilização de um driver capaz de produzir pulsos com ciclo de trabalho extremamente pequenos. Isso melhoraria as transições de setor produzindo uma menor saturação dos controladores e conseqüentemente menor ondulação na corrente.

Figura 6.22 – Detalhe das tensões multiníveis: (a) Módulo 1, (b) Módulo 2, (c) Total



FONTE: Próprio autor.

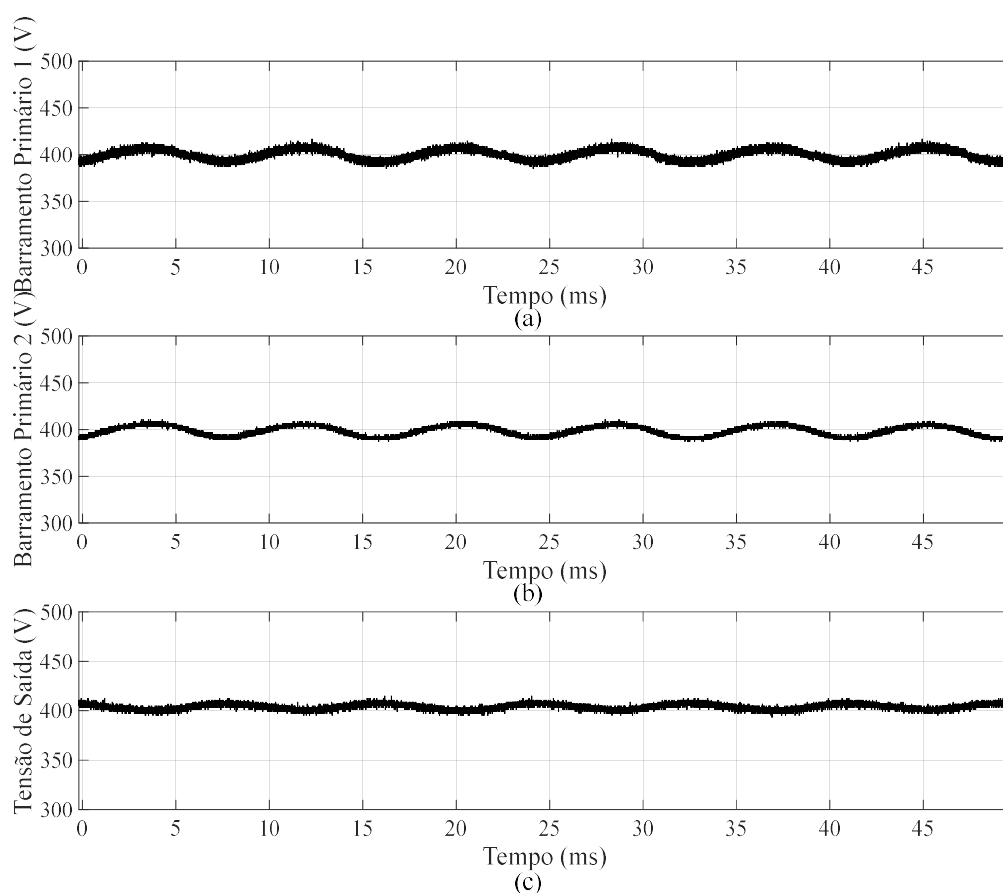
Figura 6.23 – Tensão e corrente de entrada com 2 módulos.



FONTE: Próprio autor.

Na Figura 6.24 podem ser vistos os barramentos do conversor. Pode ser observado que os três barramentos se apresentam com o valor de 400 V em regime permanente.

Figura 6.24 – Barramentos com 2 módulos: (a) Primário do módulo 1, (b) Primário do módulo 2, (c) Saída

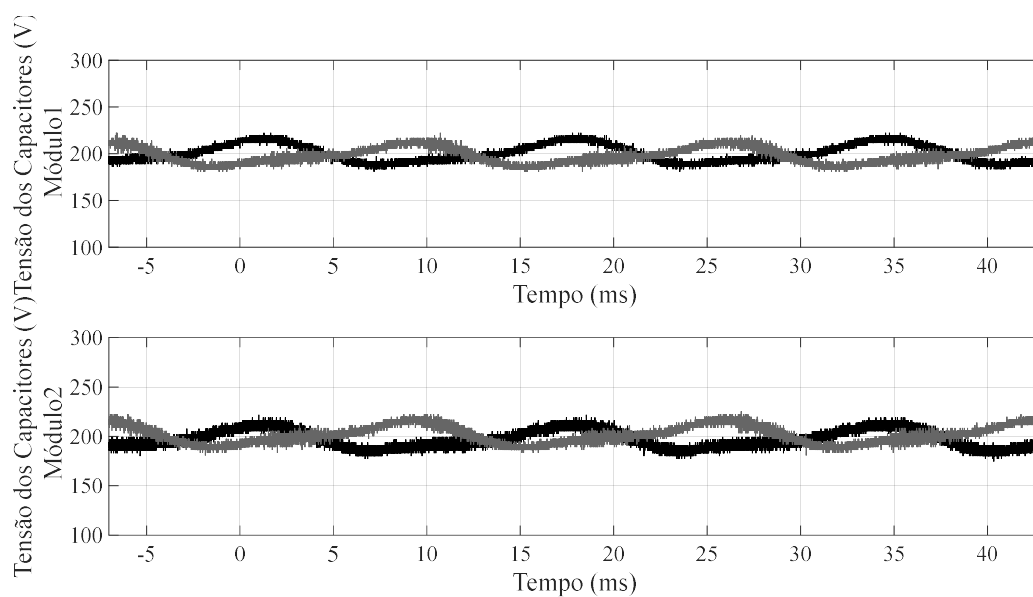


FONTE: Próprio autor.

Na Figura 6.25 podem ser vistas as tensões nos capacitores de ambos os módulos. Pode se observar que as tensões ficam bem equilibradas havendo uma pequena diferença nos valores médios ocasionados por ganhos ligeiramente diferentes entre os sensores de tensão.

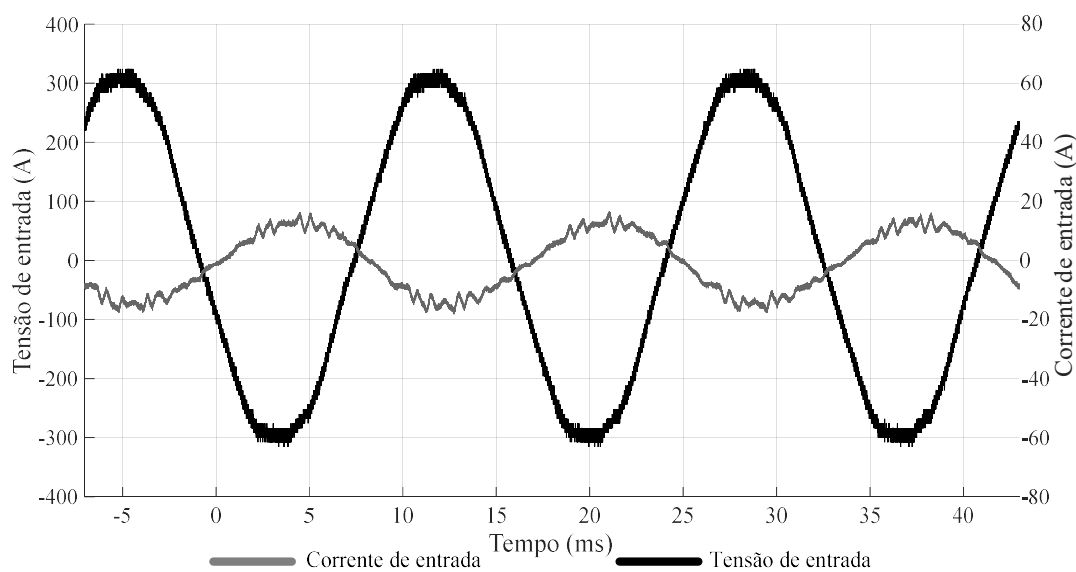
Na Figura 6.26 pode ser vista a corrente e tensão CA com o conversor operando em modo inversor. O fator de potência obtido foi de 0,925 e o THD da corrente de 6,5 %.

Figura 6.25 – Capacitores: (a) Módulo 1, (b) Módulo 2.



FONTE: Próprio autor.

Figura 6.26 – Tensão e corrente de entrada no modo inversor com 2 módulos.

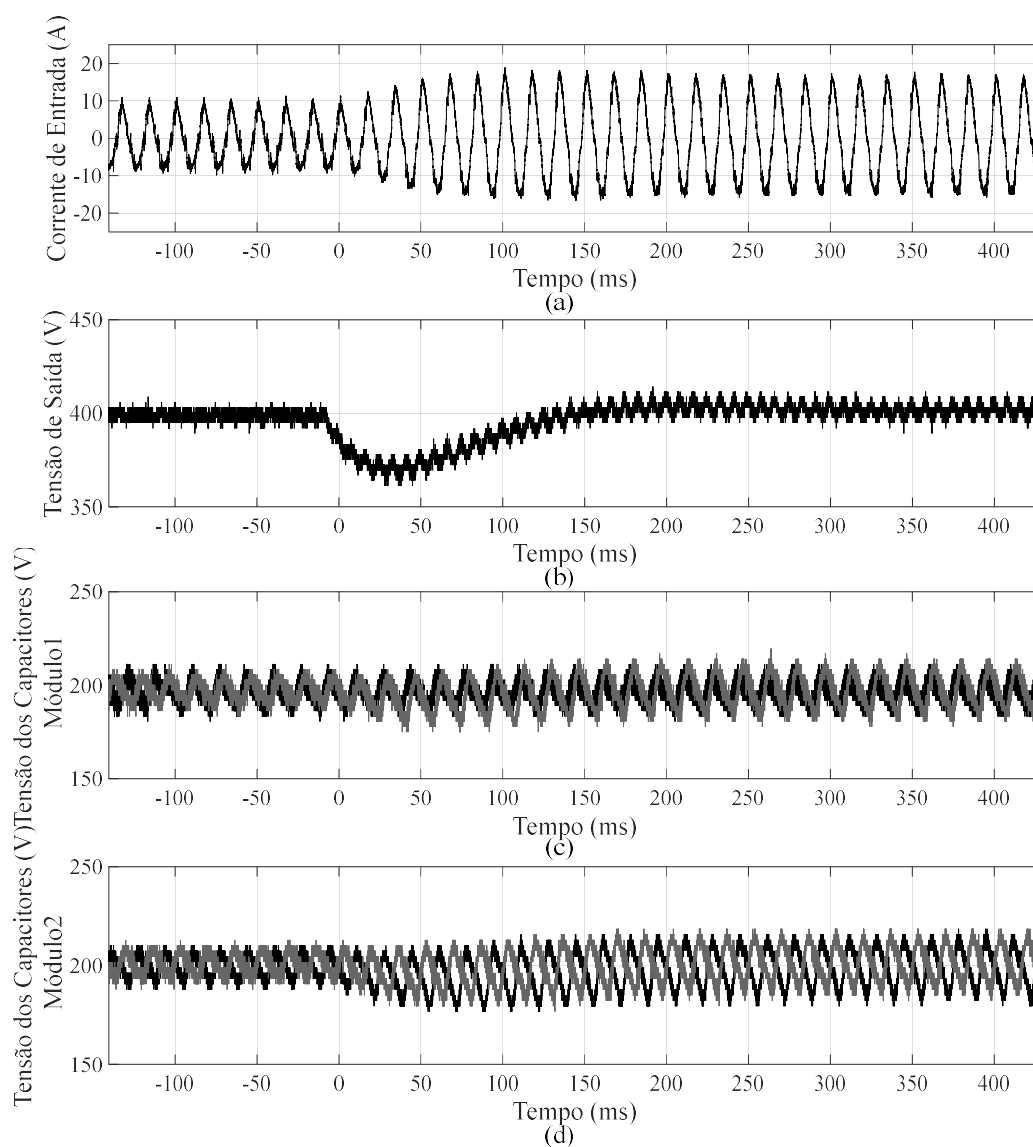


FONTE: Próprio autor.

Diversos ensaios dinâmicos também foram realizados para verificação dos controladores utilizados. Na Figura 6.27 e Figura 6.28 pode ser visto um degrau de carga de 50 % para 100 % e de 100 % para 50 % respectivamente operando como retificador.



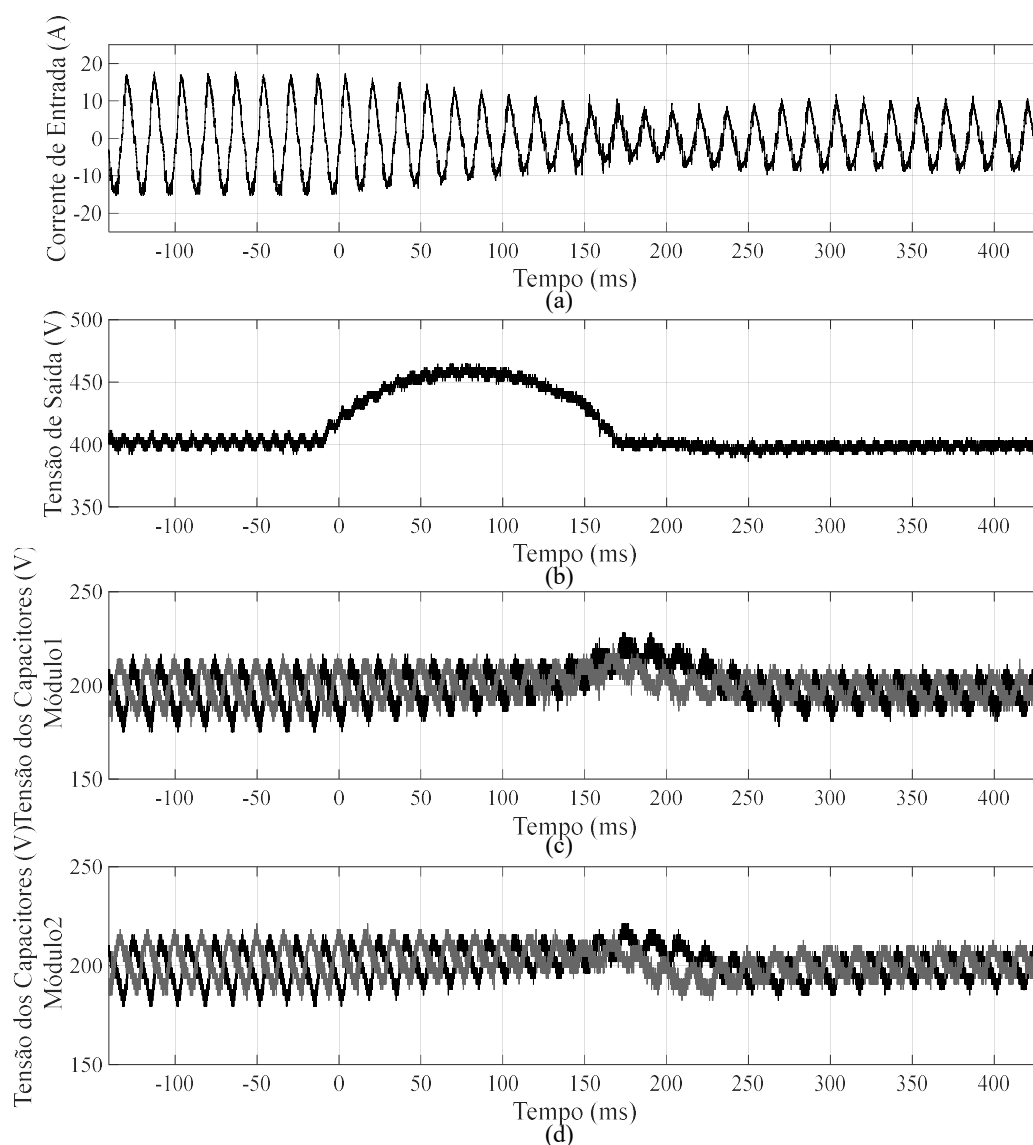
Figura 6.27 – Degrau de carga de 50 % para 100 % em modo retificador com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores



FONTE: Próprio autor.

No degraú de 50 % para 100 % pode ser observado um pico de corrente de 18A com um afundamento de tensão de 35V na tensão de saída. Os capacitores de ambos os módulos atingem um valor mínimo de 180V e permanecem equilibrados durante todo o ensaio. O tempo de assentamento é de aproximadamente 0,2s.

Figura 6.28 – Degrau de carga de 100 % para 50 % em modo retificador com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores

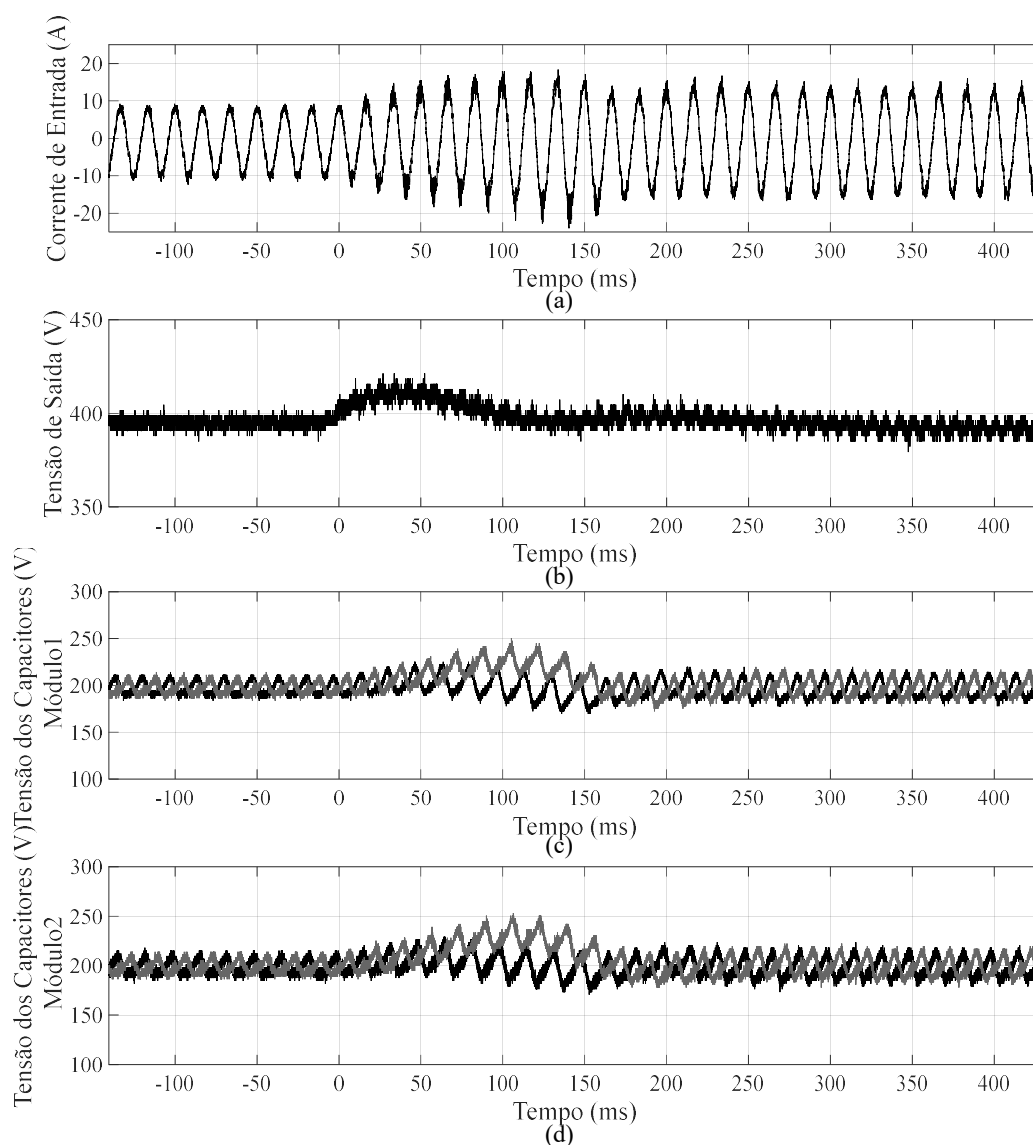


FONTE: Próprio autor.

No degraú de 100 % para 50 % pode ser observado um pico de 460 V na tensão de saída e de 225 V nos capacitores. Os mesmos permanecem equilibrados durante todo o ensaio e as grandezas medidas levaram aproximadamente 0,2 s para retornarem ao regime permanente.

Ensaio semelhante foram realizados com o conversor operando como inversor injetando na rede e podem ser vistos na Figura 6.29 e Figura 6.30.

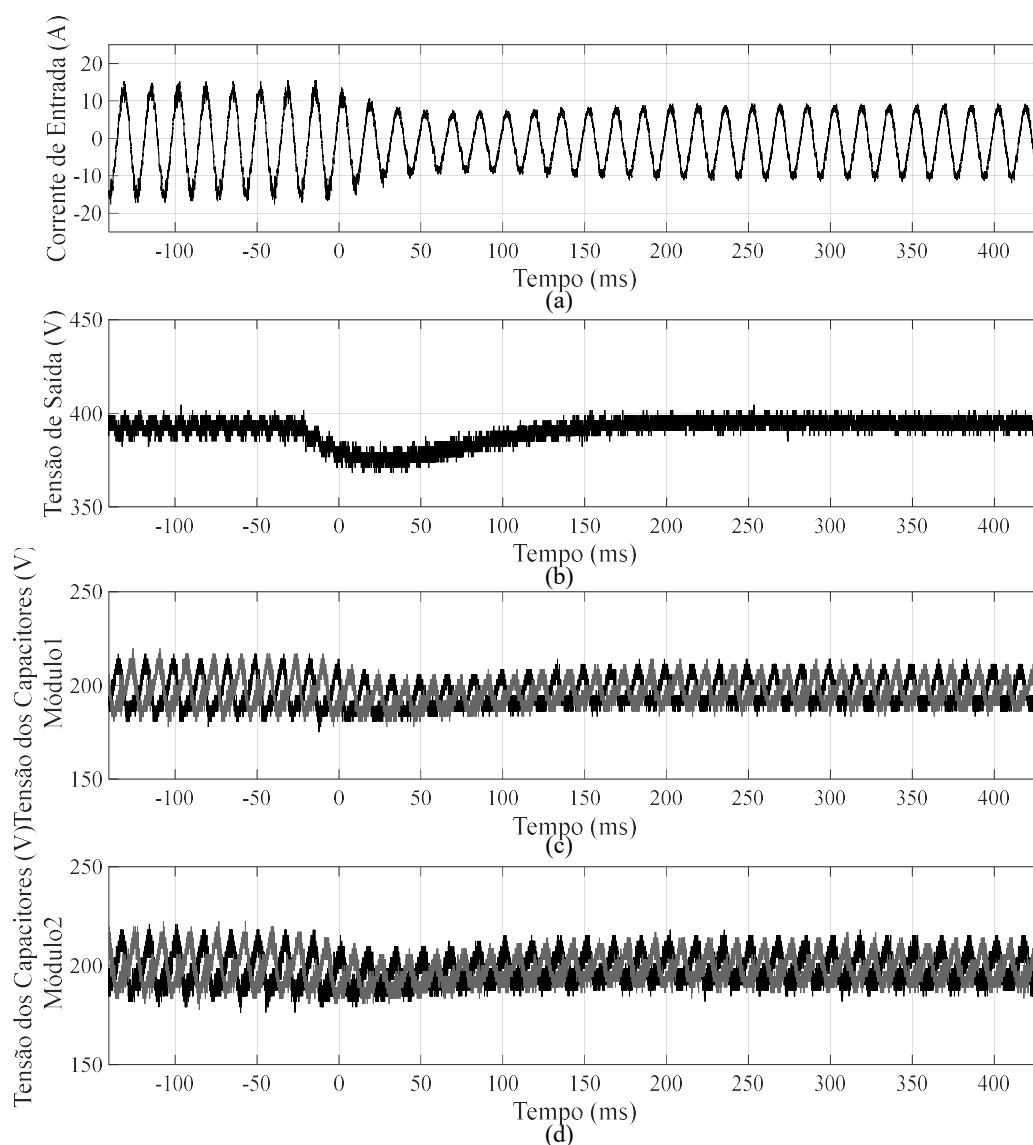
Figura 6.29 – Degrau de carga de 50 % para 100 % em modo inversor com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores



FONTE: Próprio autor.

No degraú de 50 % para 100 % pode ser observado um pico de 18 A na corrente, 415 V na tensão de saída e de 250 V nos capacitores. Os mesmos permanecem equilibrados durante todo o ensaio e as grandezas medidas levaram aproximadamente 0,2 s para retornarem ao regime permanente.

Figura 6.30 – Degrau de carga de 100 % para 50 % em modo inversor com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores

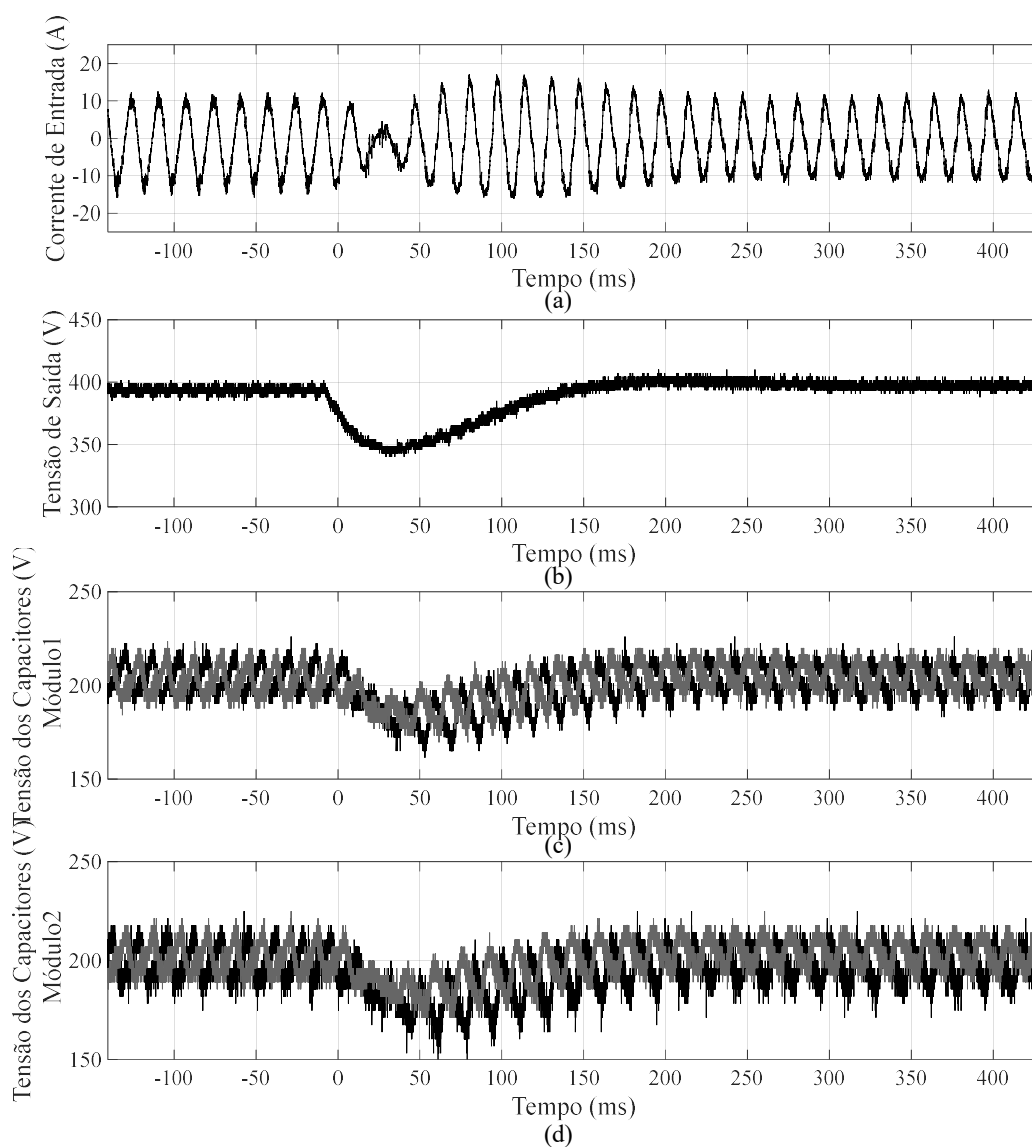


FONTE: Próprio autor.

No degraú de 100 % para 50 % pode ser observado um afundamento de tensão de 30 V na tensão de saída. Os capacitores de ambos os módulos atingem um valor mínimo de 180 V e permanecem equilibrados durante todo o ensaio. O tempo de assentamento é de aproximadamente 0,2 s.

Por fim foi ainda realizado um ensaio de inversão de fluxo de potência visto na Figura 6.31.

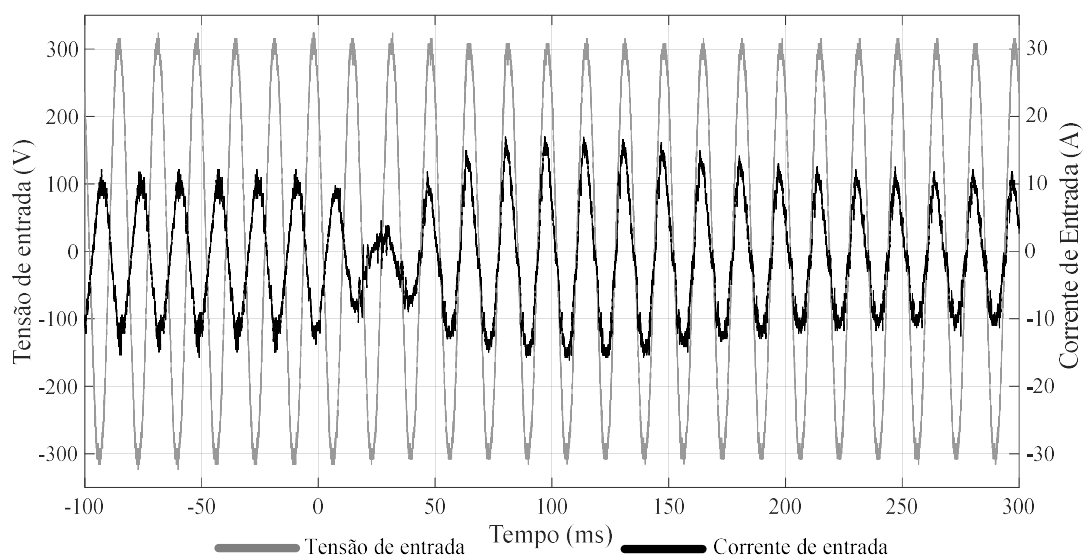
Figura 6.31 – Degrau de carga de -75 % para 75 % com 2 módulos: (a) Corrente de entrada, (b) Tensão de saída, (c) Barramento primário, (d) Tensões dos capacitores, (e) Detalhe das tensões dos capacitores



FONTE: Próprio autor.

O sistema inicia com 75 % da carga nominal em modo inversor e passa para 75 % no modo retificador. A corrente apresentou um pico de 17 A com um afundamento de 60 V na tensão de saída. Os capacitores permaneceram equilibrados durante o ensaio apresentando um valor mínimo de tensão de 165 V. Um detalhe da inversão de fase pode ser visto na Figura 6.32. Pode ser observado que a inversão da fase da corrente ocorre praticamente em um período da rede.

Figura 6.32 – Detalhe da inversão de fase com 2 módulos.



FONTE: Próprio autor.

### 6.3 Considerações Finais

Neste capítulo foram mostrados os resultados experimentais obtidos com um protótipo montado em laboratório. Esses resultados apresentam uma grande concordância com os obtidos em simulação e na análise teórica.

Foram realizados testes em estado permanente mostrando as principais formas de ondas relacionadas ao conversor assim como o estudo dinâmico, através de degraus de carga, validando as malhas de controle dimensionadas. A bidirecionalidade da estrutura foi demonstrada através de um degrau de inversão de fluxo.

Através da curva de potência em função do ângulo de defasagem foi possível validar a análise matemática desenvolvida com o modelo completo das tensões. Essa análise mostrou uma concordância maior com os pontos do que a desenvolvida utilizando apenas o modelo fundamental uma vez que são consideradas as regiões de operação do transformador com as formas de onda reais de tensão e corrente.

A eficiência obtida está próxima da calculada matematicamente mostrando que seria possível obter um rendimento elevado com o uso de chaves de maior qualidade.

## 7 CONCLUSÃO

Este trabalho apresentou o estudo de um conversor CA-CC multinível de estágio único para aplicação em transformador de estado sólido. O conversor possui uma malha de tensão cascadeada com uma malha de corrente capaz de realizar a correção do fator de potência e manter uma baixa distorção harmônica. O conversor foi capaz de operar com fator de potência de 0,991 e THD de 4,1 % na corrente demonstrando assim o correto funcionamento dessas malhas.

O conversor possui também uma malha de controle do barramento da tensão de saída através da técnica de *phase-shift*, uma malha de balanceamento dos capacitores de entrada e uma malha de controle da corrente de magnetização. Foi possível constatar que o conversor operou durante todo o funcionamento com a média da corrente de magnetização em zero e com os capacitores em equilíbrio.

Além disso, para o funcionamento com dois módulos é ainda utilizada uma malha de balanceamento das potências dos módulos que equilibra as tensões dos barramentos de entrada.

Foi apresentado o dimensionamento dos principais componentes assim como todas as malhas de controle utilizadas sendo validado em regime permanente e dinâmico através de simulação e de um protótipo montado em laboratório. Para tal foram realizados diversos ensaios dinâmicos como entrada de carga, saída de carga em modo retificador e inversor. Em todos os ensaios foram obtidos sobressinais inferiores a 15 % e tempos de acomodação inferiores a 200 ms. Para a análise da bidirecionalidade do conversor, foi ainda realizado um ensaio de inversão de fluxo de potência. O conversor foi capaz de alterar seu modo de operação através da inversão da fase da corrente e da defasagem das tensões do transformador. A inversão de fluxo acontece rapidamente, dentro de um período da rede, e as grandezas controladas retornam ao regime permanente dentro de 200 ms.

Além disso, foi realizado o estudo das perdas do conversor para dois tipos de chaves diferentes apresentando uma eficiência de 89,3 % com chaves IGBT e de 95,5 % com chaves de SiC. Experimentalmente foi constatada uma eficiência máxima de 87,5 % em 60 % da carga e 86,2 % em carga nominal. Essa eficiência apresenta grande similaridade com o calculado, mostrando assim ser possível obter uma eficiência maior com o uso de chaves de melhor qualidade.

Com os resultados obtidos no estudo desse conversor é possível observar todas as características necessárias para a aplicação do mesmo em um transformador de estado sólido. Dentre elas pode-se citar a operação com fator de potência unitário, baixo THD de corrente, isolamento entre suas portas, bidirecionalidade no fluxo de potência e uma estrutura modular capaz de operar em elevadas tensões através da divisão dos esforços nos semicondutores.

Como principal contribuição desse trabalho, destaca-se o equacionamento do modelo completo do conversor. A modelagem foi validada através da simulação e do protótipo sendo obtidos resultados semelhantes devido à consideração de todos os harmônicos nos cálculos. Pode-se citar também a análise do ripple da corrente do indutor de entrada que demonstrou que o ripple máximo de corrente é reduzido com o aumento do número de módulos reduzindo assim o valor do indutor de entrada. Por fim a implementação do modulador vetorial que oferece um maior grau de liberdade nos estados de operação do conversor.

Como trabalhos futuros propõem-se a construção de um terceiro módulo para a análise em tensões maiores assim como a realização de estudos de falha com módulo extra.

Outra possibilidade seria a integração dos transformadores em um único núcleo visando assim à redução do volume da estrutura. Estudos relacionados a esse tema estão sendo desenvolvidos no laboratório e mostram resultados promissores.



## REFERÊNCIAS

ALMEIDA, B. R. **Conversor CA-CC trifásico de único estágio, bidirecional, isolado em alta frequência, com correção de fator de potência**. 2016. 191 f. Tese (Doutorado em Engenharia Elétrica) Departamento de Engenharia Elétrica, Universidade Federal do Ceará, Fortaleza, 2016.

BARANWAL, R. et al. A Dual-Active-Bridge-Based Single-Phase AC to DC Power Electronic Transformer With Advanced Features. **IEEE Transactions on Power Electronics**, v. 33, n. 1, p. 313-331, Jan. 2018.

BASCOPE, G. V. T.; BARBI, I. Generation of a family of non-isolated DC-DC PWM converters using new three-state switching cells. 2000 IEEE 31st Annual Power Electronics Specialists Conference. **Conference Publications...** (Cat. No.00CH37018), Galway, 2000, v. 2, p. 858-863.

BHATTACHARYA, S.; DIVAN, D. Synchronous frame based controller implementation for a hybrid series active filter system. Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., **Conference Publications...**, Orlando, FL, 1995, v. 3, p. 2531-2540.

BIELA, J. et al. Optimal design of a 5kW/dm<sup>3</sup> / 98.3% efficient TCM resonant transition single-phase PFC rectifier. The 2010 International Power Electronics Conference - ECCE ASIA - **Conference Publications...**, Sapporo, 2010, p. 1709-1716.

CASANELLAS, F. Losses in PWM inverters using IGBTs. **IEE Proceedings - Electric Power Applications**, v. 141, n. 5, p. 235-239, Sep. 1994.

DONCKER, R. W. A. A.; DIVAN, D. M.; KHERALUWALA, M. H. A three-phase soft-switched high-power-density DC/DC converter for high-power applications. **IEEE Transactions on Industry Applications**, v. 27, n. 1, p. 63-73, Jan./Feb. 1991.

EVERTS, J. et al. Optimal ZVS modulation of single-phase single-stage bidirectional DAB ac-dc converters. **IEEE Trans. Power Electron.**, v. 29, n. 8, p. 3954-3970, Aug. 2014a.

EVERTS, J. et al. Comparative evaluation of soft-switching, bidirectional, isolated AC/DC converter topologies. 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Orlando, FL, **Conference Publications...** 2012, p. 1067-1074.

EVERTS, J. **Modeling and Optimization of Bidirectional Dual Active Bridge AC–DC Converter Topologies** 2014. 360 f. Tese (Doctor in Engineering Science) Arenberg Doctoral School, Faculty of Engineering Science, Heverlee, 2014b.

FALCONES, S.; XIAOLIN, M.; AYYANAR, R. Topology comparison for Solid State Transformer implementation. Power and Energy Society General Meeting, 2010 IEEE, **Conference Publications...** 2010. 25-29 July 2010. p.1-8.

FAN, H.; LI, H. High-Frequency Transformer Isolated Bidirectional DC–DC Converter Modules With High Efficiency Over Wide Load Range for 20 kVA Solid-State Transformer. **IEEE Transactions on Power Electronics**, v. 26, n. 12, p. 3599-3608, Dec. 2011.

FENG, J. et al. Power Electronic Transformer-Based Railway Traction Systems: Challenges and Opportunities. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 5, n. 3, p. 1237-1253, Sept. 2017.

GLINKA, M.; MARQUARDT, R. A new AC/AC multilevel converter family. **IEEE Transactions on Industrial Electronics**, v. 52, n. 3, p. 662-669, June 2005

GLINKA, M. Prototype of multiphase modular-multilevel-converter with 2 MW power rating and 17-level-output-voltage. 2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551), **Conference Publications...**, 2004, v.4, p. 2572-2576.

HOLMES, D. G.; LIPO, T. A. **Introduction to Power Electronic Converters. Pulse Width Modulation for Power Converters: Principles and Practice**, Wiley-IEEE Press, 2003, p. 744-

HONORIO, D. D. A. et al. A Space Vector PWM scheme for a Single-stage Ac-Dc Modular Cascaded Multilevel Converter 2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC), **Conference Publications...** Fortaleza, 2015, p. 1-6.

HUANG, A. Q. et al. 15 kV SiC MOSFET: An enabling technology for medium voltage solid state transformers. **CPSS Transactions on Power Electronics and Applications**, v. 2, n. 2, p. 118-130, 2017.

HUANG, A. Q.; BURGOS, R. Review of Solid-State Transformer Technologies and Their Application in Power Distribution Systems. **Emerging and Selected Topics in Power Electronics IEEE Journal**, v. 1, n. 3, p. 186-198, Sept. 2013

HUBER, J. E.; KOLAR, J. W. Solid-state transformers: On the origins and evolution of key concepts. **IEEE Industrial Electronics Magazine**, v. 10, n. 3, p. 19-28, 2016

IEC. **IEC 61000-3-2: Electromagnetic Compatibility (EMC) – Part 3: Limits – Section 2: Limits for Harmonic Current Emissions (Equipment input current < 16 A per phase)**. INTERNATIONAL ELECTROTECHNICAL COMMISSION. Emenda A14 2001.

JAUCH, F.; BIELA, J. Combined Phase-Shift and Frequency Modulation of a Dual-Active-Bridge AC–DC Converter With PFC. **IEEE Transactions on Power Electronics**, v. 31, n. 12, p. 8387-8397, Dec. 2016.

JAUCH, F.; BIELA, J. Single-phase single-stage bidirectional isolated ZVS AC-DC converter with PFC. Proc. 15th Int. Power Electron. Motion Control Conf., **Conference Publications...** p. LS5d.1-1-LS5d.1-8, 2012.

KASPER, M. et al. Hardware verification of a hyper-efficient (98%) and super-compact (2.2kW/dm<sup>3</sup>) isolated AC/DC telecom power supply module based on multi-cell converter approach. Applied Power Electronics Conference and Exposition (APEC) 2015 IEEE, **Conference Publications...** p. 65-71, 15–19 March 2015.

KIM, H. S. et al. High-Efficiency Isolated Bidirectional AC–DC Converter for a DC Distribution System, **IEEE Transactions on Power Electronics**, v. 28, n. 4, p. 1642-1654, April 2013.

KIM, H. S. et al. High efficiency bidirectional LLC resonant converter for 380V DC power distribution system using digital control scheme. 2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Orlando, **Conference Publications...** FL, 2012, p. 532-538.

KOLAR, J. W.; ORTIZ, G. Solid State Transformer Concepts in Traction and Smart Grid Applications. (Seminário apresentado no Applied Power Electronic Conference (APEC)). **Conference Publications...** Long Beach, CA. 2013.

LISERRE, M. et al. Power routing in modular smart transformers: Active thermal control through uneven loading of cells. **IEEE Industrial Electronics Magazine**, v. 10, n. 3, p. 43-53, 2016.

MARXGUT, C.; BIELA, J.; KOLAR, J. W. Interleaved Triangular Current Mode (TCM) resonant transition, single phase PFC rectifier with high efficiency and high power density. The 2010 International Power Electronics Conference - ECCE ASIA -, Sapporo, **Conference Publications...** 2010, p. 1725-1732.

MCLYMAN, C. W. T. **Transformer and inductor design handbook**, third edition, California, CRC PRESS, 2004.

MUSAVI, F.; EBERLE, W.; DUNFORD, W. G. A high-performance single-phase bridgeless interleaved PFC converter for plug-in hybrid electric vehicle battery chargers. **IEEE Trans. Ind. Appl.**, v. 47, n. 4, p. 1833-1843, Jul./Aug. 2011.

OLIVEIRA, D. S. et al. A bidirectional single stage AC-DC converter with high frequency isolation feasible to DC distributed power systems. 10th IEEE/IAS International Conference on Industry Applications (INDUSCON), **Conference Publications...** 2012, p. 1-7.

OLIVEIRA, D. S. et al. A Single-Stage AC-DC Modular Cascaded Multilevel Converter Feasible to SST Applications. Proceedings of PCIM Europe, **Conference Publications...** 2015;

ORTMANN, M. S.; MUSSA, S. A.; HELDWEIN, M. L. Concepts for high efficiency single-phase three-level PWM rectifiers. IEEE Energy Conversion Congress and Exposition-ECCE, **Conference Publications...** p. 3768-3775, Sept. 2009.

PACHECO, J. O.; BRITO, F. J. B.; OLIVEIRA, D. S. Bidirectional AC-DC modular multilevel converter based on the three-state switching cell. 2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC), **Conference Publications...** Fortaleza, 2015, p. 1-5.

PRITCHARD, E.; GREGORY, D. C.; SRDIC, S. The DC Revolution. **IEEE Electification Magazine**, v. 4, n. 2, p. 4-9, June 2016.

QIAO, W. et al. Smart Transmission Grid: Vision and Framework. **IEEE Transactions on smart grid**, v. 1, n. 2, p. 168-177, Sept. 2010.

SANTOS, W. M.; MARTINS, D. C. Dual Active Bridge converter as gyrator. 2012 IEEE Third International Conference on Sustainable Energy Technologies (ICSET), Kathmandu, **Conference Publications...** 2012, p. 169-176.

SHE, X. et al. Design and Demonstration of a 3.6-kV–120-V/10-kVA Solid-State Transformer for Smart Grid Application. **IEEE Transactions on Power Electronics**, v. 29, n. 8, p. 3982-3996, Aug. 2014.

SILVA, R. N. A. L. **Inversor multinível híbrido simétrico trifásico de cinco níveis baseado nas topologias half-bridge e ANPC**. 2013. 125 f. Tese (Doutorado em Engenharia Elétrica) Departamento de Engenharia Elétrica, Universidade Federal do Ceará, Fortaleza, 2013.

SINGH, B. et al. Comprehensive Study of Single-Phase AC-DC Power Factor Corrected Converters With High-Frequency Isolation. **IEEE Transactions on Industrial Informatics**, v. 7, n. 4, p. 540-556, Nov. 2011.

SINGH, B. et al. A review of single-phase improved power quality ACDC converters. **IEEE Trans. on Industrial Electronics**, v. 50, n.5, p. 962- 981, Oct., 2003.

TELLEGEN, B. D. H.; **The gyrator, a new electric network element**, Philips Research Laboratories, the Netherlands, 1948.

TSAI-FU, W.; TE-HUNG, Y.; YUAN-CHUAN, L. An alternative approach to synthesizing single-stage converters with power-factor-correction feature. **IEEE Transactions on Industrial Electronics**, v. 46, n. 4, p. 734-748, Aug., 1999.

VANCU, F. et al. Comparative evaluation of bidirectional buck-type PFC converter systems for interfacing residential DC distribution systems to the smart grid. Proc. 38th Annu. Conf. IEEE Ind. Electron. (IECON), **Conference Publications...** Oct., 2012.

VENABLE, H. D. The k factor: a new mathematical tool for stability analysis and synthesis. Proc. Powercon 10. **Conference Publications...** 1983. San Diego, CA. p. H1-1 to H1-12

## APÊNDICE A – DIMENSIONAMENTO DOS MAGNÉTICOS

Conforme Mclyman (2014) o dimensionamento dos magnéticos é realizado através do índice  $A_p$  que pode ser calculado conforme equação (A.1).

$$A_p = A_c \cdot A_w \quad (\text{A.1})$$

Onde,  $A_c$  é a área da seção transversal do núcleo e  $A_w$  a área da janela do núcleo. O valor do índice  $A_p$  para indutores pode ser calculado através da equação (A.2).

$$A_{pL} = \frac{L \cdot I_{pico} \cdot I_{rms}}{B_{max} \cdot J_{max} \cdot k_u} \quad (\text{A.2})$$

Onde  $L$  é a indutância,  $I_{pico}$  o valor de pico da corrente,  $I_{rms}$  o valor eficaz da corrente,  $B_{max}$  a densidade de fluxo magnética máxima,  $J_{max}$  a densidade de corrente máxima nos condutores e  $k_u$  o fator de utilização do núcleo.

O número de espiras do indutor pode ser determinado através da equação (A.3).

$$N = \sqrt{\frac{L}{AL}} \quad (\text{A.3})$$

Onde  $AL$  é uma constante fornecida pelo fabricante do núcleo que relaciona a indutância com o número de espiras. Em alguns casos o núcleo pode apresentar uma queda de permeabilidade relativa em função da força magnetizante, devendo-se dessa maneira realizar diversas iterações para obtenção do número de espiras através da equação (A.4) e (A.5).

$$H_i = \frac{0,4 \cdot \pi \cdot N_i \cdot I_{pico}}{MPL} \quad (\text{A.4})$$

$$N_{i+1} = \sqrt{\frac{L}{X_i \cdot AL}} \quad (\text{A.5})$$

Onde,  $H_i$  é a força magnetizante,  $MPL$  o caminho magnético do núcleo e  $X_i$  é o percentual de permeabilidade magnética do núcleo com a força magnetizante  $H_i$ .

Para os transformadores o índice  $A_p$  pode ser calculado pela equação (A.6).

$$A_p = \frac{P_o \cdot \left(1 + \frac{1}{\eta}\right)}{2 \cdot k_u \cdot J_{max} \cdot \Delta B \cdot f_s} \quad (\text{A.6})$$

Onde  $P_o$  é a potência do transformador,  $\eta$  é o rendimento,  $\Delta B$  é a variação de densidade de fluxo magnético e  $f_s$  a frequência de chaveamento.

O número de espiras que cada bobina do transformador deve ter pode ser calculado pela equação (A.7).

$$N = \frac{V_o}{2 \cdot f_s \cdot A_c \cdot \Delta B} \quad (\text{A.7})$$

Onde  $V_o$  é a tensão no transformador. Por fim deve se ainda calcular a área da seção dos condutores. A mesma pode ser obtida através da equação (A.8).

$$A_{fio} = \frac{I_{rms}}{J_{max}} \quad (\text{A.8})$$

No caso dos transformadores, devido à grande variação de densidade de fluxo magnético pode ocorrer efeito pelicular. Dessa forma o diâmetro máximo que o condutor deve possuir é dado pela equação (A.9).

$$A_{max} = \frac{43,82 \cdot \pi}{f_s} \quad (\text{A.9})$$

O comprimento de fio necessário para o magnético pode ser obtido pela equação (A.10).

$$l_{fio} = MLT \cdot N \quad (\text{A.10})$$

Onde MLT é o comprimento médio de uma espira e pode ser calculado para núcleos toroidais através da equação (A.11).

$$MLT = 0,8 \cdot (D_{ext} + 2 \cdot h) \quad (\text{A.11})$$

Onde  $D_{ext}$  é o diâmetro externo do núcleo e  $h$  a altura.



## APÊNDICE B – CÓDIGO EM LINGUAGEM C UTILIZADO NO BLOCO DE CONTROLE DO PSIM

```

//Variáveis para o controle de corrente
static double eki, e1ki, e2ki, uki, u1ki, u2ki;
//Variáveis para o controle de magnetização
static double ekim, e1kim, e2kim, ukim, u1kim, u2kim;
//Variáveis para o controle da tensão de entrada
static double ekv, e1kv, e2kv, ukv, u1kv, u2kv;
//Variáveis para o controle de balanceamento dos capacitores
static double ekv2, e1kv2, e2kv2, ukv2, u1kv2, u2kv2;
//Variáveis para o controle da tensão de saída
static double ekvo, e1kvo, e2kvo, ukvo, u1kvo, u2kvo ;
//Referência de tensão
static double Vrefv = 3722.73;
//Referência de corrente
static double Vrefi;
//Referência de magnetização
static double Vrefim = 2048;

main{

// Malha da corrente de magnetização
// Cálculo do erro
// in[5] é a corrente de magnetização
ekim = Vrefim - in[5];

// Cálculo do sinal de controle
ukim=1.996*u1kim - 0.996*u2kim + 0.000000371*ekim +
0.000000000448*e1kim - 0.00000037*e2kim;

// Saturador
if(ukim >= 0.0025)
{
    ukim = 0.0025;
}
}

```

```
}  
if(ukim <= -0.0025)  
{  
    ukim = -0.0025;  
}  
  
// Atualização de variáveis  
u2kim = u1kim;  
u1kim = ukim;  
e2kim = e1kim;  
e1kim = ekim;  
  
// Malha da tensão de saída  
//Cálculo do erro  
//in[3] é a tensão de saída  
ekvo = Vrefv - in[3];  
  
// Cálculo de sinal de controle  
ukvo = 1.989*u1kvo - 0.9895*u2kvo + 0.00001717*ekvo +  
0.00000001513*e1kvo - 0.00001716*e2kvo;  
  
// Limitador para o sinal de controle  
if(ukvo > 1.5)  
{  
    ukvo = 1.5;  
}  
if(ukvo < -1.5)  
{  
    ukvo = -1.5;  
}  
  
// Atualização das variáveis de controle  
u2kvo = u1kvo;  
u1kvo = ukvo;
```

```
e2kvo = e1kvo;
e1kvo = ekvo;

//malha da tensão média do barramento CC de entrada
//Cálculo do erro
//in[0] é a tensão do barramento de entrada
ekv = Vrefv - in[0];

// Cálculo de sinal de controle
ukv = 1.997*u1kv - 0.997*u2kv + 0.000482*ekv + 0.0000001755*e1kv -
0.0004818*e2kv;

// Limitador para o sinal de controle
if(ukv > 2048)
{
    ukv = 2048;
}
if(ukv < -2048)
{
    ukv = -2048;
}

// Atualização das variáveis de controle
u2kv = u1kv;
u1kv = ukv;
e2kv = e1kv;
e1kv = ekv;

//Malha de equilíbrio dos capacitores
// Cálculo do erro
//in[2] é a tensão de um dos capacitores
ekv2 = 2*in[2] - in[0];

// Cálculo do sinal de controle
```

```

ukv2 = 1.999*u1kv2 - 0.999*u2kv2 + 0.0000313*ekv2 + 0.00000000522*e1kv2
- 0.0000313*e2kv2;

```

```

// Atualização das variáveis de controle

```

```

u2kv2 = u1kv2;

```

```

u1kv2 = ukv2;

```

```

e2kv2 = e1kv2;

```

```

e1kv2 = ekv2;

```

```

// PFC e corrente média

```

```

// Cálculo da referência da malha de corrente

```

```

//in[4] é a senoide em fase com a tensão de entrada

```

```

Vrefi = ukv*in[4]+ ukv2 + 2048;

```

```

// Cálculo do erro

```

```

eki = Vrefi - in[1];

```

```

// Cálculo do sinal de controle

```

```

uki = 1.38*u1ki - 0.38*u2ki + 0.0006756*eki + 0.00004221*e1ki -
0.0006334*e2ki;

```

```

// Limitador do sinal de controle

```

```

if(uki >= 2)

```

```

{

```

```

    uki = 2;

```

```

}

```

```

if(uki <= 0)

```

```

{

```

```

    uki = 0;

```

```

}

```

```

// Atualização das variáveis de controle

```

```

u2ki = u1ki;

```

```

u1ki = uki;

```

```
e2ki = e1ki;  
e1ki = eki;  
  
// Saídas para o bloco modulador  
out[0] = uki;    // moduladora  
out[1] = ukvo;  // defasagem  
out[2] = ukim;  // tmag  
  
}
```

## APÊNDICE C – CÓDIGO EM LINGUAGEM C UTILIZADO NO BLOCO MODULADOR DO PSIM

```

double Vdc = 200; // Barramento
double Vin; // tensão normalizada do primário
double Vin_sec; // tensão normalizada do secundário
double fs = 20000; // frequência de chaveamento
float Phir=0; // ângulo de phase shift
int t0,t0_mag, t0_mag_sec, t1, t0_sec, t1_sec; // tempos de alta e baixa
int i = 0, i_desl = 0; // variáveis auxiliares
int nstep; // iterações para obter um período
int cont1; // Variável auxiliar
int n = 1; // numero de modulos
double tmag, tmag_sec; // saída do controle de magnetização
int inicializador=1; // Variável auxiliar
int flag=0, flag_sec=0; // Variável auxiliar
int arg1, aux, aux_sec; // Variável auxiliar
int setor, setor_sec; // Setor do primário e do secundário
int Matriz_Vetores[2][2] = {
// Matriz de vetores do primário
    {3, 2},
    {3, 1},
};

int Matriz_Vet_secundario[2][2] = {
// Matriz de vetores do secundário
    {3, 2},
    {3, 1},
};

//saída_bit transforma o vetor em bits para o acionamento de cada braço do
//primário
void saida_bit(int arg1, double *out, int n, int setor)
{
    for(cont1 = 0; cont1 <2*n; cont1++)
    {
        if(arg1 == 1)
        {

```

```

        if (setor>0)
        {
            out[(2*n-1) - cont1] = 1;
            arg1 = 0;
        }
        else
        {
            out[(2*n-1) - cont1] = 0;
            arg1 = 0;
        }
    }
    else
    {
        if(setor>0)
        {
            out[(2*n-1) - cont1] = arg1%2;
            arg1 = arg1/2;
        }
        else
        {
            out[(2*n-1) - cont1] = 1 - arg1%2;
            arg1 = arg1/2;
        }
    }
}
}

//saída_bit_sec transforma o vetor em bits para o acionamento de cada braço do
//secundário
void saída_bit_sec(int arg1, double *out, int n, int setor) //saidas de 2 a 3
{
    for(cont1 = 0; cont1 < 2*n; cont1++)
    {
        if(arg1 == 1)
        {

```

```

        if (setor > 0)
        {
            out[(4*n - 1) - cont1] = 1;
            arg1 = 0;
        }
        else
        {
            out[(4*n - 1) - cont1] = 0;
            arg1 = 0;
        }
    }
    else
    {
        if(setor > 0)
        {
            out[(4*n - 1) - cont1] = arg1%2;
            arg1 = arg1/2;
        }
        else
        {
            out[(4*n - 1) - cont1] = 1 - arg1%2;
            arg1 = arg1/2;
        }
    }
}

// nstep é o número de passos de calculo em um período de chaveamento
nstep = 1/(fs*delt);

// ângulo de phase shift variando de 0 a 2*pi convertido em passos de cálculo

Phir = (in[1]+in[3])*nstep/(2*3.1415);
// inicializa as variáveis de contagem de de acordo com o ângulo de phase shift

```



```

if(inicializador)
{
    if(Phir>=0)
        i_desl =(nstep/2) - Phir;
    else
        i = (nstep/2) + Phir;
    inicializador=0;
}

// tempo de magnetização convertido em passos de calculo
tmag = in[2]*nstep;           //controle magnetizante primario
tmag_sec = in[2]*nstep;       //controle magnetizante secundario

// Normaliza tensao requerida pelo controle no primario
if(i == 0)
{
    Vin =in[0]-1;
}
// FIM Normaliza tensao requerida pelo controle no primário

// Normaliza tensao requerida pelo controle no secundario
if(i_desl == 0)
{
    Vin_sec =in[0]-1;
}
// FIM Normaliza tensao requerida pelo controle no secundário

// Seleciona setor no primario

if(Vin > 0)
{
    for(cont1 = 1; cont1 <= n; cont1++)
    {
        if (Vin >= (cont1-1) && Vin < cont1)

```

```
        {
            setor = cont1;
        }
    }
}
else
{
    for(cont1 = 1; cont1 <= n; cont1++)
    {
        if (Vin > (cont1*(-1)) && Vin <= (cont1 - 1)*(-1))
        {
            setor = -cont1;
        }
    }
}

// FIM Seleciona setor no primario

// Seleciona setor no secundario

if(Vin_sec > 0)
{
    for(cont1 = 1; cont1 <= n; cont1++)
    {
        if (Vin_sec >= (cont1-1) && Vin_sec < cont1)
        {
            setor_sec = cont1;
        }
    }
}
else
{
    for(cont1 = 1; cont1 <= n; cont1++)
    {
```

```

        if (Vin_sec > cont1*(-1) && Vin_sec <= (cont1 - 1)*(-1))
        {
            setor_sec = -cont1;
        }
    }
}

```

```
// FIM Seleciona setor no secundario
```

```
// Calcula t0 e t1 no primario
```

```
// t0 é metade de toff
```

```
t0 = (nstep/(4*n))*(abs(setor) - abs(Vin));
```

```
//Insero tempo para controle da corrente de magnetizacao
```

```
if (i==0)
```

```
{
```

```
    if( setor > 0)
```

```
    {
```

```
        if ( Matriz_Vetores[aux][abs(setor)] == 2 )
```

```
        {
```

```
            t0_mag = t0 - tmag;
```

```
        }
```

```
    else
```

```
    {
```

```
        t0_mag = t0;
```

```
    }
```

```
    }
```

```
else
```

```
{
```

```
    if ( Matriz_Vetores[aux][abs(setor)] == 2 )
```

```
    {
```

```
        t0_mag = t0 + tmag;
```

```
    }
```

```
else
```

```

        {
            t0_mag = t0;
        }
    }
}
// t1 é igual à ton
t1 = (nstep/(2*n) - t0 - t0_mag);

// FIM Calcula t0 e t1 no primario

// Calcula t0 e t1 no secundario

t0_sec = (nstep/(4*n))*(abs(setor_sec) - abs(Vin_sec));

//Insero tempo para controle da corrente de magnetizacao

if (i_desl==0)
{
    if( setor_sec > 0)
    {
        if ( Matriz_Vet_secundario[aux_sec][abs(setor_sec)] == 2 )
        {
            t0_mag_sec = t0_sec - tmag_sec;
        }
        else
        {
            t0_mag_sec = t0_sec;
        }
    }
    else
    {
        if ( Matriz_Vet_secundario[aux_sec][abs(setor_sec)] == 2 )
        {
            t0_mag_sec = t0_sec + tmag_sec;

```

```

        }
        else
        {
            t0_mag_sec = t0_sec;
        }
    }
}

t1_sec = (nstep/(2*n) - t0_sec - t0_mag_sec);

// FIM Calcula t0 e t1 no secundario

// Monta saida temporizada do primário

if ( i <= t0_mag )
{
    saida_bit(Matriz_Vetores[aux][abs(setor)],out,1,setor);
    if(flag == 0)
    {
        flag = 1;
    }
}
if (( i > t0_mag ) && ( i < t0_mag + t1 ))
{
    if(flag == 1)
    {
        aux++;
        if(aux == 2*n)
        {
            aux = 0;
        }
        flag = 0;
        //out[24] = flag;
    }
}

```

```

        saida_bit(Matriz_Vetores[aux][abs(setor)-1],out,1,setor);
    }
    if( i >= t0_mag + t1 )
    {
        saida_bit(Matriz_Vetores[aux][abs(setor)],out,1,setor);
    }

// FIM Monta saida temporizada primario
// Monta saída temporizada do secundário

if ( i_desl <= t0_mag_sec )
{
    saida_bit_sec(Matriz_Vet_secundario[aux_sec][abs(setor_sec)],out,1,setor_sec);
    if(flag_sec == 0)
    {
        flag_sec = 1;
    }
}
if(( i_desl > t0_mag_sec ) && ( i_desl < t0_mag_sec + t1_sec ))
{
    if(flag_sec == 1)
    {
        aux_sec++;
        if(aux_sec == 2*n)
        {
            aux_sec = 0;
        }
        flag_sec = 0;
    }
    saida_bit_sec(Matriz_Vet_secundario[aux_sec][abs(setor_sec)-
1],out,1,setor_sec);
}
if( i_desl >= t0_mag_sec + t1_sec )
{

```

```

saida_bit_sec(Matriz_Vet_secundario[aux_sec][abs(setor_sec)],out,1,setor_sec
);
}

// FIM Monta saida temporizada secundario

// Incremento dos contadores
if(Phir>=0)
{
    i++;
    if(i > abs(Phir))
    {
        i_desl = i - Phir;
    }
    else
    {
        i_desl++;
    }
}else
{
    i_desl++;
    if(i_desl > abs(Phir))
    {
        i = i_desl + Phir;
    }
    else
    {
        i++;
    }
}

// reset do i

if ( i >= nstep/(2*n)) //Reset do contador i

```

```
{
    i = 0;
}
// FIM reset do i

// reset do i_desl

if ( i_desl >= nstep/(2*n)) //Reset do contador i_desl
{
    i_desl = 0; //resseta i_desl
}

// FIM reset do i_desl
```



## APÊNDICE D – CÓDIGO EM LINGUAGEM C UTILIZADO NO DSP CPU1 PARA 1 MÓDULO

```

#include "F28x_Project.h"

// Declaração de Funções
void SetupTimers(void);
void Mod_Vetorial(void);

//Interrupções
interrupt void cpu_timer0_isr(void);
interrupt void cpu_timer1_isr(void);
interrupt void cpu_timer2_isr(void);

// Variáveis
Uint32 ui32CPU1fromCPU2_COM = 0;
Uint32 ui32CPU1fromCPU2_DATA = 0;
int32 tlow = 0, thigh = 100, tlow_sec = 0, thigh_sec = 0;
int32 Phir = 784;
Uint16 flag = 0, flag_sec = 0;
int16 setor, setor_sec,
Uint32 saida_pri;
Uint32 saida_sec;
Uint32 saida_final;
Uint32 Matriz_Vetores[2][2] = {
                                {514, 768,},
                                {260, 768,},
                                };
Uint32 Matriz_Vetores_not[2][2] = {
                                {260, 6,},
                                {514, 6,},
                                };
Uint32 Matriz_Vet_secundario[2][2] = {
                                {144, 192,},
                                {96, 192,},

```

```

};

Uint32 Matriz_Vet_secundario_not[2][2] = {
    {96, 48,},
    {144, 48,},
};

Uint16 arg1, aux, aux_sec, abs_setor,abs_setor_sec;
#define BT1 GpioDataRegs.GPDDAT.bit.GPIO121

void main(void)
{
// Inicialização do Sistema
    InitSysCtrl();
// Inicialização das GPIO
    EALLOW;
    GpioCtrlRegs.GPADIR.bit.GPIO31 = 1;
    GpioCtrlRegs.GPCMUX2.bit.GPIO82 = 0; //Pin 149 dock station.
    GpioCtrlRegs.GPCDIR.bit.GPIO82 = 1;
    GpioCtrlRegs.GPCMUX2.bit.GPIO92 = 0; //Pin 161 dock station.
    GpioCtrlRegs.GPCDIR.bit.GPIO92 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO0 = 0; //Pin 49 dock station.
    GpioCtrlRegs.GPADIR.bit.GPIO0 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO1 = 0; //Pin 51 dock station.
    GpioCtrlRegs.GPADIR.bit.GPIO1 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO2 = 0; //Pin 53 dock station.
    GpioCtrlRegs.GPADIR.bit.GPIO2 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO3 = 0; //Pin 55 dock station.
    GpioCtrlRegs.GPADIR.bit.GPIO3 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO4 = 0; //Pin 50 dock station.
    GpioCtrlRegs.GPADIR.bit.GPIO4 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO5 = 0; //Pin 52 dock station.
    GpioCtrlRegs.GPADIR.bit.GPIO5 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 0; //Pin 54 dock station.
    GpioCtrlRegs.GPADIR.bit.GPIO6 = 1;
    GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 0; //Pin 56 dock station.

```

```

GpioCtrlRegs.GPADIR.bit.GPIO7 = 1;
GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 0; //Pin 57 dock station.
GpioCtrlRegs.GPADIR.bit.GPIO8 = 1;
GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 0; //Pin 59 dock station.
GpioCtrlRegs.GPADIR.bit.GPIO9 = 1;
GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 0; //Pin 61 dock station.
GpioCtrlRegs.GPADIR.bit.GPIO10 = 1;
GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 0; //Pin 63 dock station.
GpioCtrlRegs.GPADIR.bit.GPIO11 = 1;
GpioCtrlRegs.GPBMUX1.bit.GPIO34 = 0; //Pin 86 dock station.
GpioCtrlRegs.GPBDIR.bit.GPIO34 = 1;
GpioCtrlRegs.GPBMUX1.bit.GPIO44 = 0; //Pin 90 dock station.
GpioCtrlRegs.GPBDIR.bit.GPIO44 = 1;
GpioCtrlRegs.GPBMUX1.bit.GPIO32 = 0; //Pin 85 dock station.
GpioCtrlRegs.GPBDIR.bit.GPIO32 = 1;
GpioCtrlRegs.GPBCSEL1.bit.GPIO32 = 2;
GpioCtrlRegs.GPBMUX1.bit.GPIO33 = 0; //Pin 87 dock station.
GpioCtrlRegs.GPBDIR.bit.GPIO33 = 1;
GpioCtrlRegs.GPDMUX2.bit.GPIO121 = 0; //Pin 166 dock station
GpioCtrlRegs.GPDDIR.bit.GPIO121 = 0;
EDIS;
GpioDataRegs.GPADAT.bit.GPIO31 = 1; // Turn off LED
// Limpa interrupções e inicializa PIE
DINT;
InitPieCtrl();
// Desabilita e limpa toda as flags de interrupção
IER = 0x0000;
IFR = 0x0000;
// Inicializa PIE
InitPieVectTable();
//Configuração das interrupções dos timers
SetupTimers();
IpcRegs.IPCCLR.all = 0xFFFFFFFF;

```

```

EALLOW;
DevCfgRegs.CPUSEL11.bit.ADC_A = 1; //libera ADC_A para CPU2
DevCfgRegs.CPUSEL11.bit.ADC_B = 1; //libera ADC_B para CPU2
DevCfgRegs.CPUSEL11.bit.ADC_C = 1; //libera ADC_C para CPU2
DevCfgRegs.CPUSEL11.bit.ADC_D = 1; //libera ADC_D para CPU2
EDIS;
// Habilita interrupções e eventos de debug
IER |= M_INT1;           // Enable group 1 interrupts
EINT;                   // Enable Global interrupt INTM
ERTM;                   // Enable Global realtime interrupt DBGM
// Espera CPU2
while (IpcRegs.IPCSTS.bit.IPC17 == 0) ;
IpcRegs.IPCACK.bit.IPC17 = 1;
//primeiro carregamento do timer 1 com tempo de baixa
Mod_Vetorial();
CpuTimer1Regs.PRD.all = tlow; //t0 pela primeira vez
CpuTimer2Regs.PRD.all = tlow; //t0 pela primeira vez
EALLOW;
IER |= M_INT13; //inicia contagem Timer 1
IER |= M_INT14; //inicia contagem Timer 2
EDIS;
BT1 = 0;
GpioDataRegs.GPADAT.all = 0;
DELAY_US(10000); // tempo para inicializar a planta.
//zerar os pinos não utilizados do drivers em um modulo.
GpioDataRegs.GPBCLEAR.bit.GPIO34 = 1;
GpioDataRegs.GPBCLEAR.bit.GPIO44 = 1;
// zerar braco de baixa frequencia
GpioDataRegs.GPACLEAR.bit.GPIO3 = 1;
GpioDataRegs.GPACLEAR.bit.GPIO0 = 1;
// main loop
while(1)
{
    GpioDataRegs.GPATOGGLE.bit.GPIO31 = 0; // pisca led da dock station

```

```

    saida_final = (saida_pri)|(saida_sec);
    GpioDataRegs.GPADAT.all = saida_final; //monta pinos do modulo
}
}
interrupt void cpu_timer0_isr(void)//FLAG 0
{
// monta flag_sec 0 para ajuste da defasagem
flag_sec = 1; // flag = 1; primeiro tempo de alta
CpuTimer2Regs.PRD.all = 2*thigh_sec;
CpuTimer2Regs.TCR.bit.TRB = 1;
if(setor>=0)
{
    if(Phir < 0)
    {
        saida_pri = Matriz_Vetores[0][abs_setor];//ALTO
    }
    else
    {
        saida_sec = Matriz_Vet_secundario[0][abs_setor];//ALTO
    }
}
else
{
    if(Phir < 0)
    {
        saida_pri = Matriz_Vetores_not[0][abs_setor];//ALTO
    }
    else
    {
        saida_sec = Matriz_Vet_secundario_not[0][abs_setor];//ALTO
    }
}
// valor alto para impedir um novo estouro até o necessário
CpuTimer0Regs.PRD.all = 10000;

```

```

CpuTimer0Regs.TCR.bit.TRB = 1;
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}
interrupt void cpu_timer1_isr(void)
{
//monta a tensão de está adiantada
    if(flag == 3)
    {
        flag++;
        CpuTimer1Regs.PRD.all = tlow;
        CpuTimer1Regs.TCR.bit.TRB = 1;
        if(setor>=0)
        {
            if(Phir >= 0)
            {
                saida_pri = Matriz_Vetores[0][abs_setor-1];
            }
            else
            {
                saida_sec = Matriz_Vet_secundario[0][abs_setor-1];
            }
        }
        else
        {
            if(Phir >= 0)
            {
                saida_pri = Matriz_Vetores_not[0][abs_setor-1];
            }
            else
            {
                saida_sec = Matriz_Vet_secundario_not[0][abs_setor-1];
            }
        }
    }
}

```

```
if(flag == 2)
{
    flag++; // flag = 3;
    CpuTimer1Regs.PRD.all = 2*thigh;
    CpuTimer1Regs.TCR.bit.TRB = 1;
    if(setor >= 0)
    {
        if(Phir >= 0)
        {
            saida_pri = Matriz_Vetores[1][abs_setor];
        }
        else
        {
            saida_sec = Matriz_Vet_secundario[1][abs_setor];
        }
    }
    else
    {
        if(Phir >= 0)
        {
            saida_pri = Matriz_Vetores_not[1][abs_setor];
        }
        else
        {
            saida_sec = Matriz_Vet_secundario_not[1][abs_setor];
        }
    }
    //GpioDataRegs.GPADAT.all = 0;
}
if(flag == 1)
{
    flag++;
    CpuTimer1Regs.PRD.all = tlow;
```

```

CpuTimer1Regs.TCR.bit.TRB = 1;
if(setor>=0)
{
    if(Phir >= 0)
    {
        saida_pri = Matriz_Vetores[1][abs_setor-1];
    }
    else
    {
        saida_sec = Matriz_Vet_secundario[1][abs_setor-1];
    }
}
else
{
    if(Phir >= 0)
    {
        saida_pri = Matriz_Vetores_not[1][abs_setor-1];
    }
    else
    {
        saida_sec = Matriz_Vet_secundario_not[1][abs_setor-1];
    }
}
}
if(flag == 0)
{
    Mod_Vetorial();
    flag++; // flag = 1;
    CpuTimer1Regs.PRD.all = 2*thigh;
    CpuTimer1Regs.TCR.bit.TRB = 1;
    CpuTimer0Regs.PRD.all = abs(Phir);
    CpuTimer0Regs.TCR.bit.TRB = 1;
    if(setor>=0)
    {

```



```
    if(Phir >= 0)
    {
        saida_pri = Matriz_Vetores[0][abs_setor];
    }
    else
    {
        saida_sec = Matriz_Vet_secundario[0][abs_setor];
    }
}
else
{
    if(Phir >= 0)
    {
        saida_pri = Matriz_Vetores_not[0][abs_setor];
    }
    else
    {
        saida_sec = Matriz_Vet_secundario_not[0][abs_setor];
    }
}
}
if(flag == 4)
{
    flag = 0;
}
}
interrupt void cpu_timer2_isr(void)
{
    if(flag_sec == 3)
    {
        flag_sec++;
// carrega tempo alto para aguardar estouro do timer 0 e ajustar defasagem
        CpuTimer2Regs.PRD.all = 4850;
        CpuTimer2Regs.TCR.bit.TRB = 1;
```

```
if(setor>=0)
{
    if(Phir < 0)
    {
        saida_pri = Matriz_Vetores[0][abs_setor-1];
    }
    else
    {
        saida_sec = Matriz_Vet_secundario[0][abs_setor-1];
    }
}
else
{
    if(Phir < 0)
    {
        saida_pri = Matriz_Vetores_not[0][abs_setor-1];
    }
    else
    {
        saida_sec = Matriz_Vet_secundario_not[0][abs_setor-1];
    }
}
}
if(flag_sec == 2)
{
    flag_sec++;
    CpuTimer2Regs.PRD.all = 2*thigh_sec;
    CpuTimer2Regs.TCR.bit.TRB = 1;
    if(setor>=0)
    {
        if(Phir < 0)
        {
            saida_pri = Matriz_Vetores[1][abs_setor];
        }
    }
}
```

```
else
{
    saida_sec = Matriz_Vet_secundario[1][abs_setor];
}
}
else
{
    if(Phir < 0)
    {
        saida_pri = Matriz_Vetores_not[1][abs_setor];
    }
    else
    {
        saida_sec = Matriz_Vet_secundario_not[1][abs_setor];
    }
}
}
if(flag_sec == 1)
{
    flag_sec++;
    CpuTimer2Regs.PRD.all = tlow_sec;
    CpuTimer2Regs.TCR.bit.TRB = 1;
    if(setor >= 0)
    {
        if(Phir < 0)
        {
            saida_pri = Matriz_Vetores[1][abs_setor-1];
        }
        else
        {
            saida_sec = Matriz_Vet_secundario[1][abs_setor-1];
        }
    }
}
else
```

```
{
  if(Phir < 0)
  {
    saida_pri = Matriz_Vetores_not[1][abs_setor-1];
  }
  else
  {
    saida_sec = Matriz_Vet_secundario_not[1][abs_setor-1];
  }
}
}
if(flag_sec == 0)
{
  Mod_Vetorial();
  flag_sec++; // flag = 1;
  CpuTimer2Regs.PRD.all = 2*thigh_sec;
  CpuTimer2Regs.TCR.bit.TRB = 1;
  if(setor>=0)
  {
    if(Phir < 0)
    {
      saida_pri = Matriz_Vetores[0][abs_setor];
    }
    else
    {
      saida_sec = Matriz_Vet_secundario[0][abs_setor];
    }
  }
  else
  {
    if(Phir < 0)
    {
      saida_pri = Matriz_Vetores_not[0][abs_setor];
    }
  }
}
```

```

        else
        {
            saida_sec = Matriz_Vet_secundario_not[0][abs_setor];
        }
    }
}
if(flag_sec == 4)
{
    flag_sec = 0;
}
}
void SetupTimers(void)
{
    CpuTimer0Regs.TCR.all = 0x4C00;
    CpuTimer1Regs.TCR.all = 0x4C00;
    CpuTimer2Regs.TCR.all = 0x4C00;
    //Configuração das interrupções dos timers
    DINT;
    PieCtrlRegs.PIECTRL.bit.ENPIE = 1;
    EALLOW;
    PieVectTable.TIMER0_INT = &cpu_timer0_isr;
    PieVectTable.TIMER1_INT = &cpu_timer1_isr;
    PieVectTable.TIMER2_INT = &cpu_timer2_isr;
    PieCtrlRegs.PIEIER1.bit.INTx7 = 1;
    IER |= M_INT1; // Timer 0 //step5
    EDIS;
}
void Mod_Vetorial(void)
{
    ui32CPU1fromCPU2_COM = IpcRegs.IPCRECVCOM;
    setor = ui32CPU1fromCPU2_COM-4;
    abs_setor = abs(setor);
    thigh = IpcRegs.IPCRECVADDR;
    tlow = 4850 - 2*thigh; //tlow = Ts/2 - 2*thigh

```

```
Phir = IpcRegs.IPCRECVDATA;  
setor_sec = setor;  
abs_setor_sec = abs(setor_sec);  
thigh_sec = thigh;  
tlow_sec = tlow;  
}  
// end of file
```

## APÊNDICE E – CÓDIGO EM LINGUAGEM C UTILIZADO NO DSP CPU2 PARA 1 MÓDULO

```
#include "F28x_Project.h"
#include "Math.h"

// Declaração de funções
void SetupTimers(void);
void SetupADC(void);

// Interruptions
interrupt void cpu_timer1_isr(void);

// Declaração de variáveis
int32 aux_imag = 0;
int32 flag_TESTE_MAG_cpu2 = 0;
float32 Ipico = 1;
// Modulacao Vetorial
int32 i32tlow = 0;
int32 i32thigh = 0;
int32 i32Setor = 0;
int32 abs_i32Setor = 0;
int32 i32CPU2toCPU1_COM = 0;
int16 i16Cont1 = 0;
//Controle Feedforward
float32 f32Vfeed = 1;
float32 f32uk_feed = 0;
int16 i16Vfeed_DA;
//Controle Phase-Shift
int16 i16Vout = 0;
int32 i32_vout = 0;
float32 f32uk_vout_ref = 940;
float32 f32uk_vout = 0;
float32 f32u1k_vout = 0;
float32 f32ek_vout = 0;
```

```
float32 f32e1k_vout = 0;
float32 f32e2k_vout = 0;
float32 f32u2k_vout = 0;
//Controle Barramento
int16 i16Vcc_mod3;
int16 i16Vcc_mod2;
int16 i16Vcc_mod1;
float32 f32Vcc_mod1;
float32 f32uk_vdc_ref = 940;
float32 f32uk_vdc = 0;
float32 f32u1k_vdc = 0;
float32 f32uk_vdc_1 = 0;
float32 f32uk_vdc_2 = 0;
float32 f32ek_vdc = 0;
float32 f32e1k_vdc = 0;
float32 f32e2k_vdc = 0;
float32 f32u2k_vdc = 0;
//Controle Balanceamento
int16 i16Vcap_mod1;
float32 f32u1k_vcap = 0;
float32 f32uk_vcap = 0;
float32 f32ek_vcap = 0;
float32 f32e1k_vcap = 0;
float32 f32e2k_vcap = 0;
float32 f32u2k_vcap = 0;
//Controle Iin
int16 Delta_Iin = 0;
int16 i16Iin;
float32 f32rf = 0;
float32 f32rf_ant = 0;
float32 f32ek_i = 0;
float32 f32e1k_i = 0;
float32 f32uk_i = 0;
float32 f32u1k_i = 0;
```



```
float32 f32e2k_i = 0;
float32 f32u2k_i = 0;
//Controle Imag
//mod3
int16 i16Imag_mod3 = 0;
int16 i16Imag_mod3_sec = 0;
//mod2
int16 i16Imag_mod2 = 0;
int16 i16Imag_mod2_sec = 0;
//mod1
int16 i16Imag_mod1_sec = 0;
int16 i16Imag_mod1;
int16 Delta_Imag_mod1 = -213;
int32 i32tmag_mod1 = 0;
float32 f32imag_ref_mod1 = 2048;
float32 f32rf_imag_mod1 = 0;
float32 f32rf_imag_ant_mod1 = 0;
float32 f32ek_imag_mod1 = 0;
float32 f32e1k_imag_mod1 = 0;
float32 f32e2k_imag_mod1 = 0;
float32 f32uk_imag_mod1 = 0;
float32 f32u1k_imag_mod1 = 0;
float32 f32u2k_imag_mod1 = 0;
// PLL Monofásico
Uint16 i = 0;
Uint16 ui16sinTheta = 0;
Uint16 ui16sinTheta_180 = 0;
Uint16 ui16CtrlRef = 0;
Uint32 ui16CtrlAmostragemRef = 0;
int16 i16Vgrid;
int16 i16Vgrid_media = 0;
int16 i16Vgrid_zero = 0;
int16 i16Vgrid_alfa = 0;
int16 i16Vgrid_beta = 0;
```

```

float32 f32Valfa, f32Vbeta, buffer[250],f32Vgrid;
float32 f32Theta, f32Theta0 = 0;
float32 Ki_PLL = 0.00248;//0.005617
float32 PI_PLL[2] = {169.68,0.24};
float32 CONTROL_PLL[4] = {0,0,0,0};
float32 OUTPUT_PLL = 0;
float32 u = 0;
float32 f32Vin = 0;
float32 abs_f32Vin = 0;
float32 f32SenoRef = 0;
float32 f32Vgrid_aj = 0;

```

```
//DAC
```

```

int16 i16MOD_Vin = 0;
int16 i16Theta = 0;
Uint16 ui16Setor = 0;
Uint16 ui16t0 = 0;
Uint16 ui16t1 = 0;
Uint16 ui16teste_controle = 0;

```

```

volatile          struct          DAC_REGS*          DAC_PTR[4]          =
{0x0,&DacaRegs,&DacbRegs,&DaccRegs}; // DAC

```

```

void main(void)
{
// Inicializa Sistema
  InitSysCtrl();

// Limpa interrupções e inicializa PIE
  DINT;
  InitPieCtrl();

// Desabilita interrupções e limpa flag
  IER = 0x0000;

```

```
IFR = 0x0000;

// Inicializa PIE

InitPieVectTable();

// Setup Timer

SetupTimers();

// Ativa os ADs

EALLOW;
CpuSysRegs.PCLKCR13.bit.ADC_A = 1;
CpuSysRegs.PCLKCR13.bit.ADC_B = 1;
CpuSysRegs.PCLKCR13.bit.ADC_C = 1;
CpuSysRegs.PCLKCR13.bit.ADC_D = 1;
EDIS;
SetupADC();

// Habilita interrupções e eventos de debug:
IER |= M_INT1;
EINT;
ERTM;

// Informa à CPU1 que CPU2 está pronta
IpcRegs.IPCSET.bit.IPC17 = 1;

while(1)
{
    ;
}
}
```

```

interrupt void cpu_timer1_isr(void)
{
//Leituras dos ADs
    // ADC-A0 (MAGNETIZACAO MOD2_PRI)
    i16Imag_mod3 = AdcaResultRegs.ADCRESULT0; //AD-A0 pin 9
    // ADC-A1 (VCC_PRI MOD2)
    i16Vcc_mod3 = AdcaResultRegs.ADCRESULT1; //AD-A1 pin 11
    // ADC-A2 (MAGNETIZACAO MOD2_SEC)
    i16Imag_mod3_sec = AdcaResultRegs.ADCRESULT2; //AD-A0 pin 15
    // ADC-B0 (MAGNETIZACAO MOD2_PRI)
    i16Imag_mod2 = AdcbResultRegs.ADCRESULT0; //AD-B0 pin 12
    // ADC-B1 (VCC_PRI MOD2)
    i16Vcc_mod2 = AdcbResultRegs.ADCRESULT1; //AD-B1 pin 14
    // ADC-B2 (MAGNETIZACAO MOD2_SEC)
    i16Imag_mod2_sec = AdcbResultRegs.ADCRESULT2; //AD-B0 pin 12
    // ADC-C2 (VCC_PRI MOD1) //AD-C2 pin 31
    i16Vcc_mod1 = AdccResultRegs.ADCRESULT0; //AD-C3 pin 33
    // ADC-C4 (MAGNETIZACAO MOD3_SEC)
    //i16Imag_mod1 = AdccResultRegs.ADCRESULT1; //AD-C4 pin 37
    // ADC-C5 (MAGNETIZACAO MOD1_PRI)
    i16Imag_mod1 = AdccResultRegs.ADCRESULT2; //AD-C5 pin 39
    i16Imag_mod1 = i16Imag_mod1 + Delta_Imag_mod1;
    // ADC-D0 (VOUT_SEC)
    i16Vout = AdcdResultRegs.ADCRESULT2; //AD-D0 pin 28
    // ADC-D1 (Iin_AC)
    i16Iin = AdcdResultRegs.ADCRESULT0; //AD-D1 pin 30
    i16Iin = i16Iin + Delta_Iin;
    //ADC-D2 (Vin_PLL)
    i16Vgrid = AdcdResultRegs.ADCRESULT1; //AD-D2 pin 34
    // ADC-D2
    i16Vgrid = AdcdResultRegs.ADCRESULT1; //AD-D2 pin 34

//PLL
    f32Vgrid_aj = (i16Vgrid - 2048)*0.000806;

```

```

f32Valfa = f32Vgrid_aj; //Valfa
buffer[i] = f32Valfa; //guarda valores de Valfa no buffer
if(i<249)
{
    //i16Vgrid_beta = buffer_int[i+1]; //Vbeta_int
    f32Vbeta = buffer[i+1]; //Vbeta
    i++;
}
if(i == 249)
{
    //i16Vgrid_beta = buffer_int[0];
    f32Vbeta = buffer[0];
    i = 0;
}
i16Vgrid_beta = (int)(f32Vbeta*1163 + 2048);
//Integrador com reset
u = OUTPUT_PLL;
f32Theta = Ki_PLL*u;
f32Theta = f32Theta + f32Theta0;
if (f32Theta < 0)    f32Theta = f32Theta + 6.2831853;
if (f32Theta > 6.2831853)f32Theta = f32Theta - 6.2831853;
f32Theta0 = f32Theta;
CONTROL_PLL[0] = __sin(f32Theta)*f32Vbeta + __cos(f32Theta)*f32Valfa;
OUTPUT_PLL = 0;
CONTROL_PLL[1] = PI_PLL[0]*CONTROL_PLL[0]; // proporcional
// integral
CONTROL_PLL[2] = PI_PLL[1]*CONTROL_PLL[0] + CONTROL_PLL[3];
CONTROL_PLL[3] = CONTROL_PLL[2]; // ação integral atrasada
OUTPUT_PLL = CONTROL_PLL[1] + CONTROL_PLL[2];
if (OUTPUT_PLL > 3.3) OUTPUT_PLL = 3.3;
if (OUTPUT_PLL < 2.5) OUTPUT_PLL = 2.5;
ui16sinTheta = (int)(__sin(f32Theta)*2048 + 2048);
ui16sinTheta_180 = (int)(__sin(f32Theta + 3.14159265)*2048 + 2048);

```

```

//Malha da tensão de saída
f32uk_vout_ref = f32uk_vdc_ref;
f32ek_vout = f32uk_vout_ref - (float32)i16Vout;// erro
f32uk_vout = 1.989*f32u1k_vout - 0.989*f32u2k_vout +
0.00001717*f32ek_vout + 0.00000001513*f32e1k_vout - 0.00001716*f32e2k_vout;
if (f32uk_vout >= 0)
{
if(f32uk_vout > 2000)
{
f32uk_vout = 2000;
}
}
if (f32uk_vout < 0)
{
if(f32uk_vout < -2000)
{
f32uk_vout = -2000;
}
}
f32e2k_vout = f32e1k_vout;
f32e1k_vout = f32ek_vout;
f32u2k_vout = f32u1k_vout;
f32u1k_vout = f32uk_vout;

// Malha da tensão do barramento primário
f32ek_vdc = (float32)i16Vcc_mod1 - f32uk_vdc_ref;// erro
f32uk_vdc = 1.997*f32u1k_vdc - 0.997*f32u2k_vdc + 0.000482*f32ek_vdc +
0.0000001755*f32e1k_vdc - 0.0004818*f32e2k_vdc;
if(f32uk_vdc < -380)
{
f32uk_vdc = -380;
}

```

```

if(f32uk_vdc > 380)
{
    f32uk_vdc = 380;
}
f32e2k_vdc = f32e1k_vdc;
f32e1k_vdc = f32ek_vdc;
f32u2k_vdc = f32u1k_vdc;
f32u1k_vdc = f32uk_vdc;

// Malha de balanceamento
i16Vcap_mod1 = i16Imag_mod2;
f32ek_vcap = -2*(float32)i16Vcap_mod1 + (float32)i16Vcc_mod1;erro
f32uk_vcap = 1.999*f32u1k_vcap - 0.999*f32u2k_vcap +
0.00003126*f32ek_vcap + 0.000000005221*f32e1k_vcap - 0.00003126*f32e2k_vcap;
if(f32uk_vcap > 100) //loop control limiter
{
    f32uk_vcap = 100;
}
if(f32uk_vcap < -100)
{
    f32uk_vcap = -100;
}
f32e2k_vcap = f32e1k_vcap;
f32e1k_vcap = f32ek_vcap;
f32u2k_vcap = f32u1k_vcap;
f32u1k_vcap = f32uk_vcap;

//malha de corrente
f32uk_vdc_1 = f32uk_vdc*__sin(f32Theta) + f32uk_vcap;
f32uk_vdc_2 = (f32uk_vdc_1 + 2048);
f32ek_i = f32uk_vdc_2 - (float32)i16Iin;// erro
f32uk_i = 1.38*f32u1k_i - 0.38*f32u2k_i + 0.0006756*f32ek_i +
0.00004221*f32e1k_i - 0.0006334*f32e2k_i;
if(f32uk_i > 1)

```

```

    {
        f32uk_i = 0.99;
    }
    if(f32uk_i < -1)
    {
        f32uk_i = -0.99;
    }
    f32e2k_i = f32e1k_i;
    f32e1k_i = f32ek_i;
    f32u2k_i = f32u1k_i;
    f32u1k_i = f32uk_i;

//FeedForward
    f32Vgrid = (float)(0.152*i16Vgrid - 311);
    f32uk_feed = f32Vfeed*(f32Vgrid/400);
    i16Vfeed_DA = f32uk_feed*539 + 2048;
    f32Vin = f32uk_i + f32uk_feed;

//Cálculo das variáveis para a CPU1
    if(f32Vin >= 1)
    {
        f32Vin = 0.99;
    }
    if(f32Vin < -1)
    {
        f32Vin = -0.99;
    }
//Seleciona Setor
    if(f32Vin > 0)
    {
        for(i16Cont1 = 1; i16Cont1 <= 1; i16Cont1++)
        {
            if((f32Vin >= (i16Cont1-1)) && (f32Vin <= i16Cont1))
            {

```



```

        i32Setor = i16Cont1;
    }
}
else
{
    for(i16Cont1 = -1; i16Cont1 <= -1; i16Cont1++)
    {
        if((f32Vin >= i16Cont1) && (f32Vin <= (i16Cont1+1)))
        {
            i32Setor = i16Cont1;
        }
    }
}
abs_i32Setor = abs(i32Setor);
i16MOD_Vin = f32Vin*539 + 2048;//DAC: MODULADORA de 1024 a 3072

// Tempos de alta e de baixa
if(f32Vin<0)
{
    f32Vin = f32Vin*(-1.0);
}
i32thigh = (1 - abs_i32Setor + f32Vin)*(2425);
if(i32thigh > 2365)
{
    i32thigh = 2365;
}
if(i32thigh < 120)
{
    i32thigh = 120;
}
i32tlow = 4850 - 2*i32thigh;

// Angulo Phir

```

```

i32_vout = (int)(f32uk_vout);
IpcRegs.IPCSENDADATA = i32_vout;

//eliminar ruidos no setor
if((i32Setor >= -1) && (i32Setor <= 1))
{
    i32CPU2toCPU1_COM = (i32Setor);
    IpcRegs.IPCSENDACOM = i32CPU2toCPU1_COM + 4;
}
IpcRegs.IPCSENDADDR = i32thigh;

ui16Setor = 1012*i32Setor+2025;
ui16t0 = 0.41*i32tlow;
ui16t1 = 0.41*i32thigh;
i16Theta = (f32Theta*4096)/6.28;
ui16teste_controle = 2.92*f32uk_vdc + 2048;

DAC_PTR[1]->DACVALS.all = i16MOD_Vin;
DELAY_US(2);
DAC_PTR[2]->DACVALS.all = i16Iin;
DELAY_US(2);
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}

void SetupTimers(void)
{
    CpuTimer1Regs.PRD.all = 3334; //16.6667us => 60 kHz
    CpuTimer1Regs.TCR.all = 0x4C00;

    //Configuração das interrupções dos timers,
    DINT;
    PieCtrlRegs.PIECTRL.bit.ENPIE = 1;
    EALLOW;
    PieVectTable.TIMER1_INT = &cpu_timer1_isr;

```

```

IER |= M_INT13; //Timer 1
EDIS;
}

void SetupADC(void)
{
    EALLOW;
    //Configuração das leituras dos ADs
    //ADC-A
    AdcaRegs.ADCCTL2.bit.PRESCALE = 6; //set ADCCLK divider to /4
    //ADC-B
    AdcbRegs.ADCCTL2.bit.PRESCALE = 6; //set ADCCLK divider to /4
    //ADC-C
    AdccRegs.ADCCTL2.bit.PRESCALE = 6; //set ADCCLK divider to /4
    //ADC-D
    AdcdRegs.ADCCTL2.bit.PRESCALE = 6; //set ADCCLK divider to /4
    //ADC-A
    AdcaRegs.ADCCTL2.bit.RESOLUTION = 0; //12 bits
    AdcaRegs.ADCCTL2.bit.SIGNALMODE = 0; //Single-ended
    AdcaRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //offset na leitura AD (offset = 0)
    //ADC-B
    AdcbRegs.ADCCTL2.bit.RESOLUTION = 0; //12 bits
    AdcbRegs.ADCCTL2.bit.SIGNALMODE = 0; //Single-ended
    AdcbRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //offset na leitura AD (offset =
0)
    //ADC-C
    AdccRegs.ADCCTL2.bit.RESOLUTION = 0; //12 bits
    AdccRegs.ADCCTL2.bit.SIGNALMODE = 0; //Single-ended
    AdccRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //offset na leitura AD (offset = 0)
    //ADC-D
    AdcdRegs.ADCCTL2.bit.RESOLUTION = 0; //12 bits
    AdcdRegs.ADCCTL2.bit.SIGNALMODE = 0; //Single-ended
    AdcdRegs.ADCOFFTRIM.bit.OFFTRIM = 0; //offset na leitura AD (offset =
0)

```

```

//Set pulse positions to late
//ADC-A
AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;
//ADC-B
AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1;
//ADC-C
AdccRegs.ADCCTL1.bit.INTPULSEPOS = 1;
//ADC-D
AdcdRegs.ADCCTL1.bit.INTPULSEPOS = 1;
//power up the ADCs
//ADC-A
AdcaRegs.ADCCTL1.bit.ADCPWDNZ = 1; //ligar Analog circuit (AD)
//ADC-B
AdcbRegs.ADCCTL1.bit.ADCPWDNZ = 1; //ligar Analog circuit (AD)
//ADC-C
AdccRegs.ADCCTL1.bit.ADCPWDNZ = 1; //ligar Analog circuit (AD)
//ADC-D
AdcdRegs.ADCCTL1.bit.ADCPWDNZ = 1; //ligar Analog circuit (AD)
EDIS;
DELAY_US(2000);
EALLOW;
//Configuração ADC-A
//ADC-A0 (MAGNETIZACAO MOD3_PRI)
AdcaRegs.ADCSOC0CTL.bit.CHSEL = 0;
AdcaRegs.ADCSOC0CTL.bit.ACQPS = 28;
AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 30;
//ADC-A1 (VCC_PRI MOD3)
AdcaRegs.ADCSOC1CTL.bit.CHSEL = 1;
AdcaRegs.ADCSOC1CTL.bit.ACQPS = 28;
AdcaRegs.ADCSOC1CTL.bit.TRIGSEL = 30;
//ADC-A2 (MAGNETIZACAO MOD3_PRI)
AdcaRegs.ADCSOC2CTL.bit.CHSEL = 2;
AdcaRegs.ADCSOC2CTL.bit.ACQPS = 28;

```

```

AdcaRegs.ADCSOC2CTL.bit.TRIGSEL = 30;
//Configuração ADC-B
//ADC-B0 (MAGNETIZACAO MOD2_PRI)
AdcbRegs.ADCSOC0CTL.bit.CHSEL = 0;
AdcbRegs.ADCSOC0CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC0CTL.bit.TRIGSEL = 30;
//ADC-B1 - (VCC_PRI MOD2)
AdcbRegs.ADCSOC1CTL.bit.CHSEL = 1;
AdcbRegs.ADCSOC1CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC1CTL.bit.TRIGSEL = 30;
//ADC-B2 (MAGNETIZACAO MOD2_SEC)
AdcbRegs.ADCSOC2CTL.bit.CHSEL = 2;
AdcbRegs.ADCSOC2CTL.bit.ACQPS = 28;
AdcbRegs.ADCSOC2CTL.bit.TRIGSEL = 30;
//Configuração ADC-C
//ADC-C2 (VCC_PRI MOD1)
AdccRegs.ADCSOC0CTL.bit.CHSEL = 2;
AdccRegs.ADCSOC0CTL.bit.ACQPS = 28;
AdccRegs.ADCSOC0CTL.bit.TRIGSEL = 30;
//ADC-C3 (VCC_PRI MOD1)
//AdccRegs.ADCSOC0CTL.bit.CHSEL = 3;
//AdccRegs.ADCSOC0CTL.bit.ACQPS = 28;
//AdccRegs.ADCSOC0CTL.bit.TRIGSEL = 30;
//ADC-C4 (MAGNETIZACAO MOD3_SEC)
AdccRegs.ADCSOC1CTL.bit.CHSEL = 4;
AdccRegs.ADCSOC1CTL.bit.ACQPS = 28;
AdccRegs.ADCSOC1CTL.bit.TRIGSEL = 30;
//ADC-C5 (MAGNETIZACAO MOD1_PRI)
AdccRegs.ADCSOC2CTL.bit.CHSEL = 5;
AdccRegs.ADCSOC2CTL.bit.ACQPS = 28;
AdccRegs.ADCSOC2CTL.bit.TRIGSEL = 30;
//Configuração ADC-D
//ADC-D0 (VOUT_SEC)
AdcdRegs.ADCSOC2CTL.bit.CHSEL = 0;

```

```
AdcdRegs.ADCSOC2CTL.bit.ACQPS = 28;
AdcdRegs.ADCSOC2CTL.bit.TRIGSEL = 30;
//ADC-D1 (Iin_AC)
AdcdRegs.ADCSOC0CTL.bit.CHSEL = 1;
AdcdRegs.ADCSOC0CTL.bit.ACQPS = 28;
AdcdRegs.ADCSOC0CTL.bit.TRIGSEL = 30;
//ADC-D2 (Vin_PLL)
AdcdRegs.ADCSOC1CTL.bit.CHSEL = 2;
AdcdRegs.ADCSOC1CTL.bit.ACQPS = 28;
AdcdRegs.ADCSOC1CTL.bit.TRIGSEL = 30;
EDIS;
}
```