

**UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**



**TÉCNICA DE MODULAÇÃO APLICADA ÀS ESTRUTURAS
DE INVERSORES MULTINÍVEIS COM NEUTRO GRAMPE-
ADO E CAPACITOR FLUTUANTE PARA REDUÇÃO DE
PERDAS E DISTORÇÃO HARMÔNICA**

Gustavo Alves de Lima Henn

Fortaleza
Abril de 2012

GUSTAVO ALVES DE LIMA HENN

**TÉCNICA DE MODULAÇÃO APLICADA ÀS ESTRUTURAS
DE INVERSORES MULTINÍVEIS COM NEUTRO GRAMPE-
ADO E CAPACITOR FLUTUANTE PARA REDUÇÃO DE
PERDAS E DISTORÇÃO HARMÔNICA**

Tese submetida à Universidade Federal do Ceará como parte dos requisitos para obtenção do grau de Doutor em Engenharia Elétrica.

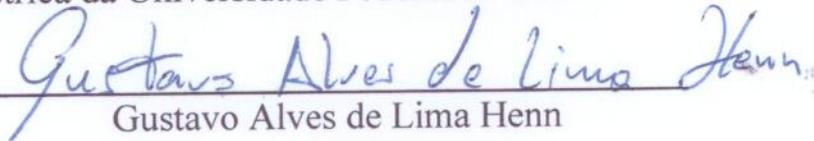
Orientador: Prof. Dr. Luiz Henrique Silva Colado Barreto

Co-Orientador: Prof. Dr. Edison Roberto Cabral da Silva

Gustavo Alves de Lima Henn

Técnica de Modulação Aplicada às Estruturas de Inversores Multiníveis com Neutro Grampeado e Capacitor Flutuante para Redução de Perdas e Distorção Harmônica

Esta Tese foi julgada adequada para a obtenção de título de Doutor em Engenharia Elétrica, Área de Concentração em Eletrônica de Potência e Acionamentos, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará.


Gustavo Alves de Lima Henn

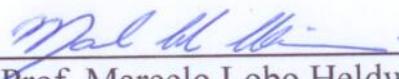
Orientador:


Prof. Luiz Henrique Silva Colado Barreto, Dr.

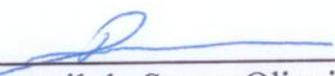
Banca Examinadora:


Prof. Edison Roberto Cabral da Silva, Dr.


Prof. Ricardo Lúcio de Araújo Ribeiro, Dr.


Prof. Marcelo Lobo Heldwein, Dr.


Prof. Fernando Luiz Marcelo Antunes, PhD.


Prof. Demercil de Souza Oliveira Júnior, Dr.

Fortaleza, 30 de abril de 2012

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca de Pós-Graduação em Engenharia - BPGE

-
- K442t Henn, Gustavo Alves de Lima.
Técnicas de modulação aplicada às estruturas de multiníveis com neutro grampeado e capacitor flutuante para redução de perdas e distorção harmônica / Gustavo Alves de Lima Henn – 2012.
126 f. : il. color., enc. ; 30 cm.
- Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2012
Área de Concentração: Eletrônica de Potência e Acionamentos de Máquinas.
Orientação: Prof. Dr. Luiz Henrique Silva Colado Barreto.
Co orientação: Prof. Dr. Edison Roberto Cabral da Silva
1. Engenharia Elétrica. 2. Eletrônica de potência. 3. Comunicações digitais. I. Título.

“De nada serve ser luz se não iluminar o caminho dos demais.”
(Walt Disney)

*A Deus,
Aos meus pais, Aquilles e Norma,
Aos meus irmãos, Emanuel e Guilherme.*

AGRADECIMENTOS

Ao professor Dr. Luiz Henrique Silva Colado Barreto, pela orientação e amizade ao longo desses anos, procurando sempre extrair o melhor de mim, mas nunca deixando de lado um cuidado paternal.

Ao professor Dr. Edison Roberto Cabral da Silva, co-orientador deste trabalho, com quem tive o imenso privilégio de conviver e, principalmente, aprender. Cada momento foi valiosíssimo e levarei seus ensinamentos comigo onde for.

Aos professores do Departamento de Engenharia Elétrica, em especial aos professores Dr. Fernando Luiz Marcelo Antunes e Dr. Demercil Souza Oliveira Jr., que foram essenciais para minha formação acadêmica, especialmente nos difíceis anos de pós-graduação.

A todos os funcionários do Departamento, em especial a: Gleidson, Mário Sérgio, Pedro, Rafael e Dona Socorro, sempre muito solícitos, com quem construí, ao longo dos anos, fortes relações de amizade, carinho e respeito.

A todos os amigos do GPEC, GPAR, e LAMOTRIZ, em especial a: Paulo, Ranoyca, Davi Joca, Raphael Amaral, Victor Aguiar, Toim, Bruno, Hermínio, Fabíola, Elmano, Bebel, André, Serginho, Éber, Vandilberto, e Wilkley. Vocês todos fizeram e fazem meu dia-a-dia muito mais especial, pessoas com quem posso trocar experiências e aprender sempre, seja no âmbito profissional, seja no pessoal.

A todos os meus amigos, da escola, da igreja, da vida, que são tantos (graças a Deus), a ponto de não ser possível nomeá-los um a um. Sem vocês minha vida não teria a menor graça, e eu certamente não seria capaz de chegar até aqui.

À minha família, sempre tão presente, que sempre fez questão do meu sucesso, acompanhando meus passos bem de perto, nunca deixando me desviar do caminho certo. Vocês, sem dúvida nenhuma, são a base do meu sucesso, meu alicerce, e por quem eu vivo.

A Deus e à Maria, por estarem sempre tão presente, e de forma tão marcante na minha vida. Essa vitória é, mais uma vez, fruto desse amor infinito e presença constante.

Henn, G. A. L. “Técnica de modulação aplicada às estruturas de inversores multiníveis com neutro grampeado e capacitor flutuante para redução de perdas e distorção harmônica”, Universidade Federal do Ceará – UFC, 2012, 148p.

Visando superar os desafios inerentes à conversão de energia elétrica em sistemas de alta potência, minimizando as perdas e melhorando a qualidade da energia processada, este trabalho tem por objetivo analisar e implementar uma técnica de modulação para ser aplicada nas duas topologias de inversores multiníveis mais disseminadas - com neutro grampeado (NPC), e com capacitor flutuante (FC) - a fim de reduzir os esforços nos semicondutores, bem como melhorar o índice de distorção harmônica da tensão de saída. Ao longo do trabalho foi evidenciada a necessidade da digitalização da técnica proposta, visto que o desenvolvimento analógico da mesma acarretaria em um circuito complexo e de baixa confiabilidade. Dessa forma, escolheu-se como plataforma digital um FPGA, devido à sua facilidade de programação e reconfiguração, além da alta velocidade e quantidade de pinos de entrada e saída. Além da técnica proposta, foram também desenvolvidas outras modulações para fins de comparação, apresentando os padrões de chaveamento para cada uma delas, bem como o comportamento da corrente através dos semicondutores em cada período de chaveamento. Foi também realizada a análise teórica das topologias e suas respectivas etapas de operação, características e levantamento das equações que ditam a análise das perdas para as diferentes situações de técnicas aplicadas a cada uma das estruturas. O desenvolvimento digital das técnicas mostrou-se correta através da análise das formas-de-onda colhidas por meio de um circuito digital-analógico. Além disso, a comparação da aplicação dessas modulações em inversores a três níveis NPC e FC de 6 kW mostrou-se favorável à técnica proposta em termos de eficiência e redução da distorção harmônica em ambas as topologias, comprovando sua utilidade em conversores multiníveis de alta potência. Por fim, foi apresentado o desenvolvimento da técnica proposta em inversores com mais de três níveis, onde se pode comprovar sua eficiente aplicação para tais fins, bem como sua expansibilidade para inversores de n níveis.

Palavras-Chave: eletrônica de potência, inversores multiníveis, diodo grampeado, capacitor flutuante, técnicas de modulação, distorção harmônica.

Henn, G. A. L. “Modulation technique applied to neutral point-clamped and floating capacitor multilevel inverters structures for losses reduction and harmonic distortion improvement”, Universidade Federal do Ceará – UFC, 2012, 148p.

In order to overcome the challenge of processing electric energy in high power systems with minimal losses and high energy quality, this work presents the implementation and analysis of a modulation technique applicable on both most well-known multilevel inverter structures - neutral point-clamped (NPC), and flying capacitors (FC) - to reduce the stresses across the semiconductor devices, and to improve the total harmonic distortion of the output voltage. Throughout the work, the necessity to digitalize the proposed technique has been evidenced due to the high complexity and low reliability inherent to the analogical approach. Thus, the digital controller FPGA has been chosen, as it is easy to program and reconfigure, works at high speed, and has a lot of input and output pins. Additionally, other modulation techniques were also implemented to compare their performance with the proposed one, presenting the switching patterns and the behavior of the electrical currents through the semiconductors for each modulation. A theoretical analysis was also performed for both topologies and their respective operation principle, characteristics, and equations used on the losses analysis for the different combinations of modulation applied to each structure. Finally, the digital development of the various techniques has proved to be correct by observing the waveforms obtained through the digital/analogical circuit. Besides, the comparison of the modulation techniques on 6 kW NPC and FC three-level prototype inverters proved to be favorable to the proposed technique in terms of efficiency and total harmonic distortion reduction on both topologies, confirming its usefulness on high power multilevel converters. At last, it was presented the application of the proposed modulation technique to inverters with more than three levels, where it was observed its eligibility for n-levels topologies.

Keywords: power electronics, multilevel inverters, neutral point-clamped, floating capacitor, modulation techniques, harmonic distortion.

Sumário

Sumário	x
Lista de figuras	xiii
Lista de tabelas	xvii
Simbologia.....	xviii
Introdução geral	1
1 Modulação proposta.....	4
1.1 <i>Introdução.....</i>	4
1.2 <i>Topologias de inversores multiníveis.....</i>	4
1.3 <i>Técnicas de modulação.....</i>	9
1.3.1 <i>Modulação proposta.....</i>	10
1.4 <i>Controladores digitais.....</i>	11
1.5 <i>Considerações finais.....</i>	13
2 Desenvolvimento digital das técnicas de modulação	14
2.1 <i>Introdução.....</i>	14
2.2 <i>Modulação PSPWM.....</i>	15
2.2.1 <i>Desenvolvimento digital das portadoras.....</i>	18
2.2.2 <i>Desenvolvimento digital das moduladoras.....</i>	23
2.3 <i>Modulação LSPWM (POD).....</i>	27
2.3.1 <i>Desenvolvimento digital das portadoras.....</i>	30
2.4 <i>Modulação proposta em [27].....</i>	31
2.4.1 <i>Desenvolvimento digital das portadoras.....</i>	35
2.5 <i>Modulação proposta.....</i>	38
2.5.1 <i>Desenvolvimento digital das portadoras.....</i>	43

2.6	<i>Considerações finais</i>	48
3	Comparação e análise de perdas e THD das modulações aplicadas às estruturas FC e NPC	50
3.1	<i>Introdução</i>	50
3.2	<i>Princípio de operação do inversor a três níveis FC</i>	52
3.2.1	Primeira etapa de operação	52
3.2.2	Segunda etapa de operação	52
3.2.3	Terceira etapa de operação.....	53
3.2.4	Quarta etapa de operação	54
3.3	<i>Princípio de operação do inversor a três níveis NPC</i>	55
3.3.1	Primeira etapa de operação	55
3.3.2	Segunda etapa de operação	56
3.3.3	Terceira etapa de operação.....	57
3.4	<i>Estudo de perdas</i>	57
3.4.1	Determinação dos esforços de corrente nos interruptores.....	60
3.4.1.1	PSPWM aplicada à estrutura FC.....	60
3.4.1.2	LSPWM (POD) aplicada à estrutura FC	63
3.4.1.3	LSPWM (POD) aplicada à estrutura NPC	67
3.4.1.4	PWM - HE [27] aplicada à estrutura FC	71
3.4.1.5	Modulação proposta aplicada à estrutura FC	71
3.4.1.6	Modulação proposta aplicada à estrutura NPC	72
3.4.2	Cálculo de perdas por condução e comutação	72
3.5	<i>Comparativo de desempenho do THD</i>	76
3.6	<i>Considerações finais</i>	79
4	Resultados experimentais	81
4.1	<i>Introdução</i>	81
4.2	<i>Resultados experimentais das diversas técnicas de modulação</i>	81
4.2.1	Moduladoras	82

4.2.2	Modulação PSPWM.....	82
4.2.3	Modulação proposta em [27]	83
4.2.4	Modulação LSPWM (POD).....	86
4.2.5	Modulação proposta.....	88
4.3	<i>Resultados experimentais da modulação proposta aplicada à estrutura NPC</i>	93
4.4	<i>Curvas de eficiência</i>	95
4.5	<i>Curvas de THD e Espectros Harmônicos</i>	97
4.6	<i>Aplicação da modulação proposta para mais níveis</i>	100
4.7	<i>Considerações finais</i>	101
5	Conclusão geral	103
	Referências bibliográficas	105
	Apêndice A – Programas em VHDL	108
	Apêndice B – Esquemático da placa da fonte auxiliar	121
	Apêndice C – Esquemático da placa do inversor	123
	Apêndice D – Esquemático da placa do conversor D/A R2R	125

Lista de Figuras

Figura 1.1 - Estrutura três níveis do inversor multinível NPC.....	5
Figura 1.2 - Estrutura três níveis do inversor multinível FC	6
Figura 1.3 - Estrutura três níveis do inversor multinível CHB	7
Figura 1.4 - Estrutura três níveis do inversor multinível ANPC.....	8
Figura 1.5 - Estrutura três níveis do inversor multinível híbrido (NPC + FC).....	8
Figura 1.6 - a) Modulação proposta em [27] e b) modulação proposta	11
Figura 1.7 - Placa de desenvolvimento da ALTERA - CYCLONE II STARTER BOARD.....	13
Figura 2.1 - Portadoras utilizadas na modulação PSPWM	15
Figura 2.2 - Moduladoras utilizadas na modulação PSPWM.....	16
Figura 2.3 - Geração dos pulsos das chaves na modulação PSPWM	16
Figura 2.4 - Correntes através das chaves S_{x1} e S_{x2} na modulação PSPWM	17
Figura 2.5 - Padrão de chaveamento relativo à modulação PSPWM	17
Figura 2.6 - Divisor de frequência utilizado para definição do período de chaveamento	18
Figura 2.7 - Formas de onda representativas do divisor de frequência	19
Figura 2.8 - Circuito de geração de uma das portadoras.....	19
Figura 2.9 - Portadora para as chaves S_1 e S_3 de cada braço do inversor	20
Figura 2.10 - Circuito de geração da portadora defasada de meio período de chaveamento	21
Figura 2.11 - Detalhe da operação dos blocos COUNT e COUNT2.....	22
Figura 2.12 - Portadoras A e B, defasadas em meio período de chaveamento	22
Figura 2.13 - Detalhe das portadoras A e B, defasadas em meio período de chaveamento	23
Figura 2.14 - Senoide gerada digitalmente	25
Figura 2.15 - Três senoides defasadas de 120 graus elétricos entre si, geradas digitalmente	26
Figura 2.16 - Comparação digital entre as portadoras e uma das moduladoras	26
Figura 2.17 - Modulações do tipo LSPWM: (a) IPD, (b) POD, (c) APOD	27
Figura 2.18 - Portadoras utilizadas na técnica LSPWM (POD) em inversores de três níveis	27
Figura 2.19 - Geração dos pulsos das chaves na modulação LSPWM (POD) quando $V_{ref} \geq V_{pk}/2$	28
Figura 2.20 - Geração dos pulsos das chaves na modulação LSPWM (POD) quando $V_{ref} \leq V_{pk}/2$	28
Figura 2.21 - Correntes através das chaves S_{x1} e S_{x2} na modulação LSPWM (POD).....	29

Figura 2.22 - Padrão de chaveamento relativo à modulação LSPWM (POD)	29
Figura 2.23 - Geração digital das portadoras para a modulação LSPWM (POD)	30
Figura 2.24 - Portadoras utilizadas quando a tensão da moduladora varia entre $0V$ e $V_{pk}/3$	31
Figura 2.25 - Portadoras utilizadas quando a tensão da moduladora varia entre $V_{pk}/3$ e V_{pk}	32
Figura 2.26 - Geração dos pulsos das chaves na modulação proposta quando $0V \leq V_{ref} \leq V_{pk}/3$	32
Figura 2.27 - Geração dos pulsos das chaves na modulação proposta quando $V_{pk}/3 \leq V_{ref} \leq 2V_{pk}/3$	33
Figura 2.28 - Geração dos pulsos das chaves na modulação proposta quando $2V_{pk}/3 \leq V_{ref} \leq V_{pk}$	33
Figura 2.29 - Correntes sobre as chaves S_{x1} e S_{x2} na modulação proposta em [27]	34
Figura 2.30 - Padrão de chaveamento relativo à modulação proposta em [27]	35
Figura 2.31 - Portadoras da figura 2.24 geradas digitalmente	36
Figura 2.32 - Portadoras da figura 2.25 geradas digitalmente	37
Figura 2.33 - Circuito digital para gerar os pulsos nas chaves S_{x1} e S_{x4}	38
Figura 2.34 - a) Modulação proposta em [27] e b) modulação proposta	39
Figura 2.35 - Geração dos pulsos: (a) $V_{pk}/2 \leq V_{ref} \leq 2V_{pk}/3$, (b) $V_{pk}/3 \leq V_{ref} \leq V_{pk}/2$	40
Figura 2.36 - Geração dos pulsos: (a) $2V_{pk}/3 \leq V_{ref} \leq 5V_{pk}/6$, (b) $V_{pk}/6 \leq V_{ref} \leq V_{pk}/3$	41
Figura 2.37 - Geração dos pulsos: (a) $5V_{pk}/6 \leq V_{ref} \leq V_{pk}$, (b) $0V \leq V_{ref} \leq V_{pk}/6$	42
Figura 2.38 - Correntes através das chaves S_{x1} e S_{x2} em baixa frequência para modulação proposta	43
Figura 2.39 - Correntes através das chaves S_{x1} e S_{x2} em baixa frequência para modulação proposta	43
Figura 2.40 - Portadoras da figura 2.34 geradas digitalmente	45
Figura 2.41 - Portadoras da figura 2.36 e 2.37 geradas digitalmente	46
Figura 2.42 - Circuito digital para gerar os pulsos das chaves S_{x1} e S_{x3}	47
Figura 2.43 - Circuito digital para gerar os pulsos das chaves S_{x2} e S_{x4}	48
Figura 3.1 - Estrutura do inversor multinível com neutro grampeado (NPC)	50
Figura 3.2 - Estrutura do inversor multinível com capacitor flutuante	51
Figura 3.3 - Primeira etapa de operação	52
Figura 3.4 - Segunda etapa de operação	53
Figura 3.5 - Terceira etapa de operação	53
Figura 3.6 - Quarta etapa de operação	54
Figura 3.7 - Primeira etapa de operação	55
Figura 3.8 - Segunda etapa de operação para I_o positiva	56

Figura 3.9 - Segunda etapa de operação para I_o negativa.....	56
Figura 3.10 - Terceira etapa de operação.....	57
Figura 3.11 - Correntes nas chaves e nos diodos para a modulação PSPWM aplicada à estrutura FC.....	61
Figura 3.12 - Correntes nas chaves e nos diodos para a modulação LSPWM (POD) aplicada à estrutura FC.....	64
Figura 3.13 - Correntes nas chaves e nos diodos para a modulação LSPWM (POD) aplicada à estrutura NPC.....	67
Figura 3.14 - Correntes nos diodos NPC	69
Figura 3.15 - Linearização da curva $I_{CE} \times V_{CE}$ dos IGBTs dos módulos	73
Figura 3.16 - Linearização da curva $I_F \times V_F$ dos diodos dos módulos.....	73
Figura 3.17 - Curvas da dissipação de energia durante a comutação.....	74
Figura 3.18 - Comparação das perdas calculadas por condução e comutação das diversas técnicas de modulação para a topologia FC operando com carga 1kW, 4kW, e 6kW	76
Figura 3.19 - Comparação das perdas calculadas por condução e comutação das diversas técnicas de modulação para a topologia NPC operando com carga 1kW, 4kW, e 6kW	76
Figura 3.20 - Curvas de THD para diversos índices de modulação para as estruturas (a) FC e (b) NPC...	77
Figura 3.21 - Vetores utilizados na modulação proposta para $M_i = 0,8$	78
Figura 3.22 - Vetores utilizados na modulação proposta para $M_i = 0,3$	78
Figura 3.23 - Diagrama vetorial referente a um inversor de três níveis	79
Figura 4.1 - Moduladoras geradas pelo FPGA	82
Figura 4.2 - Portadoras utilizadas na modulação PSPWM	83
Figura 4.3 - Geração dos pulsos da modulação PSPWM.....	83
Figura 4.4 - Porção inferior das portadoras utilizadas na modulação proposta em [27].....	84
Figura 4.5 - Porção superior das portadoras utilizadas na modulação proposta em [27].....	84
Figura 4.6 - Geração dos pulsos da modulação proposta em [27], para $V_{ref} < V_{pk}/3$	85
Figura 4.7 - Geração dos pulsos da modulação proposta em [27], para $V_{pk}/3 < V_{ref} < 2V_{pk}/3$	85
Figura 4.8 - Geração dos pulsos da modulação proposta em [27], para $2V_{pk}/3 < V_{ref} < V_{pk}$	86
Figura 4.9 - Portadoras utilizadas na modulação LSPWM (POD).....	87
Figura 4.10 - Geração dos pulsos da modulação LSPWM (POD), para $V_{ref} > V_{pk}/2$	87
Figura 4.11 - Geração dos pulsos da modulação LSPWM (POD), para $V_{ref} < V_{pk}/2$	88
Figura 4.12 - Porção inferior das portadoras utilizadas na modulação proposta.....	89
Figura 4.13 - Porção superior das portadoras utilizadas na modulação proposta	89

Figura 4.14 - Geração dos pulsos da modulação proposta, para $V_{pk}/2 < V_{ref} < 2V_{pk}/3$.....	90
Figura 4.15 - Geração dos pulsos da modulação proposta, para $V_{pk}/3 < V_{ref} < V_{pk}/2$.....	90
Figura 4.16 - Geração dos pulsos da modulação proposta, para $2V_{pk}/3 < V_{ref} < 5V_{pk}/6$.....	91
Figura 4.17 - Geração dos pulsos da modulação proposta, para $V_{pk}/3 < V_{ref} < V_{pk}/6$.....	91
Figura 4.18 - Geração dos pulsos da modulação proposta, para $5V_{pk}/6 < V_{ref} < V_{pk}$.....	92
Figura 4.19 - Geração dos pulsos da modulação proposta, para $0 < V_{ref} < V_{pk}/6$.....	92
Figura 4.20 - Tensão na fase A na estrutura NPC	93
Figura 4.21 - Tensão nas três fases na estrutura NPC	94
Figura 4.22 - Tensão de linha AB na estrutura NPC.....	94
Figura 4.23 - Três tensões de linha na estrutura NPC	95
Figura 4.24 - Curvas de eficiência relativas à estrutura FC	96
Figura 4.25 - Curvas de eficiência relativas à estrutura NPC	96
Figura 4.26 - Curvas de THD relativas às estruturas (a) FC e (b) NPC	97
Figura 4.27 - Espectros harmônicos das diversas modulações aplicadas à topologia NPC.....	98
Figura 4.28 - Espectros harmônicos das diversas modulações aplicadas à topologia FC	99
Figura 4.29 - Curvas de THD relativas às estruturas (a) FC e (b) NPC	100
Figura 4.30 - Portadoras da técnica proposta utilizadas para o inversor NPC de cinco níveis	101
Figura 4.31 - Tensão de linha e corrente de fase da técnica proposta aplicada à topologia NPC de cinco níveis.....	101

Lista de Tabelas

Tabela 3.1 – Tensão de saída e sequência de chaveamento para um braço do inversor	54
Tabela 3.2 – Tensão de saída e sequência de chaveamento para um braço do inversor	57
Tabela 3.3 – Combinações Estrutura <i>versus</i> Modulação para análise das perdas.....	58
Tabela 3.4 – Parâmetros de projeto do inversor.....	58
Tabela 3.5 – Valores calculados dos esforços de corrente sobre os componentes	63
Tabela 3.6 – Valores calculados dos esforços de corrente sobre os componentes	66
Tabela 3.7 – Valores calculados dos esforços de corrente sobre os componentes	70
Tabela 3.8 – Valores simulados dos esforços de corrente sobre os componentes.....	71
Tabela 3.9 – Valores simulados dos esforços de corrente sobre os componentes.....	71
Tabela 3.10 – Valores simulados dos esforços de corrente sobre os componentes.....	72
Tabela 3.11 – Coeficientes calculados dos polinômios de segunda ordem.....	75

SIMBOLOGIA

Símbolos utilizados no trabalho:

Símbolo	Significado	Unidade
α_{x1}	Razão cíclica da chave 1	-
α_{x2}	Razão cíclica da chave 2	-
δ_{Dxy}	Função de modulação do diodo y do braço x do inversor	-
δ_{Da1}	Função de modulação do diodo 1 do braço A do inversor	-
δ_{Da2}	Função de modulação do diodo 2 do braço A do inversor	-
δ_{Da3}	Função de modulação do diodo 3 do braço A do inversor	-
δ_{Da4}	Função de modulação do diodo 4 do braço A do inversor	-
δ_{Sxy}	Função de modulação da chave y do braço x do inversor	-
δ_{Sa1}	Função de modulação da chave 1 do braço A do inversor	-
δ_{Sa2}	Função de modulação da chave 2 do braço A do inversor	-
δ_{Sa3}	Função de modulação da chave 3 do braço A do inversor	-
δ_{Sa4}	Função de modulação da chave 4 do braço A do inversor	-
Δt	Incremento de tempo da função	s
η	Rendimento	-
θ_o	Ângulo de carga	rad
<i>ACLR</i>	Pino de <i>reset</i> assíncrono	-
C_1	Capacitor do barramento	faraday
C_2	Capacitor do barramento	faraday
C_x	Capacitor flutuante em um dos braços do inversor	faraday
<i>CLK_EXT</i>	Sinal de <i>clock</i> advindo da placa de desenvolvimento do FPGA	hertz
<i>COMP</i>	Bloco comparador	-
<i>COMP2</i>	Bloco comparador	-
<i>COMP3</i>	Bloco comparador	-
<i>COUNT1</i>	Bloco contador	-
<i>COUNT2</i>	Bloco contador	-
<i>COUNTASINC</i>	Bloco contador assíncrono	-
D	Razão cíclica	-
$f_1(x)$	Função utilizada para geração da tabela	-
$f_2(x)$	Função utilizada para geração da tabela	-
$f_3(x)$	Função utilizada para geração da tabela	-

Símbolo	Significado	Unidade
$f_4(x)$	Função utilizada para geração da tabela	-
$f_5(x)$	Função utilizada para geração da tabela	-
$f_6(x)$	Função utilizada para geração da tabela	-
f_o	Frequência da tensão de saída	hertz
FP	Fator de potência da carga	-
f_s	Frequência de comutação dos interruptores	hertz
f_{sen}	Frequência utilizada na função seno	hertz
I_{CE}	Corrente direta através do IGBT	ampère
i_D	Função da corrente direta através do diodo	ampère
I_F	Corrente instantânea através do diodo	ampère
I_o	Corrente nominal através do diodo	ampère
i_o	Função da corrente de saída	ampère
$I_{o.ef}$	Corrente eficaz de saída	ampère
$I_{o.pk}$	Corrente de pico na saída do inversor	ampère
I_{rr}	Corrente de recuperação reversa do diodo	ampère
i_{Sxy}	Função da corrente na chave y do braço x do inversor	ampère
I_{SxyMED}	Corrente média na chave y do braço x do inversor	ampère
I_{SxyRMS}	Corrente eficaz na chave y do braço x do inversor	ampère
I_{zx}	Corrente de fase	ampère
k_{0OFF}	Coefficiente do polinômio da equação 3.70	-
k_{0ON}	Coefficiente do polinômio da equação 3.69	-
k_{1OFF}	Coefficiente do polinômio da equação 3.70	-
k_{1ON}	Coefficiente do polinômio da equação 3.69	-
k_{2OFF}	Coefficiente do polinômio da equação 3.70	-
k_{2ON}	Coefficiente do polinômio da equação 3.69	-
L_o	Indutância de carga	henry
M_{max}	Máximo índice de modulação	-
P	Estado de chaveamento	-
$P_{DxyCOND}$	Perda por condução no diodo y do braço x do inversor	watt
P_o	Potência ativa de saída por fase	watt
P_{rr}	Perda devido à recuperação reversa no diodo	watt
$P_{SxyCOND}$	Perda por condução na chave y do braço x do inversor	watt

Símbolo	Significado	Unidade
P_{SxyOFF}	Perda por comutação no desligamento da chave y do braço x	watt
P_{SxyON}	Perda por comutação no ligamento da chave y do braço x	watt
N	Estado de chaveamento	-
$N_{degraus}$	Número de degraus da triangular	-
N_{pts}	Número de pontos da tabela	-
O_1	Estado de chaveamento	-
O_2	Estado de chaveamento	-
R_D	Resistência série equivalente intrínseca ao diodo	ohm
R_o	Resistência de carga	ohm
R_S	Resistência série equivalente intrínseca à chave	ohm
S_o	Potência aparente na saída	VA
S_{x1}	Chave 1 de um dos braços do inversor multinível	-
S_{x2}	Chave 2 de um dos braços do inversor multinível	-
S_{x3}	Chave 3 de um dos braços do inversor multinível	-
S_{x4}	Chave 4 de um dos braços do inversor multinível	-
T_{CLK_EXT}	Período do sinal de <i>clock</i> da placa do FPGA	s
T_J	Temperatura de junção	°C
t_{rr}	Tempo de recuperação reversa do diodo	s
T_s	Período de comutação dos interruptores	s
T_{sen}	Período utilizado na função seno	s
T_{on}	Período de condução dos interruptores	s
V_{amp}	Amplitude da função seno	volt
V_{cc}	Tensão no barramento CC	volt
V_{CE}	Tensão coletor-emissor do IGBT	volt
V_{CF}	Tensão sobre o capacitor C_F	volt
V_D	Queda de tensão direta sobre o diodo	volt
V_{D1max}	Tensão máxima sobre o diodo D_1	volt
V_{D2max}	Tensão máxima sobre o diodo D_2	volt
$V_{o.ef}$	Tensão eficaz de saída	volt
V_F	Queda de tensão instantânea sobre o diodo	volt
V_{GE}	Tensão de gatilho do IGBT	volt
$V_{o.pk}$	Tensão de pico da saída	volt

Símbolo	Significado	Unidade
V_{pk}	Tensão de pico das portadoras	volt
V_{S1}	Tensão sobre o interruptor S_1	volt
V_{S1max}	Tensão máxima sobre o interruptor S_1	volt
V_{S2}	Tensão sobre o interruptor S_2	volt
V_{S2max}	Tensão máxima sobre o interruptor S_2	volt
V_{S3}	Tensão sobre o interruptor S_3	volt
V_{S3max}	Tensão máxima sobre o interruptor S_3	volt
V_{S4}	Tensão sobre o interruptor S_4	volt
V_{S4max}	Tensão máxima sobre o interruptor S_4	volt
V_{sen}	Valor relativo à função seno	volt
V_{TO}	Tensão de limiar intrínseca ao IGBT	volt
x	Variável auxiliar das funções que geram a tabela	-
X_{comp}	Parâmetro do bloco comparador	-
W_{rr}	Energia dissipada durante a recuperação reversa nos diodos	joule
W_{SxyOFF}	Energia dissipada durante o desligamento da chave	joule
W_{SxyON}	Energia dissipada durante o ligamento da chave	joule
Z_o	Impedância de carga	ohm

Acrônimos e Abreviaturas:

Símbolo	Significado
ANPC	<i>Active Neutral Point Clamped</i> - Grampeamento Ativo de Ponto Neutro
APOD	<i>Alternate Phase Opposition Disposition</i> - Disposição em Alternância de Fase
CA	Corrente Alternada
CC	Corrente Contínua
CHB	<i>Cascaded H-Bridge</i> - Ponte-H em Cascata
DSP	<i>Digital Signal Processor</i> - Processador Digital de Sinais
DSPIC	<i>Digital Signal Programmable Interface Controller</i> - Controlador de Interface Programável de Sinais Digitais
FC	<i>Flying Capacitor</i> - Capacitor Flutuante
FPGA	<i>Field Programmable Gate Array</i> - Matrizes de Portas de Campo Programáveis
IPD	<i>In-Phase Disposition</i> - Disposição em Fase
LSPWM	<i>Level-Shifted Pulse Width Modulation</i> - Modulação por Largura de Pulso com Deslocamento de Níveis

Símbolo	Significado
MPC	<i>Multipoint Clamped Converter</i> - Conversor com Grampeamento Multipontos
NPC	<i>Neutral Point Clamped</i> - Grampeamento de Ponto Neutro
PIC	<i>Programmable Interface Controller</i> - Controlador de Interface Programável
POD	<i>Phase Opposition Disposition</i> - Disposição em Alternância de Fases
PSPWM	<i>Phase-Shifted Pulse Width Modulation</i> - Modulação por Largura de Pulso com Deslocamento de Fase
PWM	<i>Pulse Width Modulation</i> - Modulação por Largura de Pulso
RMS	<i>Root Mean Square</i> - Valor Eficaz
SVM	<i>Space Vector Modulation</i> - Modulação por Espaço Vetorial
THD	<i>Total Harmonic Distortion</i> - Distorção Harmônica Total
UFC	Universidade Federal do Ceará
VHDL	<i>Very High Speed Integrated Circuits Hardware Description Language</i> - Linguagem de Descrição de Alta Velocidade de Circuitos Integrados

INTRODUÇÃO GERAL

A crescente demanda por energia elétrica vem criando novos desafios, na medida em que se torna imprescindível o desenvolvimento de estruturas capazes de lidar com aplicações de média e alta potência com máxima eficiência, aliando a boa qualidade da energia processada com perdas reduzidas.

A princípio, existem duas formas distintas de se tratar esse desafio. A primeira solução envolve a utilização de topologias clássicas dos diversos conversores, inversores e retificadores, aplicando semicondutores capazes de suportar elevados níveis de tensão e corrente, da ordem de até 7 kV e 3 kA, respectivamente. No entanto, tais semicondutores estão em fase de desenvolvimento tecnológico e ainda precisam de tempo e investimento financeiro até que se tornem suficientemente confiáveis para que sejam utilizados em aplicações gerais [1].

A outra possibilidade que se apresenta visando superar esse desafio é utilizar as topologias de conversores multiníveis, onde se aplicam semicondutores de média potência. Essas estruturas envolvem um cascadeamento de chaves e capacitores como fontes de tensão, submetendo os semicondutores a níveis de tensão definidos pelos capacitores correspondentes, mantendo seus esforços reduzidos, independente da tensão de saída desejada. Assim, a estrutura geral de um inversor multinível consiste em produzir uma tensão de saída senoidal a partir de diversos níveis de tensão CC, obtidos através dos capacitores supracitados [2], [3].

Adicionalmente os inversores multiníveis apresentam diversas vantagens em relação às estruturas convencionais, como a melhora na qualidade da tensão de saída e o acréscimo na potência nominal mantendo um reduzido nível de esforço sobre os semicondutores, permitindo a utilização de chaves de média potência em aplicações de alta potência [2], [3], [4].

Apesar das diferentes topologias de inversores multiníveis existentes, cada uma apresentando suas respectivas vantagens e desvantagens, todas elas demandam preocupação com determinados aspectos: balanceamento dos capacitores, redução do índice THD da tensão de saída, e redução dos esforços e das perdas sobre os semicondutores, aliando essas características à simplificação das técnicas de modulação e controle devido à elevada quantidade de chaves presentes em uma estrutura multinível. Contudo, essas técnicas muitas vezes são desenvolvidas especificamente para certas aplicações, sendo projetadas apenas para atuar em determinadas estruturas de inversores multiníveis, tornando-as pouco flexíveis às adaptações demandadas por diferentes projetos.

Dessa forma, nos últimos tempos o desenvolvimento de novas técnicas de modulação ou a adaptação de técnicas clássicas para aplicação em inversores multiníveis vem chamando a atenção em meio aos pesquisadores. Afinal, através da utilização de uma modulação específica para uma determinada aplicação, é possível obter melhorias em termos de índice THD da tensão de saída, balanceamento dos capacitores, distribuição e redução das perdas nos semicondutores, além da redução dos esforços sobre os mesmos.

No entanto, o desenvolvimento dessas técnicas por meio analógico se torna complexo devido ao elevado número de semicondutores controlados presente no circuito de um inversor multinível. Além disso, um projeto analógico requer demasiado tempo e esforço, mesmo para técnicas mais simples. Outra desvantagem é a dificuldade em se fazer manutenções e pequenos ajustes nos componentes do circuito analógico.

A fim de solucionar esses problemas, a utilização de controladores digitais vem se tornando prática cada vez mais comum nos projetos de engenharia, visto que oferecem grandes vantagens se comparados aos sistemas analógicos, como: maior flexibilidade e confiabilidade, menor susceptibilidade a interferências eletromagnéticas, e grande facilidade de programação e reconfiguração de parâmetros do sistema, que permitem pequenos ajustes no projeto de maneira fácil e rápida.

Assim, tendo em vista superar as dificuldades apresentadas na aplicação de inversores multiníveis em sistemas de alta potência e melhorar seu desempenho em termos de THD da tensão de saída e perdas nos semicondutores, este trabalho tem por objetivo analisar e desenvolver uma nova modulação aplicável às duas principais estruturas multiníveis, comparando-a com as diferentes técnicas de modulação convencionais.

Adicionalmente, será também estudado em detalhes o desenvolvimento digital das diversas técnicas de modulação utilizando um dispositivo FPGA, programado tanto por meio de diagramas de blocos, quanto através da utilização direta da linguagem VHDL.

Por fim, vale ressaltar que, para melhor compreensão deste trabalho, o mesmo encontra-se dividido em cinco capítulos. O primeiro deles trata de uma revisão bibliográfica envolvendo as principais topologias de inversores multiníveis, as diversas técnicas de modulação, bem como suas vantagens e desvantagens, além de detalhar os conceitos envolvendo os principais controladores digitais disponíveis no mercado. O segundo capítulo apresenta as características de cada técnica de modulação, padrões de chaveamento e o detalhamento do desenvolvimento digital das diversas técnicas de modulação. Já o terceiro visa a análise das duas estruturas de inversores multiníveis mais conhecidas e disseminadas, além de detalhar o cálculo das perdas para cada combinação de modulação e topologia. Todos os resultados experimentais relevan-

tes são apresentados no quarto capítulo, desde a digitalização das modulações, até a medição do THD da tensão de saída para diferentes índices de modulação e o rendimento da estrutura para as diversas combinações de topologia e modulação. Por fim, o capítulo cinco descreve as principais conclusões referentes a este trabalho, bem como as sugestões de trabalhos futuros a serem desenvolvidos.

CAPÍTULO 01

MODULAÇÃO PROPOSTA

1.1 Introdução

Ao longo das últimas décadas, diversas topologias de inversores multiníveis foram propostas baseadas nas três estruturas básicas: NPC (*Neutral Point Clamped*, ou Ponto Neutro Grampeado a Diodo), FC (*Flying Capacitor*, ou Capacitor Flutuante), e CHB (*Cascaded H-Bridge*, ou Ponte-H em Cascata), visando melhorias no índice THD, na eficiência e acréscimos na potência nominal. Aliado ao interesse por topologias alternativas, está também o desenvolvimento de novas técnicas de modulação, com o objetivo de incrementar a qualidade da tensão de saída, o balanceamento entre os capacitores do barramento CC e a redução de perdas, devido à elevada quantidade de semicondutores utilizados.

Assim, esse capítulo tem por objetivo apresentar o desenvolvimento de uma nova técnica de modulação, aplicável nas principais estruturas de inversores multiníveis (FC e NPC), bem como fornecer um estudo aprofundado dos diversos aspectos que circundam o desenvolvimento experimental de um inversor multinível, explorando as topologias, as modulações e os processadores digitais mais relevantes.

1.2 Topologias de Inversores Multiníveis

Na década de 1980, os pesquisadores buscavam soluções para a necessidade de utilizar estruturas que suportassem mais potência, porém com as limitações referentes à potência suportada pelos semicondutores existentes na época. Assim, em 1981 foi publicado o primeiro inversor multinível, chamado de NPC [5], que se baseia em uma modificação da estrutura clássica de dois níveis, acrescentando dois novos semicondutores a cada fase, como mostra a figura 1.1, onde se percebe que a máxima tensão de bloqueio sobre as chaves é metade da tensão no barramento, ao contrário do inversor clássico de dois níveis, cujos semicondutores devem suportar a tensão total do barramento. Assim, para as mesmas especificações das chaves, o inversor multinível NPC suporta uma tensão de entrada duas vezes maior.

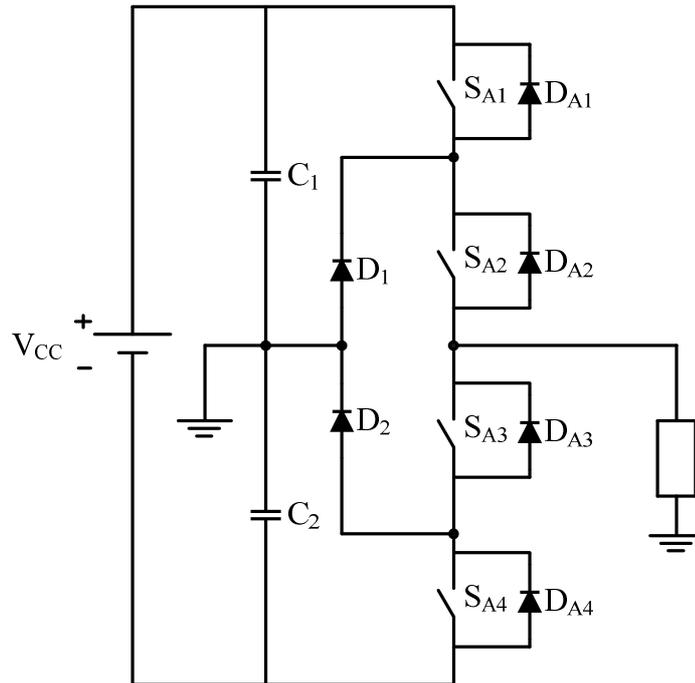


Figura 1.1. Estrutura três níveis do inversor multinível NPC.

Vale ressaltar que a figura 1.1 apresenta apenas um braço da estrutura do inversor NPC para apenas três níveis, onde a tensão de saída assume os valores de $+V_{cc}/2$, 0, e $-V_{cc}/2$. Essa topologia pode ser expandida para mais níveis, o que naturalmente melhora o conteúdo harmônico da tensão de saída, como apresentado em [6], onde uma generalização do NPC foi proposta, sendo chamada de MPC (do inglês, *Multipoint Clamped Converter*). No entanto, o acréscimo de semicondutores torna o circuito complexo e sua modulação, difícil.

As principais vantagens do inversor NPC são: redução na tensão de bloqueio das chaves, redução no número de capacitores se comparado a outras topologias, não necessita de isolamento da fonte de tensão, a mudança de nível da tensão de saída ocorre através do chaveamento de um único interruptor, reduzindo, assim, as perdas e as interferências eletromagnéticas, e a possibilidade de controle da potência reativa [3], [7].

Como desvantagens, podem ser citadas: desbalanceamento entre as tensões dos capacitores do barramento CC, grampeamento indireto dos diodos e chaves internas, elevado número de semicondutores de potência, elevada tensão de bloqueio dos diodos NPC, e a dificuldade de expansão dessa topologia para aplicações que demandam mais níveis [2], [8].

Como alternativa à estrutura NPC, alguns anos mais tarde, na década de 1990, foi proposta uma nova topologia por Meynard e Foch [9], onde os diodos NPC são substituídos por capacitores flutuantes, com função de grampear a tensão de bloqueio das chaves internas, como apresenta a figura 1.2.

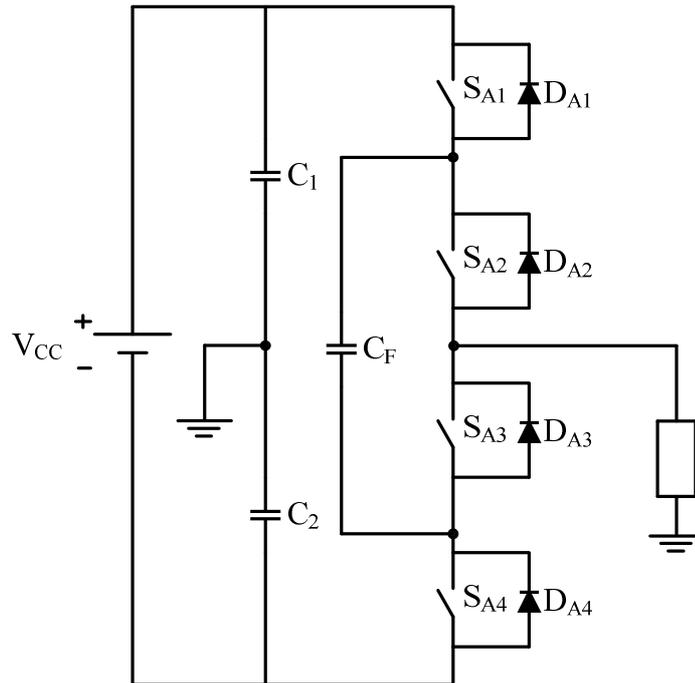


Figura 1.2. Estrutura três níveis do inversor multinível FC.

Assim como a topologia NPC, a estrutura da figura 1.2 também pode ser expandida para mais níveis, sendo generalizada a partir do trabalho publicado em [10], o que acarreta no uso de mais capacitores, sendo, no entanto, mais fácil de ser expandida que o inversor NPC.

As principais vantagens dessa topologia são: redução dos esforços de tensão nas chaves, redução no número de semicondutores, eliminação de problemas associados às correntes de recuperação reversa nos diodos, existência de estados de comutação redundantes, que permite um controle dinâmico na operação de carga e descarga dos capacitores flutuantes, possibilidade de controle do fluxo de potência ativa e reativa, e a capacidade que a estrutura permite em operar com mais níveis de tensão [7], [9], [11], [12].

Como desvantagens, podem ser citadas: o aumento do número de capacitores no circuito, tornando-o mais caro, pesado e volumoso, a preocupação com o processo de carga e descarga dos capacitores flutuantes, possibilidade de ressonância devido às capacitâncias inerentes ao circuito, o fato de, para um grande número de níveis, cada capacitor tem que ser carregado com diferentes valores de tensão, e, em caso de mudanças bruscas de tensão no barramento CC, haverá certa demora até que a tensão através dos capacitores flutuantes se estabilize, podendo causar surtos de tensão sobre os semicondutores e danificá-los [7].

A terceira das principais topologias é a CHB, formada pelo cascadeamento de vários inversores convencionais a dois níveis. Essa estrutura, apresentada na figura 1.3, foi proposta em 1991 por Machesoni *et al.* [13], [14], e tem como principal vantagem a redução de com-

ponentes, pois não utiliza diodos de grampeamento ou capacitores flutuantes, além de contar com controle mais simples, pois os inversores cascadeados apresentam estruturas idênticas, além da possibilidade de utilizar uma construção modular, reduzindo custos, manutenção e complexidade. No entanto, essa estrutura apresenta dificuldade em sua aplicação devido à necessidade de fontes CC isoladas, limitando sua utilização prática a aplicações específicas [7].

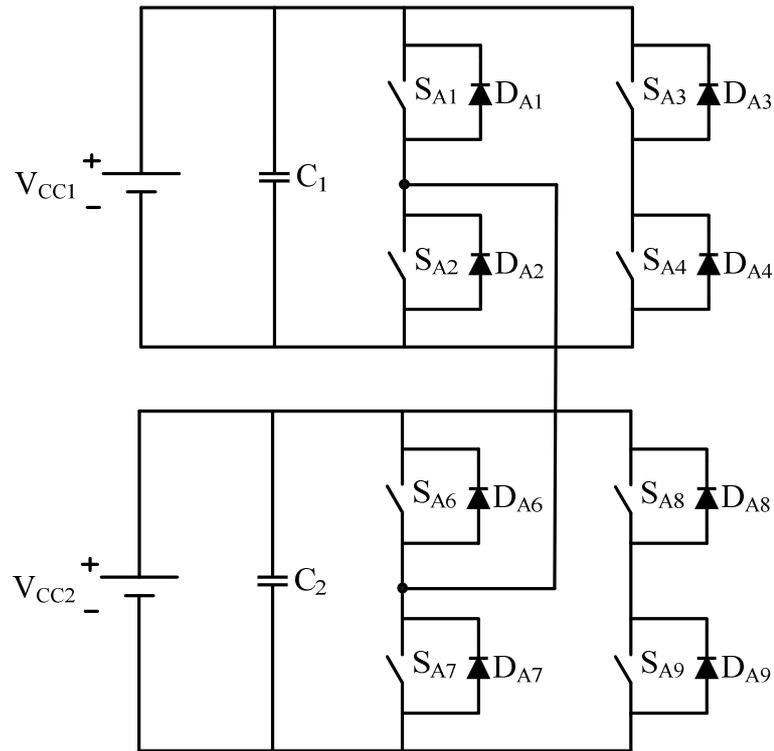


Figura 1.3. Estrutura três níveis do inversor multinível CHB.

Além das três estruturas clássicas já apresentadas existem inúmeras outras que procuram melhorar aspectos específicos para determinadas aplicações. É o caso da ANPC (do inglês, *Active Neutral-Point Clamped*), proposta em [15], [16], e apresentada na figura 1.4, que tem por objetivo uma melhor distribuição das perdas através dos semicondutores. No entanto essa topologia, que substitui os diodos NPC por duas chaves, apresenta uma maior complexidade no circuito e na modulação devido ao acréscimo de interruptores.

Uma alternativa interessante foi proposta em [17], onde um capacitor flutuante é adicionado à topologia NPC. Essa estrutura, derivada da topologia generalizada de conversores multiníveis apresentada em [10], apresenta as vantagens inerentes à redução de flutuações de tensão no ponto neutro e do balanceamento das tensões de bloqueio das chaves. Sua desvantagem diz respeito ao acréscimo de componentes, tornando o circuito mais complexo. A figura 1.5 mostra o circuito de um dos braços o inversor híbrido.

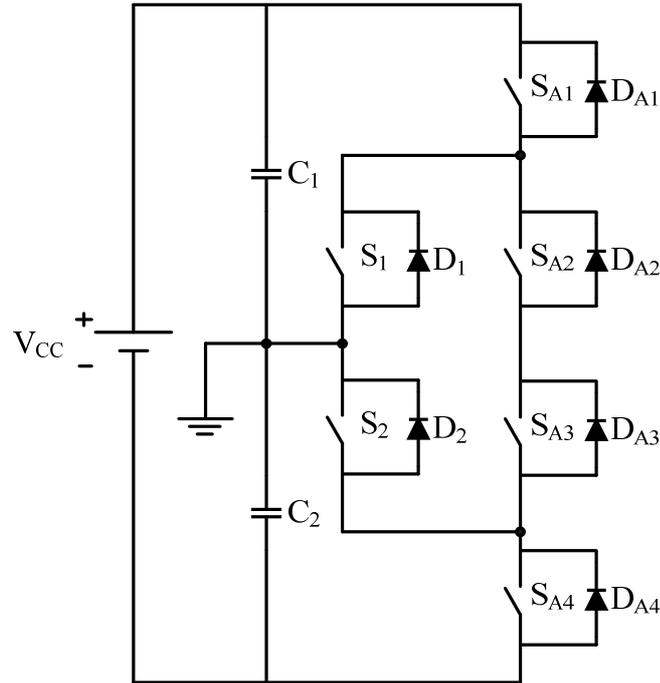


Figura 1.4. Estrutura três níveis do inversor multinível ANPC.

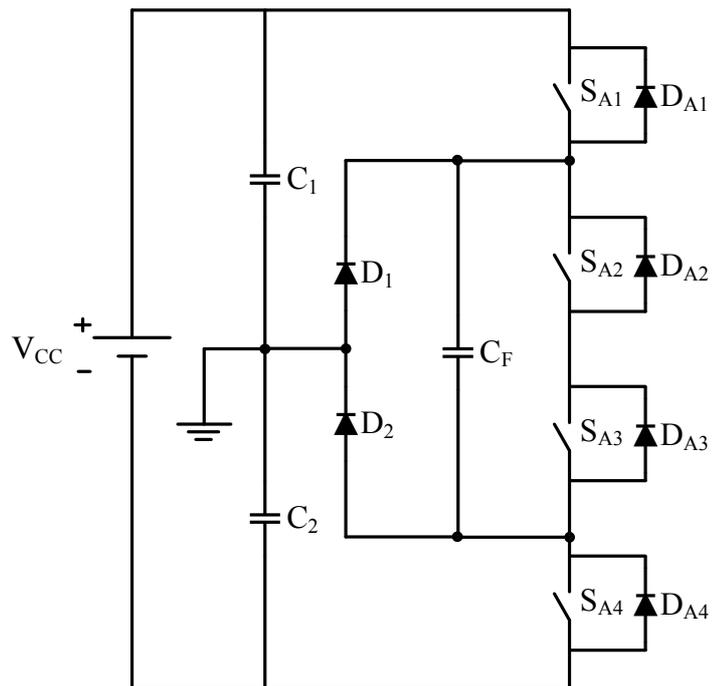


Figura 1.5. Estrutura três níveis do inversor multinível híbrido (NPC + FC).

Muitas outras estruturas podem ainda ser encontradas na literatura, como as topologias [18] - [20], cada uma delas apresentando suas vantagens e limitações, sendo mais ou menos recomendadas dependendo do tipo de aplicação que se deseje. Devido à grande quantidade de alternativas existentes, não cabe a este trabalho citar e analisar todas elas, ao passo que existem referências que fazem esse tipo de estudo, como em [2].

1.3 Técnicas de Modulação

Durante as décadas de 1990 e 2000, as técnicas de modulação aplicadas a inversores multiníveis vêm atraindo, cada vez mais, a atenção de pesquisadores do mundo inteiro. Esse interesse se deve, principalmente, à tendência no acréscimo de semicondutores ativos em um circuito, à busca por maior qualidade da energia processada, e à redução de perdas.

As técnicas de modulação podem ser divididas em dois grupos principais: modulação no domínio espacial vetorial [21], ou SVM (*Space-Vector Modulation*, do inglês, Modulação por Espaço Vetorial), cujo princípio se baseia na geração de vetores de tensão, e modulação no domínio do tempo, onde se destacam as técnicas PWM (*Pulse Width Modulation*, do inglês, Modulação por Largura de Pulso) [22], baseadas na geração níveis de tensão ao longo de um período. Devido à facilidade de implementação e grande disseminação das técnicas PWM nas mais diversas aplicações relacionadas à eletrônica de potência, neste trabalho serão apresentadas apenas as principais referências presentes na literatura que dizem respeito à geração de pulsos através de comparações entre portadoras e moduladoras.

Dentre as técnicas PWM, a mais simples é a PSPWM (*Phase-Shifted Pulse Width Modulation*, do inglês, Modulação por Largura de Pulso com Deslocamento de Fase), a qual se utiliza de duas portadoras triangulares defasadas em cento e oitenta graus elétricos, para aplicações de inversores a três níveis. Essa modulação é bastante simples de ser implementada, além de balancear naturalmente as tensões nos capacitores flutuantes. Sua principal desvantagem é seu desempenho no que diz respeito ao THD da tensão de saída, principalmente para índices de modulação reduzidos [18], [23], [24].

A fim de superar o fato da técnica PSPWM não poder ser utilizada na estrutura NPC, o que limita sua aplicação [1], as duas portadoras podem ser defasadas em níveis de tensão, cuja técnica recebeu o nome de LSPWM (*Level-Shifted Pulse Width Modulation*, do inglês, Modulação por Largura de Pulso com Deslocamento de Nível). Dependendo da disposição das triangulares e seu defasamento no tempo, a LSPWM pode ser dividida em três tipos distintos: IPD (*In-Phase Disposition*, do inglês, disposição em fase), POD (*Phase-Opposition Disposition*, do inglês, disposição em oposição de fase), e APOD (*Alternate Phase-Opposition Disposition*, do inglês, disposição em oposição com alternância de fase) [23], [25], [26].

Visando contornar o problema do índice THD para baixos índices de modulação apresentado pelas modulações PSPWM e LSPWM, foi proposta recentemente em [27] uma nova técnica de modulação para aplicação específica em inversores a capacitores flutuantes, visto que se baseia em duas portadoras defasadas em meio período de chaveamento, e, por motivos

expostos anteriormente, essa técnica não pode ser estendida à topologia NPC. Essa modulação tem como principal vantagem o excelente desempenho em termos de THD, mesmo quando o inversor opera com baixo índice de modulação.

Outra técnica de modulação que deve ser destacada é aquela apresentada em [28], cujo objetivo é melhorar o balanceamento de tensão entre os capacitores flutuantes e, assim, reduzir o THD da tensão de saída. Apesar do bom desempenho dessa técnica, apresenta a limitação de ser aplicável apenas em inversores baseados em capacitores flutuantes.

Dessa forma, a fim de aplicar as vantagens apresentadas pela modulação proposta em [27] e torná-la passível de aplicação em uma estrutura NPC, este trabalho tem como objetivo apresentar uma adaptação da técnica [27], visando também reduzir as perdas no inversor e melhorar, ainda mais, o índice THD da tensão de saída, baseando as portadoras não mais na PSPWM, defasando-as no tempo, mas na LSPWM (POD), fazendo um espelhamento entre elas, dispondo-as em diferentes níveis de tensão.

1.3.1 Modulação Proposta

A técnica de modulação desenvolvida neste trabalho baseia-se naquela descrita em [27], como mostrado na figura 1.6 (a), apresentando, portanto, as mesmas vantagens inerentes àquela. No entanto, a modulação proposta em [27] é baseada na PSPWM, visto que apresenta duas portadoras defasadas em meio período de chaveamento. Devido a essa característica, assim como a PSPWM, essa modulação se restringe exclusivamente à aplicação em inversores multiníveis baseados em capacitores flutuantes.

A fim de superar tal dificuldade, faz-se necessário utilizar uma técnica de modulação que possa ser utilizada tanto em inversores NPC, quanto em capacitores flutuantes, como a modulação LSPWM, que é aplicável em ambas as estruturas de inversores multiníveis. Dessa forma, foram obtidas as duas portadoras (para uma aplicação de três níveis), uma variando entre 0V e $V_{pk}/2$, e a outra, entre $V_{pk}/2$ e V_{pk} , como mostrado na figura 1.6 (b).

Assim, em um momento em que a indústria mundial tem incessantemente buscado redução de custos e aumento de eficiência dos mais diversos conversores eletrônicos de potência, este trabalho procura atingir ambos os objetivos a partir de uma solução baseada unicamente em modificação de *software*, considerando como digital o processamento dos sinais de chaveamento das estruturas. Dessa forma, adequando uma técnica de modulação pré-existente, este trabalho apresenta ganhos relevantes em termos de redução de perdas e melho-

rias consideráveis no conteúdo harmônico da energia processada, além de se apresentar aplicável às duas principais topologias de inversores multiníveis: NPC e FC.

Por fim, o estudo aprofundado de cada uma das técnicas citadas, principais formas de onda, características e desenvolvimento digital serão detalhados no capítulo 2 deste trabalho.

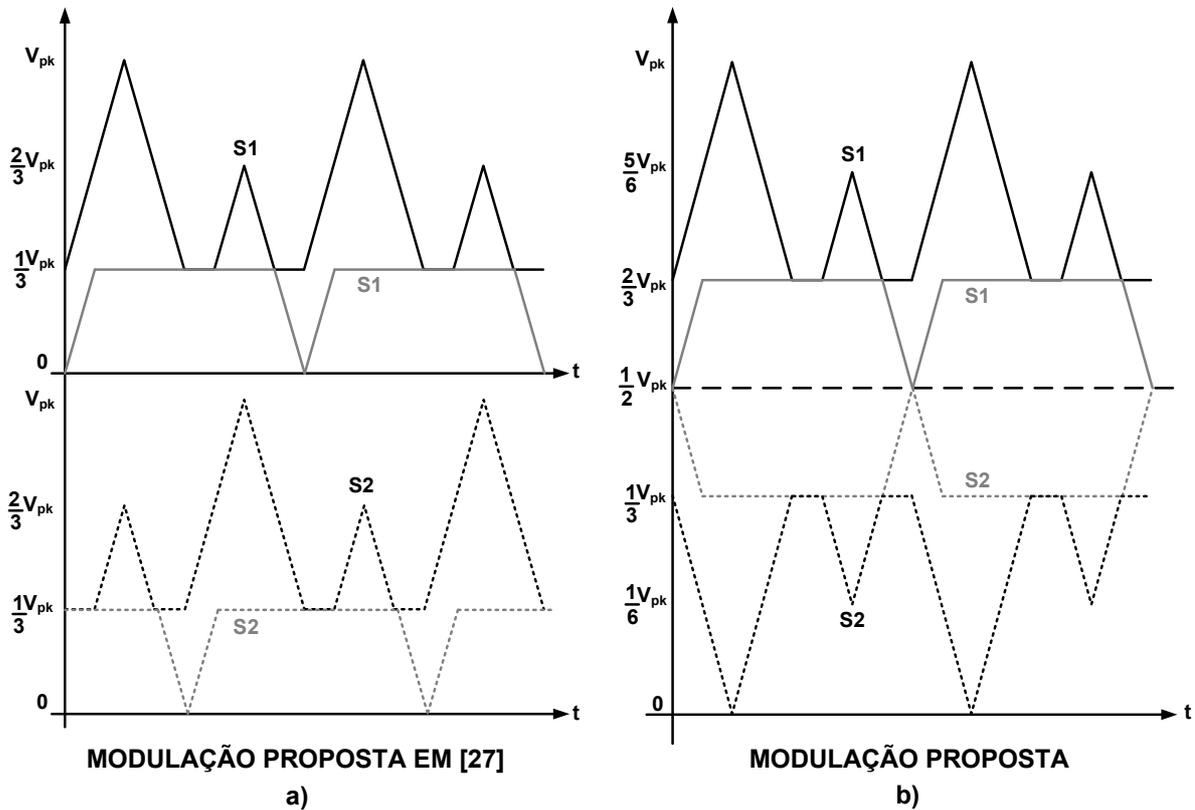


Figura 1.6. a) Modulação proposta em [27] e b) modulação proposta.

1.4 Processadores Digitais

Os processadores digitais surgiram como uma alternativa às aplicações analógicas, as quais, com o passar do tempo, foram se tornando muito complexas e de difícil manutenção e ajustes de parâmetros. Dentre os processadores digitais, destacam-se os microcontroladores PICs e dsPICs (do inglês, *Programmable Interface Controller*), os DSPs (do inglês, *Digital Signal Processor*), e os FPGAs (do inglês, *Field Programmable Gate Array*).

Os microcontroladores da família PIC (de 8 bits apenas), da Microhip, apresentam características muito vantajosas, como o fato de serem baratos, de larga utilização, além de fáceis de encontrar no mercado e possuírem ferramentas de desenvolvimento gratuitas [28]. A fim de aumentar a capacidade de operação dos PICs, em 2001 a Microchip lançou a série dsPIC (de 16 bits) [29], com algumas diferenças arquiteturais em relação aos seus concorrentes da família de 8 bits, apresentadas em [30]. No entanto, apesar das vantagens inerentes às duas

famílias de microcontroladores, estes não são úteis para aplicações onde é demandada uma elevada quantidade de chaves, devido ao seu limitado número de saídas PWM independentes.

Uma alternativa para aplicações em sistemas digitais são os DSPs, que oferecem alta velocidade de processamento, versatilidade quanto à linguagem de programação (C ou *Assembly*), e *hardware* próprio para operações com pontos flutuantes [31]. No entanto, os DSPs são limitados quanto ao seu *hardware*, pois são preparados para trabalhar apenas com portadoras triangulares e dentes-de-serra, com defasamento apenas no tempo, e não em níveis de tensão, como exigem determinadas técnicas de modulação. Além disso, de todos os canais PWM disponíveis, apenas metade deles são realmente independentes, visto que os outros são complementares a estes. Também não é possível utilizar portadoras com frequências diferentes umas das outras, posto que estão atreladas a um mesmo sinal de *clock*. Assim, os canais PWM não permitem aplicações em inversores com muitos níveis, ou mesmo a três níveis que se utilizem da técnica de grampeamento ativo, como a estrutura ANPC, já citada neste capítulo.

Assim, visando superar as dificuldades apresentadas em termos de processadores digitais, a utilização do dispositivo FPGA tem se proliferado em diversas aplicações recentes [32]. Suas principais características são: possibilidade de efetuar operações concorrentes, ou seja, em paralelo, sendo dependentes ou independentes umas das outras, presença de diversos circuitos lógicos e barramentos internos e operação com *clocks* elevados, na faixa de 50 MHz.

Além disso, o FPGA pode ser programado de várias formas diferentes, entre elas se destacam: a linguagem descritiva de *hardware* (VHDL), e graficamente, utilizando diagrama de blocos, que é um método bastante intuitivo, simples e prático.

Dentre os principais fabricantes de dispositivos FPGA destaca-se a ALTERA, que disponibiliza, gratuitamente, o *software* de programação QUARTUS II, além de fornecer a um preço acessível a o kit didático *CYCLONE II STARTER BOARD*, como apresentado na figura 1.6, que utiliza o dispositivo FPGA EP2C20F484C7, oferecendo 4 *displays* de sete segmentos, 18 LEDs indicativos, 10 chaves, 4 botões, conexões de áudio e vídeo, portas RS-232 e USB, além de fornecer 72 pinos de expansão, com possibilidade de configurá-los tanto como entradas quanto como saídas, tornando-se uma excelente opção para as aplicações previstas neste trabalho [33].

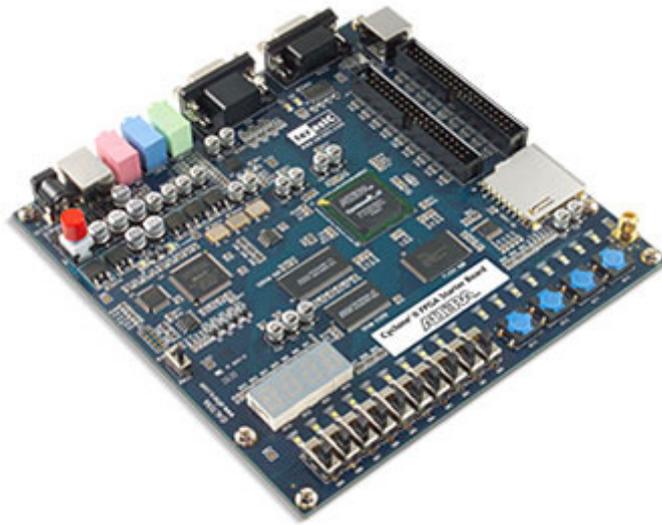


Figura 1.7. Placa de desenvolvimento da ALTERA - CYCLONE II STARTER BOARD.

1.5 Considerações Finais

Neste capítulo foram apresentadas as principais referências no que concerne às topologias de inversores multiníveis, às diversas modulações e aos processadores digitais. Através dessa revisão foi possível identificar as características inerentes às diversas topologias de inversores multiníveis, as vantagens e desvantagens das diferentes técnicas de modulação, bem como delimitar a motivação da escolha do FPGA como processador de sinais de chaveamento das estruturas multiníveis.

Além disso, foi conferido o devido destaque à técnica de modulação proposta neste trabalho, visando a redução do conteúdo harmônico da tensão de saída, além da redução nas perdas, quando aplicada às duas principais topologia de inversores multiníveis - NPC e FC .

Assim, em concordância com o apresentado ao longo do capítulo, deseja-se estudar os efeitos de uma adaptação na técnica de modulação proposta em [27] nas estruturas trifásicas a três níveis NPC e FC, em comparação com técnicas clássicas, como a PSPWM e a LSPWM (POD), a fim de avaliá-las em termos de índice THD, eficiência geral das estruturas, além de verificar a possibilidade de aplicação da técnica proposta pelo autor em ambas as topologias.

CAPÍTULO 2

DESENVOLVIMENTO DIGITAL DAS TÉCNICAS DE MODULAÇÃO

2.1 Introdução

Ao longo dos últimos anos diversas estratégias de modulação foram propostas para inversores multiníveis [21] - [28]. Dentre estas, uma das mais comumente utilizadas é a modulação PSPWM (*Phase-Shifted Pulse Width Modulation*, do inglês, Modulação por Largura de Pulso com Deslocamento de Fase). No entanto, esse tipo de modulação não apresenta bons resultados em termos de distorção harmônica da tensão de saída, especialmente quando o inversor opera com baixos índices de modulação, além de caracterizar-se por um elevado desequilíbrio entre os capacitores que compõem o barramento CC [28].

Recentemente foi proposto em [27] um novo tipo de modulação para aplicação em inversores multiníveis com capacitores flutuantes, que melhora o conteúdo harmônico da tensão de saída, principalmente para operação com baixos índices de modulação, além de ajudar no equilíbrio dos capacitores do barramento CC.

No entanto, as duas técnicas supracitadas somente podem ser desenvolvidas em inversores multiníveis baseados em capacitores flutuantes, visto que a PSPWM não é aplicável a topologias do tipo NPC, assim como a técnica proposta em [27], visto que esta é baseada na PSPWM. Outro ponto negativo que caracteriza essas duas técnicas são as elevadas perdas por chaveamento apresentadas por elas e elevado esforço de corrente nos diodo em anti-paralelo com as chaves, que serão exploradas em detalhes no capítulo 3.

A fim de solucionar esse problema, pode ser utilizada outra técnica bastante comum, a LSPWM [25], [26] (*Level-Shifted Pulse Width Modulation*, do inglês, Modulação por Largura de Pulso com Deslocamento de Nível), a qual será detalhada em seções posteriores. Porém, essa técnica também produz elevados índices de distorção harmônica da tensão de saída e desbalanceamento dos capacitores. Assim, visando superar as dificuldades inerentes a essas técnicas de modulação, este capítulo introduz a modulação desenvolvida neste trabalho.

Contudo, o desenvolvimento analógico dessas técnicas requer muito esforço e demasiado número de componentes. Além disso, ajustes e manutenções se tornam complicados em circuitos que utilizam muitos componentes. Somando-se isso ao fato de que os sistemas digitais trabalham com processadores dedicados, com alta capacidade de resolução de equações e tratamento de sinais, as técnicas de modulação supracitadas serão implementadas em meio digital, através da utilização de um dispositivo FPGA (*Field Programmable Gate Array*) [33].

O FPGA foi escolhido em favor de outros dispositivos, como os microcontroladores PIC e DSPIC, mais simples e mais baratos, porque estes não possuem processamento suficientemente veloz, além de não disponibilizarem quantidade suficiente de saídas para acionamento do inversor proposto. Também poderia ser utilizado o DSP, mas este não apresenta *hardware* compatível para aplicações com portadoras alternativas. Além de não oferecer quantidade suficiente de saídas PWM para acionar todas as chaves de um inversor multinível.

O dispositivo FPGA escolhido, EP2C20F484C7, da família Cyclone II, da ALTERA[®], é relativamente barato, fácil de ser encontrado no mercado, e já possui uma placa de desenvolvimento própria, facilitando, portanto, seu desenvolvimento experimental.

Assim, neste capítulo será apresentada a modulação proposta neste trabalho, bem como o desenvolvimento digital das demais técnicas em inversores FC e NPC a três níveis para fins de comparação.

2.2 Modulação PSPWM

A modulação PSPWM é a mais simples dentre as técnicas utilizadas em inversores multiníveis. De fácil implementação, ela envolve a utilização de duas portadoras triangulares, de alta frequência, defasadas entre si de meio período de chaveamento, além de três moduladoras senoidais, em baixa frequência, defasadas entre si de 120 graus elétricos, como mostrado nas figuras 2.1 e 2.2, obtidas através de simulação no programa OrCAD[®].

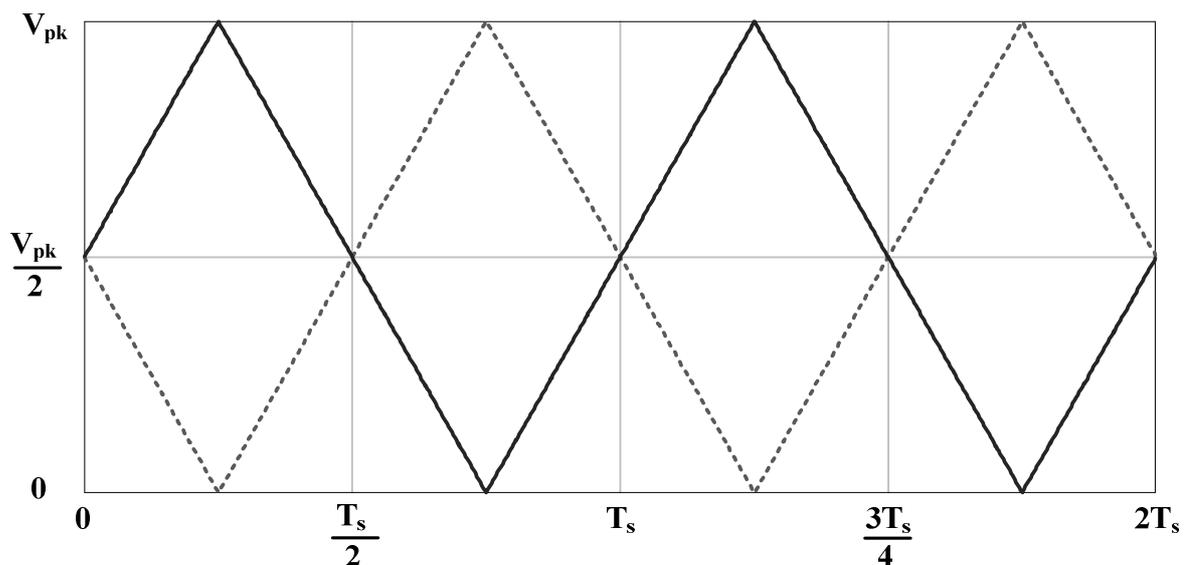


Figura 2.1. Portadoras utilizadas na modulação PSPWM.

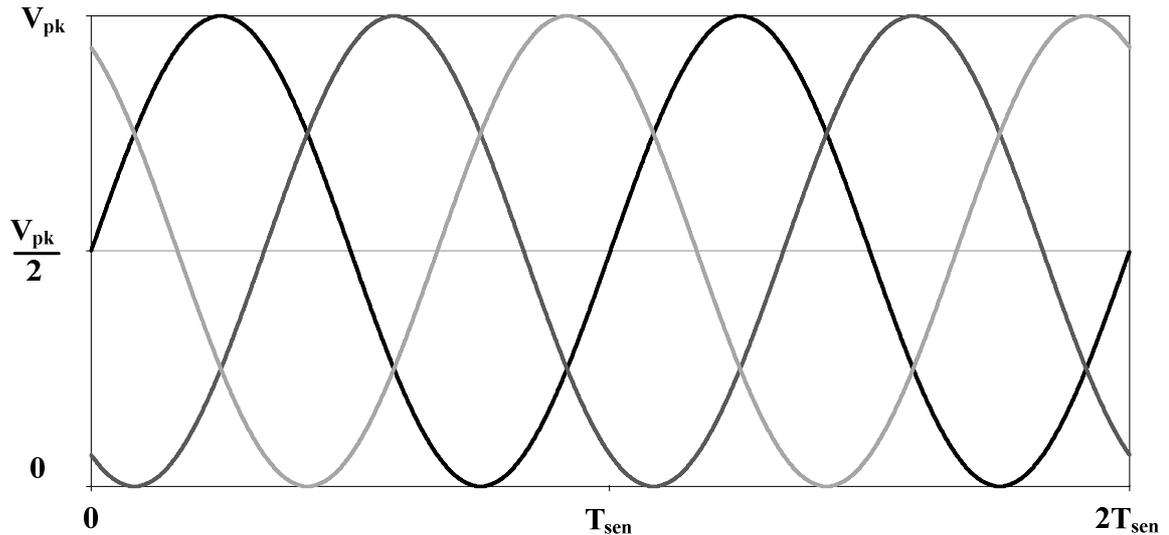


Figura 2.2. Moduladoras utilizadas na modulação PSPWM.

A figura 2.3 apresenta a comparação entre as portadoras e uma das moduladoras, assim como os respectivos pulsos de S_{x1} e S_{x2} , respectivamente as chaves 1 e 2 de qualquer um dos três braços do inversor multinível, como apresentado nas estruturas das figuras 1.1 e 1.2.

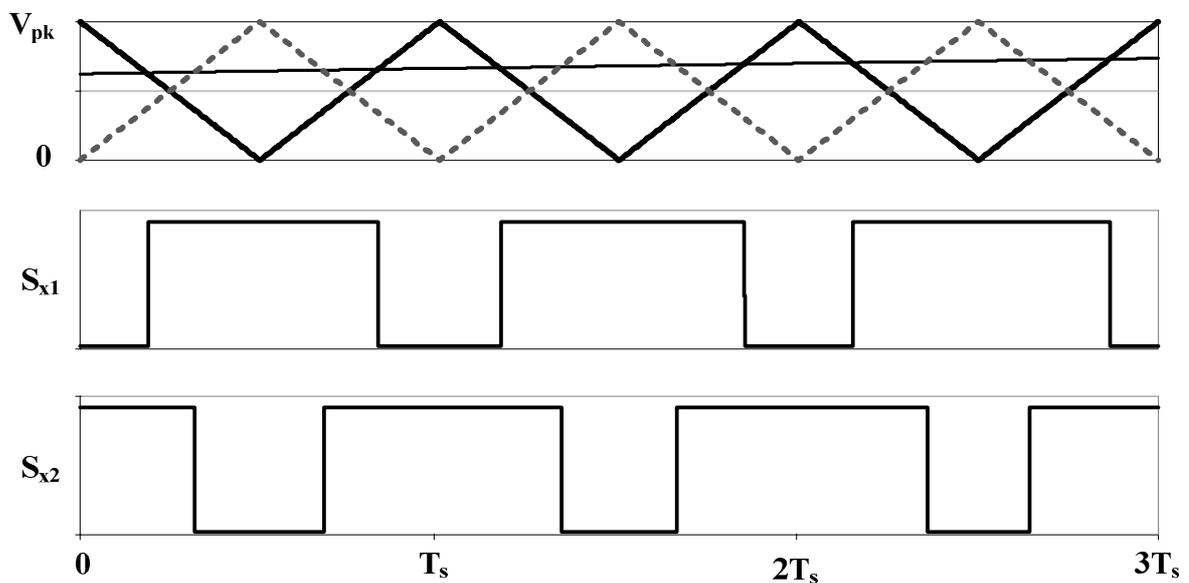


Figura 2.3. Geração dos pulsos das chaves na modulação PSPWM.

Vale ressaltar o comportamento de chaveamento dos interruptores ao longo do tempo. É importante observar que as duas chaves comutam indefinidamente durante um período de chaveamento, bem como seus sinais complementares que serão enviados aos outros dois interruptores que compõem o braço do inversor. Com isso, as perdas por comutação inerentes a esta técnica de modulação são bastante elevadas, prejudicando o desempenho do inversor. A figura 2.4 mostra o comportamento das correntes, em baixa frequência, através de S_{x1} e S_{x2} .

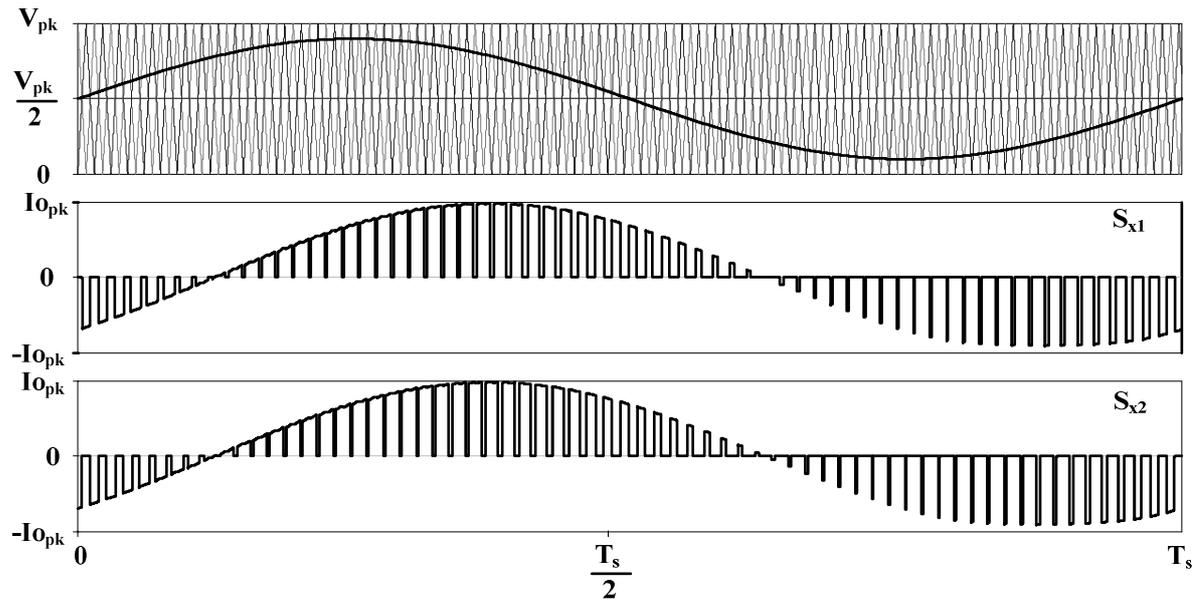


Figura 2.4. Correntes através das chaves S_{x1} e S_{x2} na modulação PSPWM.

Por fim, a figura 2.5 apresenta o padrão de chaveamento relativo à técnica PSPWM, onde pode ser observada a geração dos pulsos em baixa frequência ao longo de um período da moduladora para cada uma das chaves.

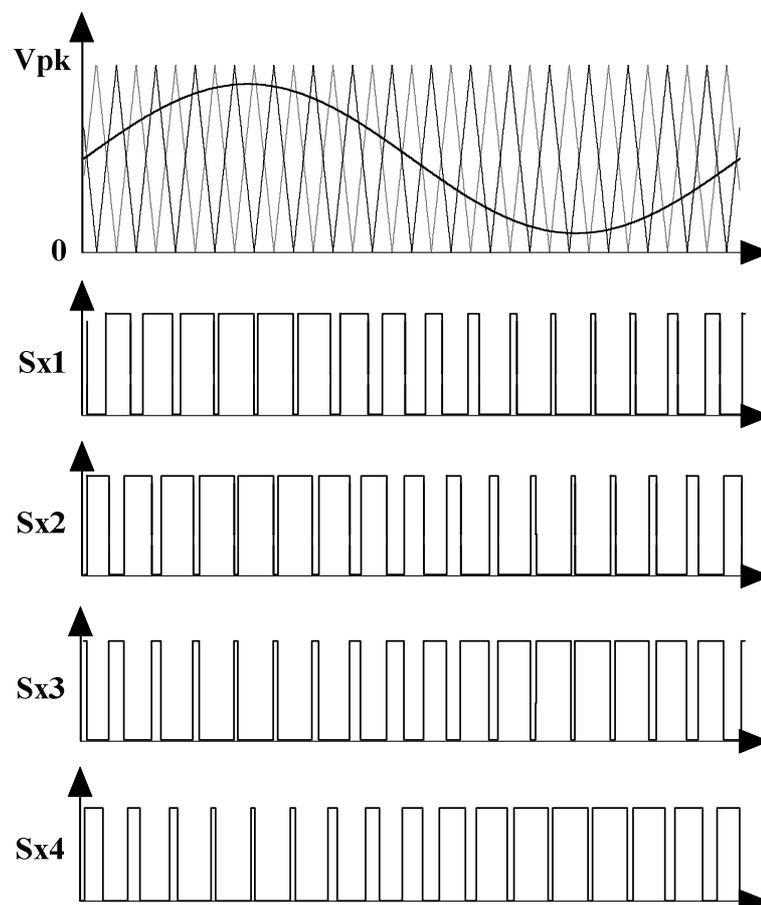


Figura 2.5. Padrão de chaveamento relativo à modulação PSPWM.

2.2.1 Desenvolvimento Digital das Portadoras

A placa de desenvolvimento do FPGA desenvolvida pela ALTERA[®] disponibiliza um *clock* de 50 MHz. No entanto, essa frequência é muito elevada para ser utilizada diretamente às chaves, fazendo-se necessário, portanto, a utilização de um divisor de frequência.

O divisor de frequência é desenvolvido digitalmente utilizando a ferramenta de programação QUARTUS II, através de um diagrama de blocos, como mostrado na figura abaixo.

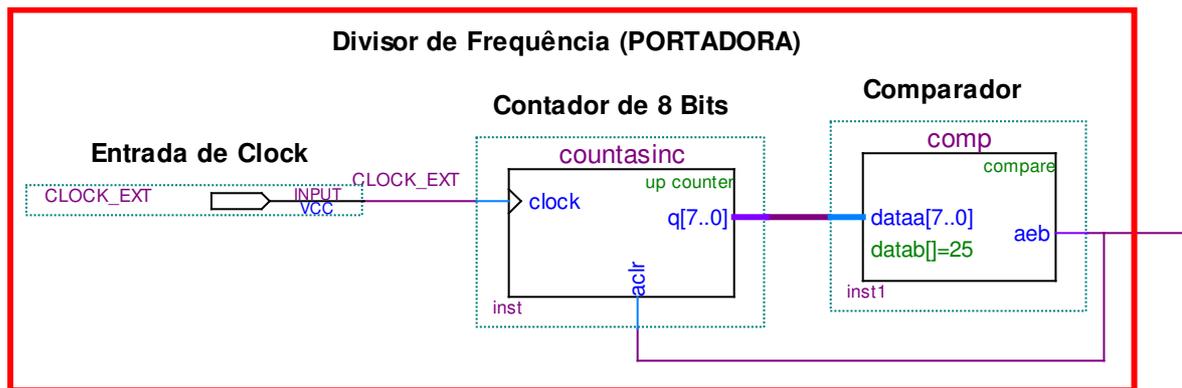


Figura 2.6. Divisor de frequência utilizado para definição do período de chaveamento.

Na figura 2.6, o canal de entrada `CLK_EXT` representa o *clock* de 50 MHz disponibilizado na placa de desenvolvimento. Esse canal serve de parâmetro para o primeiro bloco, `COUNTASINC`, o qual funciona como um contador. A cada pulso do *clock* de entrada, o bloco repassa à saída um valor inteiro de 8bits, de valor unitariamente maior que o anterior. O pino `ACLR` serve como um *reset*, fazendo com que o bloco reinicie a contagem de zero.

O segundo bloco, chamado de `COMP`, é um comparador que possui como parâmetros de entrada, a saída do bloco anterior (`COUNTASINC`), e um número constante a ser comparado. A saída é um pulso com nível lógico alto sempre que as entradas possuírem mesmo valor. Vale ainda ressaltar que a saída deste bloco está ligada ao pino de *reset* do bloco contador.

O funcionamento do divisor de frequência é, portanto, bastante simples. O bloco contador recebe, a cada 20 ns (equivalente à frequência de 50 MHz), um pulso com nível lógico alto e, a cada pulso recebido, incrementa o valor de sua saída de 8 bits. Em seguida, essa saída é utilizada pelo bloco comparador, onde, sempre que esta for igual a vinte e cinco, o bloco comparador envia um pulso alto ao restante do circuito e, além disso, reinicia o bloco contador, o que ocorre a cada 500 ns. A figura abaixo mostra as formas de onda correspondentes ao funcionamento do divisor de frequência.

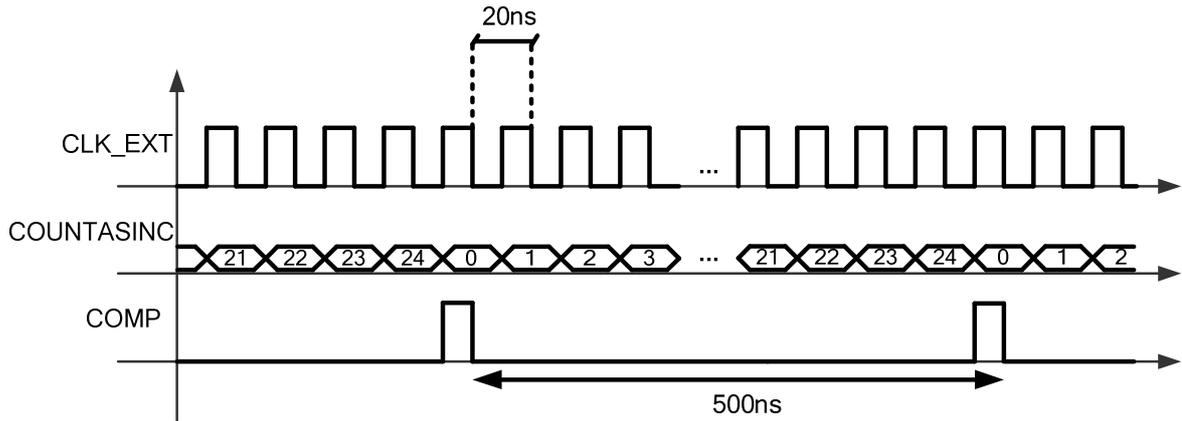


Figura 2.7. Formas de onda representativas do divisor de frequência.

O próximo passo para gerar as portadoras é ligar a saída do comparador a um novo contador, como mostra a figura abaixo. Esse novo bloco contador, chamado COUNT2, tem a característica de fazer contagens progressivas e regressivas de 8bits, ou seja, de 0 a 255, e, em seguida, de 255 a 0. Vale ressaltar que esse bloco possui duas entradas: o *clock*, que vem da saída do comparador anterior, e o *updown*, a qual, quando em nível lógico baixo, faz com que o bloco conte progressivamente, enquanto que, quando em nível lógico alto, faz com que o bloco conte regressivamente.

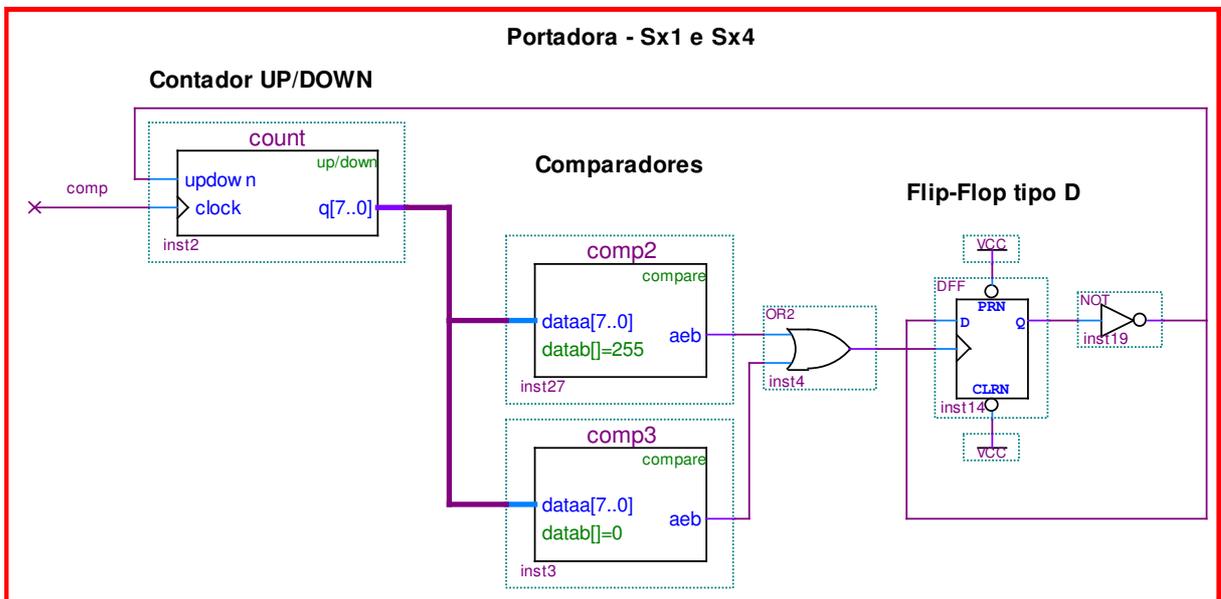


Figura 2.8. Circuito de geração de uma das portadoras.

Os dois blocos comparadores COMP2 e COMP3, e o *flip-flop* tipo D, servem para fazer a correta utilização da entrada *updown*: ao atingir o valor 255, a entrada *updown* do comparador recebe um pulso alto, fazendo com que este trabalhe regressivamente. Quando o contador

chega a zero, o inverso ocorre, de forma que o mesmo passa a operar progressivamente. Vale ressaltar que, como um pulso do *clock* chega a cada 500 ns, então cada saída de 8 bits do bloco COUNT fica ativa por esse mesmo período. A figura 2.9 mostra a operação desse circuito.

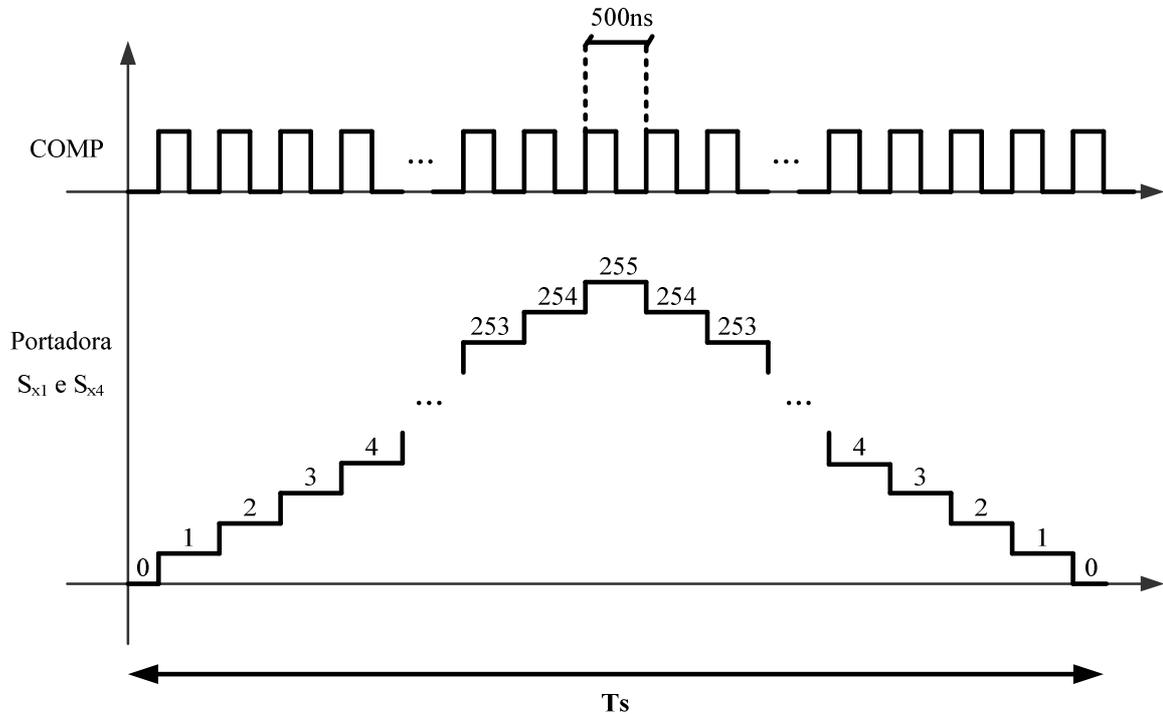


Figura 2.9. Portadora para as chaves S_1 e S_3 de cada braço do inversor.

A partir da figura 2.9, torna-se possível o cálculo da frequência de chaveamento do inversor: cada degrau da triangular tem duração de 500 ns. Assim, calculando-se o número de degraus (2.1), pode-se obter o período (2.2), e a frequência de chaveamento (2.3).

$$N_{\text{degraus}} = 255 \cdot 2 = 510 \quad (2.1)$$

$$T_s = 510 \cdot 500\text{ns} = 255\mu\text{s} \quad (2.2)$$

$$f_s = \frac{1}{255\mu\text{s}} = 3,92\text{kHz} \quad (2.3)$$

Por fim, faz-se necessário desenvolver uma segunda portadora, defasada de meio período de chaveamento da portadora A, mostrada na figura acima, a fim de ser utilizada para o acionamento das chaves S_{x2} e S_{x4} . Para tanto, utiliza-se o circuito mostrado na figura 2.10.

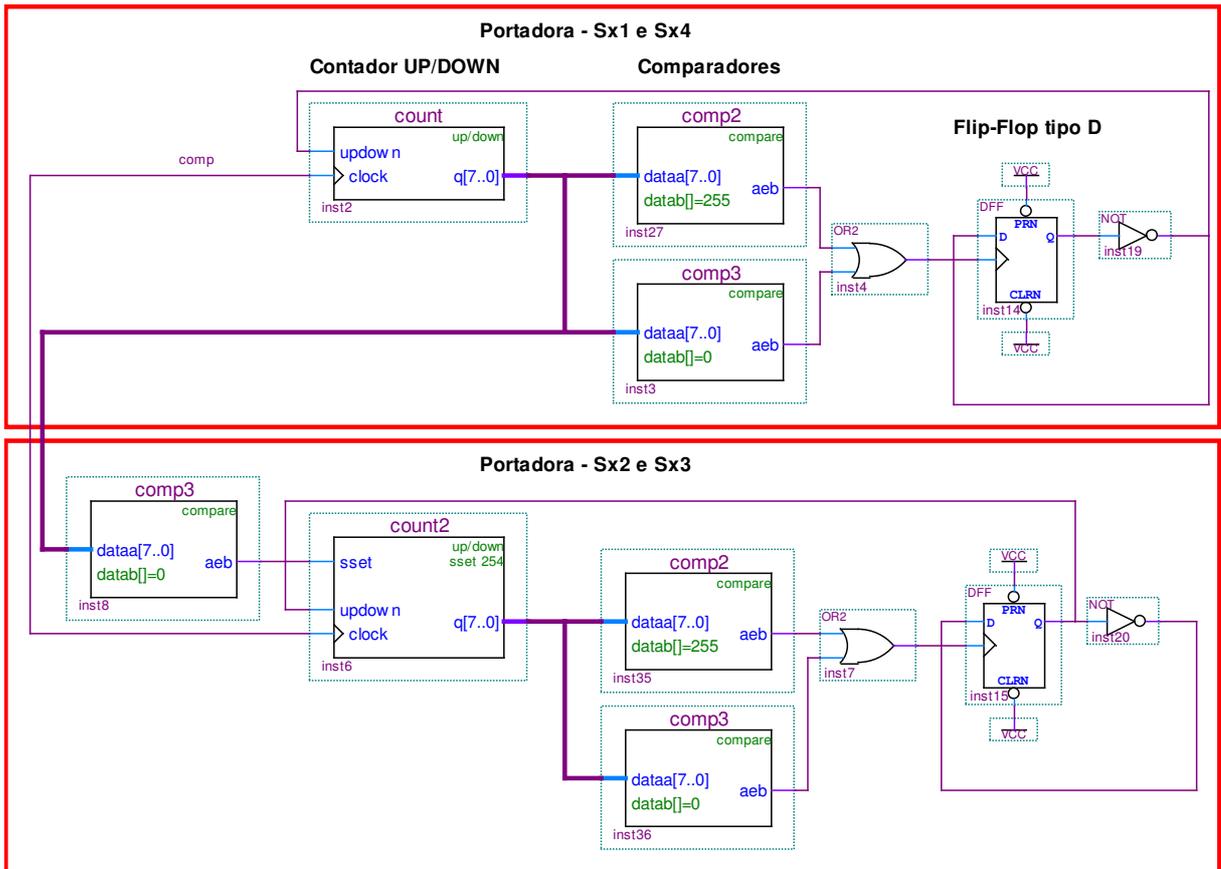


Figura 2.10. Circuito de geração da portadora defasada de meio período de chaveamento.

No circuito gerador da portadora B, nota-se a presença de um bloco comparador antes do bloco COUNT2. Esse comparador, COMP3, envia um pulso para o bloco COUNT2, sempre que a saída do contador COUNT, relativo à portadora A, estiver em nível lógico baixo. Isso faz com que o bloco COUNT2 assuma um valor de 254 no ciclo seguinte, ou seja, quando a saída do bloco COUNT estiver em nível lógico alto, conforme mostra a figura 2.11. Além disso, vale ressaltar que a saída do *flip-flop* utilizado pela portadora B é ligada diretamente ao pino *updown* do contador COUNT2, sem passar antes por uma porta inversora, como ocorre com a portadora A, garantindo que, quando o bloco COUNT opera progressivamente, o bloco COUNT2 opera regressivamente, e vice-versa.

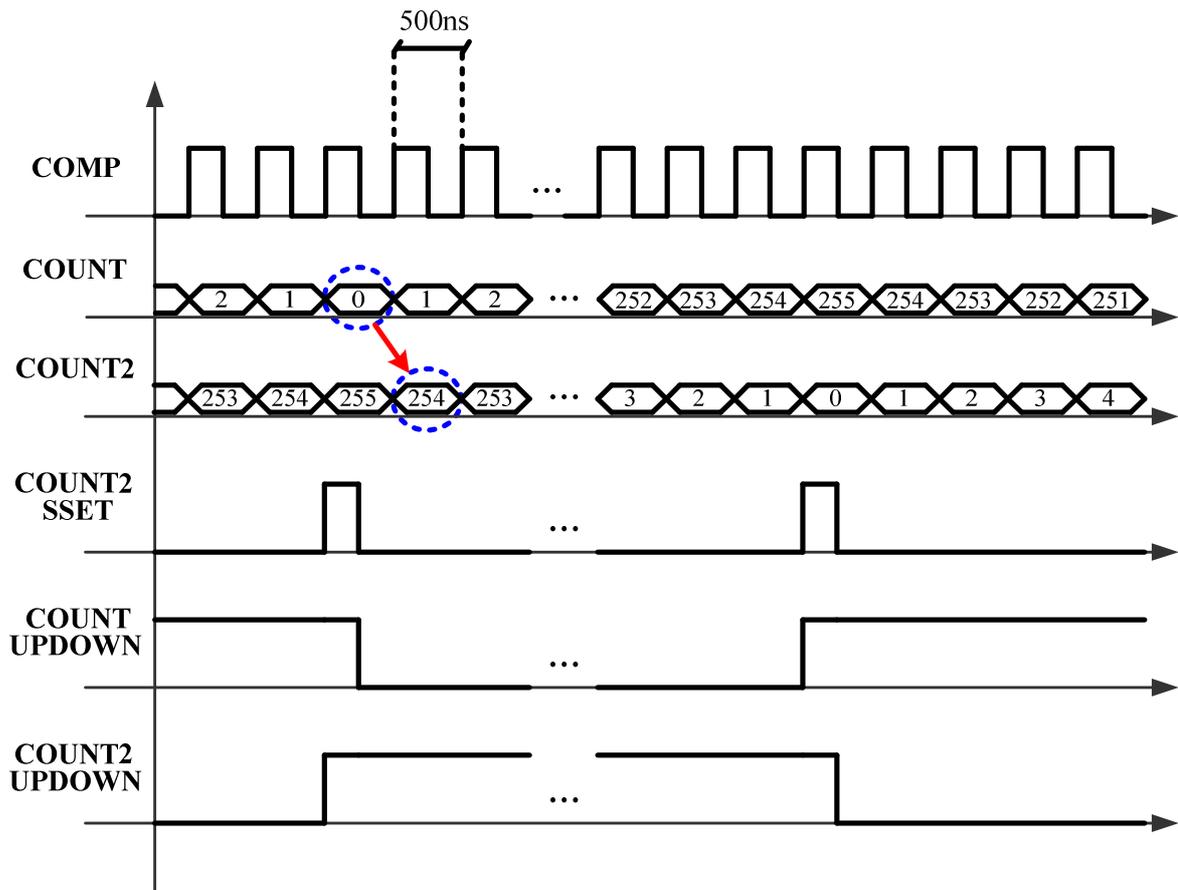


Figura 2.11. Detalhe de operação dos blocos COUNT e COUNT2.

Por fim, a figura 2.12 mostra o resultado da geração digital das duas portadoras, A e B, defasadas em meio período de chaveamento, enquanto a figura 2.13 apresenta o detalhamento dessas formas de onda durante um período.

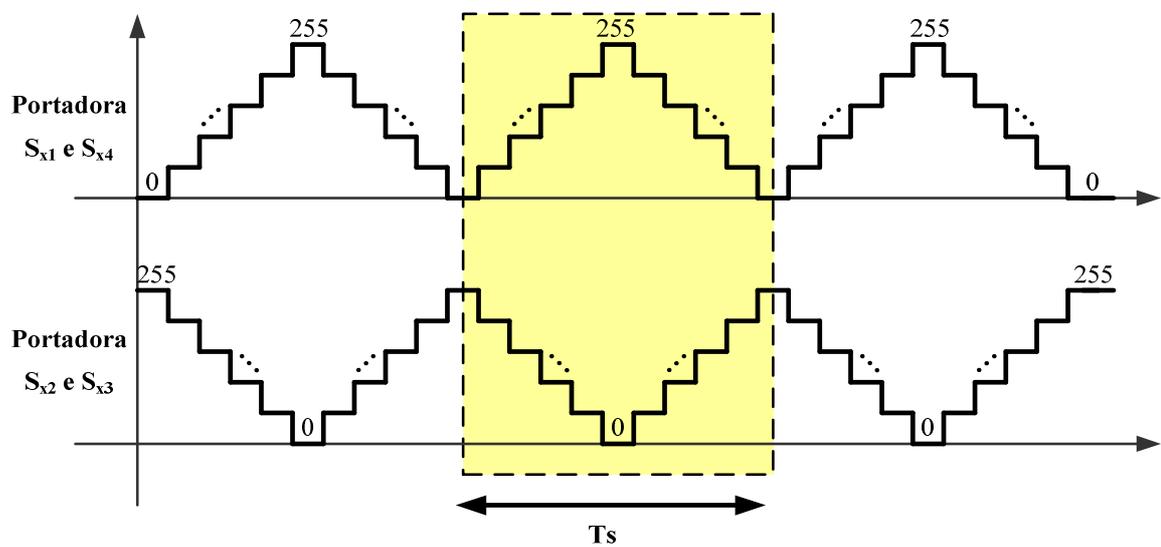


Figura 2.12. Portadoras A e B, defasadas em meio período de chaveamento.

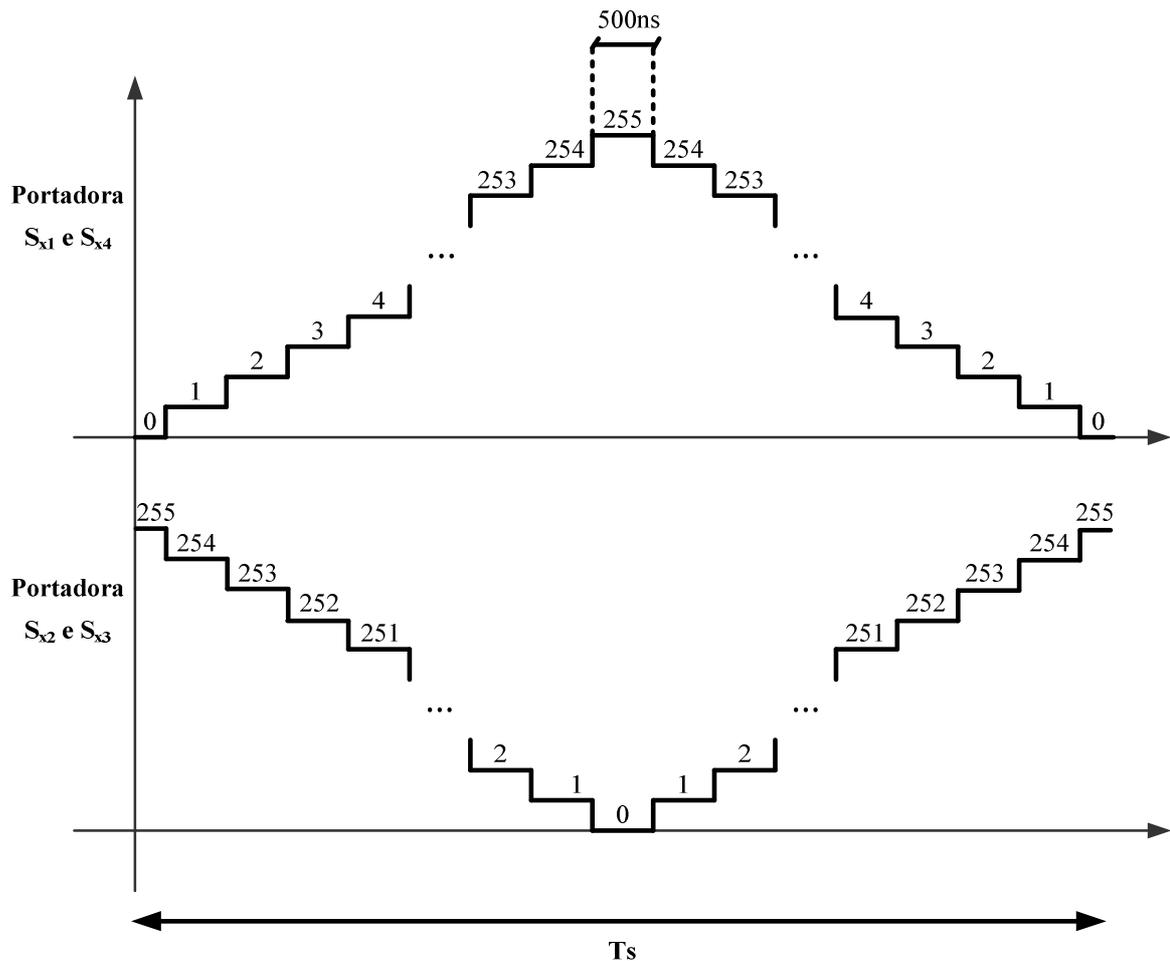


Figura 2.13. Detalhe das portadoras A e B, defasadas em meio período de chaveamento.

2.2.2 Desenvolvimento Digital das Moduladoras

As moduladoras utilizadas são três senoides, com frequências iguais a 60 Hz, defasadas 120 graus elétricos entre si. A fim de gerar as três senoides digitalmente, faz-se necessário, inicialmente, implementar uma senoide, cuja representação digital é uma tabela com determinado número de constantes inteiras de 8bits. Segue abaixo o passo-a-passo necessário para gerar a tabela da senoide:

- Primeiramente, deve-se definir o número de pontos que constituirão a tabela.
- Em seguida, divide-se o período da senoide pela quantidade de pontos, obtendo-se o incremento de tempo Δt .
- Posteriormente, para cada incremento de tempo Δt , calcula-se a função clássica da senoide, segundo mostra a equação (2.4), onde V_{amp} é a amplitude da senoide.

$$V_{\text{sen}} = V_{\text{amp}} \cdot \text{sen}(2 \cdot \pi \cdot f_{\text{sen}} \cdot \Delta t) \quad (2.4)$$

- Como a função apresentada na expressão (2.4) gera valores reais, positivos e negativos, faz-se necessário, converter todos esses valores em números inteiros.
- Em seguida, somam-se os valores obtidos a partir da expressão (2.4) a V_{amp} , fazendo com que os valores resultantes sejam todos inteiros e positivos, variando de zero a duas vezes V_{amp} .

Vale ressaltar que, apesar de haver uma operação de arredondamento dos valores obtidos, que garantem que todos eles são inteiros, esse fato não afeta a característica de chaveamento, devido à grande quantidade de pontos tabela e à alta frequência das portadoras.

Além disso, como as senoides geradas serão comparadas às duas portadoras desenvolvidas no item anterior, cuja variação é de zero a 255, facilmente define-se que V_{amp} , na função (2.4), deve ser igual a 127. Assim, a fim de gerar a tabela de valores que representarão a senoide, falta apenas definir o número de pontos da mesma.

Para tanto, deve-se considerar que o parâmetro de entrada do bloco responsável por gerar as senoides é o mesmo *clock* de 50 MHz disponibilizado pela placa de desenvolvimento do FPGA. Assim, será necessária a utilização de um divisor de frequência, como mostrado na figura 2.5, porém utilizando um bloco comparador com outro parâmetro, ou seja, não necessariamente dividindo a frequência por 25. A partir da expressão (2.5) é possível relacionar o parâmetro do bloco comparador (X_{comp}), com o número de pontos da tabela da senoide (N_{pts}).

$$T_{\text{CLK_EXT}} \cdot X_{\text{comp}} = \frac{T_{\text{sen}}}{N_{\text{pts}}} \quad (2.5)$$

Vale ressaltar que o membro à esquerda da expressão (2.5) representa cada incremento de tempo Δt , obtido a partir do divisor de frequência do *clock* de entrada. Assim, substituindo os valores de $T_{\text{CLK_EXT}}$ e T_{sen} , obtém-se a relação entre X_{comp} e N_{pts} , como em (2.6).

$$X_{\text{comp}} \cdot N_{\text{pts}} \approx 833333 \quad (2.6)$$

Sabendo que ambos os parâmetros devem ser números inteiros e positivos, além de que o número de pontos da tabela deve ser de tal sorte que a senoide gerada não fique deformada, escolheu-se X_{comp} e N_{pts} , respectivamente, iguais a 6173 e 135. Assim, substituindo esses valores em (2.5) e recalculando o novo período da senoide gerada digitalmente, obtém-se:

$$f_{\text{sen}} = 59,998\text{Hz} \quad (2.7)$$

Como a frequência obtida não é exatamente igual a 60 Hz, por menor que seja esse erro, este pode se propagar ao longo do tempo. Assim, para garantir que isso não ocorra, na programação do bloco que gera a senoide dentro do FPGA, foi implementado um *flag*, cuja função é a de reiniciar a contagem de pontos da tabela a cada ciclo da senoide, garantindo que a frequência seja sempre a mesma.

Com a ajuda do programa Microsoft Excel[®], foi gerada a tabela e o gráfico da senoide a partir dos valores obtidos pela função (2.4), como mostrado na figura 2.14, onde se pode perceber que a senoide não possui deformações, provando que a escolha da quantidade de pontos é aceitável. Vale ressaltar que a quantidade de pontos escolhida para representar a senoide mostrou-se aceitável devido à sua baixa frequência, como se pode verificar na figura 2.14.

Tendo gerado a primeira senoide e tomando-a como referência, facilmente se consegue obter as outras duas. Para tanto, basta fazer com que uma delas comece na posição 45 da tabela, que corresponde a 1/3 de 135, e a outra iniciando na posição 91, valor correspondente a 2/3 de 135. A figura 2.15 mostra o resultado da geração digital das três moduladoras.

Com os valores tabelados de cada senoide, é agora possível programar um bloco específico utilizando linguagem VHDL (APÊNDICE A), que tem como entrada o *clock*, advindo do divisor de frequência, e, como saídas, três valores de 8 bits, relativos a cada senoide.

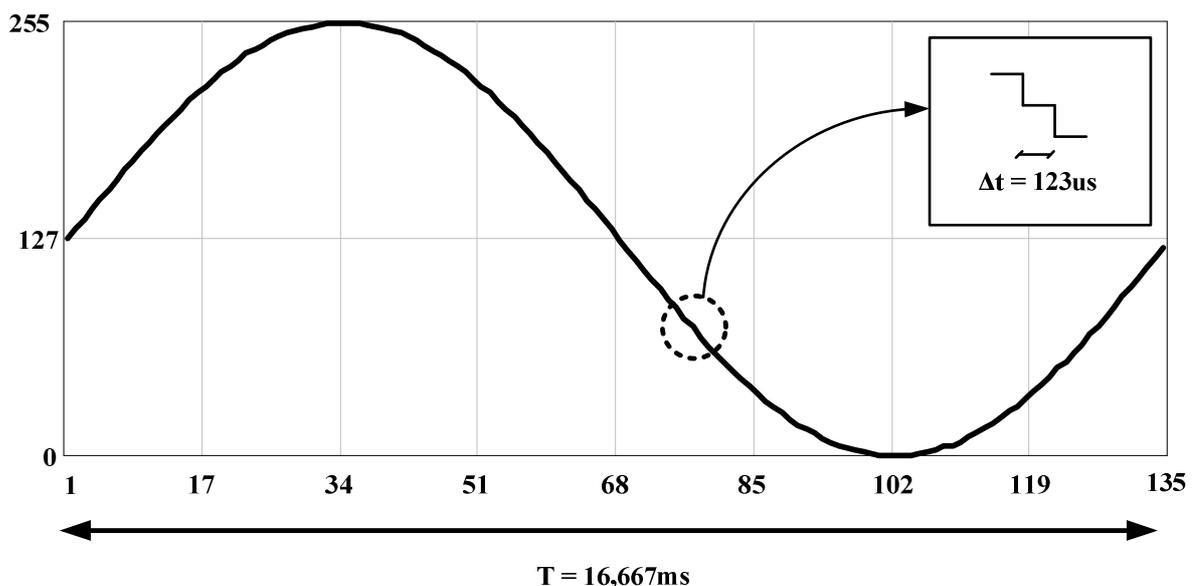


Figura 2.14. Senoide gerada digitalmente.

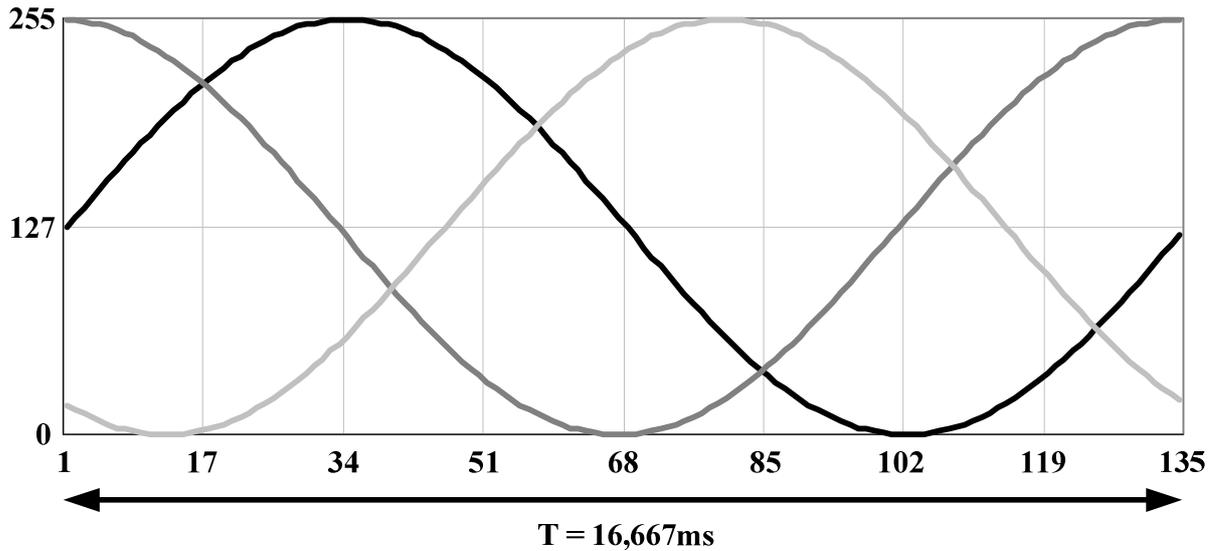


Figura 2.15. Três senóides defasadas de 120 graus elétricos entre si, geradas digitalmente.

Esses valores são enviados à saída do bloco de acordo com o pulso do divisor de frequência. Em seguida, cada um desses valores será comparado com as portadoras, gerando os pulsos relativos às respectivas chaves do inversor. A figura 2.16 apresenta a comparação digital das portadoras com uma das moduladoras, onde os canais *tri1*, *tri2* e *senoA* representam, respectivamente, os sinais das portadoras triangulares e de uma das moduladoras senoidais desenvolvidas neste item.

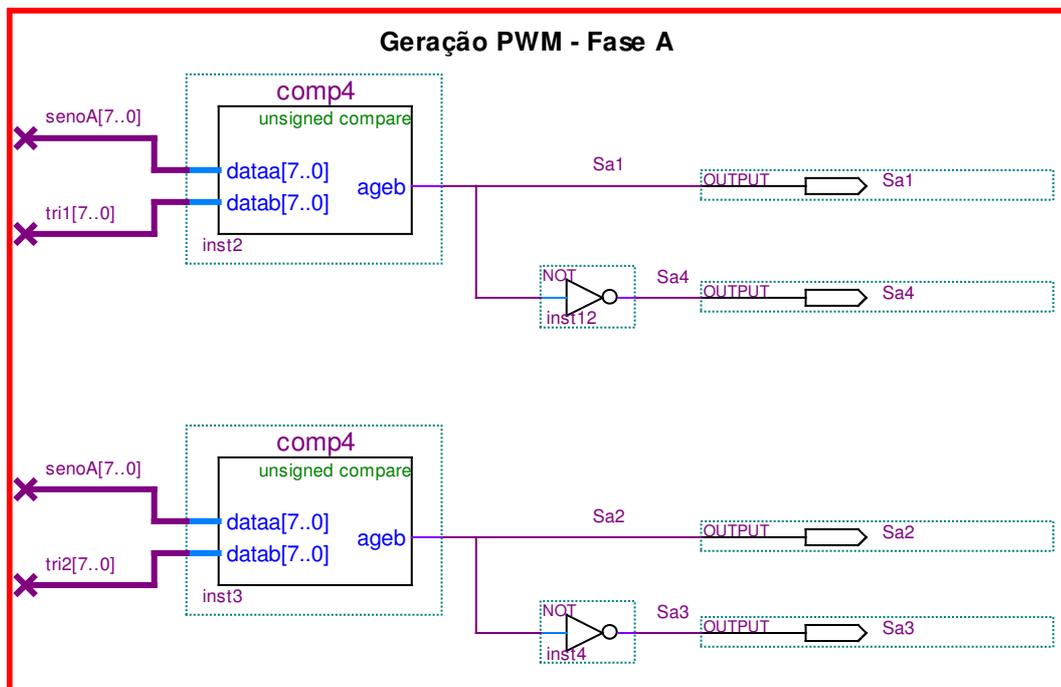


Figura 2.16. Comparação digital entre as portadoras e uma das moduladoras.

2.3 Modulação LSPWM (POD)

A modulação LSPWM (*Level-Shifted Pulse Width Modulation*, do inglês, Modulação por Largura de Pulso com Deslocamento de Nível), divide-se, de acordo com disposição das portadoras, em três tipos distintos, como observado através da figura 2.17: IPD (*In-Phase Disposition*, do inglês, disposição em fase), POD (*Phase-Opposition Disposition*, do inglês, disposição em oposição de fase), e APOD (*Alternate Phase-Opposition Disposition*, do inglês, disposição em oposição com alternância de fase).

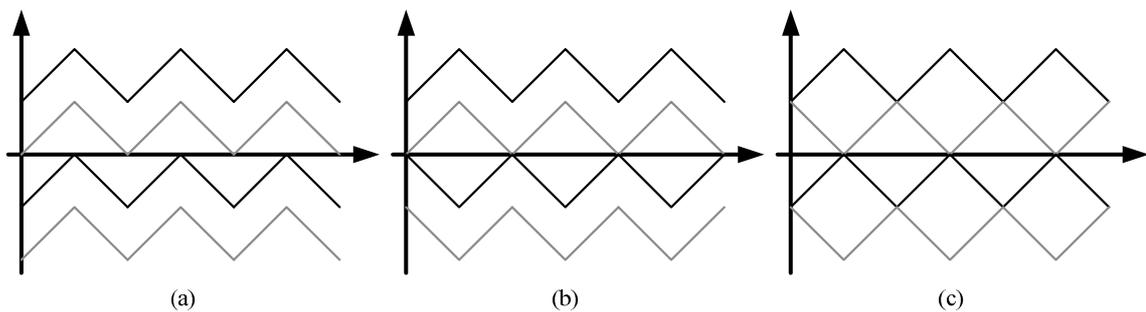


Figura 2.17. Modulações do tipo LSPWM: (a) IPD, (b) POD, (c) APOD.

Pelos motivos expostos nos itens subseqüentes, a técnica adotada para fins de comparação será a LSPWM (POD), que consiste em duas triangulares, deslocadas em níveis de tensão complementares, e defasadas em meio período de chaveamento, provocando o efeito de um espelhamento entre as portadoras. Digitalmente, onde não se utiliza valores negativos, uma das portadoras varia entre $V_{pk}/2$ e V_{pk} , e a outra, entre $0V$ e $V_{pk}/2$, como mostra a figura 2.18.

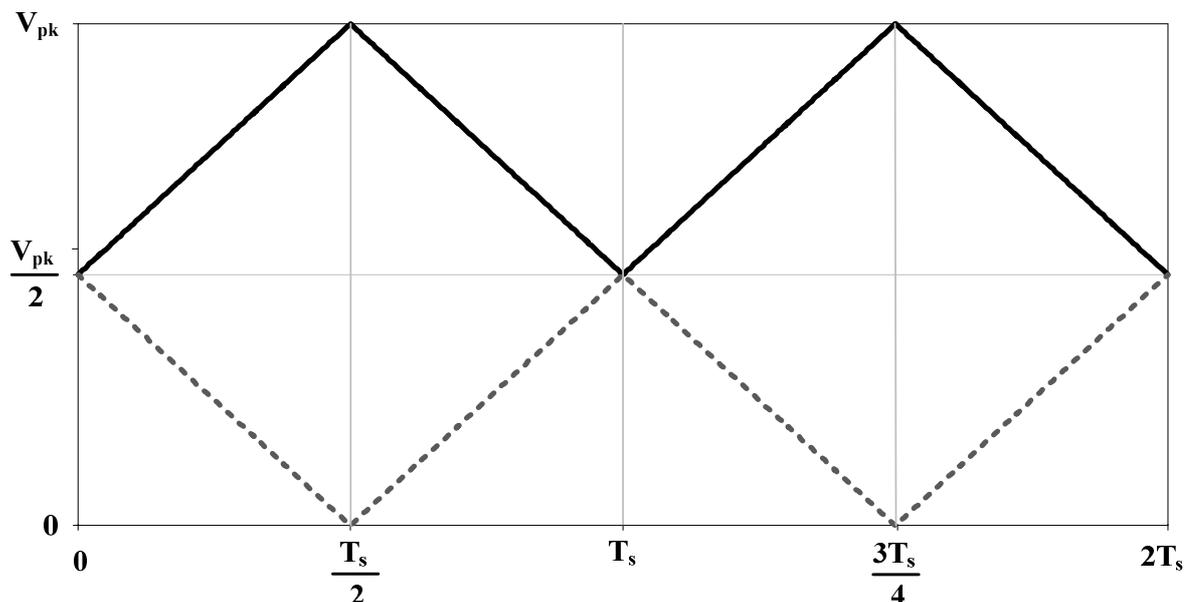


Figura 2.18. Portadoras utilizadas na técnica LSPWM (POD) em inversores de três níveis.

As figuras 2.19 e 2.20 mostram a comparação entre as portadoras e uma das moduladoras, bem como os respectivos pulsos das chaves S_{x1} e S_{x2} para dois casos possíveis: quando o sinal modulante encontra-se em um nível de tensão superior a $V_{pk}/2$, sendo comparado apenas à portadora superior, e quando a moduladora está abaixo desse nível, sendo comparada apenas à portadora inferior, onde se pode verificar que S_{x1} fica desligada durante meio ciclo da senoide, enquanto S_{x2} permanece ligada durante o outro semi-ciclo, o que indica uma redução nas perdas por chaveamento. A figura 2.21 apresenta o comportamento da corrente através das chaves S_{x1} e S_{x2} para a técnica modulação LSPWM (POD) em baixa frequência.

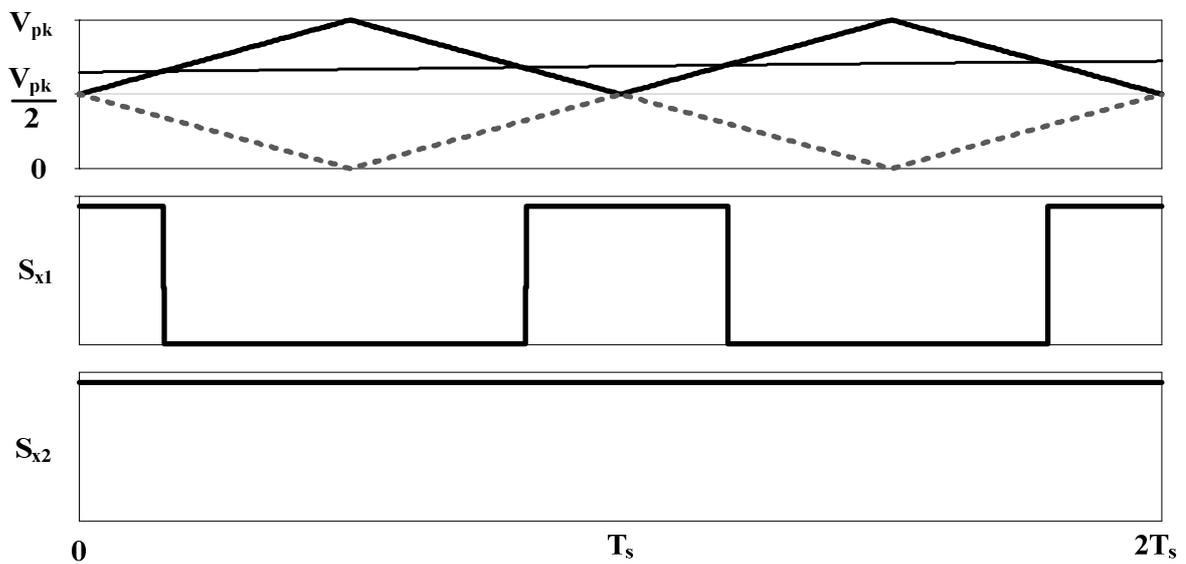


Figura 2.19. Geração dos pulsos das chaves na modulação LSPWM (POD) quando $V_{ref} \geq V_{pk}/2$.

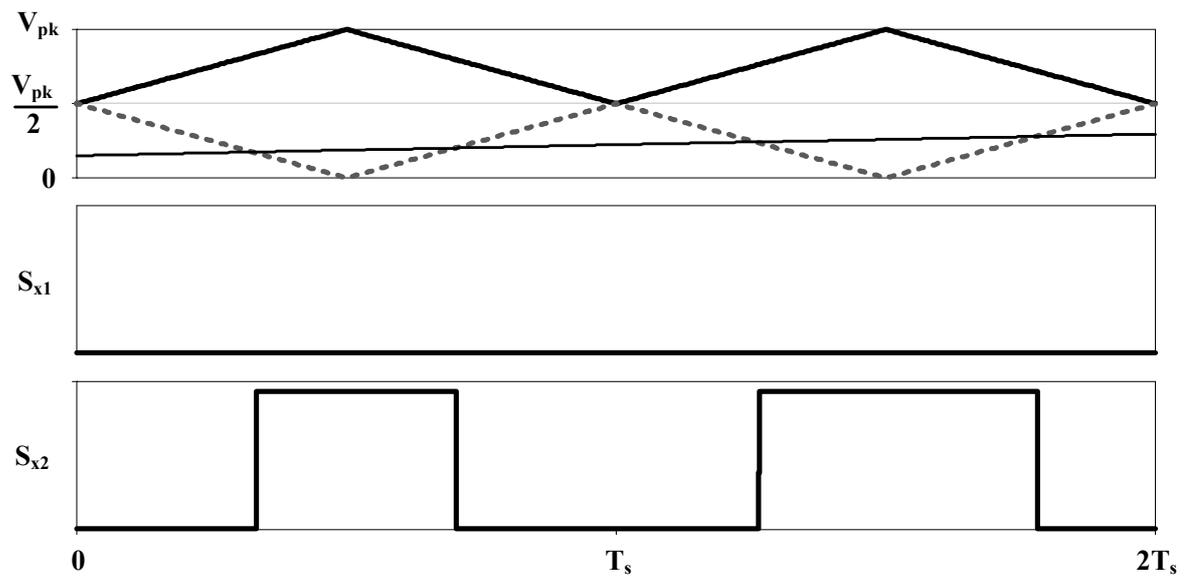


Figura 2.20. Geração dos pulsos das chaves na modulação LSPWM (POD) quando $V_{ref} \leq V_{pk}/2$.

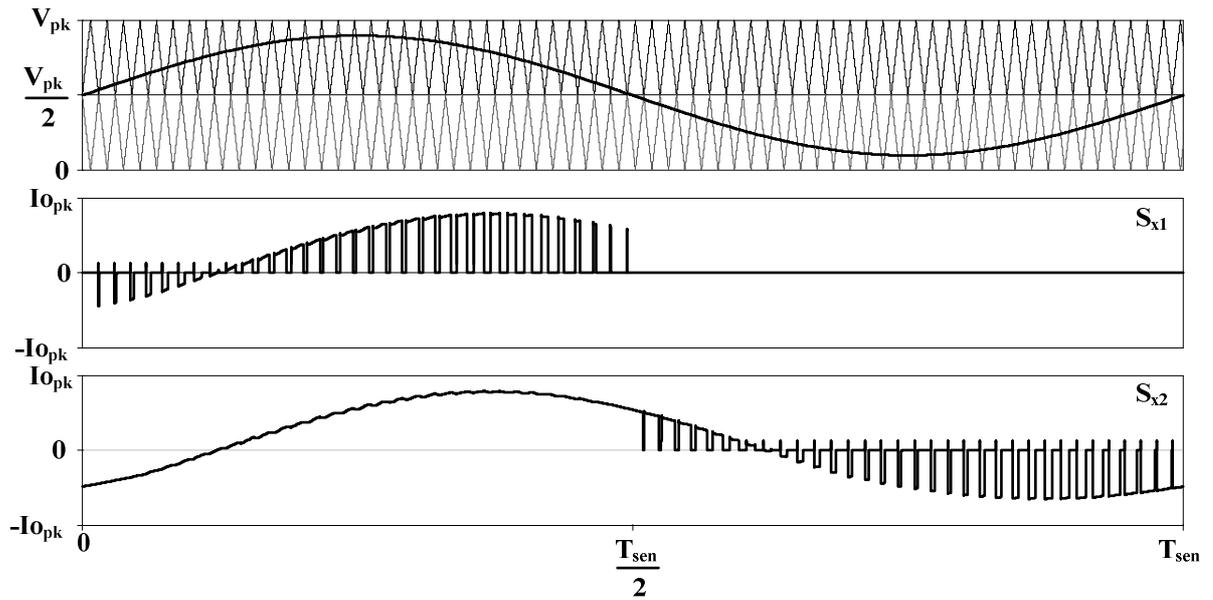


Figura 2.21. Correntes através das chaves S_{x1} e S_{x2} na modulação LSPWM (POD).

Por fim, a figura 2.22 apresenta o padrão de chaveamento da técnica LSPWM (POD), onde pode ser observada a geração dos pulsos em baixa frequência ao longo de um período.

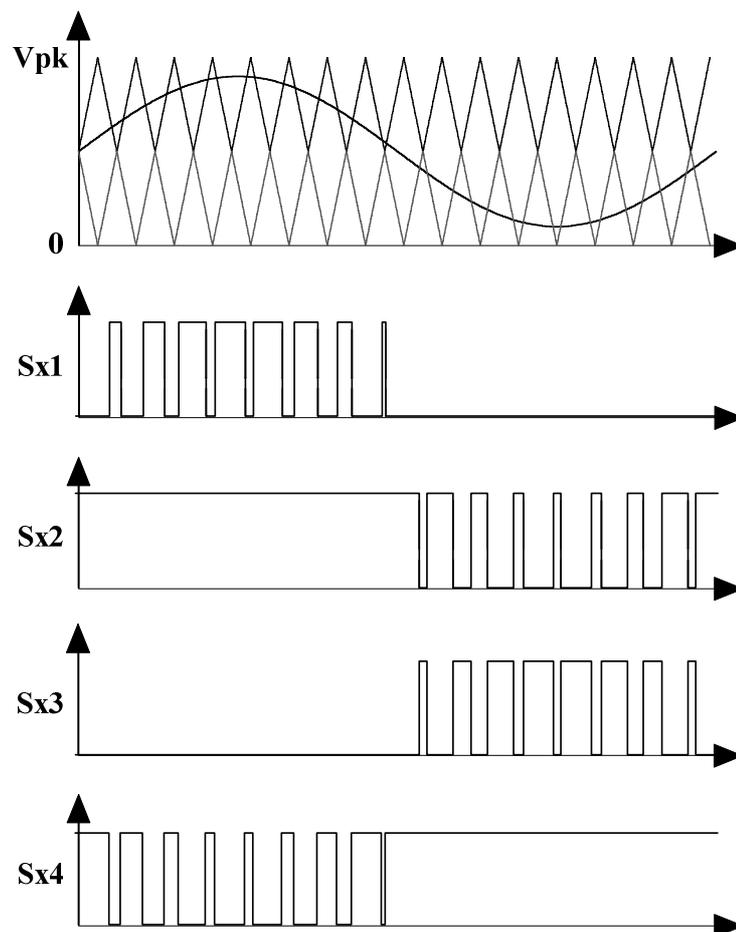


Figura 2.22. Padrão de chaveamento relativo à modulação LSPWM (POD).

2.3.1 Desenvolvimento Digital das Portadoras

Para a digitalização das duas portadoras referentes à LSPWM (POD), será gerado um bloco com duas tabelas de valores previamente calculados, assim como foi feito com as moduladoras do item 2.2.2. Assim, faz-se necessário desenvolver um divisor de frequência, parecido com o utilizado em 2.2.1. Nesse caso, no entanto, cada triangular é composta por 254 degraus, cada um durando $1 \mu\text{s}$, resultando em uma frequência de chaveamento de 3,94 kHz.

As portadoras são facilmente geradas: a primeira delas deve apresentar um valor inicial de 127 e ser unitariamente crescente até atingir o valor 254 para, em seguida, decrescer novamente até o valor 127, representando a triangular que varia, analogicamente, entre $V_{pk}/2$ e V_{pk} . Já a segunda portadora deve apresentar um valor inicial de 127 e ser unitariamente decrescente até 0, para, em seguida, crescer até atingir novamente 127. A figura 2.23 mostra o resultado da geração digital das duas portadoras para a técnica de modulação LSPWM (POD) durante um período de chaveamento.

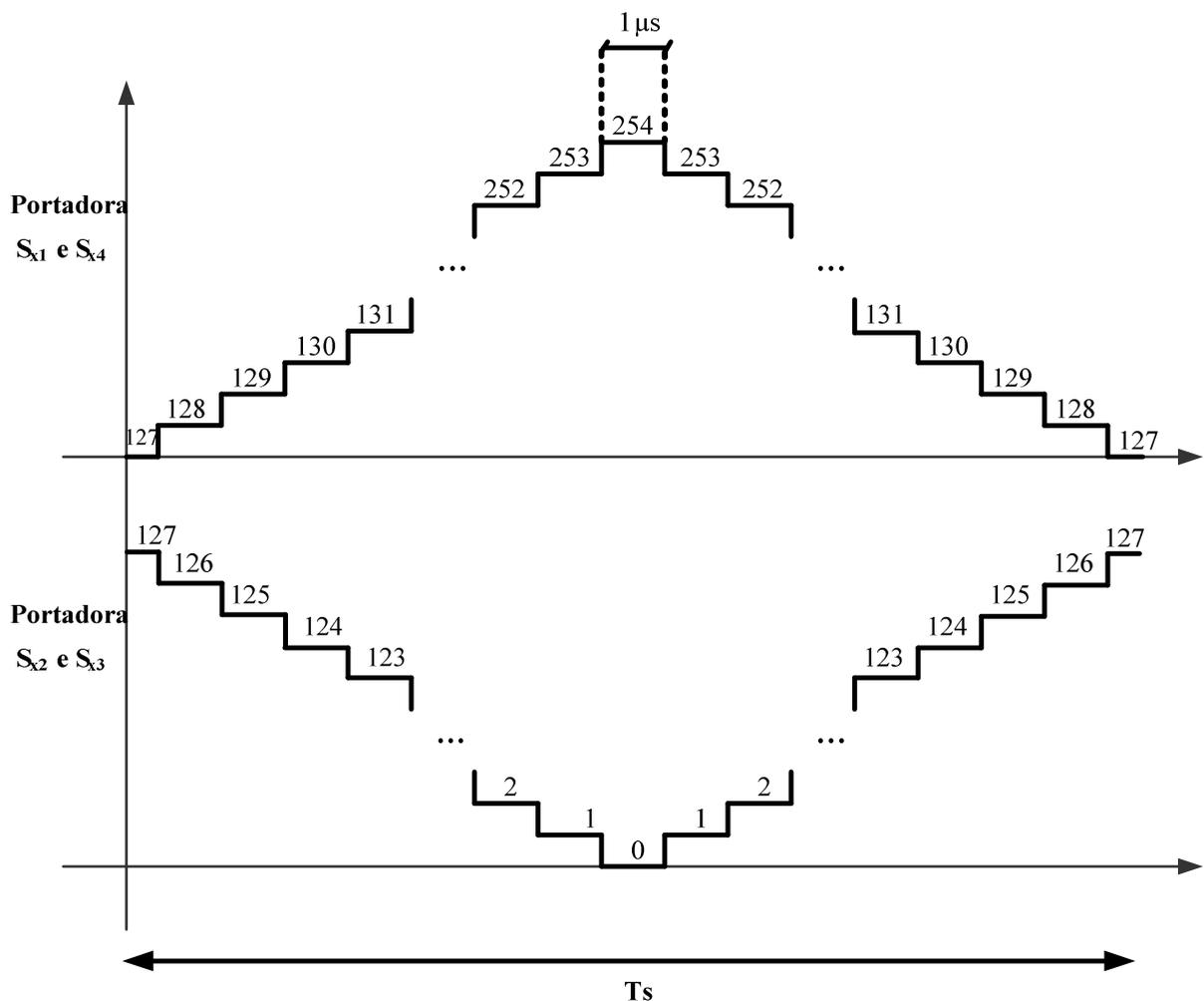


Figura 2.23. Geração digital das portadoras para a modulação LSPWM (POD).

Vale ainda ressaltar que o desenvolvimento digital das três moduladoras é idêntico à-quele apresentado na seção anterior, sendo, portanto, omitido neste item.

2.4 Modulação Proposta em [27]

A técnica de modulação desenvolvida em [27] tem como objetivo reduzir o conteúdo harmônico da tensão de saída, bem como ajudar no balanceamento de tensão entre os capacitores flutuantes. Essa modulação é composta por duas portadoras modificadas, em alta frequência, defasadas entre si de meio período de chaveamento, além das três moduladoras senoidais, em baixa frequência, defasadas entre si em 120 graus elétricos. Visto que as três moduladoras são idênticas às utilizadas na modulação PSPWM e sua obtenção digital segue a mesma metodologia apresentada no item 2.2.2, seus desenvolvimentos serão aqui omitidos.

A técnica de modulação proposta é baseada em diferentes portadoras para cada nível de tensão das moduladoras. Assim, com relação ao desenvolvimento das duas portadoras defasadas em meio período de chaveamento, cada uma delas pode ser separada em duas partes: a primeira, quando a moduladora tem seu nível de tensão variando entre 0 e $V_{pk}/3$ (1/3 do valor máximo da portadora), apresentada na figura 2.24, e a segunda, quando a moduladora varia entre $V_{pk}/3$ e V_{pk} , mostrada na figura 2.25.

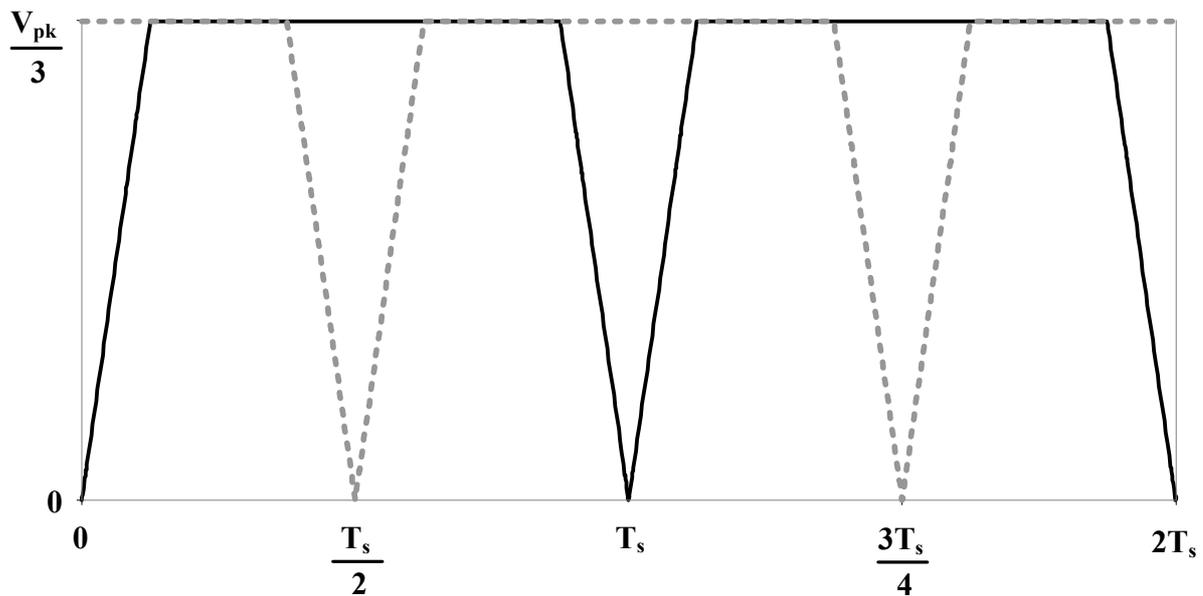


Figura 2.24. Portadoras utilizadas quando a tensão da moduladora varia entre 0 e $V_{pk}/3$.

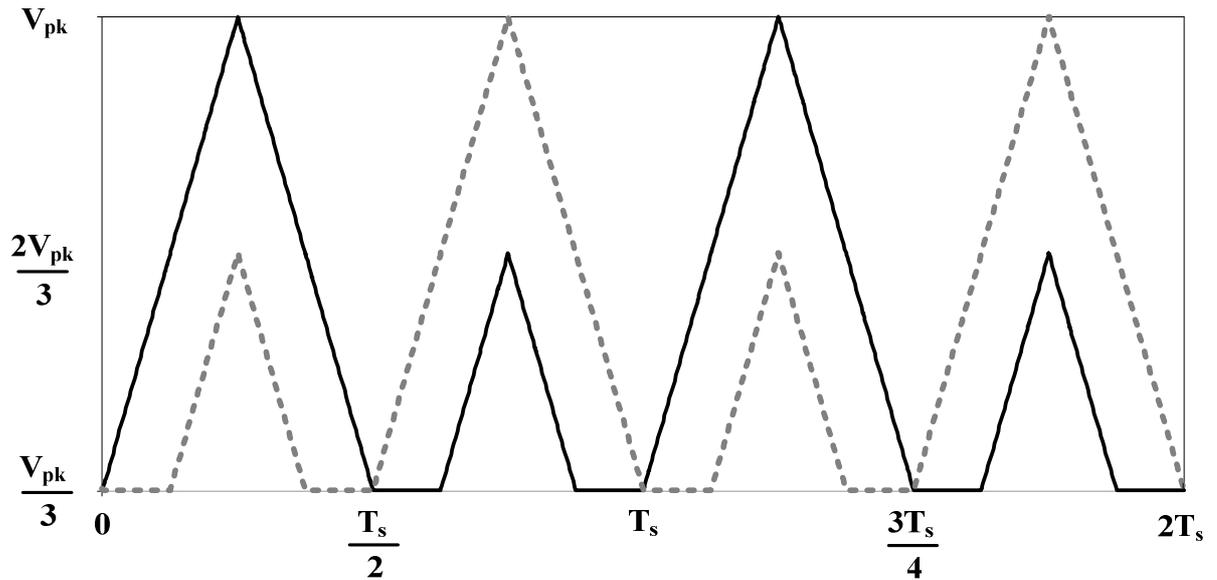


Figura 2.25. Portadoras utilizadas quando a tensão da moduladora varia entre $V_{pk}/3$ e V_{pk} .

As figuras 2.26, 2.27 e 2.28 mostram os detalhes da comparação entre as portadoras e uma das moduladoras, bem como os respectivos pulsos a serem enviados aos gatilhos das chaves correspondentes. Vale salientar que as portadoras das figuras 2.27 e 2.28 são idênticas, mas a comparação entre $V_{pk}/3 \leq V_{ref} \leq 2V_{pk}/3$ e $2V_{pk}/3 \leq V_{ref} \leq V_{pk}$ gera pulsos com peculiaridades diferentes, devidamente detalhadas em cada uma destas figuras.

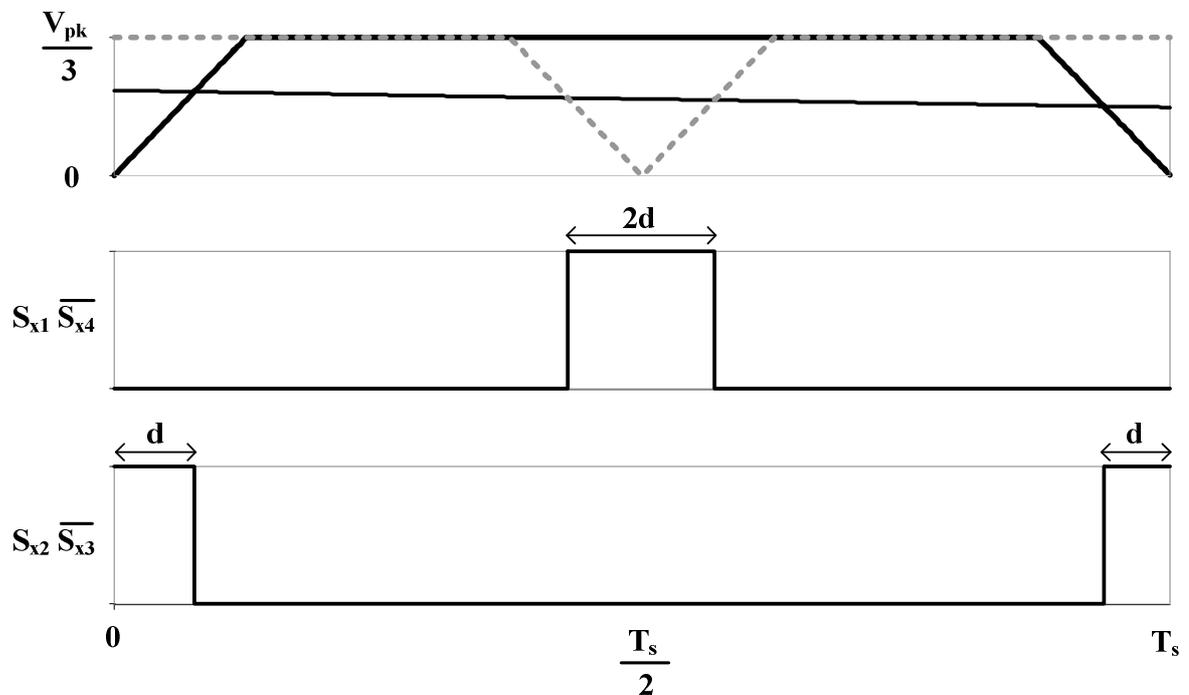


Figura 2.26. Geração dos pulsos das chaves na modulação proposta quando $0V \leq V_{ref} \leq V_{pk}/3$.

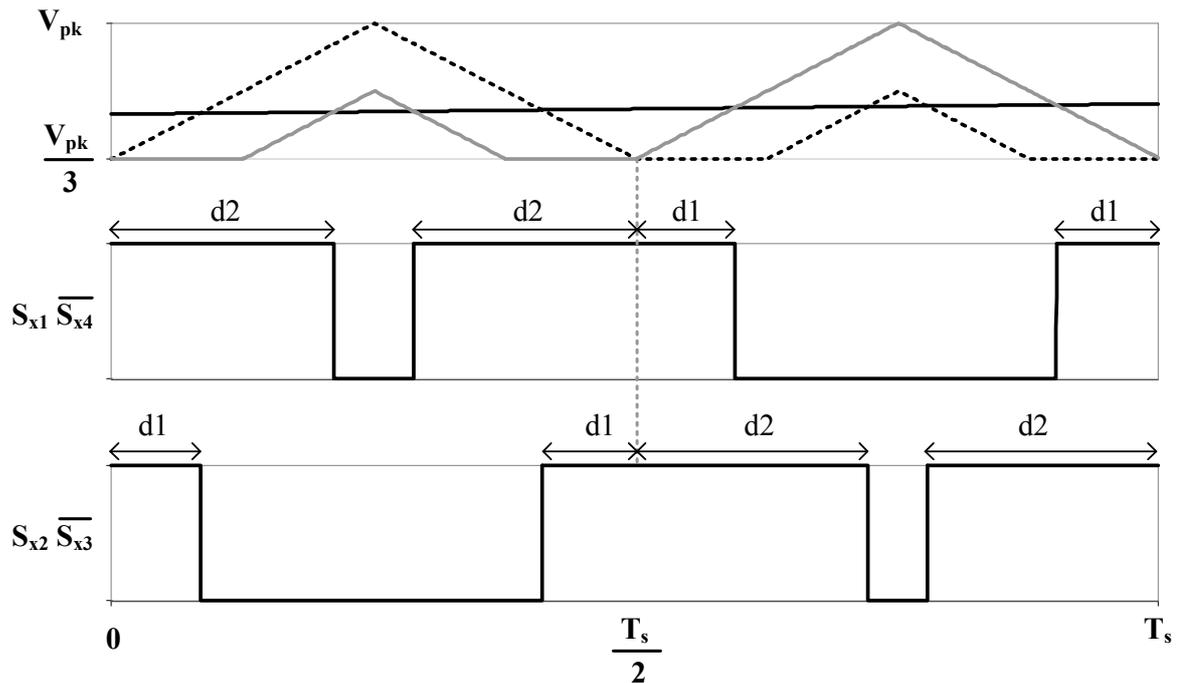


Figura 2.27. Geração dos pulsos das chaves na modulação proposta quando $V_{pk}/3 \leq V_{ref} \leq 2V_{pk}/3$.

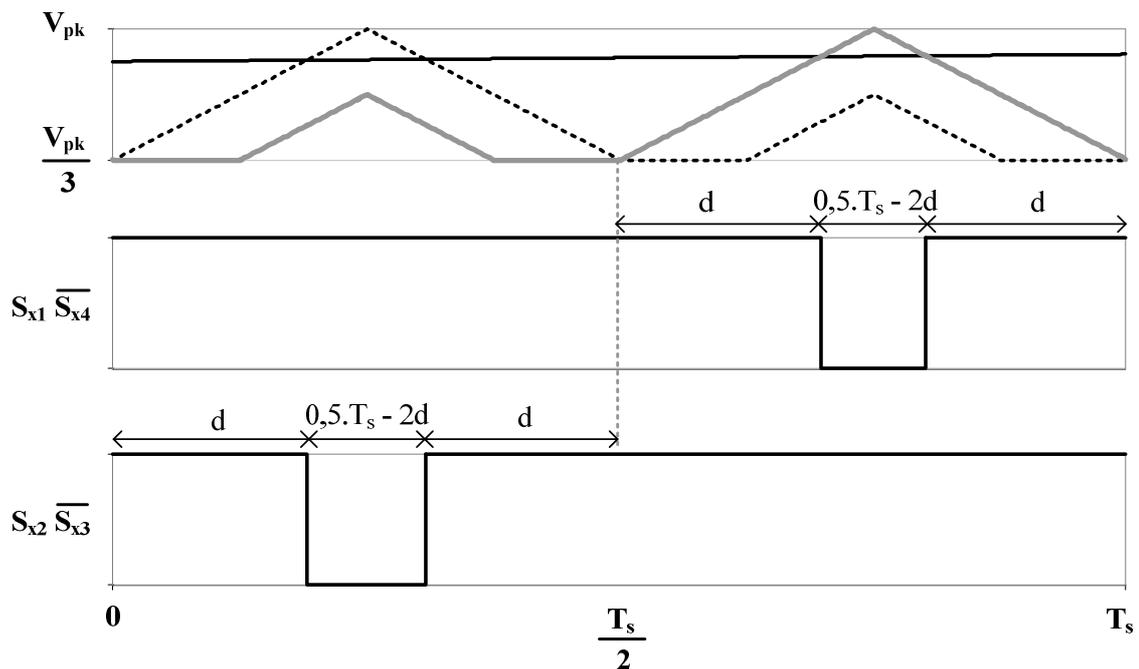


Figura 2.28. Geração dos pulsos das chaves na modulação proposta quando $2V_{pk}/3 \leq V_{ref} \leq V_{pk}$.

Deve-se fazer notar a relação entre a duração dos pulsos gerados a partir da comparação entre a moduladora e as portadoras. A partir das figuras 2.26, 2.27 e 2.28, é possível verificar um equilíbrio na duração dos pulsos enviados às chaves. Esse equilíbrio é essencial para o correto funcionamento do inversor, de forma a garantir suas vantagens frente às outras técnicas de modulação, propiciando uma melhora no conteúdo harmônico da tensão de saída, bem

como um maior equilíbrio entre os capacitores do inversor. Vale também ressaltar, nessas figuras, que uma das portadoras é responsável por gerar os pulsos relativos às chaves S_{x1} e S_{x4} , enquanto a outra, por S_{x2} e S_{x3} , característica é intrínseca à topologia FC.

A figura 2.29 apresenta o comportamento da corrente através das chaves S_{x1} e S_{x2} para esta técnica de modulação.

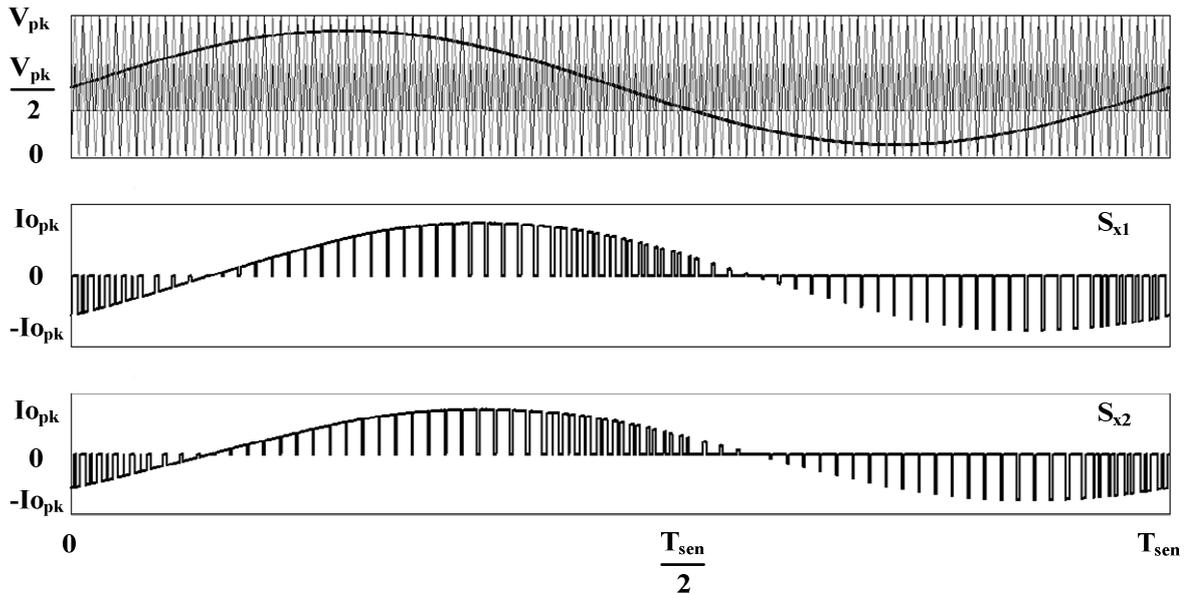


Figura 2.29. Correntes sobre as chaves S_{x1} e S_{x2} na modulação proposta em [27].

Por fim, a figura 2.30 apresenta o padrão de chaveamento relativo à técnica desenvolvida em [27], onde pode ser observada a geração dos pulsos em baixa frequência ao longo de um período da moduladora para cada uma das chaves. Como se pode perceber há pulsos gerados para os quatro interruptores durante todo um período de chaveamento, para qualquer uma das situações relatadas acima. Isso ocorre devido a essa modulação basear-se na PSPWM, com duas portadoras defasadas em meio período, provocando a mesma desvantagem mostrada na figura 2.4, onde há elevadas perdas por condução e chaveamento nos interruptores.

Em comparação com a técnica apresentada anteriormente, LSPWM (POD), visualmente se pode verificar que há perdas por comutação mais elevadas na técnica proposta em [27], prejudicando o rendimento geral da estrutura. Além disso, esta técnica só pode ser aplicada em topologias do tipo FC, ao contrário da LSPWM (POD), que é aplicável em ambas as estruturas NPC e FC, conferindo uma maior flexibilidade ao projetista.

Assim, é baseando-se nessas características comparativas que o presente trabalho propõe a adaptação da técnica [27], como se pode verificar no item 2.5.

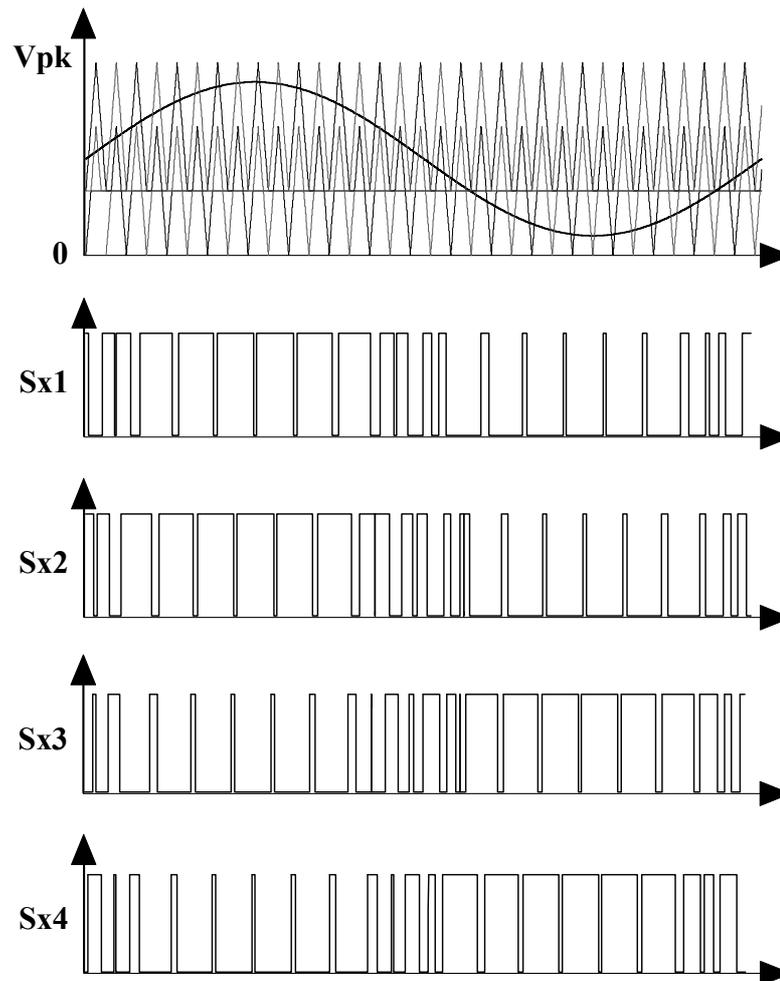


Figura 2.30. Padrão de chaveamento relativo à modulação proposta em [27].

2.4.1 Desenvolvimento Digital das Portadoras

A fim de gerar as portadoras, serão desenvolvidos dois blocos programados em linguagem VHDL, um para a portadora mostrada na figura 2.24, e outro para a da figura 2.25. Da mesma forma como as moduladoras do item 2.2.2, as duas portadoras serão geradas a partir de valores previamente calculados e tabelados. Assim, faz-se necessário, inicialmente, desenvolver um divisor de frequência, tal como explicado nos itens 2.2.1 e 2.2.2.

Em relação às portadoras da figura 2.24, o divisor de frequência utilizado será de tal sorte que a tabela gerada tenha 200 pontos, cada um com duração de $1,3 \mu\text{s}$, resultando em um período de chaveamento de $260 \mu\text{s}$ e uma frequência de, aproximadamente $3,85 \text{ kHz}$. Uma das portadoras é obtida por um defasamento de meio período em relação à primeira. Para tanto, basta fazer com que ela comece na posição 100 da tabela, como mostrado na figura 2.31.

Para gerar a tabela, divide-se a portadora em três partes distintas: crescente ($f_1(x)$), constante ($f_2(x)$) e decrescente ($f_3(x)$), as quais estão respectivamente representadas pelas expressões (2.8), (2.9) e (2.10). As partes crescente e decrescente têm duração, cada, de $1/8$ do perí-

odo de chaveamento, enquanto a constante dura $3/4$ do período de chaveamento. Assim, na tabela, a reta crescente ocupa as posições de 1 a 25 ($0 \leq x \leq 24 \cdot 1,3\mu\text{s}$), a constante, de 26 a 175 ($25 \cdot 1,3\mu\text{s} \leq x \leq 174 \cdot 1,3\mu\text{s}$), e a decrescente, de 176 a 200 ($175 \cdot 1,3\mu\text{s} \leq x \leq 199 \cdot 1,3\mu\text{s}$).

$$f_1(x) = \frac{680}{T_s/8} \cdot x \quad (2.8)$$

$$f_2(x) = 85 \quad (2.9)$$

$$f_3(x) = 680 - \frac{680}{T_s} \cdot x \quad (2.10)$$

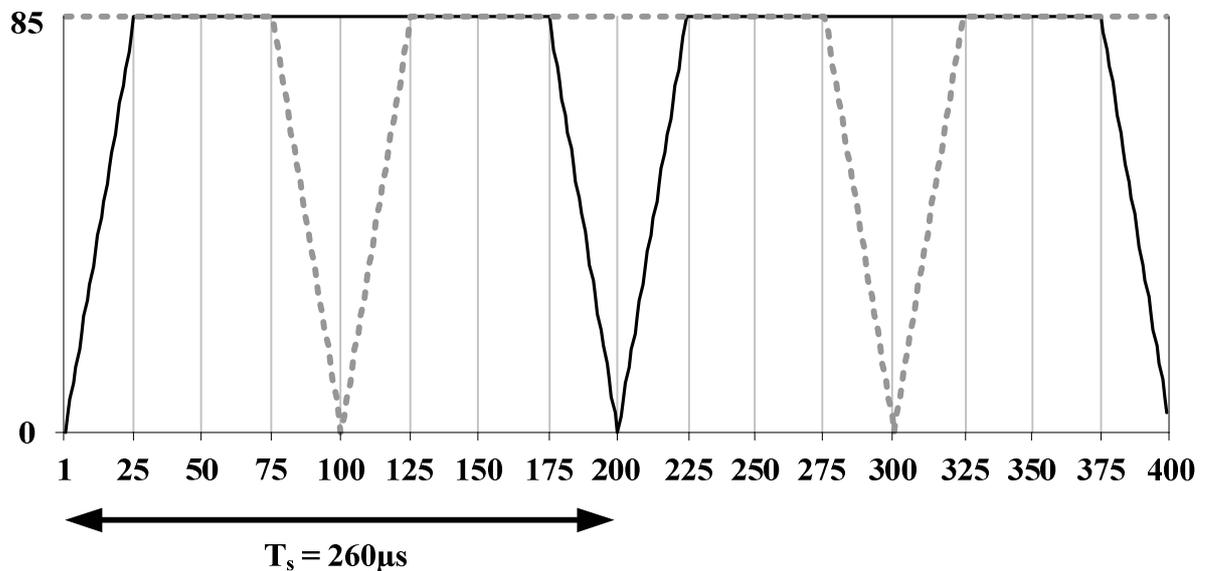


Figura 2.31. Portadoras da figura 2.24 geradas digitalmente.

Para as portadoras da figura 2.25, utiliza-se o mesmo divisor de frequência, ou seja, a tabela também consiste em 200 pontos, cada um com duração de $1,3 \mu\text{s}$, resultando em um período de chaveamento de $260 \mu\text{s}$ e uma frequência de, aproximadamente, $3,85 \text{ kHz}$. Da mesma forma, uma das portadoras é defasada em meio período de chaveamento, a qual é facilmente obtida fazendo com que a mesma comece da posição 100 da tabela.

A geração dessa tabela envolve seis partes: crescente ($f_1(x)$), decrescente ($f_2(x)$), constante ($f_3(x)$), crescente ($f_4(x)$), decrescente ($f_5(x)$), constante ($f_6(x)$), as quais estão respectivamente representadas nas expressões (2.11) a (2.15). A relação (2.16) mostra a duração de cada parte da tabela. O resultado da digitalização das portadoras da figura 2.22 é apresentado na figura 2.32.

Os programas escritos em VHDL que originam os blocos geradores das portadoras digitais estão descritos no APÊNDICE A.

$$f_1(x) = 85 + \frac{680}{T_s} \cdot x \quad (2.11)$$

$$f_2(x) = 425 - \frac{680}{T_s} \cdot x \quad (2.12)$$

$$f_3(x) = f_6(x) = 85 \quad (2.13)$$

$$f_4(x) = -340 + \frac{680}{T_s} \cdot x \quad (2.14)$$

$$f_5(x) = 680 - \frac{680}{T_s} \cdot x \quad (2.15)$$

$$\left\{ \begin{array}{l} f_1(x) \rightarrow 0 \leq x \leq 49 \cdot 1,3\mu s \\ f_2(x) \rightarrow 50 \cdot 1,3\mu s \leq x \leq 99 \cdot 1,3\mu s \\ f_3(x) \rightarrow 100 \cdot 1,3\mu s \leq x \leq 124 \cdot 1,3\mu s \\ f_4(x) \rightarrow 125 \cdot 1,3\mu s \leq x \leq 149 \cdot 1,3\mu s \\ f_5(x) \rightarrow 150 \cdot 1,3\mu s \leq x \leq 174 \cdot 1,3\mu s \\ f_6(x) \rightarrow 175 \cdot 1,3\mu s \leq x \leq 199 \cdot 1,3\mu s \end{array} \right. \quad (2.16)$$

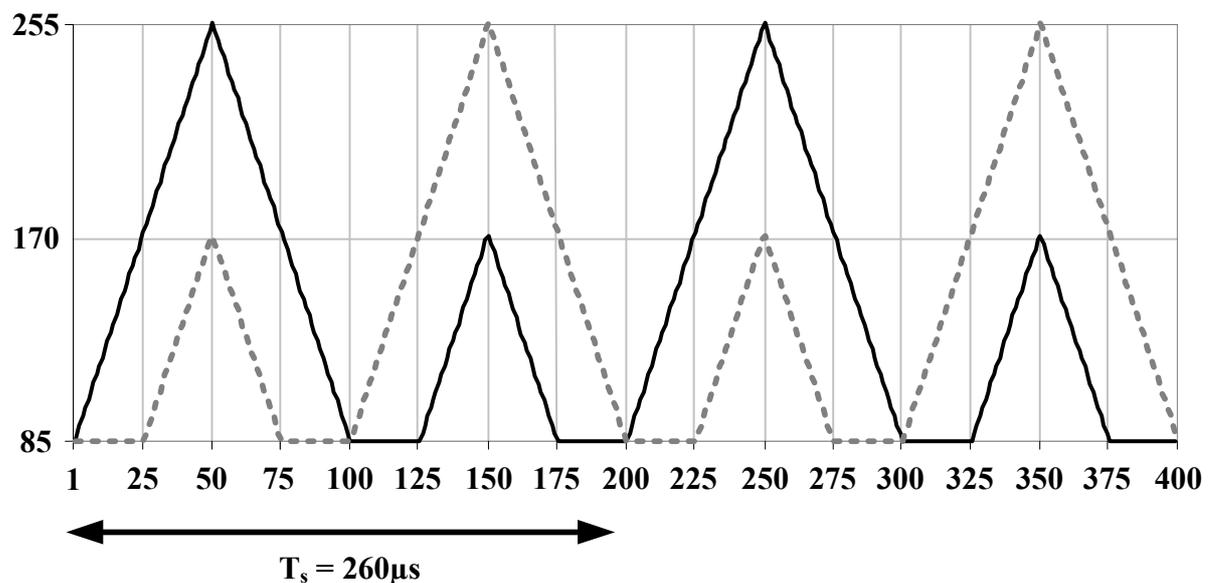


Figura 2.32. Portadoras da figura 2.25 geradas digitalmente.

Por fim, basta comparar corretamente as portadoras com as moduladoras. Considerando-se apenas uma das fases, a geração dos pulsos enviados às chaves deve ocorrer da seguinte maneira:

- Quando a moduladora estiver com nível de tensão entre $0V$ e $V_{pk}/3$, esta deve ser comparada às portadoras da figura 2.27. Digitalmente, isso ocorre quando os valores da tabela da moduladora estiverem variando entre 0 e 85.
- Quando a moduladora estiver com nível de tensão entre $V_{pk}/3$ e V_{pk} , esta deve ser comparada às portadoras da figura 2.28. Digitalmente, isso ocorre quando os valores da tabela da moduladora estiverem variando entre 85 e 255.

A implementação digital dessas comparações é bastante simples, como mostra a figura 2.33. O bloco COMP1 compara a moduladora com o valor 85, enquanto os dois blocos COMP2 são responsáveis por comparar a moduladora com as portadoras. Na figura, o canal nomeado de *portA1* equivale à portadora da figura 2.31, enquanto que o canal nomeado de *portA2* equivale à da figura 2.32. Assim, graças às portas AND, o resultado da comparação da moduladora com a *portA1* só é levado em conta quando a senoide tiver valores menores que 85, ocorrendo o oposto com o resultado da comparação entre a moduladora e a *portA2*. Para gerar os pulsos relativos às outras duas chaves, basta utilizar as outras duas portadoras (defasadas em meio período de chaveamento em relação a *portA1* e *portA2*).

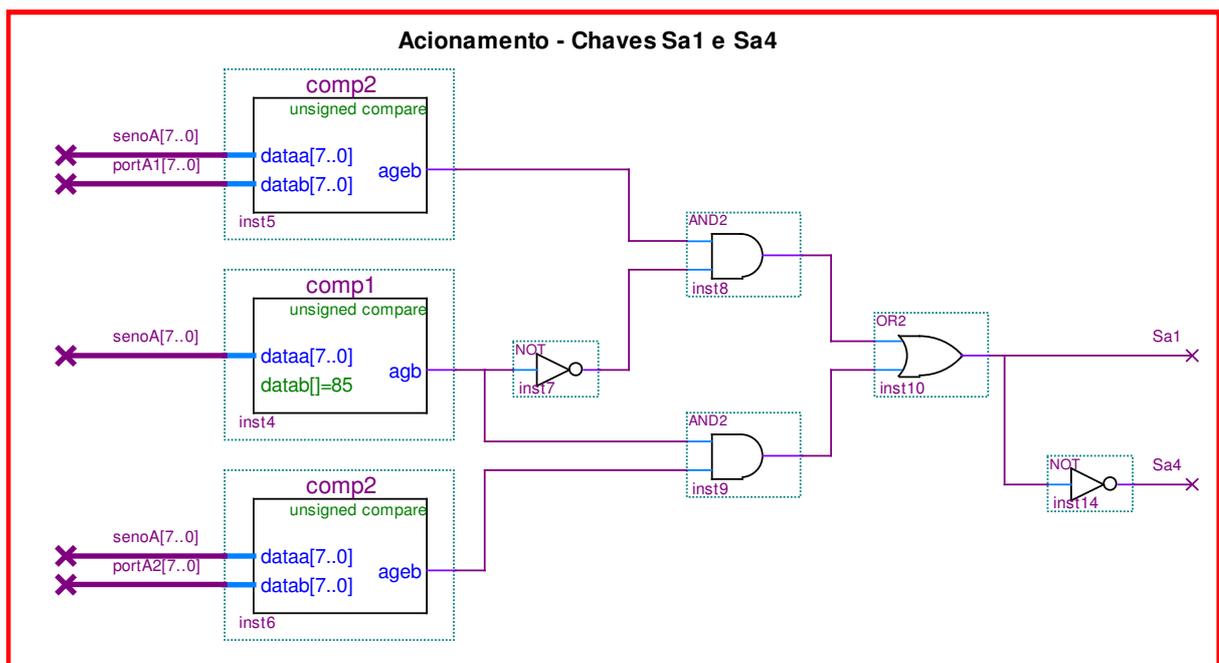


Figura 2.33. Circuito digital para gerar os pulsos das chaves S_{x1} e S_{x4} .

2.5 Modulação Proposta

Assim como em [27], essa modulação baseia-se na comparação entre diferentes portadoras para cada nível de tensão de referência. No entanto, como neste caso as portadoras estão espelhadas, cada uma delas apresenta três possibilidades de comparação:

- Quando $V_{pk}/2 \leq V_{ref} \leq 2V_{pk}/3$ para a primeira portadora, e $V_{pk}/3 \leq V_{ref} \leq V_{pk}/2$ para a segunda portadora.
- Quando $2V_{pk}/3 \leq V_{ref} \leq 5V_{pk}/6$ para a primeira portadora, e $V_{pk}/6 \leq V_{ref} \leq V_{pk}/3$ para a segunda portadora.
- Quando $5V_{pk}/6 \leq V_{ref} \leq V_{pk}$ para a primeira portadora, e $0V \leq V_{ref} \leq V_{pk}/6$ para a segunda portadora.

As figuras 2.35, 2.36 e 2.37 mostram os detalhes das comparações entre as portadoras e a moduladora para cada um dos casos apresentados acima. Deve-se fazer notar que os pulsos gerados são correspondentes às chaves S_{x1} e S_{x2} .

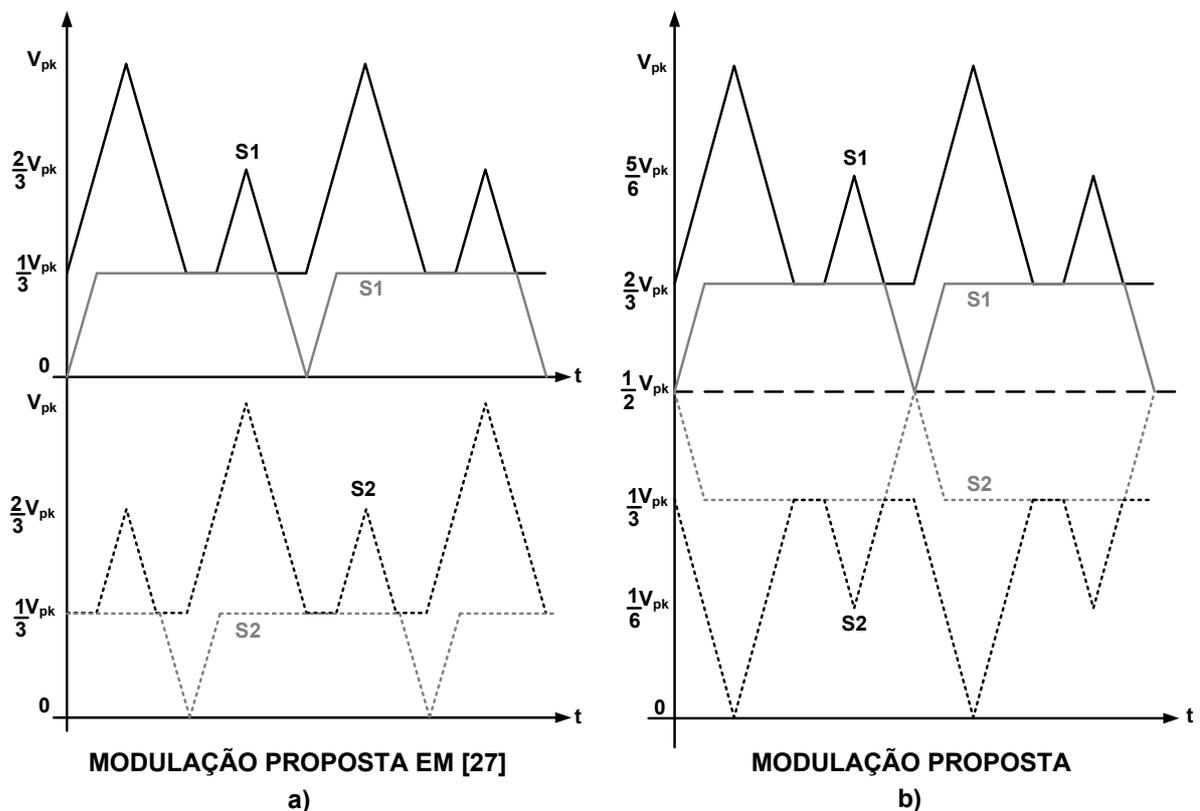


Figura 2.34. a) Modulação proposta em [27] e b) modulação proposta.

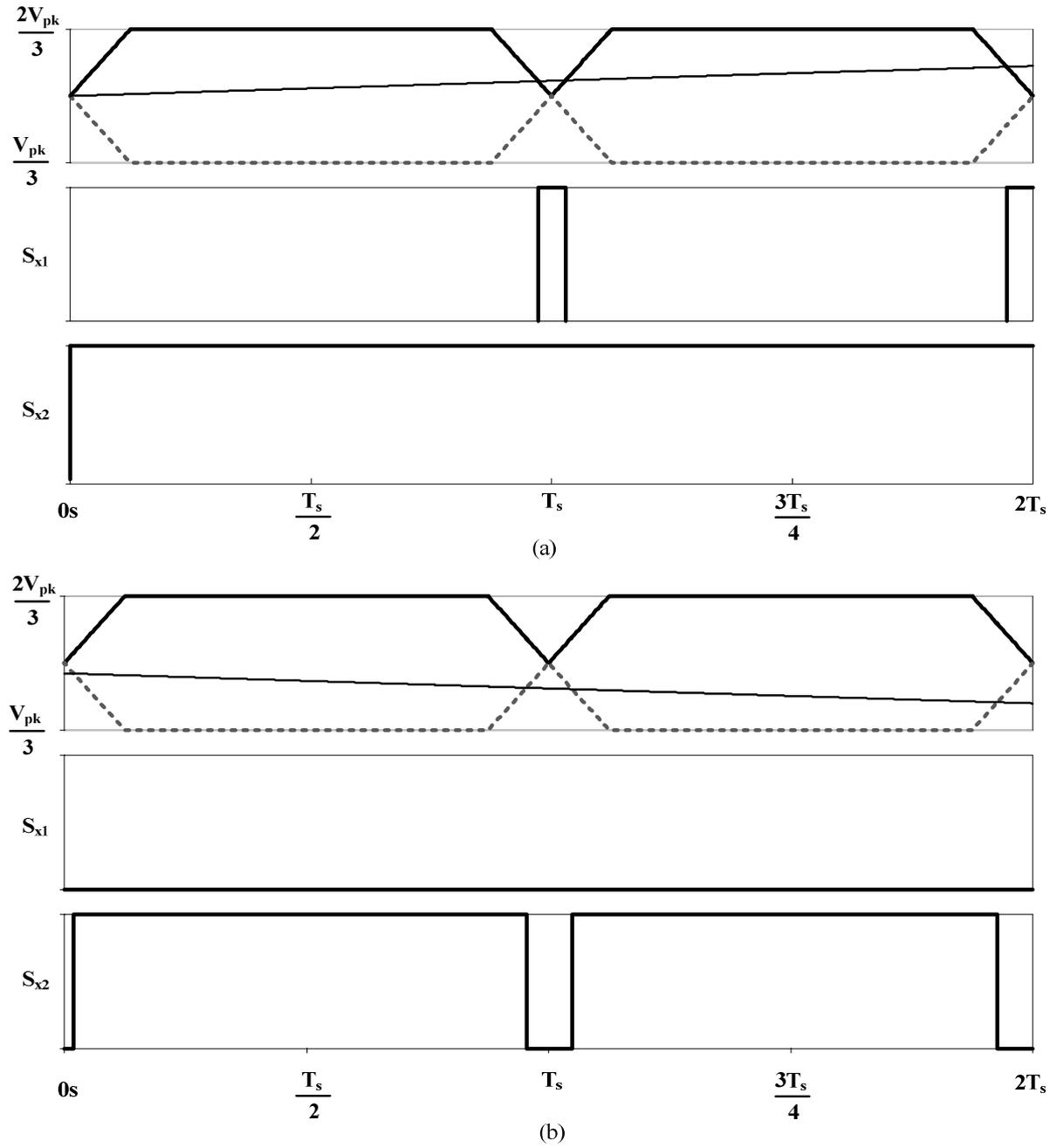


Figura 2.35. Geração dos pulsos: (a) $V_{pk}/2 \leq V_{ref} \leq 2V_{pk}/3$, (b) $V_{pk}/3 \leq V_{ref} \leq V_{pk}/2$.

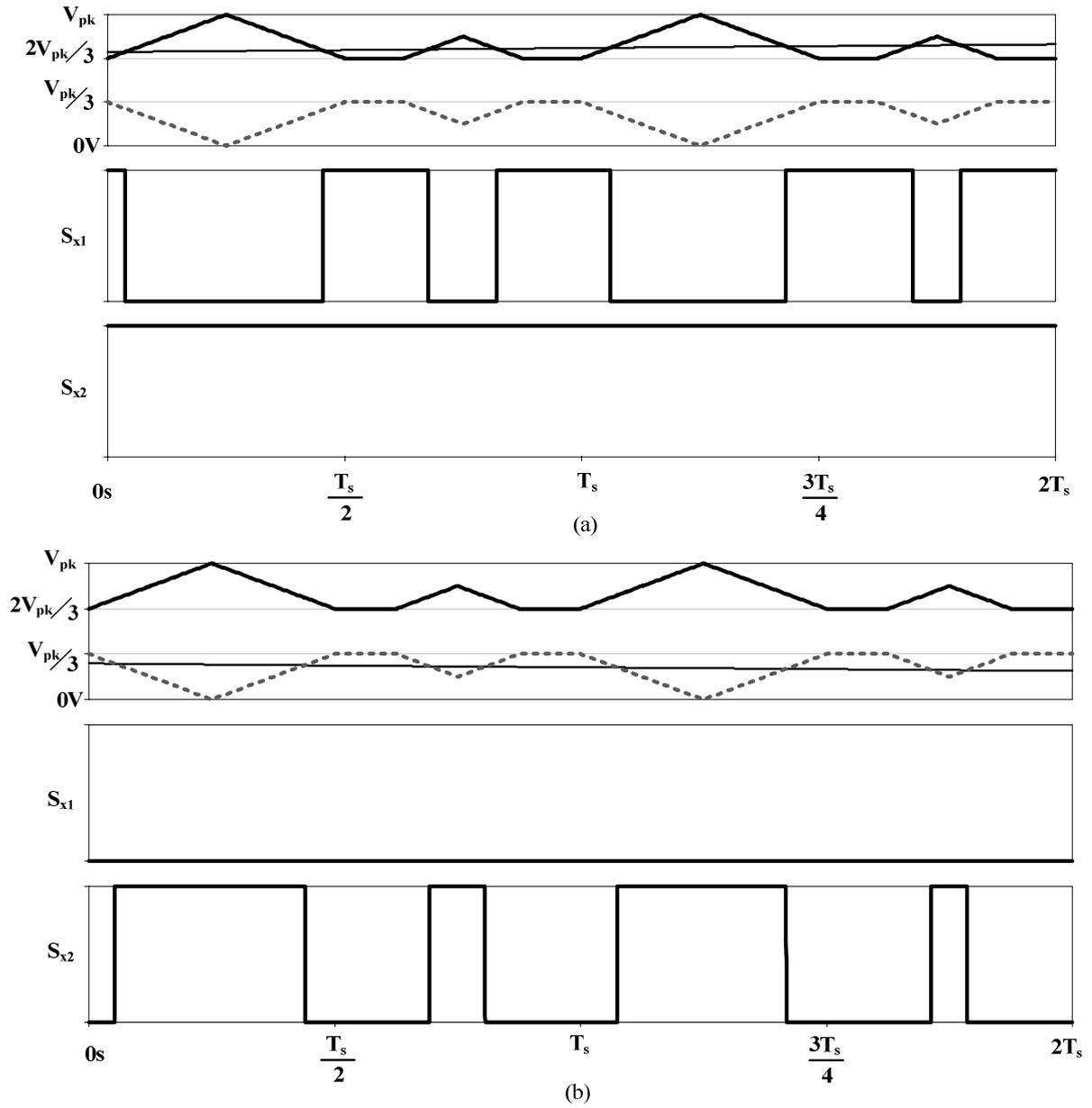


Figura 2.36. Geração dos pulsos: (a) $2V_{pk}/3 \leq V_{ref} \leq 5V_{pk}/6$, (b) $V_{pk}/6 \leq V_{ref} \leq V_{pk}/3$.

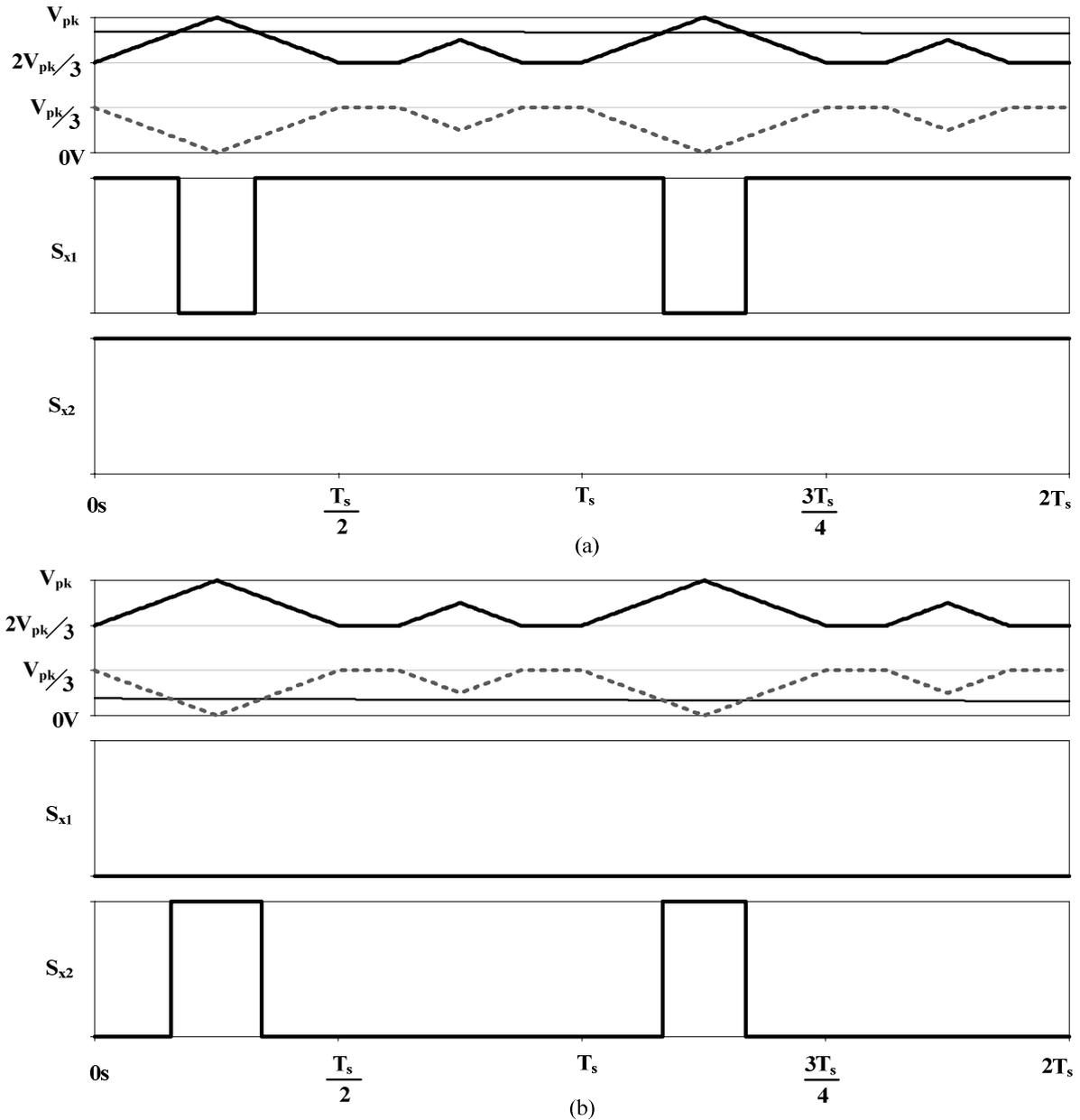


Figura 2.37. Geração dos pulsos: (a) $5V_{pk}/6 \leq V_{ref} \leq V_{pk}$ (b) $0V \leq V_{ref} \leq V_{pk}/6$.

Por fim, a figura 2.38 apresenta a corrente através das chaves S_{x1} e S_{x2} , em baixa frequência, enquanto a figura 2.39 mostra o padrão de chaveamento para os interruptores S_{x1} e S_{x2} para a técnica de modulação proposta. Através dessas figuras é possível perceber uma das grandes vantagens desta modulação em relação à proposta em [27]: assim como na modulação LSPWM (POD), os interruptores comutam por apenas meio ciclo da senoide, o que garante menos perdas por chaveamento. No caso da chave S_{x1} , há também uma grande redução nas perdas por condução, visto que a mesma permanece desligada durante meio ciclo. Tais afirmações serão investigadas nos capítulos seguintes, mostrando, em detalhes, a comparação entre as perdas totais do inversor para cada uma das modulações.

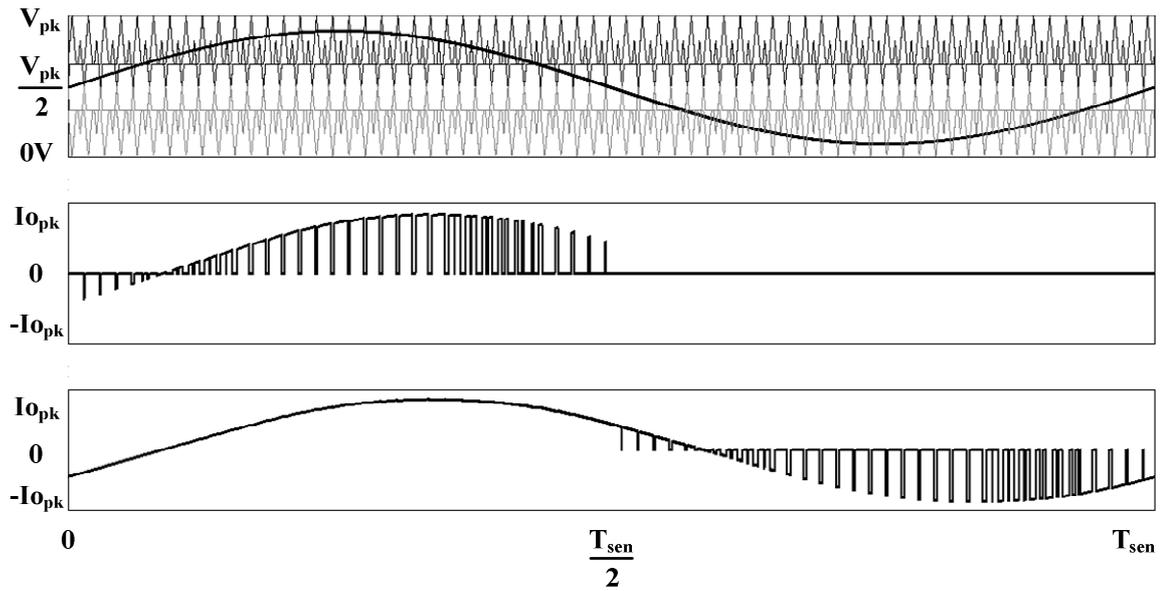


Figura 2.38. Correntes através das chaves S_{x1} e S_{x2} em baixa frequência para modulação proposta.

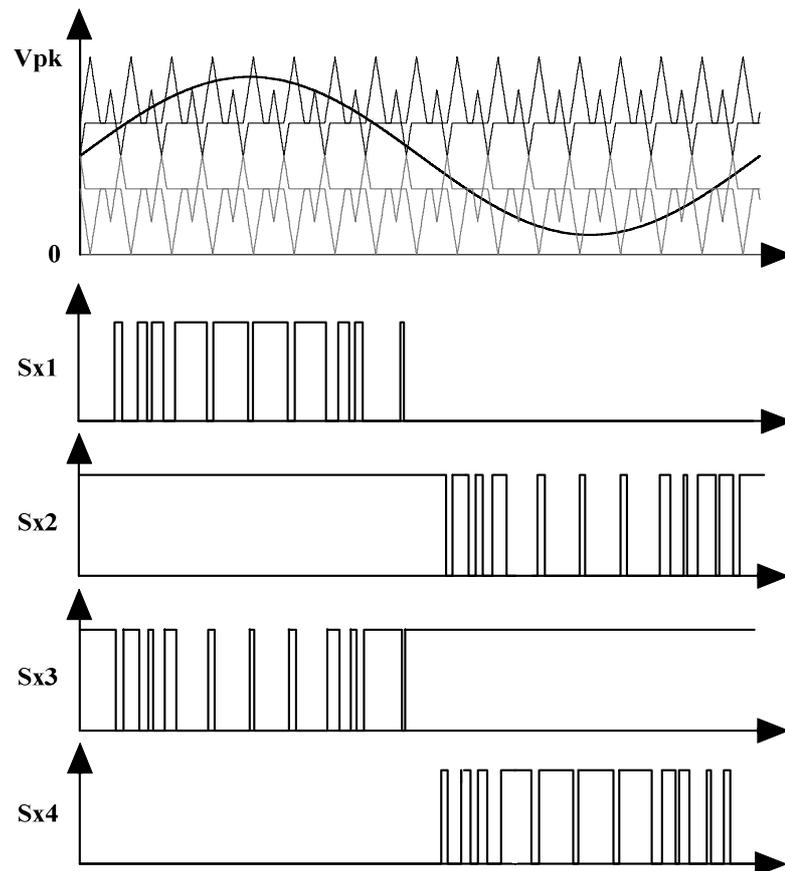


Figura 2.39. Padrão de chaveamento relativo à modulação proposta, em baixa frequência.

2.5.1 Desenvolvimento Digital das Portadoras

A fim de gerar as portadoras, serão desenvolvidos dois blocos programados em linguagem VHDL, um para as portadoras mostradas na figura 2.35, e outro para as das figuras 2.36

e 2.37. Da mesma forma como as moduladoras do item 2.2.2 e as portadoras do item 2.4.1, as duas portadoras serão geradas a partir de valores previamente calculados e tabelados. O divisor de frequência será igual àquele utilizado no item 2.4.1, ou seja, a tabela gerada tem 200 pontos, cada um com duração de $1,3 \mu\text{s}$, resultando em um período de chaveamento de $260 \mu\text{s}$ e uma frequência de, aproximadamente $3,85 \text{ kHz}$.

Inicialmente será mostrado como obter as tabelas referentes às portadoras da figura 2.35. A tabela da portadora que varia entre $V_{pk}/2$ e $2V_{pk}/3$ pode ser dividida em três partes: crescente ($f_1(x)$), constante ($f_2(x)$) e decrescente ($f_3(x)$), as quais estão respectivamente representadas pelas expressões (2.17), (2.18) e (2.19). Já para a portadora que varia entre $V_{pk}/3$ e $V_{pk}/2$, a tabela é dividida como se segue: decrescente ($f_1'(x)$), constante ($f_2'(x)$) e crescente ($f_3'(x)$), sendo estas representadas pelas equações (2.20), (2.21) e (2.22), respectivamente.

As funções ($f_1(x)$), ($f_3(x)$), ($f_1'(x)$), ($f_3'(x)$) têm duração, cada, de $1/8$ do período de chaveamento, enquanto as constantes duram $3/4$ do período de chaveamento. Assim, na tabela, as funções ($f_1(x)$) e ($f_1'(x)$) ocupam as posições de 1 a 25 ($0 \leq x \leq 24 \cdot 1,3 \mu\text{s}$), as funções constantes, de 26 a 175 ($25 \cdot 1,3 \mu\text{s} \leq x \leq 174 \cdot 1,3 \mu\text{s}$), e as funções ($f_3(x)$) e ($f_3'(x)$), da posição 176 até a 200 ($175 \cdot 1,3 \mu\text{s} \leq x \leq 199 \cdot 1,3 \mu\text{s}$). O resultado da digitalização dessa primeira parte das duas portadoras pode ser visto através da figura 2.40.

$$f_1(x) = 127 + \frac{344}{T_s} \cdot x \quad (2.17)$$

$$f_2(x) = 170 \quad (2.18)$$

$$f_3(x) = 471 - \frac{344}{T_s} \cdot x \quad (2.19)$$

$$f_1'(x) = 127 - \frac{336}{T_s} \cdot x \quad (2.20)$$

$$f_2'(x) = 85 \quad (2.21)$$

$$f_3'(x) = -209 + \frac{336}{T_s} \cdot x \quad (2.22)$$

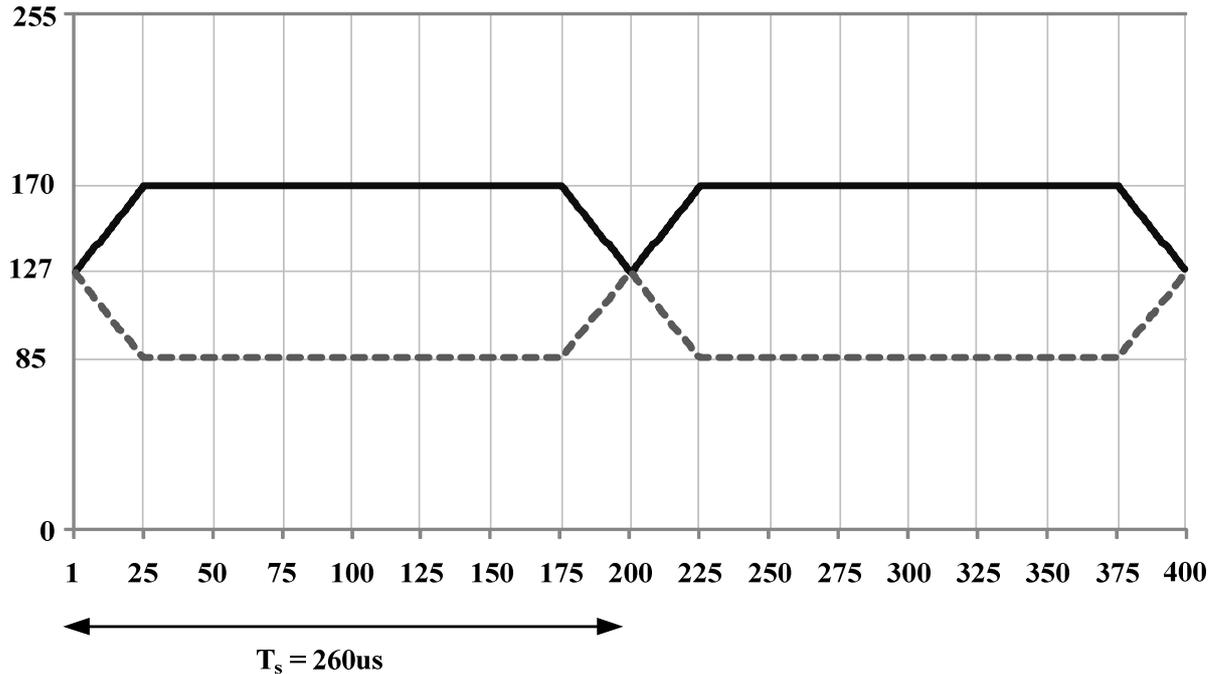


Figura 2.40. Portadoras da figura 2.35 geradas digitalmente.

Para as portadoras das figuras 2.36 e 2.37, cada uma delas terá seis partes. A portadora que varia entre $2V_{pk}/3$ e V_{pk} será dividida em: crescente ($f_1(x)$), decrescente ($f_2(x)$), constante ($f_3(x)$), crescente ($f_4(x)$), decrescente ($f_5(x)$) e constante ($f_6(x)$), as quais estão respectivamente representadas nas expressões (2.23) a (2.27). Já para a portadora que varia entre 0 V e $V_{pk}/3$, as divisões são: decrescente ($f_1'(x)$), crescente ($f_2'(x)$), constante ($f_3'(x)$), decrescente ($f_4'(x)$), crescente ($f_5'(x)$), constante ($f_6'(x)$), sendo representadas pelas relações (2.28) a (2.32).

As durações de cada parte da tabela são idênticas àquelas apresentadas na equação (2.16). O resultado da digitalização das portadoras das figuras 2.36 e 2.37 são apresentados na figura 2.41. Os programas escritos em VHDL que originam os blocos geradores das portadoras digitais estão descritos no APÊNDICE A.

$$f_1(x) = 170 + \frac{340}{T_s} \cdot x \quad (2.23)$$

$$f_2(x) = 340 - \frac{340}{T_s} \cdot x \quad (2.24)$$

$$f_3(x) = f_6(x) = 170 \quad (2.25)$$

$$f_4(x) = -45 + \frac{344}{T_s} \cdot x \quad (2.26)$$

$$f_5(x) = 471 - \frac{344}{T_s} \cdot x \quad (2.27)$$

$$f_1'(x) = 85 - \frac{340}{T_s} \cdot x \quad (2.28)$$

$$f_2'(x) = -85 + \frac{340}{T_s} \cdot x \quad (2.29)$$

$$f_3'(x) = f_6'(x) = 85 \quad (2.30)$$

$$f_4'(x) = 300 - \frac{344}{T_s} \cdot x \quad (2.31)$$

$$f_5'(x) = -216 + \frac{344}{T_s} \cdot x \quad (2.32)$$

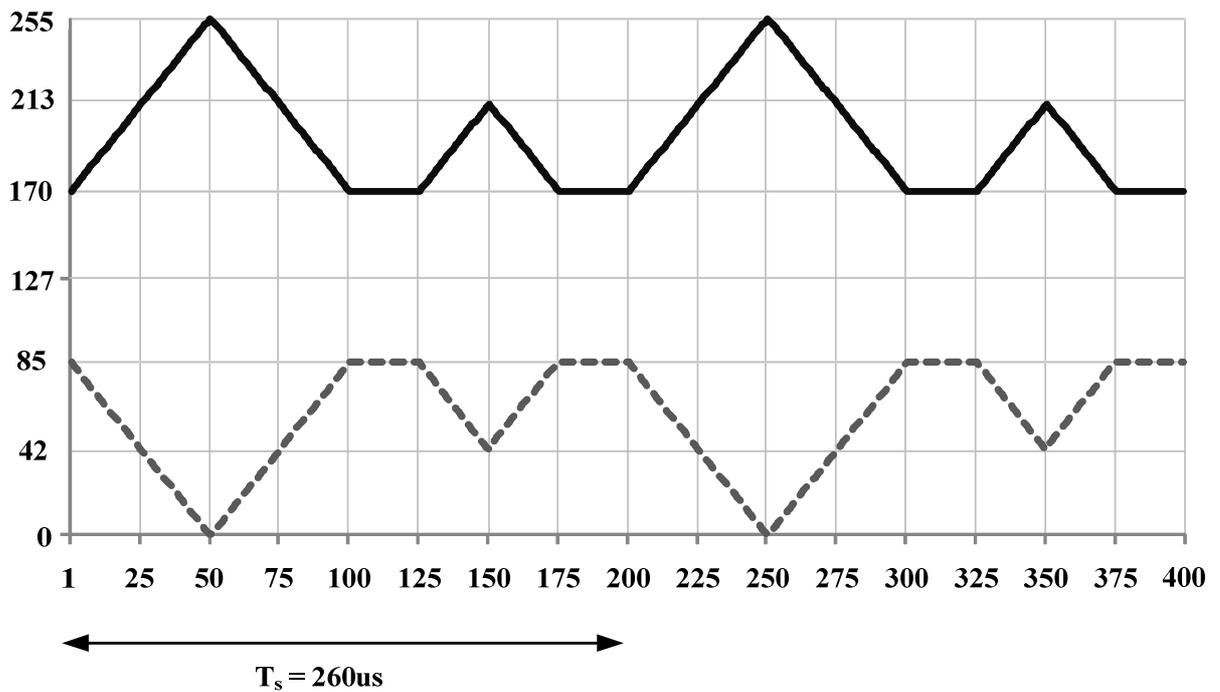


Figura 2.41. Portadoras da figura 2.36 e 2.37 geradas digitalmente.

Por fim, basta comparar corretamente as portadoras com as moduladoras. Para as portadoras que variam entre $V_{pk}/2$ e V_{pk} , as comparações são muito parecidas com aquelas apresentadas da seção 2.4.1, resultando nos pulsos enviados à chave S_{x1} :

- Quando a moduladora estiver com nível de tensão entre $V_{pk}/2$ e $2V_{pk}/3$, esta deve ser comparada à portadora superior da figura 2.40. Digitalmente, isso ocorre sempre que os valores da tabela da moduladora estiverem variando entre 127 e 170.
- Quando a moduladora estiver com nível de tensão entre $2V_{pk}/3$ e V_{pk} , esta deve ser comparada à portadora superior da figura 2.41. Digitalmente, isso ocorre sempre que os valores da tabela da moduladora estiverem variando entre 170 e 255.

Digitalmente, essas comparações equivalem ao circuito da figura 2.42. O bloco COMP1 compara a moduladora com o valor 170, enquanto os dois blocos COMP2 são responsáveis por comparar a moduladora com as portadoras. Na figura, o canal nomeado de *portA1* equivale à portadora superior da figura 2.40, enquanto o canal *portA2* equivale à superior da figura 2.41. Assim, graças às portas AND, o resultado da comparação da moduladora com a *portA1* só é válido quando a senoide assumir valores entre 127 e 170. Já quando a moduladora encontra-se acima de 170, o resultado da comparação entre a moduladora e a *portA2* será válido.

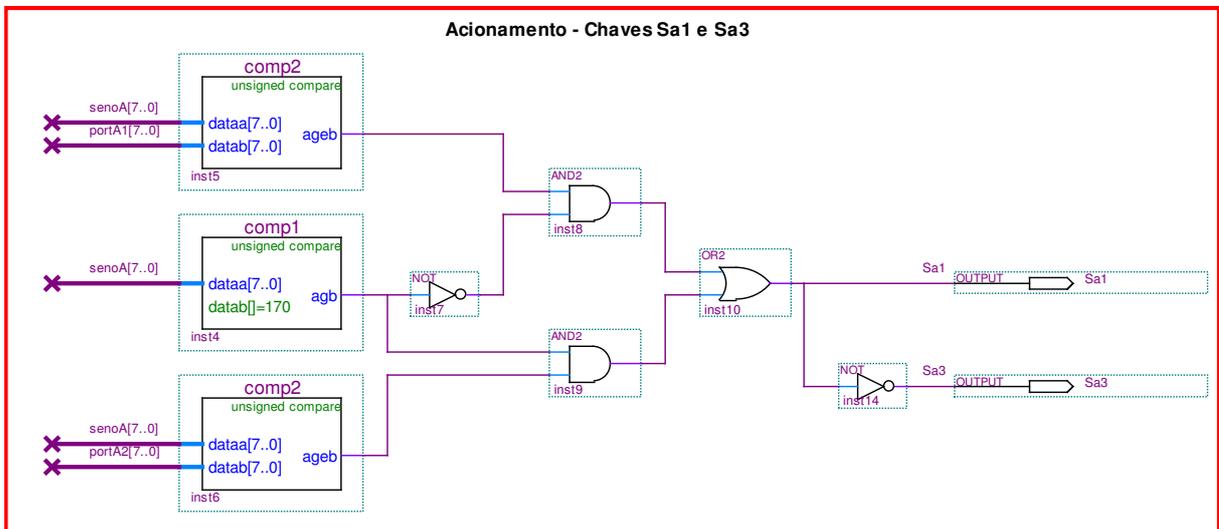


Figura 2.42. Circuito digital para gerar os pulsos das chaves S_{x1} e S_{x3} .

Já para as portadoras que variam entre 0 V e $V_{pk}/2$, as comparações são como descritas abaixo, resultando nos pulsos enviados à chave S_{x2} :

- Quando a moduladora estiver com nível de tensão entre $V_{pk}/3$ e $V_{pk}/2$, esta deve ser comparada à portadora inferior da figura 2.40. Digitalmente, isso ocorre sempre que os valores da tabela da moduladora estiverem variando entre 85 e 127.

- Quando a moduladora estiver com nível de tensão entre $0V$ e $V_{pk}/3$, esta deve ser comparada à portadora inferior da figura 2.41. Digitalmente, isso ocorre sempre que os valores da tabela da moduladora estiverem variando entre 0 e 85.

A figura 2.43 mostra que o bloco COMP3 compara a moduladora com o valor 85, enquanto os blocos COMP2 são responsáveis por comparar a moduladora com as portadoras. O canal *portB1* equivale à portadora inferior da figura 2.40, enquanto o canal *portB2*, à inferior da figura 2.41. Devido às portas AND, o resultado da comparação da moduladora com a *portB1* só é válido quando a senoide assumir valores entre 85 e 127. Já quando a moduladora encontra-se abaixo de 85, o resultado da comparação entre a moduladora e a *portB2* será válido. Vale ressaltar a diferença entre o circuito da figura 2.42 com o da 2.43, onde a porta NOT ligada aos blocos comparadores e às portas AND têm conexões distintas. Isso ocorre para que as comparações se dêem de maneira correta, explicadas nos parágrafos anteriores.

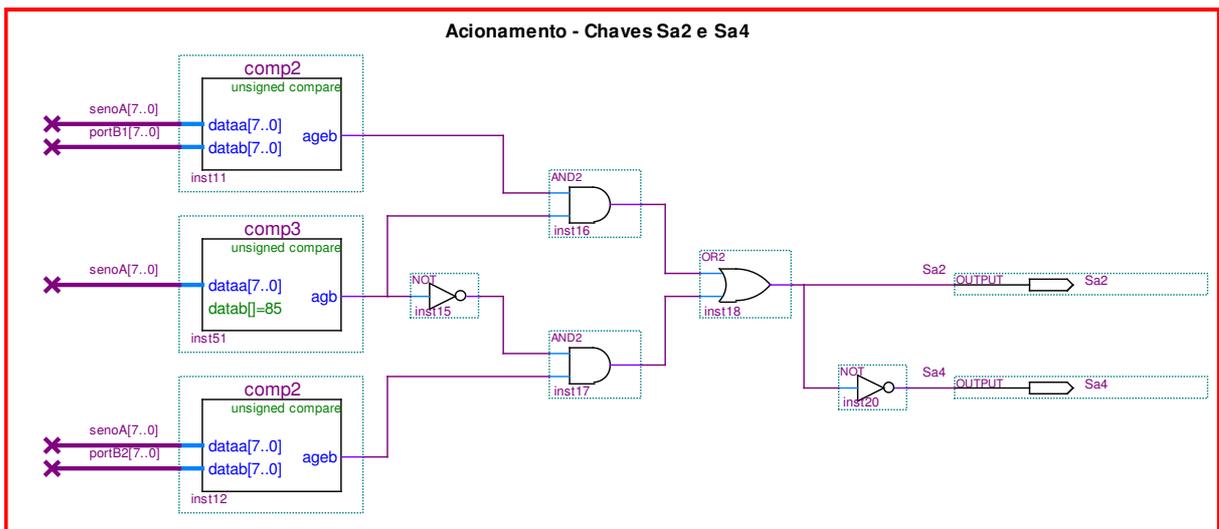


Figura 2.43. Circuito digital para gerar os pulsos das chaves S_{x2} e S_{x4} .

2.6 Considerações Finais

Neste capítulo foram apresentadas as características, vantagens e desvantagens de cada uma das quatro técnicas de modulação: a mais comum, conhecida como PSPWM, a LSPWM (POD), a modificada baseada na PSPWM, desenvolvida em [27], e a proposta nesta tese.

A partir da comparação das técnicas, é possível verificar que apenas a LSPWM (POD) e a proposta neste trabalho são passíveis de aplicação no inversor multinível NPC, ao contrário das outras duas, PSPWM e a proposta em [27], cuja aplicação se restringe à estrutura que utiliza capacitores flutuantes.

Além disso, o comportamento do padrão de chaveamento de cada uma das técnicas mostra uma tendência à redução das perdas na técnica LSPWM (POD) e na proposta neste trabalho, pois em ambas apenas duas chaves comutam durante cada meio-ciclo do sinal modulante. Essa característica se dá devido ao espelhamento das portadoras, fazendo com que haja comutação nas chaves em que a moduladora esteja cruzando com pelo menos uma das portadoras, o que só ocorre para duas chaves a cada semi-ciclo. Ao contrário, nas técnicas PSPWM e na proposta em [27], por apresentarem portadoras defasadas no tempo, e não em níveis de tensão, a moduladora está sempre cruzando com as duas portadoras em qualquer instante de um ciclo, fazendo com que, portanto, as quatro chaves comutem ao longo de um ciclo completo da senoide.

Além do detalhamento teórico, princípio de funcionamento, vantagens e desvantagens de cada uma das técnicas, foi também apresentado o método de digitalização das mesmas utilizando, para tanto, o programa QUARTUS II, da ALTERA, cuja utilização permite fácil programação de um dispositivo FPGA em linguagem VHDL, tanto através de linhas de código, como pela utilização de blocos e portas lógicas em um esquemático com interface bastante simples, intuitiva e amigável.

Por fim, vale ressaltar que as simulações das quatro técnicas apresentaram resultados semelhantes e coerentes com as referências citadas ao longo deste capítulo, mostrando que o processo de digitalização aqui apresentado está correto e pode efetivamente ser utilizado.

CAPÍTULO 3

Comparação e Análise de Perdas e THD das Modulações Aplicadas às Estruturas FC e NPC

3.1 Introdução

Ao longo dos últimos anos diversas topologias de inversores multiníveis têm atraído grande interesse e vêm sendo largamente utilizadas pelas indústrias, devido à sua capacidade de redução de harmônicos na tensão de saída e diminuição dos esforços de tensão sobre os semicondutores, especialmente em aplicações de média e alta potência, como compensadores de potência reativa e acionamento de motores CA [1].

Dentre as estruturas existentes, a mais utilizada é o inversor multinível com neutro grampeado (NPC - *Neutral Point Clamped*), que consiste na utilização de diodos ligados ao neutro, formado pelo ponto central de ligação entre os capacitores do barramento CC, como mostra a figura 3.1. No entanto, essa topologia apresenta problemas relacionados ao desbalanceamento de tensão entre os capacitores, grampeamento indireto de diodos e chaves internas, elevado número de dispositivos semicondutores, surgimento de elevadas tensões de bloqueio sobre os diodos de grampeamento, além da dificuldade de expansão dessa topologia para aplicações com maior número de níveis [2], [8].

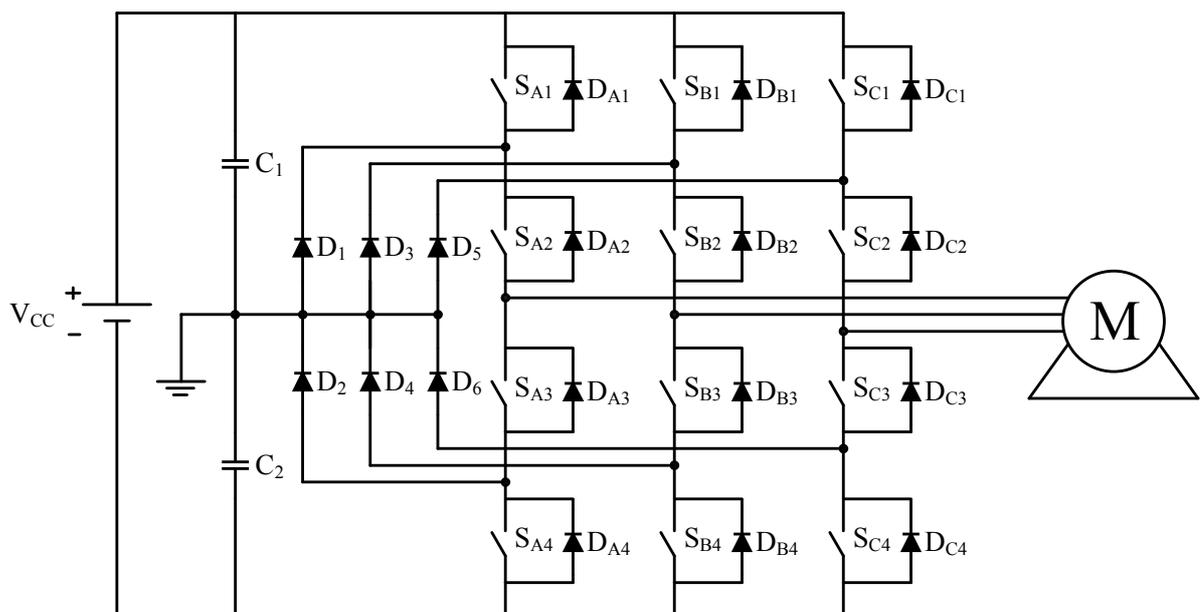


Figura 3.1. Estrutura do inversor multinível com neutro grampeado (NPC).

Visando apresentar uma alternativa viável à estrutura descrita, foi proposta em [9] a topologia do inversor multinível com capacitor flutuante, como mostrado na figura 3.2. As principais características dessa estrutura são: redução no número de dispositivos semicondutores, maior número de estados para os interruptores em cada braço (estados redundantes), o que permite um controle de carga e descarga dos capacitores flutuantes, além de ser facilmente expansível para aplicações com maior número de níveis [8].

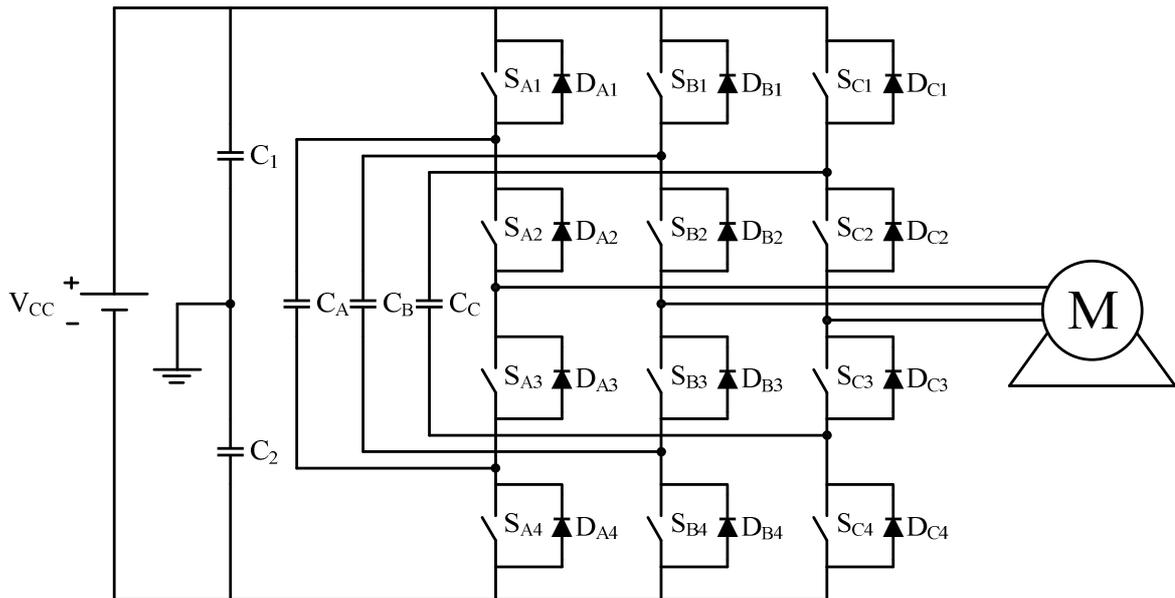


Figura 3.2. Estrutura do inversor multinível com capacitor flutuante.

Entretanto, essa estrutura exige grande preocupação com o equilíbrio de tensão dos capacitores flutuantes, visto que problemas de distorção da tensão de saída e corrente na carga estão diretamente relacionados ao desbalanceamento de tensão sobre os mesmos, cuja situação é agravada pela operação com baixos índices de modulação [34]. Assim, a fim de garantir o correto funcionamento, a estabilidade e a confiabilidade do inversor multinível com capacitor flutuante, procura-se utilizar uma modulação de tal sorte que esta produza, durante os estados redundantes, tempos próximos de carga e descarga dos capacitores.

Neste capítulo será apresentado o estudo de perdas para as diferentes modulações, descritas no capítulo 2, aplicadas às estruturas trifásicas, a três níveis, NPC e FC. Adicionalmente, será apresentada a análise do THD para cada combinação de modulação e estrutura.

Por fim, vale ressaltar que, para a análise dos modos de operação, bem como o desenvolvimento das equações e o levantamento das principais formas de onda do inversor operando com ambas as modulações, não serão levadas em conta as ondulações nos capacitores, inerente ao funcionamento do circuito.

3.2 Princípio de Operação do Inversor a Três Níveis FC

Devido à simetria apresentada pela estrutura, serão analisados os quatro modos de operação relativos a apenas um dos braços do inversor para o semi-ciclo positivo da corrente de carga. Além disso, será considerado que os capacitores C_1 , C_2 e C_X estão previamente carregados e permanecem com tensões constantes e iguais à metade da tensão V_{CC} de entrada.

3.2.1 Primeira Etapa de Operação

Durante a primeira etapa de operação, as chaves S_{X1} e S_{X2} estão ligadas, como apresentado na figura 3.3, fazendo com que a tensão na carga seja igual à tensão sobre o capacitor C_1 .

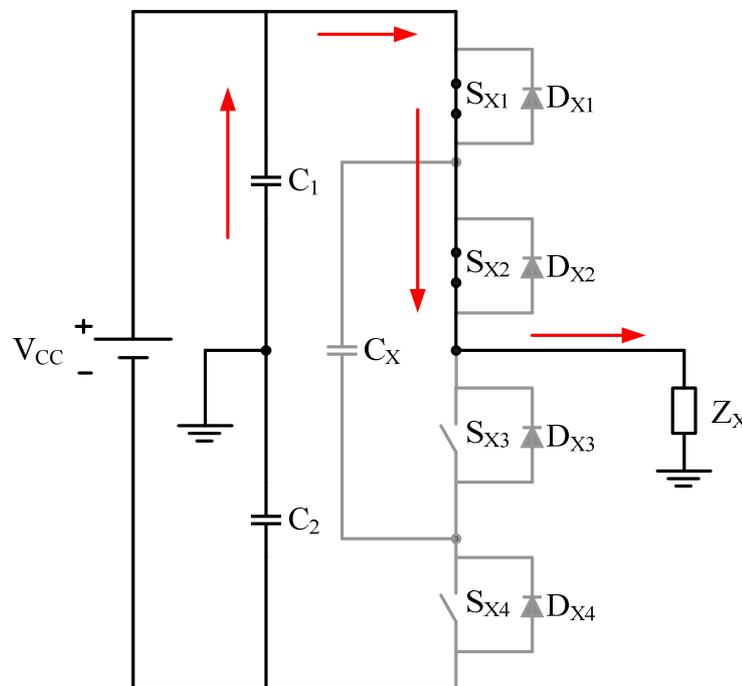


Figura 3.3. Primeira etapa de operação.

3.2.2 Segunda Etapa de Operação

Na segunda etapa de operação, as chaves S_{X1} e S_{X3} estão ligadas, como mostrado na figura 3.4. Durante esta etapa, a corrente flui através do capacitor flutuante C_X , carregando-o e produzindo uma tensão nula na carga. De acordo com [28], a variação de tensão no capacitor flutuante é dada pela equação (3.1), onde α_{x1} e α_{x2} são as razões cíclicas das chaves 1 e 2, respectivamente, I_{Zx} é a corrente de fase e C_X , a capacitância do capacitor flutuante.

$$\frac{dV_{C_X}}{dt} = \frac{I_{Zx}}{C_x} \cdot (\alpha_{x1} - \alpha_{x2}) \quad (3.1)$$

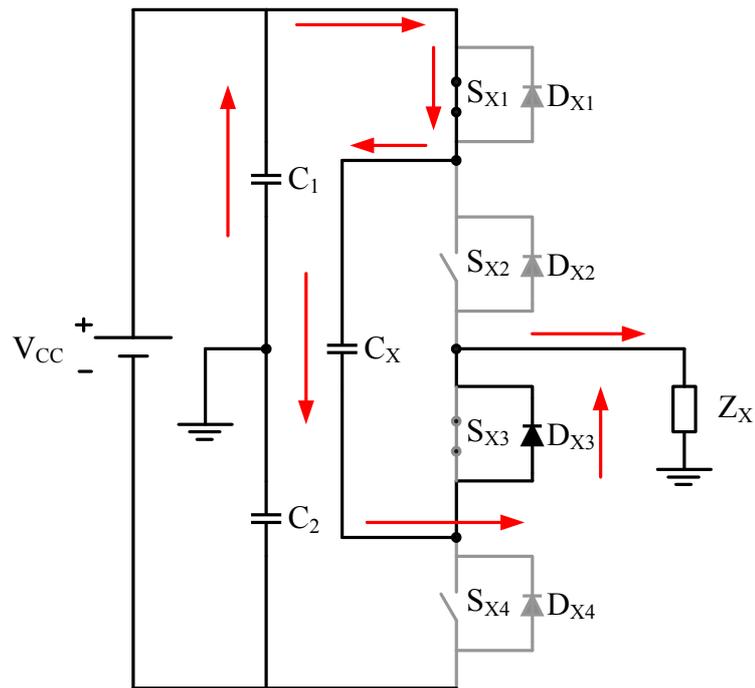


Figura 3.4. Segunda etapa de operação.

3.2.3 Terceira Etapa de Operação

Durante a terceira etapa de operação, as chaves S_{X2} e S_{X4} estão ligadas, fazendo com que a corrente flua através do capacitor flutuante C_X , descarregando-o de forma equivalente à equação (3.1), e produzindo nível de tensão zero na carga, como mostra a figura 3.5.

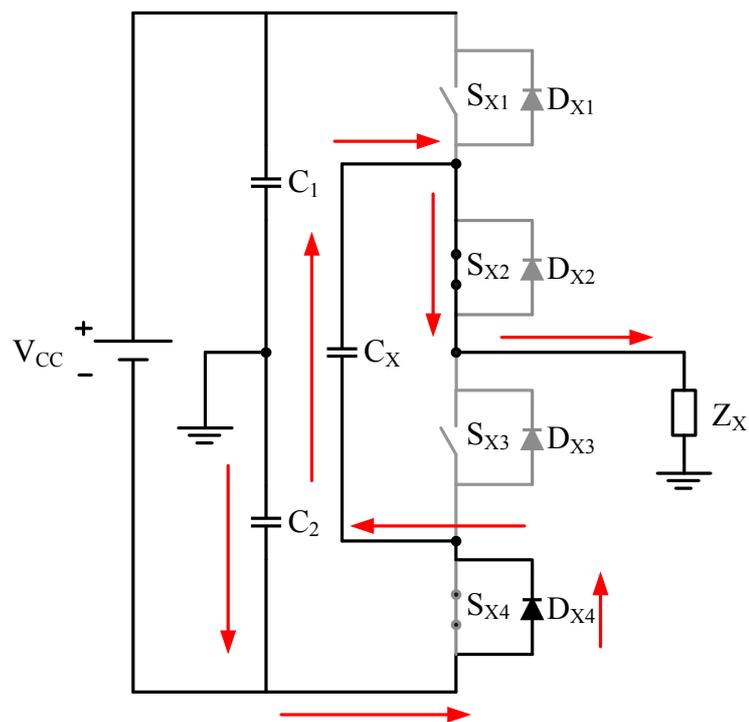


Figura 3.5. Terceira etapa de operação.

3.2.4 Quarta Etapa de Operação

Na quarta etapa de operação, as chaves S_{X3} e S_{X4} estão ligadas, segundo mostra a figura 3.6, fazendo com que a tensão na carga seja igual à tensão sobre o capacitor C_2 .

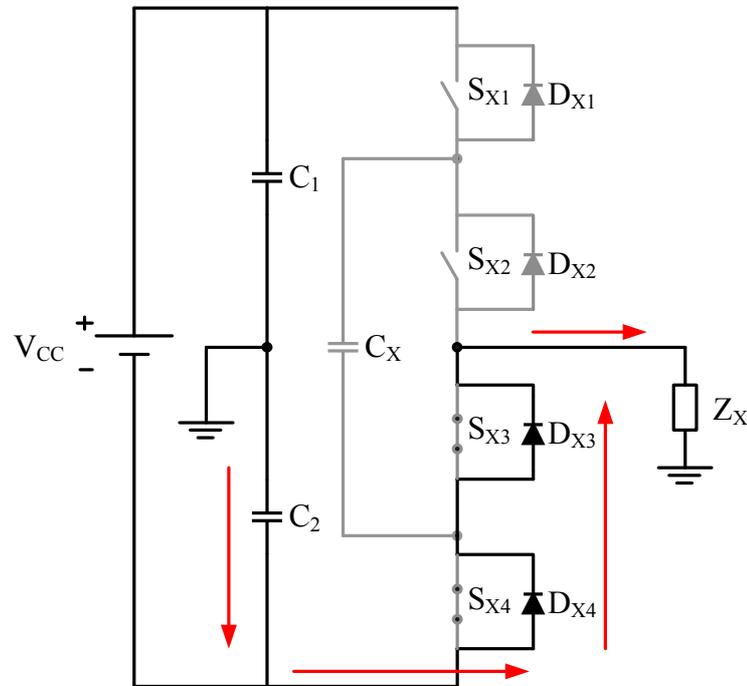


Figura 3.6. Quarta etapa de operação.

Analisando os quatro modos de operação, é possível perceber a geração dos três níveis de tensão para cada estado correspondente das chaves, segundo mostra a tabela a seguir.

Tabela 3.1 - Tensão de saída e sequência de chaveamento para um braço do inversor

Tensão de Saída	Estado	Sequência de Chaveamento			
		S_{X1}	S_{X2}	S_{X3}	S_{X4}
$+V_{cc}/2$	P	1	1	0	0
0	O ₁	1	0	1	0
	O ₂	0	1	0	1
$-V_{cc}/2$	N	0	0	1	1

Vale ressaltar a existência de dois estados redundantes, O_1 e O_2 , que geram o mesmo nível de tensão na carga. Além disso, os dois outros estados, P e N, não afetam o nível de tensão do capacitor flutuante C_X , de forma que este permanece constante ao longo desse dois estados. Dessa forma, para os estados P e N:

$$\frac{dV_{Cx}}{dt} = 0 \quad (3.2)$$

Assim, para um ciclo de chaveamento completo, levando-se em consideração as relações (3.1) e (3.2), é possível concluir que, se os valores instantâneos das razões cíclicas durante os estágios O_1 e O_2 forem iguais ($\alpha_{x1} = \alpha_{x2}$), a variação média de tensão no capacitor flutuante é nula e este mantém sua tensão estável e equilibrada durante o período de chaveamento.

3.3 Princípio de Operação do Inversor a Três Níveis NPC

Devido à simetria apresentada pela estrutura, serão analisados os quatro possíveis modos de operação relativos a apenas um dos braços do inversor. Além disso, será considerado que os capacitores C_1 , C_2 estão previamente carregados e permanecem com tensões constantes e iguais à metade da tensão V_{CC} de entrada.

3.3.1 Primeira Etapa de Operação

Durante a primeira etapa de operação, as chaves S_{X1} e S_{X2} estão ligadas, como apresentado na figura 3.7, fazendo com que a tensão na carga seja positiva, numericamente igual à tensão sobre o capacitor C_1 .

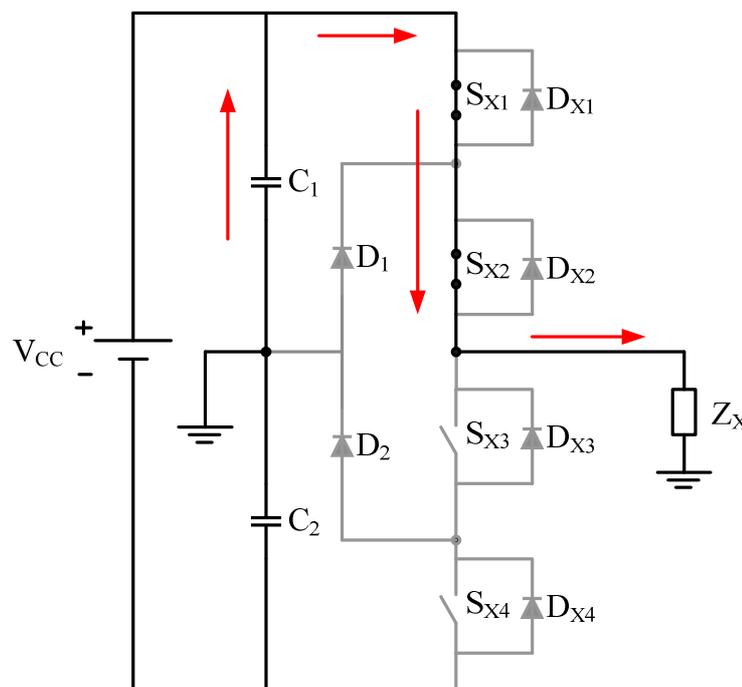


Figura 3.7. Primeira etapa de operação.

3.3.2 Segunda Etapa de Operação

Na segunda etapa de operação, as chaves S_{X2} e S_{X3} estão ligadas, como apresentado nas figuras 3.8 e 3.9. Durante esta etapa, quando a corrente na carga é positiva, esta flui através do diodo D_1 . Já no caso em que a corrente na carga é negativa, o diodo D_2 é quem conduz. Em ambos os casos, a tensão produzida na carga é nula.

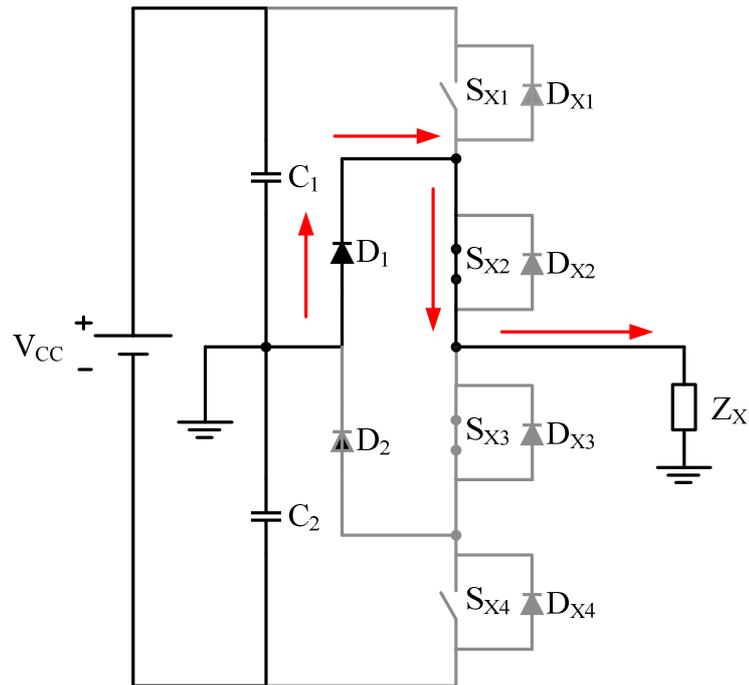


Figura 3.8. Segunda etapa de operação para I_o positiva.

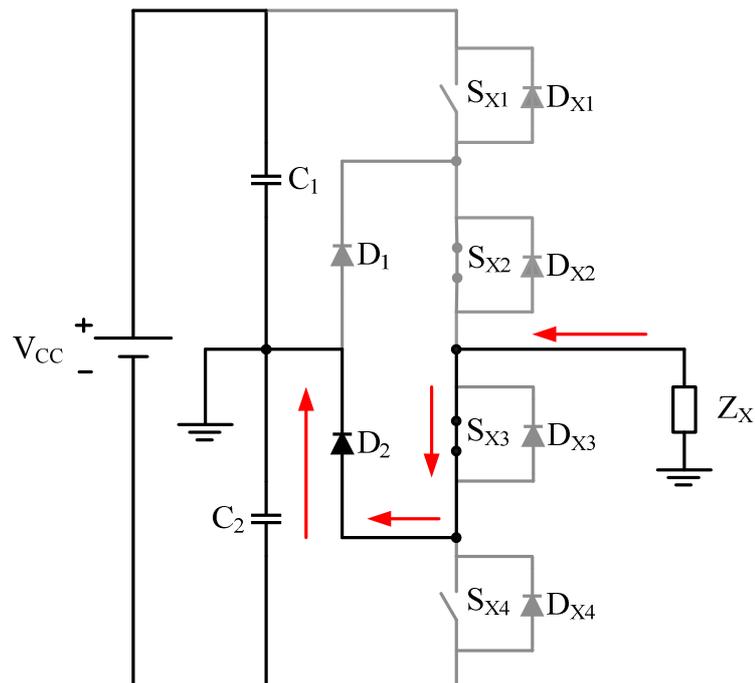


Figura 3.9. Segunda etapa de operação para I_o negativa.

3.3.3 Terceira Etapa de Operação

Na terceira etapa de operação, as chaves S_{X3} e S_{X4} estão ligadas, segundo mostra a figura 3.10, fazendo com que a tensão na carga seja igual à tensão sobre o capacitor C_2 .

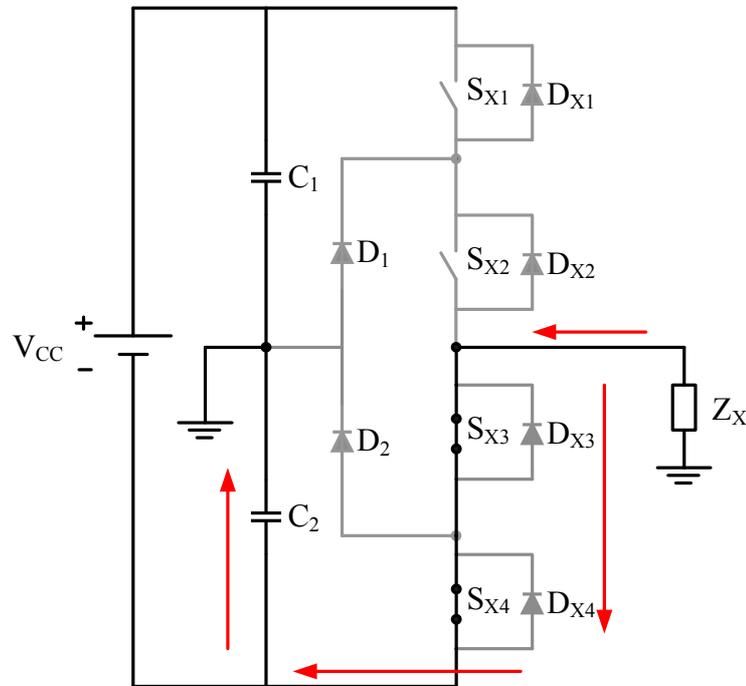


Figura 3.10. Terceira etapa de operação.

Analisando os quatro modos de operação, é possível perceber a geração dos três níveis de tensão para cada estado correspondente das chaves, segundo mostra a tabela a seguir.

Tabela 3.2 - Tensão de saída e Sequência de chaveamento para um braço do inversor

Tensão de Saída	Estado	Sequência de Chaveamento			
		S_{X1}	S_{X2}	S_{X3}	S_{X4}
$+V_{cc}/2$	P	1	1	0	0
0	O ₁	0	1	1	0
	O ₂	0	1	1	0
$-V_{cc}/2$	N	0	0	1	1

3.4 Estudo de Perdas

Para a análise das perdas do inversor, devem ser consideradas as diferentes modulações aplicadas às duas estruturas, resultando em seis diferentes combinações a serem analisadas:

Tabela 3.3 - Combinações Estrutura *versus* Modulação para análise das perdas

MODULAÇÃO	ESTRUTURA	
	FC	NPC
	PSPWM	–
	LSPWM (POD)	LSPWM (POD)
	PWM – HE [27]	–
	PROPOSTA	PROPOSTA

A tabela abaixo mostra os principais parâmetros de projeto do inversor trifásico a três níveis, utilizados para determinação dos esforços de corrente através das chaves e diodos. Vale ressaltar que, para os cálculos a seguir, será considerado o funcionamento de apenas um dos braços do inversor, visto que os outros operam de forma semelhante.

Tabela 3.4 - Parâmetros de projeto do inversor

Tensão do barramento CC	V_{CC}	400V
Potência ativa de saída por fase	P_o	2kW
Frequência da tensão de saída	f_o	60Hz
Fator de potência da carga	FP	0,92
Rendimento do inversor	η	0,95
Frequência de chaveamento do inversor	f_s	4kHz
Máximo índice de modulação	M_{max}	0,8

As equações abaixo mostram, respectivamente, o cálculo dos valores de pico e eficaz da tensão e da corrente de saída, além das propriedades inerentes à carga, como o ângulo de carga, a potência aparente, a impedância equivalente, a resistência e a indutância de carga por fase, respectivamente.

$$V_{o.pk} = \frac{V_{CC}}{2} \cdot M_{max} \quad (3.3)$$

$$V_{o.pk} = 160V \quad (3.4)$$

$$V_{o.ef} = \frac{V_{o.pk}}{\sqrt{2}} \quad (3.5)$$

$$V_{o.ef} = 113,14\text{V} \quad (3.6)$$

$$I_{o.ef} = \frac{P_o}{V_{o.ef} \cdot FP \cdot \eta} \quad (3.7)$$

$$I_{o.ef} = 26,226\text{A} \quad (3.8)$$

$$I_{o.pk} = I_{o.ef} \cdot \sqrt{2} \quad (3.9)$$

$$I_{o.pk} = 28,604\text{A} \quad (3.10)$$

$$\theta_o = a \cos(FP) \quad (3.11)$$

$$\theta_o = 0,403\text{rad} \quad (3.12)$$

$$S_o = \frac{P_o}{FP \cdot \eta} \quad (3.13)$$

$$S_o = 2,288\text{kVA} \quad (3.14)$$

$$Z_o = \frac{S_o}{I_{o.ef}^2} \quad (3.15)$$

$$Z_o = 5,594\Omega \quad (3.16)$$

$$R_o = \frac{P_o}{I_{o.ef}^2 \cdot \eta} \quad (3.17)$$

$$R_o = 5,146\Omega \quad (3.18)$$

$$L_o = \frac{\sqrt{Z_o^2 - R_o^2}}{2 \cdot \pi \cdot f_o} \quad (3.19)$$

$$L_o = 6\text{mH} \quad (3.20)$$

3.4.1 Determinação dos Esforços de Corrente nos Interruptores

Inicialmente devem ser determinadas as funções de modulações, ou seja, o comportamento matemático da corrente ao longo de um determinado intervalo de tempo, referentes a cada interruptor de um dos braços do inversor para cada combinação das diferentes técnicas de modulação aplicadas às duas estruturas de inversor, como apresentado na tabela 3.3. Em seguida, serão calculados os esforços de corrente nas chaves e diodos através das expressões generalizadas 3.21 e 3.22, onde δ representa a função de modulação da chave correspondente, enquanto S_{xy} identifica a chave Y do braço X, ou seja, $x = A, B$ ou C , e $y = 1, 2, 3$ ou 4 .

$$I_{S_{xy}MED} = \frac{1}{2\pi} \cdot \int_0^{2\pi} \delta_{S_{xy}}(\omega t) \cdot i_o(\omega t) \cdot d(\omega t) \quad (3.21)$$

$$I_{S_{xy}RMS} = \sqrt{\frac{1}{2\pi} \cdot \int_0^{2\pi} \delta_{S_{xy}}(\omega t) \cdot i_o(\omega t)^2 \cdot d(\omega t)} \quad (3.22)$$

3.4.1.1 PSPWM Aplicada à Estrutura FC

A fim de estabelecer as funções de modulação, deve ser observado o comportamento da corrente nas chaves e nos diodos, como na figura 3.11. A partir dela deve ser observado que, quando a moduladora assumir valores maiores que $V_{pk}/2$, então a função de modulação é proporcional à função seno. Caso contrário, esta se torna proporcional ao módulo da função seno.

Já para a função i_o , deve ser observado o comportamento da forma de onda referente à corrente de saída: quando esta assumir valores positivos em um determinado intervalo, então ela será proporcional à função seno. No entanto, quando a corrente de saída se torna negativa para um determinado intervalo que se deseje observar, a função é proporcional ao módulo da função seno.

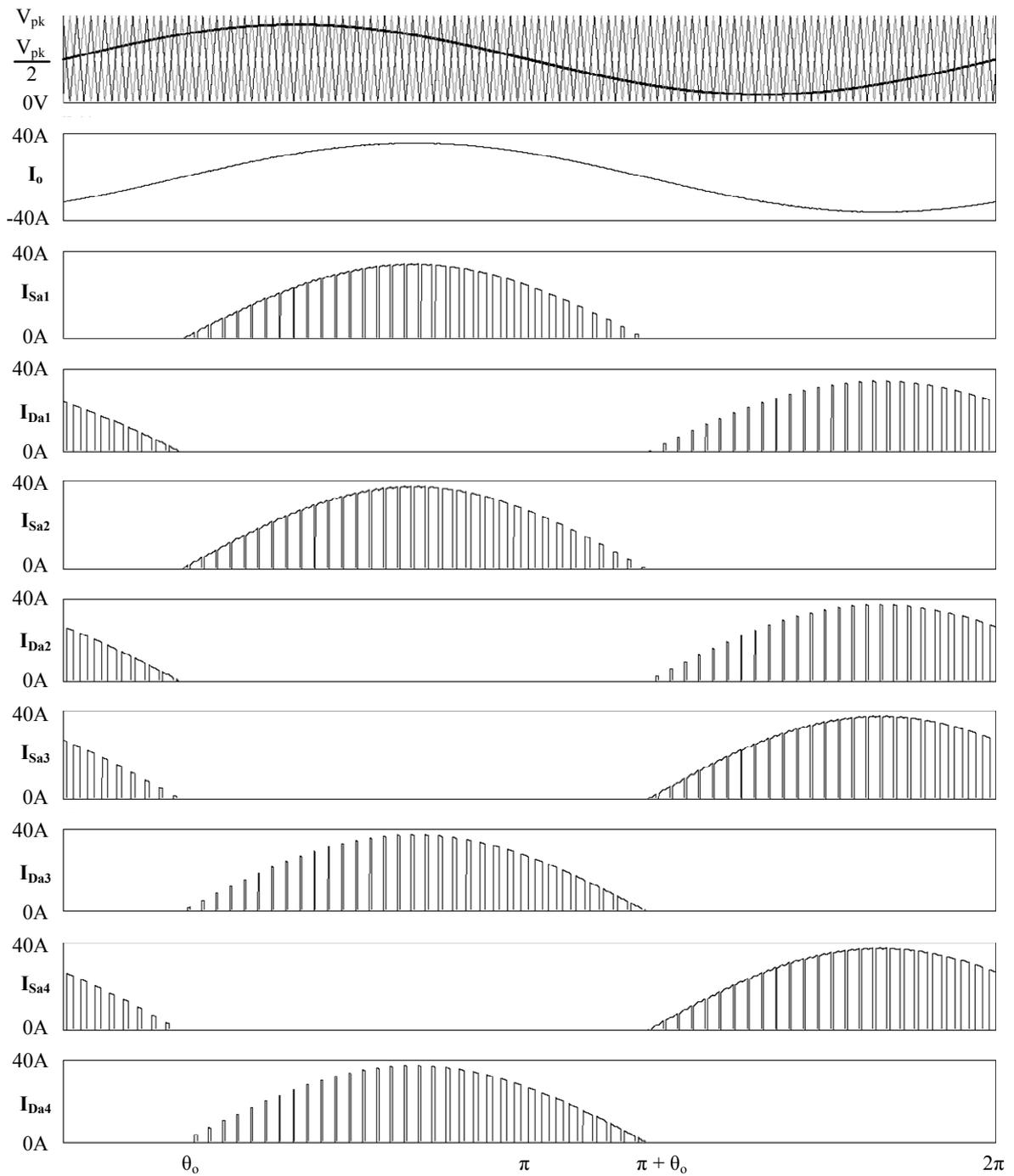


Figura 3.11. Correntes nas chaves e nos diodos para a modulação PSPWM aplicada à estrutura FC.

A expressão 3.23 apresenta a função de modulação, $\delta(\omega t)$, para a chave S_{a1} para cada intervalo, enquanto a equação 3.24 mostra a respectiva função da corrente de saída, $i_o(\omega t)$, onde θ_o representa o ângulo do fator de potência. Deve-se ressaltar ainda que, para esta técnica de modulação, as funções de modulação e corrente na chave S_{a1} são idênticas às de S_{a2} .

$$\delta_{S_{a1}}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ 1 - \frac{1}{3} \cdot M_{\max} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ 1 - \frac{1}{3} \cdot M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.23)$$

$$i_o(\omega t) = \begin{cases} I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.24)$$

As equações 3.25 e 3.26 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para a chave S_{a3} . Assim como ocorre com S_{a1} e S_{a2} , as funções da chave S_{a3} são iguais às de S_{a4} .

$$\delta_{S_{a3}}(\omega t) = \begin{cases} 1 - \frac{1}{3} \cdot M_{\max} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 - \frac{1}{3} \cdot M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.25)$$

$$i_o(\omega t) = \begin{cases} -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.26)$$

Para os diodos, segue-se o mesmo padrão: as funções de modulação e corrente dos diodos D_{a1} e D_{a2} são idênticas, ocorrendo o mesmo com os diodos D_{a3} e D_{a4} . A equação 3.27 mostra a função de modulação para o diodo D_{a1} , enquanto a expressão 3.28 apresenta a função da corrente de saída para os respectivos intervalos.

$$\delta_{D_{a1}}(\omega t) = \begin{cases} \frac{1}{3} \cdot M_{\max} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ \frac{1}{3} \cdot M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.27)$$

$$i_o(\omega t) = \begin{cases} -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.28)$$

As equações 3.29 e 3.30 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{a3} .

$$\delta_{Da3}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ \frac{1}{3} \cdot M_{\max} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ \frac{1}{3} \cdot M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.29)$$

$$i_o(\omega t) = \begin{cases} I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.30)$$

A tabela 3.5 mostra um resumo dos valores calculados e simulados das correntes médias e eficazes nos componentes, onde é possível verificar que são bastante próximos. Entre os motivos que levam aos pequenos erros entre valores calculados e simulados, pode ser citado que, para os valores calculados, leva-se em consideração que a corrente de saída é uma função perfeitamente senoidal, enquanto na simulação, as correntes possuem uma leve distorção harmônica. Vale ressaltar que os valores simulados foram retirados a partir da figura 3.11, obtida através do *software* PSIM, realizada com componentes ideais e parâmetros de projeto utilizados foram os mesmos calculados nas equações 3.3 a 3.20.

Tabela 3.5 - Valores calculados dos esforços de corrente nos componentes ($M_i = 0,8$)

	Corrente Média		Corrente Eficaz	
	Calculado	Simulado	Calculado	Simulado
S_{a1}	7,342A	6,826A	12,737A	12,249A
S_{a2}	7,342A	6,826A	12,737A	12,249A
S_{a3}	7,342A	6,826A	12,737A	12,249A
S_{a4}	7,342A	6,826A	12,737A	12,249A
D_{a1}	1,763A	1,835A	6,505A	5,893A
D_{a2}	1,763A	1,835A	6,505A	5,893A
D_{a3}	1,763A	1,835A	6,505A	5,893A
D_{a4}	1,763A	1,835A	6,505A	5,893A

3.4.1.2 LSPWM (POD) Aplicada à Estrutura FC

A partir da figura 3.12, é possível verificar o comportamento das correntes nos diversos dispositivos a fim de determinar as funções de modulação e corrente para a técnica de modulação LSPWM (POD) aplicada ao inversor multinível com capacitores flutuantes.

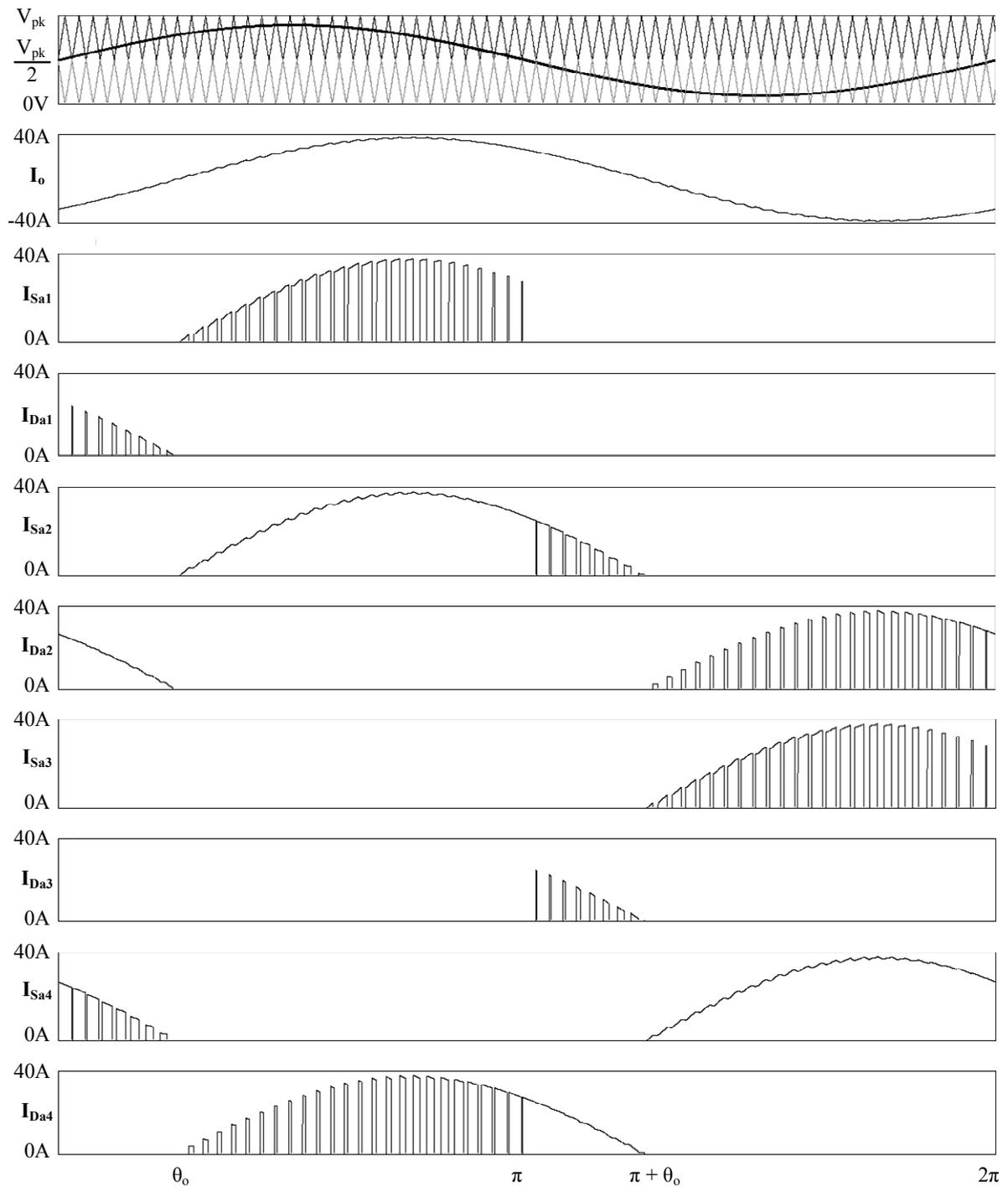


Figura 3.12. Correntes nas chaves e nos diodos para a modulação LSPWM (POD) aplicada à estrutura FC.

A expressão 3.31 apresenta a função de modulação para a chave S_{a1} para cada intervalo, enquanto a equação 3.32 mostra a respectiva função da corrente de saída.

$$\delta_{S_{a1}}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ M_{\max} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ 0 & \text{se } \pi \leq \omega t \leq 2\pi \end{cases} \quad (3.31)$$

$$i_o(\omega t) = I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se} \quad \theta_o \leq \omega t \leq \pi \quad (3.32)$$

As equações 3.33 e 3.34 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para a chave S_{a2} .

$$\delta_{Sa2}(\omega t) = \begin{cases} 0 & \text{se} \quad 0 \leq \omega t \leq \theta_o \\ 1 & \text{se} \quad \theta_o \leq \omega t \leq \pi \\ M_{\max} \cdot |\text{sen}(\omega t)| & \text{se} \quad \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se} \quad \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.33)$$

$$i_o(\omega t) = \begin{cases} I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se} \quad \theta_o \leq \omega t \leq \pi \\ I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se} \quad \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.34)$$

A expressão 3.35 apresenta a função de modulação para a chave S_{a3} para cada intervalo, enquanto a equação 3.36 mostra a respectiva função da corrente de saída.

$$\delta_{Sa3}(\omega t) = \begin{cases} 0 & \text{se} \quad 0 \leq \omega t \leq \pi + \theta_o \\ M_{\max} \cdot |\text{sen}(\omega t)| & \text{se} \quad \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.35)$$

$$i_o(\omega t) = -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se} \quad \pi + \theta_o \leq \omega t \leq 2\pi \quad (3.36)$$

As equações 3.37 e 3.38 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para a chave S_{a4} .

$$\delta_{Sa4}(\omega t) = \begin{cases} 1 - M_{\max} \cdot \text{sen}(\omega t) & \text{se} \quad 0 \leq \omega t \leq \theta_o \\ 0 & \text{se} \quad \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 & \text{se} \quad \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.37)$$

$$i_o(\omega t) = \begin{cases} -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se} \quad 0 \leq \omega t \leq \theta_o \\ -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se} \quad \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.38)$$

A equação 3.39 mostra a função de modulação para o diodo D_{a1} , enquanto a expressão 3.40 apresenta a função da corrente de saída para o respectivo intervalo.

$$\delta_{Da1}(\omega t) = \begin{cases} M_{\max} \cdot \text{sen}(\omega t) & \text{se} \quad 0 \leq \omega t \leq \theta_o \\ 0 & \text{se} \quad \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.39)$$

$$i_o(\omega t) = -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se} \quad 0 \leq \omega t \leq \theta_o \quad (3.40)$$

As equações 3.41 e 3.42 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{a2} .

$$\delta_{Da2}(\omega t) = \begin{cases} 1 & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 - M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.41)$$

$$i_o(\omega t) = \begin{cases} -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \theta_o \\ -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.42)$$

As equações 3.43 e 3.44 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{a3} .

$$\delta_{Da3}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \pi \\ M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.43)$$

$$i_o(\omega t) = I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } \pi \leq \omega t \leq \pi + \theta_o \quad (3.44)$$

Por fim, as expressões 3.45 e 3.46 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{a4} .

$$\delta_{Da4}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ 1 - M_{\max} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ -1 & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.45)$$

$$i_o(\omega t) = \begin{cases} I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.46)$$

Tabela 3.6 - Valores calculados dos esforços de corrente nos componentes

	Corrente Média		Corrente Eficaz	
	Calculado	Simulado	Calculado	Simulado
S_{a1}	5,302A	5,281A	11,314A	11,163A
S_{a2}	9,066A	8,828A	14,294A	13,924A
S_{a3}	5,302A	5,281A	11,314A	11,163A
S_{a4}	9,066A	8,828A	14,294A	13,924A
D_{a1}	0,039A	0,022A	0,471A	0,31A
D_{a2}	3,803A	3,602A	8,749A	8,362A
D_{a3}	0,039A	0,022A	0,471A	0,31A
D_{a4}	3,803A	3,602A	8,749A	8,362A

3.4.1.3 LSPWM (POD) Aplicada à Estrutura NPC

A partir da figura 3.13, é possível determinar as funções de modulação e corrente para a técnica de modulação LSPWM (POD) aplicada ao inversor multinível com neutro grampeado.

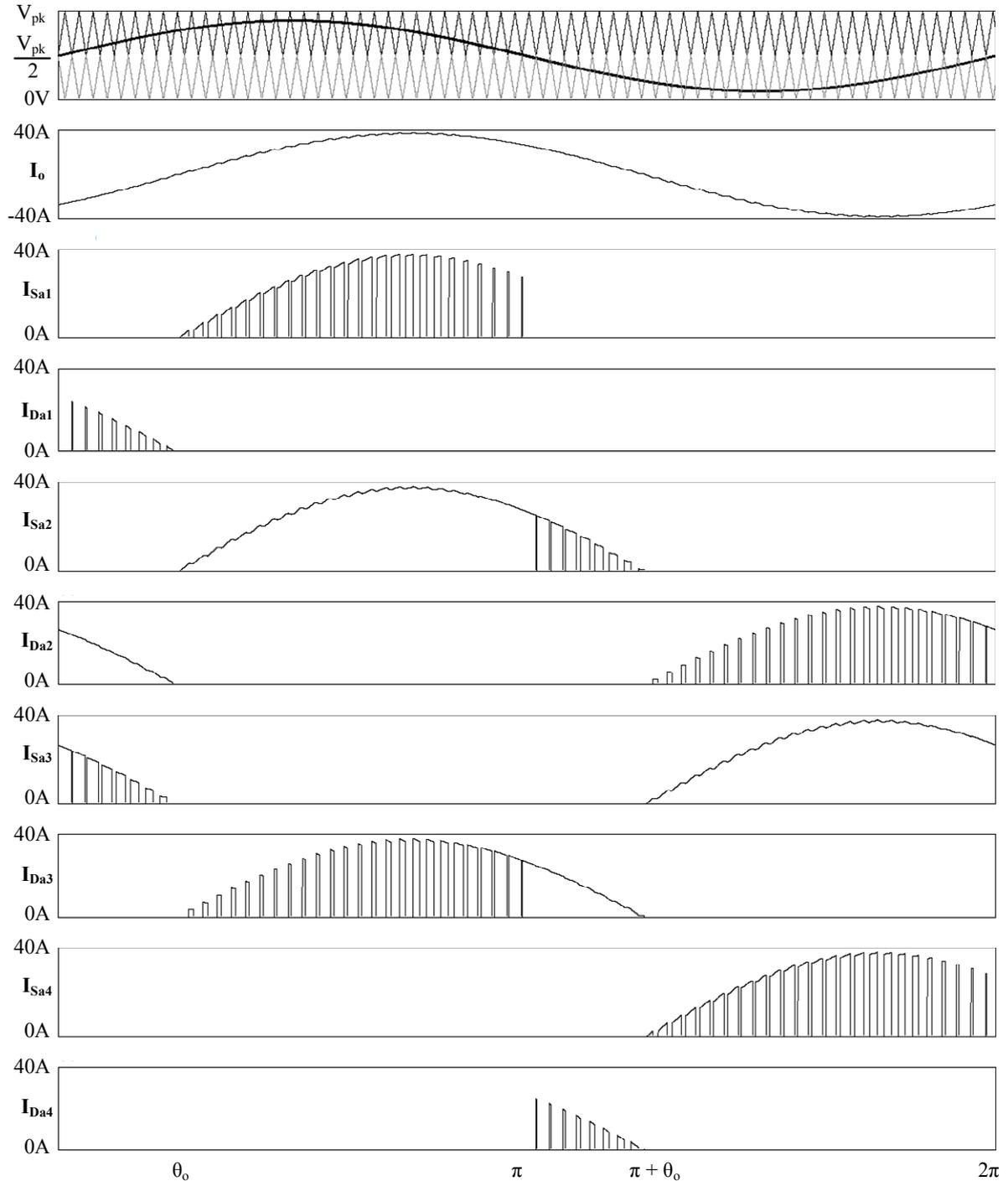


Figura 3.13. Correntes nas chaves e nos diodos para a modulação LSPWM (POD) aplicada à estrutura NPC.

A expressão 3.47 apresenta a função de modulação para a chave S_{a1} para cada intervalo, enquanto a equação 3.48 mostra a respectiva função da corrente de saída.

$$\delta_{S_{a1}}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ M_{\max} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ 0 & \text{se } \pi \leq \omega t \leq 2\pi \end{cases} \quad (3.47)$$

$$i_o(\omega t) = I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } \theta_o \leq \omega t \leq \pi \quad (3.48)$$

As equações 3.49 e 3.50 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para a chave S_{a2} .

$$\delta_{S_{a2}}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ 1 & \text{se } \theta_o \leq \omega t \leq \pi \\ M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.49)$$

$$i_o(\omega t) = \begin{cases} I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.50)$$

A expressão 3.51 apresenta a função de modulação para a chave S_{a3} para cada intervalo, enquanto a equação 3.52 mostra a respectiva função da corrente de saída.

$$\delta_{S_{a3}}(\omega t) = \begin{cases} 1 - M_{\max} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.51)$$

$$i_o(\omega t) = \begin{cases} -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } 0 \leq \omega t \leq \theta_o \\ -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.52)$$

As equações 3.53 e 3.54 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para a chave S_{a4} .

$$\delta_{S_{a4}}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \pi + \theta_o \\ M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.53)$$

$$i_o(\omega t) = -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \quad (3.54)$$

A equação 3.55 mostra a função de modulação para o diodo D_{a1} , enquanto a expressão 3.56 apresenta a função da corrente de saída para o respectivo intervalo.

$$\delta_{D_{a1}}(\omega t) = \begin{cases} M_{\max} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.55)$$

$$i_o(\omega t) = -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } 0 \leq \omega t \leq \theta_o \quad (3.56)$$

As equações 3.57 e 3.58 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{a2} .

$$\delta_{D_{a2}}(\omega t) = \begin{cases} M_{\max} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.57)$$

$$i_o(\omega t) = -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } 0 \leq \omega t \leq \theta_o \quad (3.58)$$

As equações 3.59 e 3.60 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{a3} .

$$\delta_{D_{a3}}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \pi \\ M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.59)$$

$$i_o(\omega t) = I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } \pi \leq \omega t \leq \pi + \theta_o \quad (3.60)$$

Por fim, as expressões 3.61 e 3.62 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_{a4} .

$$\delta_{D_{a4}}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \pi \\ M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.61)$$

$$i_o(\omega t) = I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) \quad \text{se } \pi \leq \omega t \leq \pi + \theta_o \quad (3.62)$$

Para completar o estudo dos esforços da estrutura NPC, devem ser observados, também, o comportamento das correntes nos diodos de grampeamento, como mostrado na figura 3.14.

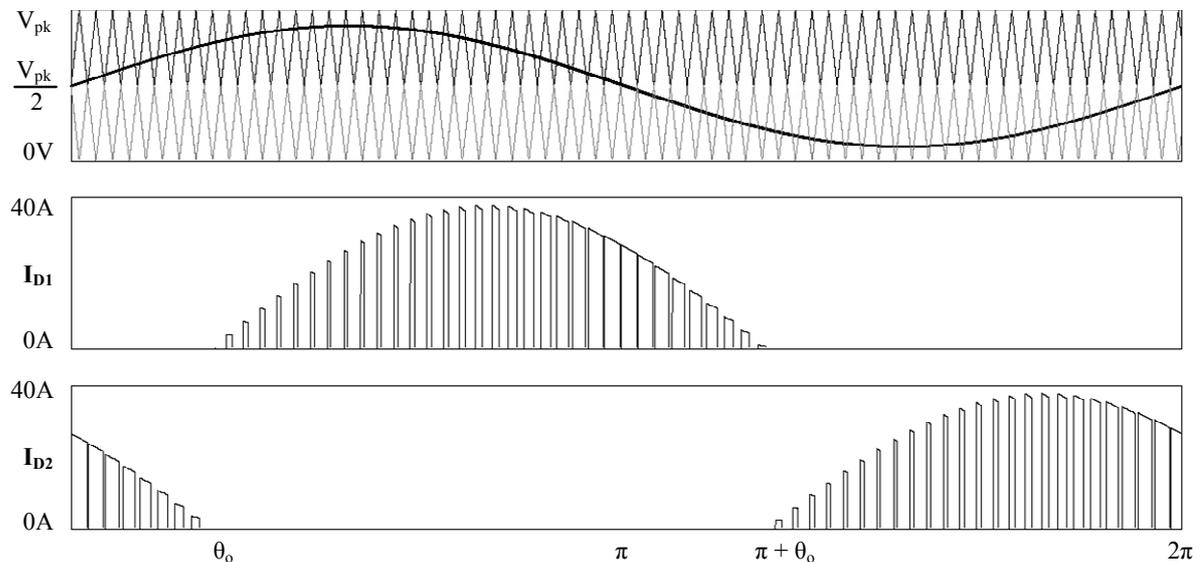


Figura 3.14. Correntes nos diodos NPC.

As equações 3.63 e 3.64 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_1 .

$$\delta_{D_1}(\omega t) = \begin{cases} 0 & \text{se } 0 \leq \omega t \leq \theta_o \\ 1 - M_{\max} \cdot \text{sen}(\omega t) & \text{se } \theta_o \leq \omega t \leq \pi \\ 1 - M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi \leq \omega t \leq \pi + \theta_o \\ 0 & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.63)$$

$$i_o(\omega t) = \begin{cases} I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.64)$$

Por fim, as expressões 3.65 e 3.66 apresentam, respectivamente, a função de modulação e a função da corrente de saída nos respectivos intervalos para o diodo D_2 .

$$\delta_{D_2}(\omega t) = \begin{cases} 1 - M_{\max} \cdot \text{sen}(\omega t) & \text{se } 0 \leq \omega t \leq \theta_o \\ 0 & \text{se } \theta_o \leq \omega t \leq \pi + \theta_o \\ 1 - M_{\max} \cdot |\text{sen}(\omega t)| & \text{se } \pi + \theta_o \leq \omega t \leq 2\pi \end{cases} \quad (3.65)$$

$$i_o(\omega t) = \begin{cases} -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \theta_o \leq \omega t \leq \pi \\ -I_{o.pk} \cdot \text{sen}(\omega t - \theta_o) & \text{se } \pi \leq \omega t \leq \pi + \theta_o \end{cases} \quad (3.66)$$

A tabela 3.7 mostra um resumo dos valores calculados das correntes médias e eficazes nos componentes.

Tabela 3.7 - Valores calculados dos esforços de corrente nos componentes

	Corrente Média		Corrente Eficaz	
	Calculado	Simulado	Calculado	Simulado
S_{a1}	5,302A	5,051A	11,314A	10,779A
S_{a2}	9,066A	8,62A	14,294A	13,606A
S_{a3}	9,066A	8,62A	14,294A	13,606A
S_{a4}	5,302A	5,051A	11,314A	10,779A
D_{a1}	0,039A	0,036A	0,471A	0,433A
D_{a2}	0,039A	0,036A	0,471A	0,433A
D_{a3}	0,039A	0,036A	0,471A	0,433A
D_{a4}	0,039A	0,036A	0,471A	0,433A
D₁	3,764A	3,569A	8,761A	8,302A
D₂	3,764A	3,569A	8,761A	8,302A

3.4.1.4 PWM – HE [27] Aplicada à Estrutura FC

Devido à complexidade inerente à técnica proposta em [27] para que sejam determinadas as respectivas funções de modulação e levando-se em consideração o pequeno erro entre os valores calculados e simulados apresentado pelas técnicas anteriores, será mostrada a seguir, na tabela 3.8, os valores simulados das correntes nos diversos semicondutores.

Tabela 3.8 - Valores simulados dos esforços de corrente nos componentes

	Corrente Média	Corrente Eficaz
S_{a1}	8,159A	14,257A
S_{a2}	8,159A	14,257A
S_{a3}	8,159A	14,257A
S_{a4}	8,159A	14,257A
D_{a1}	1,708A	5,965A
D_{a2}	1,708A	5,965A
D_{a3}	1,708A	5,965A
D_{a4}	1,708A	5,965A

3.4.1.5 Modulação Proposta Aplicada à Estrutura FC

Levando-se em consideração as mesmas ponderações do item anterior, a tabela abaixo apresenta os valores simulados das correntes médias e eficazes nos diversos componentes para a modulação proposta neste trabalho aplicado à topologia baseada em capacitores flutuantes.

Tabela 3.9 - Valores simulados dos esforços de corrente nos componentes

	Corrente Média	Corrente Eficaz
S_{a1}	5,682A	11,71A
S_{a2}	8,957A	14,156A
S_{a3}	5,682A	11,71A
S_{a4}	8,957A	14,156A
D_{a1}	0,015A	0,025A
D_{a2}	3,295A	7,941A
D_{a3}	0,015A	0,025A
D_{a4}	3,295A	7,941A

3.4.1.6 Modulação Proposta Aplicada à Estrutura NPC

Para a modulação proposta neste trabalho aplicada à topologia NPC, a tabela 3.10 apresenta os valores simulados dos esforços de corrente nos diferentes semicondutores.

Tabela 3.10 - Valores simulados dos esforços de corrente nos componentes

	Corrente Média	Corrente Eficaz
S_{a1}	5,644A	11,744A
S_{a2}	9,112A	14,398A
S_{a3}	9,112A	14,398A
S_{a4}	5,644A	11,744A
D_{a1}	0,029A	0,038A
D_{a2}	0,029A	0,038A
D_{a3}	0,029A	0,038A
D_{a4}	0,029A	0,038A
D₁	3,468A	8,329A
D₂	3,468A	8,329A

3.4.2 Cálculo das Perdas por Condução e Comutação

Para a análise de perdas, devem ser definidas, inicialmente, as equações generalizadas que regem o comportamento das perdas por condução e comutação. De acordo com [35], as expressões 3.67 e 3.68 definem, respectivamente, as equações utilizadas para o cálculo das perdas por condução nas chaves e nos diodos.

$$P_{S_{xy}COND} = V_{TO} \cdot I_{S_{xy}MED} + R_S \cdot I_{S_{xy}RMS}^2 \quad (3.67)$$

$$P_{D_{xy}COND} = V_D \cdot I_{D_{xy}MED} + R_D \cdot I_{D_{xy}RMS}^2 \quad (3.68)$$

As perdas nas chaves dependem, portanto, dos parâmetros V_{TO} e R_S , que são determinados através da linearização da curva da queda de tensão instantânea em função da corrente direta instantânea dada pelo fabricante, como apresentado na figura 3.15. Vale ressaltar que o componente escolhido através da análise dos esforços de corrente dos itens anteriores foi o módulo SKM75GB063D da SEMIKRON. A curva linearizada foi escolhida para uma tensão de gatilho de 15V, temperatura de junção de 125 °C, e para uma maior precisão na região entre 25A e 50A, na qual se inserem os esforços de corrente previamente calculados e onde se percebe uma característica aproximadamente linear da curva.

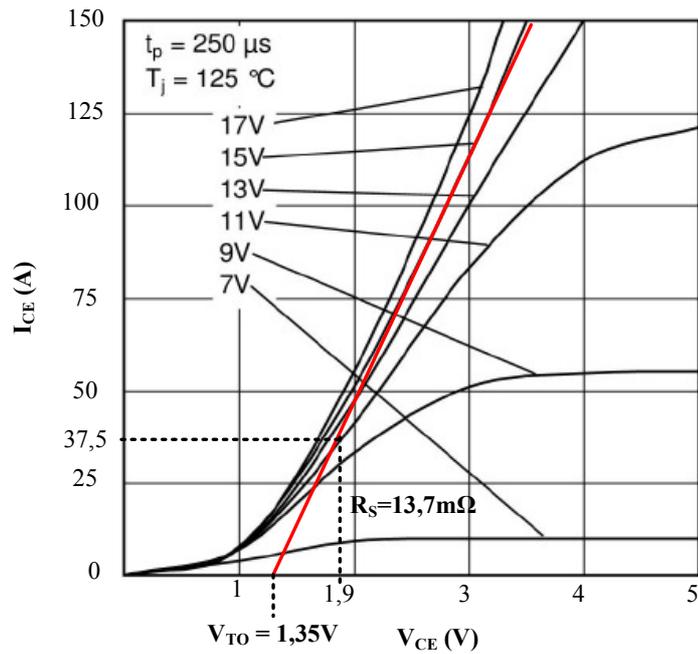


Figura 3.15. Linearização da curva $I_{CE} \times V_{CE}$ dos IGBTs dos módulos.

Para os diodos dos módulos, que também foram utilizados como os diodos NPC, o cálculo das perdas por condução depende dos parâmetros V_D e R_D , como mostrado na equação 3.68, respectivamente determinados de forma bastante parecida com os parâmetros das chaves, ou seja, linearizando a curva da queda de tensão instantânea no diodo em função da corrente, dada pelo fabricante, como apresenta a figura 3.16.

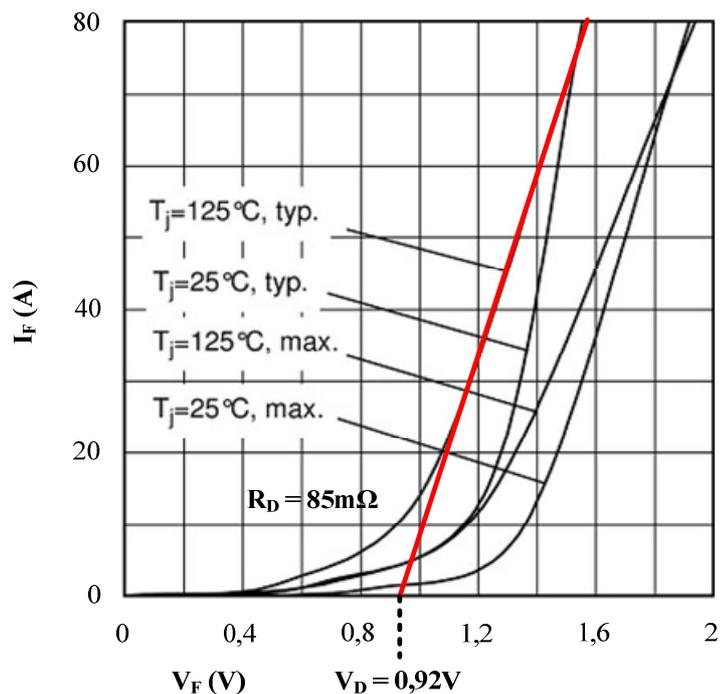


Figura 3.16. Linearização da curva $I_F \times V_F$ dos diodos dos módulos.

Já para as perdas por comutação será adotada a metodologia abordada em [36], onde as curvas da energia dissipada durante o ligamento e o desligamento do interruptor são aproximadas por polinômios de segunda ordem, segundo as expressões 3.69 e 3.70, permitindo que esta energia seja representada por apenas três coeficientes: k_0 , k_1 e k_2 .

$$W_{SxyON}(\omega t) = k_{0ON} + k_{1ON} \cdot i_{Sxy}(\omega t) + k_{2ON} \cdot i_{Sxy}(\omega t)^2 \quad (3.69)$$

$$W_{SxyOFF}(\omega t) = k_{0OFF} + k_{1OFF} \cdot i_{Sxy}(\omega t) + k_{2OFF} \cdot i_{Sxy}(\omega t)^2 \quad (3.70)$$

A figura 3.17 mostra as curvas de energia dissipada na entrada em condução e no bloqueio do IGBT do módulo SKM75GB063D, bem como as curvas geradas pelos polinômios de segunda ordem, de onde se pode observar a eficácia da aproximação sugerida em [36].

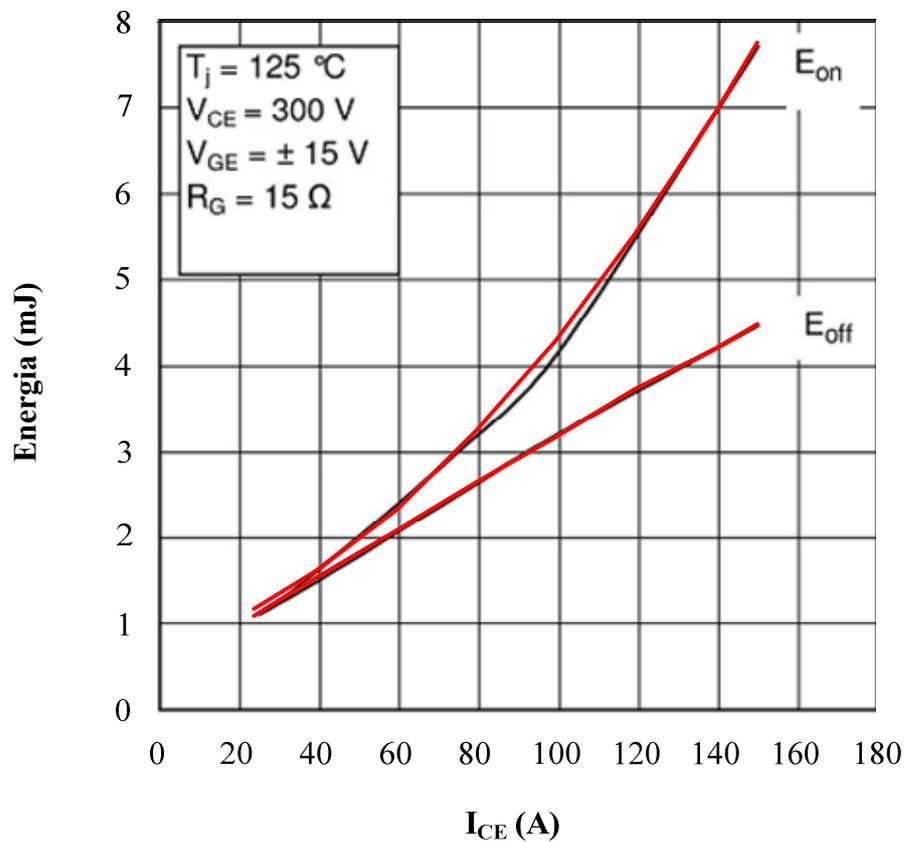


Figura 3.17. Curvas da dissipação de energia durante a comutação.

Os coeficientes dos polinômios utilizados para a aproximação das curvas do fabricante foram obtidos através da técnica de regressão polinomial e seus valores estão listados na tabela 3.11. De posse dos coeficientes, as perdas por comutação no ligamento e desligamento dos interruptores podem ser obtidas integrando as respectivas expressões de energias dissipadas em função da frequência de comutação, segundo as equações 3.71 e 3.72, respectivamente.

Tabela 3.11 - Coeficientes calculados dos polinômios de segunda ordem

Coeficiente	Valor
k_{0_ON}	$6,839 \cdot 10^{-4} \text{ J}$
k_{1_ON}	$1,297 \cdot 10^{-5} \text{ J/A}$
k_{2_ON}	$2,286 \cdot 10^{-7} \text{ J/A}^2$
k_{0_OFF}	$3,14 \cdot 10^{-4} \text{ J}$
k_{1_OFF}	$2,934 \cdot 10^{-5} \text{ J/A}$
k_{2_OFF}	$-9,467 \cdot 10^{-9} \text{ J/A}^2$

$$P_{SxyON} = \frac{1}{2\pi} \cdot \int_0^{2\pi} W_{SxyON}(\omega t) \cdot d(\omega t) \quad (3.71)$$

$$P_{SxyOFF} = \frac{1}{2\pi} \cdot \int_0^{2\pi} W_{SxyOFF}(\omega t) \cdot d(\omega t) \quad (3.72)$$

A energia dissipada durante a recuperação reversa nos diodos em função da corrente direta pode ser obtida de acordo com [37], utilizando a equação 3.73, onde I_o é a corrente nominal do diodo, t_{rr} é o tempo de recuperação reversa, e I_{rr} é a corrente de recuperação reversa, dados fornecidos pelo fabricante. A perda na recuperação reversa no diodo é obtida da mesma forma que as chaves, ou seja, integrando a energia dissipada em função da frequência de comutação, como apresenta a equação 3.74.

$$W_{rr}(i_D) = \frac{V_{CC}}{2} \left(0,8 + \frac{0,2 \cdot i_D(\omega t)}{I_o} \right) \cdot t_{rr} \cdot \left(0,35 \cdot I_{rr} + 0,15 \cdot \frac{I_{rr}}{I_o} \cdot i_D(\omega t) + i_D(\omega t) \right) \quad (3.73)$$

$$P_{rr} = \frac{1}{2\pi} \cdot \int_0^{2\pi} W_{rr}(\omega t) \cdot d(\omega t) \quad (3.74)$$

Por fim, as figuras 3.18 e 3.19 apresentam o gráfico das perdas totais calculadas para apenas um braço dos inversores FC e NPC, respectivamente, combinados às diversas situações de modulação e carga. Apesar da pequena diferença entre as perdas para as diversas situações, os valores apresentados mostram uma tendência das técnicas LSPWM e da proposta neste trabalho à redução de perdas. Deve-se lembrar que a metodologia aplicada ao cálculo das perdas, são aproximações, cujos valores não devem ser tomados como absolutos. Isso se deve ao comportamento dinâmico que alguns fatores, como a temperatura de operação dos semicondutores, a RSE dos capacitores, entre outros, não podem ser mensurados com exatidão, modificando o comportamento de diversos parâmetros do circuito na montagem.

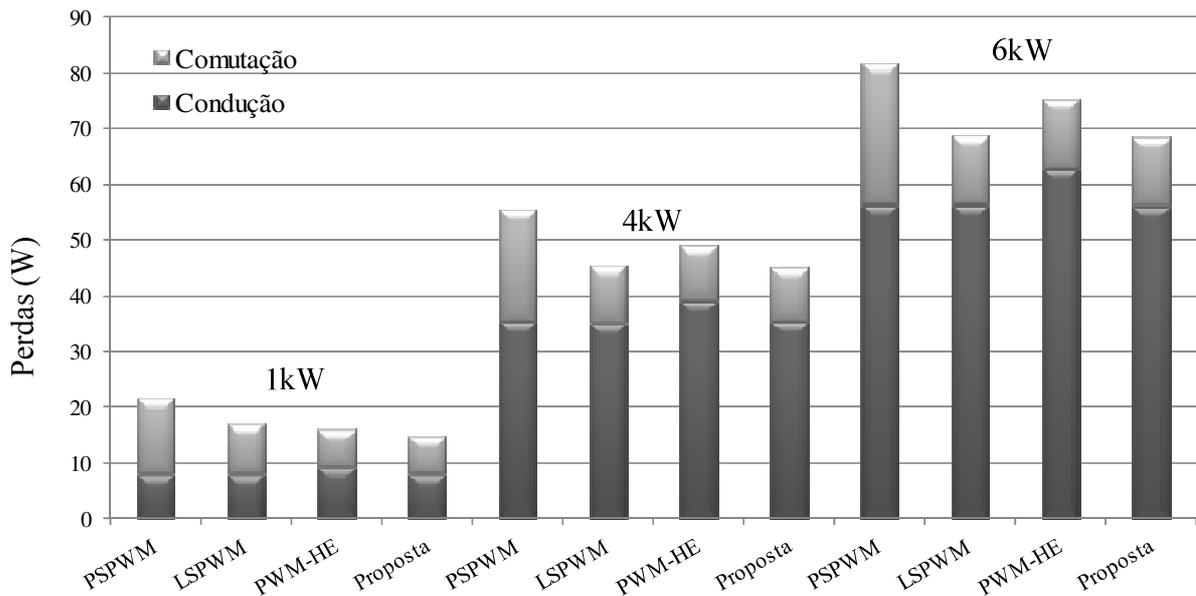


Figura 3.18. Comparação das perdas calculadas por condução e comutação das diversas técnicas de modulação para a topologia FC, operando com carga 1kW, 4kW, e 6kW.

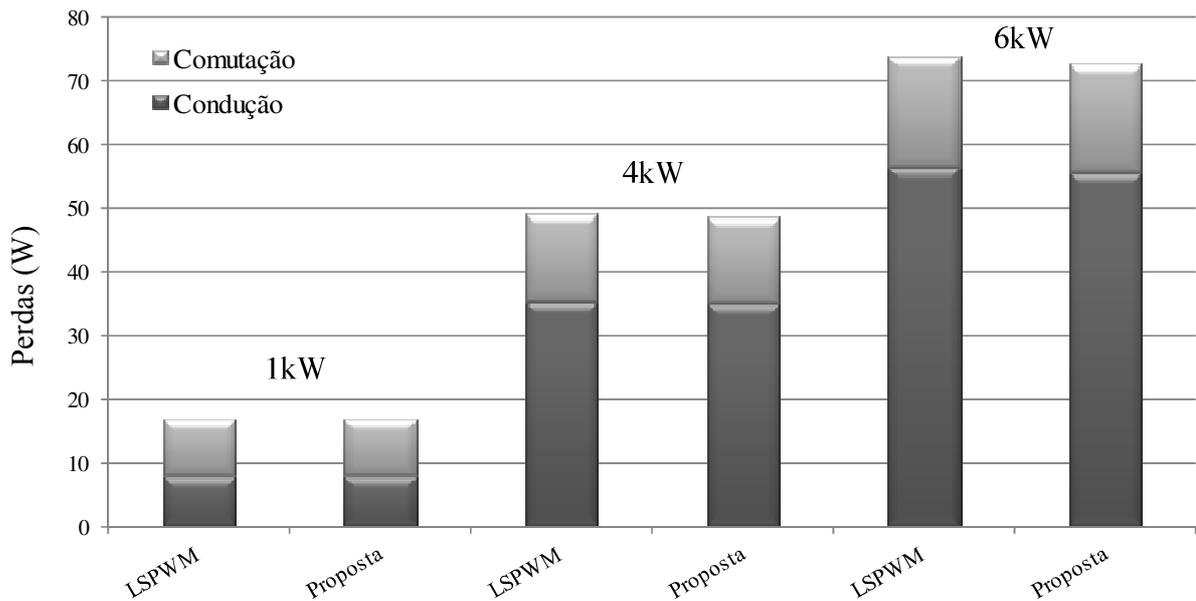


Figura 3.19. Comparação das perdas calculadas por condução e comutação das diversas técnicas de modulação para a topologia NPC, operando com carga 1kW, 4kW, e 6kW.

3.5 Comparativo de Desempenho do THD

A fim de avaliar o desempenho das diferentes modulações aplicadas às estruturas FC e NPC em termos de distorção harmônica da tensão de linha não-filtrada do inversor, foram realizadas simulações das diversas combinações para diferentes índices de modulação no *software* PSIM[®], tendo seus resultados apresentados na figura 3.18.

Através da análise dos gráficos da figura 3.18 é possível perceber um bom desempenho da modulação proposta em relação ao THD para índices de modulação elevados em ambas as topologias, em comparação com as técnicas convencionais. Já para a faixa de índices de modulação reduzidos, o comportamento é inferior às demais técnicas, com destaque à técnica proposta por He, em [27], para a topologia de capacitores flutuantes.

A diferença de desempenho da modulação proposta neste trabalho em relação ao conteúdo harmônico em aplicações com índices de modulação elevados e reduzidos fica evidenciada nos gráficos apresentados nas figuras 3.19 e 3.20, que se referem aos vetores utilizados ao longo de um período de chaveamento da modulação proposta para índices de modulação de 0,8 e 0,3, respectivamente. Por fim, a figura 3.21 mostra o diagrama vetorial para um inversor de três níveis, para que fique mais claro quais vetores estão sendo utilizados em cada mudança de estado da tensão de saída.

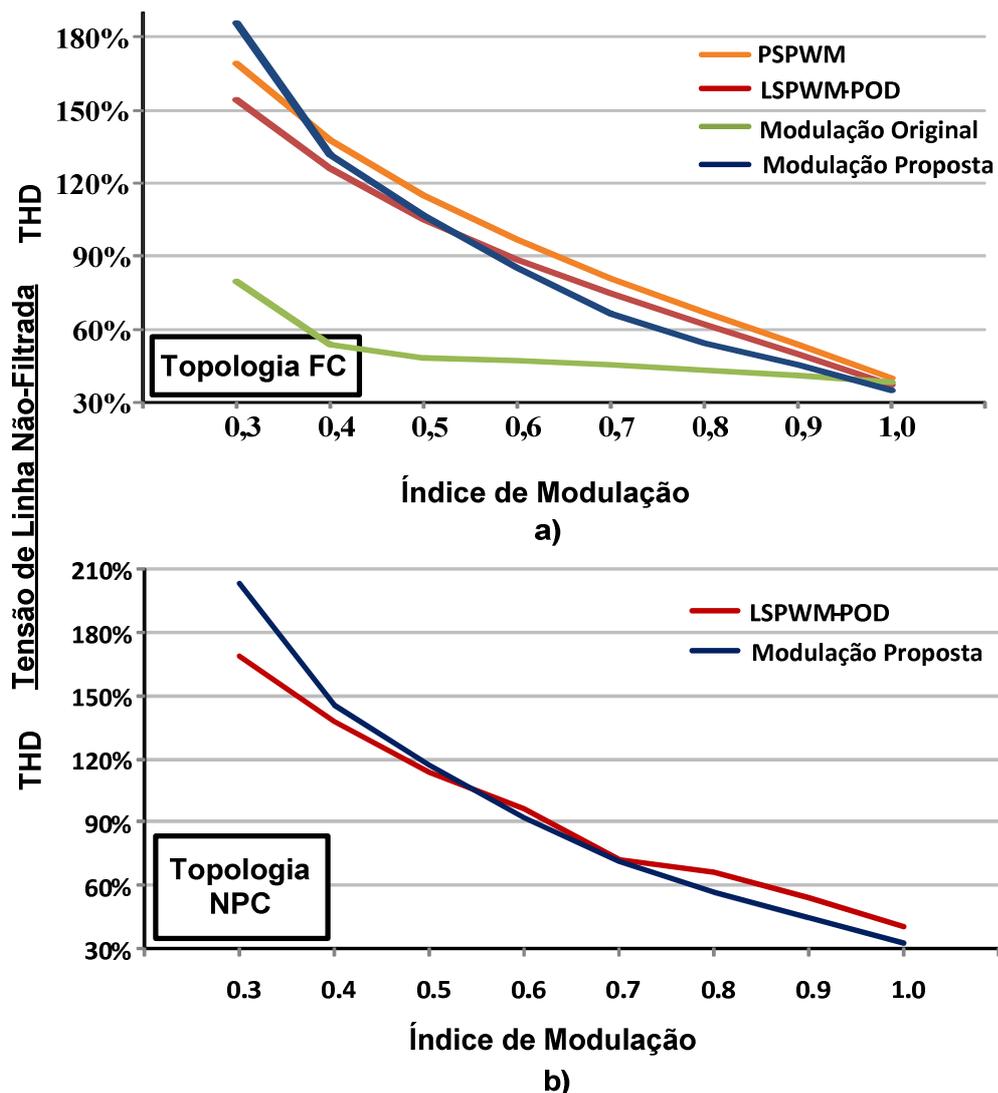


Figura 3.20. Curvas de THD para diversos índices de modulação para as estruturas (a) FC e (b) NPC.

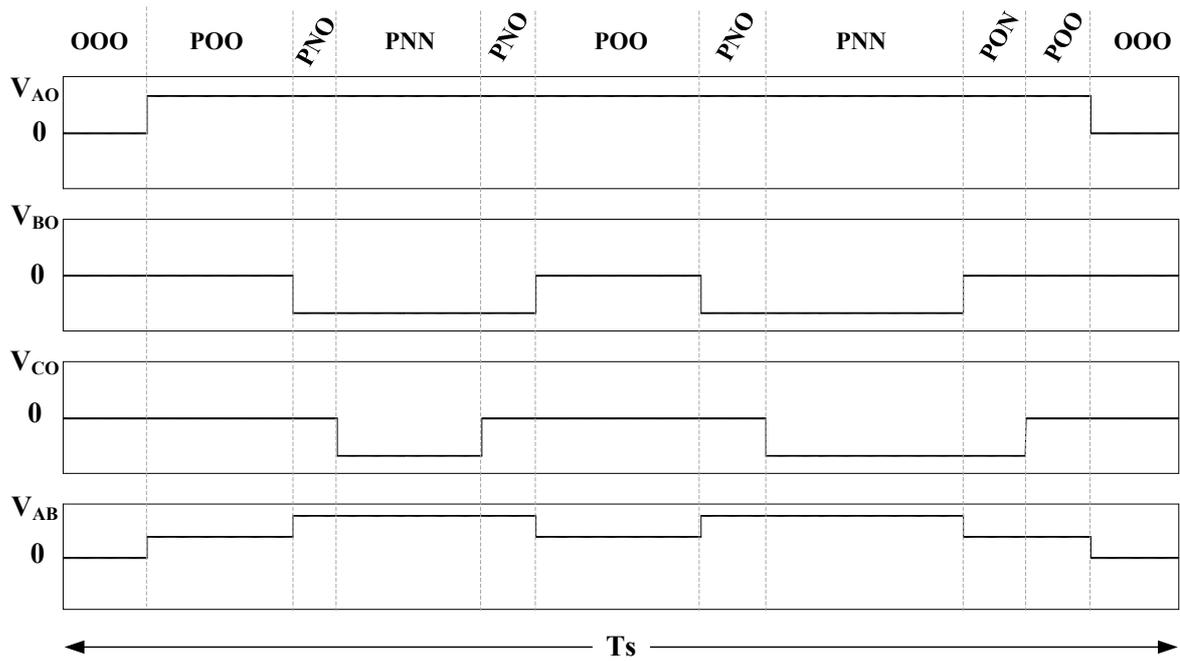


Figura 3.21. Vetores utilizados na modulação proposta para $M_i = 0,8$.

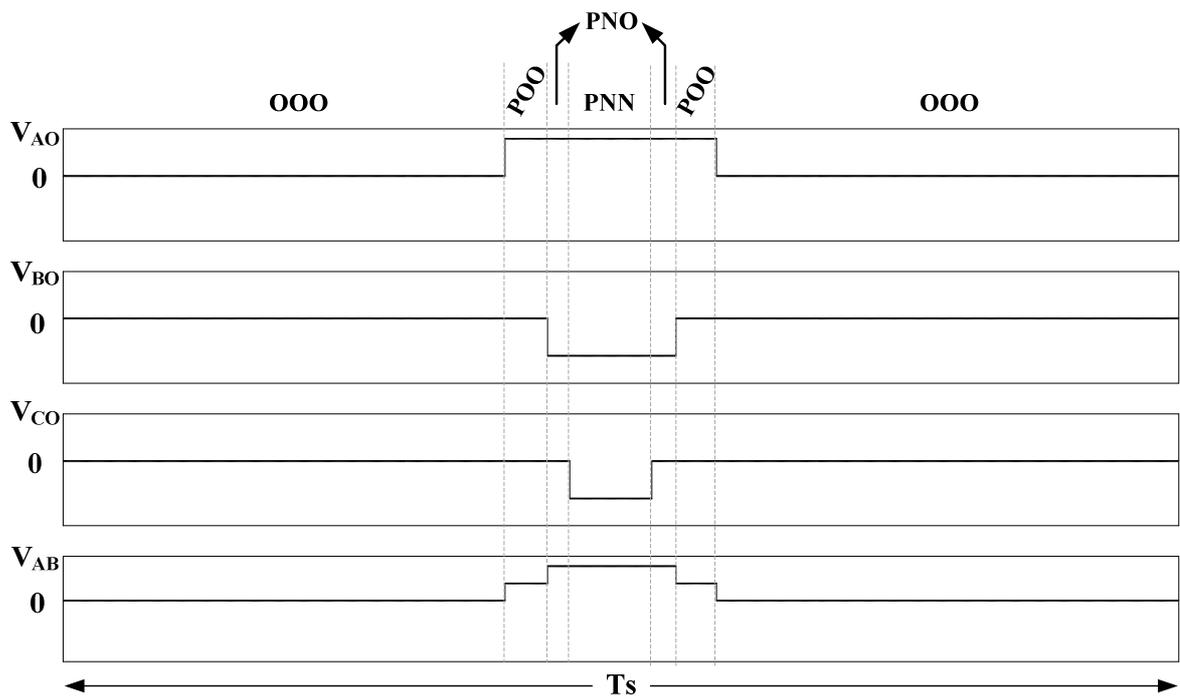


Figura 3.22. Vetores utilizados na modulação proposta para $M_i = 0,3$.

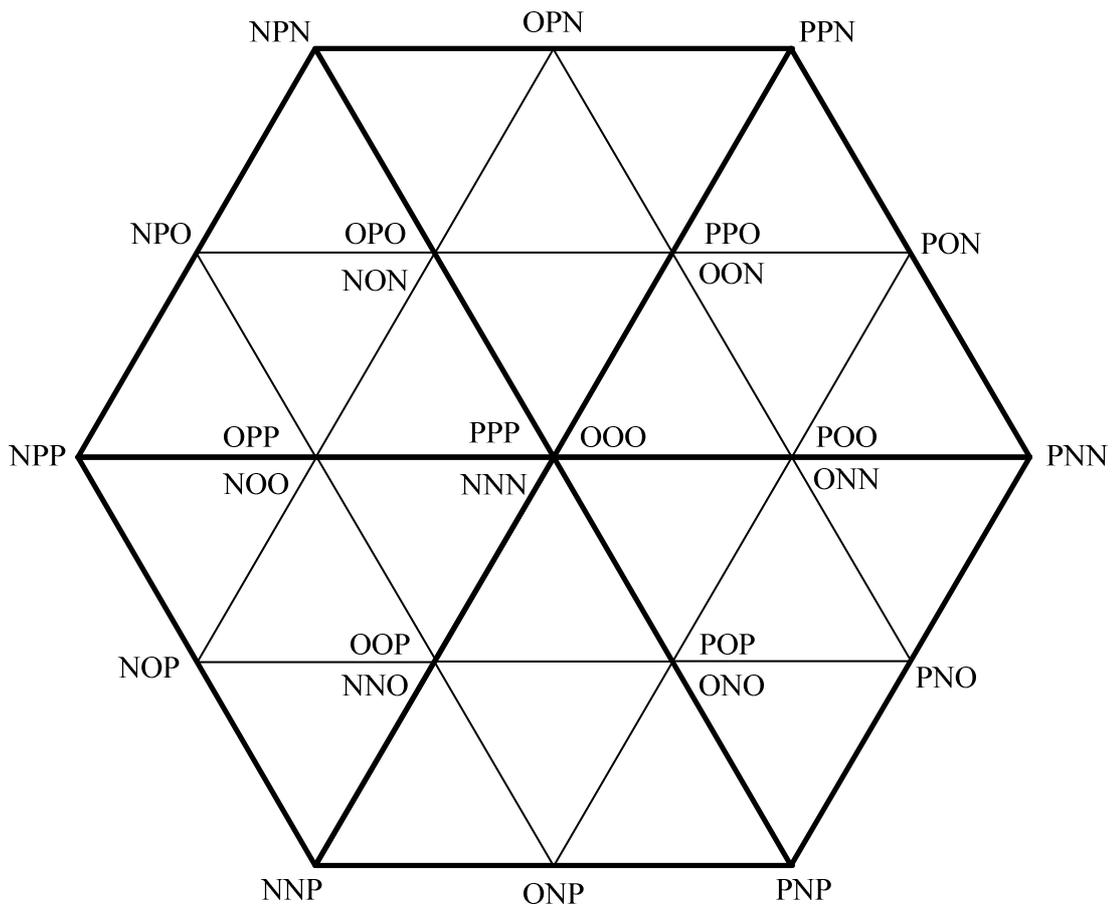


Figura 3.23. Diagrama vetorial referente a um inversor de três níveis.

3.6 Considerações Finais

Neste capítulo foram apresentados e detalhados os modos de operação do inversor multinível trifásico a capacitor flutuante e neutro grampeado a diodo, bem como seus equacionamentos e dimensionamentos. Foi ainda realizado o detalhamento da modulação proposta através de gráficos e equações, justificando sua aplicação nas melhorias relativas à distorção harmônica da tensão de saída, redução nos esforços de corrente nos semicondutores internos, e redução nas perdas totais do inversor.

Os valores de esforços de tensão e corrente nos semicondutores, capacitores e indutores, obtidos através do equacionamento desenvolvido no presente capítulo, bem como formas de onda e demais resultados inerentes ao funcionamento do sistema, foram totalmente coerentes e condizentes com a simulação do circuito realizada através do *software* PSIM, comprovando a validade das expressões desenvolvidas e valores obtidos.

Analisando as tabelas referentes aos esforços de corrente nos semicondutores para as diferentes combinações de estruturas e modulações, é possível perceber que as modulações

PSPWM e PWM – HE [27] produzem esforços elevados em todas as chaves e diodos que compõem cada braço do inversor. Já as modulações LSPWM (POD) e a proposta neste trabalho produzem um esforço de corrente elevado nas chaves e diodos mais externos dos braços, enquanto os semicondutores internos operam com esforços reduzidos, permitindo que se utilizem componentes mais baratos e que não precisem de uma elevada capacidade de corrente.

Esta característica se torna ainda mais importante devido ao fato de que a limitação na escolha de um IGBT é a capacidade da condução de corrente do diodo em antiparalelo. Em muitos casos opta-se por inserir, ainda, um diodo externo para melhorar tal capacidade, consequentemente aumentando as perdas inerentes ao inversor.

A tabela 3.12 indica uma redução nas perdas devido apenas à mudança na modulação escolhida. Em um breve comparativo, para a topologia FC, a modulação proposta permitiu uma redução significativa em relação à PSPWM e PWM – HE [27]. Já em relação à LSPWM (POD), a redução de perdas foi pequena, apresentando valores próximos em ambas as topologias FC e NPC. Estes dados comprovam a característica de redução de perdas inerente à modulação proposta neste trabalho.

A análise comparativa do desempenho em termos de distorção harmônica total da tensão de linha não-filtrada nas estruturas FC e NPC para as diversas modulações mostra que a modulação proposta apresenta uma melhoria para índices de modulação entre 0,5 e 1,0 em comparação com as modulações clássicas. No entanto, em comparação com a modulação [27], a técnica proposta atinge valores próximos a esta para índices de modulação elevados, enquanto que para índices reduzidos, sua aplicação não é recomendada, ficando muito aquém da técnica [27].

Por fim, vale ressaltar ainda que essas diferenças, tanto relacionadas às perdas, quanto ao desempenho da tensão de saída relativo à distorção harmônica total tornam-se ainda mais evidentes com o aumento da potência. Assim, levando-se em consideração que os inversores multiníveis são aplicados, principalmente, para médias e altas potências, a importância do emprego da modulação mais adequada à aplicação, objetivando a redução do conteúdo harmônico, bem como a maximização da eficiência, torna-se um fator ainda mais preponderante.

CAPÍTULO 4

RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO

4.1 Introdução

Neste capítulo serão apresentados os resultados experimentais referentes à digitalização das portadoras e moduladoras apresentadas no capítulo 2, bem como os resultados experimentais referentes ao funcionamento das topologias de inversores multiníveis operando com as diferentes técnicas de modulação, como apresentado no capítulo 3.

Dentre os resultados, serão coletadas as informações acerca das características da tensão de saída, tanto de fase, quanto de linha, bem como as curvas de eficiência para as diferentes combinações de topologia e técnicas de modulação, concluindo, assim, a análise experimental do sistema.

4.2 Resultados Experimentais das Diversas Técnicas de Modulação

Neste tópico serão apresentados os resultados experimentais relativos à digitalização das portadoras e moduladoras discutidas no capítulo 2. As formas de onda foram colhidas através da utilização de circuitos do tipo digital-analógico.

Vale ressaltar que, nas formas de onda mostradas a seguir, a queda de tensão verificada, inerente ao circuito digital-analógico utilizado, é irrelevante, visto que a comparação entre portadoras e moduladoras para geração dos pulsos PWM ocorrem internamente ao FPGA, sendo, portanto, desprezíveis para o correto funcionamento do sistema.

4.2.1 Moduladoras

A figura a seguir mostra as moduladoras utilizadas para comparação com as portadoras, de onde se pode observar o correto defasamento existente de 120 graus elétricos, a frequência em 60 Hz, e a ausência de deformações nas mesmas. Nesta forma de onda, o índice de modulação utilizado é unitário, ou seja, os valores da tabela da senoide variam entre 0 e 255.

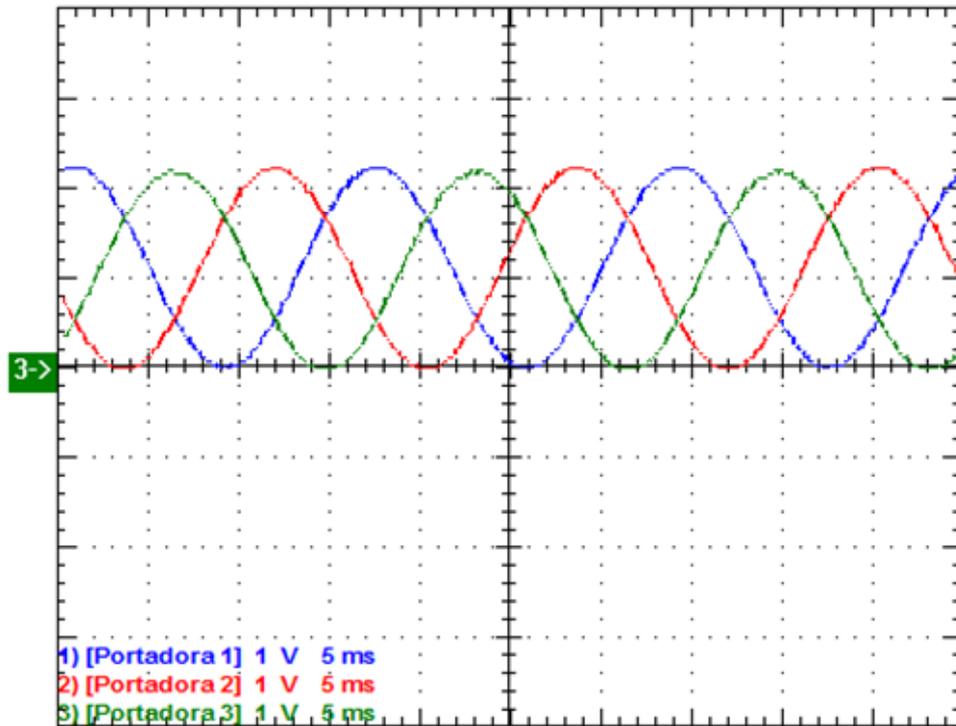


Figura 4.1. Moduladoras geradas pelo FPGA.

4.2.2 Modulação PSPWM

A figura 4.2 mostra as portadoras utilizadas na modulação PSPWM, enquanto a figura 4.3 mostra a geração dos pulsos de um dos braços do inversor, obtidos através da comparação entre as portadoras e uma das moduladoras. Deve-se fazer notar que a frequência das portadoras é de 4 kHz, como desejado. Além disso, na figura 4.3, o pulso do canal 4 é relativo aos sinais das chaves S_1 e $\overline{S_3}$, enquanto o canal 5 é relativo aos sinais das chaves S_2 e $\overline{S_4}$.

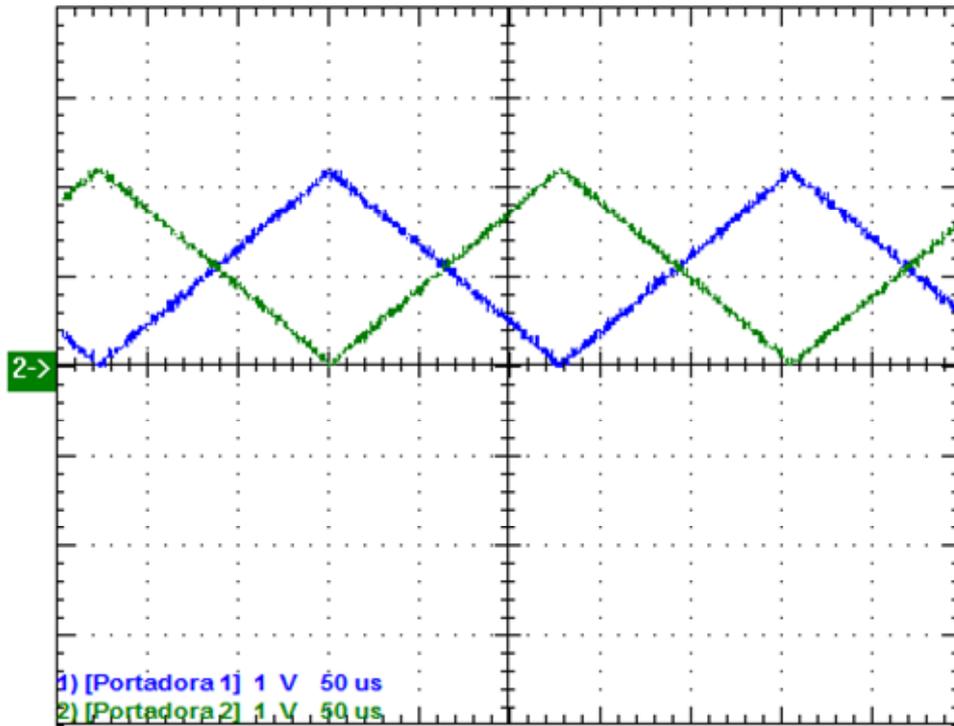


Figura 4.2. Portadoras utilizadas na modulação PSPWM.

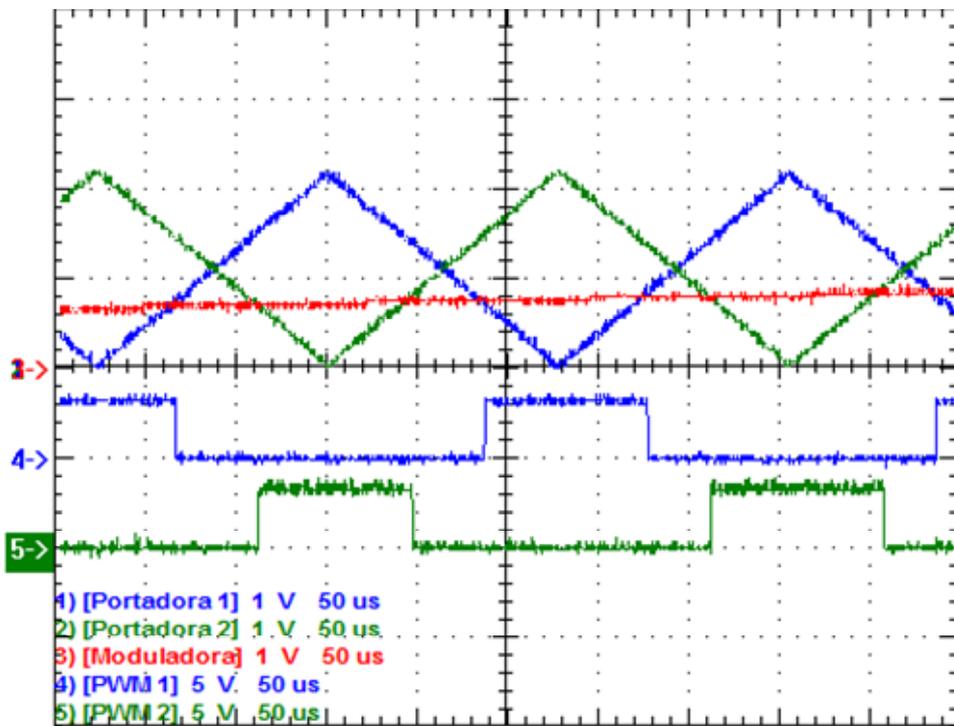


Figura 4.3. Geração dos pulsos da modulação PSPWM.

4.2.3 Modulação Proposta em [27]

As figuras 4.4 e 4.5 apresentam as formas de onda das portadoras propostas em [27] geradas a partir do FPGA. Convém notar que a frequência das portadoras e dos pulsos gerados é

de 4 kHz, como desejado. Além disso, é importante observar a coerência entre os níveis de tensão das portadoras das duas figuras: as portadoras da figura 4.4 têm nível máximo exatamente igual ao nível mínimo das portadoras da figura 4.5, como esperado.

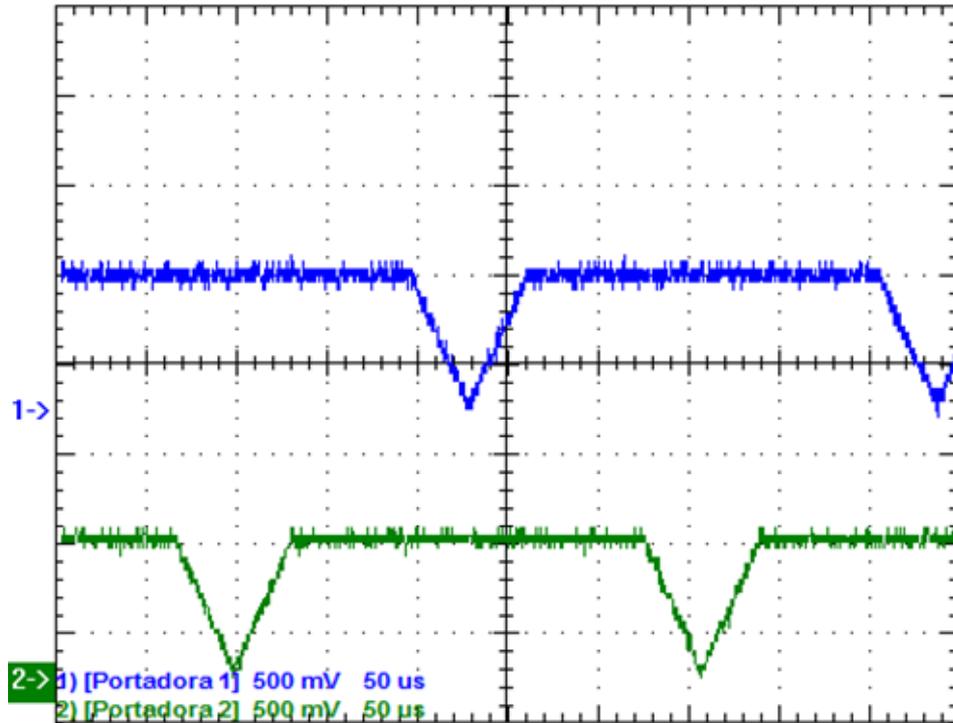


Figura 4.4. Porção inferior das portadoras utilizadas na modulação proposta em [27].

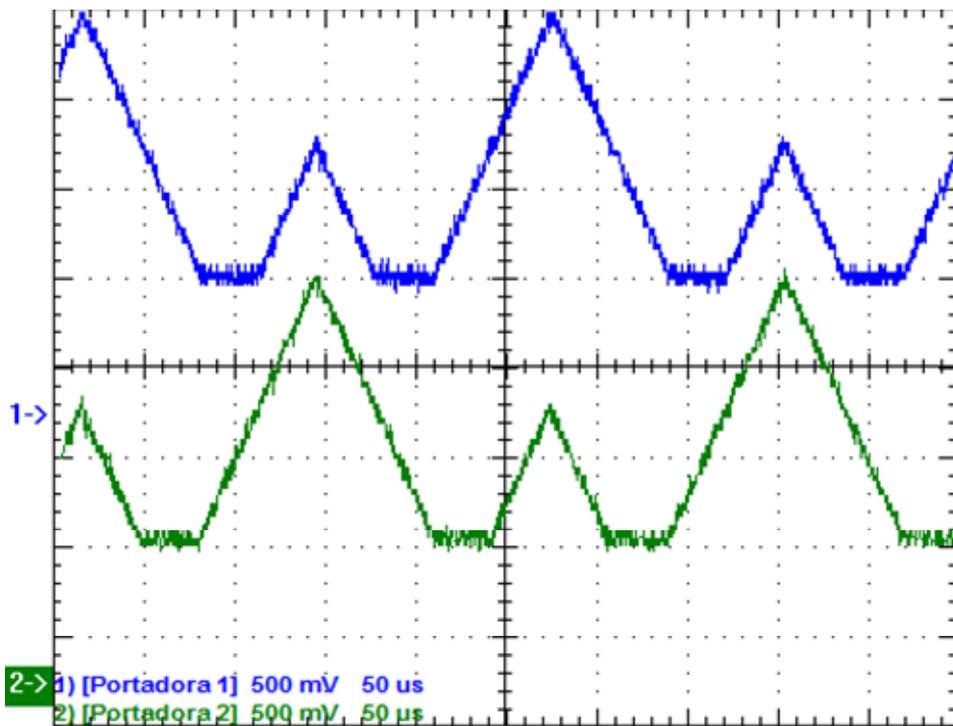


Figura 4.5. Porção superior das portadoras utilizadas na modulação proposta em [27].

As figuras 4.6, 4.7 e 4.8 mostram a geração dos pulsos em diferentes situações para um dos braços do inversor. Vale ressaltar que o canal 4 representa os pulsos relativos aos sinais S_1 e $\overline{S_4}$, enquanto o canal 5 representa os pulsos relativos a S_2 e $\overline{S_3}$.

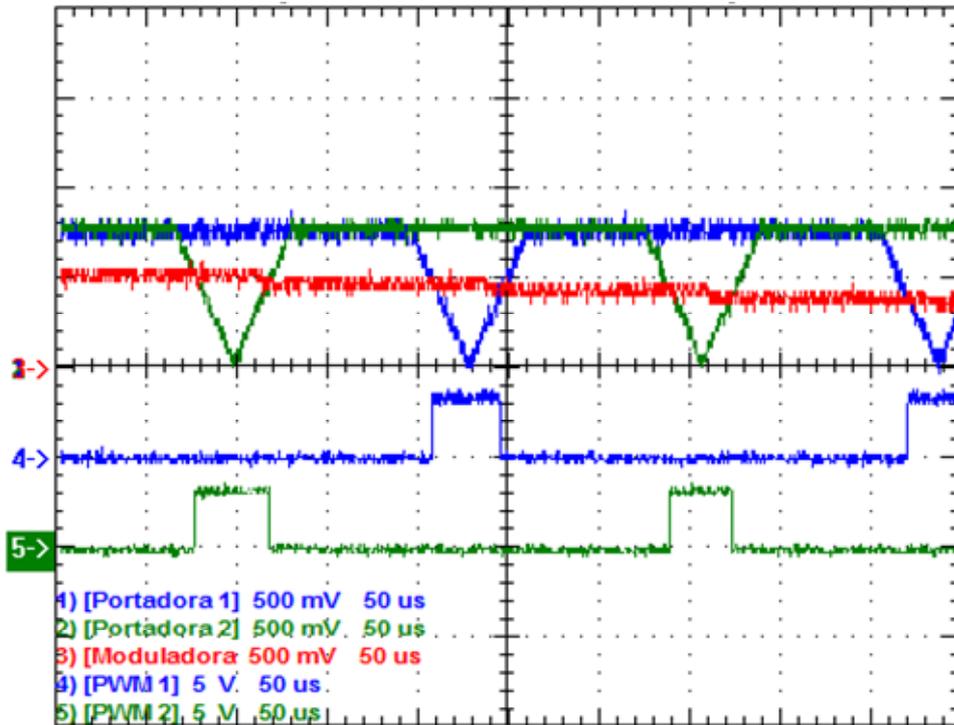


Figura 4.6. Geração dos pulsos da modulação proposta em [27], para $V_{ref} < V_{pk}/3$.

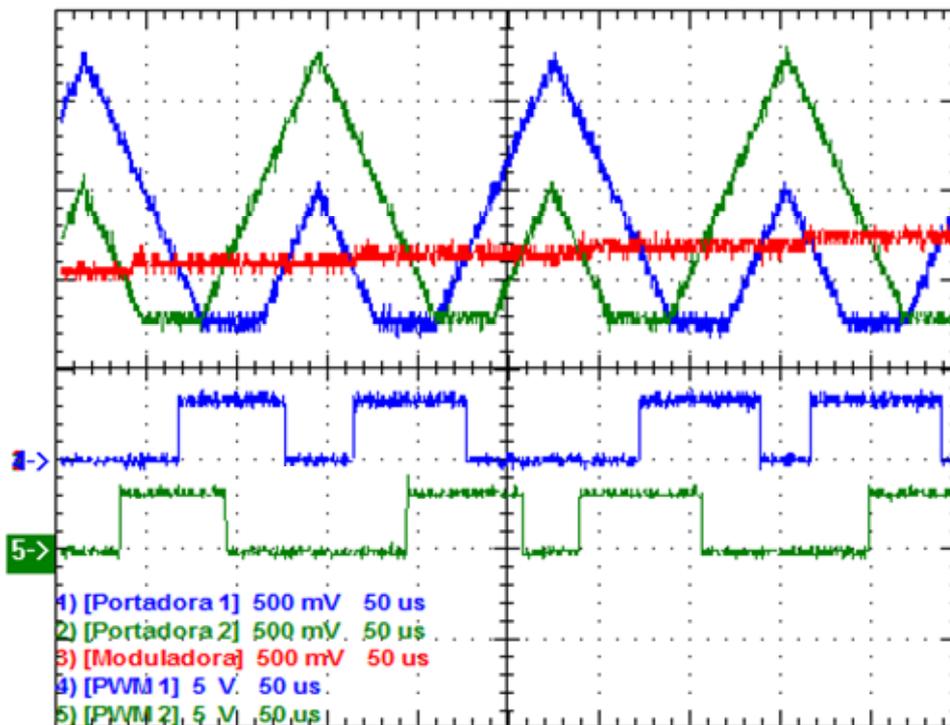


Figura 4.7. Geração dos pulsos da modulação proposta em [27], para $V_{pk}/3 < V_{ref} < 2V_{pk}/3$.

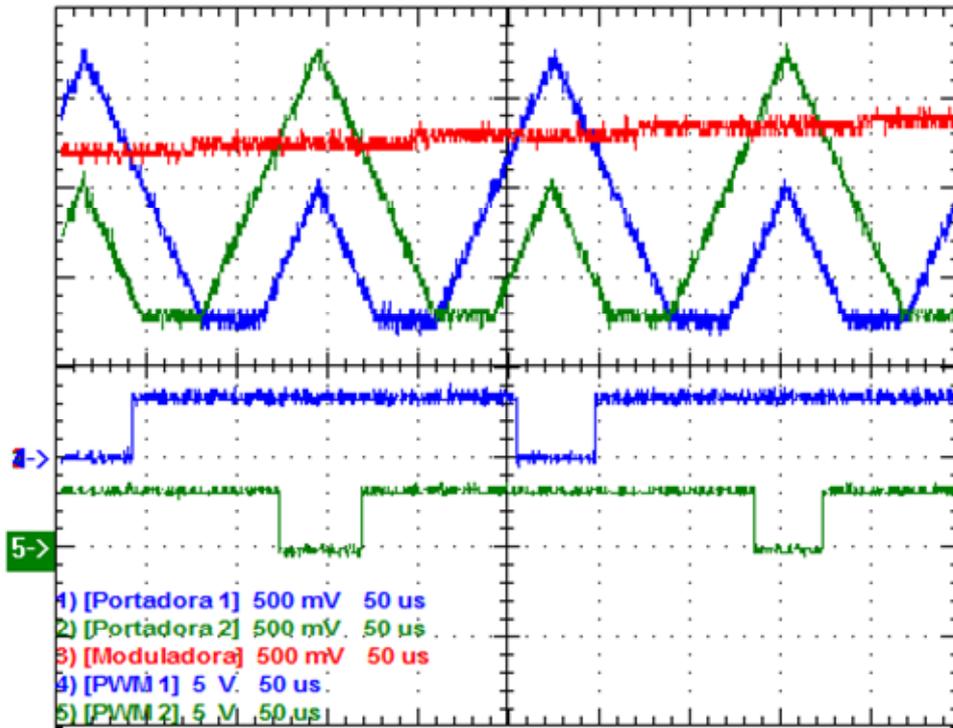


Figura 4.8. Geração dos pulsos da modulação proposta em [27], para $2V_{pk}/3 < V_{ref} < V_{pk}$.

4.2.4 Modulação LSPWM (POD)

A figura 4.9 apresenta as formas de onda das portadoras referentes à modulação LSPWM (POD) geradas a partir do FPGA. Através dessa figura percebe-se que a frequência de cada portadora é de 4 kHz, como esperado. Além disso, as portadoras estão em oposição de fases, onde uma delas varia entre 2,5 V e 5 V, enquanto a outra, entre 0 V e 2,5 V.

Já as figuras 4.10 e 4.11 apresentam a geração dos pulsos nessa técnica de modulação para um dos braços do inversor através da comparação das portadoras com uma das moduladoras em duas situações diferentes. A forma de onda do canal 4 (PWM 1) mostra os pulsos gerados para as chaves S_1 e $\overline{S_3}$, enquanto o canal 5 (PWM 2) é relativo aos sinais das chaves S_2 e $\overline{S_4}$, para a estrutura capacitor flutuante.

Na figura 4.10, a moduladora cruza apenas com a portadora de cima, fazendo comutar os interruptores S_1 e S_3 , mantendo a chave S_2 ligada e S_4 , desligada. Por fim, na figura 4.11 a moduladora é comparada apenas com a portadora do canal 2, de forma que os interruptores S_2 e S_4 operam complementarmente, enquanto S_1 fica ligado e S_3 , desligado.

É importante frisar que, para a estrutura NPC, a análise acima é um pouco diferente visto que o canal 4 (PWM 1) gera pulsos para as chaves S_1 e $\overline{S_4}$, enquanto o canal 5 (PWM 2) é relativo aos sinais das chaves S_2 e $\overline{S_3}$.

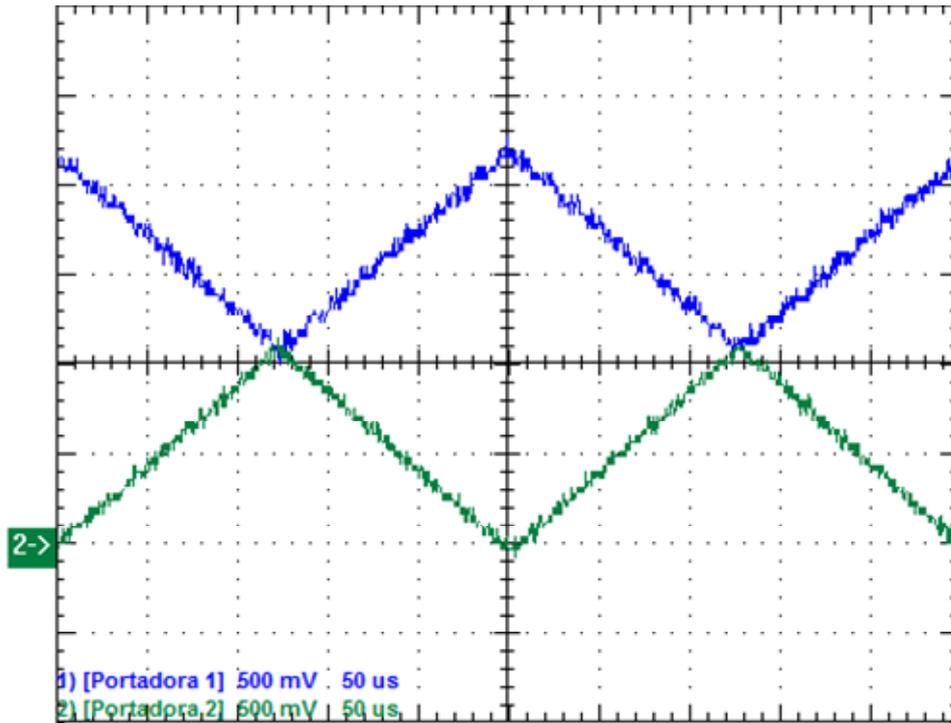


Figura 4.9. Portadoras utilizadas na modulação LSPWM (POD).

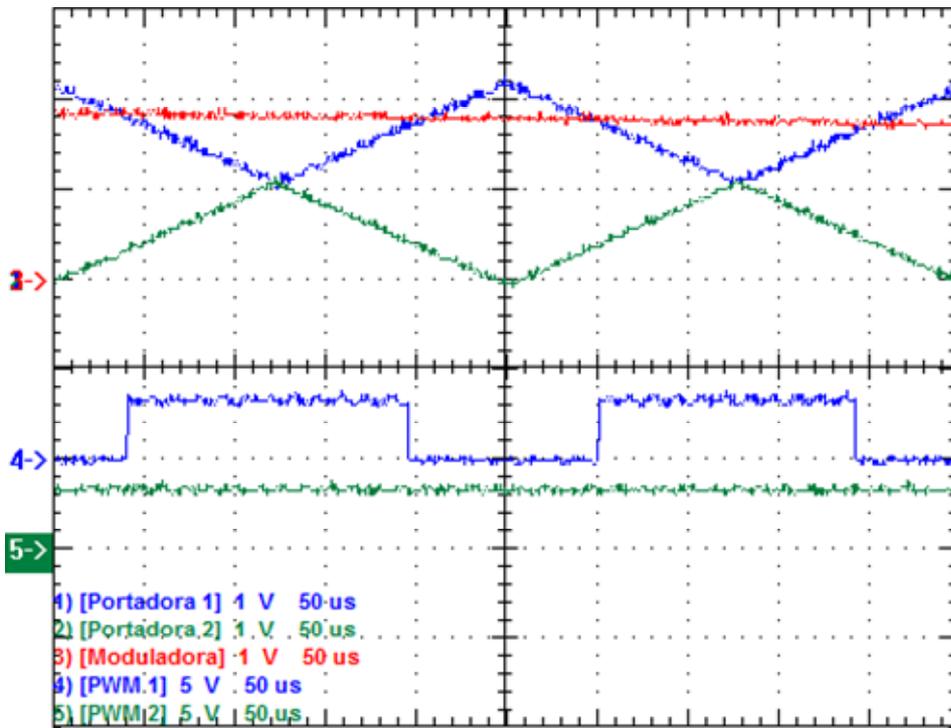


Figura 4.10. Geração dos pulsos da modulação LSPWM (POD), para $V_{ref} > V_{pk}/2$.

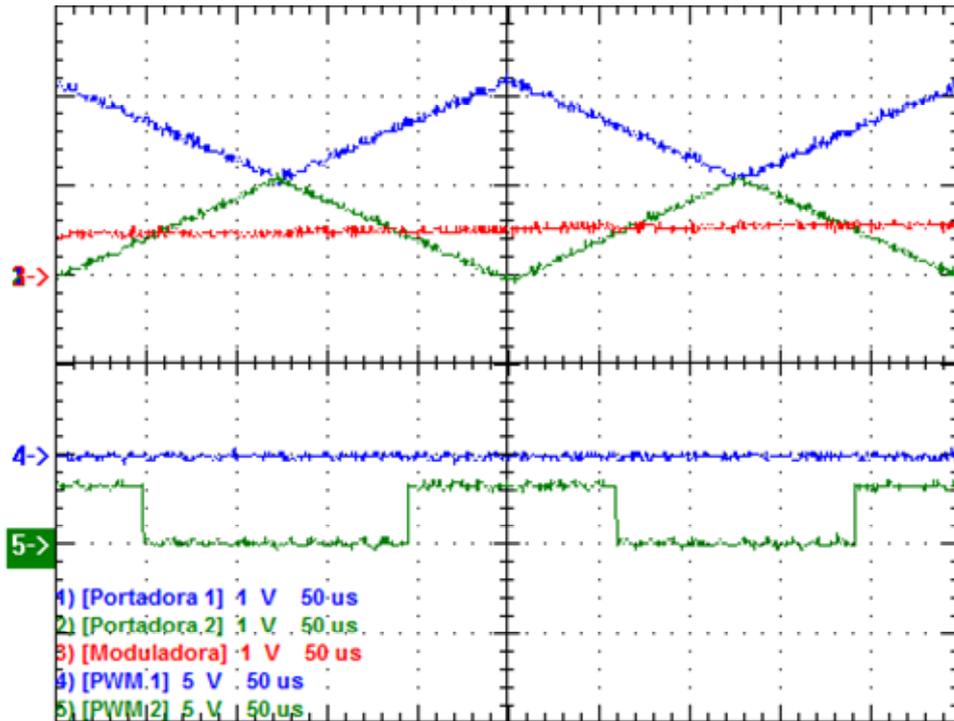


Figura 4.11. Geração dos pulsos da modulação LSPWM (POD), para $V_{ref} < V_{pk}/2$.

4.2.5 Modulação Proposta

As figuras abaixo apresentam as formas de onda relativas à modulação proposta nesse trabalho. Em 4.12 e 4.13 devem ser observadas as duas partes de cada uma das portadoras. Vale ressaltar que há um *offset* de valor numericamente igual à metade da tensão máxima para ambas as portadoras, de forma que uma delas varia entre 2,5 V e 5 V, enquanto a outra, entre 2,5 V e 0 V. Além disso, é importante observar a coerência entre os níveis de tensão das portadoras das duas figuras: as portadoras da figura 4.12 têm nível máximo exatamente igual ao nível mínimo das portadoras da figura 4.13, como esperado.

Por sua vez, as figuras 4.14 e 4.15 apresentam as duas situações de comparação entre a moduladora e a porção inferior de cada uma das portadoras mostradas na figura 4.14. Já em 4.16 e 4.17 pode ser observada a geração dos pulsos para a situação em que a moduladora cruza com a porção mediana das duas portadoras, isto é, entre $1/3$ e $2/3$ da tensão máxima. Por fim, as figuras 4.18 e 4.19 apresentam a comparação entre portadora e moduladora quando esta última encontra-se acima do nível de $2/3$ da tensão máxima.

Dessa forma, através da análise das figuras 4.14 a 4.19, é possível ratificar a eficácia da utilização do dispositivo FPGA para implementação digital da técnica de modulação proposta, assim como de todas as outras técnicas apresentadas neste trabalho.

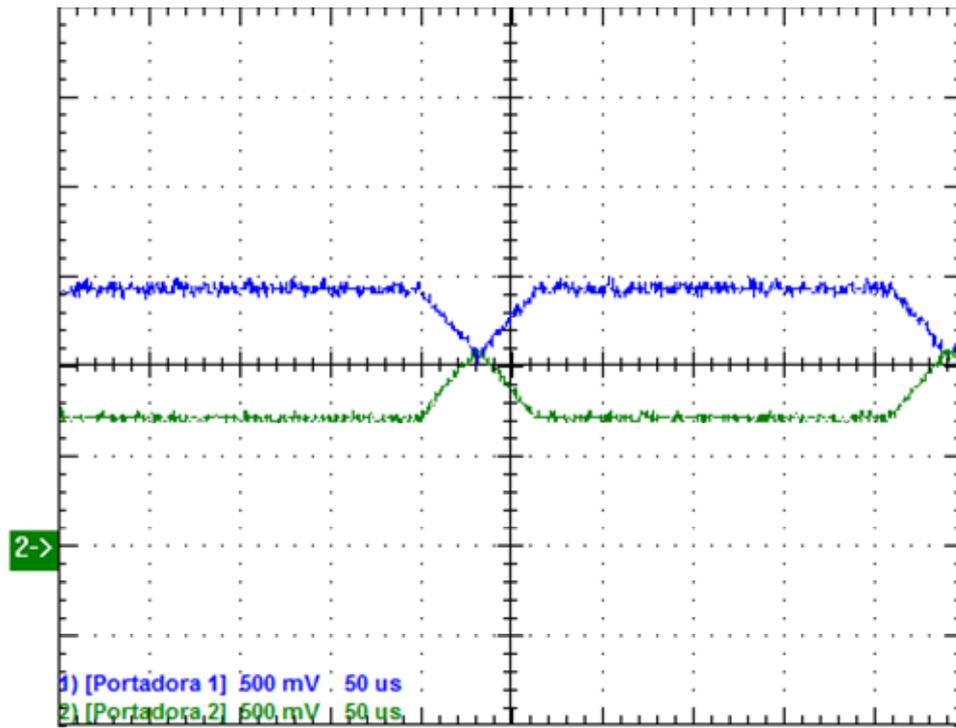


Figura 4.12. Porção inferior das portadoras utilizadas na modulação proposta.

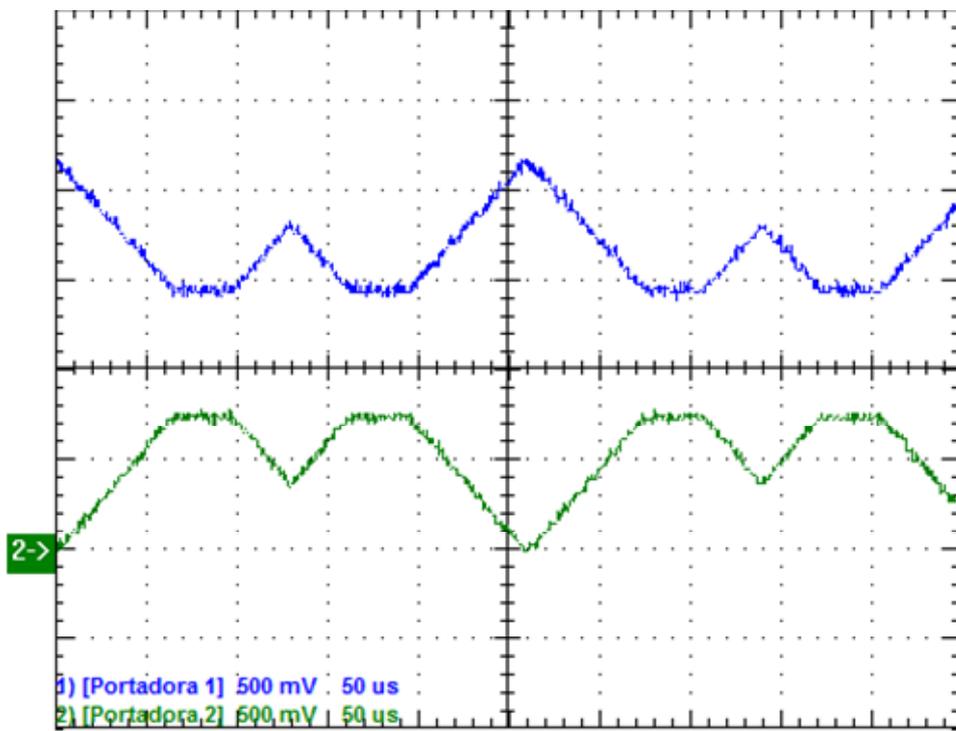


Figura 4.13. Porção superior das portadoras utilizadas na modulação proposta.

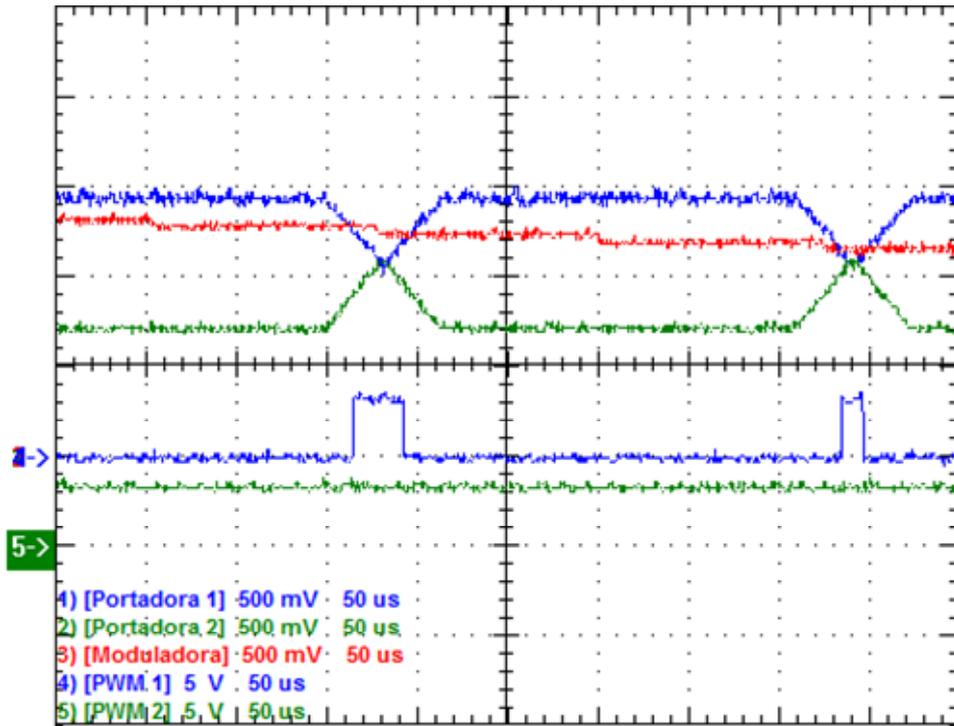


Figura 4.14. Geração dos pulsos da modulação proposta, para $V_{pk}/2 < V_{ref} < 2V_{pk}/3$.

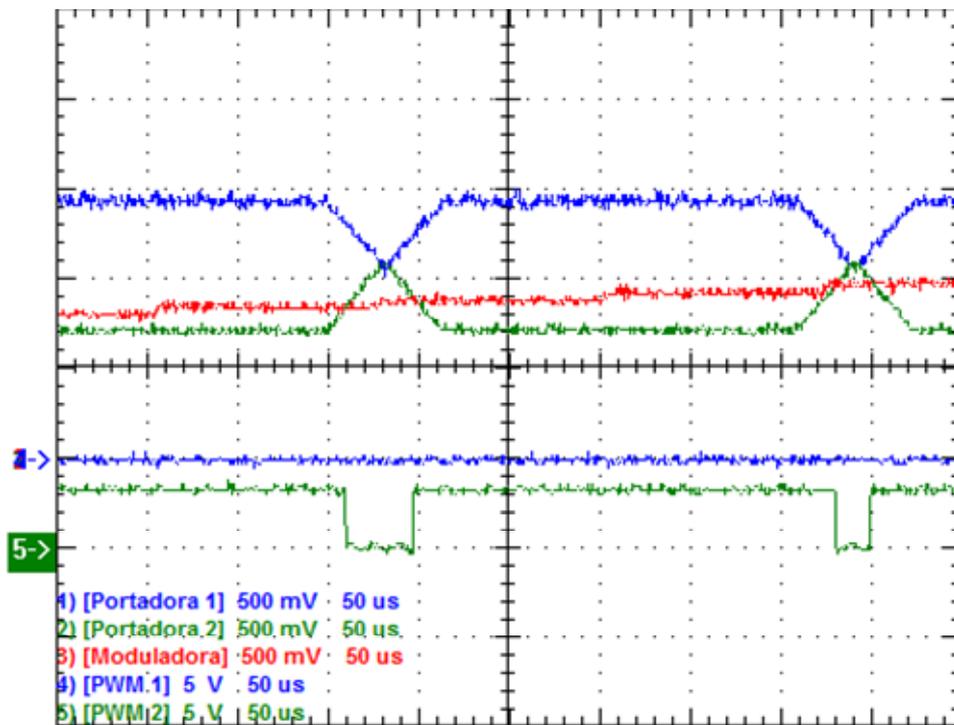


Figura 4.15. Geração dos pulsos da modulação proposta, para $V_{pk}/3 < V_{ref} < V_{pk}/2$.

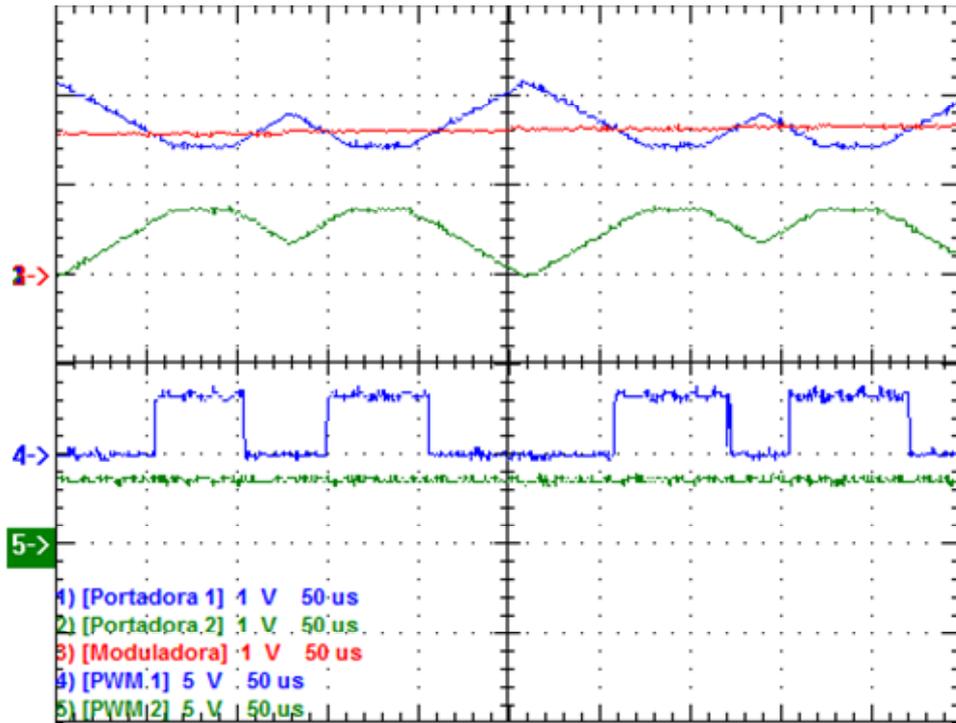


Figura 4.16. Geração dos pulsos da modulação proposta, para $2V_{pk}/3 < V_{ref} < 5V_{pk}/6$.

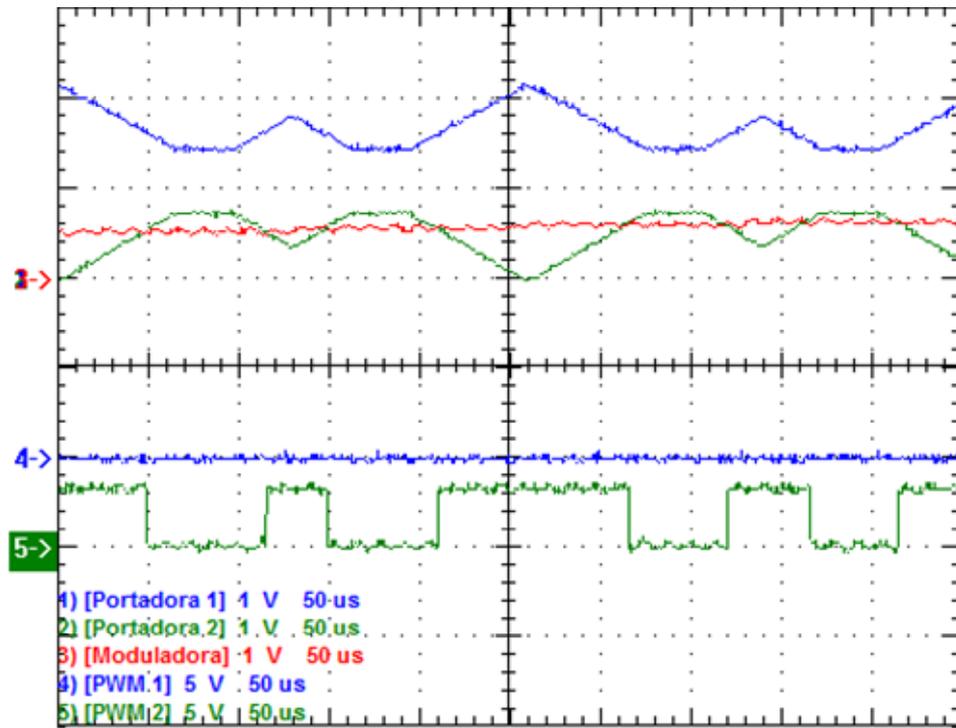


Figura 4.17. Geração dos pulsos da modulação proposta, para $V_{pk}/6 < V_{ref} < V_{pk}/3$.

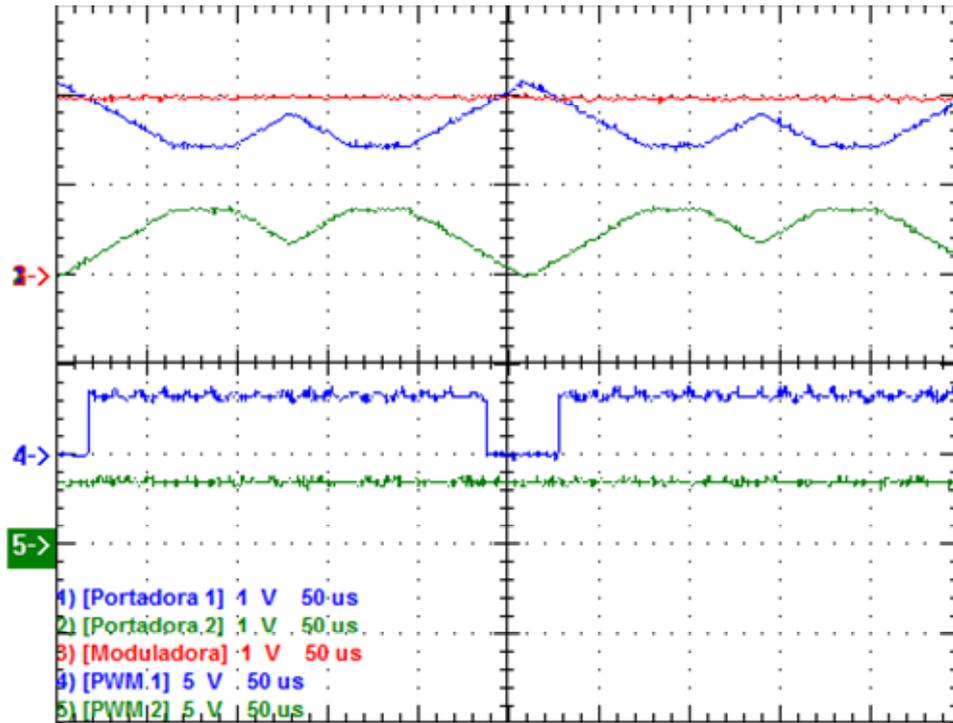


Figura 4.18. Geração dos pulsos da modulação proposta, para $5V_{pk}/6 < V_{ref} < V_{pk}$.

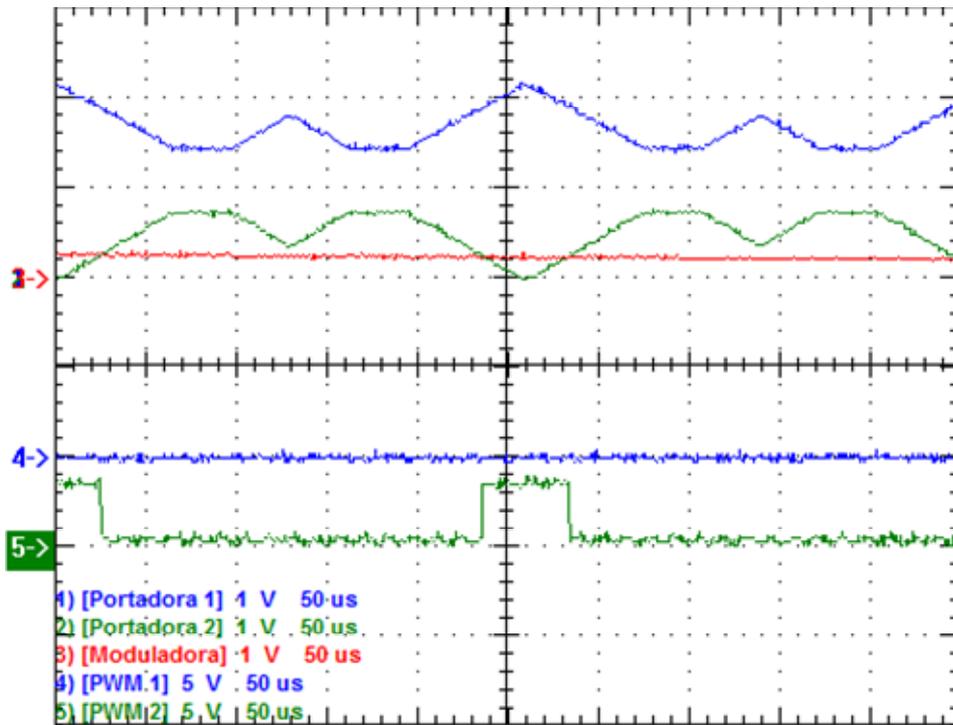


Figura 4.19. Geração dos pulsos da modulação proposta, para $0 < V_{ref} < V_{pk}/6$.

4.3 Resultados Experimentais da Modulação Proposta Aplicada à Estrutura NPC

Nesta sessão serão apresentados os resultados experimentais relativos ao inversor multi-nível com diodos grampeados operando com a modulação proposta neste trabalho, cujos parâmetros utilizados experimentalmente foram inseridos no capítulo 3. Deve ser observado que os resultados experimentais da topologia FC serão omitidos, pois as formas-de-onda dessa estrutura são redundantes em relação às do NPC. Vale ressaltar que, para comprovar o correto funcionamento da modulação proposta na topologia NPC, serão apresentadas as tensões de fase e de linha, monofásicas e trifásicas, como nas figuras a seguir.

A figura 4.20 apresenta a tensão de saída na fase A da estrutura NPC, para um índice de modulação de 0,8, enquanto a figura 4.21 mostra as tensões nas três fases deste conversor, onde se pode observar o correto formato das mesmas, sem deformações, bem como seus defasamentos em 120 graus elétricos e suas frequências em 60 Hz, além de apresentar os três níveis, com o nível positivo em +200 V, e o negativo em -200 V, cujos valores são equivalentes à metade do barramento, como esperado.

Já a figura 4.22 apresenta a tensão entre as linhas A e B da estrutura NPC, para um índice de modulação de 0,8, enquanto a figura 4.23 mostra as três tensões de linha deste conversor, onde é possível observar que as formas-de-onda não possuem deformações, além de estarem corretamente defasadas e em frequência de 60 Hz. É importante também notar que as tensões de linha possuem cinco níveis, com níveis em ± 400 V, ± 200 V e 0 V.

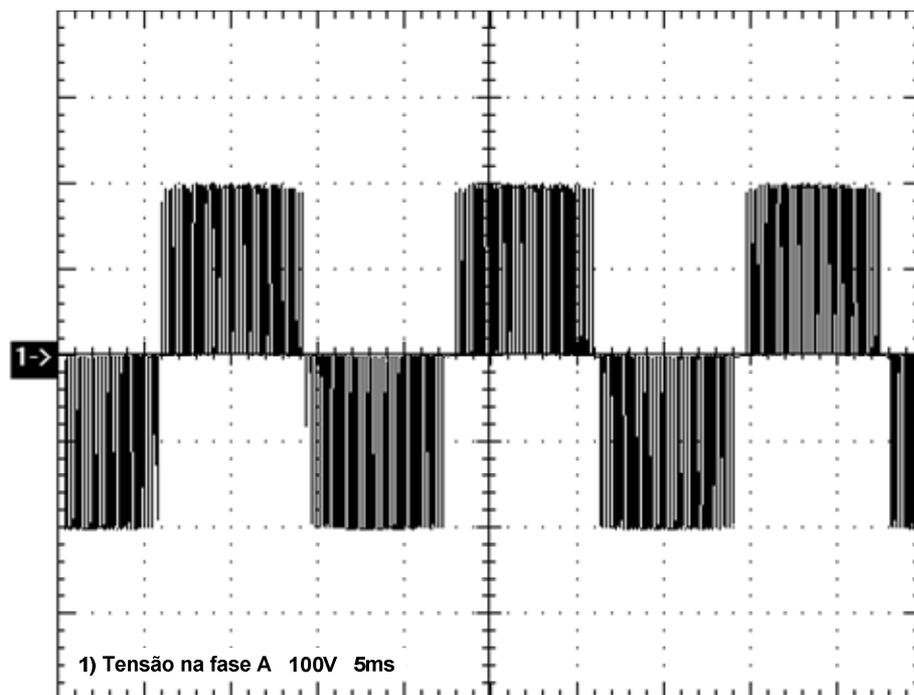


Figura 4.20. Tensão na fase A na estrutura NPC.

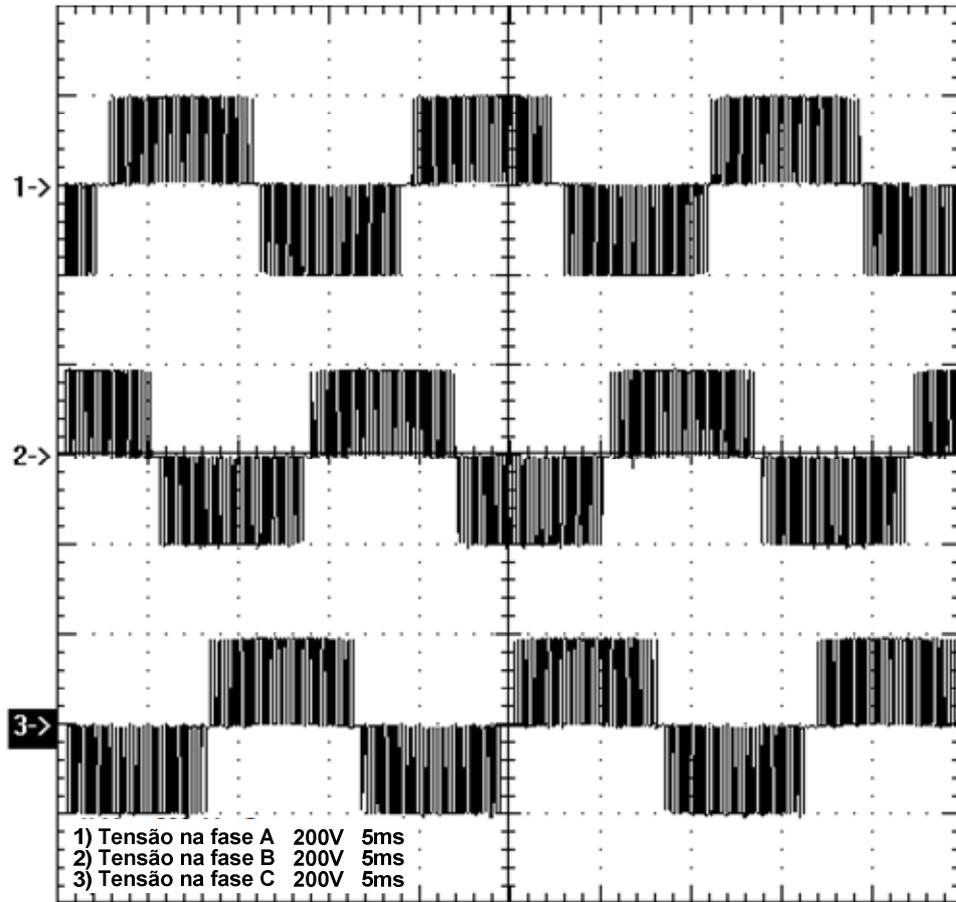


Figura 4.21. Tensão nas três fases na estrutura NPC.

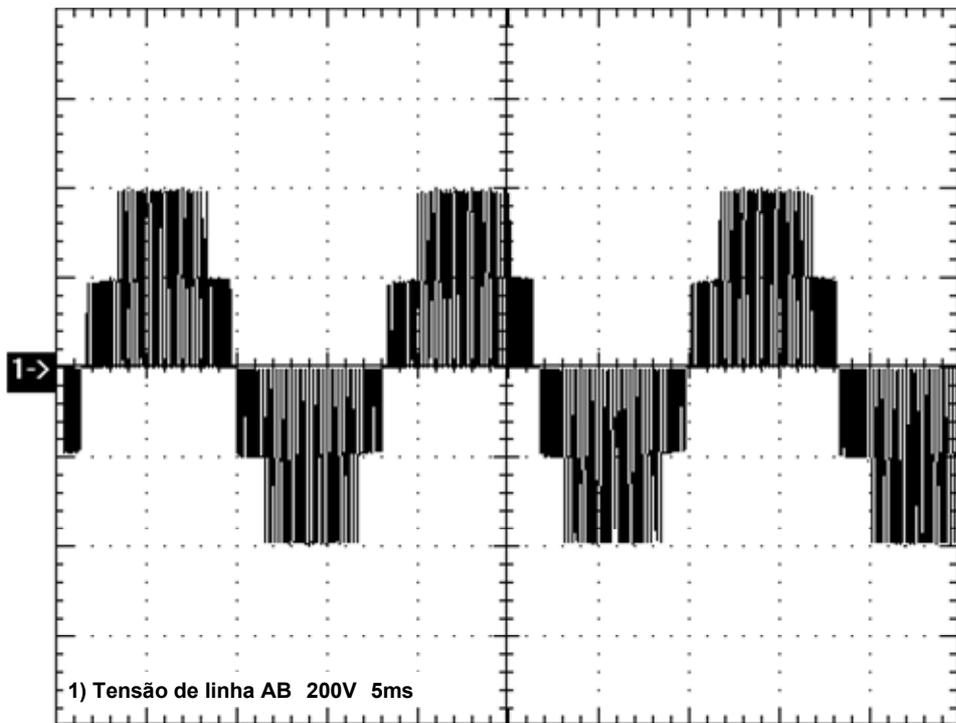


Figura 4.22. Tensão de linha AB na estrutura NPC.

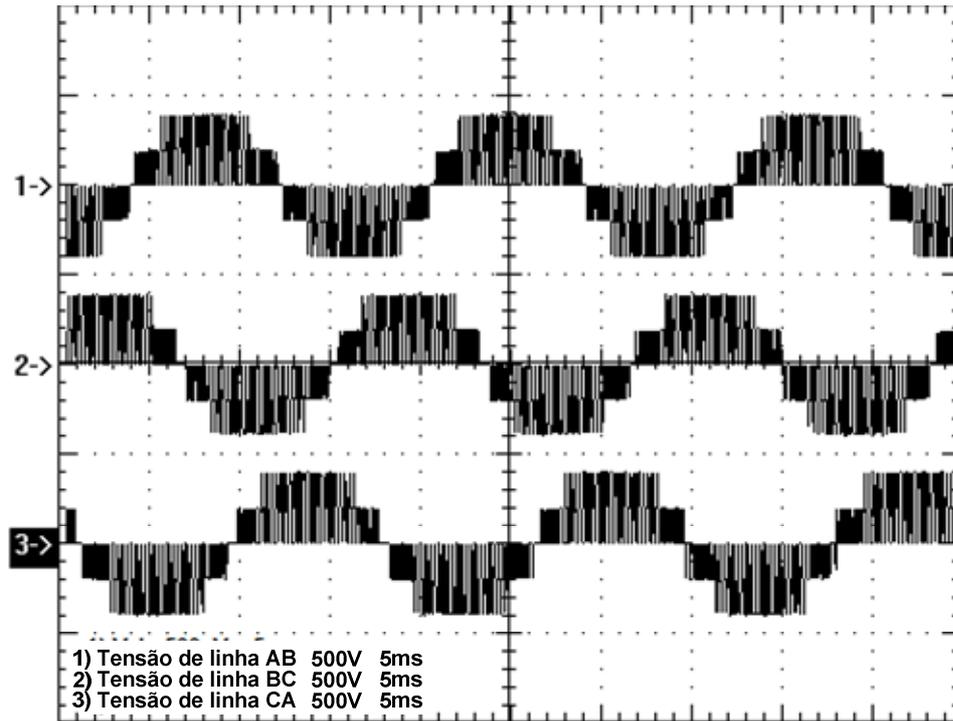


Figura 4.23. Três tensões de linha na estrutura NPC.

4.4 Curvas de Eficiência

Neste tópico serão apresentadas as curvas de rendimento relativas às duas estruturas, NPC e FC, operando com as diversas técnicas de modulação apresentadas ao longo deste trabalho, para efeitos de comparação. As curvas de rendimento foram levantadas experimentalmente utilizando o aparelho de medição Yokogawa® PZ 4000. Os parâmetros de projeto utilizados para tais medições foram os mesmos apresentados no capítulo 3, para o cálculo dos parâmetros. Vale ainda ressaltar que, para a medição de perdas e eficiência, a utilização do índice de modulação máximo (0,8) é mais interessante, pois produz maiores esforços sobre os diversos semicondutores do sistema.

A figura 4.24 apresenta as curvas de eficiência das quatro técnicas de modulação aplicadas à estrutura de capacitores flutuantes, onde é possível observar o melhor desempenho da modulação proposta neste trabalho. Já a figura 4.25 apresenta as curvas de rendimento relativas à estrutura NPC, onde também pode ser observado o melhor desempenho da modulação proposta neste trabalho, em comparação com a técnica LSPWM (POD).

É importante ressaltar notável ganho de eficiência em baixas potências, devido ao menor número de transições e grampeamento sobre as chaves, tornando a modulação proposta uma alternativa interessante em projetos que não operem à plena carga durante parte do dia, como aplicações em energias renováveis, ou máquinas industriais.

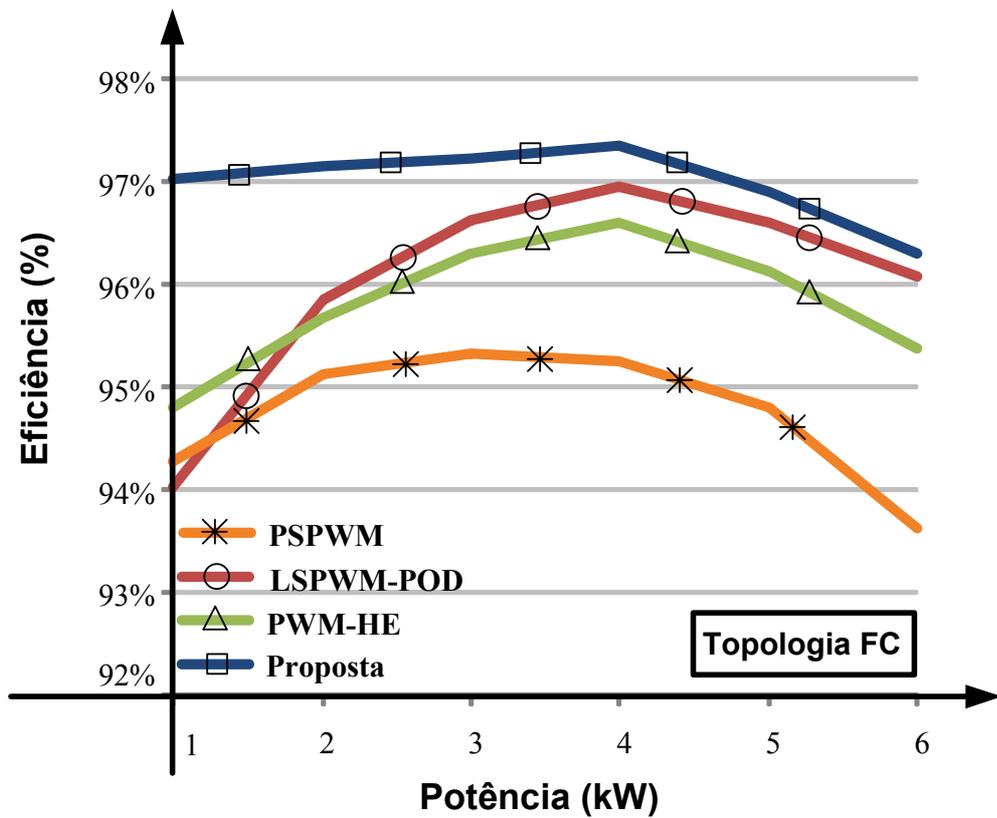


Figura 4.24. Curvas de eficiência relativas à estrutura FC.

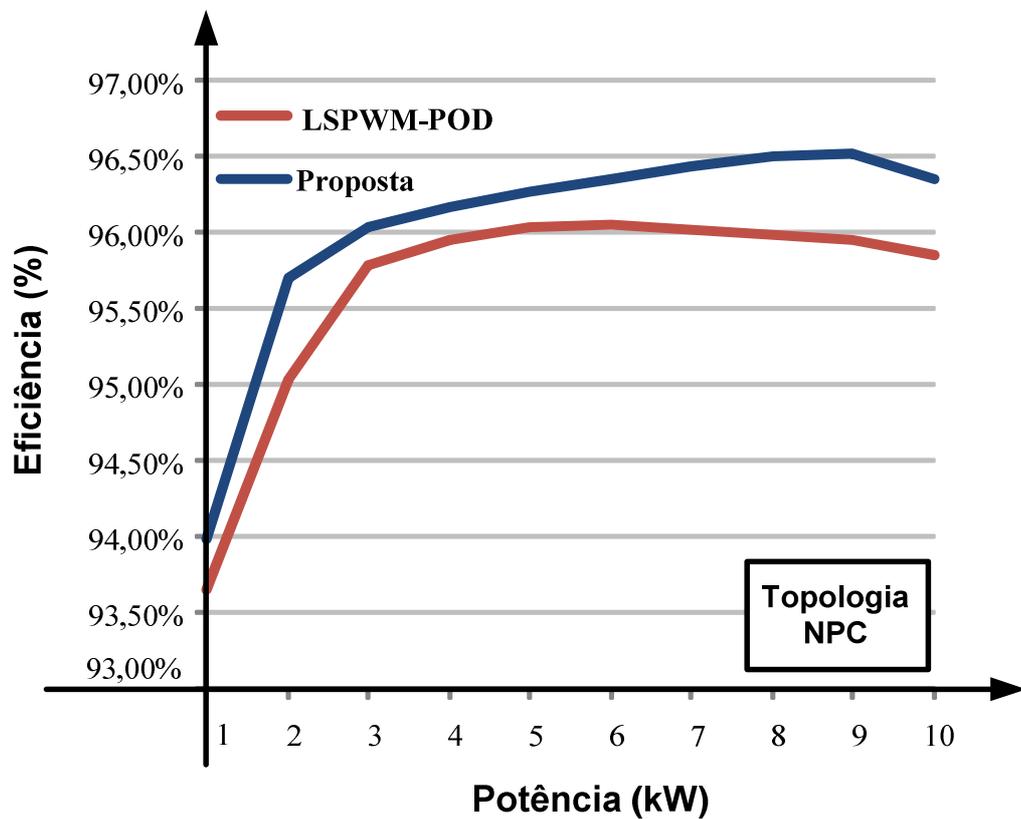


Figura 4.25. Curvas de eficiência relativas à estrutura NPC.

4.5 Curvas de THD e Espectros Harmônicos

Neste tópico serão apresentados os resultados relativos ao conteúdo harmônico da tensão de linha aplicada sobre a carga, para a potência nominal, em ambas as topologias, operando com diversos índices de modulação para cada técnica apresentada neste trabalho. Deve-se notar que o máximo índice de modulação aplicado à carga é de 0,8 para que não haja danos à mesma, observando o limite máximo de tensão sobre a mesma, cujo valor é de $110V_{RMS}$.

As figuras 4.26 (a) e (b) mostram as curvas de THD variando com os índices de modulação para diferentes técnicas, nas topologias FC e NPC, respectivamente. Analisando a figura 4.26 (a), observa-se que a modulação proposta atinge bom desempenho de THD em índices de modulação elevados, ficando aquém, no entanto, em relação à modulação proposta por He [27], principalmente para índices reduzidos. Já a figura 4.26 (b) indica um aperfeiçoamento no THD para toda a faixa de índices de modulação, com exceção daqueles menores que 0,4.

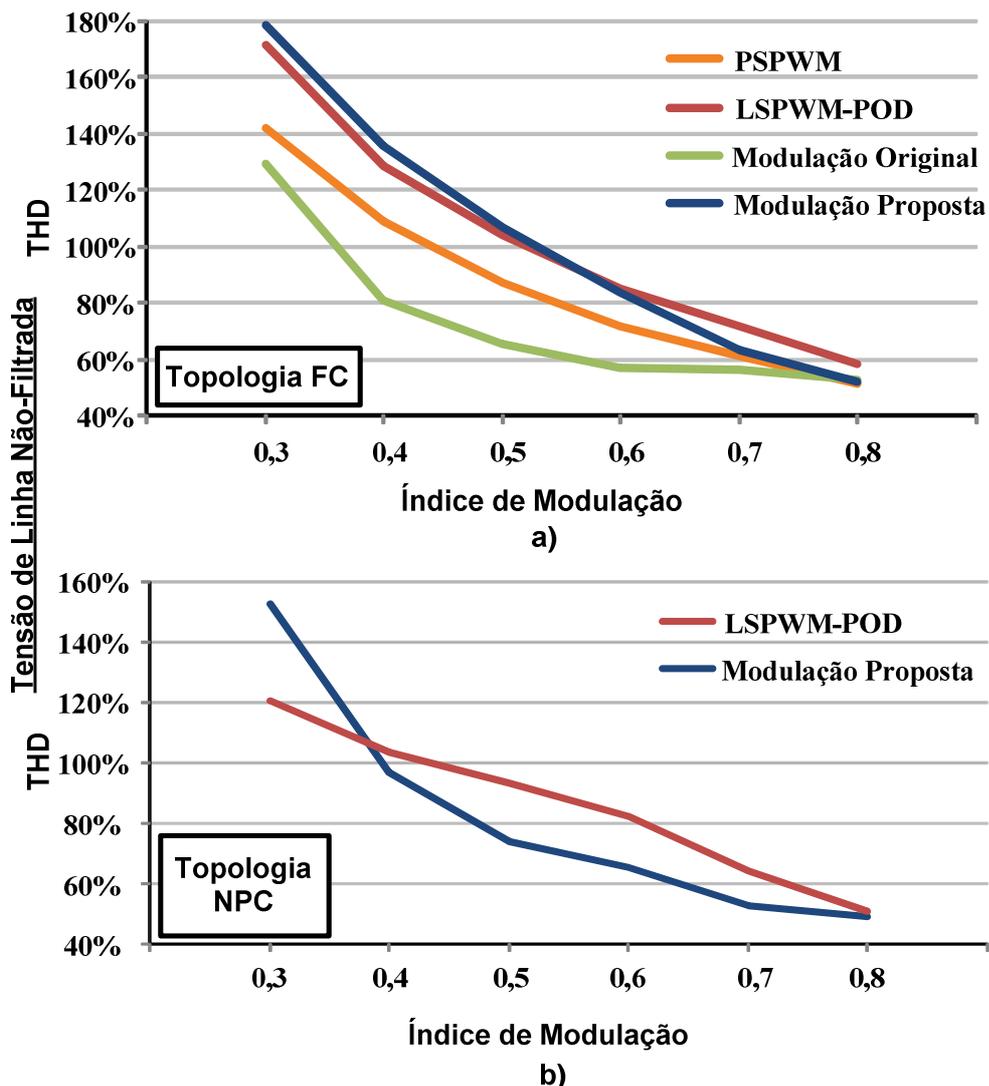


Figura 4.26. Curvas de THD relativas às estruturas (a) FC e (b) NPC.

Convém notar, ainda, a semelhança entre o comportamento dos resultados adquiridos experimentalmente, através das figuras 4.26 (a) e (b), com aqueles obtidos por meio de simulação, apresentados nas figuras 3.19 (a) e (b), tornando possível, dessa forma, confirmar a análise teórica desenvolvida.

Nas figuras 4.27 e 4.28 são apresentados os conteúdos harmônicos da tensão de linha das quatro técnicas exploradas neste trabalho aplicadas às topologias NPC e FC, respectivamente. Através da análise dos gráficos abaixo, é possível ratificar o comportamento da variação da distorção harmônica total em função do índice de modulação, com destaques para o bom desempenho da técnica proposta para índice de modulação 0,8, e desempenho superior da técnica proposta por He [27] para índice de modulação 0,3.

Vale ressaltar ainda que, devido ao formato das portadoras utilizadas na técnica proposta, quando a moduladora opera com índice de modulação muito reduzido, ocorre o cruzamento desta apenas com a porção intermediária das portadoras, refletindo em pulsos esparsos e de pouca duração da tensão de saída, ocasionando em um acréscimo considerável da distorção harmônica total.

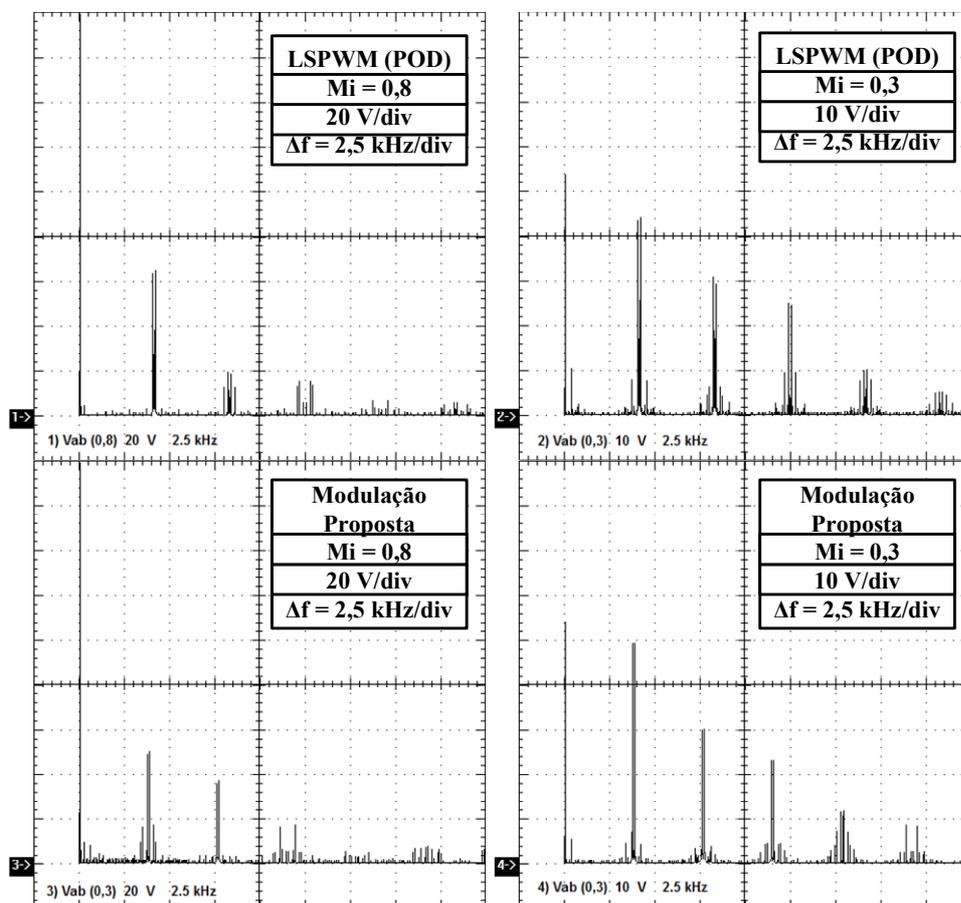


Figura 4.27. Espectros harmônicos das diversas modulações aplicadas à topologia NPC.

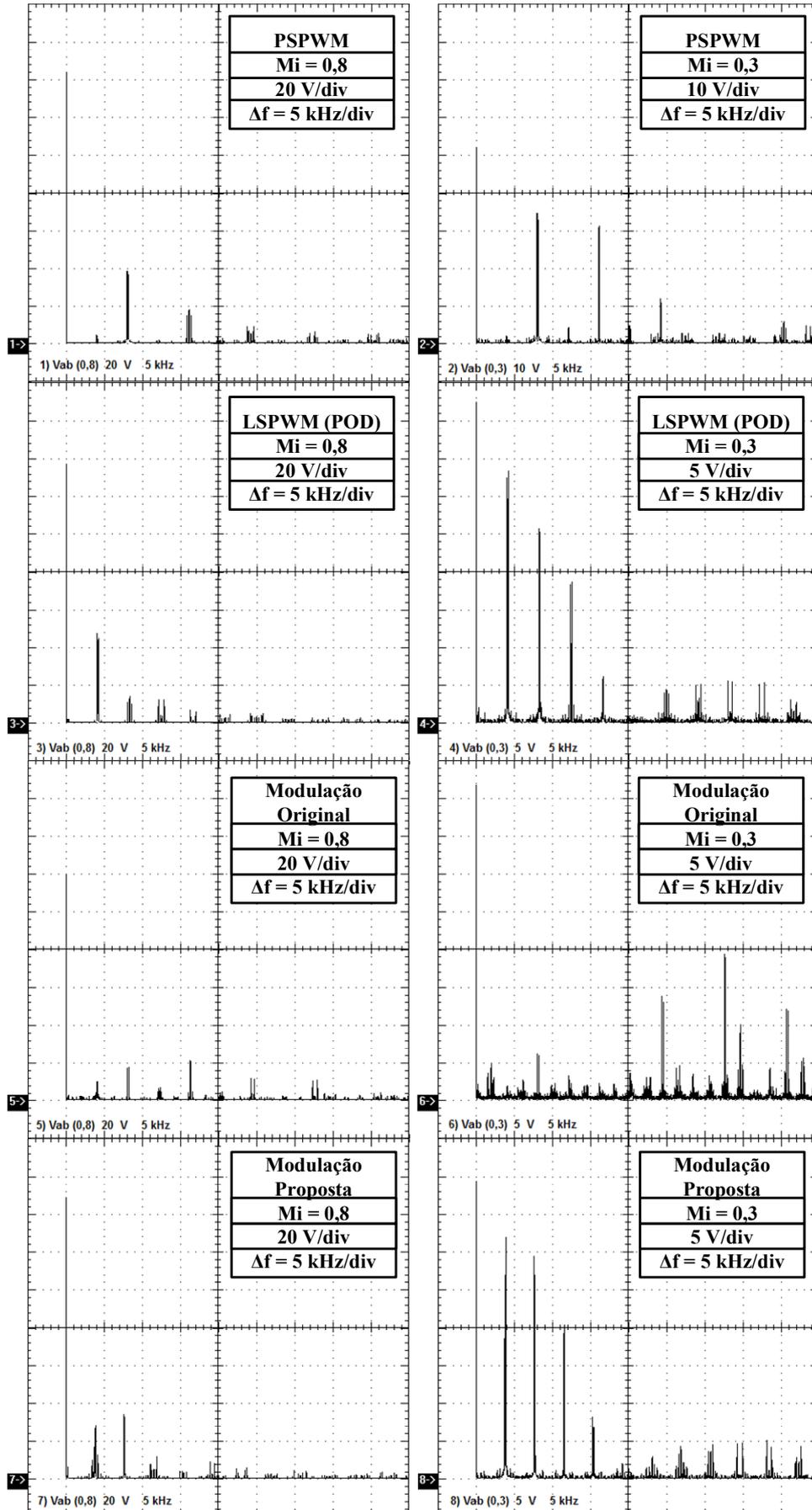


Figura 4.28. Espectros harmônicos das diversas modulações aplicadas à topologia FC.

Por fim, a figura 4.29 mostra as curvas de WTHD para as várias técnicas de modulação aplicadas às duas topologias, variando com os índices de modulação. Através desse gráfico é possível perceber um desempenho superior da técnica de modulação proposta neste trabalho em comparação com as demais, para ambas as topologias.

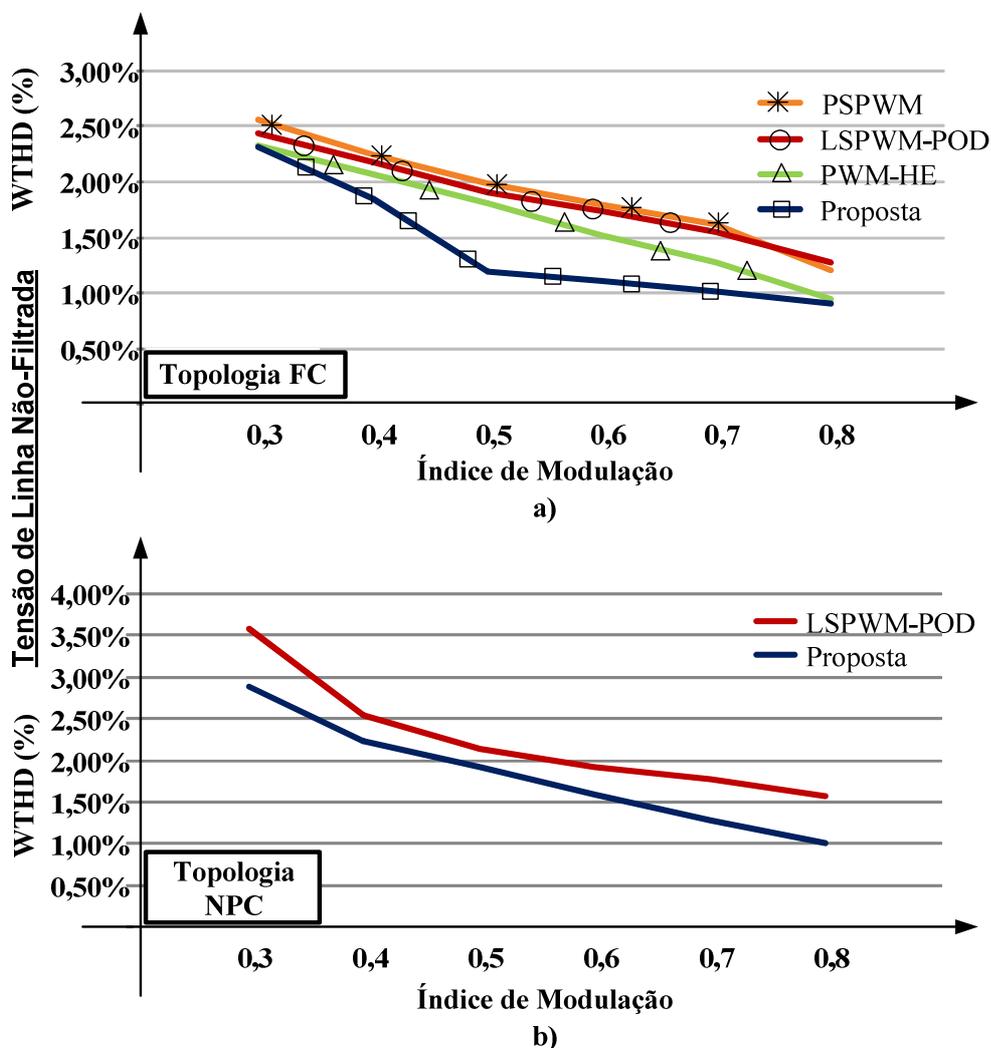


Figura 4.29. Curvas de WTHD relativas às estruturas (a) FC e (b) NPC.

4.6 Aplicação da Modulação Proposta para Mais Níveis

Nesta sessão será abordada a possibilidade da utilização da técnica de modulação proposta neste trabalho para aplicações que requerem mais níveis. Para tanto, serão apresentados os resultados de simulação de um inversor NPC de cinco níveis. A figura 4.30 apresenta as quatro portadoras, dispostas em formação de oposição de fase, a fim de gerar as formas de onda das figuras 4.31. A partir da análise dessas figuras é possível aferir que a utilização da técnica proposta para aplicações com mais de três níveis é plausível, devendo-se apenas obedecer aos níveis de tensão em que variam cada uma das portadoras.

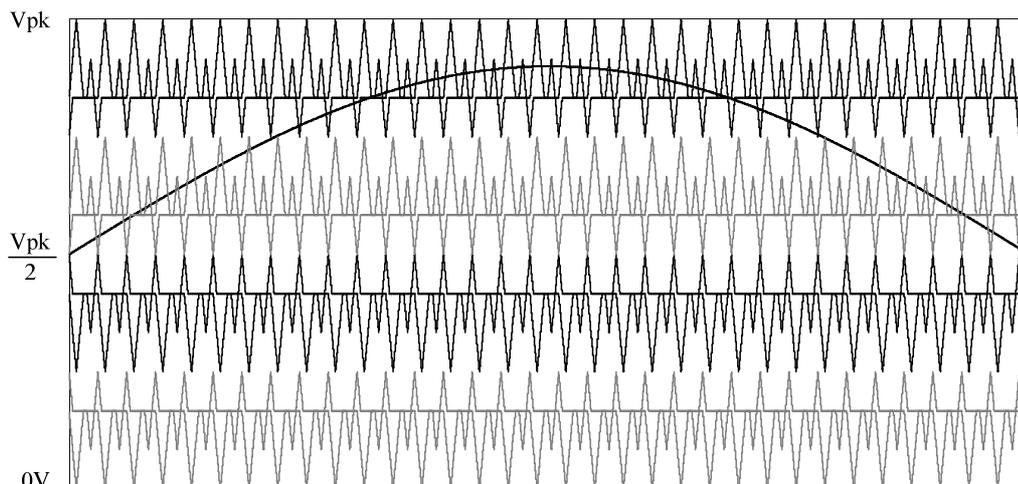


Figura 4.30. Portadoras da técnica proposta utilizadas para o inversor NPC de cinco níveis.

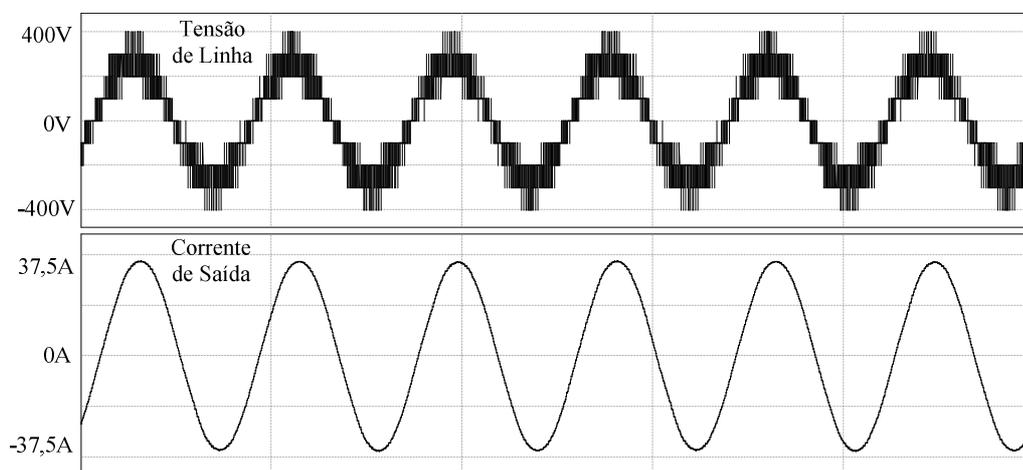


Figura 4.31 Tensão de linha e corrente de fase da técnica proposta aplicada à topologia NPC de cinco níveis.

4.7 Considerações Finais

Neste capítulo foram evidenciadas, experimentalmente, as características inerentes a cada técnica de modulação, apresentadas no capítulo 2, bem como a comprovação do funcionamento das topologias operando com a modulação proposta.

Inicialmente, foi possível verificar a correta digitalização das três moduladoras senoidais, utilizadas em todas as modulações analisadas, bem como a digitalização das portadoras de cada uma das técnicas, evidenciando o correto equacionamento desenvolvido no capítulo 2. Em decorrência disso, ficou exposto que a comparação das moduladoras com as portadoras produziu os pulsos com larguras apropriadas para cada tipo de situação presente nas técnicas desenvolvidas, demonstrando a eficácia do FPGA, escolhido pela facilidade de programação e utilização de suas ferramentas, além de sua alta velocidade e capacidade de processamento.

Foram também apresentados os resultados relativos ao inversor multinível NPC operando com a técnica de modulação proposta neste trabalho, onde foi possível observar que as formas de onda das tensões em cada fase, bem como as tensões de linha, possuem características condizentes com o esperado, com frequência, amplitude de cada nível e formatos bem definidos e sem distorções, o que demonstra a empregabilidade dessa técnica nesse tipo de estrutura, e comprovando a possibilidade de adaptação da modulação desenvolvida em [27] para operar também em topologias do tipo NPC. Deve-se notar que os resultados relativos ao inversor FC operando com a modulação proposta foram omitidos, pois estes são redundantes se comparados aos apresentados para a estrutura NPC.

Foram ainda apresentadas as curvas de eficiência para as duas estruturas, FC e NPC, operando com cada tipo de modulação. A partir da observação das diversas curvas é possível aferir que, tanto para a topologia NPC, quanto para a FC, a modulação proposta atingiu os melhores resultados, apresentando uma maior eficiência e comprovando a análise de perdas desenvolvida no capítulo 3.

Por fim, foram apresentados os resultados relativos ao conteúdo harmônico para as diversas combinações de modulação e topologia, para diferentes índices de modulação. A partir desses resultados foi possível observar que a técnica proposta atinge um bom desempenho de THD para índices de modulação elevados em ambas as estruturas. No entanto, seu desempenho fica aquém das demais técnicas apresentadas na topologia FC quando a faixa de índices de modulação é reduzida, principalmente se comparada à modulação proposta por He [27]. Tais afirmações ficam evidenciadas na análise dos espectros harmônicos apresentados, onde o desempenho de cada técnica foi observado para os índices de modulação máximo e mínimo.

O desempenho inferior da técnica proposta se deve ao não-cruzamento do sinal modulante com as porções mais superiores e mais inferiores das portadoras em baixos índices de modulação, causando uma grande redução na quantidade de vetores utilizados da tensão de saída, elevando, assim, sua distorção harmônica, e caracterizando a principal desvantagem da técnica proposta em relação às demais.

No entanto, em termos de WTHD, a modulação proposta apresentou-se superior às demais em ambas as topologias FC e NPC para toda faixa de índices de modulação, o que caracteriza uma melhor distribuição harmônica ao longo de todo o espectro.

Por fim, a técnica apresentada neste trabalho mostrou-se viável para aplicações em inversores com mais de três níveis, evidenciado pelos resultados de simulação apresentados nas figuras 4.30 e 4.31.

CAPÍTULO 5

CONCLUSÃO GERAL

Neste trabalho foi apresentada uma técnica de modulação para aplicação em inversores multiníveis, mostrando-se viável para aplicações práticas, como enfatizado através dos resultados experimentais apresentados.

A técnica de modulação desenvolvida baseou-se em outra, previamente proposta em [27], cuja principal vantagem apresentada dizia respeito à redução da distorção harmônica total da tensão de linha na carga, não-filtrada. No entanto, sua aplicação limitava-se apenas às estruturas de inversores multiníveis com capacitores flutuantes.

Assim, visando uma modificação na modulação previamente existente, a técnica proposta verificou-se aplicável em ambas as topologias (com neutro grampeado e com capacitores flutuantes). Além disso, apresentou ganhos em termos de eficiência, cuja análise do seu padrão de chaveamento e de seu estudo de perdas, desenvolvida ao longo dos capítulos 2 e 3, comprovou-se eficaz através dos resultados experimentais apresentados no capítulo 4, elevando a eficiência do inversor em até 3%, quando comparado tanto às modulações mais convencionais, quanto à modulação em que foi baseada, para as duas estruturas estudadas. Além disso, deve-se fazer notar o ganho de eficiência para potências reduzidas. Essa é uma importante característica, tendo em vista que diversas aplicações não operam à plena carga durante boa parte do tempo, como máquinas industriais ou aplicações em energias renováveis.

Outra vantagem diz respeito à distorção harmônica total: a técnica proposta foi comparada às demais quanto ao índice THD da tensão de linha de saída não-filtrada, apresentando desempenho superior para índices de modulação elevados na estrutura NPC, de até 20% em relação à técnica LSPWM-POD. Já para a estrutura FC, a técnica também apresentou bons níveis de THD para índices de modulação elevados, superando a LSPWM-POD em 6%, e em 1% a proposta em [27], técnica na qual ela foi baseada. Observando os gráficos de THD apresentados nos capítulos 3 e 4, é possível perceber a semelhança de comportamento das diversas curvas. Assim, analisando-se a tendência das curvas, acredita-se que, para índices de modulação acima de 0,8, a modulação proposta supere todas as outras também no que diz respeito à estrutura FC.

No entanto, a principal desvantagem da modulação proposta é o THD para índices de modulação reduzidos, pois se apresentou elevado devido ao não-cruzamento da moduladora com a região superior das portadoras, fazendo com que a tensão na carga fique esparsa, com

pulsos de pouca duração, afetando diretamente o resultado do THD. Nessa situação, a modulação proposta em [27] apresentou os melhores resultados, pois é capaz de manter a duração de cada pulso, mesmo com índices de modulação reduzidos.

Por fim, vale ressaltar a importância da escolha do dispositivo controlador FPGA para geração dos pulsos de gatilho das chaves semicondutoras, onde se verificou grande velocidade de processamento, facilidade de programação e reconfiguração para pequenos ajustes, possibilidade do uso de operações concorrentes, e grande quantidade de pinos de entrada e saída, cuja característica se tornou o principal argumento para escolha de um FPGA para aplicações em inversores multiníveis, devido ao grande número de interruptores presentes nesses tipos de estrutura.

Como trabalho futuro, propõe-se o desenvolvimento de uma técnica de modulação que conjugue as vantagens da técnica proposta neste trabalho, sendo utilizada para índices de modulação elevados, com aquela desenvolvida por He, em [27], que seria escolhida com índices de modulação mais reduzidos.

Outra proposta é a de desenvolver, experimentalmente, a aplicação da técnica proposta em inversores com cinco ou sete níveis. É possível ainda pesquisar a aplicação conjunta das portadoras desenvolvidas em [27] com as moduladoras propostas na técnica CSV (*Centered Space Vector*), proposta em [26].

Além disso, é possível somar às portadoras ou moduladoras as componentes de sequência nula, como injeção de terceira harmônica ou sobremodulação, onde se espera obter resultados significativos em relação à redução de conteúdo harmônico da tensão de saída.

Por fim, apresenta-se como sugestão o estudo do desbalanceamento dos capacitores de barramento, sob o aspecto do impacto das diversas modulações, ângulos de carga e índices de modulação, nos desequilíbrios de tensão e corrente de tais capacitores.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] L.G. Franquelo, J. Rodriguez, J.I. Leon, S. Kouro, R. Portillo, M.A.M. Prats, The Age of Multilevel Converters Arrives, *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28-39, Jun. 2008.
- [2] J. Rodriguez, J.-S. Lai, F.Z. Peng, Multilevel inverters: a survey of topologies, controls, and applications, *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724-738, Ago. 2002.
- [3] J.-S. Lai, F.Z. Peng, Multilevel converters - a new breed of power converters, *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509-517, Mai 1985.
- [4] J. Rodriguez, S. Bernet, B. Wu, J. Pontt, S. Kouro, Multilevel voltage-source-converter topologies for industrial medium-voltage drives, *IEEE Transactions on Industrial Electronics*, vol. 54, no. 6, pp. 2930-2945, Dez. 2007.
- [5] A. Nabae, I. Takahashi, H. Akagi, A neutral-point clamped PWM inverter, *IEEE Transactions on Industry Applications*, vol. 1A-17, no. 5, pp. 518-523, Set. 1981.
- [6] R. H. Baker, Switching circuit, U.S. Patent n° 4210825 to Exxon Research & Engineering Co, 1980.
- [7] M. H. Rashid, *Eletrônica de Potência: circuitos, dispositivos e aplicações*, Makron Books, 1ª Edição, São Paulo, Brasil, 1999.
- [8] W.-K. Lee, S.-Y. Kim, J.-S. Yoon, D.-H. Baek, A comparison of the carrier-based PWM techniques for voltage balance of flying capacitor in the flying capacitor multilevel inverter, 21st IEEE Applied Power Electronics Conference and Exposition, APEC'06, pp. 1653-1658, Mar. 2006.
- [9] T. A. Meynard, H. Foch, Multi-level conversion: high voltage choppers and voltage-source inverters, 23rd IEEE Power Electronics Specialists Conference, PESC'92, vol. 1, pp. 397-403, Jul. 1992.
- [10] F.Z. Peng, A generalized multilevel inverter topology with self voltage balance, *IEEE Transactions on Industry Applications*, vol. 37, no. 2, pp. 611-618, Mar. 2001.
- [11] M.F. Escalante, J.-C. Vannier, A. Arzande, Flying capacitor multilevel inverters and DTC motor drive applications, *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 809-815, Ago. 2002.

- [12] S. G. Lee, D. W. Kang, Y. H. Lee, D. S. Hyun, The carrier-based PWM method for voltage balancing of flying capacitor multilevel inverter, 32nd IEEE Power Electronics Specialists Conference, PESC'01, vol. 1, pp. 126-131, Jun. 2001.
- [13] Casini, D., Marchesoni, M., Puglisi L., Variable structure control system applied to multilevel power conditioning converters, 1st European Space Power Conference, pp. 672-682, Oct. 1989.
- [14] M. Marchesoni, M. Mazzucchelli, S. Tenconi, A nonconventional power converter for plasma stabilization, IEEE Transactions on Power Electronics, vol. 5, no. 2, pp. 212-219, Apr. 1991.
- [15] T. Bruckner, S. Bernet, H. Guldner, The active NPC converter and its loss-balancing control, IEEE Transactions on Industrial Electronics, vol. 52, no. 3, pp. 855-868, Jun. 2005.
- [16] T. Bruckner, S. Bernet, P.K. Steimer, Feedforward loss control of three-level active NPC converters, IEEE Transactions on Industrial Electronics, vol. 43, no. 6, pp. 1588-1596, Nov. 2007.
- [17] B.-S. Suh, D.-S. Hyun, A new n-level high voltage inversion system, IEEE Transactions on Industrial Electronics, vol. 44, no. 1, pp. 107-115, Feb. 1997.
- [18] B. Wu, High Power Converters and AC Drives, IEEE Press/John Wiley & Sons, 1^a Edição, New York, NY, USA, 2006.
- [19] P. K. Steimer, High power electronics, trends of technology and applications, presented at PCIM'07, Nuremberg, Alemanha.
- [20] N. Zargari, S. Rizzo, Medium voltage drives in industrial applications, Seminário Técnico, IEEE Toronto Section, Nov. 2004.
- [21] L. G. Franquello, J. I. Leon, M. M. Prats, R. Portillo, Space vector modulation techniques for multilevel converters - a survey, Przegląd Elektrotechniczny, no. 4, pp. 56-61, 2006.
- [22] J. Holtz, Pulsewidth modulation for electronic power conversion, IEEE Proceedings, vol. 82, no. 8, Ago. 1994.
- [23] B.P. McGrath, D.G. Holmes, Multicarrier PWM strategies for multilevel inverters, IEEE Transactions on Industrial Electronics, vol. 49, no. 4, pp. 858-867, Ago. 2002.
- [24] Y. Liang, C.O. Nwankpa, A power-line conditioner based on flying capacitor multilevel voltage-source converter with phase-shift SPWM, IEEE Transactions on Industry Applications, vol. 36, no. 4, pp. 965-971, Jul/Ago. 2000.

- [25] G. Carrara, S. Gardella, M. Marchesoni, R. Salutati, G. Sciutto, A new multilevel PWM method: A theoretical analysis, *IEEE Transactions on Power Electronics*, vol. 7, no. 3, pp. 497-505, Jul. 1992.
- [26] D.G. Holmes, T.A. Lippo, *Pulse width modulation for power converters - principles and practice*, IEEE Press/John Wiley & Sons 1ª Edição, Piscataway, NJ, USA, 2003.
- [27] H. Wang, Y. Deng, X. He, Novel carrier-based PWM method with voltage balance for flying capacitor multilevel converters, *35th IEEE Power Electronics Specialists Conference, PESC'04*, vol. 6, pp. 4423-4427, Jun. 2004.
- [28] D.-W. Kang, W.-K. Lee, D.-S. Hyun, Carrier-rotation strategy for voltage balancing in flying capacitor multilevel inverter, *IEE Proceedings in Electric Power Applications*, vol. 151, no. 2, pp. 239-248, Mar. 2004.
- [29] F. Pereira, *Microcontroladores PIC: Programação em C, Érica*, 1ª Edição, São Paulo, Brasil, 2003.
- [30] V. A. Souza, *Programação em C para o dsPIC: Fundamentos, Ensino Profissional*, 1ª Edição, São Paulo, Brasil, 2008.
- [31] Microchip - PIC24H Family Overview: High-Performance 16-Bit Microcontrollers. Disponível em: <<http://ww1.microchip.com/downloads/en/DeviceDoc/70166A.pdf>>. Acesso em 10 de Outubro de 2010.
- [32] A.B.S. Júnior, E.C. Diniz, L.H.S.C. Barreto, O.M. Almeida, D.A. Honório, DSP-Based Position Control Applied to Squirrel-Cage Induction Motor Using Vector Control and Space Vector PWM Modulation, *17º Congresso Brasileiro de Automática*, Set. 2008.
- [33] P. P. Chu, *FPGA Prototyping by VHDL Examples: Xilinx Spartan - 3 Version*, John Wiley and Sons, 1ª Edição, Hoboken, NJ, EUA, 2008.
- [34] X. Yuan, H. Stemmler, I. Barbi, Self-balancing of the clamping-capacitor-voltages in the multilevel capacitor-clamping-inverter under sub-harmonic PWM modulation, *IEEE Transactions on Power Electronics*, vol. 16, no. 2, pp. 256-263, Mar. 2001.
- [35] A.L. Batschauer, A.J. Perin, S.A. Mussa, M.L. Heldwein, Evaluation of the hybrid four-level converter employing half-bridge modules for two different modulation schemes, *25th IEEE Applied Power Electronics Conference, APEC'10*, pp. 909-914, Fev. 2010.
- [36] U. Drofenik, J.W. Kolar, A general scheme for calculating switching- and conduction-losses of power semiconductors in numerical circuit simulations of power electronics systems, *International Power Electronics Conference, IPEC'05*, CD-ROM, Abr. 2005.
- [37] F. Casanellas, Losses in PWM inverters using IGBTs, *IEE Proceedings in Electric Power Applications*, vol. 141, no. 5, pp. 235-239, Set. 2004.

APÊNDICE A
(PROGRAMAS EM VHDL)

A.1 Moduladoras – Figura 2.15

```
ENTITY senoides IS
```

```
PORT (clk : IN BIT;
```

```
senoA, senoB, senoC : OUT NATURAL RANGE 0 TO 255);
```

```
END senoides;
```

```
ARCHITECTURE arch1 OF senoides IS
```

```
TYPE tabela IS ARRAY (INTEGER RANGE<>) OF NATURAL;
```

```
SHARED VARIABLE auxA : NATURAL RANGE 0 TO 255 := 0;
```

```
SHARED VARIABLE auxB : NATURAL RANGE 0 TO 255 := 0;
```

```
SHARED VARIABLE auxC : NATURAL RANGE 0 TO 255 := 0;
```

```
CONSTANT dados : tabela (0 to 134) :=
```

```
(127,132,138,144,150,156,162,167,173,178,184,189,194,199,204,208,213,217,221,225,228,
232,235,238,241,243,245,247,249,250,252,252,253,253,253,253,252,251,250,248,246,
244,242,239,236,233,230,226,223,219,214,210,206,201,196,191,186,180,175,170,164,158,
152,147,141,135,129,123,117,111,105,100,94,88,83,77,72,66,61,56,51,47,42,38,34,30,
26,23,19,16,13,11,8,6,5,3,2,1,0,0,0,0,1,2,3,4,6,8,10,13,15,18,22,25,29,33,37,41,
46,50,55,60,65,70,76,81,87,92,98,104,110,116,122);
```

```
BEGIN
```

```
PROCESS (clk)
```

```
BEGIN
```

```
IF auxA = 135 THEN auxA := 0;
```

```
ELSIF clk 'EVENT AND clk = '1' THEN
```

```
    auxA := auxA + 1;
```

```
    auxB := auxA + 45;
```

```
    auxC := auxA + 90;
```

```
    IF auxB >= 135 THEN auxB := auxB - 135;
```

```
    END IF;
```

```
    IF auxC >= 135 THEN auxC := auxC - 135;
```

```
    END IF;
```

```
END IF;
```

```
END PROCESS;
```

```
senoA <= dados(auxA);
```

```
senoB <= dados(auxB);
```

```
senoC <= dados(auxC);
```

```
END arch1;
```

A.2 Portadoras da Modulação LSPWM (POD) – Figura 2.18

ENTITY portadoras IS

PORT (clk : IN BIT;

tri1, tri2 : OUT NATURAL RANGE 0 TO 255);

END portadoras;

ARCHITECTURE arch1 OF portadoras IS

TYPE tabela1 IS ARRAY (INTEGER RANGE<>) OF NATURAL;

TYPE tabela2 IS ARRAY (INTEGER RANGE<>) OF NATURAL;

SHARED VARIABLE aux : NATURAL RANGE 0 TO 1023 := 0;

CONSTANT dados1 : tabela1 (0 to 253) :=

(127,126,125,124,123,122,121,120,119,118,117,116,115,114,113,112,111,110,109,108,107,106,105,104,103,102,101,100,99,98,97,96,95,94,93,92,91,90,89,88,87,86,85,84,83,82,81,80,79,78,77,76,75,74,73,72,71,70,69,68,67,66,65,64,63,62,61,60,59,58,57,56,55,54,53,52,51,50,49,48,47,46,45,44,43,42,41,40,39,38,37,36,35,34,33,32,31,30,29,28,27,26,25,24,23,22,21,20,19,18,17,16,15,14,13,12,11,10,9,8,7,6,5,4,3,2,1,0,1,2,3,4,5,6,7,8,9,10,11,12,13,14,15,16,17,18,19,20,21,22,23,24,25,26,27,28,29,30,31,32,33,34,35,36,37,38,39,40,41,42,43,44,45,46,47,48,49,50,51,52,53,54,55,56,57,58,59,60,61,62,63,64,65,66,67,68,69,70,71,72,73,74,75,76,77,78,79,80,81,82,83,84,85,86,87,88,89,90,91,92,93,94,95,96,97,98,99,100,101,102,103,104,105,106,107,108,109,110,111,112,113,114,115,116,117,118,119,120,121,122,123,124,125,126);

CONSTANT dados2 : tabela2 (0 to 253) :=

(127,128,129,130,131,132,133,134,135,136,137,138,139,140,141,142,143,144,145,146,147,148,149,150,151,152,153,154,155,156,157,158,159,160,161,162,163,164,165,166,167,168,169,170,171,172,173,174,175,176,177,178,179,180,181,182,183,184,185,186,187,188,189,190,191,192,193,194,195,196,197,198,199,200,201,202,203,204,205,206,207,208,209,210,211,212,213,214,215,216,217,218,219,220,221,222,223,224,225,226,227,228,229,230,231,232,233,234,235,236,237,238,239,240,241,242,243,244,245,246,247,248,249,250,251,252,253,254,255,252,251,250,249,248,247,246,245,244,243,242,241,240,239,238,237,236,235,234,233,232,231,230,229,228,227,226,225,224,223,222,221,220,219,218,217,216,215,214,213,212,211,210

,209,208,207,206,205,204,203,202,201,200,199,198,197,196,195,194,193,192,191,190,189,188,187,186,185,184,183,182,181,180,179,178,177,176,175,174,173,172,171,170,169,168,167,166,165,164,163,162,161,160,159,158,157,156,155,154,153,152,151,150,149,148,147,146,145,144,143,142,141,140,139,138,137,136,135,134,133,132,131,130,129,128);

BEGIN

PROCESS (clk)

BEGIN

IF aux = 254 THEN aux := 0;

ELSIF clk 'EVENT AND clk = '1' THEN

 aux := aux + 1;

END IF;

END PROCESS;

tri1 <= dados2(aux);

tri2 <= dados1(aux);

END arch1;


```
END IF;
```

```
END PROCESS;
```

```
portA1 <= dados(auxA);
```

```
portB1 <= dados(auxB);
```

```
END arch1;
```



```
IF auxB >= 199 THEN auxB := auxB - 199;  
END IF;
```

```
END IF;
```

```
END PROCESS;
```

```
portA2 <= dados(auxA);
```

```
portB2 <= dados(auxB);
```

```
END arch1;
```



```
BEGIN
```

```
PROCESS (clk)
```

```
BEGIN
```

```
IF aux = 200 THEN aux := 0;
```

```
ELSIF clk 'EVENT AND clk = '1' THEN
```

```
    aux := aux + 1;
```

```
END IF;
```

```
END PROCESS;
```

```
portA1 <= dados1(aux);
```

```
portB1 <= dados2(aux);
```

```
END arch1;
```



```
BEGIN
```

```
PROCESS (clk)
```

```
BEGIN
```

```
IF aux = 200 THEN aux := 0;
```

```
ELSIF clk 'EVENT AND clk = '1' THEN
```

```
    aux := aux + 1;
```

```
END IF;
```

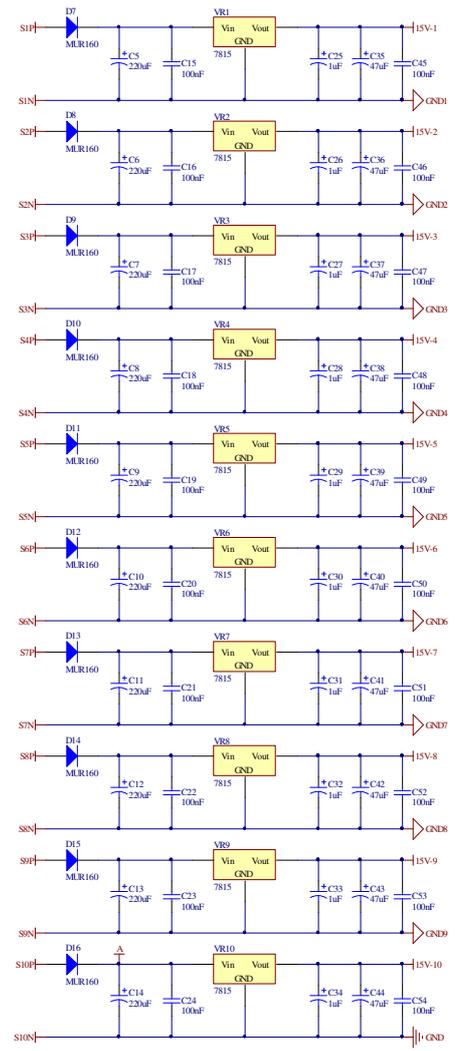
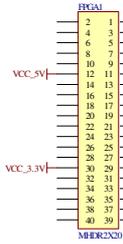
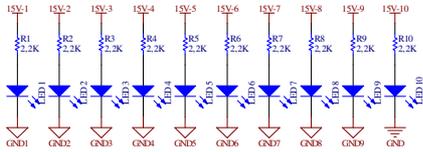
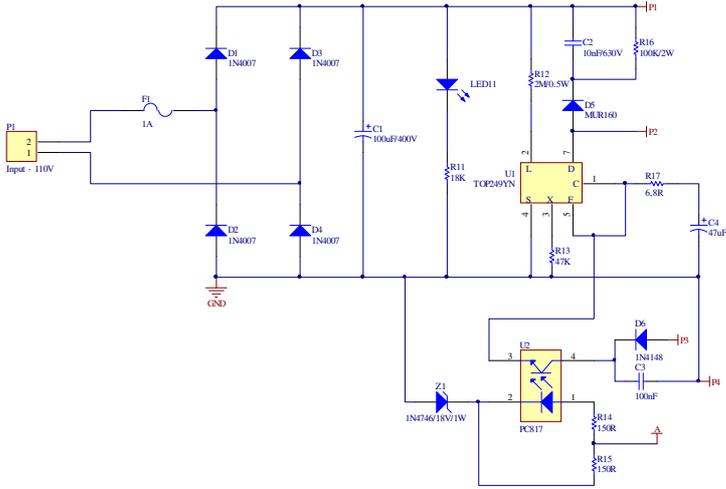
```
END PROCESS;
```

```
portA2 <= dados1(aux);
```

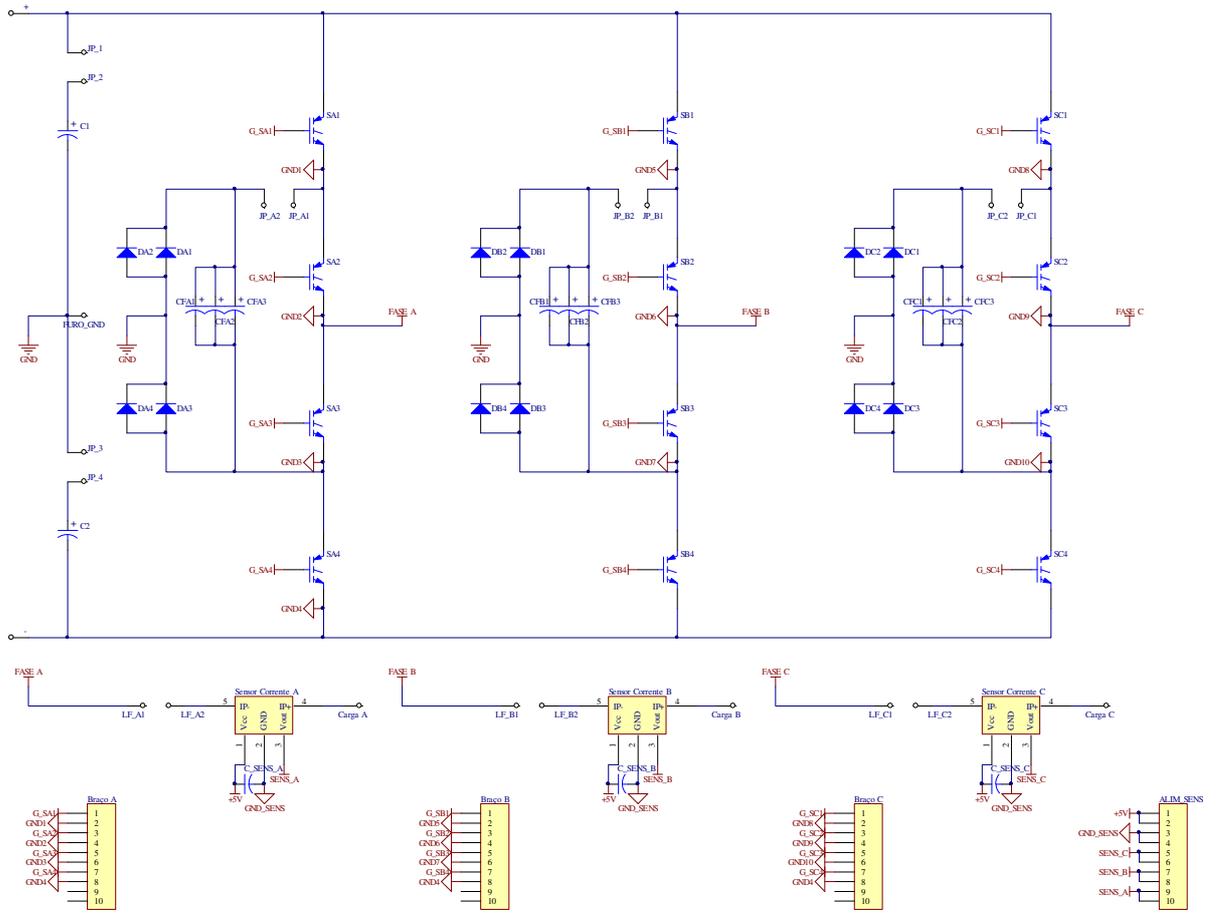
```
portB2 <= dados2(aux);
```

```
END arch1;
```

APÊNDICE B
(ESQUEMÁTICO DA PLACA DA FONTE AUXILIAR)



APÊNDICE C
(ESQUEMÁTICO DA PLACA DO INVERSOR)



APÊNDICE D
(ESQUEMÁTICO DA PLACA DO CONVERSOR D/A R2R)

