



**UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

ANTÔNIO JOSÉ SOUSA DIAS JÚNIOR

**CONVERSOR CC-CA MONOFÁSICO DE DOIS ESTÁGIOS SEM CAPACITOR
ELETROLÍTICO E FILTRO DE SAÍDA LCL**

FORTALEZA

2018

ANTÔNIO JOSÉ SOUSA DIAS JÚNIOR

CONVERSOR CC-CA MONOFÁSICO DE DOIS ESTÁGIOS SEM CAPACITOR
ELETROLÍTICO E FILTRO DE SAÍDA LCL

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará, como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica.

Orientador: Prof. Dr. Fernando Luiz Marcelo Antunes.

FORTALEZA

2018

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca Universitária
Gerada automaticamente pelo módulo Catalog, mediante os dados fornecidos pelo(a) autor(a)

- D53c Dias Júnior, Antônio José Sousa.
Conversor CC-CA monofásico de dois estágios sem capacitor eletrolítico e filtro de saída LCL /
Antônio José Sousa Dias Júnior. – 2018.
151 f. : il. color.
- Dissertação (mestrado) – Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-
Graduação em Engenharia Elétrica, Fortaleza, 2018.
Orientação: Prof. Dr. Fernando Luiz Marcelo Antunes.
1. Conversor bidirecional CC-CA. 2. Filtro LCL. 3. Filtro Ativo. I. Título.

CDD 621.3

ANTÔNIO JOSÉ SOUSA DIAS JÚNIOR

CONVERTOR CC-CA MONOFÁSICO DE DOIS ESTÁGIOS SEM CAPACITOR
ELETROLÍTICO E FILTRO DE SAÍDA LCL

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará, como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica.

Aprovada em: 28/08/2018.

BANCA EXAMINADORA

Prof. Dr. Fernando Luiz Marcelo Antunes (Orientador)
Universidade Federal do Ceará (PPGEE-UFC)

Prof. Dr. André Luís Kirsten
Universidade Federal de Santa Catarina (INEP-UFSC)

Prof. Dr. Bismark Claire Torrico
Universidade Federal do Ceará (PPGEE-UFC)

Prof. Dr. Paulo Peixoto Praça
Universidade Federal do Ceará (PPGEE-UFC)

A Deus.

À minha mãe, Ruth.

AGRADECIMENTOS

Primeiramente a Deus por me guiar nesta minha caminhada e me dar forças ao longo de toda a minha vida para sempre seguir em frente.

À CAPES, pelo apoio financeiro com a manutenção da bolsa de auxílio.

À minha mãe Ruth Maria Lopes Fernandes por todo o apoio e incentivo durante toda a minha vida, pois, durante toda minha caminhada ela sempre esteve presente me incentivando.

Ao meu irmão Aloísio Fernandes Dias por sempre me encorajar e ajudar ao longo da minha vida a superar os obstáculos.

Ao Prof. PhD. Fernando Luiz Marcelo Antunes pela excelente orientação.

À minha namorada Thais Fernanda Rodrigues Dutra por estar sempre ao meu lado nas difíceis horas de estudo e desenvolvimento deste trabalho.

Aos meus familiares pelas esperanças depositadas na conclusão deste mestrado.

Aos meus amigos e colegas de laboratório pelas horas de estudo compartilhadas e de contribuições no desenvolvimento do meu trabalho, em especial ao Me. Juliano de Oliveira Pacheco e Me. Marcus Anderson Almeida Bezerra.

Aos meus amigos e colegas de trabalho pelo incentivo e motivação, em especial aos amigos da Coordenadoria de Conservação de Energia: Fabrício, Lucas, Pedro, Felipe Albuquerque, Felipe Ferreira e Soraya.

À todas as pessoas que me ajudaram na conclusão deste trabalho que por motivo de esquecimento não foram aqui citadas, peço minhas sinceras desculpas.

“Se cheguei até aqui foi porque me apoiei no ombro de gigantes.”

(Isaac Newton)

RESUMO

Este trabalho tem por objetivo projetar um conversor CC-CA bidirecional para aplicações em microrredes CC conectadas à rede elétrica local. A topologia adotada é composta por dois estágios, um estágio CC-CC de entrada e um estágio CC-CA de saída. Também é utilizado um filtro ativo para compensar a componente alternada de 120 Hz presente no elo CC, diminuindo a capacitância requerida e eliminando a necessidade da utilização de capacitores eletrolíticos fazendo com que a vida útil do conversor aumente. Para a saída do estágio CC-CA é utilizado um filtro LCL com amortecimento passivo, tal amortecimento se dá através da inserção de uma resistência em série com a capacitância *shunt* do filtro, o que acarreta em um baixo conteúdo harmônico para a corrente no ponto de conexão comum da rede e do conversor. A validação do controle proposto é realizada através de simulações em *software* dedicado. Também foi desenvolvido um protótipo experimental com a finalidade de validar os resultados de simulação e teóricos.

Palavras-chave: Conversor Bidirecional CC-CA. Filtro LCL. Filtro Ativo.

ABSTRACT

This work aims to design a bidirectional DC-AC converter for applications in DC microgrid connected to the local power grid. The proposed inverter is composed of two stages: DC-DC input stage and DC-AC output stage. An active filter is also used to compensate the AC component of 120 Hz on the DC link, reducing the capacitance required and increasing the useful life of the converter, thus eliminating the use of electrolytic capacitors. On the output of the DC-AC stage is used a LCL filter with passive damping, by inserting a resistor in series with the filter capacitance, which results in a low harmonic content for the current injected in the grid. The validation of the proposed control is performed through simulations in software. An experimental prototype was also developed with the purpose of validating the simulation results.

Keywords: Bidirectional DC-AC Converter. LCL Filter. Active Filter.

LISTA DE FIGURAS

Figura 1	– Topologia base	15
Figura 2	– Filtros comumente utilizados no PCC	19
Figura 3	– Diagrama de Bode do filtro L	20
Figura 4	– Diagrama de Bode do filtro LCL	21
Figura 5	– Diagrama de Bode do filtro LCL com amortecimento	22
Figura 6	– Efeitos da resistência de amortecimento no filtro LCL	23
Figura 7	– Comparação entre os filtros L e LCL	24
Figura 8	– Estágio CC-CA da topologia base	26
Figura 9	– Circuito equivalente em baixas frequências	27
Figura 10	– Relação entre Clk e V_{cc}	29
Figura 11	– Principais topologias de filtros ativos para redução de V_{cc}	30
Figura 12	– Tensão e corrente no filtro ativo de compensação por tensão (baixas frequências)	32
Figura 13	– Corrente de entrada do estágio CC-CA e no filtro ativo de compensação por corrente (baixas frequências)	33
Figura 14	– Diagrama de controle do filtro ativo de compensação por tensão	34
Figura 15	– Diagrama de controle do filtro ativo de compensação por corrente	34
Figura 16	– Conversor proposto	35
Figura 17	– Etapas de operação do estágio CC-CC	37
Figura 18	– Principais formas de onda do Estágio CC-CC operando como <i>Boost</i>	38
Figura 19	– Principais formas de onda do Estágio CC-CC operando como <i>Buck</i>	38
Figura 20	– Modelo da chave PWM	40
Figura 21	– Aplicação do modelo da chave PWM no estágio CC-CC	41
Figura 22	– Etapas de operação do estágio CC-CA no semiciclo positivo	42

Figura 23 – Principais formas de onda do Estágio CC-CA operando como inversor	43
Figura 24 – Circuito equivalente do estágio CC-CA (a) na frequência fundamental da rede e na frequência de chaveamento e (b) somente na frequência de chaveamento	45
Figura 25 – Etapas de operação do filtro ativo (a) semiciclo positivo e (b) semiciclo negativo	51
Figura 26 – Principais formas de onda do filtro ativo	52
Figura 27 – Microcontrolador dsPIC 33FJ12MC202	65
Figura 28 – Malha de controle genérica	66
Figura 29 – Modulador PWM discreto	67
Figura 30 – Modulador PWM discreto com mais de duas atualizações	68
Figura 31 – Circuito para condicionamento de sinais <i>sem offset</i>	69
Figura 32 – Circuito para condicionamento de sinais <i>com offset</i>	70
Figura 33 – Circuito para condicionamento de sinais com o sensor de corrente	72
Figura 34 – Circuito para condicionamento de sinais com o sensor de corrente com valores	73
Figura 35 – Sensor de tensão do elo CC	74
Figura 36 – Sensor de tensão da rede elétrica	74
Figura 37 – Sensor de tensão do barramento do filtro ativo	74
Figura 38 – Resposta discretizada ao degrau unitário da função de transferência de laço aberto do estágio CC-CC	77
Figura 39 – Resposta discretizada ao degrau unitário da função de transferência de malha fechada do estágio CC-CC	79
Figura 40 – Diagrama de Bode do sistema controlado e não controlado da malha de corrente do estágio CC-CC	80
Figura 41 – Localização dos polos e zeros do sistema em malha fechada para a malha de corrente do estágio CC-CC	80

Figura 42 – Comparação da função de transferência do filtro LCL e seu equivalente filtro L em baixas frequências	82
Figura 43 – Resposta discretizada ao degrau unitário da função de transferência de malha fechada do estágio CC-CA – malha de corrente	83
Figura 44 – Resposta discretizada à senoide unitária da função de transferência de malha fechada do estágio CC-CA – malha de corrente	84
Figura 45 – Diagrama de Bode do sistema controlado e não controlado da malha de corrente do estágio CC-CA	85
Figura 46 – Localização dos polos e zeros do sistema em malha fechada para a malha de corrente do estágio CC-CA	85
Figura 47 – Diagrama de blocos da estratégia de controle em cascata utilizada no estágio CC-CA	87
Figura 48 – Resposta discretizada ao degrau unitário da função de transferência de laço aberto do estágio CC-CA – malha de tensão	88
Figura 49 – Resposta discretizada ao degrau unitário da função de transferência de malha fechada do estágio CC-CA – malha de tensão	89
Figura 50 – Diagrama de Bode do sistema controlado e não controlado da malha de tensão do estágio CC-CA	90
Figura 51 – Localização dos polos e zeros do sistema em malha fechada para a malha de tensão do estágio CC-CA	90
Figura 52 – Resposta ao degrau unitário da função de transferência de laço aberto do filtro ativo – malha de corrente	92
Figura 53 – Resposta ao degrau unitário da função de transferência de malha fechada do filtro ativo – malha de corrente	93
Figura 54 – Resposta à senoide unitária da função de transferência de malha fechada do filtro ativo – malha de corrente	93
Figura 55 – Diagrama de Bode do sistema controlado e não controlado da malha de corrente do filtro ativo	94
Figura 56 – Localização dos polos e zeros do sistema em malha fechada para a malha	95

de corrente do filtro ativo	
Figura 57 – Diagrama de blocos da malha de corrente do filtro ativo	96
Figura 58 – Diagrama de Blocos do PLL	97
Figura 59 – Diagrama de Blocos do PQ-PLL: (a) P-PLL e (b) Q-PLL	98
Figura 60 – Conversor proposto	106
Figura 61 – Simulação do q-PLL para condições normais da rede elétrica	107
Figura 62 – Simulação do q-PLL com a presença de harmônicos (THD = 9,99%) na tensão da rede	108
Figura 63 – Simulação do q-PLL para uma variação de 0°-180° da fase da tensão da rede elétrica	109
Figura 64 – Simulação do estágio CC-CC para um degrau de 75%-100% na referência de corrente	110
Figura 65 – Simulação do estágio CC-CA para um degrau de 50%-100% da corrente de saída do estágio CC-CC	111
Figura 66 – Simulação da topologia completa injetando energia na rede	112
Figura 67 – Simulação da topologia completa drenando energia na rede	113
Figura 68 – Protótipo experimental	114
Figura 69 – Validação experimental do q-PLL – 100V/div e 10ms/div	115
Figura 70 – Dinâmica do estágio CC-CC para um degrau de 75%-100% na referência da corrente – 1,5A/div e 2ms/div	116
Figura 71 – Dinâmica do estágio CC-CA para um degrau de 40%-80% na referência da corrente – 100V/div, 3A/div e 20ms/div	117
Figura 72 – Dinâmica do estágio CC-CA para um degrau de 80%-40% na referência da corrente – 100V/div, 3A/div 20ms/div	118
Figura 73 – Dinâmica do estágio CC-CA para um degrau da corrente de saída do estágio CC-CC – 20V/div e 200ms/div	119
Figura 74 – Ondulação da tensão do elo CC – 2V/div e 10ms/div	119

Figura 75 – Principais formas de onda no estágio CC-CC e CC-CA – 1A/div, 4A/div e 10ms/div	120
Figura 76 – Ondulação da tensão do elo CC com filtro ativo – 2V/div, e 20ms/div	121
Figura 77 – Tensão da rede e corrente no PCC – 50V/div, 4A/div e 10ms/div	122

LISTA DE TABELAS

Tabela 1 – Limite de distorção harmônica da corrente no PCC	18
Tabela 2 – Comparação da atenuação das harmônicas entre os filtros L e LC	24
Tabela 3 – Especificações de Entrada/Saída	55
Tabela 4 – Especificações de Projeto	56
Tabela 5 – Dados do capacitor do elo CC	62
Tabela 6 – Dados do capacitor do filtro ativo	62
Tabela 7 – Principais características do IGBT IRG4PC40UDPBF	63
Tabela 8 – Principais características do IGBT IRG4PF50WDPBF	63
Tabela 9 – Possíveis configurações do PQ-PLL	99
Tabela 10 – Distorção harmônica da corrente no PCC	121

LISTA DE ABREVIATURAS E SIGLAS

ABNT	Associação Brasileira de Normas Técnicas
A/D	Analógico – Digital
ADC	<i>Analog Digital Converter</i> (Conversor Analógico Digital)
AMP-OP	Amplificador Operacional
CAPES	Coordenação de Aperfeiçoamento de Pessoal de Nível Superior
CA	Corrente Alternada
CC	Corrente Contínua
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> (Semicondutor de Metal-Óxido Complementar)
DSP	<i>Digital Signal Processor</i> (Processador Digital de Sinais)
FP	Fator de Potência
IGBT	<i>Insulated Gate Bipolar Transistor</i> (Transistor Bipolar de Porta Isolada)
LF	<i>Loop Filter</i> (Filtro de Laço)
MIPS	<i>Million of Instructions Per Second</i> (Milhões de Instruções por Segundo)
MOSFET	<i>Metal-Oxide_Semiconductor Field Effect</i> (Transistor de Efeito de Campo Metal-Óxido Semicondutor)
PCC	Ponto de Conexão Comum
PD	<i>Phase Detector</i> (Detector de fase)
PI	Proporcional Integral
PLL	<i>Phase Locked Loop</i> (Malha de Rastreamento de Fase)
PWM	<i>Pulse Width Modulation</i> (Modulação por Largura de Pulso)
SPWM	<i>Sinusoidal Pulse Width Modulation</i> (Modulação por Largura de Pulso Senoidal)
THD	<i>Total Harmonic Distortion</i> (Distorção Harmônica Total)
UFC	Universidade Federal do Ceará
VCO	<i>Voltage-Controlled Oscillator</i> (Oscilador Controlado por Tensão)
ZOH	<i>Zero Order Hold</i> (Retentor de Ordem Zero)

LISTA DE SÍMBOLOS

a, r	Índices que relacionam as impedâncias do filtro LCL
$A(z^{-1})$	Polinômio denominador da função de transferência discreta da planta
A_-	Área negativa do gráfico da tensão no indutor
A_+	Área positiva do gráfico da tensão no indutor
b	Variável auxiliar para a determinação dos índices a, r
$B(z^{-1})$	Polinômio numerador da função de transferência discreta da planta
$C_{i1}(z^{-1})$	Controlador PI da malha de corrente do estágio CC-CC
$C_{i2}(z^{-1})$	Controlador PI da malha de corrente do estágio CC-CA
$C_{i3}(z^{-1})$	Controlador PI da malha de corrente do filtro ativo
C_f	Capacitância do filtro LCL
C_{lk}	Capacitância do elo CC com filtro ativo
C'_{lk}	Capacitância do elo CC sem filtro ativo
$C_{v1}(z^{-1})$	Controlador PI da malha de tensão do estágio CC-CA
C_s	Capacitância do barramento do filtro ativo
\hat{d}	Perturbação na razão cíclica
$\hat{d}_1, \hat{d}_2, \hat{d}_7$	Perturbação nas razões cíclicas das chaves S_1, S_2 e S_7
D_1, D_2, D_7	Razões cíclicas das chaves S_1, S_2 e S_7
$e[k]$	Erro no instante k
E_{elocc}	Energia no capacitor do elo CC
$F_{cond_1}(s)$	Função de transferência do circuito de condicionamento de sinais sem <i>offset</i>
$F_{cond_2}(s)$	Função de transferência do circuito de condicionamento de sinais com <i>offset</i>
f_{cy}	Frequência de uma instrução do dsPIC
F_m	Função de transferência do modulador PWM
f_{sw}	Frequência de chaveamento
$FTLA_{sccicc-ca}(s)$	Função de transferência de laço aberto da malha de corrente do estágio CC-CA sem controlador
$FTLA_{sccicc-cc}(s)$	Função de transferência de laço aberto da malha de corrente do

	estágio CC-CC sem controlador
$FTLA_{scciFiltro}(s)$	Função de transferência de laço aberto da malha de corrente do filtro sem controlador
$FTLA_{sccvCC-CA}(s)$	Função de transferência de laço aberto da malha de tensão do estágio CC-CA sem controlador
\hat{g}_{EQ}	Perturbação da tensão de saída do controlador da malha de tensão do estágio CC-CA
$G_{AMP-OP1}$	Ganho do primeiro amplificador operacional do circuito de condicionamento de sinal
G_{cond1}	Ganho do circuito de condicionamento de sinal sem offset
G_{cond2}	Ganho do circuito de condicionamento de sinal com offset
G_{EQ}	Tensão de saída do controlador da malha de tensão do estágio CC-CA
$G_{filtroL}(s)$	Função de transferência do filtro L
$G_{filtroLCL}(s)$	Função de transferência do filtro LCL
$G_{filtroLCL-amort}(s)$	Função de transferência do filtro LCL amortecido
H_{ADC}	Função de transferência do módulo ADC
$H_{i1}(s)$	Função de transferência do sensor da corrente de entrada do estágio CC-CC
$H_{i2}(s)$	Função de transferência do sensor da corrente da rede
$H_{i3}(s)$	Função de transferência do sensor da corrente do filtro ativo
$H_{OLCC-CC}(z^{-1})$	Função de transferência de laço aberto discreta da malha de corrente do estágio CC-CC
$H_{OLiCC-CA}(z^{-1})$	Função de transferência de laço aberto discreta da malha de corrente do estágio CC-CA
$H_{OLiFiltro}(z^{-1})$	Função de transferência de laço aberto discreta da malha de corrente do filtro ativo
$H_{OLvCC-CA}(z^{-1})$	Função de transferência de laço aberto discreta da malha de tensão do estágio CC-CA
$H_{v1}(s)$	Função de transferência do sensor da tensão da rede
$H_{v2}(s)$	Função de transferência do sensor da tensão do elo CC
$H_{v3}(s)$	Função de transferência do sensor da tensão do barramento do filtro ativo

I', I''	Correntes para análise do filtro LCL
$\hat{I}_{L_{2f}}$	Perturbação da corrente de saída do filtro LCL
$\hat{I}_{L_{in}}$	Perturbação da corrente de entrada do estágio CC-CC
\hat{I}_{L_s}	Perturbação da corrente de saída do filtro ativo
\hat{I}_{cc}	Componente alternada da corrente de saída do estágio CC-CC
$i_{C_s}(t)$	Corrente do capacitor do barramento do filtro ativo
$I_{CA_{pk}}$	Corrente de pico da rede
$I_{L_{in}}$	Corrente de entrada do estágio CC-CC
$i_{L_s}(t)$	Corrente de saída do filtro ativo
$i_{ca}(t)$	Corrente CA do lado da rede
$i_{cc}(t)$	Corrente de saída do estágio CC-CC
I_{GES}	Corrente através do gatilho e emissor da chave de potência
$i_{inv}(t)$	Corrente de entrada do estágio CC-CA
$I_{L_{2f}}(s)$	Transformada de Laplace da corrente de saída do filtro LCL
I_m	Corrente média de entrada do estágio CC-CA
I_{rede}	Corrente da rede elétrica
I'_{α}, I'_{β}	Correntes fictícias do PLL
$K_{id_{cc-cc}}$	Ganho da função de transferência da malha de corrente do estágio CC-CC
K_f	Ganho de alimentação <i>feedforward</i>
K_i	Ganho integral do controlador PI
K_p	Ganho proporcional do controlador PI
L	Indutância do filtro L
L_{1f}	Indutância do lado do conversor do filtro LCL
L_{2f}	Indutância do lado da rede do filtro LCL
L_{in}	Indutância de entrada do estágio CC-CC
L_{rede}	Indutância da rede
L_s	Indutância do filtro ativo
L_{total}	Indutância total do filtro LCL
m_a	Índice de modulação
$P(z^{-1})$	Polinômio característico dos polos desejados em malha fechada
p', q'	Potências fictícias ativa e reativa utilizadas no PQ-PLL

P_{CA}	Potência do estágio CC-CA
P_{CC}	Potência do estágio CC-CC
$p_{inv}(t)$	Potência de entrada do estágio CC-CA
P_m	Valor médio da potência de entrada do estágio CC-CA
$P_{m\text{pico}}$	Valor de pico da potência de entrada do estágio CC-CA
P_o	Potência de saída do conversor
P_{perdas}	Potência que representa as perdas
Q_{Cf}	Potência reativa na frequência fundamental absorvida pelo capacitor C_f
Q_g	Carga total no gatilho durante o acionamento
Q_{gc}	Carga entre gatilho e coletor durante o acionamento
Q_{ge}	Carga entre gatilho e emissor durante o acionamento
R	Resistência fictícia utilizada como carga no estágio CC-CC
R_f	Resistência de amortecimento do filtro LCL
$R(z^{-1})$	Polinômio numerador da função de transferência do controlador PI
$r_{C_{lk}}$	Resistência série do capacitor do elo CC
r_e	Resistência do modelo da chave PWM
r_L	Resistência série dos indutores
R_M	Resistência shunt do sensor de corrente
s_{z0}	Polo da função de transferência da malha de corrente do estágio CC-CC
S_i	i -ésima chave de potência do conversor
$S(z^{-1})$	Polinômio denominador da função de transferência do controlador PI
T	Período de chaveamento
t_0, t_1, t_2, t_3, t_4	Tempos das etapas de operação do conversor
$u[k]$	Sinal de controle no instante k
$\hat{v}_{\text{pré-filtro}}$	Tensão antes do filtro LCL
\hat{v}_{ab}	Perturbação da tensão antes do filtro LCL
\hat{V}_{cc}	Componente alternada da tensão do elo CC
\hat{v}_{CC}	Perturbação da tensão do elo CC

V_{CApk}	Valor de pico da tensão da rede
V_{CC}	Tensão do elo CC
V_{in}	Tensão do barramento CC
$V_{triangular}$	Valor de pico da tensão da portadora do SPWM
V_{CEon}	Tensão de saturação entre coletor e emissor
$v_{C_s}(t)$	Tensão do barramento do filtro ativo
V_{ccmax}	Tensão máxima no elo CC
V_{ccmin}	Tensão mínima no elo CC
$V_{pré-filtro}$	Tensão média pré-filtro do estágio CC-CA
V_A, V_B, V_C	Tensões trifásicas A, B, C
$v_{ca}(t)$	Tensão do lado CA
$v_{cc}(t)$	Tensão no elo CC
V_{CES}	Tensão máxima entre coletor e emissor da chave de potência
V_{fund}	Componente na frequência fundamental da rede da tensão pré-filtro do estágio CC-CA
V_{rede}	Tensão eficaz da rede elétrica
$V_{Si_{max}}$	Tensão máxima na i-ésima chave de potência
V_{SW}	Componente na frequência de chaveamento da tensão pré-filtro do estágio CC-CA
V_{α}, V_{β}	Tensões fictícias do PLL
x	Variável auxiliar para o dimensionamento do filtro LCL
$Z_{L_{total}}$	Impedância da indutância total do filtro LCL
$\Delta V_{L_{2f}}$	Máxima ondulação de corrente no indutor do lado da rede do estágio CC-CA
$\Delta I_{L_{in}}$	Máxima ondulação de corrente no indutor de entrada do estágio CC-CC
ΔI_{L_s}	Máxima ondulação de corrente no indutor do filtro ativo
ΔI_{rede}	Máxima ondulação de corrente da rede
ΔV_{CC}	Máxima ondulação da tensão no elo CC
η	Relação entre a frequência fundamental e a de chaveamento
λ	Fator de potência reativo
σ	Índice de atenuação das harmônicas de chaveamento

φ_I	Defasagem da parcela alternada da corrente de entrada do elo CC
φ'_I	Defasagem da parcela alternada da corrente de entrada do estágio CC-CA
φ_V	Defasagem da parcela alternada da tensão no elo CC
$\omega_{\text{polo1}}, \omega_{\text{polo2}}$	Polos do circuito condicionador de sinais
ω_r	Frequência da rede em rad/s
ω_{res}	Frequência de ressonância do filtro LCL em rad/s
ω_{SW}	Frequência de chaveamento em rad/s

SUMÁRIO

1	INTRODUÇÃO GERAL	14
1.1	Motivação	14
1.2	Objetivos	16
1.3	Estrutura do trabalho	16
2	REVISÃO BIBLIOGRÁFICA	18
2.1	Introdução	18
2.2	Filtro de interconexão entre o estágio CC-CA e a rede elétrica	18
2.2.1	<i>Comparação entre os filtros L e LCL amortecido</i>	23
2.3	Filtro para redução da capacitância do elo CC	25
2.4	Conversor proposto	35
3	ANÁLISE DO CONVERSOR PROPOSTO	36
3.1	Introdução	36
3.2	Estágio CC-CC	36
3.2.1	<i>Análise Qualitativa</i>	36
3.2.2	<i>Análise Quantitativa</i>	39
3.2.3	<i>Modelo de pequenos sinais</i>	40
3.3	Estágio CC-CA	42
3.3.1	<i>Análise Qualitativa</i>	42
3.3.2	<i>Análise Quantitativa</i>	44
3.3.3	<i>Modelo de pequenos sinais</i>	49
3.4	Filtro Ativo	50
3.4.1	<i>Análise Qualitativa</i>	50
3.4.2	<i>Análise Quantitativa</i>	52
3.4.3	<i>Modelo de pequenos sinais</i>	54
3.5	Projeto do Circuito de Potência	55
4	PROJETO DO CONTROLE DIGITAL	65
4.1	Introdução	65
4.2	Microcontrolador adotado	65
4.3	Modulador PWM, circuito de condicionamento de sinais, sensores e ganho do conversor A/D	66
4.4	Projeto dos controladores discretos	76

4.4.1	<i>Malha de corrente do estágio CC-CC</i>	76
4.4.2	<i>Malha de corrente do estágio CC-CA</i>	81
4.4.3	<i>Malha de tensão do estágio CC-CA</i>	86
4.4.4	<i>Malha de corrente do filtro ativo</i>	91
4.5	Sincronismo com a Rede Elétrica	96
4.6	Aritmética de Ponto Fixo	100
5	RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS	106
5.1	Introdução	106
5.2	Resultados de Simulação	107
5.2.1	<i>Sincronismo com a rede</i>	107
5.2.2	<i>Simulação do Estágio CC-CC</i>	109
5.2.3	<i>Simulação do Estágio CC-CA</i>	110
5.2.4	<i>Simulação Topologia completa</i>	111
5.3	Resultados Experimentais	113
5.3.1	<i>Resultados do Sincronismo com a Rede</i>	115
5.3.2	<i>Resultados do Estágio CC-CC</i>	116
5.3.3	<i>Resultados do Estágio CC-CA</i>	116
5.3.4	<i>Resultados Experimentais da Topologia Completa</i>	119
6	CONCLUSÃO	124
	REFERÊNCIAS	126
	APÊNDICE A – PCB E ESQUEMÁTICO DAS PLACAS	
	DESENVOLVIDAS	130
	APÊNDICE B – ROTINAS EM MATLAB	139
	APÊNDICE C – EXEMPLO DE ROTINA PARA IMPLEMENTAÇÃO	
	DO CONTROLADOR NO DSPIC	140

1 INTRODUÇÃO GERAL

1.1 Motivação

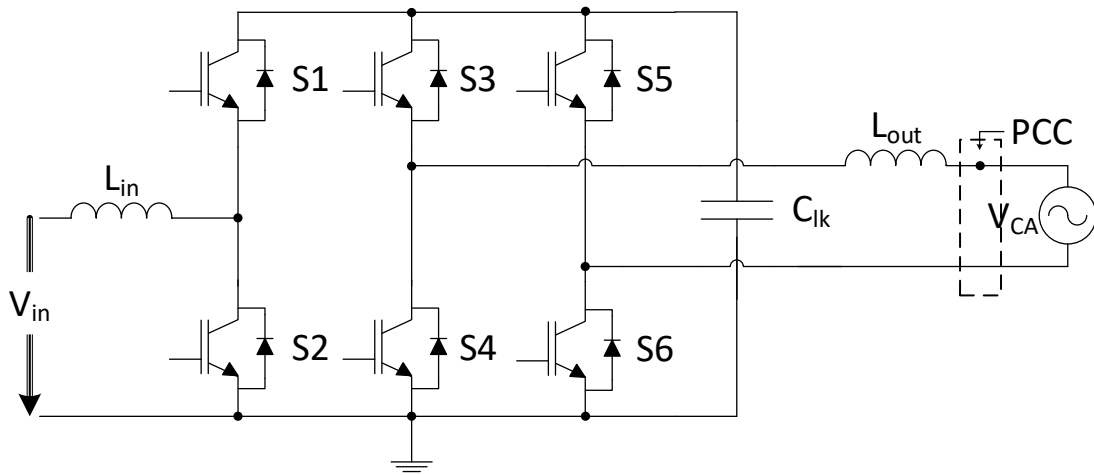
Na última década, o estudo de microrredes tem recebido especial atenção devido aos seguintes aspectos (LOFTI *et al*, 2017 e PARHIZI *et al*, 2015):

- a) Aumento na Confiabilidade: Um dos principais benefícios na utilização de microrredes é o aumento na confiabilidade, isto é, o aumento na possibilidade de o suprimento de energia aos consumidores ser realizado sem nenhuma falha. Tal aumento se justifica por dois motivos: o controle e automação intrínsecos a microrrede e a utilização de unidades de geração de energia elétrica próximas aos consumidores o que permite a operação na condição de ilha da rede elétrica local.
- b) Redução do congestionamento da rede: Outro benefício direto da utilização de microrredes é a diminuição do congestionamento da rede elétrica da concessionária local, uma vez que, com a presença de unidades de geração de energia próximas aos consumidores, a geração convencional (hidrelétricas, termelétricas e afins) é menos requisitada, acarretando em uma diminuição no carregamento do sistema de transmissão;
- c) Diminuição da emissão de gases poluentes: A diminuição da emissão de gases poluentes provenientes dos sistemas de geração convencional, tipicamente termelétricas, é um benefício indireto da utilização de microrredes. Uma vez que em tais aplicações utiliza-se unidades de geração de energia elétrica a partir de fontes renováveis de energia localizadas próximas as unidades consumidoras, tem-se como consequência a diminuição da necessidade de geração das termelétricas e, conseqüentemente, a redução da emissão de gases poluentes provenientes deste tipo de geração de energia.

Neste contexto, diversas topologias de conversores têm sido estudadas com a finalidade de realizar a conexão entre as microrredes e o sistema elétrico da concessionária local.

Dentre tais topologias tem-se a proposta por SANTOS, 2014 que tem por finalidade a conexão de uma microrrede CC à rede elétrica, conforme mostrada na figura 1.

Figura 1 – Topologia base



Fonte: Elaborada pelo Autor.

A topologia mostrada na figura 1 é tipicamente utilizada em microrredes de baixa tensão (CHEN et al, 2015). Tal topologia consiste de dois estágios: um estágio CC-CC elevador de tensão e um estágio CC-CA, sendo tais estágios interligados por um capacitor C_{1k} , doravante chamado de elo CC. A tensão V_{in} é referente ao barramento CC da microrrede e a tensão V_{rede} é referente à rede elétrica. As indutâncias L_{in} e L_{out} são referentes ao estágio de elevação da tensão do barramento CC e a filtragem da corrente injetada na rede elétrica, respectivamente. A capacitância C_{1k} é referente ao capacitor do elo CC.

As principais vantagens desta topologia, segundo SANTOS, 2014, são listadas a seguir:

- a) Permite o fluxo de potência tanto no sentido da microrrede para a rede elétrica como o inversor, isto é, permite a bidirecionalidade no sentido da corrente elétrica;
- b) Poucos componentes, o que acarreta na diminuição do custo para sua construção;
- c) Estratégia de modulação simples e já consagrada na literatura (modulação PWM para o estágio CC-CC e modulação SPWM unipolar para o estágio CC-CA), possuindo diversos *drivers* comerciais desenvolvidos para esta finalidade.

Como principais desvantagens podemos elencar os seguintes pontos:

- a) Elevada capacitância do elo CC, acarretando na utilização de capacitores eletrolíticos e, conseqüentemente, diminuindo a vida útil do conversor;

- b) Filtro de saída puramente indutivo, o que acarreta em uma queda de tensão considerável entre a saída do inversor e o Ponto de Conexão Comum (PCC) com a rede elétrica.
- c) Não presença de transformador, isto é, inexistência de isolamento galvânica entre a rede elétrica local e a microrrede;

A motivação deste trabalho consiste em apresentar soluções para as desvantagens (a) e (b) da topologia base apresentada na figura 1 através de simulações computacionais e um protótipo experimental.

1.2 Objetivos

O objetivo deste trabalho é apresentar um conversor CC/CA de dois estágios, bidirecional com filtro ativo para redução da capacitância do elo CC, para interligar um barramento CC à rede elétrica CA.

Como objetivos específicos desta dissertação, têm-se:

- a) Realizar uma revisão bibliográfica dos principais tipos de filtros utilizados na interconexão de inversores monofásicos à rede elétrica, bem como na diminuição da capacitância do elo CC;
- b) Propor uma topologia a partir de modificações na topologia base apresentada na figura 1 a fim de aumentar a sua vida útil e diminuir o conteúdo harmônico da corrente injetada no barramento CA;
- c) Projetar o circuito de potência, medição, condicionamento de sinais e controle da topologia a ser proposta;
- d) Realizar simulações computacionais dos circuitos de potência e controle utilizando software dedicado;
- e) Implementar um protótipo experimental a fim de validar os resultados de simulação.

1.3 Estrutura do trabalho

No capítulo 1 é realizada uma introdução geral do trabalho e contextualização do tema abordado nesta dissertação, descrevendo os objetivos e metodologia utilizados neste trabalho.

No capítulo 2 é realizada uma revisão bibliográfica dos principais filtros utilizados entre a saída do inversor e o PCC, sendo analisada, dentre outras características, a capacidade de atenuação das principais harmônicas presentes na corrente injetada no barramento CA. Também é realizada uma revisão na literatura das principais topologias de filtros utilizados para a redução da capacitância do elo CC.

No capítulo 3 é apresentando o conversor proposto, sendo realizado o projeto do circuito de potência, do filtro ativo meia ponte conectado ao elo CC, bem como do filtro LCL utilizado entre a saída do estágio CC-CA e o PCC.

No capítulo 4 é apresentando o microcontrolador utilizado para a implementação do controle digital do conversor proposto, sendo dimensionado todos os circuitos de aferição de corrente e tensão, bem como os circuitos de condicionamento de sinal. Também é neste capítulo que os controladores digitais são projetados, sendo demonstrado o passo a passo do projeto dos controladores discretos e a sua implementação no microcontrolador escolhido.

No capítulo 5 são apresentados os resultados de simulação e experimentais do protótipo de 2 kW a fim de testar e validar o conversor proposto no capítulo 3.

Por fim, são feitas as considerações finais sobre este trabalho, bem como são dadas sugestões para trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

2.1 Introdução

Neste capítulo é realizada uma revisão bibliográfica dos principais filtros utilizados na saída do estágio inversor para realizar a interface com a rede elétrica local, sendo comparados em termos de atenuação de harmônicas, corrente de partida, dificuldade de projeto e controle. Também são apresentadas as principais soluções de filtragem da harmônica de segunda ordem inerente ao elo CC, sendo comparada em termos de esforços sobre os componentes e de dificuldade computacional para a implementação do controle. Por fim, é apresentado o conversor a ser estudado neste trabalho.

2.2 Filtro de interconexão entre o estágio CC-CA e a rede elétrica

A atenuação do conteúdo harmônico da corrente de saída do estágio inversor é necessária uma vez que normas internacionais, tal como IEEE 1547 (*Standard for Interconnecting Distributed Resources with Electric Power Systems*), e normas nacionais, tal como ABNT NBR 16149:2013 (Sistemas fotovoltaicos (FV) – Características da interface de conexão com a rede elétrica de distribuição), estipulam limites para o conteúdo harmônico da corrente injetada na rede.

Na tabela 1 são apresentados os limites normativos de distorção harmônica da corrente injetada no PCC definidos na ABNT NBR 16149:2013.

Tabela 1 – Limite de distorção harmônica da corrente no PCC

Harmônicas ímpares	Limite de Distorção
3° a 9°	< 4,0%
11° a 15°	< 2,0%
17° a 21°	< 1,5%
23° a 33°	< 0,6%
Harmônicas ímpares	Limite de Distorção
2° a 8°	< 1,0%
10° a 32°	< 0,5%

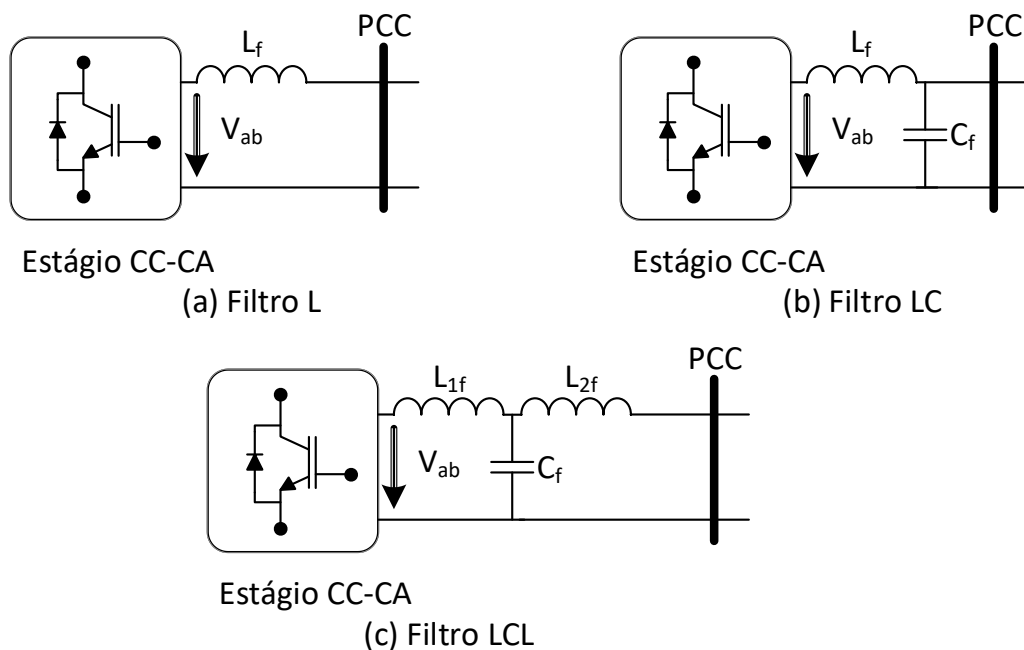
Fonte: ABNT NBR 16149:2013.

Os limites apresentados na tabela 1 devem ser obrigatoriamente respeitados pelo conversor somente em potência nominal. Além dos limites de distorção harmônica individuais apresentados na tabela 1, a norma ABNT NBR 16149:2013 define um limite máximo de 5,0% para a Distorção Harmônica Total (THD) da corrente no PCC.

A norma ABNT NBR 16150:2013 que trata dos procedimentos de ensaio de conformidade de sistemas fotovoltaicos estipula que, além do registro em potência nominal, devem ser realizados os registros do conteúdo harmônico da corrente injetada na rede elétrica em 10%, 20%, 30%, 50% e 75% da potência nominal. Apesar de não ser um critério de conformidade, a análise do conteúdo harmônico em diferentes níveis de carregamento do sistema pode ser utilizada como parâmetro de performance do inversor.

Na figura 2 são apresentados os três tipos de filtros comumente utilizados no PCC a fim de atender aos limites impostos na tabela 1 (CHA *et al*, 2010).

Figura 2 – Filtros comumente utilizados no PCC

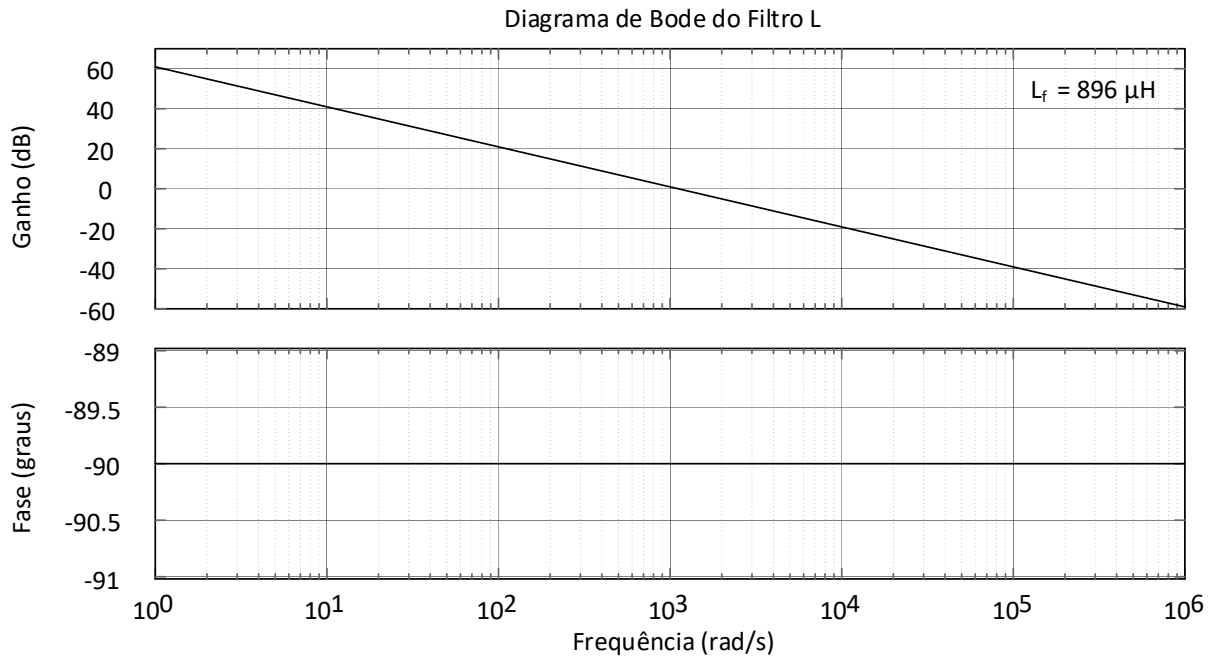


Fonte: Elaborada pelo Autor.

O filtro L, apresentado na figura 2(a), é o mais popular e simples dos filtros utilizados. Possui como principal vantagem a simplicidade de projeto e implementação. A função de transferência e o diagrama de Bode do filtro L são apresentados em (1) e na figura 3, respectivamente, sendo i_{rede} a perturbação na corrente injetada no PCC e v_{ab} a perturbação na tensão de saída do estágio CC-CA.

$$G_{\text{filtro}_L}(s) = \frac{i_{\text{rede}}}{\hat{v}_{ab}} = \frac{1}{Ls} \quad (1)$$

Figura 3 – Diagrama de Bode do filtro L



Fonte: Elaborada pelo Autor.

A partir de (3) e da figura 3 tem-se que o filtro L é de primeira ordem, possuindo um polo localizado na origem. Sua atenuação é de -20 dB/década, portanto um alto valor de indutância é necessário para atenuar as harmônicas de corrente de maneira satisfatória ocasionando no aumento da constante de tempo de (1) e, conseqüentemente uma resposta lenta na dinâmica do sistema. Outra desvantagem é uma queda de tensão considerável sobre o indutor, haja vista que toda a corrente circula através do filtro (ANZALCHI *et al*, 2017).

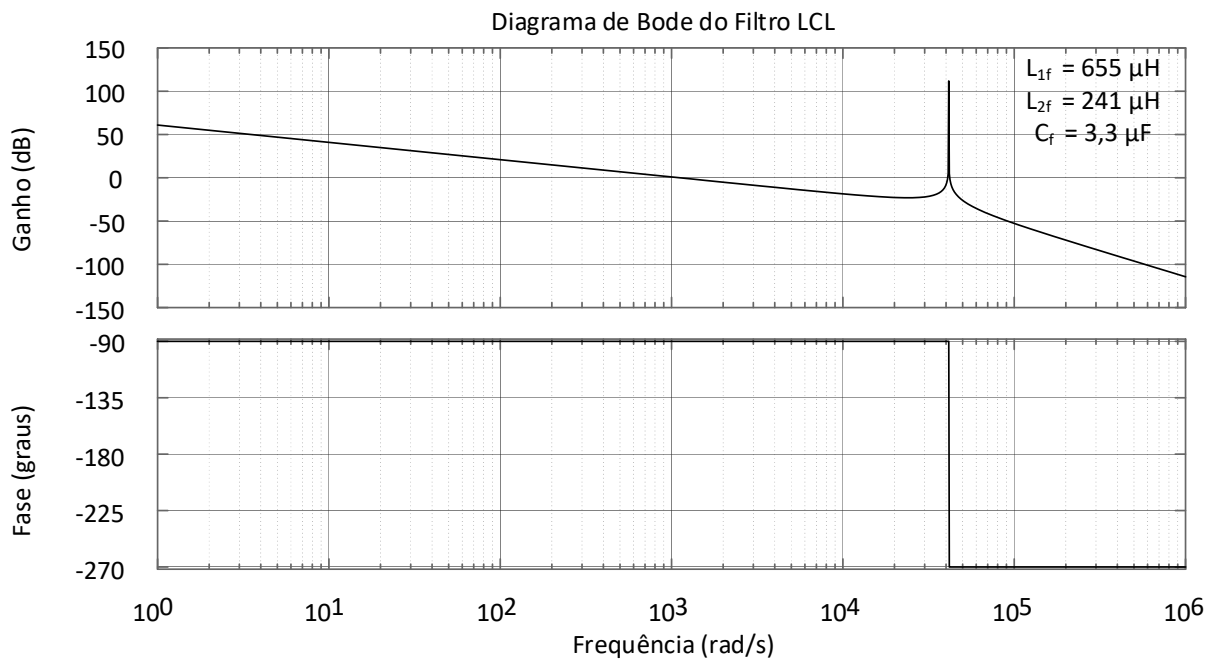
O filtro LC, apresentado na figura 2(b) é proveniente da conexão de um capacitor *shunt* ao filtro L. Este tipo de filtro é recomendado para aplicações *off-grid* onde o PCC é conectado a cargas (lineares ou não-lineares). Em aplicações *on-grid* a capacitância do filtro é conectada em paralelo à rede elétrica, acarretando em uma corrente de partida elevada, em um aumento na energia reativa absorvida e na variação a todo instante na frequência de ressonância intrínseca ao filtro (CHA *et al*, 2010), fazendo com que este filtro não seja utilizado em aplicações conectadas à rede elétrica.

Por fim tem-se o filtro LCL apresentado na figura 2(c). Possui como principais vantagens: uma melhor atenuação das harmônicas da corrente de saída; menor distorção da corrente injetada na rede uma vez que o capacitor auxilia na diminuição da ondulação em alta

frequência; melhor desacoplamento entre o filtro e a rede; valores de indutância e capacitância menores (CHA *et al*, 2010). A função de transferência e o diagrama de Bode do filtro LC são apresentados em (2) e na figura 4, respectivamente.

$$\left\{ \begin{array}{l} G_{\text{filtroLCL}}(s) = \frac{i_{\text{rede}}}{\hat{v}_{ab}} = \frac{1/L_{1f}L_{2f}C_f}{s \left(s^2 + (L_{1f} + L_{2f})/L_{1f}L_{2f}C_f \right)} \\ \omega_{\text{res}} = \sqrt{\frac{L_{1f} + L_{2f}}{L_{1f}L_{2f}C_f}} \text{ (sem a influência da rede)} \\ \omega_{\text{res}} = \sqrt{\frac{L_{1f} + L_{2f} + L_{\text{rede}}}{L_{1f}(L_{2f} + L_{\text{rede}})C_f}} \text{ (com a influência da rede)} \end{array} \right. \quad (2)$$

Figura 4 – Diagrama de Bode do filtro LCL



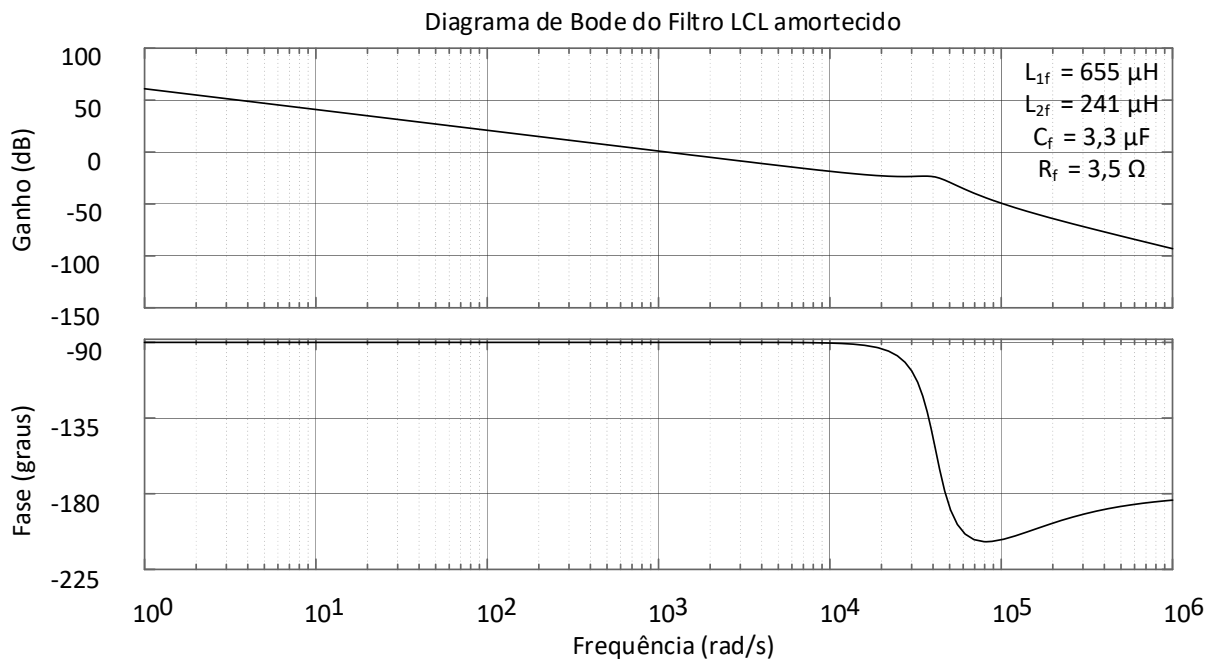
Fonte: Elaborada pelo Autor.

A partir de (4) e da figura 4 tem-se que o filtro LCL possui um polo localizado na origem e outros dois polos complexos conjugados localizados em $\pm j\omega_{\text{res}}$. A sua atenuação é de -20 dB/década no intervalo de frequência compreendido entre a origem e a frequência ressonante e de -60 dB/década após a ressonância.

Uma resistência pode ser inserida no ramo shunt do filtro LCL a fim de atenuar o efeito da ressonância, conforme mostrado em (3) e no diagrama de Bode da figura 5.

$$G_{\text{filtro}_{\text{LCL-amort}}}(s) = \frac{R_f}{L_{1f}L_{2f}} \frac{s + 1/R_f C_f}{s \left(s^2 + (L_{1f} + L_{2f})R_f/L_{1f}L_{2f} s + (L_{1f} + L_{2f})/L_{1f}L_{2f}C_f \right)} \quad (3)$$

Figura 5 – Diagrama de Bode do filtro LCL com amortecimento

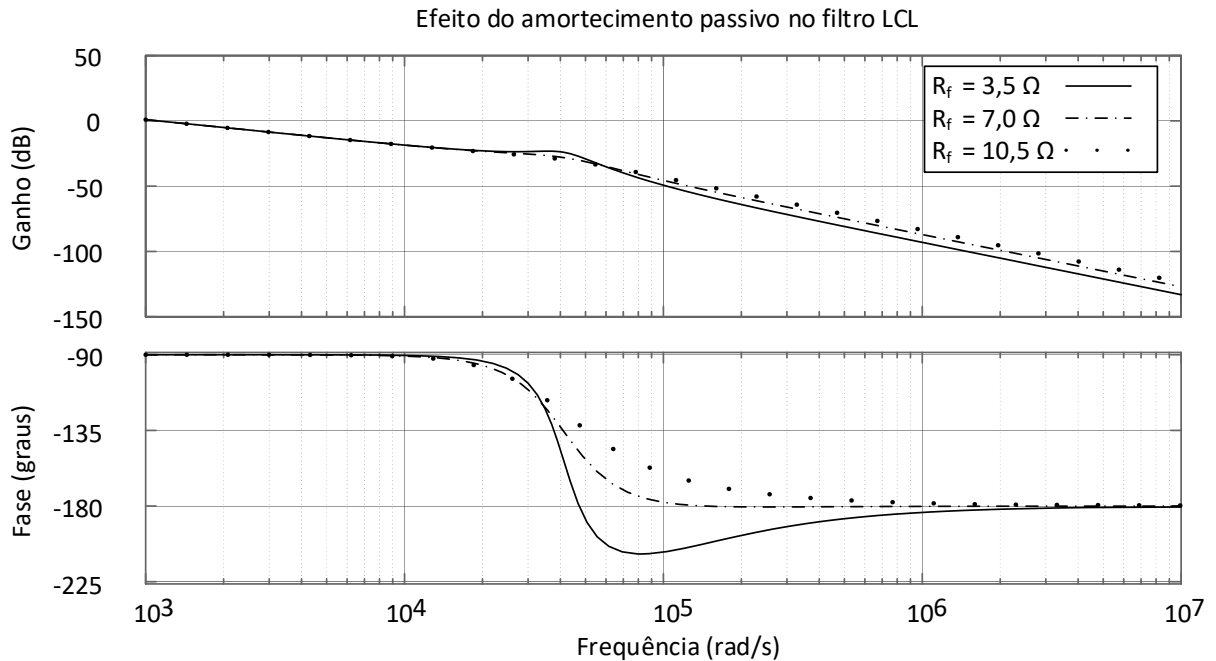


Fonte: Elaborada pelo Autor.

O filtro LCL amortecido apresentado em (3) possui um zero adicional quando comparado com a sua versão não amortecida. O acréscimo deste zero acarreta na diminuição do pico de ressonância, conforme mostrado na figura 5. Em adicional, o amortecimento passivo traz consigo uma desvantagem: a diminuição da atenuação natural do filtro à medida que o valor da resistência aumenta, conforme é mostrado na figura 6.

Da figura 6 percebe-se que com o aumento da resistência de amortecimento, apesar da desvantagem de reduzir a atenuação, tem como vantagem proporcionar um avanço de fase, acarretando em uma maior estabilidade do filtro LCL. É interessante realizar uma comparação na capacidade de atenuar as harmônicas dos filtros L e LCL amortecido, conforme mostrado na próxima seção. O filtro LC e o filtro LCL não amortecido não são analisados uma vez que o primeiro não é adequado para aplicações *on-grid* e o segundo possui um ele valor pico de ressonância.

Figura 6 – Efeitos da resistência de amortecimento no filtro LCL



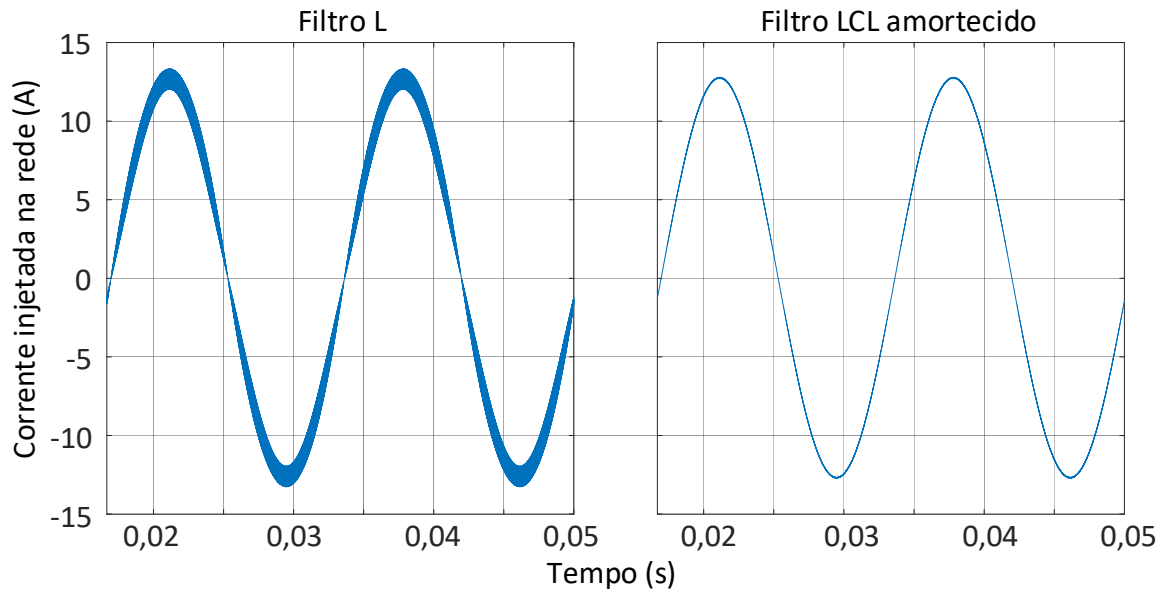
2.2.1 Comparação entre os filtros L e LCL amortecido

Uma comparação da capacidade de atenuar as harmônicas dos filtros L e LCL amortecido é realizada nesta seção. Para tal, considerou-se uma tensão fixa de 400 V na entrada do estágio inversor, tensão da rede de 220 V, potência nominal de 2 kW e um controlador do tipo PI (Proporcional-Integral) para o controle da corrente injetada na rede. Para o filtro L adotou-se uma indutância de 896 μH e para o filtro LCL uma indutância do lado do inversor de 655 μH , uma indutância do lado da rede de 241 μH , uma capacitância de 3,3 μF e uma resistência de amortecimento de 3,5 Ω . A determinação destes valores é demonstrada no capítulo 3 no projeto do filtro de saída.

Na figura 7 tem-se a comparação das formas de onda da corrente de saída dos filtros L e LCL. Observa-se que o filtro LCL apresenta menor oscilação na corrente de saída e, conseqüentemente, um baixo valor de THD, sendo igual a 0,32 %. O filtro L apresenta maiores oscilações na corrente de saída e um valor de THD mais elevada, sendo igual a 4,74 %. Portanto, quanto ao THD o filtro LCL apresentou uma capacidade de atenuação de harmônicas de aproximadamente 10 vezes maior quando comparado com o filtro L.

Na tabela 2 são apresentados os valores de distorção individual verificados via simulação para os filtros L e LC.

Figura 7 – Comparação entre os filtros L e LCL



Fonte: Elaborada pelo Autor.

Tabela 2 – Comparação da atenuação das harmônicas entre os filtros L e LC

Harmônicas ímpares	Distorção Filtro L	Distorção Filtro LCL	Harmônicas pares	Distorção Filtro L	Distorção Filtro LCL
3°	0,185%	0,014%	2	0,002%	0,000%
5°	0,009%	0,003%	4	0,001%	0,000%
7°	0,002%	0,002%	6	0,001%	0,000%
9°	0,003%	0,003%	8	0,001%	0,000%
11°	0,003%	0,003%	10	0,001%	0,000%
13°	0,003%	0,004%	12	0,001%	0,000%
15°	0,003%	0,004%	14	0,001%	0,000%
17°	0,003%	0,004%	16	0,001%	0,000%
19°	0,003%	0,004%	18	0,001%	0,000%
21°	0,003%	0,004%	20	0,001%	0,000%
23°	0,003%	0,005%	22	0,001%	0,000%
25°	0,003%	0,005%	24	0,001%	0,000%
27°	0,004%	0,005%	26	0,001%	0,000%
29°	0,004%	0,005%	28	0,002%	0,000%
31°	0,005%	0,005%	30	0,001%	0,000%
33°	0,005%	0,005%	32	0,001%	0,000%

Fonte: Elaborado pelo autor.

Analisando os resultados da tabela 1 tem-se que a diferença na atenuação das harmônicas individuais entre os filtros L e LCL se dá, principalmente, na terceira harmônica. De forma similar ao que ocorre no THD, o filtro LCL apresenta uma capacidade de atenuação da terceira harmônica de aproximadamente 13 vezes quando comparado com o filtro L.

Portanto, apesar da maior complexidade de projeto, uma vez que se deve levar em consideração, dentre outros aspectos, o efeito da ressonância e a máxima energia reativa absorvida pelo elemento shunt, o filtro LCL foi o escolhido para realizar a interface entre o inversor e a rede elétrica, haja vista a sua melhor atenuação das harmônicas e maior estabilidade e desacoplamento do inversor e da rede.

2.3 Filtro para redução da capacitância do elo CC

O conversor da figura 1 apresenta entre o estágio CC-CC e o estágio CC-CA um capacitor para desacoplar a potência de entrada CC e a potência de entrada CA. É necessário analisar o comportamento da tensão sobre o capacitor C_{lk} do elo CC antes de apresentar soluções para a redução do seu valor de capacitância. Tal comportamento pode ser determinado através da análise do fluxo de potência entre os estágios CC-CC e CC-CA desprezando-se as ondulações de alta frequência, uma vez que para atenuar tais ondulações de alta frequência um capacitor cerâmico ou de poliéster da ordem de microfarad pode ser utilizado (CAI *et al*, 2014), conforme apresentado em (4).

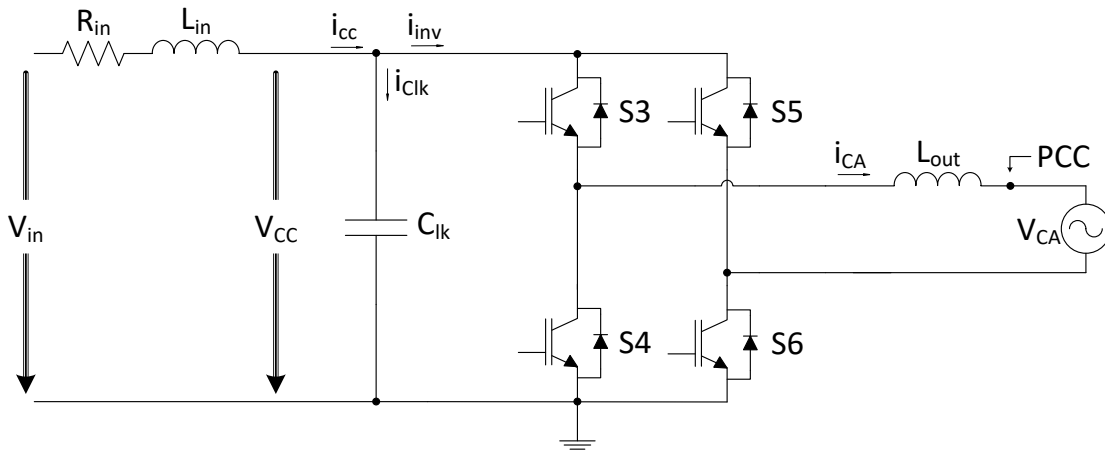
$$p_{inv}(t) = v_{ca}(t)i_{ca}(t) = v_{cc}(t)i_{cc}(t) \quad (4)$$

Sendo $p_{inv}(t)$ a potência instantânea do inversor, $v_{ca}(t)$ e $i_{ca}(t)$ a tensão e corrente instantâneas do lado da rede e $v_{cc}(t)$ e $i_{cc}(t)$ a tensão e corrente instantâneas de entrada do elo CC, conforme mostrado na figura 8.

O estágio CC-CC foi substituído na figura 8 por uma impedância $Z_{in} = R_{in} + sL_{in}$ a fim de simplificar a sua análise em baixas frequências.

Considerando que a tensão e a corrente da rede estão em fase, isto é, sincronizadas, e que a corrente de entrada do estágio inversor é constante, pode-se desenvolver (4) conforme mostrado em (5).

Figura 8 – Estágio CC-CA da topologia base



Fonte: Elaborada pelo Autor.

$$p_{inv}(t) = V_{CA_{pk}} \sin(\omega_r t) I_{CA_{pk}} \sin(\omega_r t) = \frac{V_{CA_{pk}} I_{CA_{pk}}}{2} (1 - \cos(2\omega_r t)) \quad (5)$$

Sendo $V_{CA_{pk}}$ e $I_{CA_{pk}}$ a tensão e a corrente de pico do lado da rede e ω_r a frequência angular da rede. Considerando que a ondulação de tensão sobre o capacitor C_{lk} é praticamente constante (seja pelo elevado valor de capacitância utilizado ou por algum circuito auxiliar que atenua as suas oscilações), a partir de (5) pode-se escrever a corrente de entrada do estágio inversor como sendo composta por um valor médio e por um valor alternado com frequência igual a $2\omega_r$, conforme mostrado em (6).

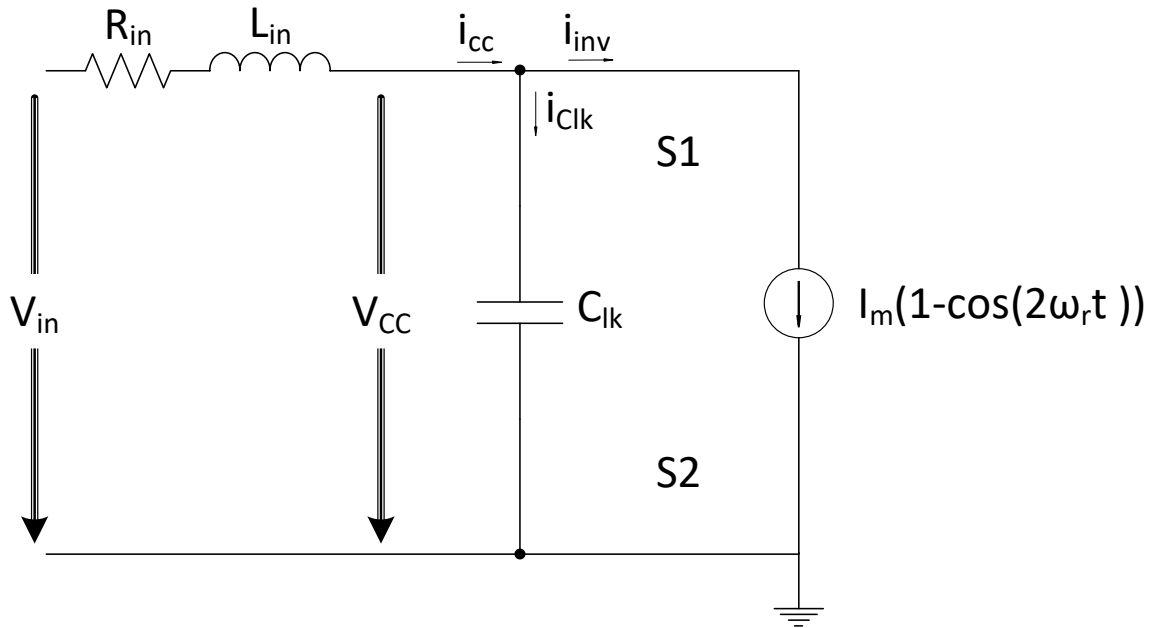
$$i_{inv}(t) = I_m (1 - \cos(2\omega_r t)) \quad (6)$$

Sendo I_m o valor médio da corrente de entrada do estágio inversor.

Logo, pode-se chegar ao circuito equivalente mostrado na figura 9 para analisar o comportamento do estágio CC-CA para baixas frequências (frequências próximas a frequência da rede elétrica).

Analisando o circuito da figura 9 e sabendo que a corrente $i_{inv}(t)$ e a tensão $v_{cc}(t)$ são ambas compostas por duas componentes: uma contínua e a outra alternada na frequência de $2\omega_r$. Conseqüentemente, a corrente $i_{cc}(t)$ de entrada do estágio CC-CA e a tensão $v_{cc}(t)$ do elo CC podem ser expressas por (7 e (8), respectivamente.

Figura 9 – Circuito equivalente em baixas frequências



Fonte: Elaborada pelo Autor.

$$v_{cc}(t) = V_{cc} + \hat{V}_{cc} \sin(2\omega_r t + \varphi_V) \quad (7)$$

$$i_{cc}(t) = I_{cc} + \hat{I}_{cc} \sin(2\omega_r t + \varphi_I) \quad (8)$$

Sendo V_{cc} e I_{cc} as parcelas constantes, \hat{V}_{cc} e \hat{I}_{cc} os valores de pico da ondulação e φ_V e φ_I a defasagem da parcela alternada da tensão e corrente de entrada do elo CC, respectivamente.

A corrente que circula através do capacitor C_{lk} pode ser determinada a partir de (9).

$$i_{C_{lk}}(t) = C_{lk} \frac{d}{dt} v_{cc}(t) = 2\omega_r C_{lk} \hat{V}_{cc} \cos(2\omega_r t + \varphi_V) \quad (9)$$

A corrente de entrada do estágio CC-CA pode então ser definida como sendo a soma de $i_{inv}(t)$ e $i_{C_{lk}}(t)$, como apresentado em (10).

$$i_{cc}(t) = i_{inv}(t) + i_{C_{lk}}(t) \Rightarrow \quad (10)$$

$$\Rightarrow I_{cc} + \hat{I}_{cc} \sin(2\omega_r t + \varphi_I) = I_m(1 - \cos(2\omega_r t)) + 2\omega_r C_{lk} \hat{V}_{cc} \cos(2\omega_r t + \varphi_V)$$

Uma vez que (10) deve ser verdadeira para todo instante, então as componentes contínua e alternada de ambos os lados da equação devem ser iguais, como apresentado em (11).

$$\begin{cases} I_{cc} = I_m \\ \hat{I}_{cc} \sin(2\omega_r t + \varphi_I) = -I_m \cos(2\omega_r t) + 2\omega_r C_{lk} \hat{V}_{cc} \cos(2\omega_r t + \varphi_V) \end{cases} \quad (11)$$

Uma vez que a corrente de saída do estágio CC-CC é praticamente contínua, haja vista a indutância de entrada do estágio CC-CC, a parcela \hat{I}_{cc} é nula, resultando em (12).

$$I_m \cos(2\omega_r t) = 2\omega_r C_{lk} \hat{V}_{cc} \cos(2\omega_r t + \varphi_V) \quad (12)$$

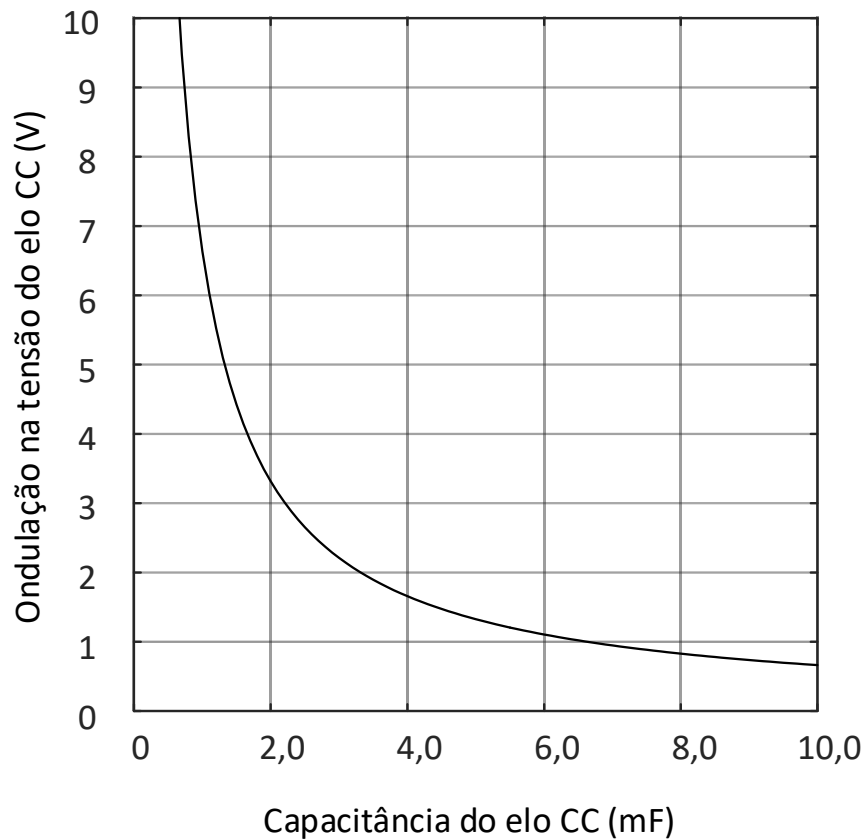
Logo, de (12) tem-se que $\varphi_V = 0$, portanto a ondulação \hat{V}_{cc} pode ser expressa por (13).

$$\hat{V}_{cc} = \frac{I_m}{2\omega_r C_{lk}} \quad (13)$$

De (13) tem-se que a oscilação da tensão no elo CC diminui à medida que o valor da capacitância adotada aumenta. Elevados valores de ondulação \hat{V}_{cc} na tensão do elo CC ocasionam distorções não desejadas na corrente de saída do inversor (CAI *et al*, 2014), sendo a solução convencional desde problema a utilização de associações série-paralelo de capacitores (GARCIA *et al*, 2003 e YU *et al*, 2011) no elo CC a fim de atingir elevadas capacitâncias (da ordem de milifarad), conforme mostrado na figura 10.

O gráfico da figura 10 considera uma tensão no elo CC de 400 V e uma potência nominal de 2 kW. Para uma tensão de 400 V no elo CC tem-se um valor típico de \hat{V}_{cc} (SANTOS, 2014) em torno de 4 V, sendo necessário um valor de capacitância de 1,7 mF. Valores de capacitância da ordem de milifarad exigem a utilização de capacitores eletrolíticos que possuem vida útil de aproximadamente 30.000 h, isto é, entre 3 e 4 anos (GAUTAM *et al*, 2017 e CAI *et al*, 2014), sendo bastante inferior a vida útil dos demais itens do sistema, tais como os painéis fotovoltaicos que possuem vida útil de 20 a 25 anos (SANGWONGWANICH *et al*, 2018).

Figura 10 – Relação entre C_{lk} e \hat{V}_{cc}



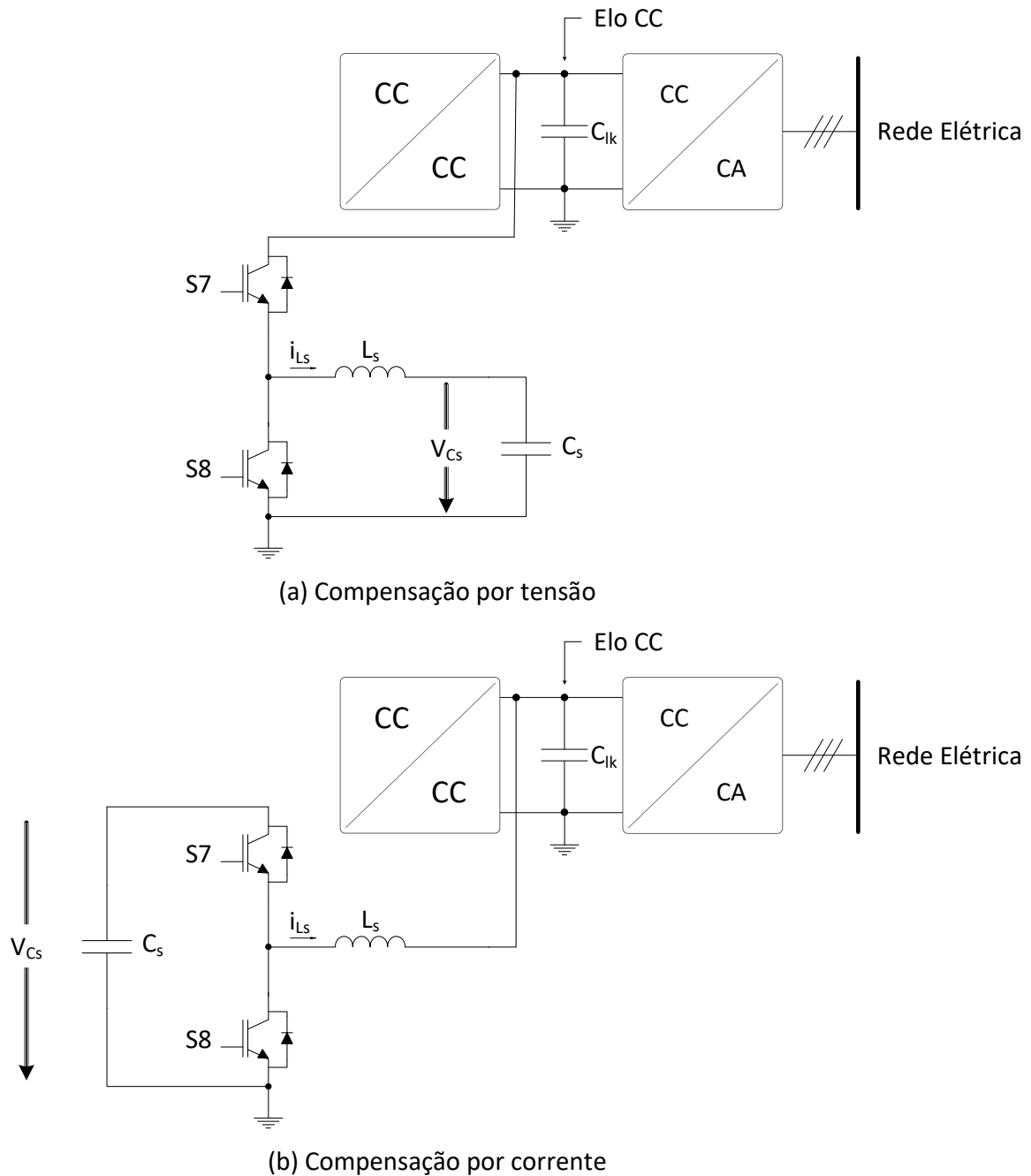
Fonte: Elaborada pelo Autor.

Logo, a fim de diminuir a capacitância do elo CC para valores da ordem de microfarad e possibilitar a utilização de capacitores de filme que possuem vida útil mais elevada, diversas técnicas são propostas na literatura com a utilização de filtros passivos e ativos (GE *et al*, 2016, LIN *et al*, 2014 e CAI *et al*, 2014).

Na última década, a utilização de filtros passivos, como por exemplo um circuito LC série ressonante em paralelo ao elo CC, tem sido substituídos por filtros ativos, pois, apesar da confiabilidade e simplicidade de projeto dos filtros passivos, estes apresentam maior custo e tamanho, além de ser específicos para um determinado nível de carregamento do conversor (CAI *et al*, 2014). Portanto, a utilização de filtros ativos tem crescido, principalmente, por possibilitar um menor aumento de volume e custo, apesar de introduzir mais elementos (chaves de potência, *drivers*...).

Na figura 11 tem-se as duas principais topologias de filtros ativos utilizados para reduzir a capacitância do elo CC em inversores monofásicos conectados à rede elétrica (BEZERRA, 2015, CAI *et al*, 2014, LIN *et al*, 2011 e WANG *et al*, 2011).

Figura 11 – Principais topologias de filtros ativos para redução de \hat{V}_{cc}



Fonte: Elaborada pelo Autor.

O filtro apresentado na figura 11 (a) realiza a compensação da ondulação da tensão do elo CC diretamente, enquanto o filtro apresentado na figura 11 (b) realiza a compensação da corrente alternada $i_c(t)$ que o capacitor C_{lk} deve fornecer para o estágio CC-CA.

A topologia de filtro ativo de compensação por tensão opera como um conversor *Buck-Boost* bidirecional (BEZERRA, 2015). Este filtro apresenta como principal vantagem

tem-se que todos os componentes do filtro estão submetidos, no máximo, a tensão do elo CC. A parcela alternada da potência $p_{inv}(t)$ apresentada em (5) deve ser fornecida pelo capacitor C_s , resultando em (14).

$$\frac{V_{CApk} I_{CApk}}{2} \cos(2\omega_r t) = \frac{1}{2} C_s \frac{d}{dt} v_{C_s}(t)^2 \quad (14)$$

Solucionando a equação diferencial (14) tem-se o comportamento da tensão sobre o capacitor C_s para o filtro da figura 13(a), conforme mostrado em (15).

$$v_{C_s}(t) = \sqrt{\frac{P_{m_{pico}}}{C_s \omega_r} (k - \cos(2\omega_r t))} \quad (15)$$

Sendo $P_{m_{pico}}$ e k dados por (16) e (17), respectivamente.

$$P_{m_{pico}} = \frac{V_{CApk} I_{CApk}}{2} \quad (16)$$

$$k = \left(\frac{V_{C_s}^2 C_s \omega_r}{P_{m_{pico}}} \right) - 1 \geq 1 \quad (17)$$

A corrente que circula por L_s e por C_s são iguais, conforme apresentado em (18).

$$i_{L_s}(t) = i_{C_s}(t) = C_s \frac{d}{dt} v_{C_s}(t) \Rightarrow \quad (18)$$

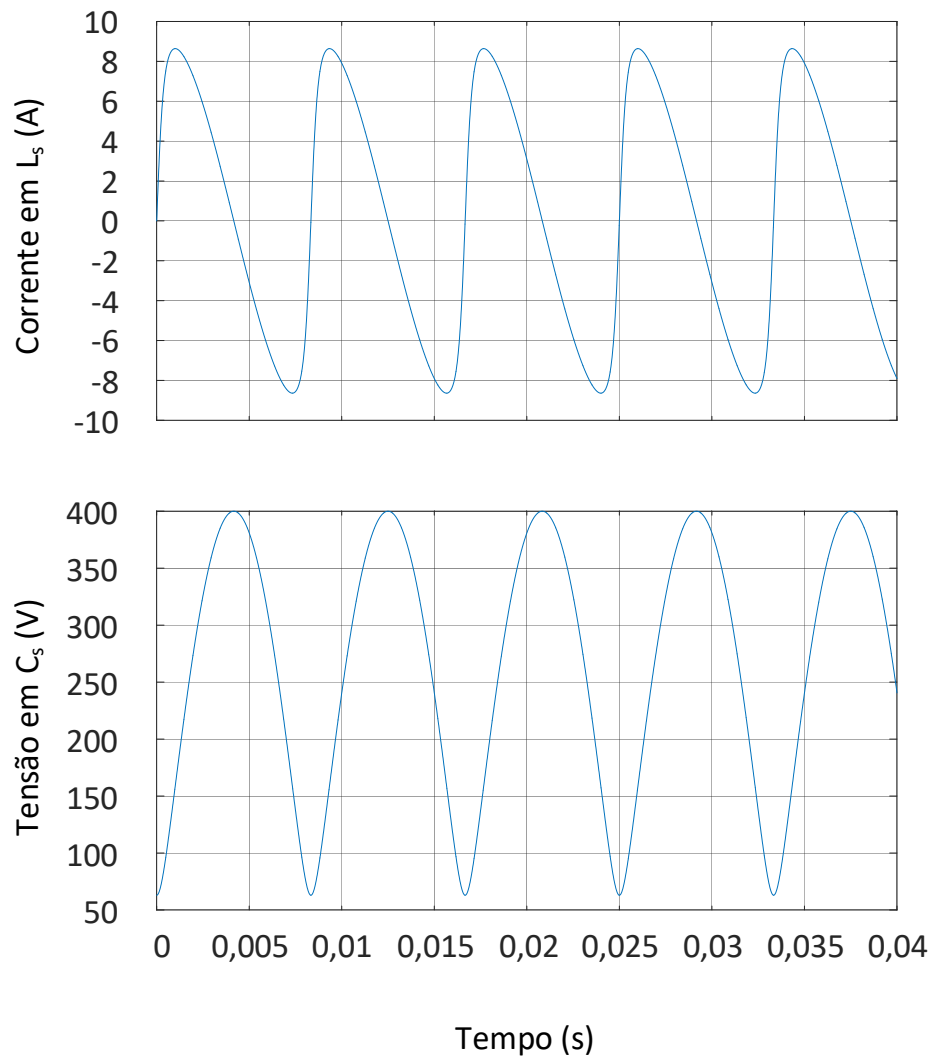
Logo, a corrente que circula pelo indutor L_s pode ser definida a partir de (15) e (18), conforme apresentado em (19).

$$i_{L_s}(t) = \frac{P_{m_{pico}} \operatorname{sen}(2\omega_r t)}{\sqrt{\frac{P_{m_{pico}}}{C_s \omega_r} (k - \cos(2\omega_r t))}} \quad (19)$$

Como apresentado em (BEZERRA, 2015), para uma tensão no elo CC de 400 V, potência nominal de 2 kW e tensão entre fase e neutro de 220 V, utiliza-se um capacitor C_s de 68 μF .

Na figura 12 são apresentadas as formas de onda da tensão e corrente no filtro ativo de compensação por tensão. A partir das formas de onda supracitadas tem-se que a tensão sobre o capacitor C_s varia entre um valor mínimo (próximo a 60 V) e o valor da tensão no elo CC (400 V). A corrente que circula através do indutor L_s atinge um pico de 8,6 A.

Figura 12 – Tensão e corrente no filtro ativo de compensação por tensão (baixas frequências)



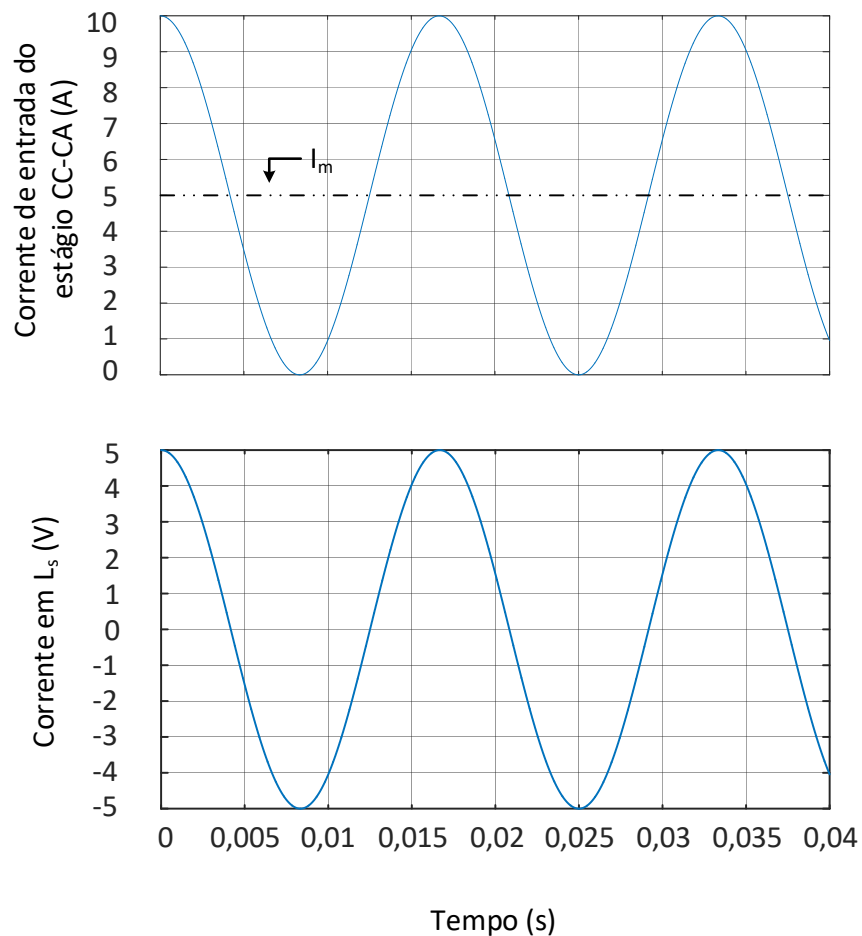
Fonte: Elaborada pelo Autor.

A topologia de filtro ativo de compensação por corrente opera como um inversor meia ponte. Este filtro apresenta como principal vantagem que a corrente que circula através da indutância L_s é igual a componente alternada da corrente de entrada do estágio CC-CA, fazendo com que os esforços de corrente sobre os componentes sejam menores do que o da topologia anterior. Logo, a partir de (6) pode-se determinar a corrente que circula através do indutor L_s , como mostrado em (20).

$$i_{L_s}(t) = -I_m \cos(2\omega_r t) = -I_m \sin\left(2\omega_r t + \frac{\pi}{2}\right) \quad (20)$$

Na figura 13 é apresentada a corrente de entrada do estágio CC-CA e a corrente de saída do filtro ativo de compensação por corrente, para uma tensão no elo CC de 400 V, potência nominal de 2 kW, tensão entre fase e neutro de 220 V e um capacitor C_s de 100 μF .

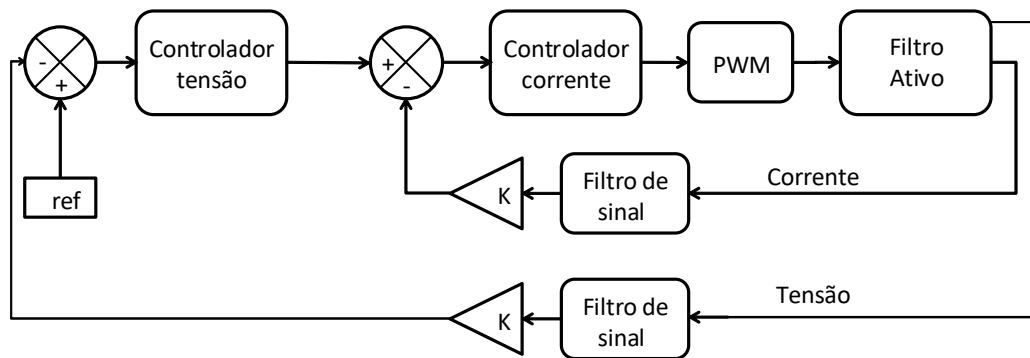
Figura 13 –Corrente de entrada do estágio CC-CA e no filtro ativo de compensação por corrente (baixas frequências)



A tensão sobre o capacitor C_s para o filtro ativo de compensação por corrente deve ser superior a tensão do elo CC, haja vista que tal topologia funciona como um inversor em meia ponte e, portanto, o índice de modulação das chaves S_7 e S_8 devem ser menores do que a unidade. Segundo CAI *et al*, 2014, para uma tensão no elo CC de 400 V a tensão no capacitor C_s pode variar de 500 V a 800 V, garantindo assim o bom funcionamento do inversor meia ponte.

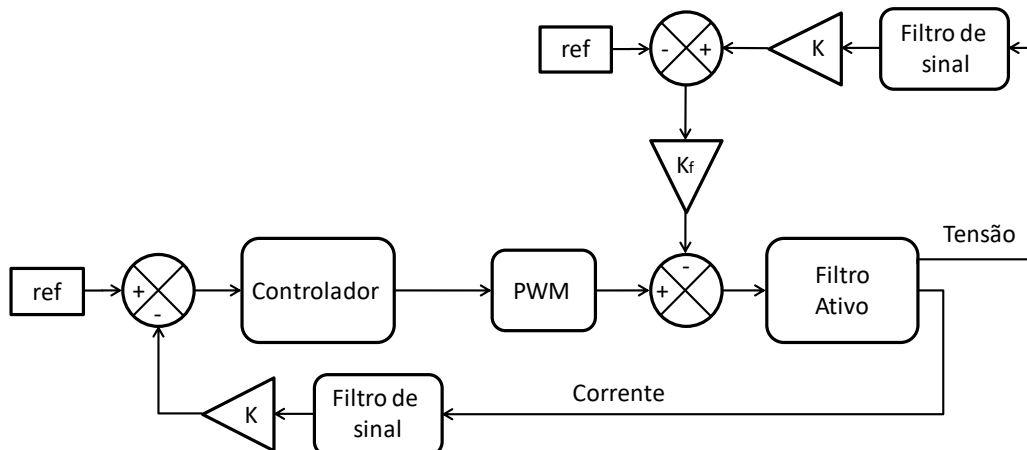
Os diagramas de controle do filtro ativo de compensação por tensão e do filtro ativo de compensação por corrente são apresentados nas figuras 14 e 15, respectivamente.

Figura 14 – Diagrama de controle do filtro ativo de compensação por tensão



Fonte: Elaborada pelo Autor.

Figura 15 – Diagrama de controle do filtro ativo de compensação por corrente



Fonte: Elaborada pelo Autor.

Observa-se da figura 14 que a estratégia adotada por BEZERRA, 2015 é composta por duas malhas: uma malha interna e rápida de corrente e outra malha externa e

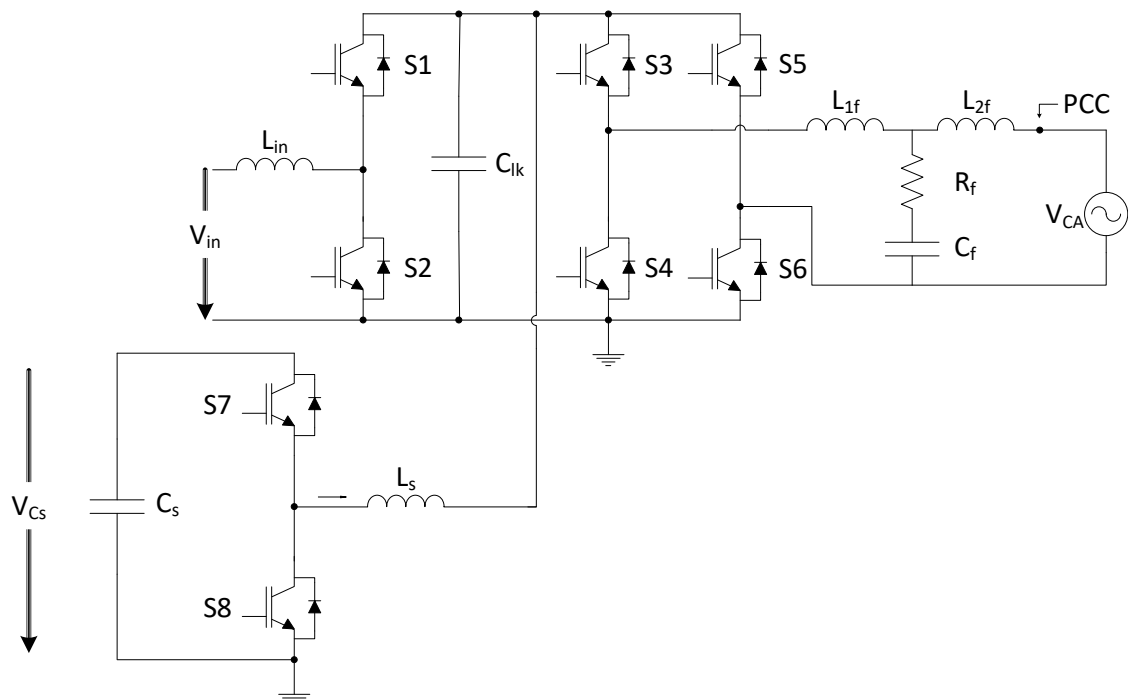
lenta de tensão, sendo a referência da malha de corrente gerada pela saída do controlador de tensão. Já a estratégia adotada neste trabalho é apresentada na figura 15, sendo composta por um único controlador e um ganho de realimentação *feedforward*.

A topologia apresentada na figura 11 (b) foi a escolhida neste trabalho para reduzir a capacitância do elo CC, pois, apesar da tensão sobre o capacitor C_s ser maior quando comparada com o filtro de compensação por tensão, os esforços de corrente sobre os componentes são menores e o controle é mais simples. Tal simplicidade no controle se deve ao fato de que para o filtro de compensação por tensão o cálculo da referência de tensão apresentado em (15) requer um esforço computacional elevado, uma vez que envolve operações como raiz quadrada e cosseno, enquanto que para o filtro escolhido a inserção de uma alimentação *feedforward* na malha de corrente consegue manter a tensão $v_{C_s}(t)$ maior do que a tensão do elo CC, como será abordado no capítulo 4.

2.4 Conversor proposto

Uma vez seleccionados os filtros de saída do estágio inversor e a técnica utilizada para redução da capacitância do elo CC, tem-se na figura 16 o conversor proposto neste trabalho.

Figura 16 – Conversor proposto



Fonte: Elaborada pelo Autor.

3 ANÁLISE DO CONVERSOR PROPOSTO

3.1 Introdução

Neste capítulo é realizada a análise qualitativa, quantitativa e obtido o modelo de pequenos sinais para o conversor proposto, sendo analisado o estágio CC-CC, o estágio CC-CA e o filtro ativo separadamente. Também são dimensionados os diversos componentes do circuito de potência para um protótipo de 2 kW, sendo apresentados os semicondutores, os circuitos para acionamento das chaves de potência (*drivers*), capacitores e indutores utilizados.

3.2 Estágio CC-CC

3.2.1 Análise Qualitativa

O estágio CC-CC do conversor proposto pode operar como elevador (*Boost*) ou abaixador (*Buck*) de tensão, a depender do sentido da corrente no indutor de entrada L_{in} . Na figura 17 são apresentadas as duas etapas de operação do estágio CC-CC que são similares para o modo Buck ou para o modo Boost, apenas alterando o sentido do fluxo de potência.

Sendo D_1 a razão cíclica da chave S_1 , D_2 a razão cíclica da chave S_2 e T o período de chaveamento das chaves S_1 e S_2 , pode-se definir as seguintes etapas de operação.

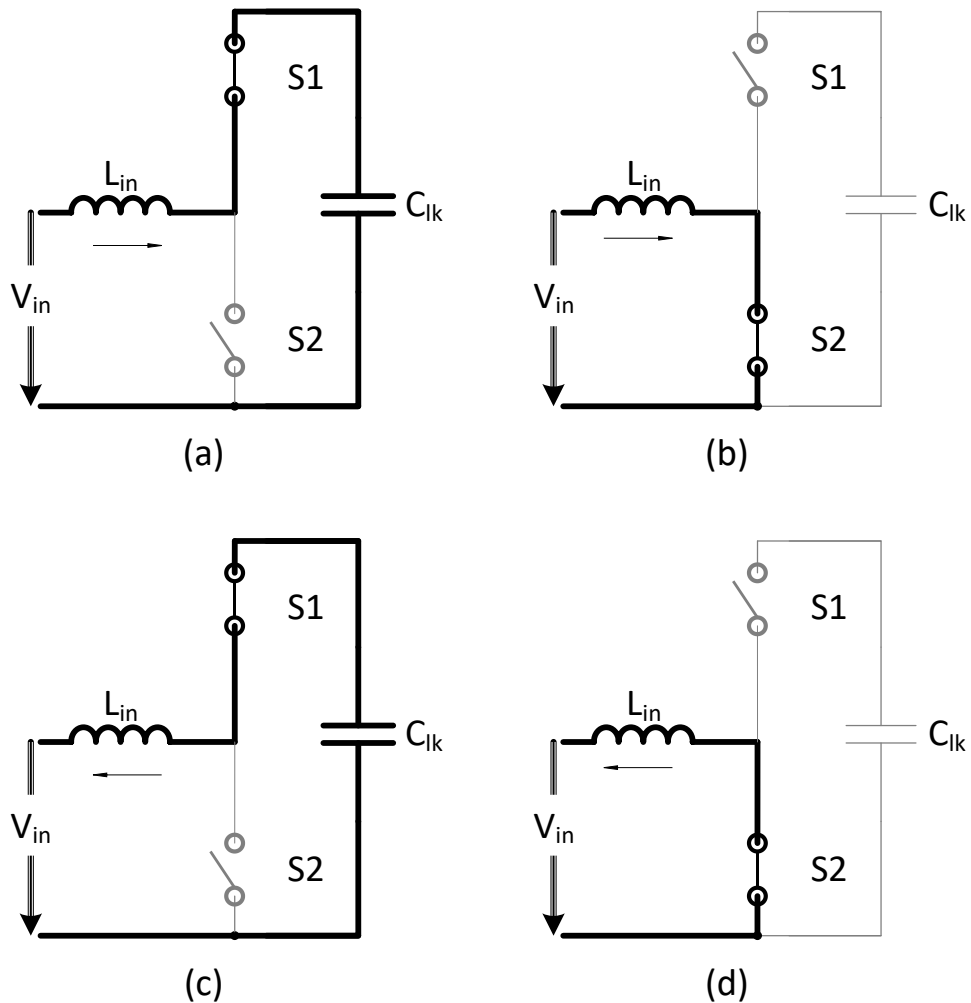
Primeira etapa de operação ($t_0 \leq t \leq D_1T$) - *Boost*: A chave S_2 está aberta e a chave S_1 está conduzindo, a fonte de entrada V_{in} e o indutor L_{in} alimentam o capacitor C_{lk} , como apresentado na figura 17 (a).

Segunda etapa de operação ($D_1T \leq t \leq T$) - *Boost*: A chave S_2 está conduzindo e a chave S_1 está aberta, a fonte de entrada V_{in} alimenta o indutor L_{in} , o capacitor C_{lk} fica isolado do circuito, como apresentado na figura 17 (b).

Primeira etapa de operação ($t_0 \leq t \leq D_1T$) - *Buck*: A chave S_1 está conduzindo e a chave S_2 está aberta, a fonte de entrada V_{in} e o indutor L_{in} são alimentados pela energia fornecida pelo capacitor C_{lk} , conforme mostrado na figura 17 (c).

Segunda etapa de operação ($D_1T \leq t \leq T$) - *Buck*: A chave S_1 está aberta e a S_2 está conduzindo, a fonte de entrada V_{in} recebe energia do indutor L_{in} , o capacitor C_{lk} fica isolado do circuito, conforme mostrado na figura 17 (d).

Figura 17 – Etapas de operação do estágio CC-CC

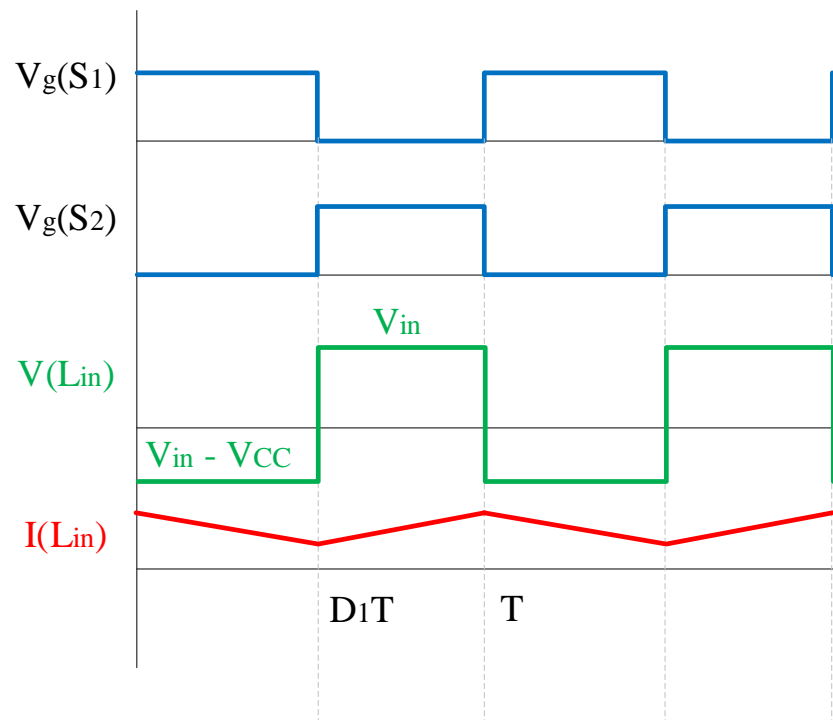


Fonte: Elaborada pelo Autor.

A partir da análise das etapas de operação pode-se traçar as principais formas de onda de corrente e tensão do estágio CC-CC no modo *Boost* e no modo *Buck*, conforme apresentado nas figuras 18 e 19, respectivamente.

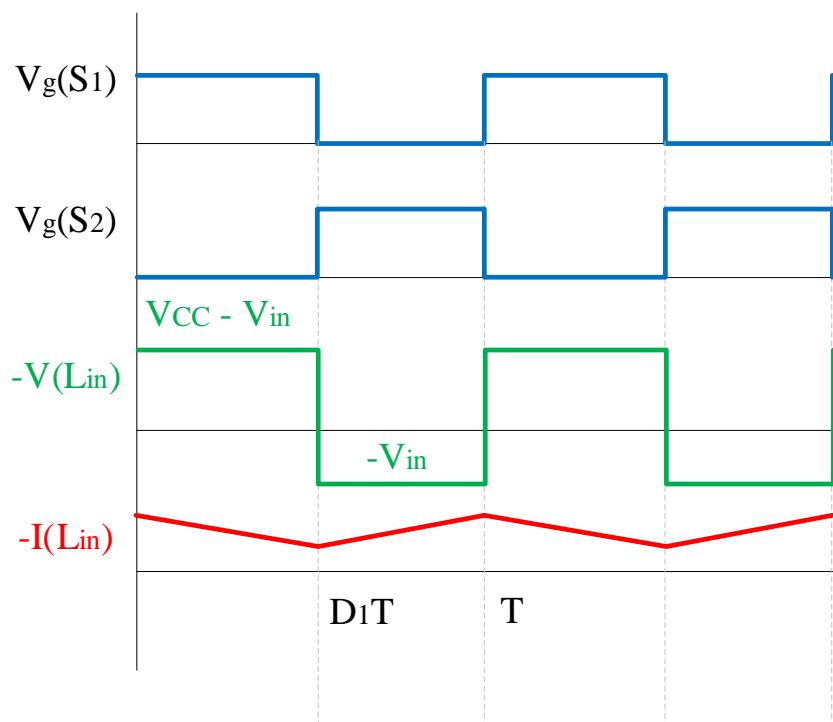
As formas de onda dos dois modos de operação são similares, apenas mudando o sentido do fluxo de potência e, conseqüentemente, o sentido da corrente. Para a operação no modo *Boost* a corrente flui de V_{in} para o estágio CC-CA. Já no modo de operação *Buck*, a corrente flui do estágio CC-CA para V_{in} .

Figura 18 – Principais formas de onda do Estágio CC-CC operando como *Boost*



Fonte: Elaborada pelo Autor.

Figura 19 – Principais formas de onda do Estágio CC-CC operando como *Buck*



Fonte: Elaborada pelo Autor.

3.2.2 Análise Quantitativa

A chave principal do estágio CC-CC operando como *Buck* é a chave S_1 e a chave principal para a operação no modo *Boost* é a chave S_2 . Uma vez que as chaves operam de forma complementar, a relação entre D_1 e D_2 pode ser expressa como mostrado em (21).

$$D_1 + D_2 = T \quad (21)$$

A partir das formas de onda da figura 19 pode-se determinar o ganho estático do estágio CC-CC, para isso basta somar e igualar a zero as áreas positiva e negativa do gráfico da tensão no indutor L_{in} da figura 19 e utilizar a relação descrita em (21), conforme mostrado em (22).

$$\begin{aligned} A_+ + A_- = 0 &\Rightarrow (V_{CC} - V_{in})D_1T = V_{in}(1 - D_1)T \Rightarrow \\ &\Rightarrow \frac{V_{CC}}{V_{in}} = \frac{1}{D_1} = \frac{1}{1 - D_2} \end{aligned} \quad (22)$$

Analisando a forma de onda da corrente no indutor durante a segunda etapa de operação no modo *Boost*, apresentada na figura 18, pode-se determinar o valor da indutância L_{in} , conforme mostrado em (23).

$$V_{in} = L_{in} \frac{\Delta I_{L_{in}} I_{L_{in}} L_{in}}{D_2 T} \Rightarrow L_{in} = \frac{V_{in}}{\Delta I_{L_{in}} I_{L_{in}}} D_2 T \quad (23)$$

Sendo $\Delta I_{L_{in}}$ a ondulação da corrente, em percentual, no indutor L_{in} .

Observando as etapas de operação apresentadas nas figuras 18 e 19 tem-se que a tensão máxima sobre as chaves é a tensão do elo CC, conforme mostrado em (24).

$$V_{S1max} = V_{S2max} = V_{CC} \quad (24)$$

A corrente média nas chaves S_1 e S_2 podem ser determinadas a partir da corrente média $I_{L_{in}}$ do indutor L_{in} , conforme apresentado em (25) e (26).

$$I_{S1} = D_1 I_{L_{in}} \quad (25)$$

$$I_{S2} = (1 - D_1) I_{L_{in}} = D_2 I_{L_{in}} \quad (26)$$

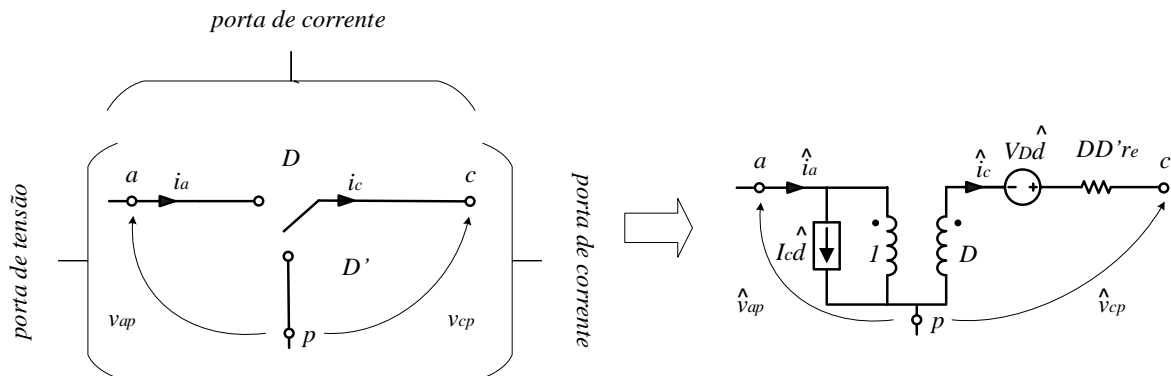
Por fim, a corrente $I_{L_{in}}$ pode ser determinada com base na potência nominal do conversor P_o , como apresentado em (27).

$$I_{L_{in}} = \frac{P_o}{V_{in}} \quad (27)$$

3.2.3 Modelo de pequenos sinais

Para a obtenção do modelo de pequenos sinais do estágio CC-CC utiliza-se a metodologia proposta por VORPERIAN, 1990. Para isto considerar-se-á o modo de operação *Boost*. As chaves S_1 e S_2 podem ser substituídas pelo modelo da chave PWM apresentado na figura 20.

Figura 20 – Modelo da chave PWM

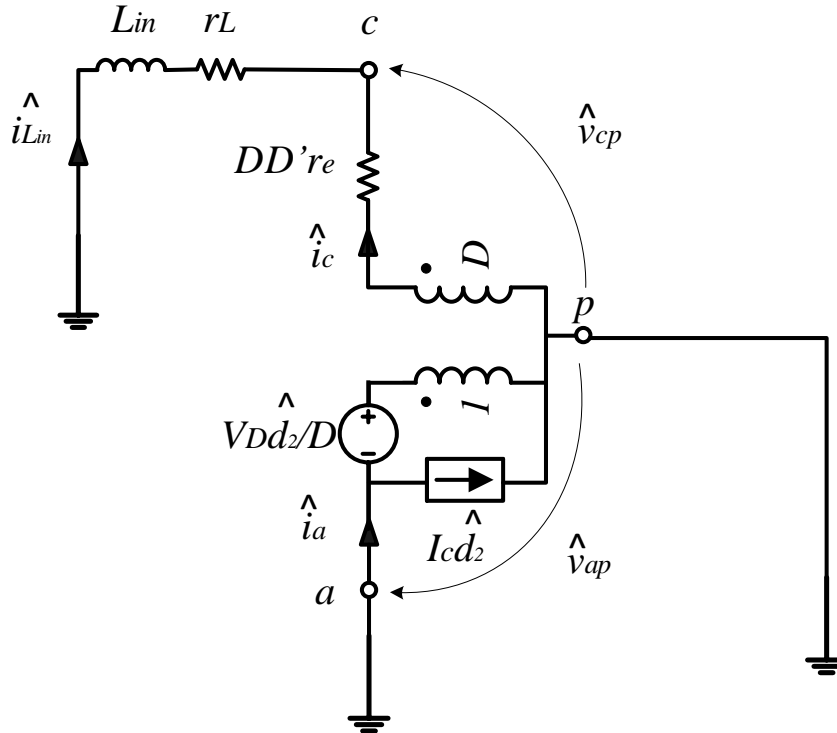


Fonte: Elaborada pelo Autor.

Para a dedução do modelo de pequenos sinais faz-se necessário definir qual a variável de controle e qual a variável a ser controlada. Este primeiro estágio opera no modo corrente, isto é, define a corrente média que é drenada ou injetada no barramento CC. Portanto, deseja-se controlar a corrente no indutor de entrada L_{in} sendo a variável de

controle a razão cíclica. Logo, considera-se que as perturbações da tensão de entrada e da tensão do elo CC são nulas, conforme mostrado na figura 21.

Figura 21 – Aplicação do modelo da chave PWM no estágio CC-CC



Fonte: Elaborada pelo Autor.

Analisando o circuito da figura 21 pode-se determinar a função de transferência que relaciona a perturbação da corrente no indutor de entrada $\hat{i}_{L_{in}}$ e a perturbação \hat{d}_2 na razão cíclica da chave S_2 , conforme mostrado em (28).

$$\frac{\hat{i}_{L_{in}}}{\hat{d}_2} = K_{id_{cc-cc}} \frac{1}{1 + s/s_{z0}} \quad (28)$$

Sendo o ganho $K_{id_{cc-cc}}$ e o zero s_{z0} dados pelas expressões (29) e (30), respectivamente.

$$K_{id_{cc-cc}} = \frac{V_{CC} + \frac{V_{CC}}{D_1 R} (D_2 - D_1) r_e}{D_2 D_1 r_e + r_L} \quad (29)$$

$$\text{onde } r_e = r_{C1k} \parallel \frac{V_{CC}^2}{P_o} = \frac{r_{C1k} V_{CC}^2}{r_{C1k} P_o + V_{CC}^2}$$

$$s_{z0} = \frac{r_L + D_2 D_1 r_e}{L_{in}} \quad (30)$$

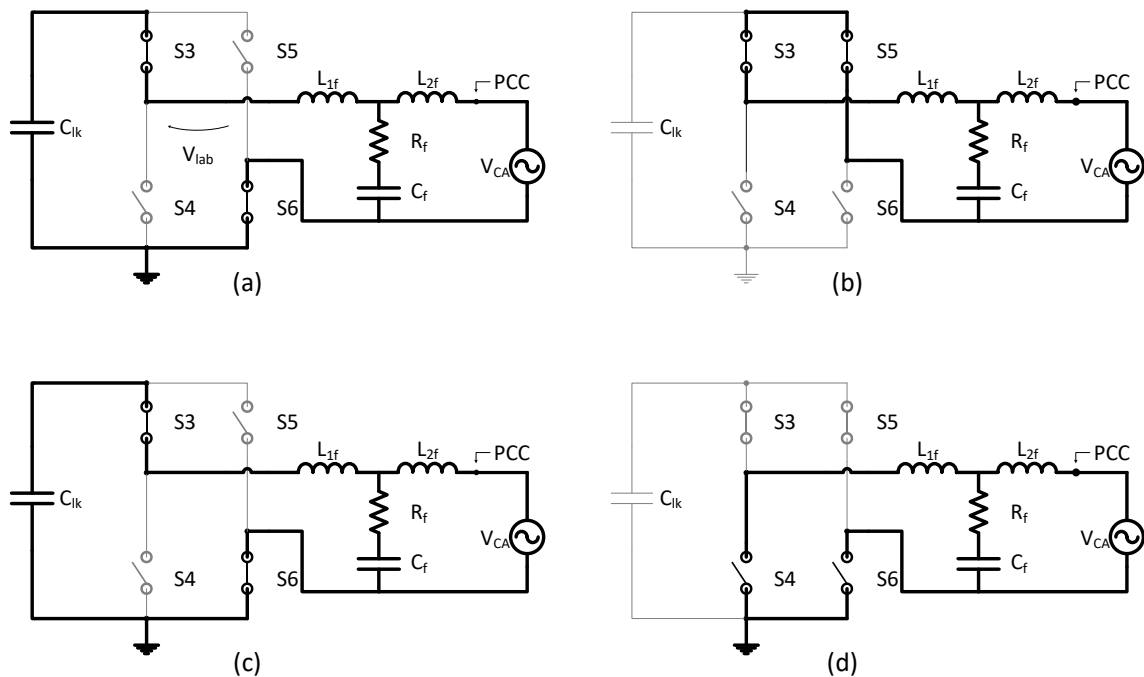
3.3 Estágio CC-CA

3.3.1 Análise Qualitativa

O estágio CC-CA do conversor proposto pode operar como inversor ou retificador, a depender se a corrente de saída do filtro LCL, isto é, a corrente que flui através do indutor L_{2f} , está em fase ou em oposição de fase com a tensão da rede. Para cada semiciclo da rede o conversor apresenta quatro etapas de operação, sendo mostrado na figura 22 as etapas de operação para o semiciclo positivo da tensão da rede.

Em todas as etapas mostradas na figura 22 considera-se que o estágio CC-CA está operando como inversor, isto é, a corrente de saída do filtro LCL está em fase com a tensão da rede.

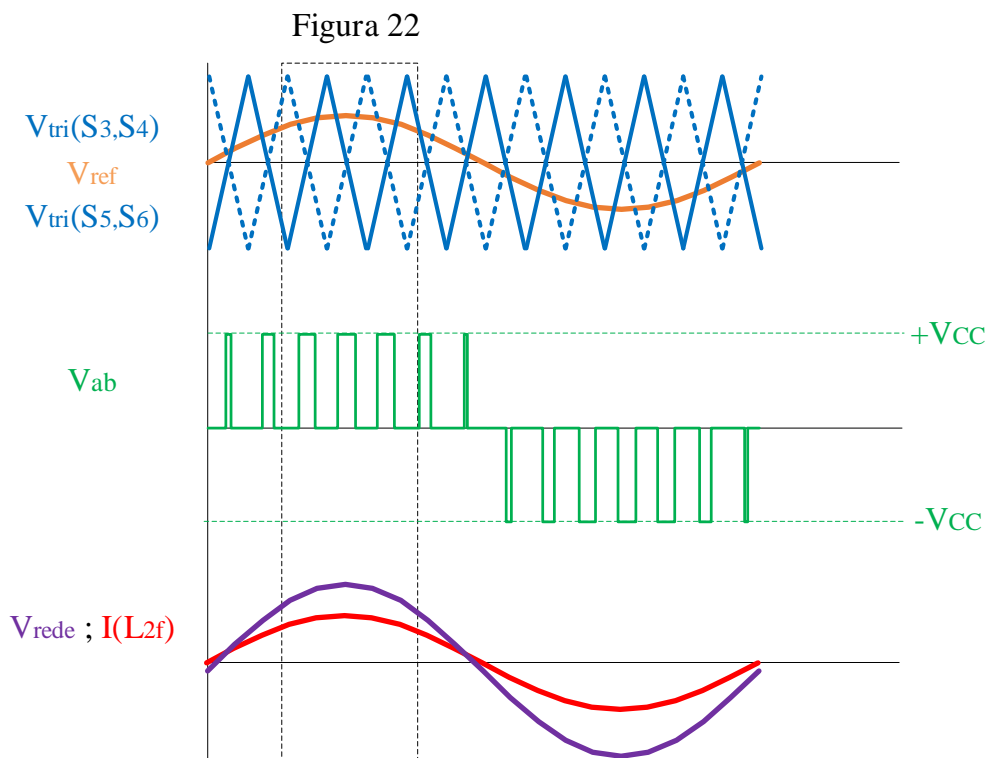
Figura 22 – Etapas de operação do estágio CC-CA no semiciclo positivo



Fonte: Elaborada pelo Autor.

A partir da análise das etapas de operação foram traçadas as principais formas de onda de corrente e tensão do estágio CC-CA, conforme apresentado na figura 23. Também é indicado na referida figura o intervalo que contém os estágios de operação observados na figura 22.

Figura 23 – Principais formas de onda do Estágio CC-CA operando como inversor



Fonte: Elaborada pelo Autor.

Nas etapas apresentadas nas figuras 22(a) e 22(c) a tensão de saída do pré-filtro é igual a $+V_{CC}$ e nas etapas de operação 22(b) e 22(d) a tensão de saída do pré-filtro é igual a 0 caracterizando a modulação SPWM unipolar. A partir das etapas de operação apresentadas na figura 23, podem-se deduzir as quatro etapas de operação a seguir.

Primeira etapa de operação ($t_0 \leq t \leq t_1$): As chaves S_3 e S_6 estão conduzindo e as chaves S_4 e S_5 estão bloqueadas, a tensão de saída pré-filtro LCL é $+V_{CC}$ e o capacitor C_{lk} alimenta o filtro de saída e a rede, como apresentado na figura 22 (a).

Segunda etapa de operação ($t_1 \leq t \leq t_2$): A chave S_3 conduz e a S_5 conduz pelo diodo em antiparalelo, as chaves S_4 e S_6 estão bloqueadas, a tensão de saída pré-filtro

LCL é 0 (nula) e o filtro de saída e a rede são isolados do elo CC, como apresentado na figura 22 (b).

Terceira etapa de operação ($t_2 \leq t \leq t_3$): Idêntica a primeira etapa de operação, as chaves S_3 e S_6 estão conduzindo e as chaves S_4 e S_5 estão bloqueadas, a tensão de saída pré-filtro LCL é $+V_{CC}$ e o capacitor C_{lk} alimenta o filtro de saída e a rede, como apresentado na figura 22 (c).

Quarta etapa de operação ($t_3 \leq t \leq t_4$): A chave S_6 conduz e a S_4 conduz pelo diodo em antiparalelo, as chaves S_3 e S_5 estão bloqueadas, a tensão de saída pré-filtro LCL é 0 (nula) e o filtro de saída e a rede são isolados do elo CC, como apresentado na figura 22 (d).

3.3.2 Análise Quantitativa

Analisando as etapas de operação mostradas na figura 22 e considerando que para o semiciclo negativo têm-se etapas similares, pode-se determinar a tensão máxima sobre cada uma das chaves semicondutoras S_3 , S_4 , S_5 e S_6 , conforme mostrado em (31).

$$V_{S3\max} = V_{S4\max} = V_{S5\max} = V_{S6\max} = V_{CC} \quad (31)$$

O dimensionamento do filtro de saída LCL do estágio CC-CA utiliza a metodologia sugerida por CHA *et al*, 2010 e LANG *et al*, 2005.

Passo 1 – Seleção da indutância total ($L_{\text{total}} = L_{1f} + L_{2f}$): Primeiramente deve-se determinar a indutância total, isto é, a soma das indutâncias L_{1f} e L_{2f} do lado do conversor e da rede, respectivamente. Segundo CHA *et al*, 2010, para inversores monofásicos a indutância total é dada por (32).

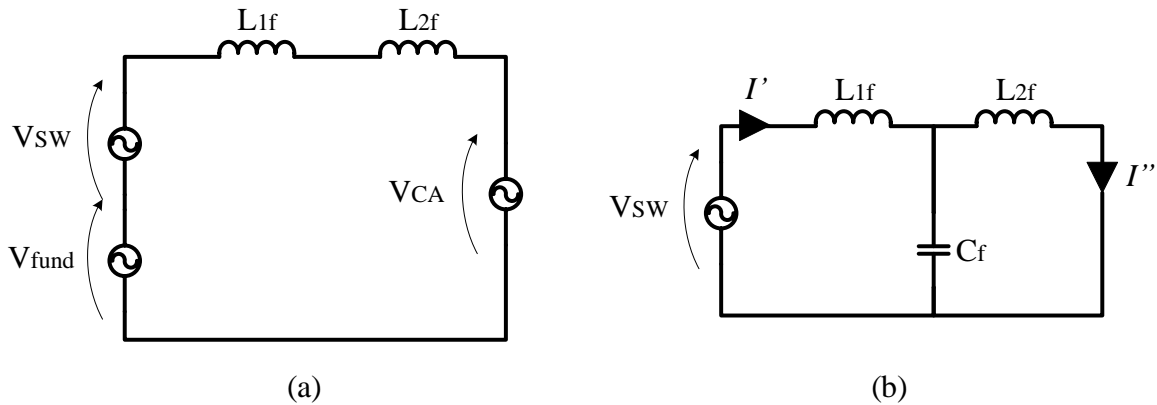
$$L_{\text{total}} = \frac{V_{CC}}{4I_{\text{rede}}\Delta I_{\text{rede}}f_{SW}}(1 - m_a)m_a \quad (32)$$

Sendo I_{rede} e ΔI_{rede} a corrente de pico nominal injetada na rede e a sua ondulação máxima, respectivamente, f_{SW} a frequência de chaveamento do estágio CC-CA e m_a o índice de modulação de amplitude. A corrente nominal de pico injetada na rede pode ser expressa em função da potência nominal do conversor P_o e da tensão eficaz da rede V_{CA} , como apresentado em (33).

$$I_{\text{rede}} = \sqrt{2} \frac{P_o}{V_{CA}} \quad (33)$$

Passo 2 – Determinação do índice de atenuação das harmônicas de chaveamento(σ): Uma vez calculada a indutância total do filtro LCL, deve-se determinar o índice de atenuação das harmônicas de chaveamento. Para isto utiliza-se o circuito equivalente mostrado na figura 24.

Figura 24 – Circuito equivalente do estágio CC-CA (a) na frequência fundamental da rede e na frequência de chaveamento e (b) somente na frequência de chaveamento



Fonte: Elaborada pelo Autor.

Sendo V_{SW} a componente da tensão pré-filtro oriunda da frequência de chaveamento do conversor e V_{fund} a componente fundamental.

Na figura 24 (a) tem-se o circuito equivalente considerando as componentes na frequência fundamental e na frequência de chaveamento. Percebe-se que o ramo do capacitor do filtro é representado por um circuito aberto, uma vez que a sua impedância é elevada em baixas frequências.

Na figura 24 (b) tem-se o circuito equivalente considerando somente as componentes na frequência de chaveamento. Percebe-se que a tensão da rede é substituída por um curto-circuito.

Da análise da figura 24, podem-se definir as relações (LANG *et al*, 2005) mostradas em (34) e (35).

$$L_{1f} = aL_{2f} \quad (34)$$

$$C_f = \frac{1}{r\omega_{SW}^2 L_{2f}} \quad (35)$$

Sendo a e r índices que relacionam as impedâncias do filtro e ω_{SW} a frequência angular de chaveamento.

Também se pode definir do circuito da figura 24 (b) as correntes I' e I'' , conforme mostrado em (36) e (37), respectivamente.

$$I' = \frac{(r-1)(1+a)}{r+a(r-1)} \frac{V_{SW}}{Z_{L_{total}}} \quad (36)$$

$$I'' = \frac{1+a}{a(1-1/r)+1} \frac{V_{SW}}{Z_{L_{total}}} \quad (37)$$

Logo, o índice de atenuação das harmônicas de chaveamento é dado pela relação descrita em (38).

$$\sigma = \left| \frac{I''}{I'} \right| = \left| \frac{1+a}{a(1-1/r)+1} \right| \quad (38)$$

Uma vez que as correntes I' e I'' estão em oposição de fase, σ pode ser expresso por (39).

$$\sigma = \frac{1+a}{a(1/r-1)-1} \quad (39)$$

Passo 3 – Determinação dos índices a e r : Após a expressão analítica (39) do índice σ ser determinada, devem-se determinar as componentes individuais L_{1f} e L_{2f} , bem como a capacitância C_f do filtro. Para tal, inicialmente observa-se que a potência reativa na frequência fundamental absorvida pelo capacitor C_f pode ser determinada por (40), sendo λ o fator de potência reativo.

$$Q_{C_f} = \lambda P_o \quad (40)$$

O fator de potência reativo é função do fator de potência ativa FP , conforme mostrado em (41).

$$\lambda = \sqrt{\frac{1}{FP} - 1} \quad (41)$$

A potência reativa Q_{C_f} também pode ser determinada desprezando-se a queda de tensão sobre o indutor L_{2f} (LANG *et al*, 2010), como apresentado em (42).

$$Q_{C_f} = \omega_r C_f V_{CA}^2 \quad (42)$$

Substituindo (32), (34) e (35) em (40) e (42), são obtidas as expressões (43) e (44).

$$\frac{r}{1+a} = x \quad (43)$$

$$x = \frac{\Delta I_{rede} V_{CA} \omega_r}{2\pi^2 V_{CC} f_{SW} \lambda} \quad (44)$$

Considerando (39) e (43) tem-se o sistema de equações necessárias para a determinação dos índices a e r . Com a finalidade de determinar expressões mais simples para a determinação destes parâmetros, algumas condições podem ser impostas.

Segundo LANG *et al*, 2005, pode-se considerar inicialmente que, com a finalidade de evitar elevadas ondulações no indutor L_{1f} que acarretem instabilidades no sistema, a impedância equivalente total não seja inferior a metade de L_{total} , implicando na relação (45).

$$a \geq \frac{1+2x}{1-2x} \Rightarrow a \geq 1 \quad (45)$$

Utilizando (45) em (39) e (43), determina-se a variável auxiliar b , como mostrado em (46).

$$b \geq \frac{4}{1-2x} \Rightarrow b = \frac{\sigma}{1+\sigma} \frac{1}{x} \quad (46)$$

Logo, resolvendo o sistema de equações (39) e (43) utilizando-se (46), determinam-se os parâmetros a e r de forma direta, conforme expresso em (47) e (48).

$$a = \frac{b-2 + \sqrt{b(b-4)}}{2} \quad (47)$$

$$r = \frac{b + \sqrt{b(b-4)}}{2} \quad (48)$$

Para a escolha do valor de σ devem-se levar em consideração duas condições (LANG *et al*, 2005): a primeira oriunda diretamente de (47) e (48), conforme expresso em (49); e a segunda que visa evitar o fenômeno da ressonância, como expresso em (50).

$$\sigma > \frac{4x}{1-6x} \quad (49)$$

$$\frac{\eta}{1-\eta} \leq \sigma \leq \frac{1}{3} \quad (50)$$

Sendo η uma relação entre a frequência fundamental e a de chaveamento, conforme apresentado em (51).

$$\eta = 100 \left(\frac{\omega_r}{\omega_{SW}} \right)^2 \quad (51)$$

Passo 4 – Determinação da resistência R_f : Para atenuar o pico de ressonância inerente ao filtro LCL (CHA *et al*, 2010 e LANG *et al*, 2005), utiliza-se a solução passiva de inserção do resistor R_f no ramo shunt do capacitor C_f .

Segundo CHA *et al*, 2010, recomenda-se que a frequência de ressonância seja de até um terço da frequência de chaveamento, conforme mostrado em (52).

$$10\omega_r \leq \omega_{res} = \frac{\omega_{SW}}{2} \quad (52)$$

Uma vez definida a frequência de ressonância desejada ω_{res} , pode-se determinar a resistência R_f (CHA *et al*, 2010 e LANG *et al*, 2005) de acordo com a equação (53).

$$R_f = \frac{1}{3\omega_{res}C_f} \quad (53)$$

3.3.3 Modelo de pequenos sinais

Para a dedução do modelo de pequenos sinais faz-se necessário definir qual a variável de controle e qual a variável a ser controlada. Este segundo estágio é responsável por controlar a corrente drenada ou injetada na rede elétrica, bem como o nível de tensão do elo CC. A fim de possibilitar o controle de tensão e corrente será utilizada uma estratégia de controle em cascata, isto é, uma malha externa de tensão que gera a referência de corrente da malha interna de corrente. Tal estratégia será apresentada com maiores detalhes no capítulo 4.

Logo, faz-se necessário determinar duas funções de transferência: uma que relaciona a variável de controle \hat{d} com a variável controlada $\hat{i}_{L_{2f}}$ e outra que relaciona a variável de controle $\hat{i}_{L_{2f}}$ com a variável controlada \hat{v}_{CC} . A função de transferência do filtro LCL já foi determinada no capítulo 2, expressão (7). Multiplicando (7) pelo valor médio da tensão no elo CC, tem-se a função de transferência da planta para a malha de corrente, como apresentado em (54).

$$\frac{\hat{i}_{L_{2f}}}{\hat{d}} = V_{CC} \frac{R_f}{L_{1f}L_{2f}} \frac{s + 1/R_f C_f}{\left(s^2 + (L_{1f} + L_{2f})R_f/L_{1f}L_{2f} s + (L_{1f} + L_{2f})/L_{1f}L_{2f}C_f \right)} \quad (54)$$

Para a malha externa de tensão na qual a variável de saída a ser controlada é a tensão do elo CC e a variável de controle é a corrente no indutor L_{2f} , deve-se determinar a relação entre a perturbação da tensão do elo CC \hat{v}_{CC} e a perturbação $\hat{i}_{L_{2f}}$. Para isto, deve-se inicialmente considerar o balanço energético no elo CC quando o conversor opera drenando energia da rede (BUSO *et al*, 2006), conforme mostrado em (55).

$$\frac{d}{dt} E_{eloCC} = P_{CA} - P_{perdas} - P_{CC} \quad (55)$$

Sendo E_{eloCC} a energia armazenada no capacitor C_{lk} , P_{CA} a potência ativa entregue pelo estágio CC-CA, P_{CC} a potência entregue pelo estágio CC-CC e P_{perdas} as perdas inerentes ao conversor. Desprezando-se as perdas dos elementos semicondutores e considerado que o conversor opera com fator de potência unitário, a expressão (55) pode ser reescrita como (56).

$$\frac{1}{2} C_{lk} \frac{d}{dt} V_{CC}^2 = G_{EQ} V_{CA}^2 - \frac{V_{CC}^2}{r_{C_{lk}}} - \frac{V_{CC}^2}{R_{CC}} \quad (56)$$

Sendo $r_{C_{lk}}$ a resistência série do capacitor do elo CC, R_{CC} a resistência que representa a carga do estágio CC-CC referida ao elo CC e G_{EQ} a tensão de saída do controlador (BUSO *et al*, 2006). Perturbando a tensão V_{CC} e o sinal G_{EQ} , como mostrado na equação (57), pode-se determinar a expressão (58) desprezando-se os termos constantes, as perturbações de potência superior a unidade e aplicando a transformada de Laplace.

$$\frac{1}{2} C_{lk} \frac{d}{dt} (V_{CC} + \hat{v}_{CC})^2 = V_{CA}^2 (G_{EQ} + \hat{g}_{EQ}) - (V_{CC} + \hat{v}_{CC})^2 \left(\frac{1}{r_{C_{lk}}} + \frac{1}{R_{CC}} \right) \quad (57)$$

$$\frac{\hat{v}_{CC}}{\hat{g}_{EQ}} = \frac{\hat{v}_{CC}}{\hat{i}_{L_{2f}}} = m_a R_{CC} \frac{r_{C_{lk}} C_{lk} s + 1}{(R_{CC} + r_{C_{lk}}) C_{lk} s + 1} \quad (58)$$

Em (58) a perturbação \hat{g}_{EQ} é igual a $\hat{i}_{L_{2f}}$ uma vez que a saída do controlador é justamente o valor de pico da corrente desejada em L_{2f} .

3.4 Filtro Ativo

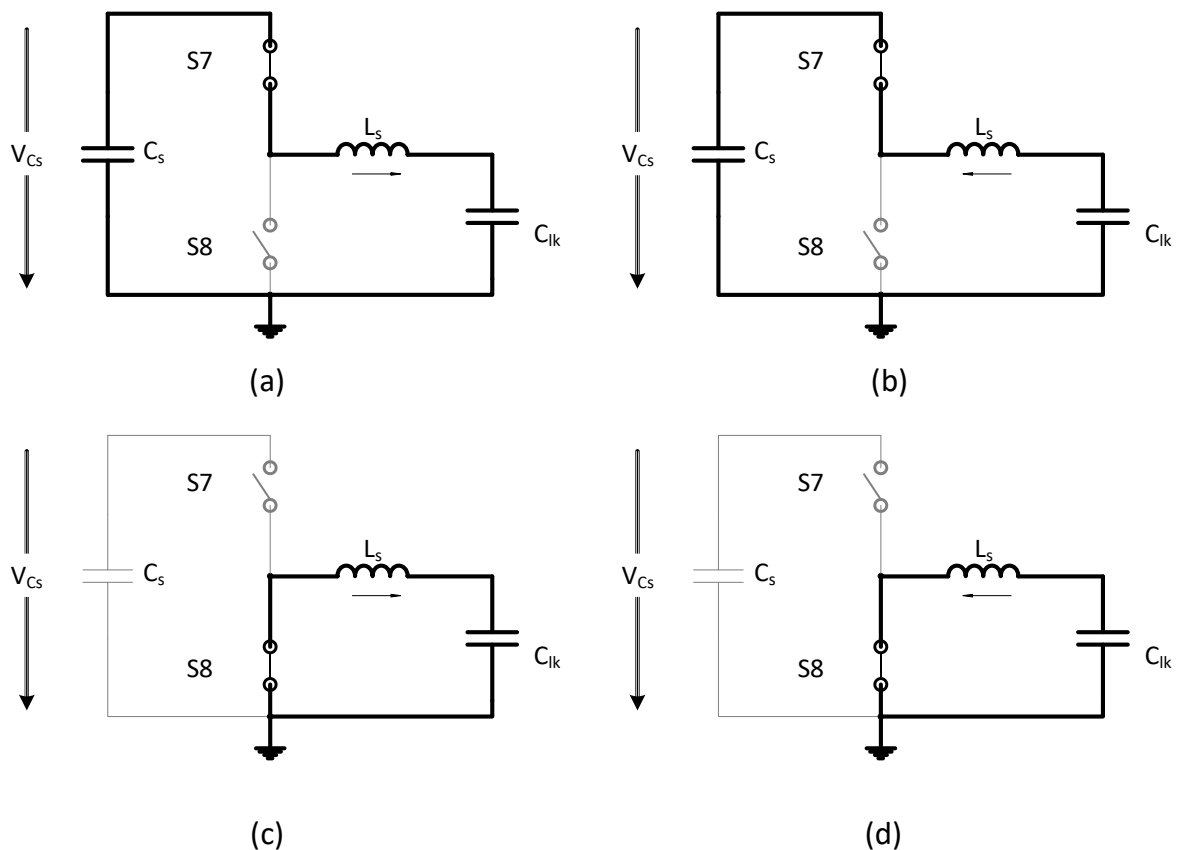
3.4.1 Análise Qualitativa

O filtro ativo do conversor proposto deve operar de tal forma a compensar a componente alternada da corrente exigida na entrada do estágio CC-CA. Para isto, o filtro

ativo deve ser capaz de produzir uma corrente senoidal com frequência igual ao dobro da frequência da rede, usualmente 100 Hz ou 120 Hz.

Na figura 25 tem-se as quatro etapas de operação do filtro ativo, sendo mostrado na figura 25 (a) as etapas de operação para a corrente positiva, isto é, com o sentido da corrente atravessando o indutor L_{2f} em direção ao elo CC, e na figura 25 (b) as etapas de operação para a corrente negativa.

Figura 25 – Etapas de operação do filtro ativo (a) semiciclo positivo e (b) semiciclo negativo



Fonte: Elaborada pelo Autor.

A partir das etapas de operação apresentadas na figura 25, pode-se deduzir as quatro etapas de operação a seguir.

Primeira etapa de operação ($t_0 \leq t \leq t_1$): A chave S_7 está conduzindo e a chave S_8 está bloqueada, a corrente de saída do filtro é positiva, a tensão de saída pré-filtro $+V_{Cs}$ e o capacitor C_s alimenta o filtro de saída L_s e o elo CC, como apresentado na figura 25 (a).

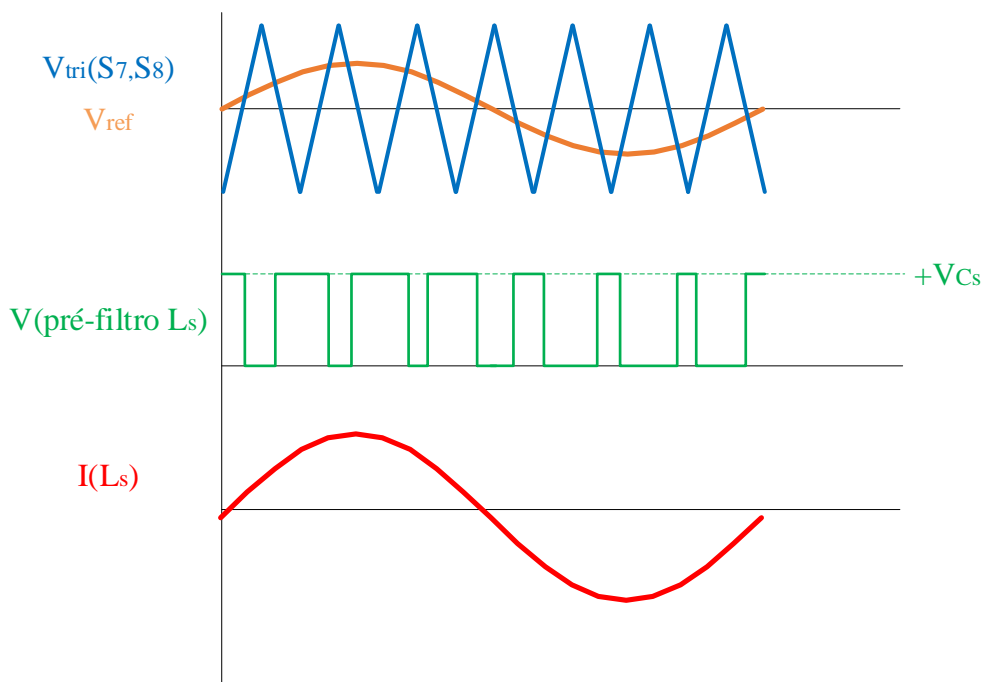
Segunda etapa de operação ($t_1 \leq t \leq t_2$): A chave S_8 conduz e a chave S_7 está bloqueada, a corrente de saída do filtro é positiva, a tensão de saída pré-filtro é 0 (nula) e o filtro de saída L_s e o elo CC são isoladas do capacitor C_s , como apresentado na figura 25 (c).

Terceira etapa de operação ($t_2 \leq t \leq t_3$): A chave S_7 conduz e a chave S_8 está bloqueada, a corrente de saída do filtro é negativa, a tensão de saída pré-filtro $+V_{C_s}$ e o capacitor C_s alimenta o filtro de saída L_s e o elo CC, como apresentado na figura 25 (b).

Quarta etapa de operação ($t_3 \leq t \leq t_4$): A chave S_8 está conduzindo e a chave S_7 está bloqueada, a corrente de saída do filtro é negativa, a tensão de saída pré-filtro é 0 (nula) e o filtro de saída L_s e o elo CC são isoladas do capacitor C_s , como apresentado na figura 25 (d).

A partir da análise das etapas de operação foram traçadas as principais formas de onda de corrente e tensão do filtro ativo, conforme apresentado na figura 26.

Figura 26 – Principais formas de onda do filtro ativo



Fonte: Elaborada pelo Autor.

3.4.2 Análise Quantitativa

Pode-se determinar para um determinado período de chaveamento a indutância em função da razão cíclica D_7 da chave S_7 , da tensão do elo CC e da tensão V_{C_s} . Para isto considera-se que a senoide de referência da figura 26 permanece constante em um período de

chaveamento. Logo, similar ao realizado para o estágio CC-CC, considerando que a energia entregue ao indutor no intervalo de t_0 a t_1 é igual à energia fornecida do indutor ao elo CC no intervalo t_1 a t_2 , pode-se expressar a indutância L_s conforme apresentado em (59).

$$L_s = \frac{V_{C_s}}{2I_{L_s} \Delta I_{L_s} f_{SW}} (1 - D_7) D_7 \quad (59)$$

O valor máximo de $(1 - D_7) D_7$ se dá quando a razão cíclica é igual a 50%. Portanto, a expressão (59) pode ser reescrita adotando-se D_7 igual a 0,5, conforme mostrado em (60).

$$L_s = \frac{V_{C_s}}{8I_{L_s} \Delta I_{L_s} f_{SW}} \quad (60)$$

Para o dimensionamento do capacitor C_s faz necessário determinar a energia E_{eloCC} que o capacitor C_{lk} deve entregar sem a presença do filtro ativo. Para isto, inicialmente determina-se o valor do capacitor do elo CC sem filtro ativo C'_{lk} utilizando-se a expressão (10), conforme mostrado em (61).

$$C'_{lk} = \frac{P_o}{2\omega_r V_{CC} \hat{V}_{CC}} \quad (61)$$

Percebe-se que a potência P_m em (16) foi substituída por P_o em (61), uma vez que a potência média é igual à potência do conversor. Uma vez determinado C'_{lk} pode-se determinar a energia E_{eloCC} , conforme expresso em (62).

$$E_{eloCC} = \frac{1}{2} C'_{lk} (V_{CC_{max}}^2 - V_{CC_{min}}^2) \quad (62)$$

O capacitor C_s deve fornecer a energia E_{eloCC} , sendo que a sua tensão mínima deve superior a tensão máxima do elo CC (CAI *et al*, 2014). Portanto, o capacitor C_s pode ser expresso por (63).

$$C_s = \frac{2E_{\text{eloCC}}}{V_{C_{s\text{max}}}^2 - V_{C_{s\text{min}}}^2} \quad (63)$$

Uma vez que em (63) toda a ondulação foi transferida para o capacitor C_s , o capacitor C_{lk} pode então ser determinado pela expressão (64).

$$C_{lk} = \frac{2E_{\text{eloCC}}}{V_{CC\text{max}}^2 - 0} \quad (64)$$

Percebe-se de (64) que a capacitância C_{lk} tem uma diminuição significativa quando comparada com C'_{lk} , uma vez que comparando (61) e (64) pode-se determinar a relação (65), considerando que tipicamente a variação ΔV_{CC} é bastante pequena (usualmente de 1% a 5%, segundo SANTOS, 2014).

$$C'_{lk} = \frac{2E_{\text{eloCC}}}{V_{CC\text{max}}^2 - V_{CC\text{min}}^2} \gg C_{lk} = \frac{2E_{\text{eloCC}}}{V_{CC\text{max}}^2 - 0} \quad (65)$$

Analisando as etapas de operação mostradas na figura 25, pode-se determinar a tensão máxima sobre cada uma das chaves semicondutoras S_7 e S_8 , conforme mostrado em (66).

$$V_{S7\text{max}} = V_{S8\text{max}} = V_{C_s} \quad (66)$$

3.4.3 Modelo de pequenos sinais

Para a dedução do modelo de pequenos sinais faz-se necessário definir qual a variável de controle e qual a variável a ser controlada. O filtro ativo é responsável por controlar a componente de 120 Hz exigida pelo estágio CC-CA. Portanto, tal estágio irá operar no modo corrente, sendo necessário determinar a função de transferência que relaciona a variável de controle \hat{d}_7 com a variável controlada \hat{i}_{L_s} .

Analisando o circuito da figura 25, a função de transferência do filtro L_s que relaciona a perturbação da corrente \hat{i}_{L_s} com a perturbação da tensão pré-filtro $\hat{v}_{\text{pré-filtro}}$ pode ser deduzida perturbando-se (67), conforme mostrado em (68).

$$V_{\text{pré-filtro}} - V_{CC} = r_{L_s} I_{L_s} + L_s \frac{d}{dt} I_{L_s} \quad (67)$$

$$\frac{\hat{i}_{L_s}}{\hat{v}_{\text{pré-filtro}}} = \frac{1}{r_{L_s} + sL_s} \quad (68)$$

Em um período de chaveamento, a relação entre a tensão pré-filtro e a razão cíclica da chave S_7 pode ser obtida através da análise dos gráficos da figura 26, conforme mostrado em (69)

$$V_{\text{pré-filtro}} = D_7 V_{C_s} \quad (69)$$

Perturbando (69) e substituindo em (68) determina-se a função de transferência que relaciona a perturbação na corrente de saída do filtro \hat{i}_{L_s} com a razão cíclica \hat{d}_7 , como apresentado em (70).

$$\frac{\hat{i}_{L_s}}{\hat{d}_7} = V_{C_s} \frac{1}{r_{L_s} + sL_s} \quad (70)$$

3.5 Projeto do Circuito de Potência

Para o dimensionamento do circuito de potência utilizam-se as mesmas especificações de entrada e saída por SANTOS, 2014, conforme mostrado na tabela 3. Tais especificações são típicas de microrredes CC de baixa potência interligadas com a rede elétrica local de baixa tensão.

Tabela 3 – Especificações de Entrada/Saída

Parâmetro	Valor / unidade
Tensão de entrada do barramento V_{in}	311 V
Tensão eficaz da rede elétrica V_{CA}	220 V
Frequência nominal da rede elétrica	60 Hz
Potência nominal de saída do conversor P_o	2 kW

Fonte: Elaborada pelo Autor.

Na tabela 4 têm-se as especificações de projeto adotadas para o conversor proposto.

Tabela 4 – Especificações de Projeto

Parâmetro	Valor / unidade
Tensão média do elo CC V_{CC}	400 V
Varição máxima da tensão do elo CC \hat{V}_{CC}	8 V (2 %)
Varição máxima da corrente no indutor de entrada $\Delta I_{L_{in}}$	35 %
Varição máxima da corrente no indutor do filtro ΔI_{L_s}	35 %
Varição máxima da corrente no indutor do lado da rede do filtro LCL $\Delta I_{L_{2f}}$	5 %
Frequência de chaveamento f_{SW}	30 kHz

Fonte: Elaborada pelo Autor.

A partir dos dados da tabela 3 e 4 e utilizando as equações desenvolvidas anteriormente, pode-se determinar os parâmetros do conversor proposto, como apresentado a seguir.

Inicialmente determina-se as razões cíclicas nominais D_1 e D_2 utilizando a expressão (22), como mostrado em (72).

$$\frac{V_{CC}}{V_{in}} = \frac{1}{D_1} = \frac{1}{1 - D_2} \Rightarrow \frac{400 \text{ V}}{311 \text{ V}} = \frac{1}{D_1} = \frac{1}{1 - D_2} \Rightarrow \quad (72)$$

$$\Rightarrow D_1 = 0,7775 \text{ e } D_2 = 0,2225$$

A corrente nominal $I_{L_{in}}$ do estágio CC-CC pode ser determinada em termos da potência nominal do conversor e da tensão do barramento CC, como apresentado em (73).

$$I_{L_{in}} = \frac{P_o}{V_{in}} = \frac{2 \text{ kW}}{311 \text{ V}} = 6,43 \text{ A} \quad (73)$$

Para a determinação da indutância do estágio CC-CC utiliza-se a expressão (23), como mostrado em (74).

$$L_{in} = \frac{V_{in}}{\Delta I_{L_{in}} I_{L_{in}}} D_2 T \Rightarrow L_{in} = \frac{311 \text{ V}}{35\% \times 6,43 \text{ A}} \times 0,2225 \times 33,33 \text{ } \mu\text{s} \Rightarrow \quad (74)$$

$$\Rightarrow L_{in} = 1,025 \text{ mH}$$

Para a determinação do filtro LCL de saída utiliza-se os passos do tópico 3.3.2.

Passo 1 – Seleção da indutância total ($L_{total} = L_{1f} + L_{2f}$): Utilizando a equação (33) determina-se a corrente nominal de pico que flui através do indutor L_{2f} , conforme apresentado em (75).

$$I_{rede} = I_{L_{2f}} = \sqrt{2} \frac{P_o}{V_{CA}} = \sqrt{2} \frac{2 \text{ kW}}{220 \text{ V}} = 12,86 \text{ A} \quad (75)$$

O índice de modulação m_a é determinado como mostrado em (76).

$$m_a = \frac{\sqrt{2} \times V_{CA}}{V_{CC}} = \frac{311 \text{ V}}{400 \text{ V}} = 0,7775 \quad (75)$$

A partir de (75), (76) e utilizando os dados das tabelas 2 e 3, tem-se que a indutância total pode ser determinada através de (32), como explicitado em (77).

$$L_{total} = \frac{V_{CC}}{4 I_{rede} \Delta I_{rede} f_{SW}} (1 - m_a) m_a$$

$$\Rightarrow L_{total} = \frac{400 \text{ V}}{4 \times 6,43 \text{ A} \times (35\% \times 6,43 \text{ A}) \times 30 \text{ kHz}} \Rightarrow \quad (77)$$

$$\Rightarrow L_{total} = 896 \text{ } \mu\text{H}$$

Passo 2 – Determinação do índice de atenuação das harmônicas de chaveamento (σ): O índice σ de atenuação das harmônicas deve respeitar os limites impostos por (50). Portanto, faz-se necessário determinar a relação entre a frequência fundamental e a de chaveamento. Para tal, utiliza-se a equação (51), conforme apresentado em (78).

$$\eta = 100 \left(\frac{\omega_r}{w_{SW}} \right)^2 = 100 \left(\frac{2 \times \pi \times 60 \text{ Hz}}{2 \times \pi \times 30 \text{ kHz}} \right)^2 = 0,04\% \quad (78)$$

Portanto, os limites impostos por (50) são expressos em (79).

$$\frac{\eta}{1 - \eta} \leq \sigma \leq \frac{1}{3} \Rightarrow 0,04\% \leq \sigma \leq 33,33\% \quad (79)$$

Além dos limites impostos em (79), tem-se que σ deve respeitar a expressão (49). Para determinar qual o valor mínimo que σ pode assumir, calcula-se o fator de potência reativa λ e a variável auxiliar x utilizando-se (41) e (44), respectivamente. Foi adotado um fator de potência ativa FP de 99,95%.

$$\lambda = \sqrt{\frac{1}{FP} - 1} = \sqrt{\frac{1}{0,9995} - 1} = 2,24\% \quad (80)$$

$$x = \frac{\Delta I_{rede} V_{CA} \omega_r}{2\pi^2 V_{CC} f_{SW} \lambda} = \frac{5\% \times 220 \text{ V} \times 2 \times \pi \times 60 \text{ Hz}}{2 \times \pi^2 \times 400 \text{ V} \times 30 \text{ kHz} \times 2,24\%} \Rightarrow \quad (81)$$

$$x = 0,078\%$$

Aplicando (81) em (49), tem-se a expressão (82).

$$\frac{4x}{1 - 6x} < \sigma \Rightarrow 0,315\% < \sigma \quad (82)$$

A partir de (79) e (82) tem-se que o intervalo ao qual o índice σ deve pertencer é dado por (83).

$$0,315\% \leq \sigma \leq 33,33\% \Rightarrow \sigma = 0,4\% \text{ (adotado)} \quad (83)$$

Conforme observa-se de (83) foi adotado um índice de atenuação das harmônicas de 0,4%.

Passo 3 – Determinação dos índices a e r : Os valores dos índices a e r podem ser determinados utilizando-se as equações (47) e (48). Contudo, faz-se necessário determinar a variável auxiliar b através de (46), como mostrado em (84).

$$b = \frac{\sigma}{1 + \sigma} \frac{1}{x} = \frac{0,4\%}{1 + 0,4\%} \times \frac{1}{0,078\%} = 5,09 \quad (84)$$

Utilizando o valor determinado em (84) nas expressões (47) e (48), calcula-se os índices a e r , como apresentado em (85) e (86), respectivamente.

$$a = \frac{b - 2 + \sqrt{b(b - 4)}}{2} = \frac{5,09 - 2 + \sqrt{5,09 \times (5,09 - 4)}}{2} \Rightarrow \quad (85)$$

$$\Rightarrow a = 2,723$$

$$r = \frac{b + \sqrt{b(b - 4)}}{2} = \frac{5,09 + \sqrt{5,09 \times (5,09 - 4)}}{2} \Rightarrow \quad (86)$$

$$\Rightarrow r = 0,003$$

Uma vez que a indutância total L_{total} é a soma de L_{1f} e L_{2f} , pode-se utilizar os valores determinados em (85) e (86) nas expressões (34) e (35) a fim de determinar os valores numéricos de L_{1f} , L_{2f} e C_f , como explicitado em (87) e (88).

$$\begin{cases} L_{1f} + L_{2f} = 896 \mu\text{H} \\ L_{1f} = 2,723 \times L_{2f} \end{cases} \Rightarrow \begin{cases} L_{1f} = 655 \mu\text{H} \\ L_{2f} = 241 \mu\text{H} \end{cases} \quad (87)$$

$$C_f = \frac{1}{r\omega_{SW}^2 L_{2f}} = \frac{1}{0,003 \times (2 \times \pi \times 30 \text{ kHz})^2 \times 241 \mu\text{H}} \Rightarrow \quad (88)$$

$$C_f = 2,45 \mu\text{F} \Rightarrow C_f = 3,3 \mu\text{F} \text{ (adotado)}$$

Passo 4 – Determinação da resistência R_f : A frequência de ressonância pode ser determinada por (6), como apresentado em (89).

$$\omega_{\text{res}} = \sqrt{\frac{L_{1f} + L_{2f}}{L_{1f}L_{2f}C_f}} = \sqrt{\frac{655 \mu\text{H} + 241 \mu\text{H}}{655 \mu\text{H} \times 241 \mu\text{H} \times 3,3 \mu\text{F}}} \Rightarrow \quad (90)$$

$$\omega_{\text{res}} = 41.486,76 \text{ rad/s (6,6 kHz)}$$

Nota-se que tal frequência respeita os limites impostos por (52), como mostrado em (90).

$$10\omega_r \leq \omega_{\text{res}} = \frac{\omega_{\text{SW}}}{2} \Rightarrow 600 \text{ Hz} \leq 6,6 \text{ kHz} \leq 15 \text{ kHz} \quad (90)$$

Uma vez definida a frequência de ressonância ω_{res} , pode-se determinar a resistência R_f com a equação (53), como apresentado em (91).

$$R_f = \frac{1}{3\omega_{\text{res}}C_f} = \frac{1}{3 \times 41.486,76 \frac{\text{rad}}{\text{s}} \times 3,3 \mu\text{F}} = 2,4 \Omega \Rightarrow \quad (91)$$

$$\Rightarrow R_f = 3,3 \Omega \text{ (adotado)}$$

Adotou-se o valor de R_f igual a $3,3 \Omega$ devido a disponibilidade de componentes em laboratório.

A indutância do filtro ativo pode ser determinada utilizando os dados das tabelas 2 e 3 e a expressão (60), conforme apresentado em (92). Note que é adotada uma tensão máxima de 700 V sobre o capacitor C_s do filtro.

$$L_s = \frac{V_{C_s}}{8\Delta I_{L_s} I_{L_s} f_{\text{SW}}} = \frac{700 \text{ V}}{8 \times 35\% \times 5 \text{ A} \times 30 \text{ kHz}} \Rightarrow \quad (92)$$

$$\Rightarrow L_s = 1,667 \text{ mH}$$

Para o dimensionamento das capacitâncias do filtro ativo e do elo CC, faz-se necessário determinar a energia total que deve ser processada pelo elo CC. Para isto

determina-se inicialmente o valor de C'_{lk} , isto é, da capacitância que deveria ser utilizada sem a presença do filtro ativo.

O valor de C'_{lk} pode ser determinado a partir da equação (61), como apresentado em (93).

$$C'_{lk} = \frac{P_o}{2\omega_r V_{CC} \widehat{V}_{CC}} = \frac{2 \text{ kW}}{2 \times \pi \times 60 \text{ Hz} \times 400 \text{ V} \times 8 \text{ V}} \Rightarrow \quad (93)$$

$$C'_{lk} = 1,66 \text{ mF}$$

Logo, a energia total processada pelo elo CC E_{elo_CC} , bem como os valores da capacitância do elo CC e do filtro ativo podem ser determinados utilizando-se as expressões (62), (63) e (64), respectivamente. Foi considerada uma variação de 500 V a 700 V na tensão sobre o capacitor do filtro ativo.

$$E_{elo_CC} = \frac{1}{2} C'_{lk} (V_{CC_{max}}^2 - V_{CC_{min}}^2) \Rightarrow \quad (94)$$

$$E_{elo_CC} = \frac{1}{2} \times 1,66 \text{ mF} \times ((408 \text{ V})^2 - (392 \text{ V})^2) = 5,305 \text{ J}$$

$$C_s = \frac{2E_{elo_CC}}{V_{C_{s_{max}}}^2 - V_{C_{s_{min}}}^2} = \frac{2 \times 5,305 \text{ J}}{(700 \text{ V})^2 - (500 \text{ V})^2} \Rightarrow C_s = 44,21 \mu\text{F} \quad (95)$$

$$\Rightarrow C_s = 100 \mu\text{F} \text{ (adotado)}$$

$$C_{lk} = \frac{2E_{elo_CC}}{V_{CC_{max}}^2 - 0} = \frac{2 \times 5,305 \text{ J}}{(400 \text{ V})^2} \Rightarrow C_s = 66,315 \mu\text{F} \quad (96)$$

$$\Rightarrow C_{lk} = 150 \mu\text{F} \text{ (adotado)}$$

Adotou-se um valor superior para os capacitores C_s e C_{lk} tendo em vista os valores disponíveis em laboratório.

É salutar a diminuição da capacitância do elo CC em 11 (onze) vezes, possibilitando assim a utilização de capacitores de filme ao invés de capacitores eletrolíticos. Nas tabelas 5 e 6 tem-se os dados dos capacitores utilizados para o elo CC e o filtro ativo, respectivamente.

Tabela 5 – Dados do capacitor do elo CC

Parâmetro	Valor / unidade
Tipo	Filme
Fabricante	KEMET
Código	C4DEHPQ6150A8TK
Capacitância C'_{lk}	150 μ F
Tensão máxima	600 V
Resistência série total r_c	0,75 m Ω

Fonte: Elaborada pelo Autor.

Tabela 6 – Dados do capacitor do filtro ativo

Parâmetro	Valor / unidade
Tipo	Filme
Fabricante	KEMET
Código	80-C4DENPQ6100A8TK
Capacitância total C'_{lk}	100 μ F
Tensão máxima	1000 V
Resistência série total r_c	1,3 m Ω

Fonte: Elaborada pelo Autor.

As chaves de potência S_1 a S_8 são selecionadas de acordo com as restrições impostas pelas equações (24), (25), (26), (31) e (66). Para as chaves do estágio CC-CC (S_1 e S_2) e CC-CA (S_3 a S_6) foi selecionado o IGBT IRG4PC40UDPBF e para as chaves do filtro ativo (S_7 e S_8) foi selecionado o IGBT IRG4PF50WDPBF.

As principais características do IGBT IRG4PC40UDPBF e do IGBT IRG4PF50WDPBF, tais como tensão máxima entre coletor e emissor, corrente máxima de coletor e tensão máxima de acionamento, isto é, entre gatilho e emissor, são mostradas nas tabelas 7 e 8, respectivamente.

Tabela 7 – Principais características do IGBT IRG4PC40UDPBF

Parâmetro	Valor / unidade
Tensão máxima entre coletor e emissor V_{CES}	600V
Tensão de saturação entre coletor e emissor $V_{CE_{on}}$	1,7 V
Corrente máxima de coletor @ 100°C	20 A
Tensão máxima entre gatilho e emissor V_{GE}	± 20 V
Corrente através do gatilho e emissor I_{GES}	± 100 nA
Carga total no gatilho durante o acionamento Q_g	100 nC
Carga entre gatilho e emissor durante o acionamento Q_{ge}	16 nC
Carga entre gatilho e coletor durante o acionamento Q_{gc}	40 nC

Fonte: International Rectifier, 2004.

Tabela 8 – Principais características do IGBT IRG4PF50WDPBF

Parâmetro	Valor / unidade
Tensão máxima entre coletor e emissor V_{CES}	900V
Tensão de saturação entre coletor e emissor $V_{CE_{on}}$	2,12 V
Corrente máxima de coletor @ 100°C	28A
Tensão máxima entre gatilho e emissor V_{GE}	± 20 V
Corrente I_{GES}	± 100 nA
Carga total no gatilho durante o acionamento Q_g	160 nC
Carga entre gatilho e emissor durante o acionamento Q_{ge}	19nC
Carga entre gatilho e coletor durante o acionamento Q_{gc}	53nC

Fonte: International Rectifier, 2004.

Para o acionamento das chaves de potência dos estágios CC-CC e CC-CA adotou-se o *driver* da SEMIKRON SKHI (61) R. Este *driver* pode ser utilizado para acionar até três braços meia ponte com chaves de potência do tipo IGBT ou MOSFET. Possui uma capacidade de acionamento de 2,0 A e tensão máxima entre emissor e coletor de 900 V para cada uma das chaves. Os pulsos de entrada possuem compatibilidade CMOS (5,0 V), sendo necessário a utilização de um *buffer* caso o controlador utilizado possua padrão em 3,3 V. Os pulsos de entrada são transmitidos para as chaves de potência através de opto-acopladores internos ao *driver*. Apesar de poder operar sem tempo morto, é recomendável que tal modo não seja utilizado, uma vez que operando desta forma o *driver* permite o chaveamento

simultâneo de duas chaves de um mesmo braço. Logo foi selecionado o menor valor de tempo morto permitido pelo *driver* (1 μ s).

Para o acionamento das chaves de potência do filtro ativo adotou-se o *driver* da *International Rectifier* IR2214. Este *driver* pode ser utilizado para acionar uma chave de potência ou duas na configuração meia ponte com barramento de até 1200 V. Possui elevada capacidade de acionamento (2,0A / 3,0 A), compatibilidade com dispositivos CMOS (3,3 V), topologia *bootstrap* para gerar a diferença de potência necessária no acionamento da chave superior na configuração meia ponte e tempo morto típico de 300 ns.

4 PROJETO DO CONTROLE DIGITAL

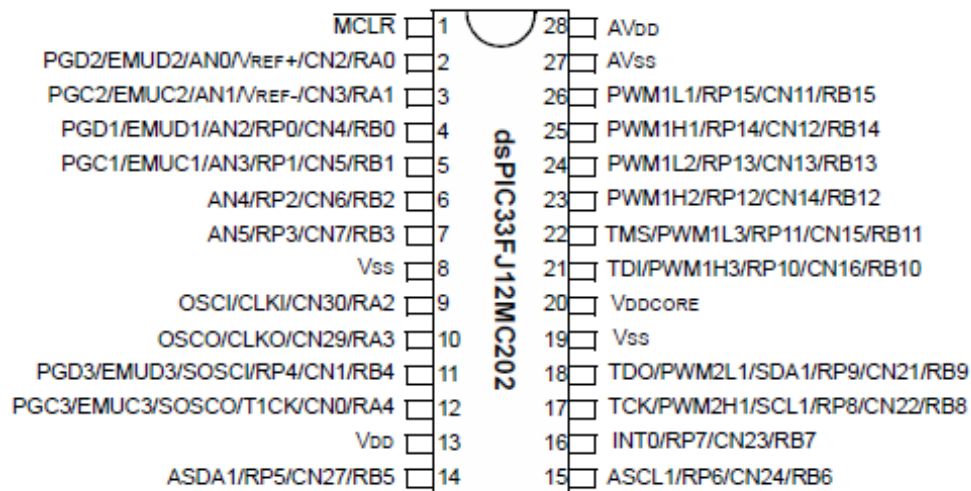
4.1 Introdução

Neste capítulo é apresentado o microcontrolador adotado, bem como são apresentados os sensores utilizados, os circuitos de condicionamento dos sinais de tensão e corrente lidos, bem como o projeto dos controladores das malhas de tensão e corrente. Por fim é explicado como foi realizada a implementação prática das leis de controle no microcontrolador escolhido.

4.2 Microcontrolador adotado

Para a implementação dos controladores digitais do conversor proposto, são utilizados dois microcontroladores dsPIC 33FJ12MC202, mostrado na figura 27, de 16 bits, com velocidade máxima de processamento de 40 MIPS (Million of Instructions Per Second) produzido pela Microchip.

Figura 27 – Microcontrolador dsPIC 33FJ12MC202



Fonte: MICROCHIP, 2007.

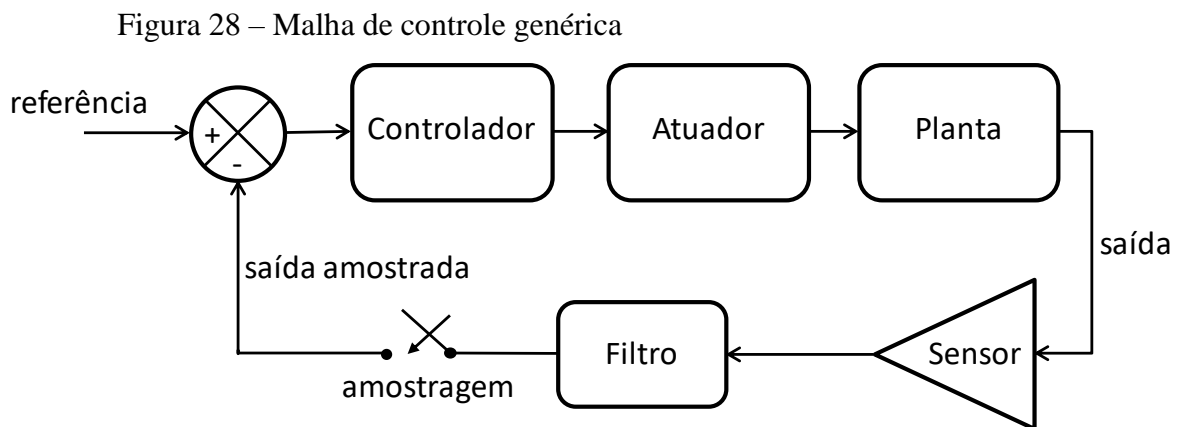
O dsPIC 33FJ12MC202 possui uma máquina DSP (Digital Signal Processor) capaz de realizar, em um ciclo de clock, operações de multiplicação e soma de números inteiros ou fracionários de até 16 bits não sinalizados ou 15 bits sinalizados. Para tal, utiliza dois acumuladores de 40 bits para armazenar o resultado das operações. Também possui,

dentre outras funcionalidades: 4 módulos PWM com 2 saídas cada possuindo a capacidade de operar com as saídas independentes ou complementares, ajuste de tempo morto, trigger pelo ADC (Analog Digital Converter), portadora triangular ou dente de serra; 2 módulos ADCs (Analog Digital Converters) com até 6 canais possuindo a capacidade de amostrar 2 ou 4 canais simultaneamente, resolução de 10 bits ou 12 bits, início da conversão manual ou sincronizada com até quatro sinais de trigger, velocidade máxima de amostragem de 1.1 Msps (Mega-Samples Per Second) na configuração de 10 bits e 500 ksps (Kilo-Samples Per Second) na configuração de 12 bits.

Para o estágio CC-CC e o estágio CC-CA é utilizado um microcontrolador dsPIC 33FJ12MC202 e para o filtro ativo outro microcontrolador dsPIC 33FJ12MC202. Tal divisão foi realizada para possibilitar a amostragem de todas as tensões e corrente necessárias.

4.3 Modulador PWM, circuito de condicionamento de sinais, sensores e ganho do conversor A/D

Uma malha de controle genérica é mostrada na figura 28.



Fonte: Elaborada pelo Autor.

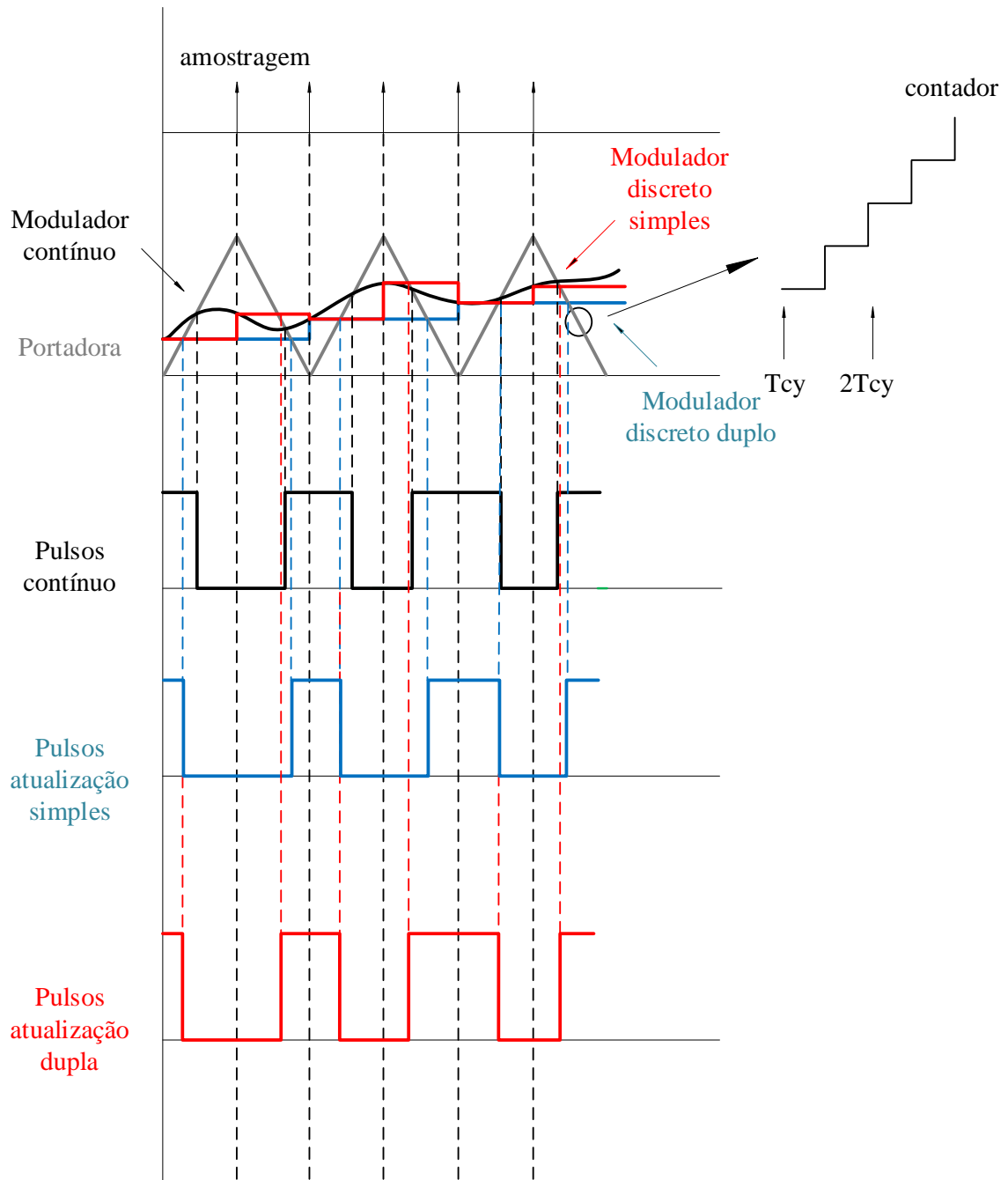
Percebe-se da figura 28 que para projetar o controlador se faz necessário determinar as funções de transferência do atuador, da planta, do sensor e do filtro de condicionamento de sinais. Para as malhas de corrente do estágio CC-CC, do estágio CC-CA e do filtro ativo é o modulador PWM, já para a malha de tensão do estágio CC-CA o atuador é simplesmente um ganho unitário.

Inicialmente pode-se determinar o ganho do atuador das malhas de corrente, isto é, do modulador PWM. O dspic será operado em sua frequência máxima, ou seja, a 40 MIPs.

Contudo o seu oscilador interno será utilizado para gerar tal frequência sendo obtido um valor de 39,62 MHz, resultando em um período de clock T_{cy} de 25,24 ns.

A figura 29 apresenta a comparação entre o modulador PWM contínuo, o discreto com atualização simples e o discreto com atualização dupla.

Figura 29 – Modulador PWM discreto

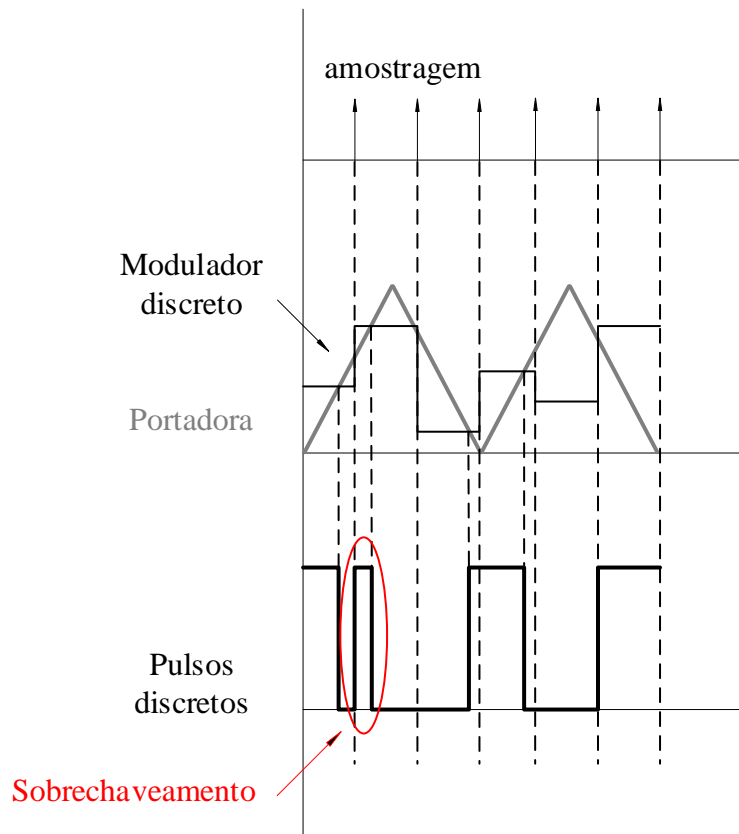


Fonte: Elaborada pelo Autor.

Na figura 29 tem-se o modulador PWM contínuo, no qual a qualquer instante a moduladora é atualizada e, conseqüentemente, o pulso de saída. Para o modulador PWM discreto com atualização simples a moduladora é atualizada somente no início da portadora, resultando em um maior tempo para computar a lei de controle. Já para o modulador PWM discreto com dupla atualização a moduladora é atualizada no início e no pico da triangular, resultando em um tempo menor para computar a lei de controle, contudo os pulsos de saída deste modulador aproximam-se melhor dos pulsos gerados pelo modulador contínuo.

Atualizações da portadora discreta com uma frequência maior do que duas vezes por período pode acarretar em mais de um chaveamento por período da portadora, como mostrado na figura 30.

Figura 30 – Modulador PWM discreto com mais de duas atualizações



Fonte: Elaborada pelo Autor.

Portanto, neste trabalho será utilizado o modulador PWM discreto com dupla atualização, uma vez que os pulsos de saída se aproximam mais do modulador contínuo.

Ainda analisando a figura 29 tem-se que a portadora é sintetizada através de um contador que inicia do valor zero até um valor máximo e depois decresce até o valor zero

novamente. Portanto, a variável contadora nada mais é do que um divisor de frequência, na qual a cada borda, seja de subida ou de descida, do sinal de clock do dspic tem o seu valor incrementado ou decrementado. O valor máximo da contagem $V_{triangular}$ para gerar uma determinada frequência f_{SW} de chaveamento pode então ser determinado através da expressão 97.

$$V_{triangular} = \frac{f_{cy}}{2f_{SW}} - 1 = \frac{39,62 \text{ MHz}}{2 \times 30 \text{ kHz}} - 1 \Rightarrow$$

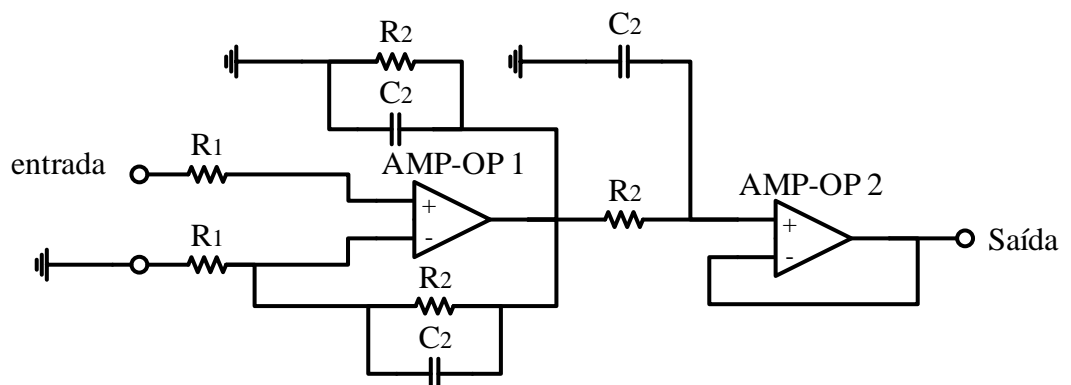
$$\Rightarrow V_{triangular} = 659$$
(97)

Da mesma forma que a variável contadora é atualizada a cada borda, seja de subida ou de descida, do sinal de clock f_{cy} , a moduladora também é contabilizada em cada uma das bordas da portadora, fazendo com que a moduladora varie desde 0 até duas vezes o valor de pico da triangular. Logo, a função de transferência do modulador PWM discreto pode então ser definida como apresentado em (98).

$$F_m = \frac{1}{2V_{triangular}} = \frac{1}{2 \times 659} \Rightarrow F_m = \frac{1}{1318}$$
(98)

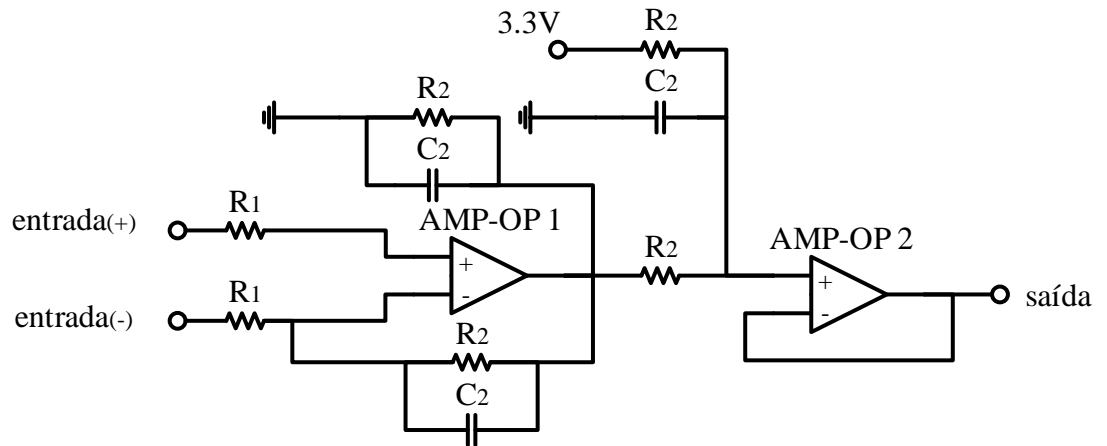
Para a determinação do filtro apresentado na figura 28, isto é, o filtro *anti-aliasing* e de condicionamento dos sinais, utiliza-se os circuitos da figura 31 e 32.

Figura 31 – Circuito para condicionamento de sinais sem *offset*



Fonte: Elaborada pelo Autor.

Figura 32 – Circuito para condicionamento de sinais com *offset*



Fonte: Elaborada pelo Autor.

O circuito da figura 31 utilizado para os sinais que possuem somente leituras positivas e o circuito da figura 32 utilizado para os sinais que possuem valores positivos e negativos.

O valor da resistência R_1 é calculado de acordo com o ganho desejado do primeiro amplificador operacional (AMP-OP 1), doravante denominado de $G_{AMP-OP 1}$, e adotando-se um valor para R_2 , conforme mostrado em (99).

$$R_1 = \frac{R_2}{G_{AMP-OP 1}} \quad (99)$$

O valor de C_2 pode ser determinado a partir da frequência desejada dos polos ω_{polo1} e ω_{polo2} , conforme mostrado em (100).

$$\omega_{polo1} = \omega_{polo2} = \frac{1}{R_2 C_2} \quad (100)$$

O ganho total do circuito de condicionamento de sinais para os circuitos apresentados nas figuras 31 e 32 é mostrado em (101) e (102), respectivamente.

$$G_{cond1} = G_{AMP-OP 1} \quad (102)$$

$$G_{cond2} = \frac{G_{AMP-OP1}}{2} \quad (102)$$

Sendo G_{cond1} o ganho total do circuito da figura 31 e G_{cond2} o ganho total do circuito da figura 32. Logo, as funções de transferência do circuito da figura 31 e da figura 32 são dadas por (103) e (104), respectivamente.

$$F_{cond1}(s) = \frac{R_2}{R_1} \frac{1}{\left(s/R_2C_2 + 1\right)^2} \quad (103)$$

$$F_{cond2}(s) = \frac{1}{2} \frac{R_2}{R_1} \frac{1}{\left(s/R_2C_2 + 1\right)^2} \quad (104)$$

Como será mostrado numericamente na etapa de projeto dos controladores, apenas os ganhos G_{cond1} e G_{cond2} serão considerados na determinação da função de transferência de laço aberto sem controlador, uma vez que os polos provenientes dos circuitos de condicionamento de sinal são pouco influentes na dinâmica do processo.

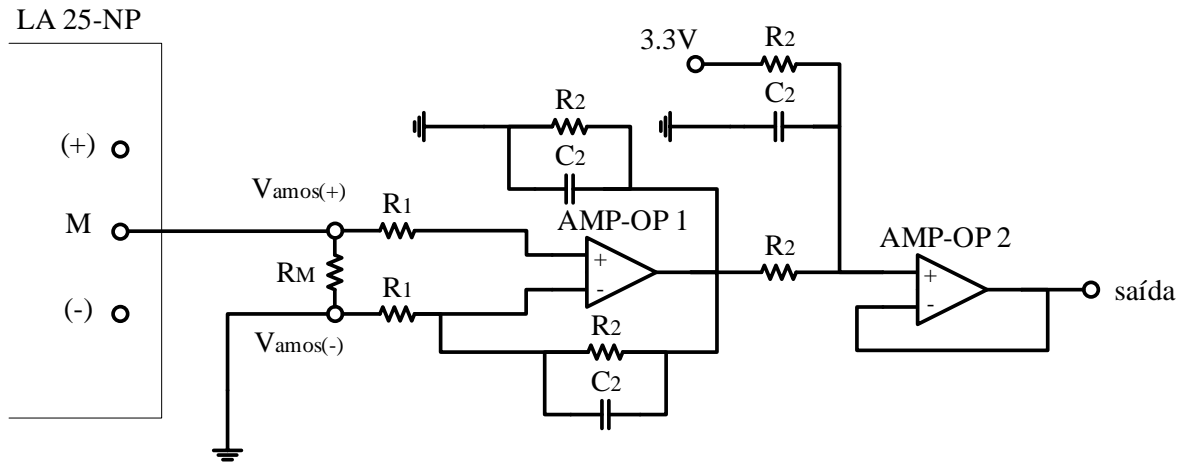
O sensoriamento de tensão da rede elétrica, do elo CC e do barramento do filtro ativo serão realizados com os circuitos apresentados nas figuras 31 e 32. Já para o sensoriamento da corrente do estágio CC-CC, do estágio CC-CA e do filtro ativo será utilizado o sensor LA25-NP fabricado pela LEM.

O sensor LA25-NP funciona por efeito Hall e permite o ajuste do fundo de escala da corrente lida no lado primário. Portanto, ajusta-se o fundo de escala de acordo com os níveis de corrente máximo que se pretende medir em cada uma das malhas de corrente. Para o estágio CC-CC adota-se um fundo de escala de ± 9 A, para o estágio CC-CA um fundo de escala de ± 18 A e para o filtro ativo um fundo de escala de ± 12 A.

Apesar do ajuste do fundo de escala do lado primário do sensor de corrente, o lado secundário permanece constante, isto é, nas três configurações citadas anteriormente a corrente máxima de saída do lado secundário do sensor permanece em 36 mA. Logo, utiliza-se uma resistência shunt R_M de 180Ω fazendo com que a tensão máxima e mínima de saída sobre o resistor shunt seja de +6,48 V e -6,48 V, respectivamente.

Na figura 33 tem-se o esquema de ligação do secundário do sensor de corrente com a resistência shunt R_M e com o circuito de condicionamento de sinais da figura 32.

Figura 33 – Circuito para condicionamento de sinais com o sensor de corrente



Fonte: Elaborada pelo Autor.

Vale salientar que na figura 33 foi utilizado o circuito de condicionamento de sinais com *offset* haja vista que todas as correntes podem assumir valores negativos.

Uma vez que o microcontrolador adotado aceita tensões em seus pinos que variam desde 0 V a 3,3 V, os circuitos de condicionamento de sinais dos sensores de corrente foram dimensionados para dispor destes valores de saída quando a tensão de entrada assume seus valores mínimo e máximo. Portanto, o valor da resistência R_1 pode ser calculado a partir da expressão (99), (102) e adotando $R_2 = 10 \text{ k}\Omega$, uma vez que deve ser bem maior do que R_M para não afetar a medição realizada, como mostrado em (105).

$$G_{\text{cond}2} = \frac{6,48 \text{ V} - (-6,48 \text{ V})}{3,3 \text{ V} - 0 \text{ V}} = 0,25463 \Rightarrow$$

$$\Rightarrow G_{\text{AMP-OP}1} = 2G_{\text{cond}2} = 0,50926 \Rightarrow \quad (105)$$

$$\Rightarrow R_2 = \frac{R_1}{G_{\text{AMP-OP}1}} = 19,636 \text{ k}\Omega \Rightarrow R_2 = 20 \text{ k}\Omega \text{ (adotado)}$$

Os polos do circuito de condicionamento de sinais dos sensores de corrente são alocados na metade da frequência de chaveamento a fim de filtrar efeitos de *aliasing*. Logo, o valor de C_2 pode ser determinado a partir da expressão (100), como apresentado em (106).

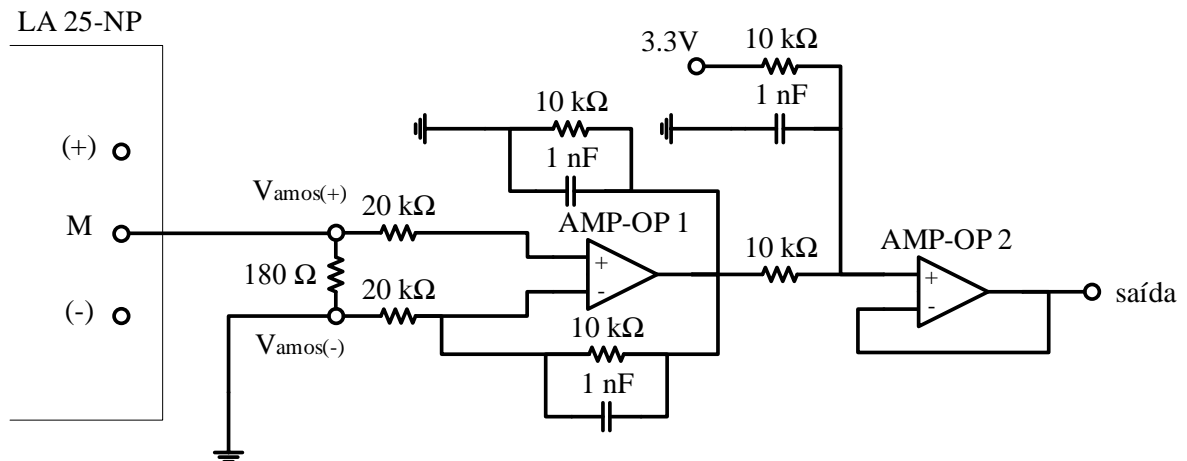
$$\omega_{\text{polo1}} = \omega_{\text{polo2}} = 2 \times \pi \times 15 \text{ kHz} \Rightarrow$$

$$\Rightarrow 94.247,80 \frac{\text{rad}}{\text{s}} = \frac{1}{20 \text{ k}\Omega \times C_2} \Rightarrow C_2 = 1,06 \text{ nF} \quad (106)$$

$$\Rightarrow C_2 = 1,00 \text{ nF (adotado)}$$

Na figura 34 tem-se o circuito de condicionamento e de sensoriamento utilizado para todas as correntes.

Figura 34 – Circuito para condicionamento de sinais com o sensor de corrente com valores

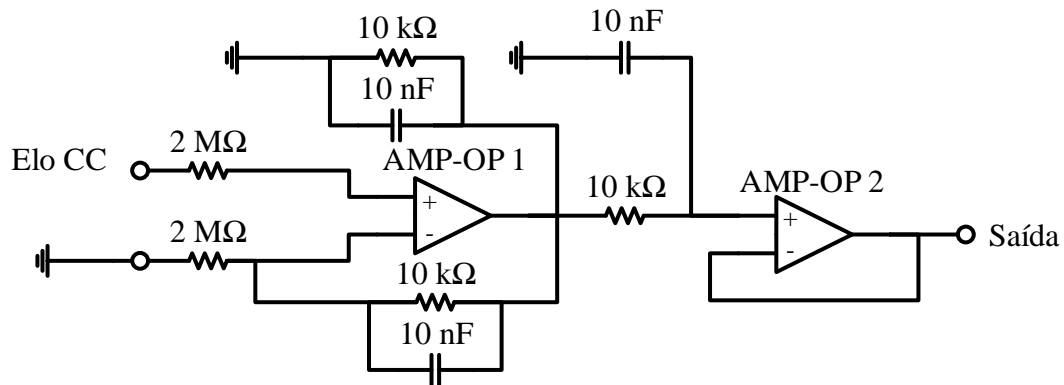


Fonte: Elaborada pelo Autor.

De forma análoga, para o dimensionamento do sensor de tensão do elo CC considerou-se um fundo de escala de 660 V. Uma vez que tal tensão pode assumir somente valores positivos, utilizou-se o circuito da figura 31. Adotando uma resistência R_2 de 10 k Ω e alocando os polos do filtro em 1/20 da frequência de chaveamento, uma vez que somente é importante a amostragem das componentes de baixas frequências da tensão do elo CC, tem-se uma resistência R_1 dada pode 2 M Ω e uma capacitância C_2 de 10 nF.

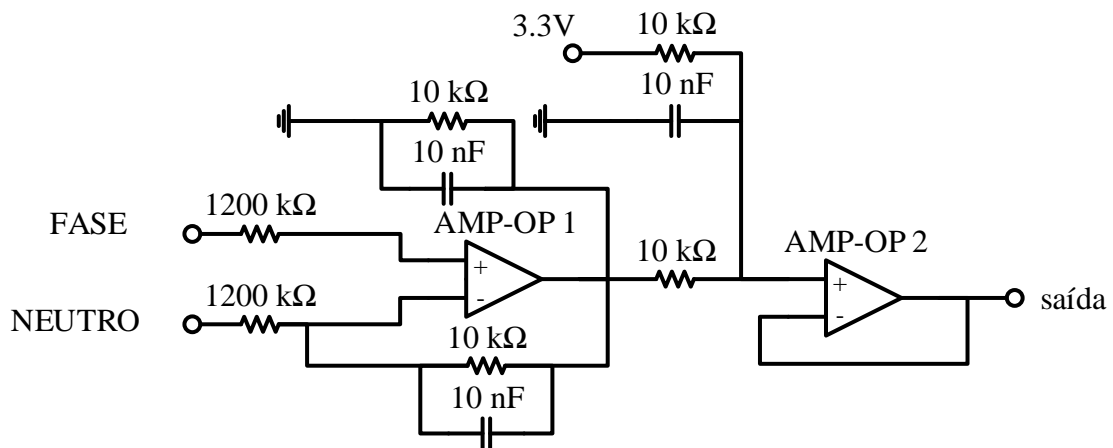
Da mesma forma, foram dimensionados os sensores de tensão da rede elétrica e do barramento do filtro ativo considerando um fundo de escala de ± 396 V e 990 V, respectivamente. Na figura 35, 36 e 37 tem-se os circuitos adotados para a amostragem e filtragem da tensão do elo CC, da tensão da rede elétrica e do barramento do filtro ativo, respectivamente.

Figura 35 – Sensor de tensão do elo CC



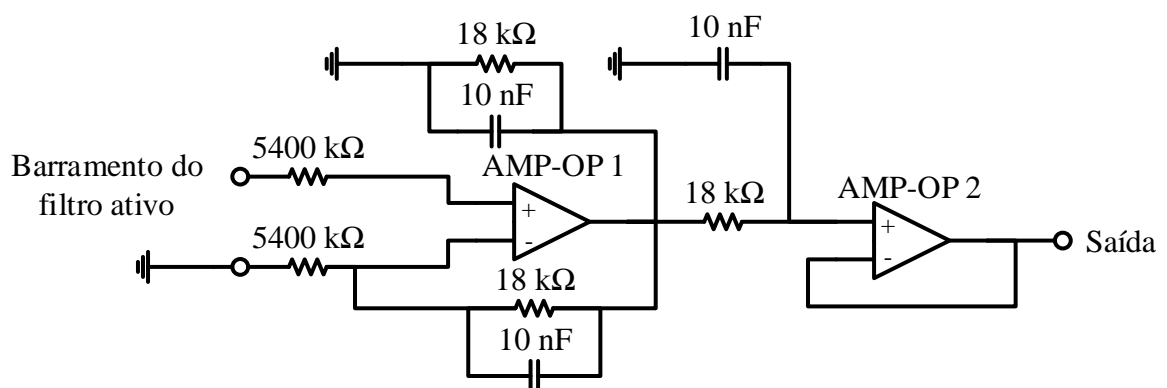
Fonte: Elaborada pelo Autor.

Figura 36 – Sensor de tensão da rede elétrica



Fonte: Elaborada pelo Autor.

Figura 37 – Sensor de tensão do barramento do filtro ativo



Fonte: Elaborada pelo Autor.

Logo, nas equações (107), (108), (109) tem-se as funções de transferência dos sensores de tensão do elo CC, tensão da rede elétrica e tensão do barramento do filtro ativo, respectivamente.

$$H_{v1} = 0,005 \frac{1}{\left(s/9.424,78 + 1\right)^2} \quad (107)$$

$$H_{v2} = 0,00417 \frac{1}{\left(s/9.424,78 + 1\right)^2} \quad (108)$$

$$H_{v3} = 0,00333 \frac{1}{\left(s/5.555,56 + 1\right)^2} \quad (109)$$

De forma análoga, as funções de transferência dos sensores de corrente do estágio CC-CC, do estágio CC-Ca e do filtro ativo são dadas por (110), (111), e (112), respectivamente.

$$H_{i1} = 0,18 \frac{1}{\left(s/94.247,8 + 1\right)^2} \quad (110)$$

$$H_{i2} = 0,09 \frac{1}{\left(s/94.247,8 + 1\right)^2} \quad (111)$$

$$H_{i3} = 0,135 \frac{1}{\left(s/94.247,8 + 1\right)^2} \quad (112)$$

Por fim, o ganho do conversor analógico digital pode ser determinado pela expressão (113), uma vez que os pinos analógicos somente aceitam tensões positivas de 0 V a 3,3 V e que o módulo A/D é configurado para operar com resolução de 10 bits.

$$H_{\text{ADC}} = \frac{2^{10} - 1}{3,3 \text{ V} - 0 \text{ V}} \Rightarrow H_{\text{ADC}} = 310 \quad (113)$$

4.4 Projeto dos controladores discretos

4.4.1 Malha de corrente do estágio CC-CC

Uma vez determinado os ganhos do modulador PWM, dos circuitos de condicionamento de sinais, dos sensores e do conversor A/D, pode-se determinar a função de transferência de laço aberto para cada uma das malhas de controle do conversor proposto.

Como dito anteriormente, o estágio CC-CC opera no modo corrente, isto é, apenas a corrente que atravessa o indutor L_{in} é controlada através da razão cíclica das chaves S_1 e S_2 que operam de forma complementar. Logo, a função de transferência de laço aberto é dada por (114).

$$FTLA_{\text{sccicc-cc}}(s) = F_m H_{i1}(s) H_{\text{ADC}} \frac{\hat{I}_{L_{in}}}{\hat{d}_2} \quad (114)$$

$$FTLA_{\text{sccicc-cc}}(s) = \frac{1,510 \times 10^2}{\left(s/109,3613 + 1\right) \left(s/94.247,8 + 1\right)^2}$$

Nota-se da expressão (114) que os polos inseridos pelo circuito de condicionamento de sinais podem ser desprezados para o projeto do controlador, uma vez que pouco influenciam na dinâmica do processo. Portanto, a função de transferência de laço aberto pode ser simplificada para a apresentada em (115).

$$FTLA_{\text{sccicc-cc}}(s) = \frac{1,510 \times 10^2}{s/109,3613 + 1} \quad (115)$$

A taxa de amostragem utilizada em todas malhas de corrente foi de 60 kHz. Selecionou-se esta taxa de amostragem uma vez que esta é a frequência de atualização da razão cíclica e deseja-se que as malhas de corrente sejam mais rápidas quanto possível. Frequências de amostragens mais elevadas não surtem nenhum efeito prático, uma vez que a

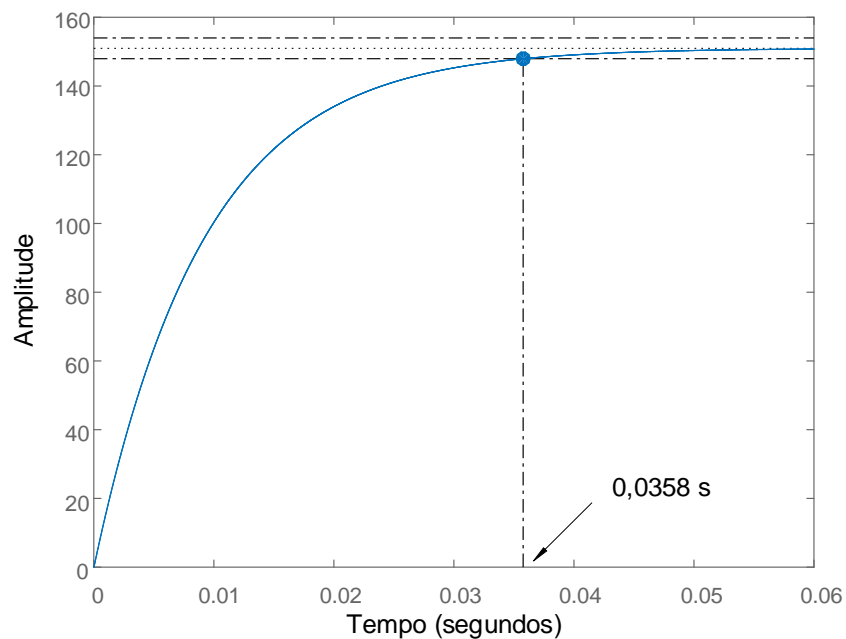
frequência de amostragem selecionada coincide com a frequência de atualização da moduladora do módulo PWM.

A função de transferência apresentada em (115) pode ser discretizada utilizando-se o método do retentor de ordem zero (ZOH), conforme consta em (116).

$$H_{OL_{CC-CC}}(z^{-1}) = \frac{B(z^{-1})}{A(z^{-1})} = \frac{0,2749z^{-1}}{1 - 0,9982z^{-1}} \quad (116)$$

A resposta ao degrau unitário da função de transferência apresentada em (116) é mostrada na figura 38.

Figura 38 – Resposta discretizada ao degrau unitário da função de transferência de laço aberto do estágio CC-CC



Fonte: Elaborada pelo Autor.

Nota-se que o processo possui um tempo de assentamento elevado de 0,0358 segundos e um elevado erro em regime permanente.

Deseja-se em malha fechada que o sistema opere como um sistema de segunda ordem com máximo sobressinal de 17 % e tempo de assentamento de 0,52 milissegundos, tais especificações implicam, no domínio da frequência, uma margem de cruzamento de ganho para quando o módulo é 0 dB de aproximadamente 3 kHz e margem de fase de aproximadamente 60°. O máximo sobressinal foi escolhido de forma a evitar elevadas

sobrecorrentes durante transitórios de referência e o tempo de assentamento de forma a ser mais rápido (aproximadamente 16 vezes) do que a envoltória de 120 Hz presente na tensão do elo CC.

Um sistema de segunda ordem que possua a dinâmica desejada em malha fechada pode então ser calculado e posteriormente ser discretizado a fim de obter o polinômio característico desejado em malha fechada, conforme mostrado na equação (117). Para a determinação da função de segunda ordem apresentada em (117), foi utilizada uma rotina em MATLAB apresentada no Apêndice B.

$$P(z^{-1}) = 1 + p_1 z^{-1} + p_2 z^{-2} = 1 - 1,696z^{-1} + 0,7216z^{-2} \quad (117)$$

O controlador a ser adotado é o controlador do tipo PI, possuindo a função de transferência apresentada em (118), segundo LANDAU *et al*, 2006.

$$C_{i1}(z^{-1}) = \frac{R(z^{-1})}{S(z^{-1})} = \frac{r_0 + r_1 z^{-1}}{1 - z^{-1}} \quad (118)$$

Considerando as expressões (116) e (118), pode-se determinar a função de transferência de malha fechada com controlador, como apresentado em (119).

$$H_{OLCC-CC}(z^{-1}) = \frac{B(z)R(z)}{A(z)S(z) + B(z)R(z)} \Rightarrow \quad (119)$$

$$H_{OLCC-CC}(z^{-1}) = \frac{(0,2749z^{-1})(r_0 + r_1 z^{-1})}{(1 - 0,9982z^{-1})(1 - z^{-1}) + (0,2749z^{-1})(r_0 + r_1 z^{-1})}$$

Igualando o polinômio característico da expressão (119) com a expressão (117), pode-se calcular o valor dos coeficientes r_0 e r_1 do controlador PI, conforme mostrado em (120).

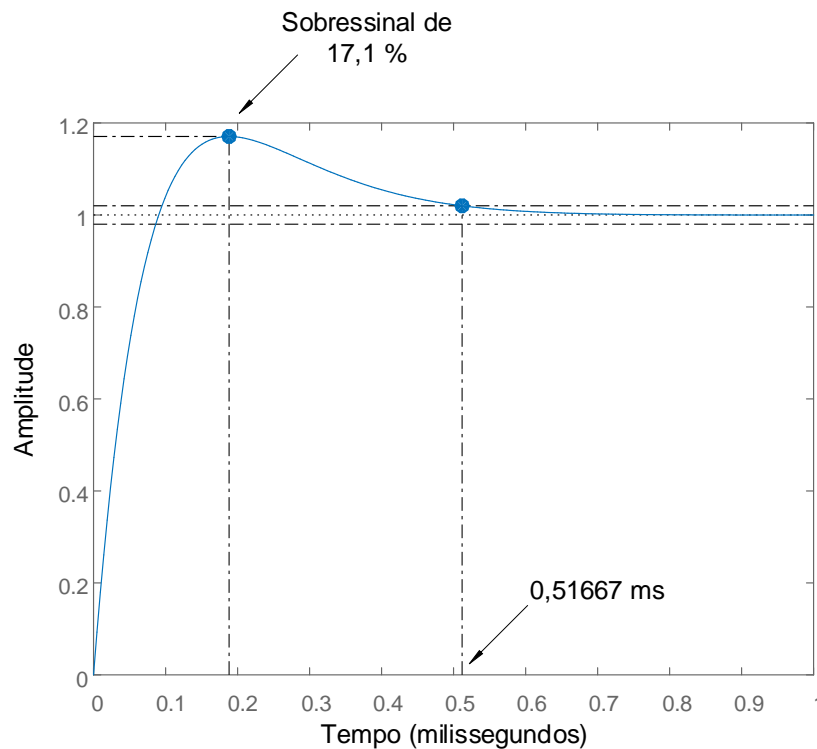
$$\begin{cases} r_1 = \frac{p_2 + a_1}{b_1} = -1,006 \\ r_0 = \frac{p_1 - a_1 + 1}{b_1} = 1,1 \end{cases} \quad (120)$$

Logo o controlador da malha de corrente é dado pela expressão (121).

$$C_{i1}(z^{-1}) = \frac{R(z^{-1})}{S(z^{-1})} = \frac{1,1 - 1,006z^{-1}}{1 - z^{-1}} \quad (121)$$

A resposta ao degrau unitário do sistema em malha fechada é apresentada na figura 39. Percebe-se que o tempo de assentamento atingido foi de 0,51667 milissegundos e o máximo sobressinal de 17,1 %, conforme especificado em projeto.

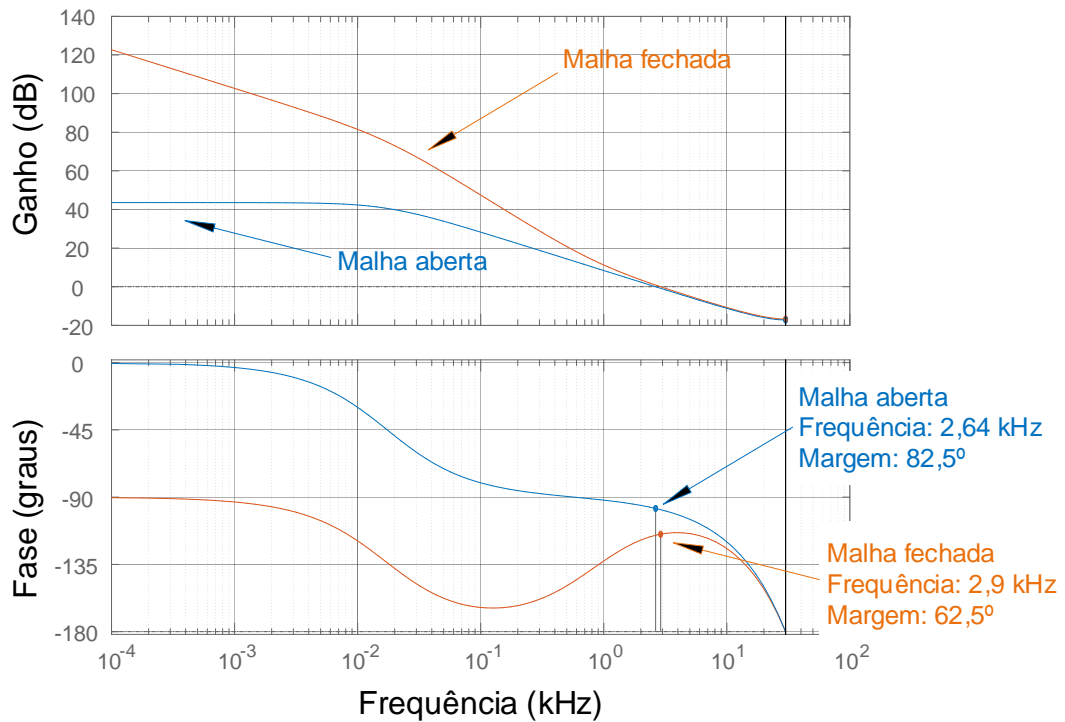
Figura 39 – Resposta discretizada ao degrau unitário da função de transferência de malha fechada do estágio CC-CC



Fonte: Elaborada pelo Autor.

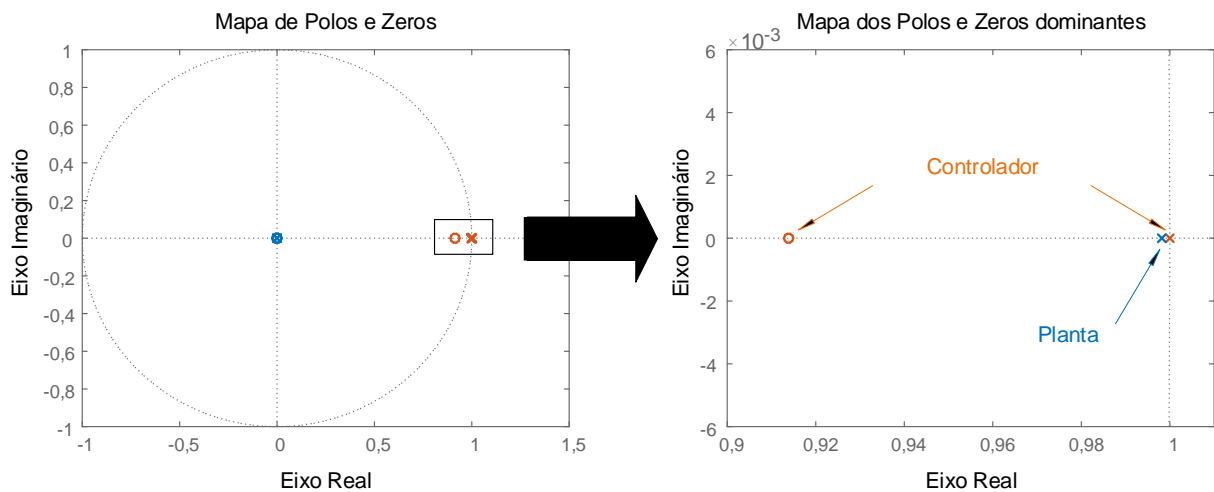
Os diagramas de bode do sistema sem controlador e do sistema com controlador são mostrados na figura 40. Percebe-se que o sistema não controlado já possui uma frequência de cruzamento de ganho próxima ao valor desejado, contudo a margem de fase é de 82,5° caracterizando o sistema subamortecido apresentado na figura 38. Já o sistema controlado atingiu uma frequência de cruzamento de ganho de 2,9 kHz e uma margem de fase de 62,5°, conforme especificado.

Figura 40 – Diagrama de Bode do sistema controlado e não controlado da malha de corrente do estágio CC-CC



Fonte: Elaborada pelo Autor.

Figura 41 – Localização dos polos e zeros do sistema em malha fechada para a malha de corrente do estágio CC-CC



Fonte: Elaborada pelo Autor.

Na figura 41 é apresentada a localização dos polos e zeros do sistema em malha fechada. Nota-se que o polo da planta é localizado em 0,9982, conforme apresentado em (116) e o polo do controlador PI é localizado em 1,0 e o zero do controlador é alocado em 0,9145,

conforme apresentado em (121). Os polos e zeros oriundos do filtro *anti-aliasing* e do sensor são localizados próximos ao centro da circunferência de raio unitário possuindo pouca influência sobre a resposta dinâmica do sistema em malha fechada

O polo inserido pelo controlador em 1,0 garante que o sistema em malha fechada possua erro estacionário nulo para uma resposta a uma entrada do tipo degrau e o zero posicionado próximo aos polos dominantes do sistema em malha fechada diminui o tempo de assentamento, contudo eleva o máximo sobressinal, conforme visto na figura 39.

4.4.2 Malha de corrente do estágio CC-CA

De forma análoga foi projetado o controlador da malha de corrente do estágio CC-CA. Para o estágio CC-CA deseja-se em malha fechada que o sistema opere como um sistema de segunda ordem com um máximo sobressinal de 15 % e tempo de assentamento de aproximadamente 0,6 milissegundos. No domínio da frequência isto implica em uma margem de cruzamento de ganho para quando o módulo é 0 dB de aproximadamente 3,0 kHz e margem de fase por volta de 75°.

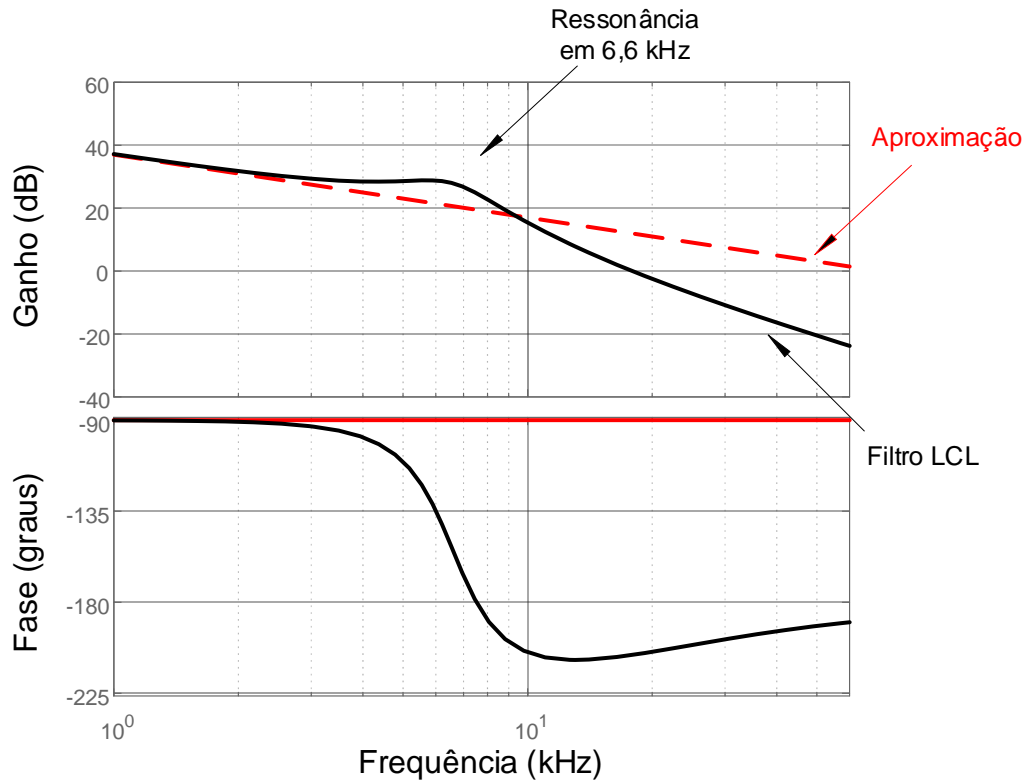
A frequência de cruzamento de ganho para quando o módulo é 0 dB deve ser inferior a frequência de ressonância do filtro LCL (6,6 kHz), a fim de se evitar controlar o sistema próximo da ressonância (YEPES *et al*, 2011). Nesta região, a função de transferência do filtro LCL pode ser aproximada por uma função de primeira ordem dada pela função de transferência de um filtro L equivalente, como mostrado em (122).

$$\frac{\hat{i}_{L_{2f}}}{\hat{d}_2} = V_{CC} \frac{R_f}{L_{1f}L_{2f}} \frac{s + 1/R_f C_f}{s \left(s^2 + (L_{1f} + L_{2f})R_f/L_{1f}L_{2f} s + (L_{1f} + L_{2f})/L_{1f}L_{2f}C_f \right)} \quad (122)$$

$$\frac{\hat{i}_{L_{2f}}}{\hat{d}_2} \approx \frac{V_{CC}}{sL_{total}}$$

Na figura 42 tem-se a comparação do diagrama de Bode das duas funções de transferências, isto é, a comparação entre a função de transferência do filtro LCL e a função de transferência do filtro L equivalente em baixas frequências.

Figura 42 – Comparação da função de transferência do filtro LCL e seu equivalente filtro L em baixas frequências



Fonte: Elaborada pelo Autor.

Logo, a função de transferência de laço aberto é dada por (123).

$$FTLA_{scci_{CC-CA}}(s) = 2F_m H_{i2}(s) H_{ADC} \frac{V_{CC}}{sL_{total}} \quad (123)$$

$$FTLA_{scci_{CC-CA}}(s) = \frac{16,934}{\left(\frac{s}{1116,1}\right) \left(\frac{s}{94.247,8} + 1\right)^2}$$

Nota-se da expressão (123) que os polos inseridos pelo circuito de condicionamento de sinais podem ser desprezados para o projeto do controlador, uma vez que pouco influenciam na dinâmica do processo. Portanto, a função de transferência de laço aberto pode ser simplificada para a apresentada em (124).

$$FTLA_{scci_{CC-CA}}(s) = \frac{16,934}{s/1116,1} \quad (124)$$

A função de transferência apresentada em (124) pode ser discretizada utilizando-se o método do retentor de ordem zero (ZOH), sendo apresentada em (125).

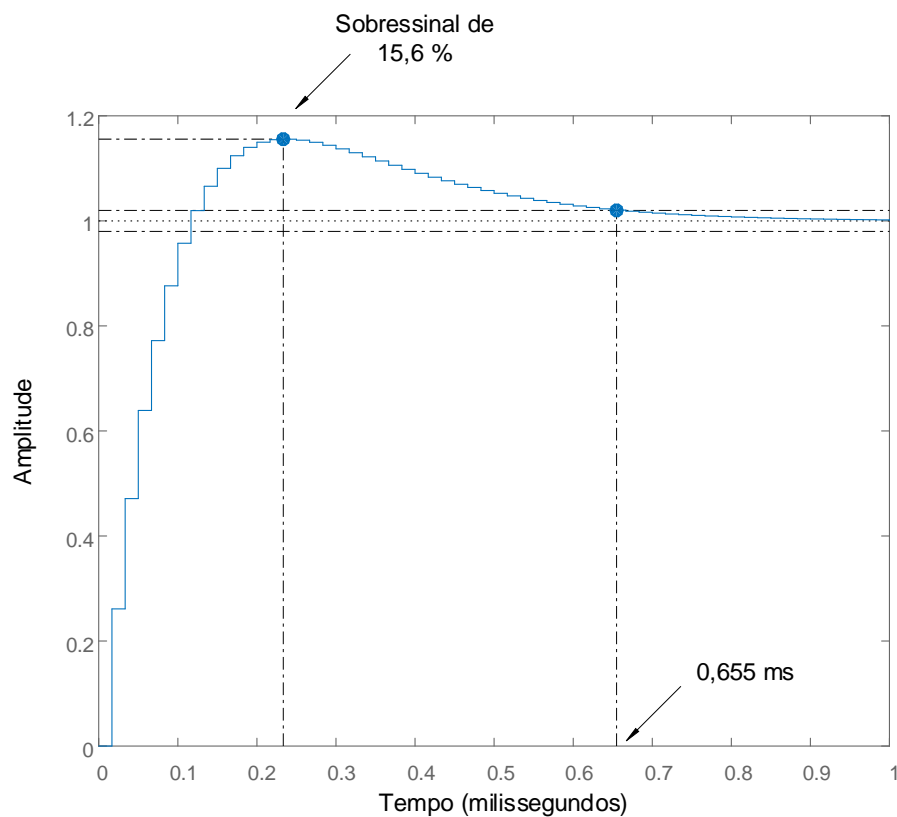
$$H_{OLiCC-CA}(z^{-1}) = \frac{B(z^{-1})}{A(z^{-1})} = \frac{7,44z^{-1}}{1 - z^{-1}} \quad (125)$$

De forma similar a realizada para o estágio CC-CC, tem-se o controlador da malha de corrente do estágio CC-CA dado pela expressão (126).

$$C_{i2}(z^{-1}) = \frac{R(z^{-1})}{S(z^{-1})} = \frac{0,8292 - 0,775z^{-1}}{1 - z^{-1}} \quad (126)$$

A resposta ao degrau unitário do sistema em malha fechada é apresentada na figura 43.

Figura 43 – Resposta discretizada ao degrau unitário da função de transferência de malha fechada do estágio CC-CA – malha de corrente

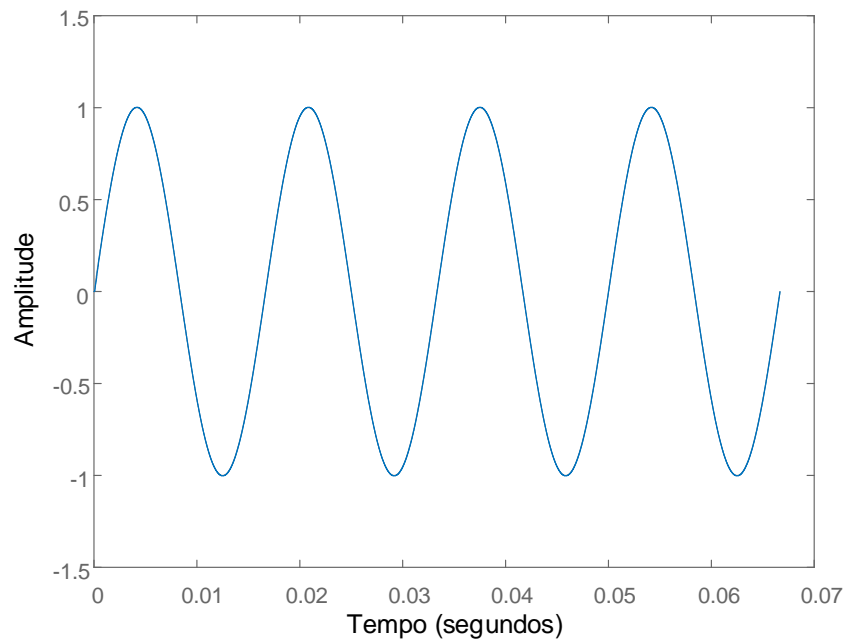


Fonte: Elaborada pelo Autor.

Percebe-se que o tempo de assentamento atingido foi de 0,655 milissegundos e o máximo sobressinal de 15,06 %, conforme especificado em projeto.

Além da resposta ao degrau unitário é interessante avaliar a resposta a senoide unitária com frequência igual a 60 Hz, haja vista que a corrente injetada ou drenada da rede possui o formato senoidal. Tal resposta é apresentada na figura 44.

Figura 44 – Resposta discretizada à senoide unitária da função de transferência de malha fechada do estágio CC-CA – malha de corrente

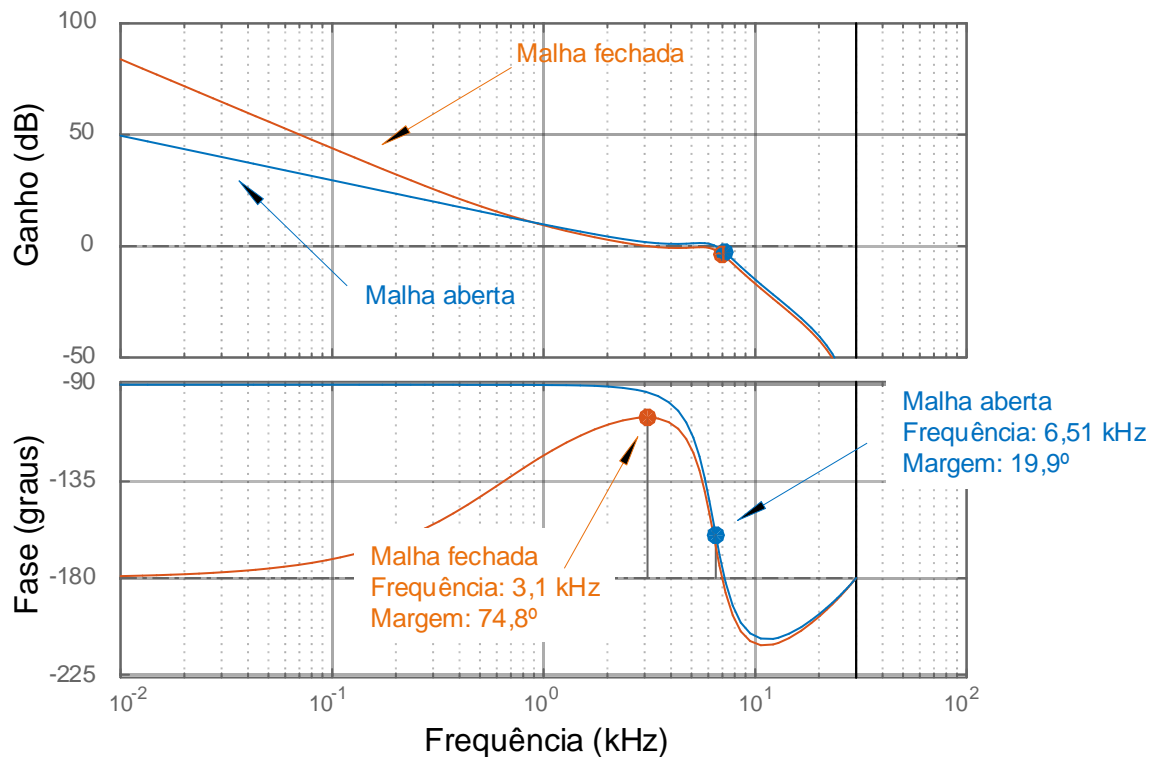


Fonte: Elaborada pelo Autor.

Da figura 44 tem-se que o sistema em malha fechada consegue seguir a referência do tipo senoide, apesar do controlador ser do tipo PI. Isto se deve ao fato de que o tempo de assentamento obtido em malha fechada é aproximadamente 25,5 vezes menor do que o período da senoide de referência.

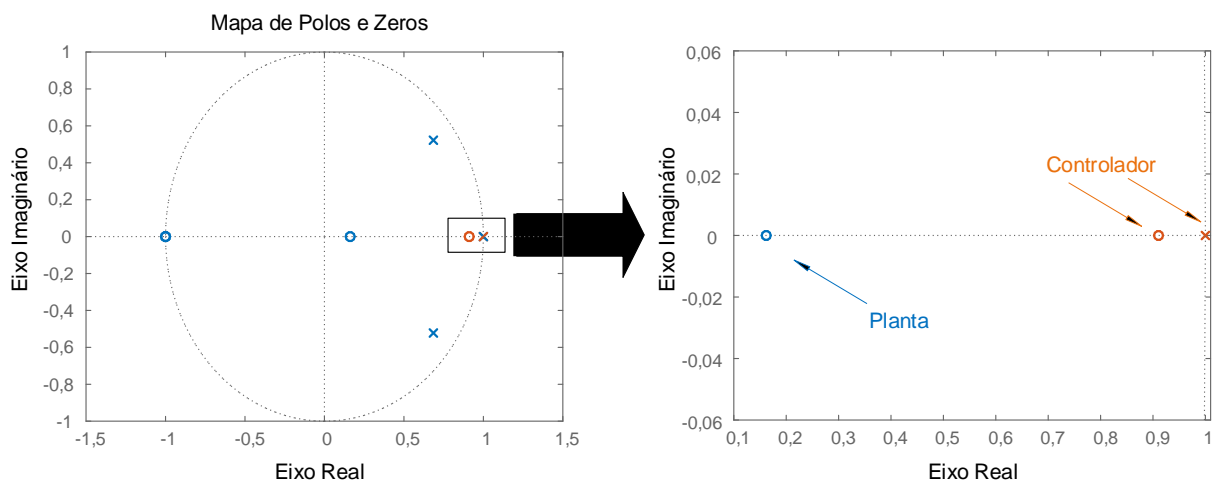
Os diagramas de bode do sistema sem controlador e do sistema com controlador são mostrados na figura 45. Percebe-se que o sistema não controlado possui uma frequência de cruzamento de ganho próxima à frequência de ressonância do filtro LCL e uma margem de fase de $19,9^\circ$ caracterizando que o sistema está próximo da instabilidade. Já o sistema controlado atingiu uma frequência de cruzamento de ganho de 3,1 kHz e uma margem de fase de $74,8^\circ$, conforme especificado.

Figura 45 – Diagrama de Bode do sistema controlado e não controlado da malha de corrente do estágio CC-CA



Fonte: Elaborada pelo Autor.

Figura 46 – Localização dos polos e zeros do sistema em malha fechada para a malha de corrente do estágio CC-CA



Fonte: Elaborada pelo Autor.

Na figura 46 é apresentada a localização dos polos e zeros do sistema em malha fechada desconsiderando o filtro *anti-aliasing*, pois de forma análoga ao estágio CC-CC, os polos e zeros oriundos do filtro *anti-aliasing* e do sensor são localizados próximos ao centro

da circunferência de raio unitário possuindo pouca influência sobre a resposta dinâmica do sistema em malha fechada.

Analisando a figura 46 tem-se que o sistema em malha fechada possui três polos e dois zeros oriundos da planta: dois polos complexos conjugados localizados em $0,685 \pm j0,522$, um polo localizado em $1,0$, um zero localizado em $-1,0$ e outro zero localizado em $0,162$); e um zero e um polo oriundo do controlador PI alocados em $0,935$ e $1,0$, respectivamente.

O polo inserido pelo controlador em $1,0$ garante que o sistema em malha fechada possua erro estacionário nulo para uma resposta a uma entrada do tipo degrau e o zero posicionado próximo aos polos dominantes do sistema em malha fechada diminui o tempo de assentamento, conforme visto na figura 43. Vale salientar que os polos do filtro LCL localizados em $0,685 \pm j0,522$ são, de fato, amortecidos pela inserção da resistência R_f , uma vez que se localizam no interior e não na fronteira do círculo de raio unitário.

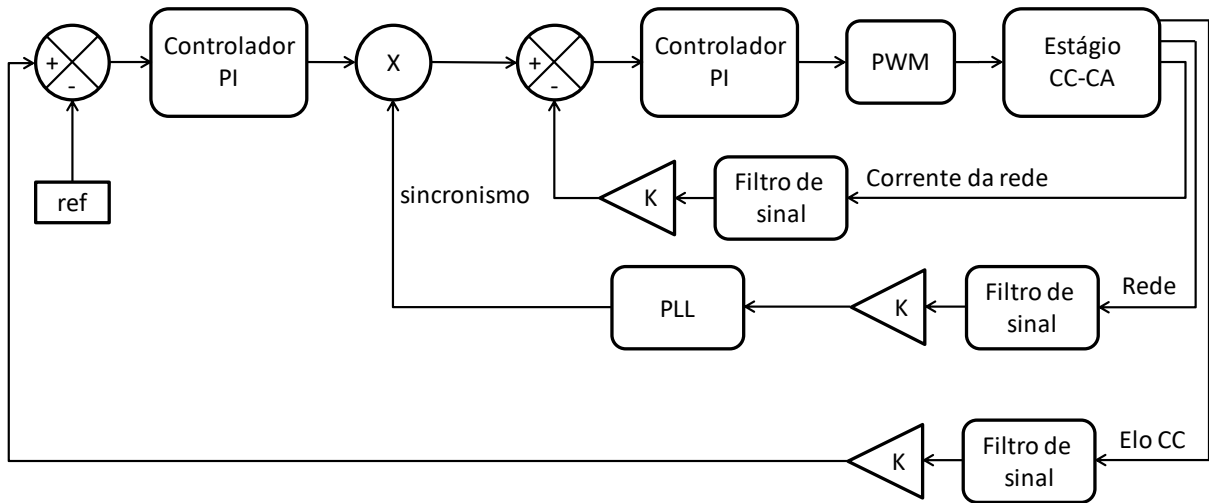
4.4.3 Malha de tensão do estágio CC-CA

De forma equivalente foi projetado o controlador da malha de tensão do estágio CC-CA. Para esta malha deseja-se que o sistema em malha fechada opere como um sistema de segunda ordem com um máximo sobressinal de 22 % e tempo de assentamento de aproximadamente 0,9 segundos, tais especificações implicam, no domínio da frequência, em uma margem de cruzamento de ganho para quando o módulo é 0 dB de aproximadamente um décimo da frequência de ondulação do elo CC, isto é, 12 Hz e margem de fase de aproximadamente 60° . O tempo de assentamento foi escolhido bem maior do que o período da envoltória de 120 Hz da tensão do elo CC, uma vez que se deseja controlar somente o seu valor médio sendo desprezada a sua componente alternada.

A escolha destes parâmetros para o sistema de malha fechada justifica-se pelo fato de que se deseja um sistema que seja mais lento do que a componente alternada de 120 Hz inerente a tensão do elo CC e mais lento do que a malha de corrente, haja vista que o sinal de saída deste controlador multiplicado pelo sinal do PLL gera a referência para a malha de corrente, como apresentado na figura 47.

A partir do diagrama de blocos da estratégia de controle em cascata utilizada no estágio CC-CA e apresentado na figura 47, tem-se que a função de transferência de laço aberto da malha de tensão é dada por (127).

Figura 47 – Diagrama de blocos da estratégia de controle em cascata utilizada no estágio CC-CA



Fonte: Elaborada pelo Autor.

$$FTLA_{sccv_{CC-CA}}(s) = \frac{H_{v1}(s) \hat{v}_{CC}}{|H_{i2}(s)| \hat{I}_{L2f}} \quad (127)$$

$$FTLA_{sccv_{CC-CA}}(s) = \frac{3,457}{(s/6,6489 + 1)(s/9,424,7 + 1)^2}$$

Novamente tem-se que da expressão (127) os polos inseridos pelo circuito de condicionamento de sinais podem ser desprezados para o projeto do controlador, uma vez que pouco influenciam na dinâmica do processo. Portanto, a função de transferência de laço aberto pode ser simplificada para a apresentada em (128).

$$FTLA_{sccv_{CC-CA}}(s) = \frac{3,457}{s/6,6489 + 1} \quad (128)$$

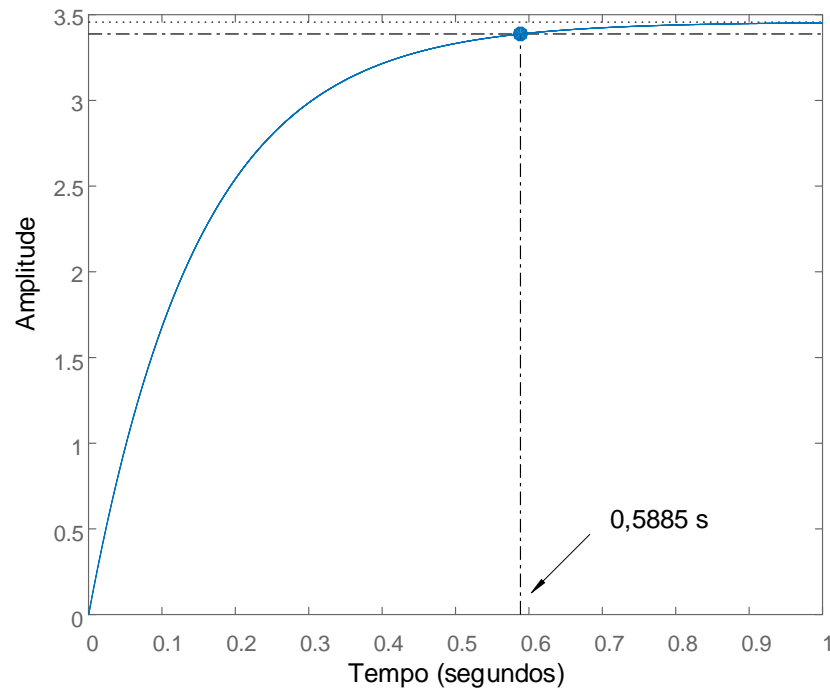
A taxa de amostragem utilizada para a malha de tensão foi de 6 kHz. Selecionou-se esta taxa de amostragem uma vez que a malha de tensão é bem mais lenta do que a malha de corrente.

A função de transferência apresentada em (128) pode ser discretizada utilizando-se o método de *Tustin*, conforme consta em (129).

$$H_{OLV_{CC-CA}}(z^{-1}) = \frac{B(z^{-1})}{A(z^{-1})} = \frac{0,004933 - 0,001108z^{-1}}{1 - 0,9989z^{-1}} \quad (129)$$

A resposta ao degrau unitário da função de transferência apresentada em (129) é mostrada na figura 48.

Figura 48 – Resposta discretizada ao degrau unitário da função de transferência de laço aberto do estágio CC-CA – malha de tensão



Fonte: Elaborada pelo Autor.

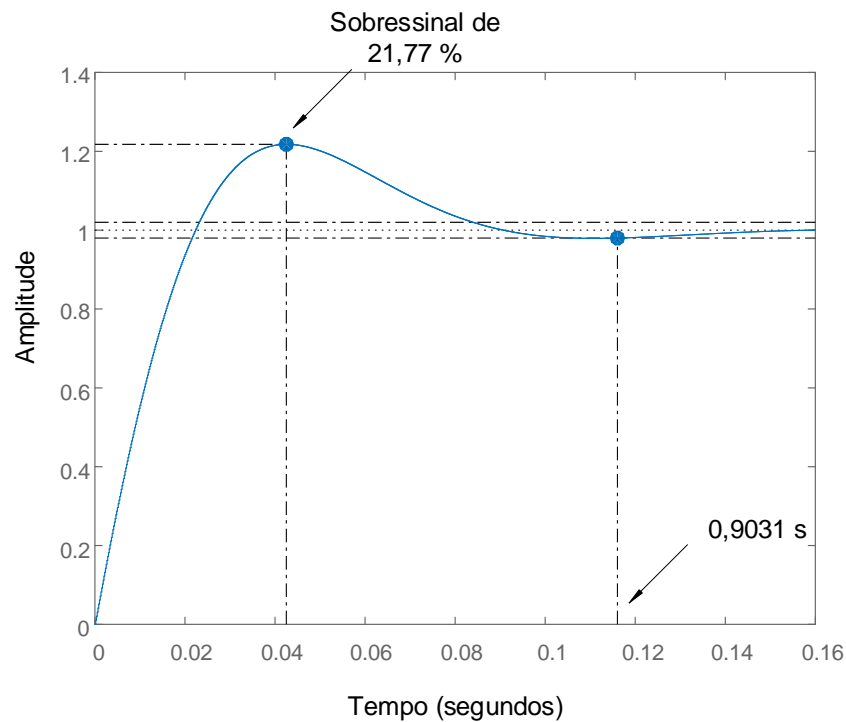
Nota-se que o processo possui um tempo de assentamento inferior ao desejado e um elevado erro em regime permanente.

De forma similar ao realizado para as malhas anteriores, um controlador PI foi projetado para atingir os parâmetros de performance desejados, sendo a sua função de transferência apresentada em (130).

$$C_{v1}(z^{-1}) = \frac{R(z^{-1})}{S(z^{-1})} = \frac{2,708 - 2,684z^{-1}}{1 - z^{-1}} \quad (130)$$

A resposta ao degrau unitário do sistema em malha fechada é apresentada na figura 49.

Figura 49 – Resposta discretizada ao degrau unitário da função de transferência de malha fechada do estágio CC-CA – malha de tensão



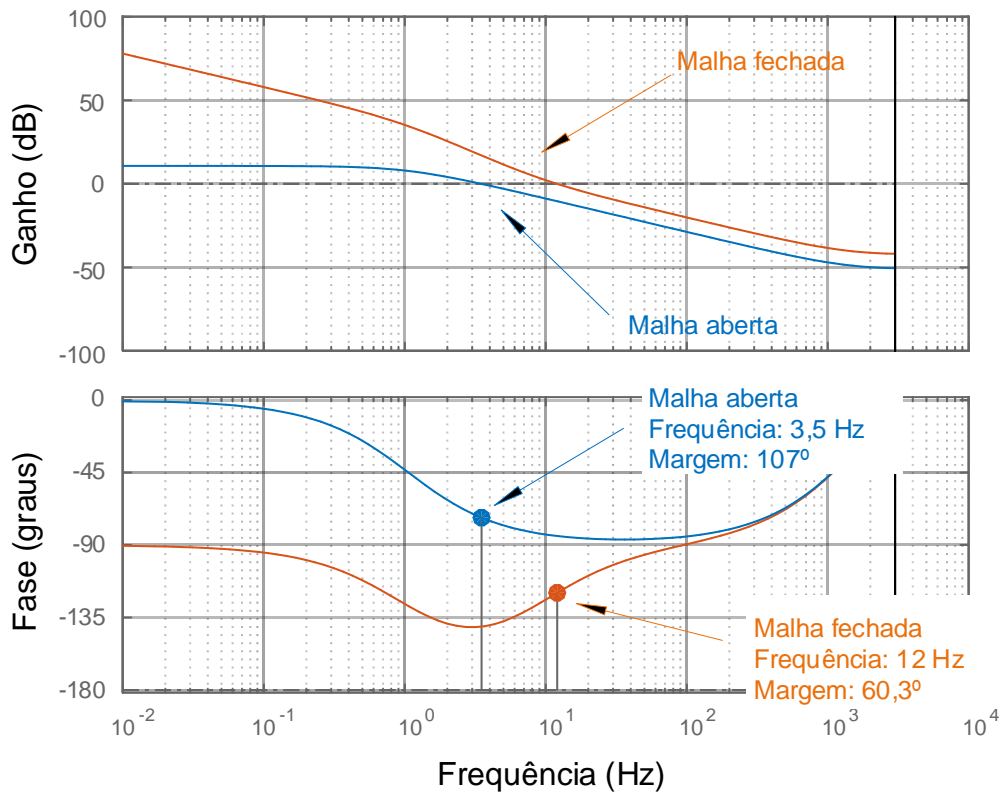
Fonte: Elaborada pelo Autor.

Percebe-se que o tempo de assentamento atingido foi de 0,9031 segundos e o máximo sobressinal de 21,77 %, conforme especificado em projeto.

Os diagramas de bode do sistema sem controlador e do sistema com controlador são mostrados na figura 50. Percebe-se que o sistema não controlado possui uma frequência de cruzamento de ganho de 3,5 Hz e uma margem de fase de 107° caracterizando que o sistema subamortecido e de resposta lenta, conforme apresentado na figura 48. Já o sistema controlado atingiu uma frequência de cruzamento de ganho de 12 Hz e uma margem de fase de 60,3, conforme especificado nos parâmetros de projeto.

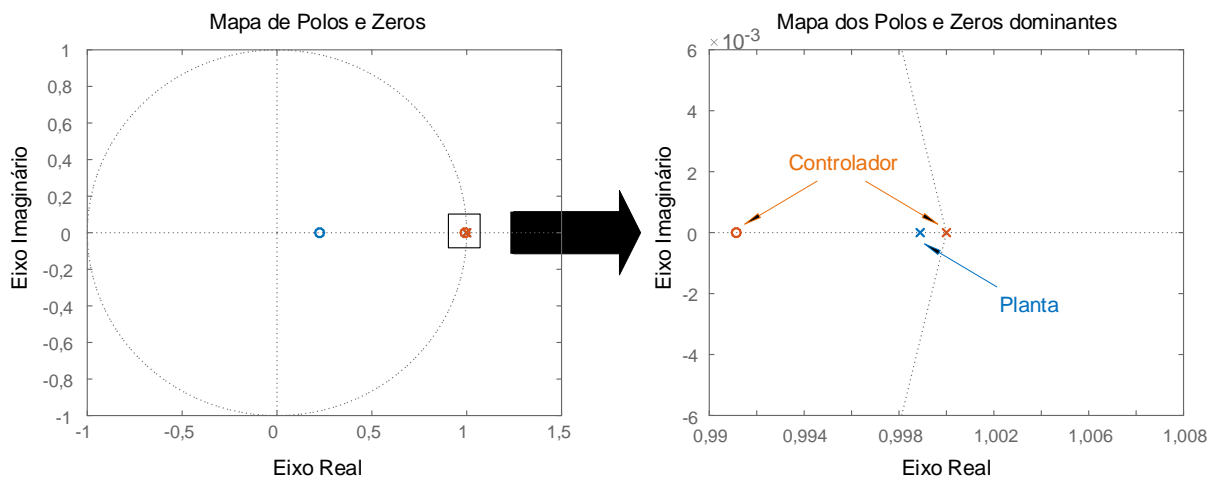
Na figura 51 é apresentada a localização dos polos e zeros do sistema em malha fechada desconsiderando o filtro *anti-aliasing*, pois de forma análoga à malha de corrente do estágio CC-CA, os polos e zeros oriundos do filtro *anti-aliasing* e do sensor são localizados próximos ao centro da circunferência de raio unitário possuindo pouca influência sobre a resposta dinâmica do sistema em malha fechada.

Figura 50 – Diagrama de Bode do sistema controlado e não controlado da malha de tensão do estágio CC-CA



Fonte: Elaborada pelo Autor.

Figura 51 – Localização dos polos e zeros do sistema em malha fechada para a malha de tensão do estágio CC-CA



Fonte: Elaborada pelo Autor.

Analisando a figura 51 tem-se que o sistema em malha fechada um polo e um zero oriundos da planta localizados em 0,999 e 0,225, respectivamente; e um zero e um polo oriundo do controlador PI alocados em 0,991 e 1,0, respectivamente.

O polo inserido pelo controlador em 1,0 garante que o sistema em malha fechada possua erro estacionário nulo para uma resposta a uma entrada do tipo degrau e o zero posicionado próximo aos polos dominantes do sistema em malha fechada ajusta o tempo de assentamento e o máximo sobressinal, conforme visto na figura 49.

4.4.4 Malha de corrente do filtro ativo

Por fim, tem-se a malha de corrente do filtro ativo. Para este estágio deseja-se em malha fechada que o sistema opere com uma dinâmica mais lenta do que a da malha de corrente do estágio CC-CA, isto é, com um máximo sobressinal de 25 % e tempo de assentamento de aproximadamente 1,0 milissegundos. Tais especificações implicam, no domínio da frequência, em uma margem de cruzamento de ganho para quando o módulo é 0 dB de aproximadamente 1,5 kHz e margem de fase de aproximadamente 60°. A função de transferência de laço aberto é dada por (131).

$$FTLA_{scci_{Filtro}}(s) = 2F_m H_{i3}(s) H_{ADC} \frac{V_{CC}}{sL_{total}} \quad (131)$$

$$FTLA_{scci_{Filtro}}(s) = \frac{44,46}{\left(s/599,88\right)\left(s/94.247,8 + 1\right)^2}$$

Nota-se da expressão (131) que os polos inseridos pelo circuito de condicionamento de sinais podem ser desprezados para o projeto do controlador, uma vez que pouco influenciam na dinâmica do processo. Portanto, a função de transferência de laço aberto pode ser simplificada para a apresentada em (132).

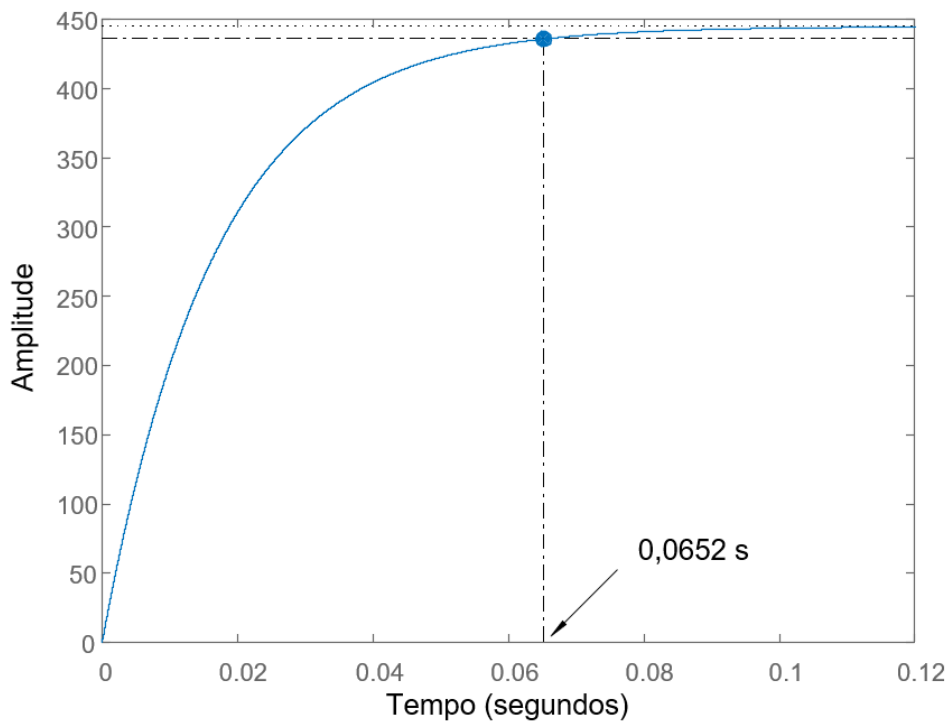
$$FTLA_{scci_{Filtro}}(s) = \frac{44,46}{s/599,88} \quad (132)$$

A função de transferência apresentada em (132) pode ser discretizada utilizando-se o método do retentor de ordem zero (ZOH), sendo apresentada em (133).

$$H_{OLi_{\text{Filtro}}}(z^{-1}) = \frac{B(z^{-1})}{A(z^{-1})} = \frac{0,4442z^{-1}}{1 - 0,999z^{-1}} \quad (133)$$

A resposta ao degrau da função de transferência apresentada em (133) é mostrada na figura 52. Nota-se que o processo possui um tempo de assentamento de 0,0652 segundos e um elevado erro de regime permanente.

Figura 52 – Resposta ao degrau unitário da função de transferência de laço aberto do filtro ativo – malha de corrente



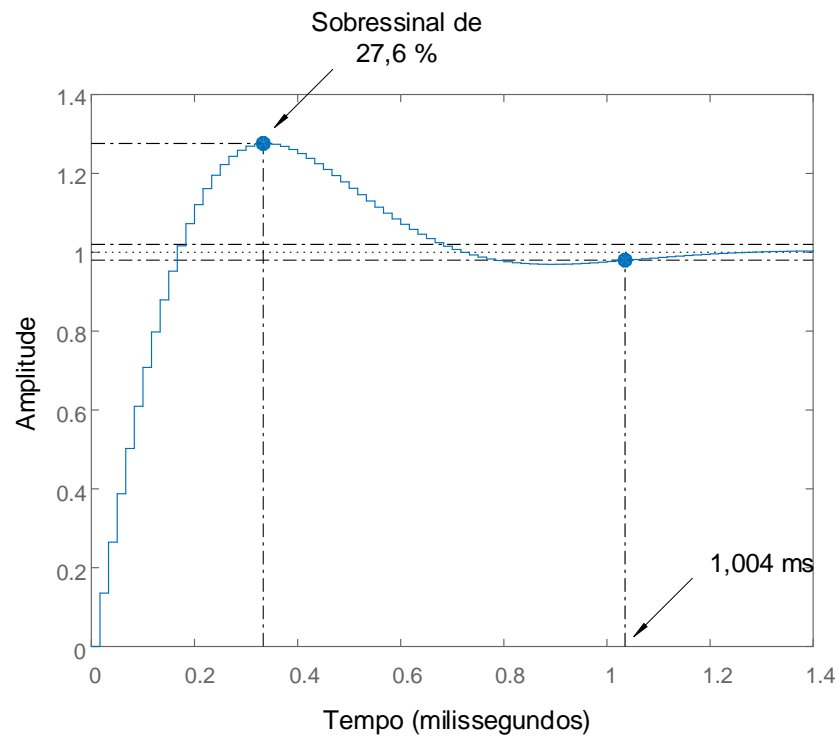
Fonte: Elaborada pelo Autor.

De forma similar a realizada para o estágio CC-CC, tem-se o controlador da malha de corrente do filtro ativo dado pela expressão (134).

$$C_{i3}(z^{-1}) = \frac{R(z^{-1})}{S(z^{-1})} = \frac{0,3049 - 0,2769z^{-1}}{1 - z^{-1}} \quad (134)$$

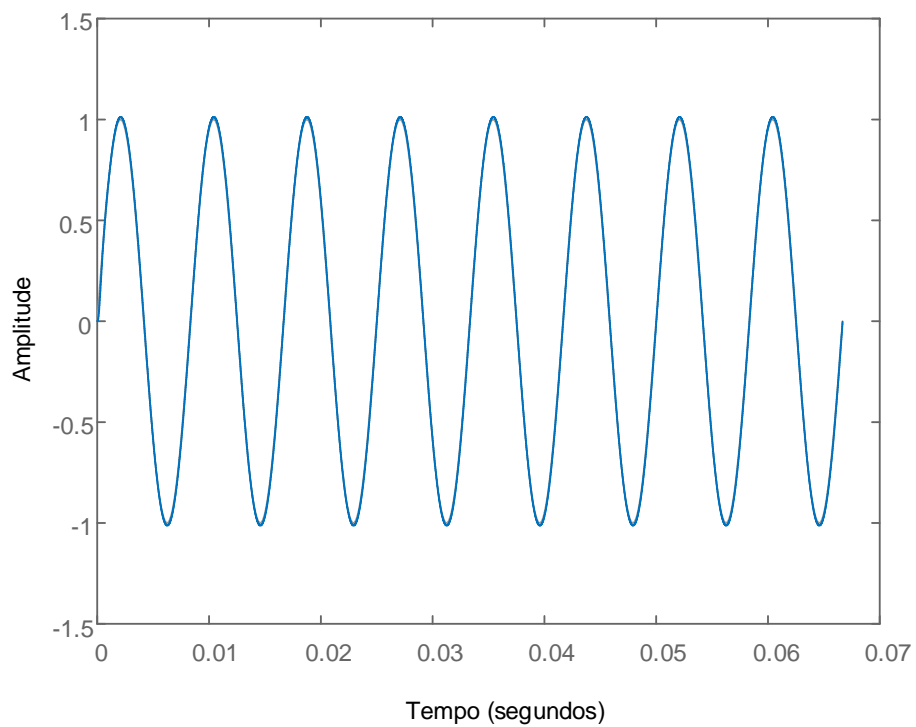
A resposta ao degrau unitário do sistema em malha fechada é apresentada na figura 53. Percebe-se que o tempo de assentamento atingido foi de 1,004 milissegundos e o máximo sobressinal de 27,6 %, conforme especificado em projeto.

Figura 53 – Resposta ao degrau unitário da função de transferência de malha fechada do filtro ativo – malha de corrente



Fonte: Elaborada pelo Autor.

Figura 54 – Resposta à senoide unitária da função de transferência de malha fechada do filtro ativo – malha de corrente

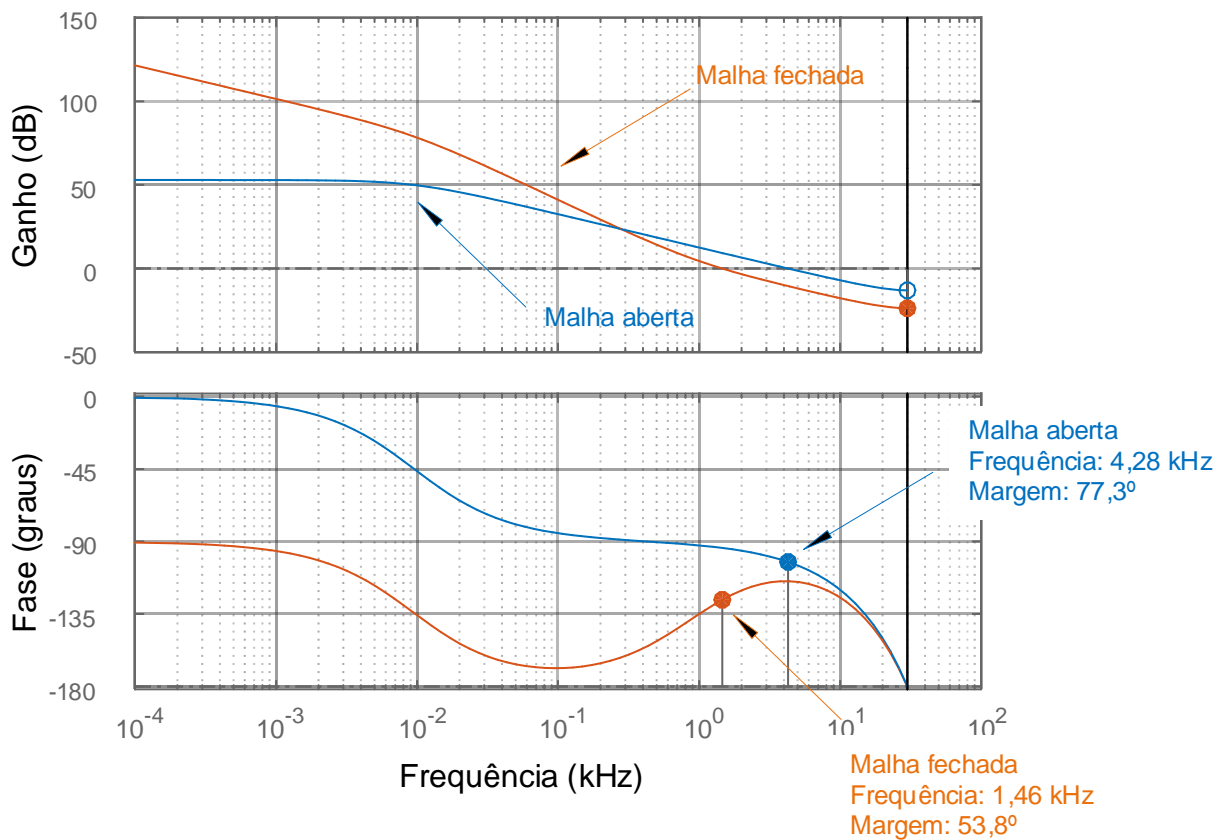


Fonte: Elaborada pelo Autor.

Além da resposta ao degrau unitário é interessante avaliar a resposta a senoide unitária com frequência igual a 120 Hz, haja vista que a corrente compensada pelo filtro é uma senoide com frequência igual ao dobro da frequência da rede. Tal resposta é apresentada na figura 54. Nota-se que o sistema em mala fechada consegue seguir a referência, apesar de ser utilizado um controlador do tipo PI. Tal resultado se deve ao fato de que o tempo de assentamento é bem maior, aproximadamente 9 vezes, do que o período da senoide de referência.

Os diagramas de bode do sistema sem controlador e do sistema com controlador são mostrados na figura 55. Percebe-se que o sistema não controlado possui uma frequência de cruzamento de ganho de 4,28 kHz e uma margem de fase de 77,3°. Já o sistema controlado atingiu uma frequência de cruzamento de ganho de 1,46 kHz e uma margem de fase de 53,8, conforme especificado nos parâmetros de projeto.

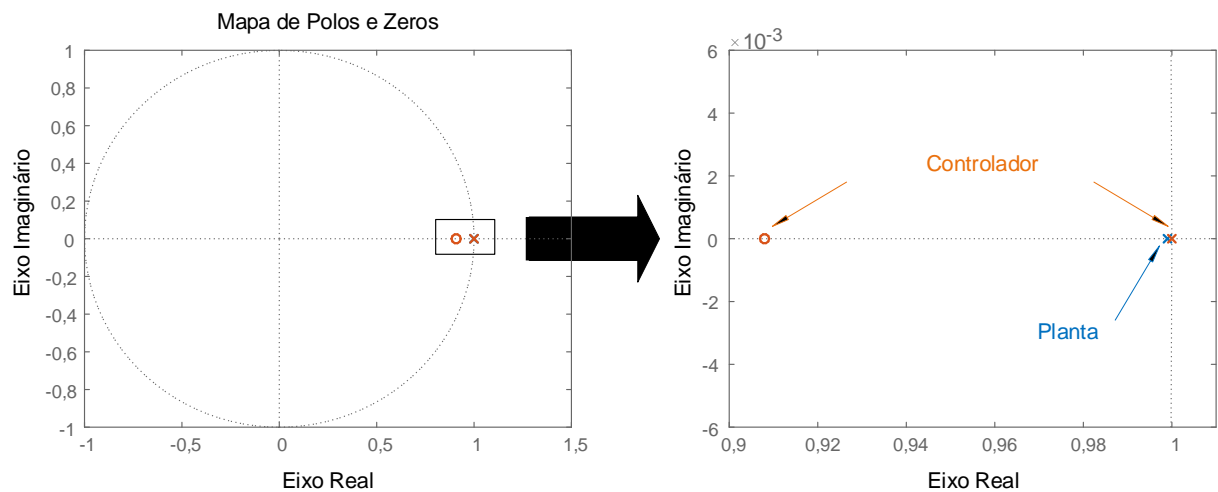
Figura 55 – Diagrama de Bode do sistema controlado e não controlado da malha de corrente do filtro ativo



Fonte: Elaborada pelo Autor.

Na figura 56 é apresentada a localização dos polos e zeros do sistema em malha fechada desconsiderando o filtro *anti-aliasing*, pois de forma análoga à malha de corrente do estágio CC-CA, os polos e zeros oriundos do filtro *anti-aliasing* e do sensor são localizados próximos ao centro da circunferência de raio unitário possuindo pouca influência sobre a resposta dinâmica do sistema em malha fechada.

Figura 56 – Localização dos polos e zeros do sistema em malha fechada para a malha de corrente do filtro ativo



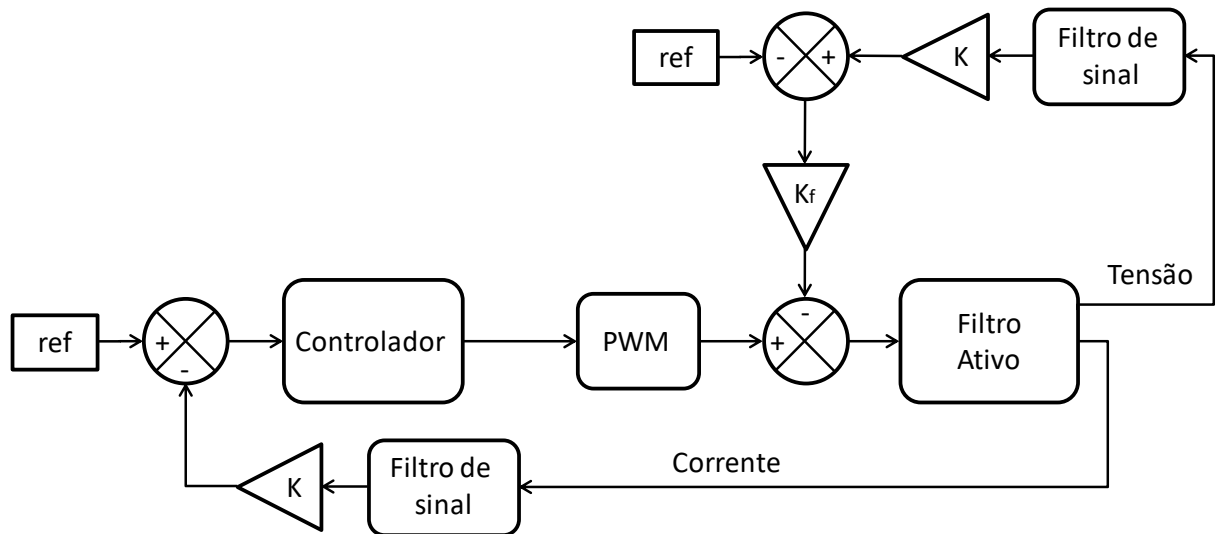
Fonte: Elaborada pelo Autor.

Analisando a figura 56 tem-se que o sistema em malha fechada tem um polo oriundo da planta localizado em 0,999 e um zero e um polo oriundo do controlador PI alocados em 0,908 e 1,0, respectivamente.

O polo inserido pelo controlador em 1,0 garante que o sistema em malha fechada possua erro estacionário nulo para uma resposta a uma entrada do tipo degrau e o zero posicionado próximo aos polos dominantes do sistema em malha fechada ajusta o tempo de assentamento e o máximo sobressinal, conforme visto na figura 53.

Conforme citado nos capítulos 2 e 3, a tensão no barramento do filtro ativo deve ser maior do que a tensão no elo CC. Contudo, para garantir que esta tensão obedeça a tal condição, bem como o seu valor não aumente de forma exagerada, uma alimentação *feedforward* é inserida na malha de corrente, conforme apresentado na figura 57.

Figura 57 – Diagrama de blocos da malha de corrente do filtro ativo



Fonte: Elaborada pelo Autor.

Da figura 57 tem-se que o sinal de saída do controlador de corrente é somado com uma alimentação *feedforward*. Tal alimentação consiste de um ganho K_f que multiplica a diferença entre o sinal medido da tensão do barramento do filtro ativo e o valor médio desejado no barramento. Se a tensão estiver acima do valor médio desejado o sinal de controle, isto é, a razão cíclica é decrementada. Caso contrário, a razão cíclica é incrementada.

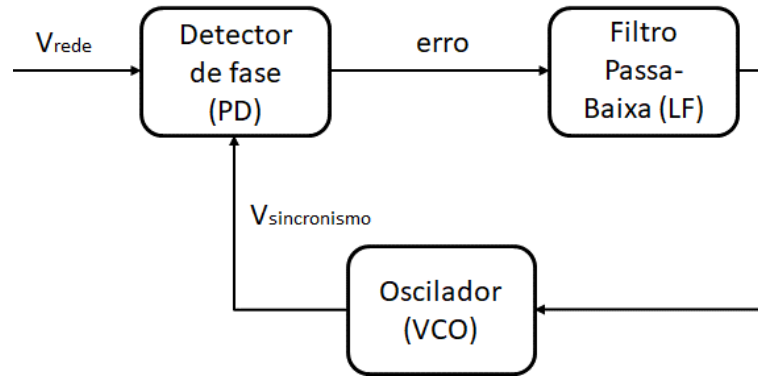
Valores elevados de K_f proporcionam grandes perturbações no sinal de controle, levando o sistema para a instabilidade e fazendo com que o filtro ativo não opere de forma adequada. Baixos valores de K_f fazem com que a tensão no barramento flutua em grandes intervalos. Portanto, deve-se buscar um compromisso entre estabilidade e intervalo máximo de flutuação da tensão no barramento do filtro ativo.

A determinação do valor de K_f a ser utilizado foi realizado através de forma empírica, onde o valor de K_f igual a 4 foi adotado.

4.5 Sincronismo com a Rede Elétrica

Um algoritmo de rastreamento de fase da tensão da rede, se faz necessário uma vez que a corrente de saída do estágio CC-CA deve operar em fase ou em oposição de fase (com fator de potência unitário). Tal algoritmo é denominado de *Phase Locked Loop* (PLL). Segundo ROLIM *et al*, 2006, a estrutura básica de um PLL é dada pela figura 58.

Figura 58 – Diagrama de Blocos do PLL



Fonte: Elaborada pelo Autor.

Da figura 58 percebe-se que o PLL é composto basicamente por três elementos: detector de fase (*Phase Detector* – PD) responsável pela comparação entre a tensão da rede amostrada e a senoide de referência gerada pelo PLL a fim de determinar o sinal de erro; filtro passa-baixa (*Loop Filter* – LF) responsável por atenuar quaisquer perturbações indesejadas no sinal de erro; oscilador controlado por tensão (*Voltage-Controlled Oscillator* – VCO) responsável por sintonizar o sinal a frequência de realimentação com a frequência do sinal da rede amostrada.

Neste sentido, SASSO *et al*, 2002, propõe dois tipos de PLL baseados na teoria das potências real e imaginária instantâneas (PQ-PLL), como mostrado na figura 59. Tais estruturas são para aplicação em sistemas trifásicos, uma vez que os sinais V_α e V_β são o resultado da aplicação da transformada de Clarke no sistema de tensões trifásico, como mostrado em (135).

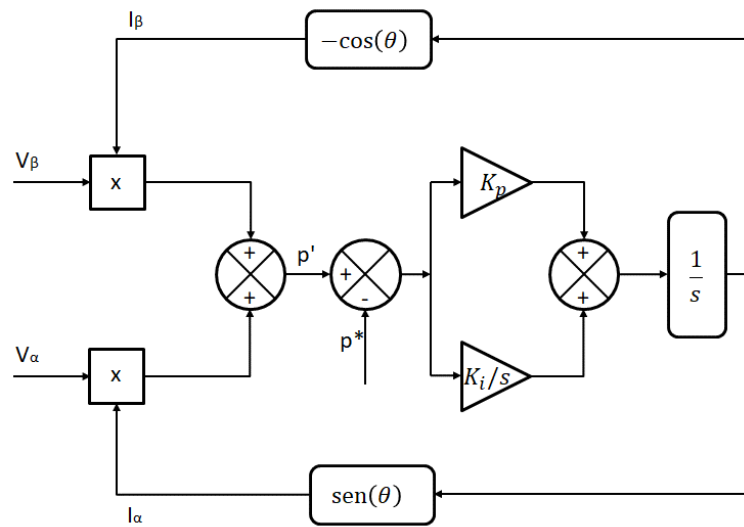
$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix} \quad (135)$$

As variáveis de controle p' e q' são as potências fictícias ativa e reativa utilizadas no PQ-PLL, sendo dadas por (136).

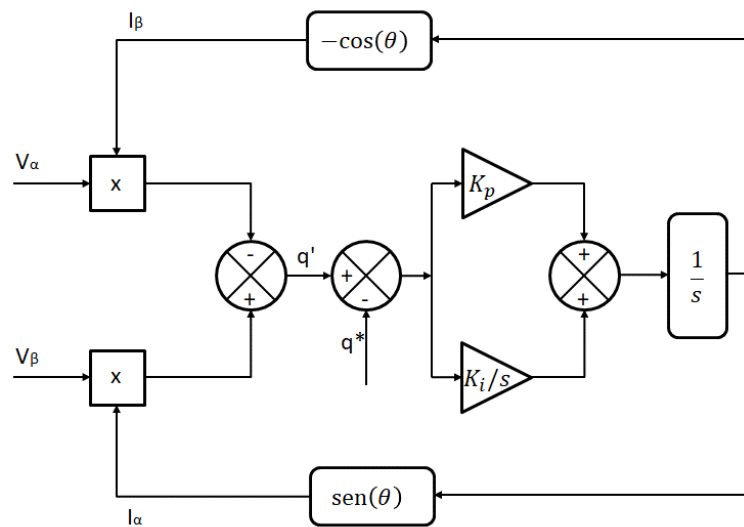
$$\begin{bmatrix} p' \\ q' \end{bmatrix} = \begin{bmatrix} V_\alpha & V_\beta \\ V_\beta & -V_\alpha \end{bmatrix} \begin{bmatrix} I'_\alpha \\ I'_\beta \end{bmatrix} \quad (136)$$

Onde I'_α e I'_β são duas correntes também fictícias.

Figura 59 – Diagrama de Blocos do PQ-PLL: (a) P-PLL e (b) Q-PLL



(a)



(b)

Fonte: Elaborada pelo Autor.

A partir dos diagramas de bloco da figura 59 percebe-se que o P-PLL e o Q-PLL podem apresentar dois tipos distintos de configuração, de acordo com o sinal de controle. Tais configurações são sintetizadas na tabela 9. Neste trabalho a defasagem fornecida pelo Q-PLL é mais vantajosa, uma vez que desejasse operar o conversor como inversor (corrente em fase com a tensão da rede) e como retificador (corrente em oposição de fase com a tensão da rede). Portanto, para o sincronismo com a rede será utilizado o Q-PLL com a variável de controle sendo q' .

Tabela 9 – Possíveis configurações do PQ-PLL

Tipo do PQ-PLL	Configuração	
	Variável de Controle	Defasagem entre V_{rede} e $V_{sincronismo}$
P-PLL	p'	-90°
P-PLL	$-p'$	$+90^\circ$
Q-PLL	q'	0°
Q-PLL	$-q'$	180°

Fonte: Adaptado de SASSO *et al*, 2002.

A estrutura mostrada na figura 59 (b) foi originalmente concebida para sistemas trifásicos (SASSO *et al*, 2002), conforme dito anteriormente. Para utilizá-la no sistema monofásico proposto neste trabalho, algumas adaptações devem ser realizadas. Logo, a transformada de Clarke mostrada em (135) não faz sentido em sistemas monofásicos, sendo as tensões V_α e V_β determinadas da seguinte forma: V_α é a tensão da rede monofásica amostrada e V_β é a tensão V_α atrasada em 90° .

Uma vez que se faz necessário defasar a tensão da rede em 90° , a fim de evitar perturbações ou falhas no sincronismo entre os sinais V_α e V_β , é recomendável que a frequência de amostragem da tensão da rede seja de tal forma que um número inteiro e definido de amostras seja realizado a cada um quarto de ciclo.

Logo, definiu-se uma frequência de amostragem de 30 kHz para a tensão da rede, fazendo com que a cada ciclo de 60 Hz sejam realizadas 500 amostragens. Portanto, a relação entre V_α e V_β para um determinado instante k é dada por (137).

$$V_\beta[k] = V_\alpha[k - 125] \quad (137)$$

Os valores de $K_p = 120$ e $K_i = 15.000$ utilizados são os mesmos adotados por SASSO *et al*, 2002 e por SANTOS, 2014, uma vez que é desejado rastrear a fase de tensões com frequência fundamental de 60 Hz. Portanto o LF do Q-PLL, que nada mais é do que um controlador do tipo PI, é expresso em (138).

$$LF(s) = K_p + \frac{K_i}{s} \Rightarrow LF(s) = 120 + \frac{15.000}{s} \quad (138)$$

Discretizando a expressão (138) para que o Q-PLL possa ser implementado de maneira discreta, tem-se a expressão (139). A taxa de amostragem utilizada foi a mesma adotada para a tensão da rede, isto é, de 30 kHz.

$$LF(z^{-1}) = 120 + \frac{0,5}{1 - z^{-1}} \Rightarrow LF(z^{-1}) = \frac{120,5 - 120z^{-1}}{1 - z^{-1}} \quad (139)$$

Por fim, o VCO do Q-PLL nada mais é do que um integrador, ou contador, que deve integrar desde 0 até 2π , possuindo a função de transferência apresentada em (140).

$$VCO(s) = \frac{1}{s} \quad (140)$$

Novamente discretizando a expressão (140) com uma taxa de amostragem de 30 kHz, tem-se a expressão (141) para o VCO.

$$VCO(z^{-1}) = 33,33 \times 10^{-6} \frac{1}{1 - z^{-1}} \quad (141)$$

4.6 Aritmética de Ponto Fixo

O microcontrolador dspic33FJ12MC202 adotado possui a capacidade de operar tanto com aritmética de ponto fixo, através de uma solução via *hardware* dedicado. Na aritmética de ponto fixo um determinado número é representado por uma quantidade fixa de algarismos para sua parte real e para a sua parte fracionária. Logo, tomando como exemplo o número 10011101 em binário, tem-se que esta mesma cadeia de bits pode representar diversos valores a depender da posição da vírgula, conforme mostrado em (142).

$$\left\{ \begin{array}{lll} 10011101, & \Rightarrow & 157 \quad Q8.0 \\ 1001110,1 & \Rightarrow & 78,5 \quad Q7.1 \\ 100111,01 & \Rightarrow & 39,25 \quad Q6.2 \\ 10011,101 & \Rightarrow & 19,625 \quad Q5.3 \\ 1001,1,01 & \Rightarrow & 9,8125 \quad Q4.4 \\ 100,11101 & \Rightarrow & 4,90625 \quad Q3.5 \\ 10,011101 & \Rightarrow & 2,453125 \quad Q2.6 \\ 1,0011101 & \Rightarrow & 1,2265625 \quad Q1.7 \\ ,10011101 & \Rightarrow & 0,61328125 \quad Q0.8 \end{array} \right. \quad (142)$$

A notação utilizada na aritmética de ponto fixo é denominada de notação Q, onde, por exemplo, a notação Q3.5 indica que 3 bits são utilizados para representar a parte inteira e 5 bits a parte fracionária da informação que se deseja armazenar.

As principais características da aritmética em ponto fixo são listadas a seguir:

- a) A quantidade total de valores representáveis permanece constante e independe da posição da vírgula;
- b) A faixa de valores representáveis depende da posição da vírgula;
- c) As operações de soma e subtração são iguais as operações realizadas com números inteiros, devendo os dois valores ser representados na mesma notação Q;
- d) As operações de produto resultam em um número cujas representações da parte inteira e da parte fracionária possuem o dobro da representação original, isto é, o produto de dois números em notação Q(x.y) resulta em um número na notação Q(2x,2y);
- e) O intervalo de representatividade dos valores não é contínuo, mas sim espaçado por 2^y , sendo y a quantidade de bits utilizadas na representação da porção fracionária da informação.

Além da aritmética de ponto fixo, o microcontrolador escolhido possui uma solução via *software* para operar com aritmética de ponto flutuante uma determinada informação é representada de forma similar a notação científica, isto é, através de uma mantissa m e de um expoente e , conforme apresentado em (143).

$$\text{Número} = m \times 2^e \quad (143)$$

A mantissa e o expoente podem assumir valores positivos e negativos, sendo o expoente um número inteiro e a mantissa um valor menor do que a unidade a fim de evitar redundância na representação de uma mesma informação.

As principais características da aritmética em ponto fixo são listadas a seguir:

- a) A precisão da representação de uma informação depende diretamente do número de bits da mantissa;
- b) A faixa de valores representáveis depende do número de bits do expoente;
- c) O intervalo de representatividade dos valores é bastante extenso, sendo possível aumentá-lo consideravelmente apenas com a inserção de mais um bit no expoente.

Apesar do dspic operar tanto na aritmética de ponto fixo como na aritmética de ponto flutuante, as operações (tais como soma, subtração e multiplicação) em ponto flutuante levam demasiados ciclos de clock, uma vez que se trata de uma solução via *software*, tornando impraticável o seu uso neste trabalho. Além deste fato, o dspic possui um módulo DSP integrado que pode operar as operações de soma e multiplicação de até duas informações em notação Q0.15 em um único ciclo de clock.

Portanto, neste trabalho foi adotada a aritmética de ponto fixo e, conseqüentemente, a notação Q para representar os controladores discretos projetados nos tópicos anteriores.

Os registradores utilizados para armazenar as informações no dspic possuem tamanho de 16 bits, portanto, a soma da quantidade de bits utilizada na representação da parte inteira e da parte fracionária de uma informação deve ser igual a 15, haja vista que um dos bits é de sinal.

Além dos registradores de trabalho, a máquina DSP interna ao dspic possui dois acumuladores de 40 bits que são responsáveis por possibilitar as operações de multiplicação entre dois números de 16 bits. Tais acumuladores somente podem ser utilizados para armazenar os resultados das operações de soma e subtração em ponto fixo, devendo o seu valor ser transferido, posteriormente, para um registrador de 16 bits. Portanto, faz-se necessária a conversão da notação após a execução de cada uma das leis de controle.

Para a malha de corrente do estágio CC-CC pode-se obter a equação das diferenças apresentadas em (144) a partir de (121).

$$u[k] = 1,1e[k] - 1,006e[k - 1] + u[k - 1] \quad (144)$$

Sendo $u[k]$ o sinal de controle no instante k e $e[k]$ o sinal de erro no instante k .

A notação escolhida para representar a expressão (144) no dspic foi a Q1.14, uma vez que se faz necessário somente um bit para a parcela inteira dos coeficientes da lei de controle. Para tal, basta multiplicar os coeficientes da equação (144) por 2^{14} , uma vez que 14 é a quantidade de bits utilizados para a parte fracionária da informação, conforme apresentado em (145).

$$u[k] = 18030e[k] - 16481e[k - 1] + 16384u[k - 1] \quad (145)$$

O sinal de saída do controlador $u[k]$ da expressão (145) deve ser dividido por 2^{14} , uma vez que os dois lados da equação foram multiplicados previamente por este valor. Tal divisão pode ser executada ao realizar uma operação de deslocamento de 14 bits para a direita do acumulador de 40 bits. Logo, a expressão (146) representa a forma que é implementada a lei de controle da malha de corrente do estágio CC-CC no dspic.

$$\begin{cases} \text{Acumulador} = 18030e[k] - 16481e[k - 1] + 16384u[k - 1] \\ u[k] = \text{Acumulador} \gg 14 \end{cases} \quad \text{notação Q1.14} \quad (146)$$

De forma análoga foi determinada a representação em notação Q para as demais malhas de controle, conforme demonstrado a seguir.

$$\begin{cases} \text{Acumulador} = 849e[k] - 794e[k - 1] + 32767u[k - 1] \\ u[k] = \text{Acumulador} \gg 15 \end{cases} \quad \text{notação Q0.15} \quad (147)$$

$$\begin{cases} \text{Acumulador} = 22184e[k] - 21990e[k - 1] + 256u[k - 1] \\ u[k] = \text{Acumulador} \gg 8 \end{cases} \quad \text{notação Q7.8} \quad (148)$$

$$\begin{cases} \text{Acumulador} = 9992e[k] - 9073e[k - 1] + 32767u[k - 1] \\ u[k] = \text{Acumulador} \gg 15 \end{cases} \quad \text{notação Q0.15} \quad (149)$$

As expressões (147), (148) e (149) representam as leis de controle dos controladores (126), (130) e (134), respectivamente.

É importante ressaltar que as expressões (126) e (130) foram multiplicadas por 2^{-5} e 2^5 , respectivamente, antes de serem representadas em notação Q. Tal multiplicação será justificada a seguir.

A rotina de sincronismo também foi implementada utilizando aritmética de ponto fixo. O cálculo do $\text{sen}(\theta)$ apresentado no diagrama da figura 59 foi implementado através de uma *lookup table*, isto é, foram armazenados 128 pontos de uma senoide na memória do dspic, sendo utilizado a notação Q0.10 para a representatividade de cada ponto.

O cálculo de $-\cos(\theta)$ para um determinado instante k foi obtido utilizando-se (150). Nota-se que o armazenamento da *lookup table* de 128 pontos é o bastante para determinar $\sin(\theta)$ e $-\cos(\theta)$.

$$-\cos(\theta) = \sin\left(\theta - \frac{3}{4}\pi\right) \Rightarrow -\cos(k) = \sin(k - 96) \quad (150)$$

Uma vez que a referência da malha de corrente do estágio CC-CA é gerada pela multiplicação da saída do controlador da malha de tensão com o sinal de sincronismo do PLL, tem-se que o pico da senoide tabelada (512) multiplicado pela saída do controlador de tensão deve ser igual a 359 (valor de leitura do conversor A/D equivalente a corrente de pico nominal). Portanto o valor de $u[k]$ da malha de tensão em regime permanente deve ser igual a 0,7012. Tal valor é impossível de ser obtido, já que o valor de $u[k]$ deve ser um número inteiro.

A solução adotada para este problema foi a multiplicação do valor de saída do conversor A/D da corrente $I_{L_{2f}}$ por um ganho de 2^5 , fazendo com que a saída do controlador da malha de tensão seja multiplicada por este ganho e, conseqüentemente a saída do controlador da malha de corrente seja dividido por 2^5 . Como resultado tem-se que $u[k]$ em regime permanente agora assume um valor igual a 22, tornando assim possível a sua representação.

Nas expressões (151) e (152) tem-se a implementação do controlador PI e do integrador do circuito de sincronismo, respectivamente

$$\left\{ \begin{array}{l} \text{Acumulador} = 15406e[k] - 15360e[k - 1] + 32767u[k - 1] \\ u[k] = \text{Acumulador} \gg 15 \end{array} \right. \quad \begin{array}{l} \text{notação Q0.15} \\ (151) \end{array}$$

$$\left\{ \begin{array}{l} \text{Acumulador} = 296e[k] + 32767u[k - 1] \\ u[k] = \text{Acumulador} \gg 15 \end{array} \right. \quad \begin{array}{l} \text{notação Q0.15} \\ (152) \end{array}$$

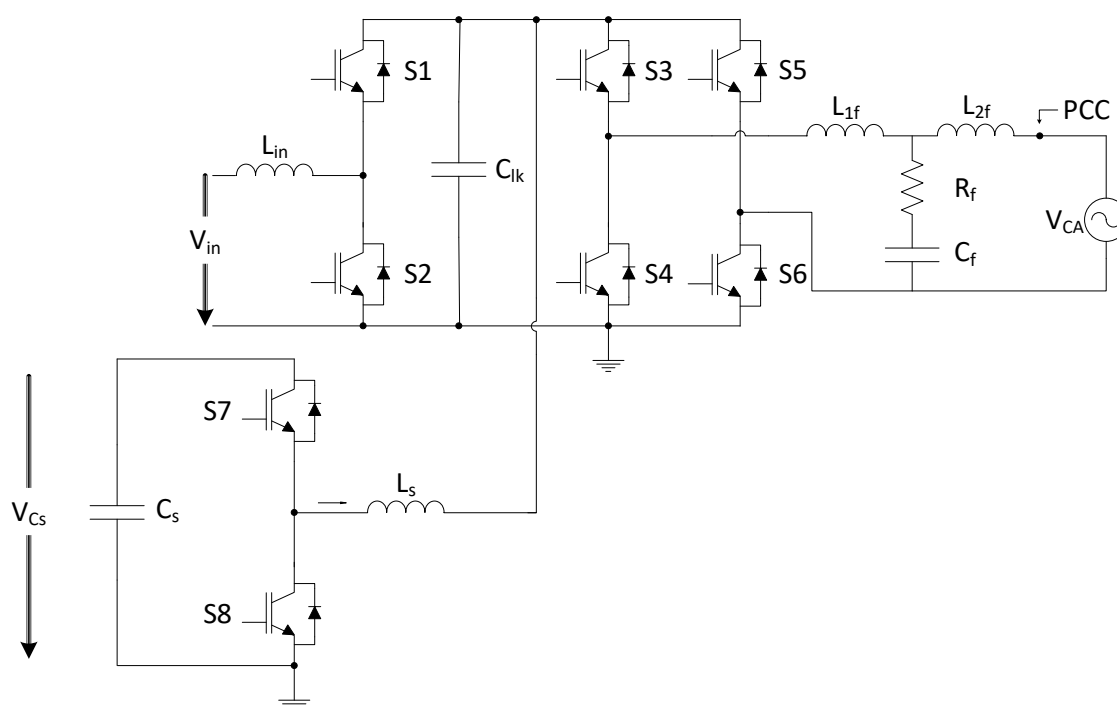
Para a determinação das expressões (150) e (151), foram utilizadas as equações (139) e (141), respectivamente. Os coeficientes foram ajustados para se adequarem ao ganho do sensor de tensão da rede elétrica, do conversor A/D e do valor de pico dos pontos da *lookup table* utilizada na representação do seno.

5 RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

5.1 Introdução

Neste capítulo são apresentados os resultados de simulação para o conversor proposto, conforme apresentado na figura 16 e repetido na figura 60 para fins de um melhor entendimento das análises realizadas neste capítulo, sendo validadas as leis de controle projetadas no capítulo 4. O protótipo desenvolvido também é apresentado juntamente com os resultados experimentais obtidos.

Figura 60 – Conversor proposto



Fonte: Elaborada pelo Autor.

Inicialmente serão validados os controladores projetados para o estágio CC-CC e estágio CC-CA, tanto nos resultados de simulação como nos resultados experimentais. O filtro ativo será validada juntamente com a operação da topologia completa, uma vez que sua operação depende dos estágios supracitados.

O estágio CC-CC, como descrito nos capítulos 2 e 3 e aqui repetido com a finalidade de facilitar a compreensão das análises realizadas, é composto pelo indutor L_{in} e pelas chaves S_1 e S_2 . O estágio CC-CA é composto pelas chaves S_3 , S_4 , S_5 e S_6 , bem como pelos indutores L_{1f} , L_{2f} , pelo capacitor C_f e pela resistência de amortecimento R_f . O

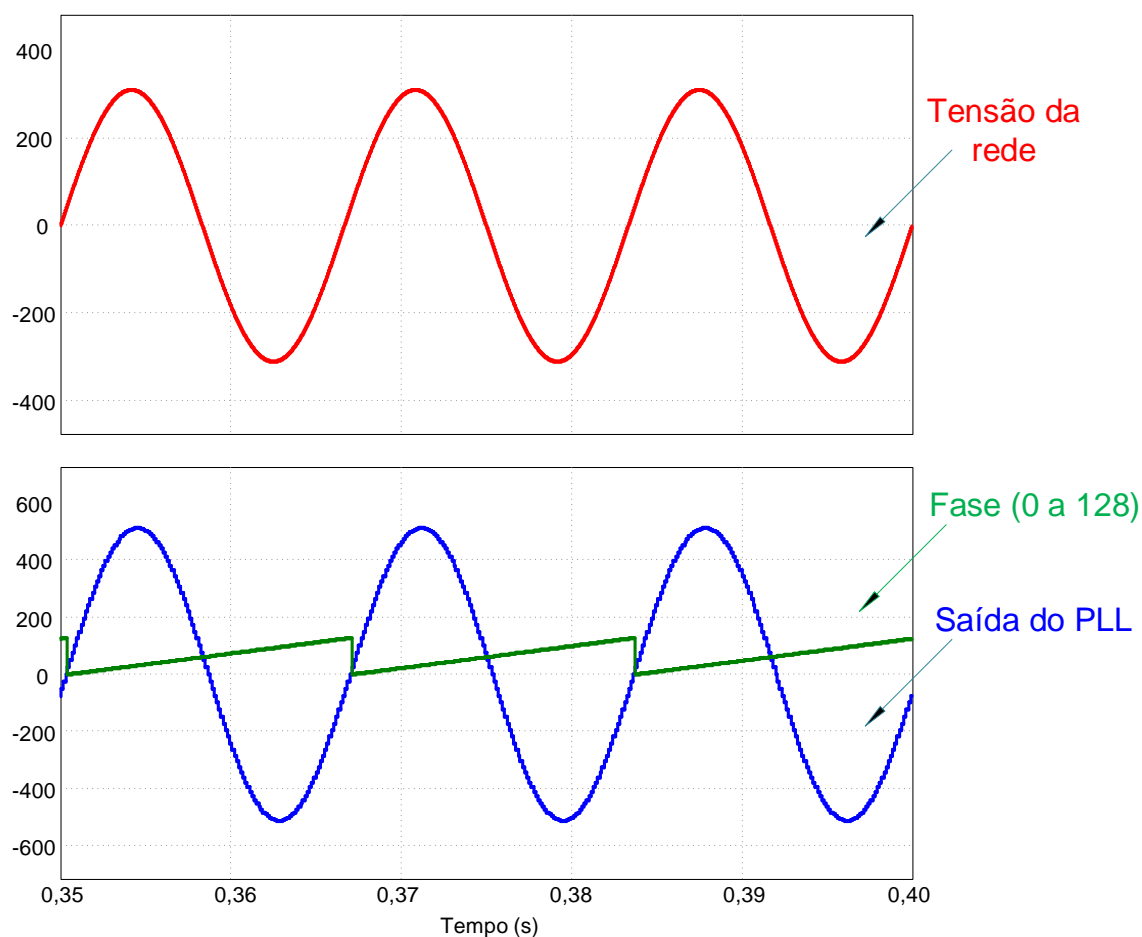
capacitor C_{lk} do elo CC é comum aos estágios CC-CC e CC-CA. Por fim, o filtro ativo é composto pelas chaves S_7 e S_8 , pelo indutor L_S e pela capacitância C_S .

5.2 Resultados de Simulação

5.2.1 Sincronismo com a rede

O funcionamento em condições normais do q-PLL é apresentado na figura 61.

Figura 61 – Simulação do q-PLL para condições normais da rede elétrica



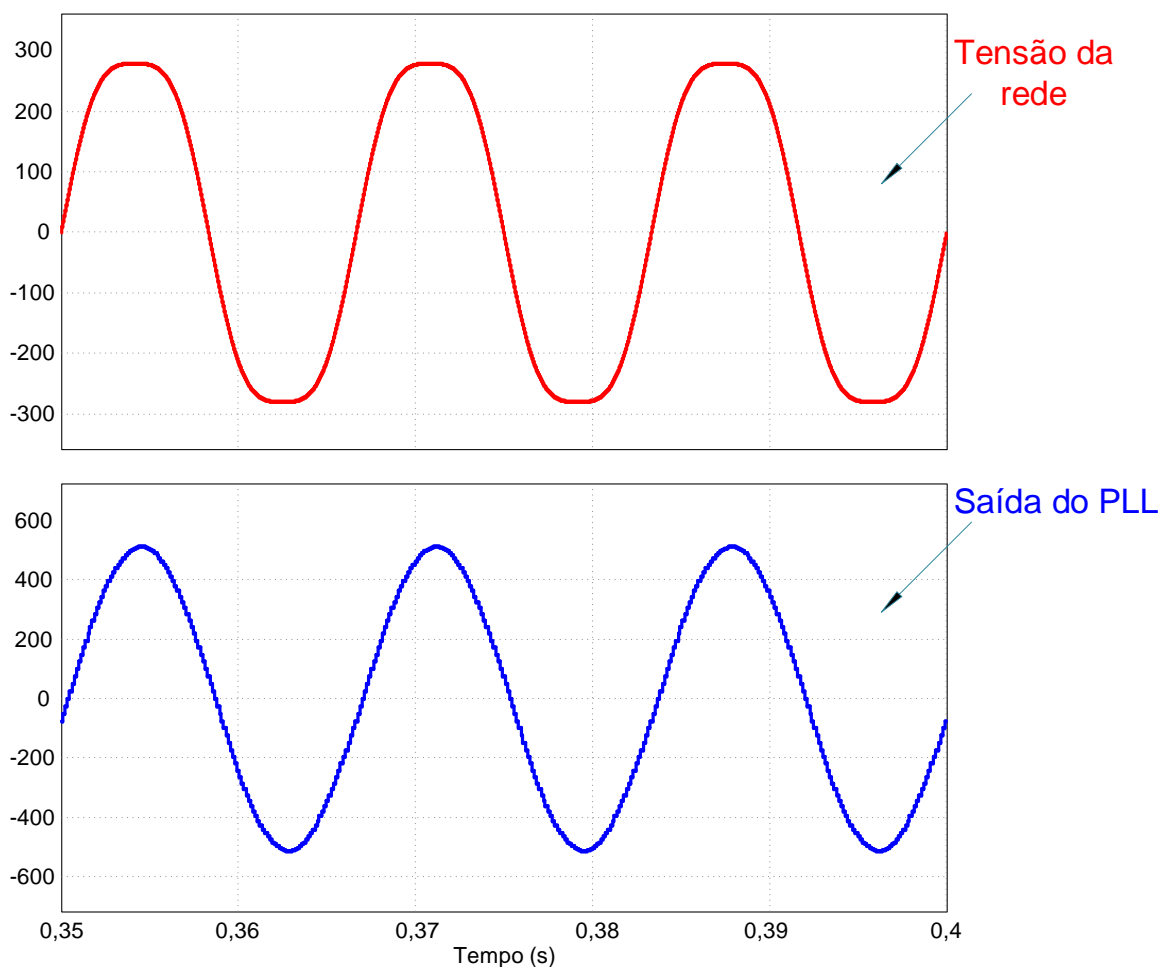
Fonte: Elaborada pelo Autor.

Nota-se da figura 61 que o q-PLL consegue rastrear a tensão da rede em condições normais. Uma diferença de $8,44^\circ$ pode ser observada entre a saída do PLL e a tensão da rede, tal diferença se dá devido a representação em notação Q, isto é, a utilização de aritmética de

ponto fixo. Que resulta em uma representatividade não contínua dos valores, conforme discutido no capítulo 4.

A fim de validar o q-PLL utilizado neste trabalho, foram realizadas simulações com a presença de harmônicas na rede e perturbações na fase da tensão da rede (degrau de 0° para 180°), conforme mostrado nas figuras 62 e 63.

Figura 62 – Simulação do q-PLL com a presença de harmônicos (THD = 9,99%) na tensão da rede

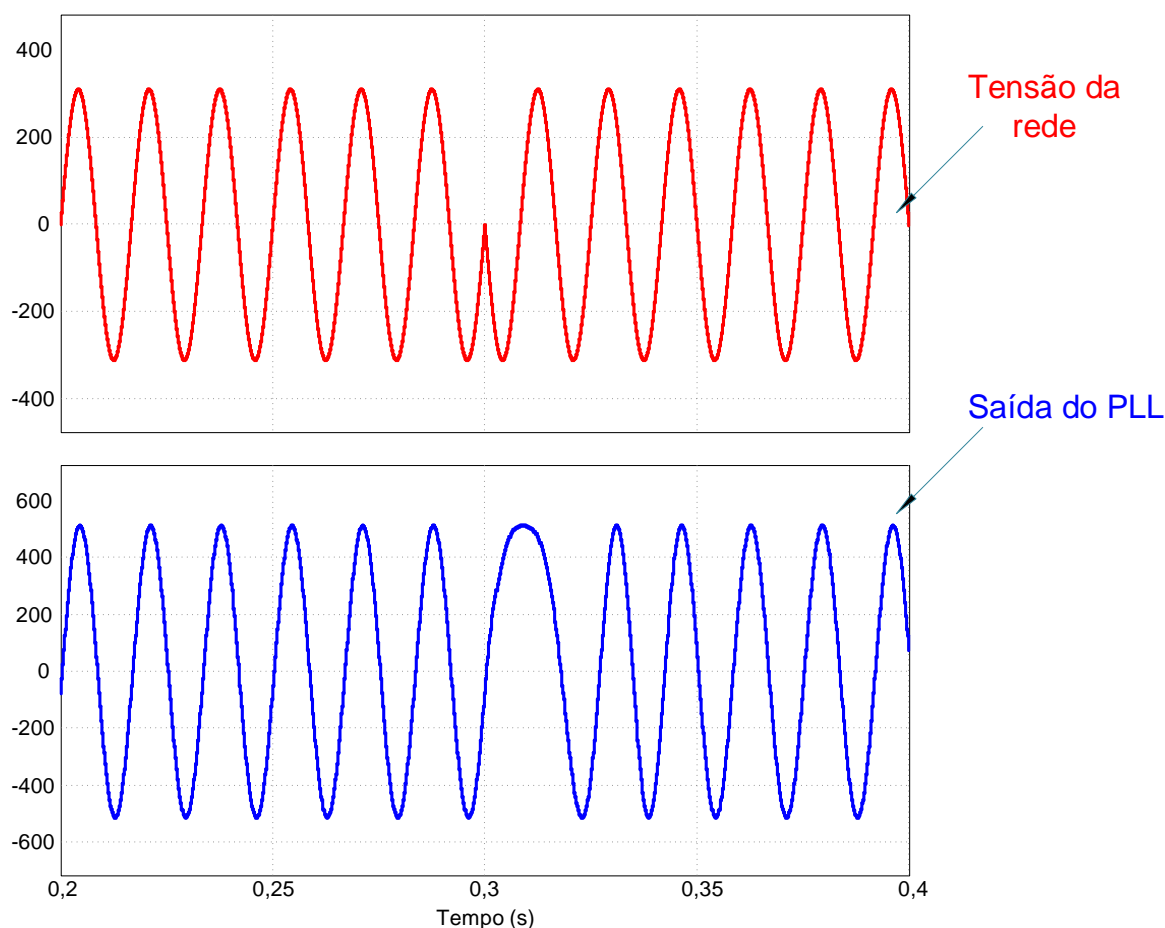


Fonte: Elaborada pelo Autor.

Percebe-se da figura 62 que o q-PLL consegue rastrear a frequência de 60 Hz, apesar da elevada distorção harmônica da tensão da rede (THD = 9,99 %), obtendo um sinal de sincronismo em fase e com THD de 1,72 %.

Nota-se da figura 63 que o q-PLL estabiliza em um ciclo da rede elétrica para uma variação de fase de 0° para 180° realizada no instante $t=0,3$ s

Figura 63 – Simulação do q-PLL para uma variação de 0° - 180° da fase da tensão da rede elétrica



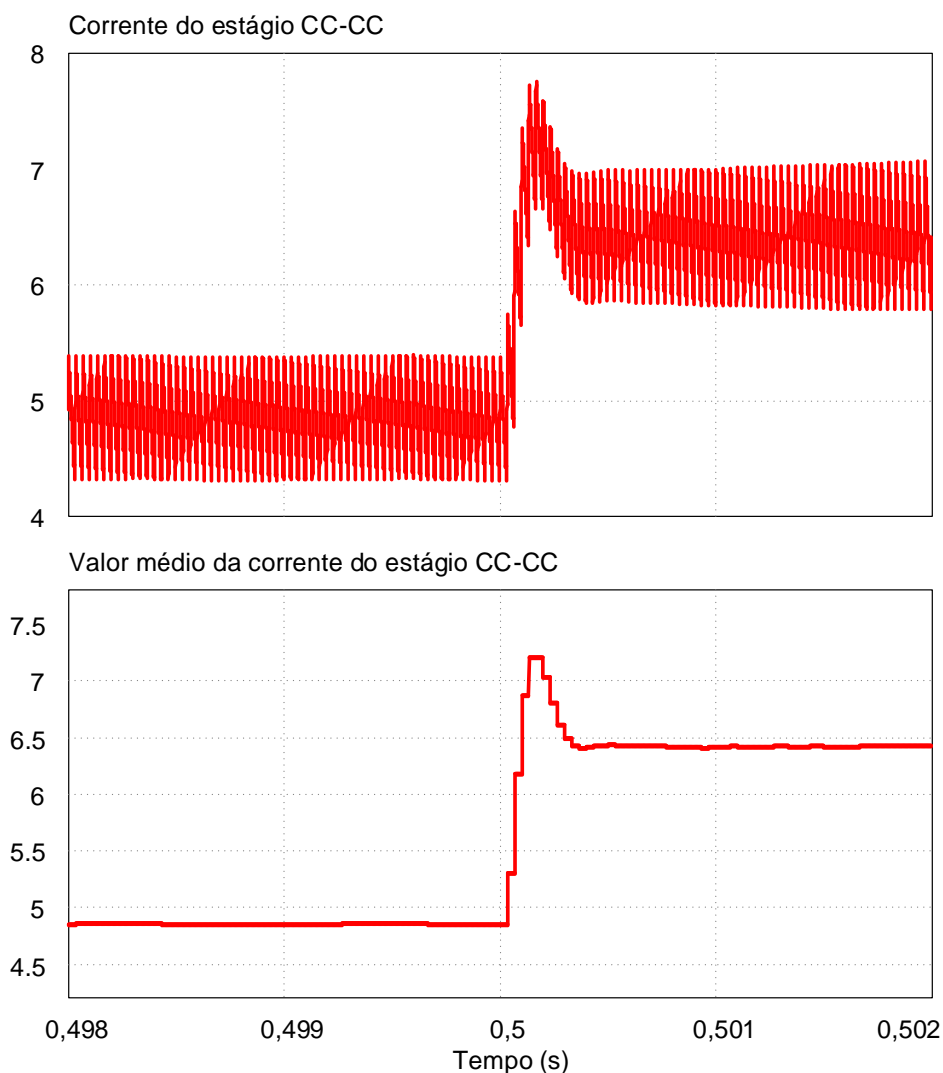
Fonte: Elaborada pelo Autor.

5.2.2 Simulação do Estágio CC-CC

Na figura 64 é apresentada a resposta a um degrau de 75% - 100 % na referência de corrente para o estágio CC-CC no instante $t = 0,5$ s.

Na análise realizada na figura 64 foi simulado o estágio CC-CC alimentando uma carga resistiva. Constatou-se um sobressinal de 12,20 % e um tempo de acomodação de aproximadamente 0,5 ms. Em potência nominal, a ondulação máxima de corrente foi de 35,34 %.

Figura 64 – Simulação do estágio CC-CC para um degrau de 75%-100% na referência de corrente



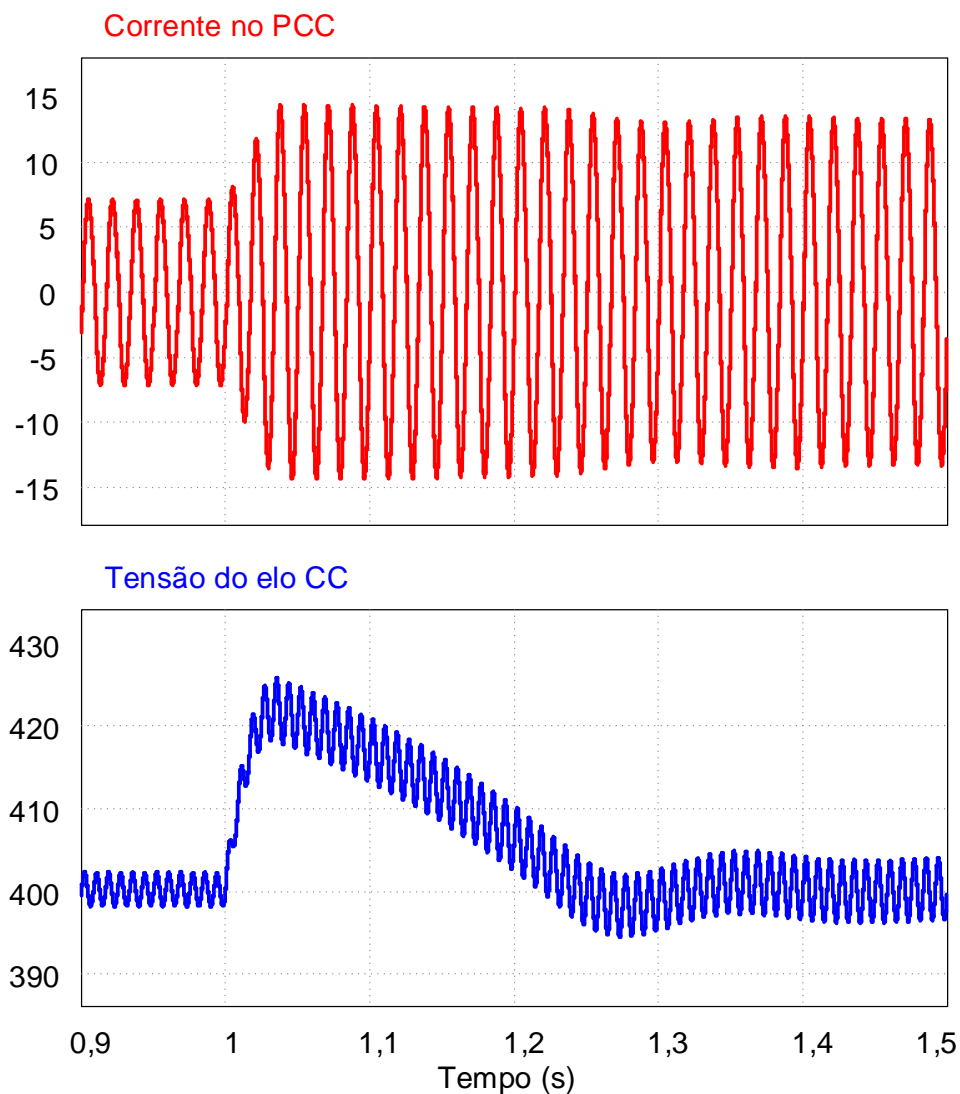
Fonte: Elaborada pelo Autor.

5.2.3 Simulação do Estágio CC-CA

Na figura 65 são apresentadas as respostas de tensão do elo CC e corrente injetada na rede para um degrau de 50 % - 100 % na corrente de entrada no instante $t = 1,0$ s. Nesta análise foi simulado o estágio CC-CA isoladamente, sendo o estágio CC-CC substituído por uma fonte de corrente. Também se utilizou uma capacitância de 1,88 mF no elo CC, uma vez que desejasse analisar o estágio CC-CA isolado. Constatou-se, após a aplicação do degrau de corrente, um sobressinal de 425,16 V e um tempo de acomodação de aproximadamente 0,4 s

para a tensão do elo CC. Em potência nominal, a ondulação máxima da tensão no elo CC foi de 6,29 %.

Figura 65 – Simulação do estágio CC-CA para um degrau de 50%-100% da corrente de saída do estágio CC-CC

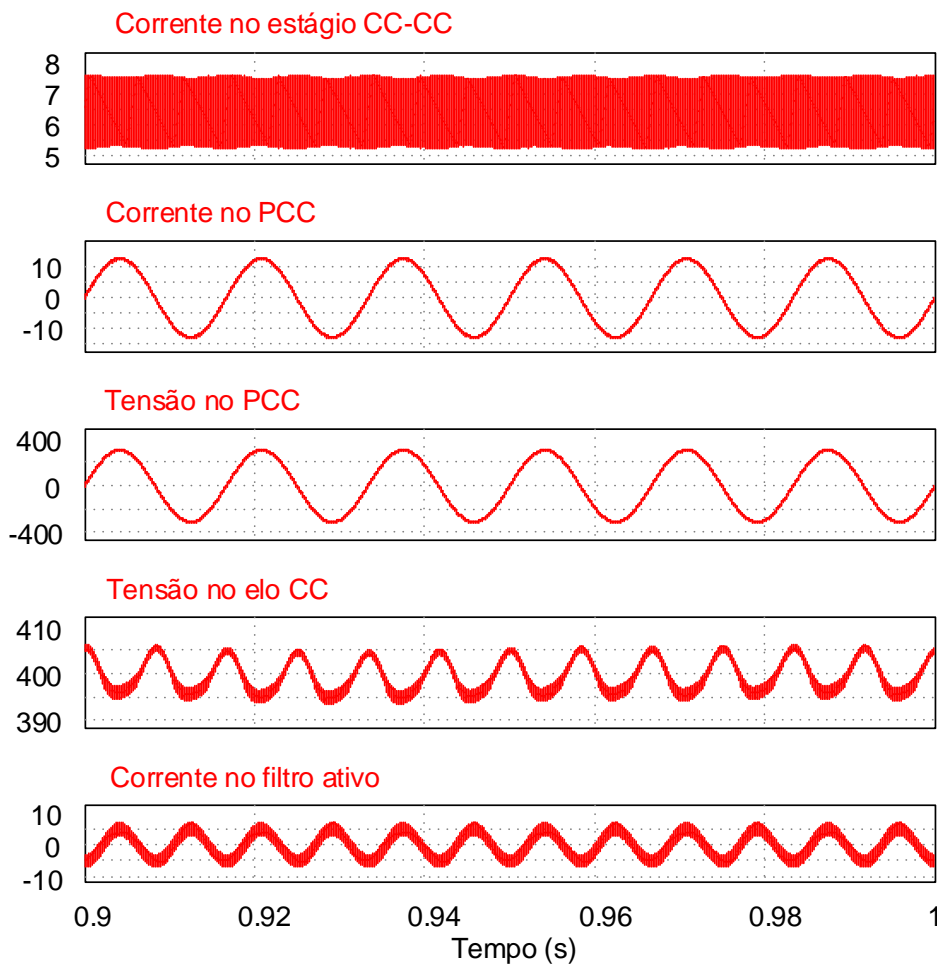


Fonte: Elaborada pelo Autor.

5.2.4 Simulação Topologia completa

Nas figuras 66 e 67 são apresentadas as principais formas de onda da topologia completa injetando e drenando energia da rede, respectivamente.

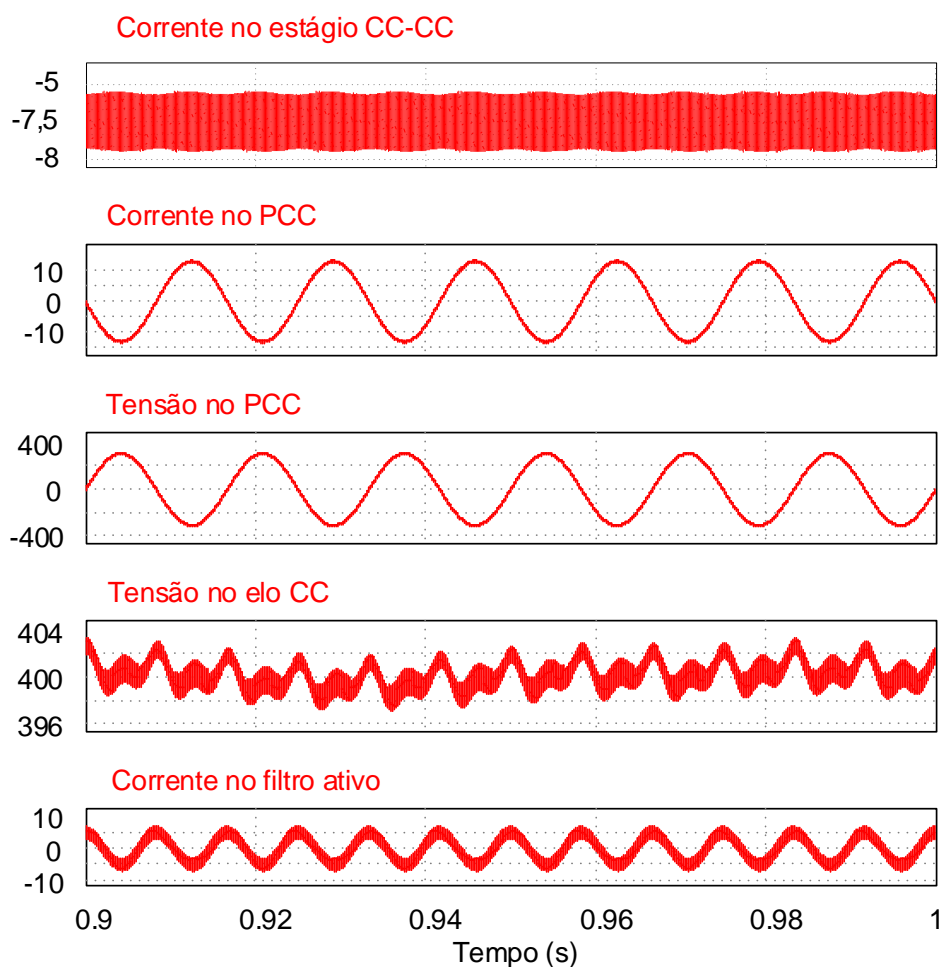
Figura 66 – Simulação da topologia completa injetando energia na rede



Fonte: Elaborada pelo Autor.

Para o conversor operando injetando corrente na rede, conforme apresentando na figura 66, foram obtidos um fator de potência e THD de 0,9829 e 1,8550%, respectivamente. A tensão do elo CC apresenta uma ondulação de 12,64 V, isto é, de 3,16 %.

Figura 67 – Simulação da topologia completa drenando energia na rede



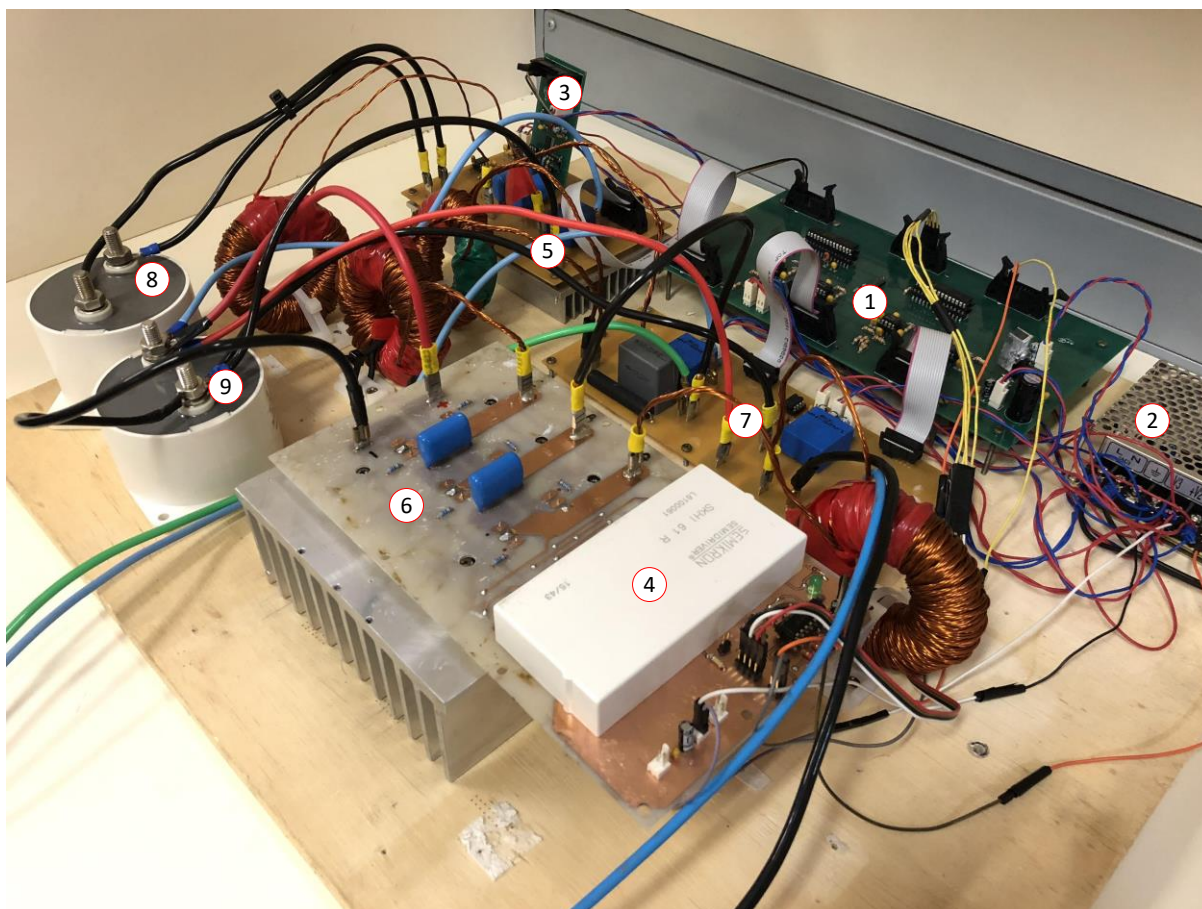
Fonte: Elaborada pelo Autor.

Para o conversor operando injetando corrente na rede, conforme apresentando na figura 67, foram obtidos um fator de potência e THD de 0,9845 e 1,7243%, respectivamente. A tensão do elo CC apresenta uma ondulação de 3,6 V, isto é, de 0,9 %.

5.3 Resultados Experimentais

Um protótipo experimental de 2 kW, conforme mostrado na figura 68, foi desenvolvido com a finalidade de validar os resultados de simulação obtidos.

Figura 68 – Protótipo experimental



Fonte: Elaborada pelo Autor.

A figura 68 mostra os seguintes componentes do protótipo experimental:

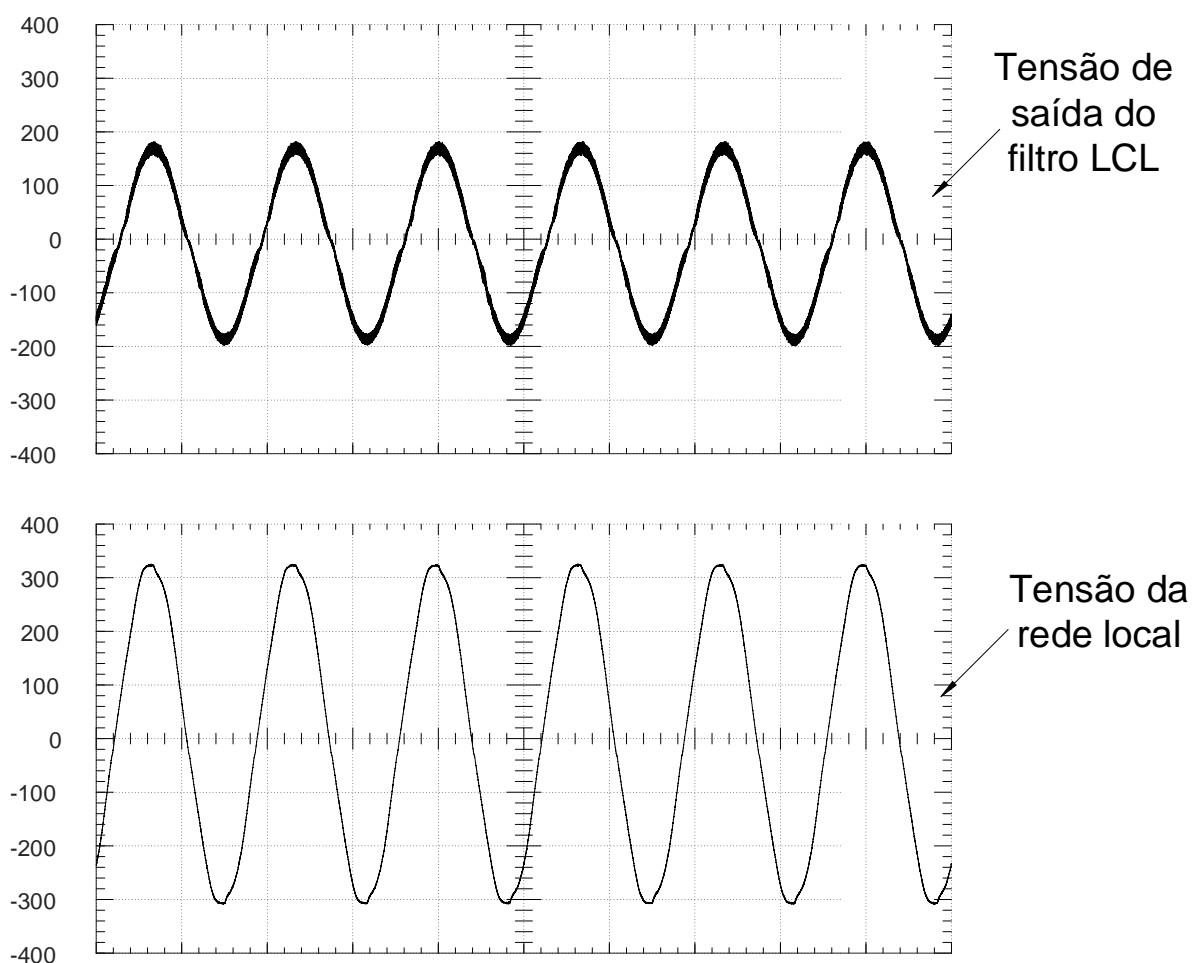
- 1) Placa do microcontrolador dSPIC 33FJ12MC202;
- 2) Fonte CC para alimentação da placa de controle, sensores, *drivers* e circuitos de condicionamento de sinais;
- 3) Driver IR2214 para os IGBTs do filtro ativo;
- 4) Driver SKHI 61 R para os IGBTs dos estágios CC-CC e CC-CA;
- 5) Placa de potência do filtro ativo;
- 6) Placa de potência dos estágios CC-CC e CC-CA (chaves de potência);
- 7) Placa de potência dos estágios CC-CC e CC-CA (filtros L e LCL);
- 8) Capacitor do barramento do filtro ativo;
- 9) Capacitor do elo CC.

Os resultados experimentais foram obtidos operando o protótipo em corrente nominal, mas com tensões reduzidas pela metade, uma vez que para tensões no elo CC próximas de 400 V o driver SKHI 61 R acionava a sua proteção mesmo sem a presença de quaisquer falhas. Logo, os níveis de tensão do barramento CC, elo CC, filtro ativo e rede elétrica foram reduzidos para 155 V, 200 V, 300 V e 110 Vca, respectivamente. As correntes permaneceram em seus valores nominais.

5.3.1 Resultados do Sincronismo com a Rede

O funcionamento do q-PLL foi verificado aplicando-se o sinal de sincronismo como moduladora do estágio CC-CA e impondo na leitura do sensor de tensão a rede local do laboratório, conforme apresentado na figura 69.

Figura 69 – Validação experimental do q-PLL – 100V/div e 10ms/div



Fonte: Elaborada pelo Autor.

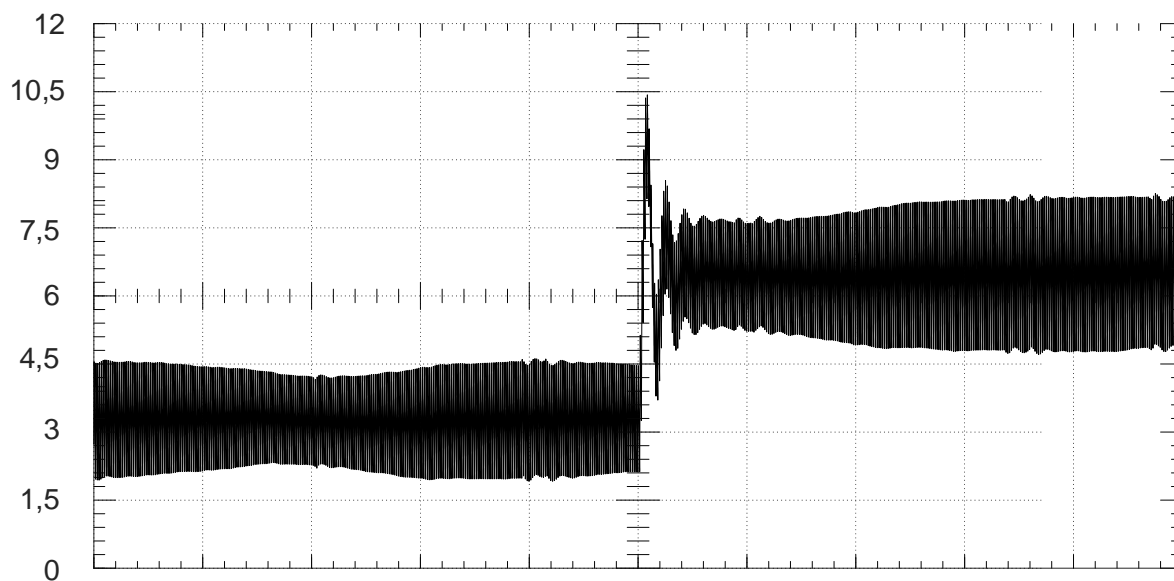
A frequência da tensão de saída do filtro LCL, que representa o sinal de sincronismo do q-PLL na figura 69 foi de 60,04Hz, e a frequência da tensão local da rede elétrica foi de 60,09 Hz.

Nota-se da figura 69 que a tensão de saída do filtro LCL está em fase com a tensão da rede local, mostrando assim que o q-PLL implementado consegue rastrear a fase da tensão da rede local.

5.3.2 Resultados do Estágio CC-CC

Na figura 70 é apresentada a resposta a um degrau de 75% - 100 % na referência de corrente para o estágio CC-CC. Constatou-se um sobressinal de 10,43 A e um tempo de acomodação de aproximadamente 1 ms. Em potência nominal, a ondulação máxima de corrente foi de 36,4%.

Figura 70 – Dinâmica do estágio CC-CC para um degrau de 75%-100% na referência da corrente – 1,5A/div e 2ms/div



Fonte: Elaborada pelo Autor.

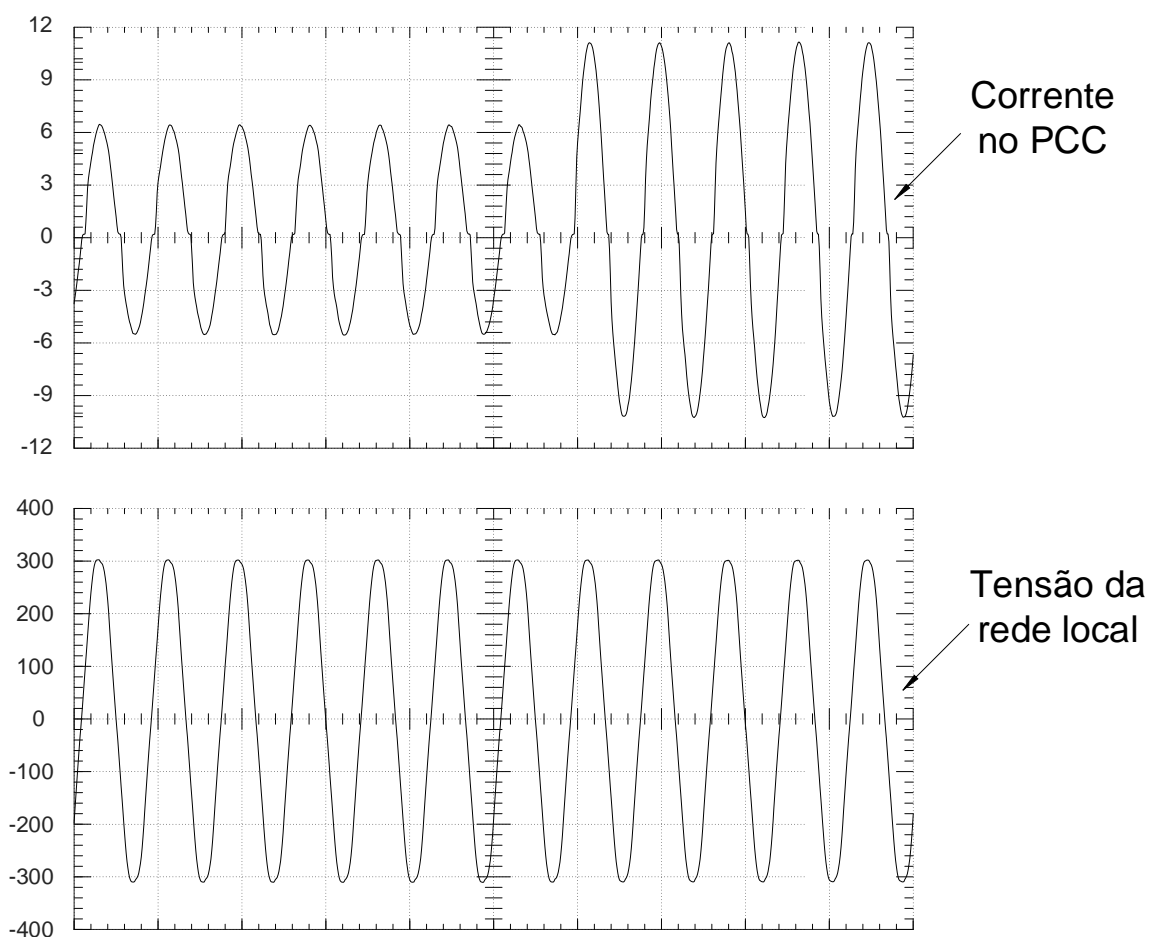
5.3.3 Resultados do Estágio CC-CA

Nas figuras 71 e 72 são apresentadas as respostas da corrente no PCC para um degrau de 40% - 80% e de 80% - 40% na referência de corrente, respectivamente. Para a

validação da malha de controle da corrente foi utilizado uma fonte de tensão fixa (com elevada capacitância) na entrada do elo CC e uma carga resistiva no PCC. Para a entrada do sensor de tensão da rotina de sincronismo foi utilizada a tensão da rede local.

Para um degrau de 40%-80% na referência da malha de corrente do estágio CC-CA, como apresentado na figura 71, constatou-se uma rápida resposta do controlador (inferior a um período da rede elétrica), haja vista que o tempo de acomodação do sistema em malha fechada é bem menor do que um período da rede elétrica.

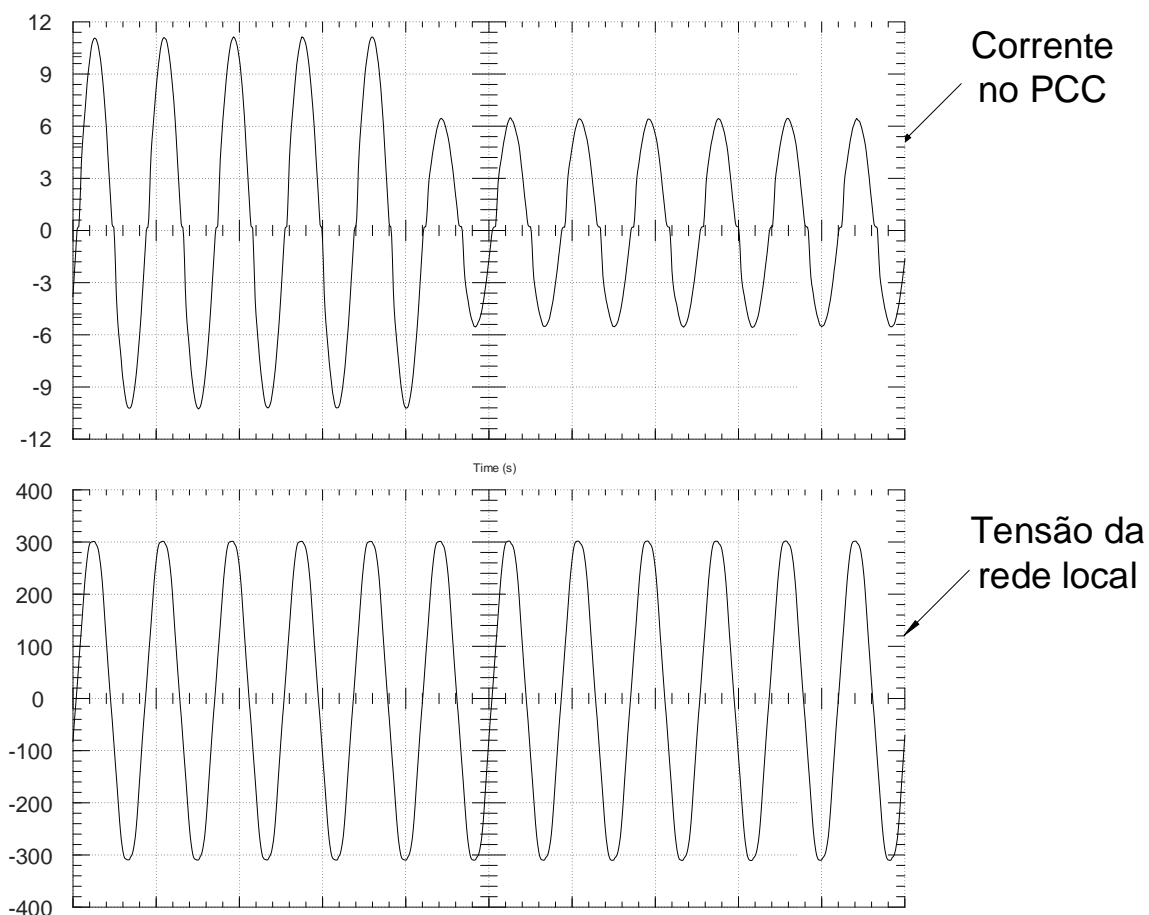
Figura 71 – Dinâmica do estágio CC-CA para um degrau de 40%-80% na referência da corrente – 100V/div, 3A/div e 20ms/div



Fonte: Elaborada pelo Autor.

De forma análoga, para um degrau de 80%-40% na referência da malha de corrente do estágio CC-CA, como apresentado na figura 72, tem-se que a corrente de saída rapidamente atinge a nova referência em um tempo bastante inferior ao período da rede elétrica.

Figura 72 – Dinâmica do estágio CC-CA para um degrau de 80%-40% na referência da corrente – 100V/div, 3A/div 20ms/div

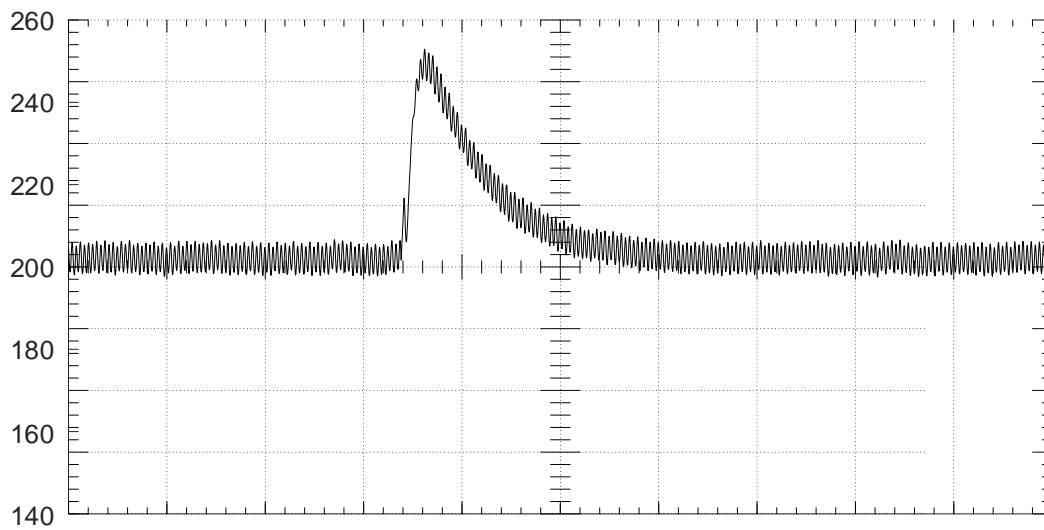


Fonte: Elaborada pelo Autor.

Na figura 73 é apresentada a resposta da tensão do elo CC para um degrau de 3,0 A para 4,5 A na corrente de entrada. Também se utilizou uma capacitância de 0,94 mF no elo CC, uma vez que desejasse analisar o estágio CC-CA isolado. Constatou-se, após a aplicação do degrau de corrente, um sobressinal de 252,95 V e um tempo de acomodação de 0,37 s para a tensão do elo CC.

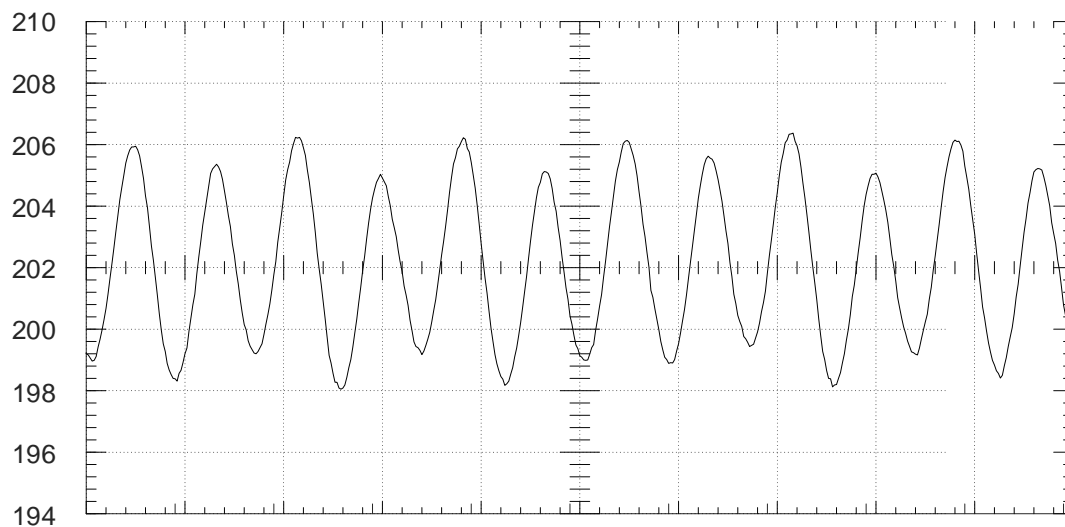
Em regime permanente, a ondulação máxima da tensão no elo CC foi de 4,7 %, conforme apresentado na figura 74. Vale ressaltar que tal ondulação foi obtida sem a presença do filtro ativo, uma vez que com a finalidade de tão somente validar o controle do estágio CC-CA foi utilizado um barramento 0,94 mF no elo CC composto pela associação série paralelo de 4 capacitores eletrolíticos de 470 μ F/450V.

Figura 73 – Dinâmica do estágio CC-CA para um degrau da corrente de saída do estágio CC-CC – 20V/div e 200ms/div



Fonte: Elaborada pelo Autor.

Figura 74 – Ondulação da tensão do elo CC – 2V/div e 10ms/div

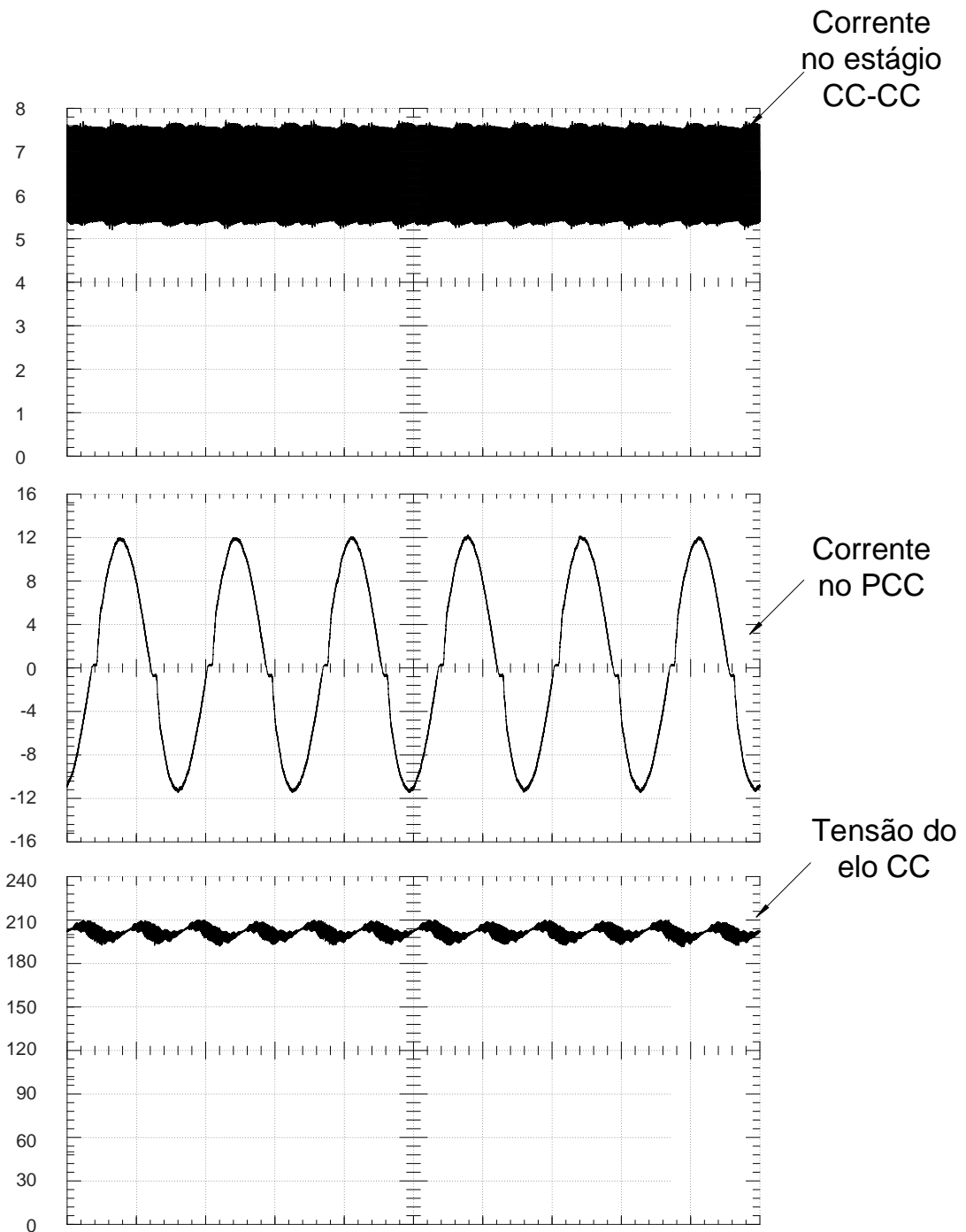


Fonte: Elaborada pelo Autor.

5.3.4 Resultados Experimentais da Topologia Completa

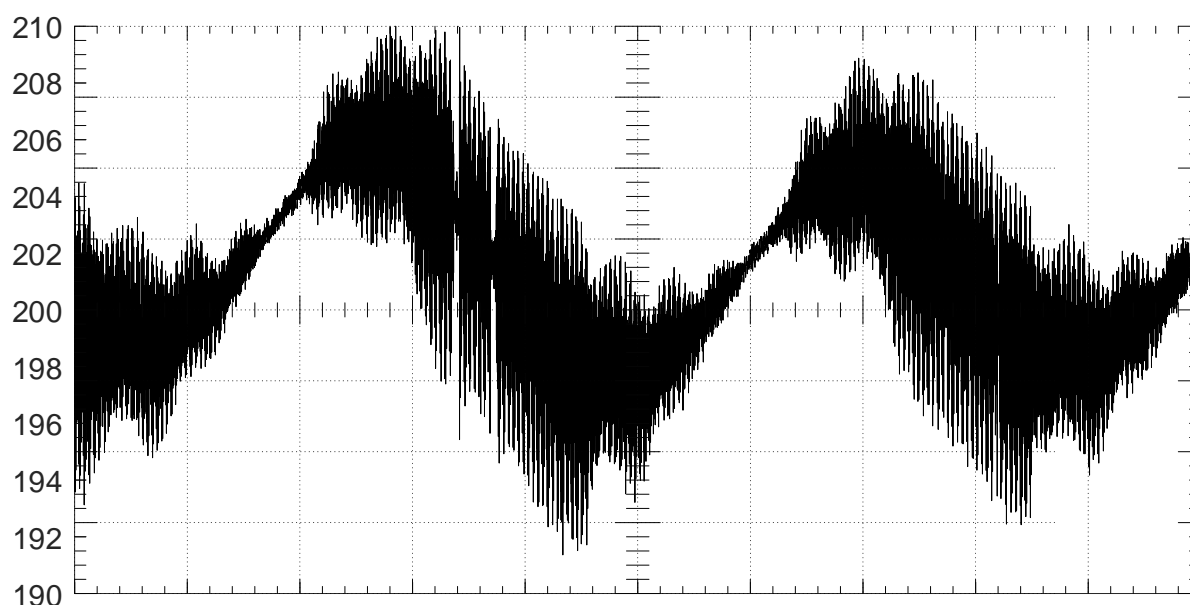
Na figura 75 tem-se as principais formas de onda no PCC do conversor proposto injetando corrente na rede. Em regime permanente, a ondulação máxima da tensão no elo CC foi de 9,45 %, conforme apresentado na figura 76.

Figura 75 – Principais formas de onda no estágio CC-CC e CC-CA –
1A/div, 4A/div e 10ms/div



Fonte: Elaborada pelo Autor.

Figura 76 – Ondulação da tensão do elo CC com filtro ativo – 2V/div, e 20ms/div



Fonte: Elaborada pelo Autor.

Na figura 77 tem-se a corrente no PCC e a tensão da rede local. O THD obtido para esta condição de operação foi de 4,16% e o fator de potência foi de 0,9828.

Na tabela 10 tem-se os dados das primeiras 32 harmônicas da corrente no PCC, sendo tais níveis comparados com os estabelecidos na ABNT NBR 16149:2013, tabela 1. Nota-se que tanto o THD total como a distorção harmônica para cada uma das harmônicas individuais respeitaram os limites normativos impostos.

Tabela 10 – Distorção harmônica da corrente no PCC

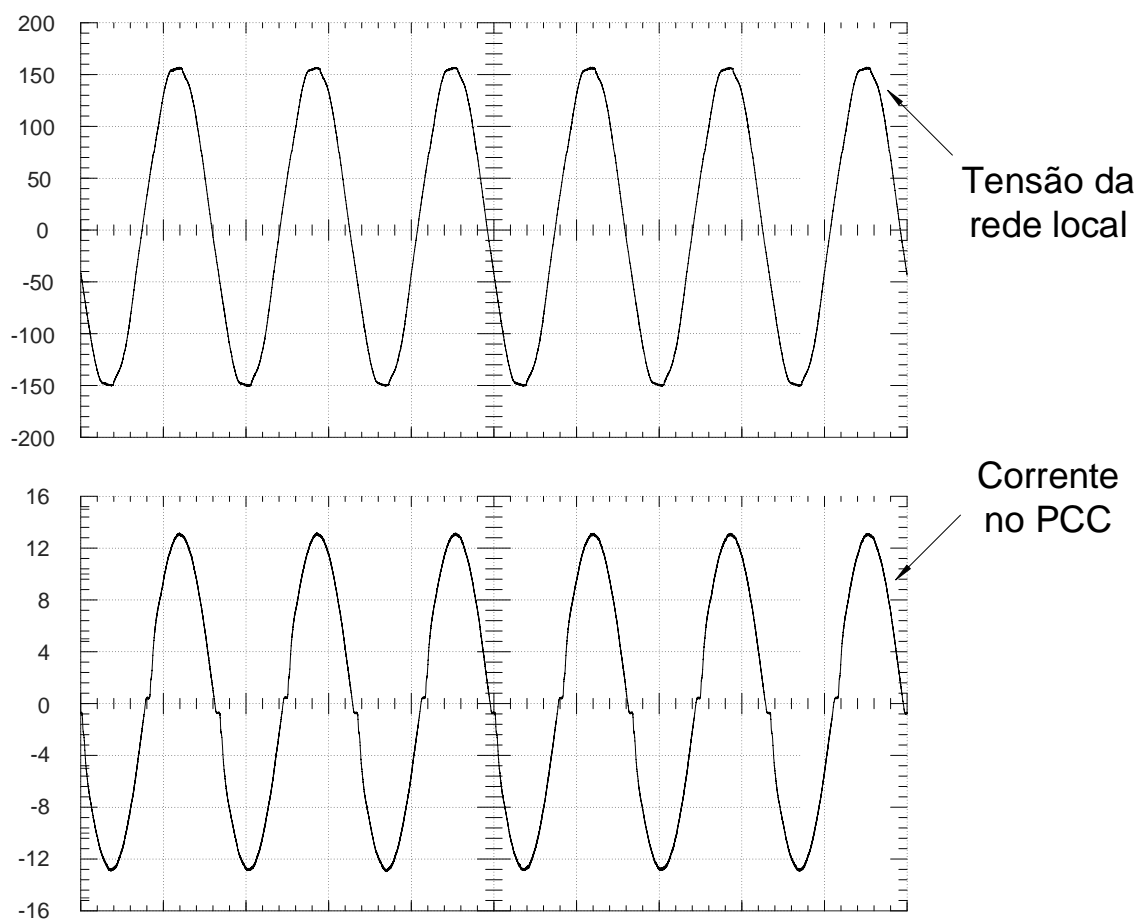
Harmônicas ímpares	Distorção	Harmônicas pares	Distorção
3°	1,70% < 4,0%	2	0,25% < 1,0%
5°	1,95% < 4,0%	4	0,38% < 1,0%
7°	1,56% < 4,0%	6	0,26% < 1,0%
9°	1,55% < 4,0%	8	0,41% < 1,0%
11°	1,36% < 2,0%	10	0,42% < 0,5%
13°	1,10% < 2,0%	12	0,37% < 0,5%
15°	0,80% < 2,0%	14	0,36% < 0,5%
17°	0,61% < 1,5%	16	0,30% < 0,5%

Tabela 10 – Distorção harmônica da corrente no PCC (*Continuação*)

Harmônicas ímpares	Distorção	Harmônicas pares	Distorção
19°	0,41% < 1,5%	18	0,25% < 0,5%
21°	0,38% < 1,5%	20	0,18% < 0,5%
23°	0,26% < 0,6%	22	0,11% < 0,5%
25°	0,11% < 0,6%	24	0,08% < 0,5%
27°	0,11% < 0,6%	26	0,11% < 0,5%
29°	0,04% < 0,6%	28	0,04% < 0,5%
31°	0,11% < 0,6%	30	0,11% < 0,5%
33°	0,13% < 0,6%	32	0,13% < 0,5%

Fonte: Elaborado pelo autor.

Figura 77 – Tensão da rede e corrente no PCC – 50V/div, 4A/div e 10ms/div



Fonte: Elaborada pelo Autor.

A operação do conversor drenando energia da rede elétrica, isto é, com o fluxo de potência da fonte V_{CA} para a fonte V_{in} na figura 53 foi validado somente via simulação, uma vez que durante o transitório de partida do protótipo experimental desenvolvido, elevadas correntes eram solicitadas da fonte CA para carregar o capacitor do elo CC. Portanto, tem-se como sugestão para trabalhos futuros a implementação de uma estratégia de partida suave para este modo de operação.

6 CONCLUSÃO

Neste trabalho foi proposto um conversor CC-CA bidirecional de dois estágios com redução da capacitância do elo CC através da inserção de um filtro ativo meia ponte. Também foi utilizado um filtro LCL com amortecimento passivo para atenuar as harmônicas da corrente injetada na rede.

Cada estágio do conversor proposto apresentou resultados satisfatórios, alcançando os seus objetos individuais. Para verificar as respostas em regime transitório e em regime permanente foram realizadas simulações no *software* PSIM. Um protótipo experimental também foi desenvolvido a fim de validar as simulações realizadas.

O estágio CC-CC apresentou em simulação um tempo de acomodação de 0,5 ms e um máximo sobressinal de 12,20 %. Os resultados experimentais estão em conformidade com tais valores apresentando um tempo de acomodação de 0,58 ms e um pico de corrente de 10,43A.

O estágio CC-CA apresentou em simulação um tempo de acomodação de 0,4 s e um máximo sobressinal de 425,16 V frente a um degrau de 50% - 100% da corrente de entrada. O protótipo experimental apresentou um tempo de acomodação de 0,37 s e um máximo sobressinal de 252,95 V frente a um degrau de 3 A – 4,5 A da corrente de entrada. A diferença entre os valores de máximo sobressinal obtidos se deve ao fato de que na implementação do protótipo experimental foi adotado um tempo morto de 1 μ s, além da operação em tensão reduzida do elo CC e da rede elétrica. Vale salientar que o valor absoluto de sobressinal foi próximo, isto é, 25,16 V para o resultado de simulação e 25,95 V para o resultado experimental.

Para a operação da topologia completa obteve-se uma redução de 11 vezes (1,66 mF para 150 μ F) da capacitância do elo CC requerida, eliminando assim a necessidade de capacitores eletrolíticos. A ondulação máxima da tensão no elo CC, o THD da corrente de saída e o fator de potência obtidos foram de 9,45%, 4,16% e 0,9828, respectivamente.

Também foi constatado que a corrente no PCC obtida do protótipo experimental atende aos requisitos normativos da ABNT NBR 16149:2013, possuindo THD total inferior a 5% e atendendo aos limites impostos para cada uma das harmônicas individuais.

Por fim, tem-se como sugestão para trabalhos futuros a implementação de uma estratégia de partida suave para a operação do protótipo experimental com o fluxo de potência no sentido da rede elétrica para o barramento CC, o estudo do rendimento para diferentes

tipos de filtros e amortecimento e testar outros controladores com a finalidade de melhorar o THD e o fator de potência obtidos.

REFERÊNCIAS

ANZALCHI, A.; MOGHADDAMI, M.; MOGHADASI, A.; POURM. M.; SARWAT, A. I.; Design and Analysis of a Higher Order Power Filter for Grid-Connected Renewable Energy Systems. **IEEE Transactions on Industry Applications**, v. 53, n. 5, p. 4149-4161, 2017.

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **NBR 16149**: Sistemas fotovoltaicos (FV) – Características da interface de conexão com a rede elétrica de distribuição. Rio de Janeiro, 2013.

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **NBR 16150**: Sistemas fotovoltaicos (FV) – Características da interface de conexão com a rede elétrica de distribuição – Procedimento de ensaio de conformidade. Rio de Janeiro, 2013.

BEZERRA, M. A. A.; DIAS, A. J. S.; PRAÇA, P. P.; OLIVEIRA, D. S. Oliveira, Proposal of a control scheme for an active filter feasible to the Dc-link capacitor minimization of a PV micro-inverter, **IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)**, Fortaleza, p. 1-6, 2015.

BUSO, S.; MATTAVELLI, P.: **Digital Control in Power Electronics**. 1. ed. EUA. Morgan & Claypool, 2006. ISBN 978-1-59-829113-1.

CAI, W.; LIU, B.; DUAN, S.; JIANG, L. An Active Low-Frequency Ripple Control Method Based on the Virtual Capacitor Concept for BIPV Systems, **Transactionson Power Electronics**, v. 29, n. 4, p. 1733-1745, 2014.

CHA, H.; VU, T. Comparative Analysis of Low-pass Output Filter for Single-phase Grid-connected Photovoltaic Inverter, **Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**, Palm Springs, CA, p. 1659-1665, 2010.

CHEN, F.; BURGOS, R.; BOROYEVICH, D. Efficiency Comparison of a Single-phase Grid-interface Bidirectional AC/DC Converter for DC Distribution Systems, **IEEE Energy Conversion Congress and Exposition (ECCE)**, Montreal, QC, p. 6261-6268, 2015.

GARCIA, O.; COBOS, J. A.; PRIETO, R.; ALOU, P.; UCEDA, J. Single phase power factor correction: a survey. **IEEE Transactions on Power Electronics**, v. 18, n. 3, p. 749-755, 2003.

GAUTAM, A. R.; GAURAV, K.; GUERRERO, J. M.; FULWANI, D. Ripple Mitigation with Improved Line-Load Transients Response in Two-Stage DC-DC-AC Converter: Adaptive SMC Approach. **IEEE Transactions on Industrial Electronics**, v. PP, n. 99, p. 1-1, 2017.

GE, B.; LIU, Y.; ABU-RUB, H.; BALOG, R. S.; PENG, F. Z.; SUN, H.; LI, X. An Active Filter Method to Eliminate DC-Side Low-Frequency Power for a Single-Phase Quasi-Z-Source Inverter. **IEEE Transactions on Industrial Electronics**, v. 63, n. 8, p. 4838-4848, 2016.

INSTITUTO DE ENGENHEIROS ELETRICISTAS E ELETRÔNICOS. **IEEE 1547**: Standard for Interconnecting Distributed Resources with Electric Power Systems. 2003.

INTERNATIONAL RECTIFIER. **Half-Bridge gate driver IC – IR2214/22141 (PD-60213)**. United States, 2003. Disponível em: <<http://www.irf.com/product-info/datasheets/data/ir2214.pdf>>. Acesso em: 15 nov. 2017.

INTERNATIONAL RECTIFIER. **Insulated Gate Bipolar Transistor with Ultrafast Soft Recovery Diode – IRG4PC40UDPbF (PD-94937)**. United States, 2004. Disponível em: <<https://www.semak.com.ar/Item/File/2983?...irg4pc40udpbf.pdf>>. Acesso em: 15 nov. 2017.

INTERNATIONAL RECTIFIER. **Insulated Gate Bipolar Transistor with Ultrafast Soft Recovery Diode – IRG4PF50WDPbF (PD-95233)**. United States, 2004. Disponível em: <http://www.rlocman.ru/i/File/dat/International_Rectifier/IGBTs_Single/IRG4PF50WDPBF.pdf>. Acesso em: 15 nov. 2017.

LANDAU, I. D.; ZITO, G. **Digital Control Systems – Design, Identification and Implementation**. Springer, 2006. ISBN-10 1846280559.

LANG, Y.; XU, D.; HADIANAMREI, S. R.; MA, H. A Novel Design Method of LCL Type Utility Interface for Three-Phase Voltage Source Rectifier. **IEEE 36th Power Electronics Specialists Conference, Recife, PE**, p. 313-317, 2005.

LEM. **Current Transducer LA 25-NP**. 2011. Disponível em: <<http://www.lem.com/docs/products/la%2025-np.pdf>>. Acesso em: 15nov. 2017.

LIN, J. J.; HUANG, S. Y.; CHENG, P. T.; SHIMIZU, T. Analysis and comparison of power decoupling circuits for single-phase DC/AC converters. **International Conference on Intelligent Green Building and Smart Grid (IGBSG)**, Taipei, p. 1-4, 2014.

LOFTI, H.; KHOADEI, A. AC Versus DC Microgrid Planning. **IEEE Transactions on Smart Grid**, v. 8, p. 296-304, 2017.

MICROCHIP. **dsPIC33FJ12MC201/202 Data Sheet High-Performance, 16-Bit Digital Signal Controllers**. United States, 2007. Disponível em: <<http://ww1.microchip.com/downloads/en/DeviceDoc/70265B.pdf>>. Acesso em: 15nov. 2017.

PARHIZI, S.; LOTFI, H.; KHODAEI, A.; BAHRAMIRAD, S. State of the Art in Research on Microgrids: A Review. **in IEEE Access**, v. 3, p. 890-925, 2015.

SANGWONGWANICH, A.; YANG, Y.; SERA, D.; BLAABJERG, F. Lifetime Evaluation of Grid-Connected PV Inverters Considering Panel Degradation Rates and Installation Sites. **IEEE Transactions on Power Electronics**, v. 33, n. 2, p. 1225-1236, 2018.

SANTOS, H. A. **Projeto de conversor CC-CA monofásico controlado para interligação de barramentos CC e CA de uma microrrede**. 2014. 146 f. Dissertação (Mestrado em Engenharia Elétrica). Departamento de Engenharia Elétrica, Universidade Federal do Ceará, Fortaleza, 2014.

VOPRPERIAN, V. Simplified Analysis of PWM Converters Using the Model of the PWM Switch: Parts I. **IEEE Transactions on Aerospace and Electronic Systems**, v. 26, n. 3, p. 490-496, 1990.

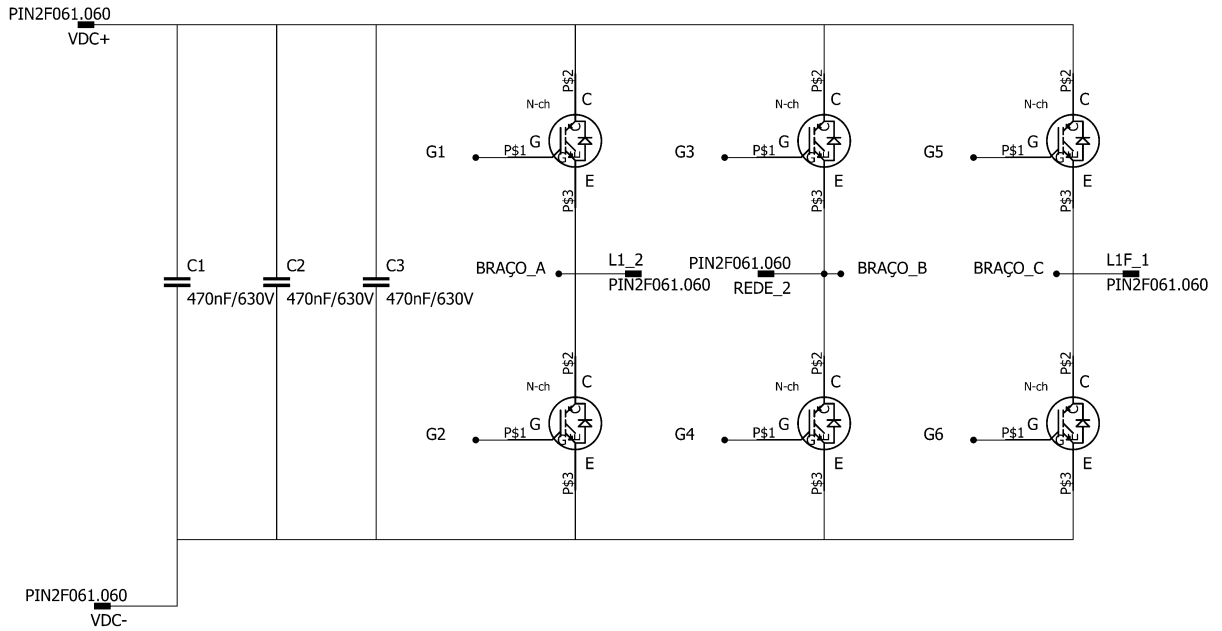
YEPES, A. G.; FREIJEDO, F. D.; LOPEZ, Ó.; DOVAL-GANDOY, J. Analysis and Design of Resonant Current Controllers for Voltage-Source Converters by Means of Nyquist Diagrams and Sensitivity Function. **IEEE Transactions on Industrial Electronics**, v. 58, n. 11, p. 5231-5250, 2011.

WANG, R.; WANG, F.; BOROYEVICH, D.; NING, P. A high power density single phase PWM rectifier with active ripple energy storage. **Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**, Palm Springs, CA, 2010, p. 1378-1383, 2010.

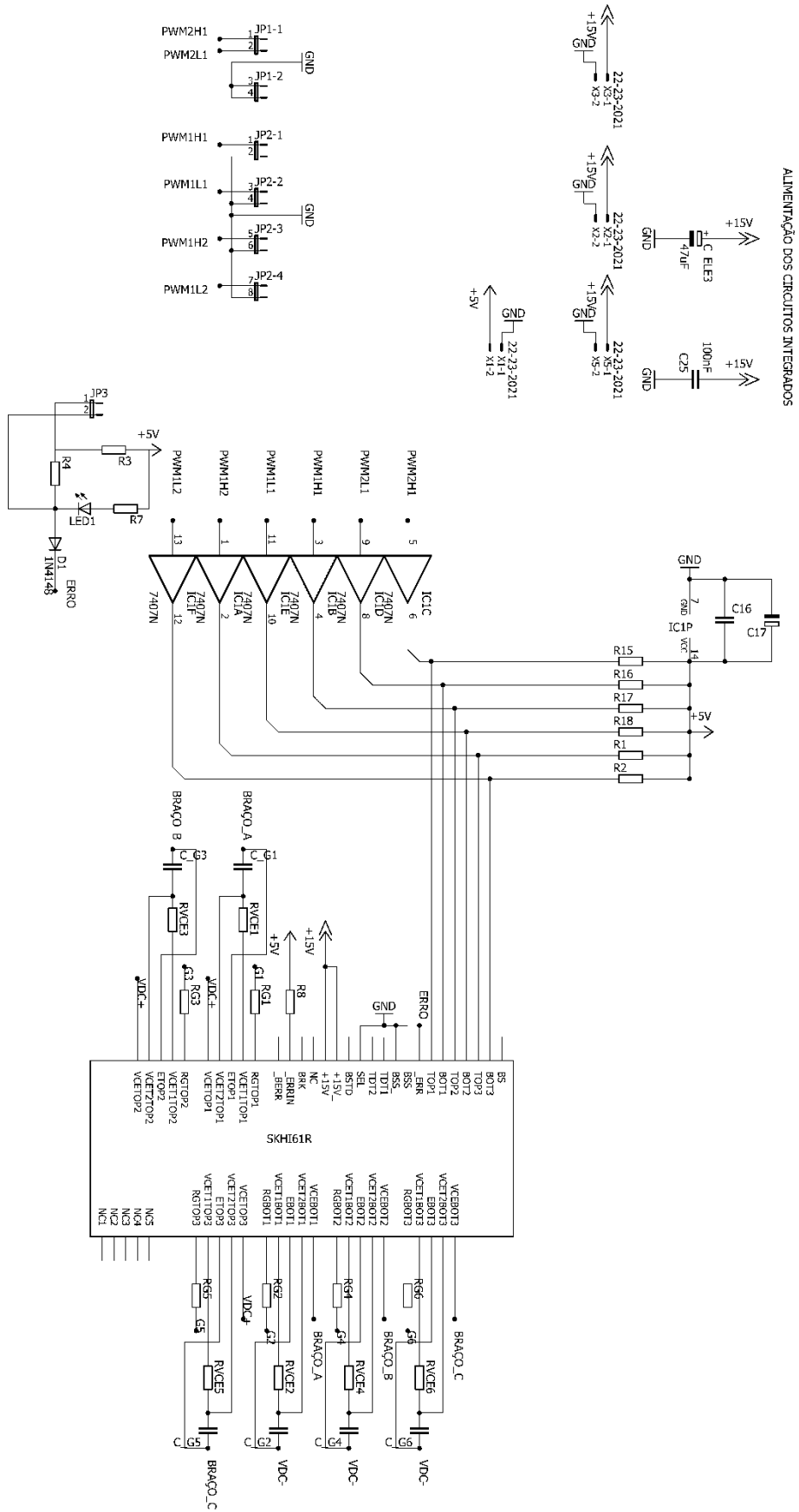
YU, G. R.; WEI, J. S. Modeling and control of a bi-directional inverter for DC microgrids. **International Conference on System Science and Engineering**, Macao, p. 425-430, 2011.

APÊNDICE A – PCB E ESQUEMÁTICO DAS PLACAS DESENVOLVIDAS

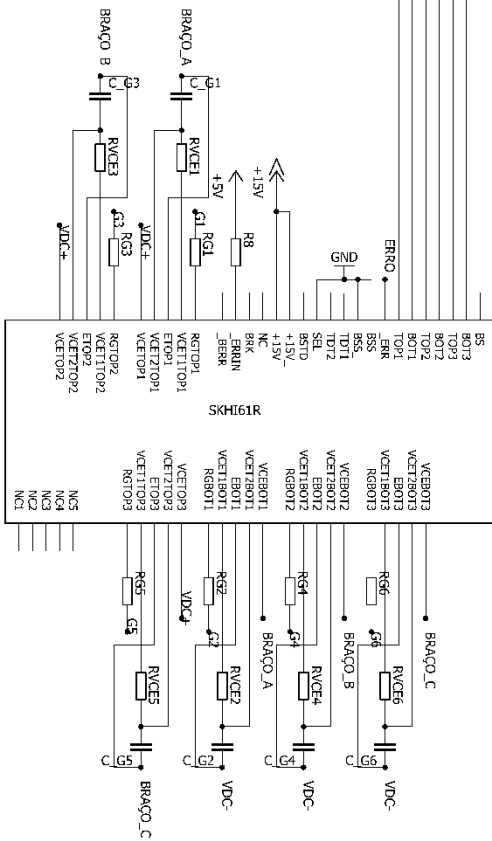
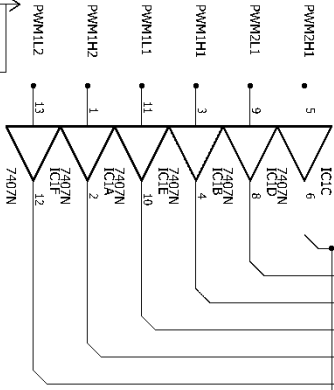
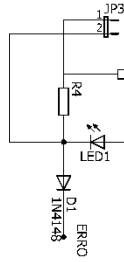
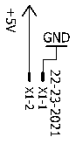
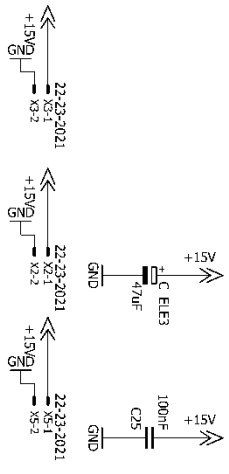
Esquemático da placa de potência (chaves de potência) do estágio CC-CC e CC-CA – Parte 1



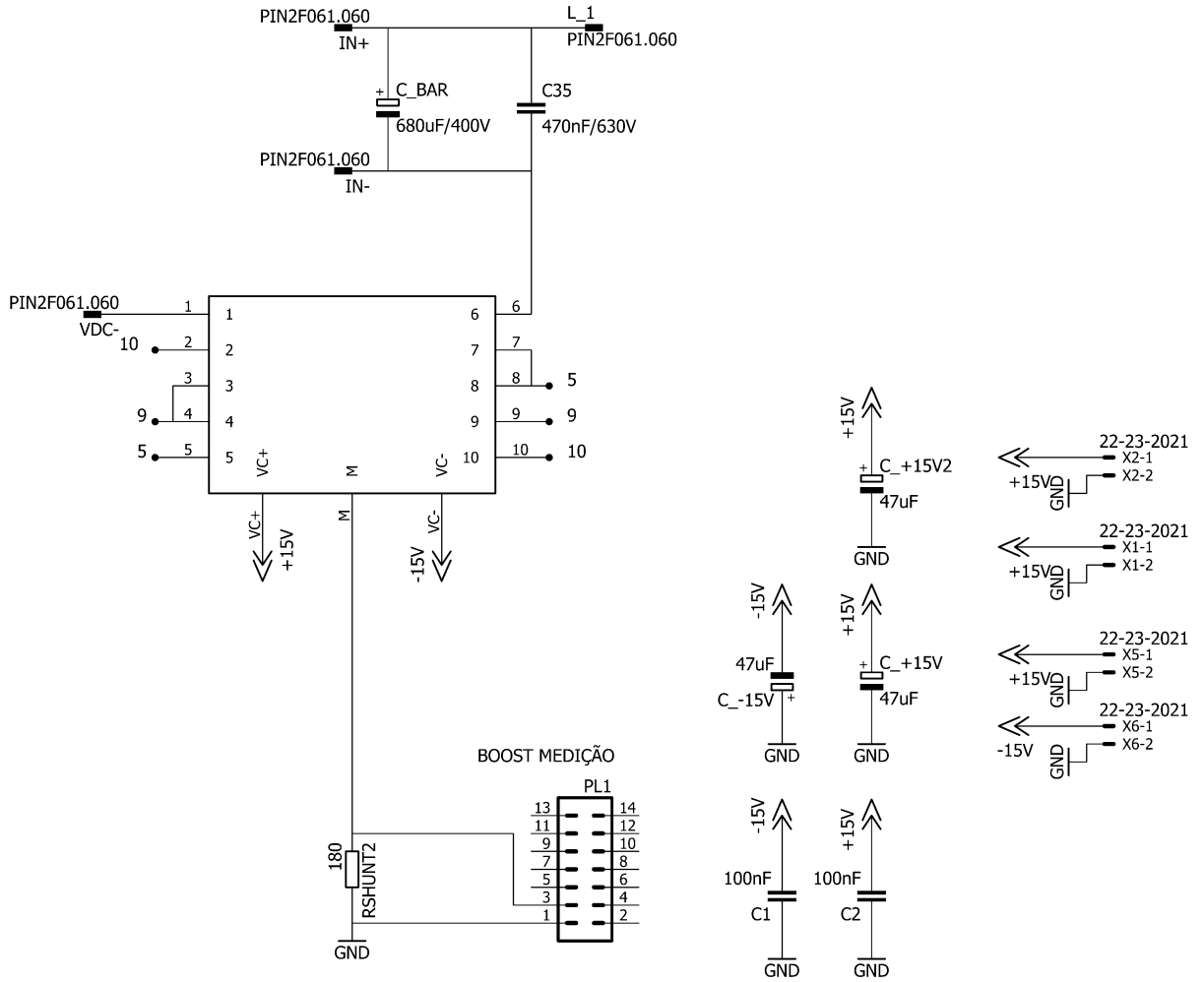
Esquemático da placa de potência (chaves de potência) do estágio CC-CC e CC-CA – Parte 2



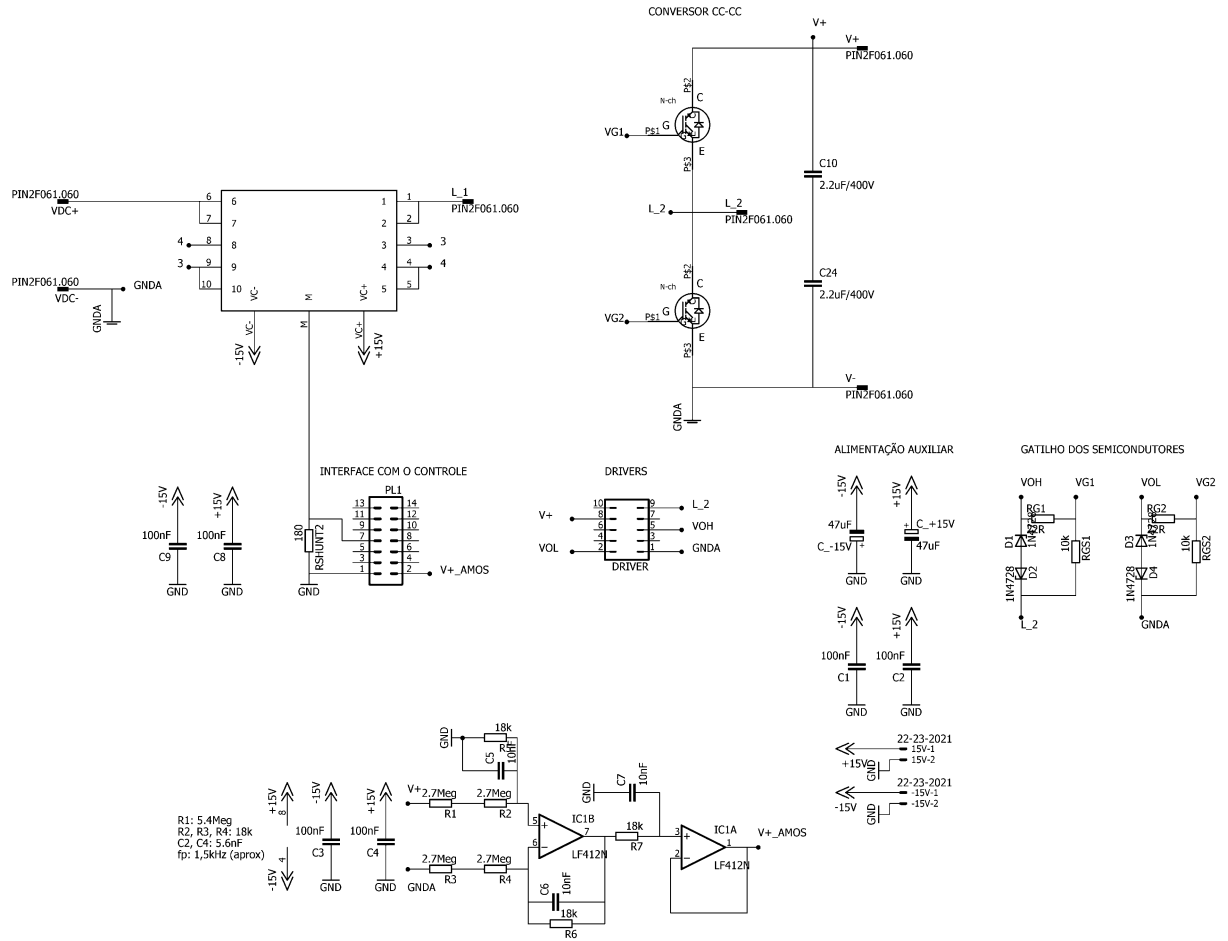
ALIMENTAÇÃO DOS CIRCUITOS INTEGRADOS



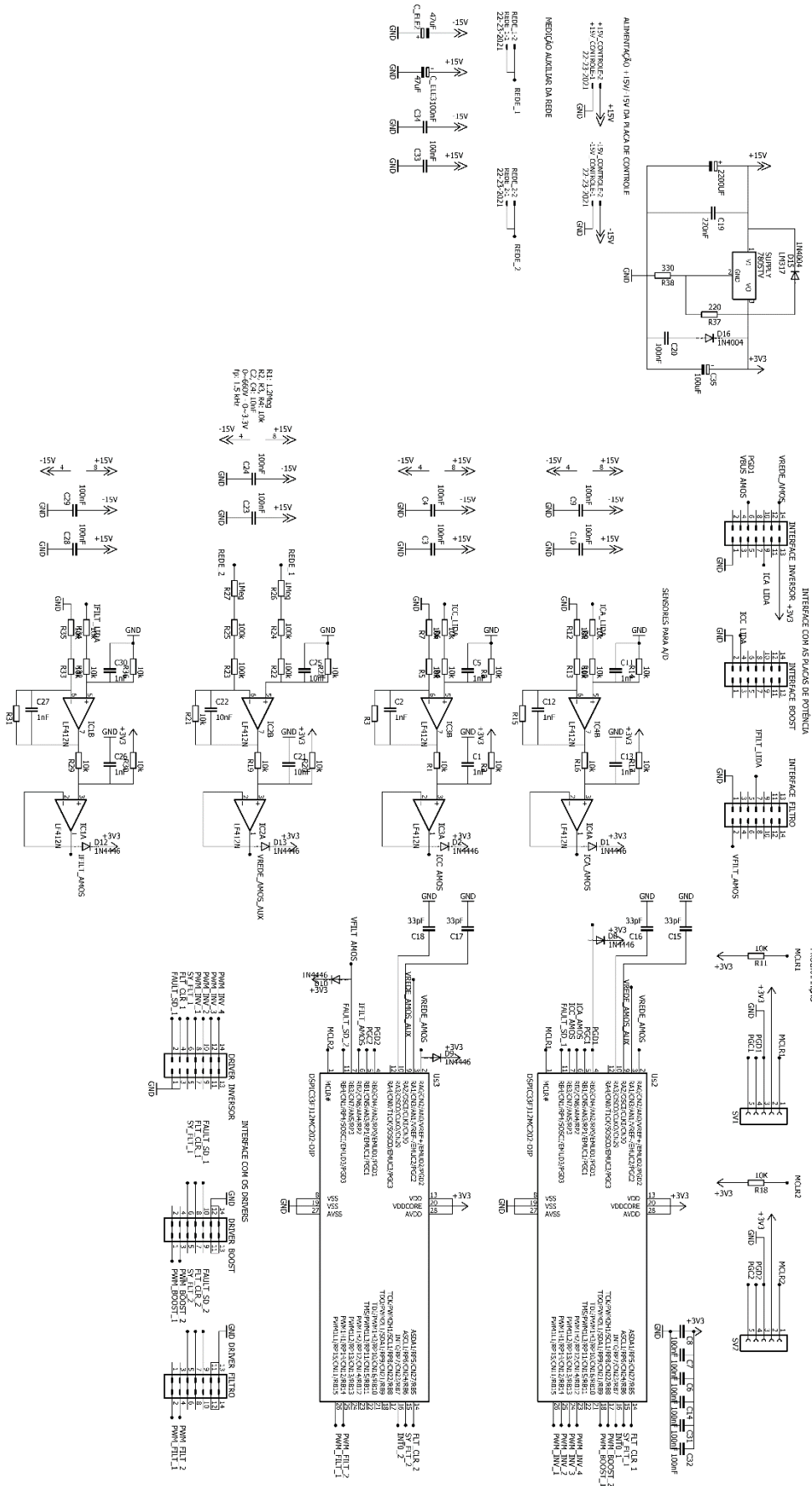
Esquemático da placa de potência (filtros) do estágio CC-CC e CC-CA



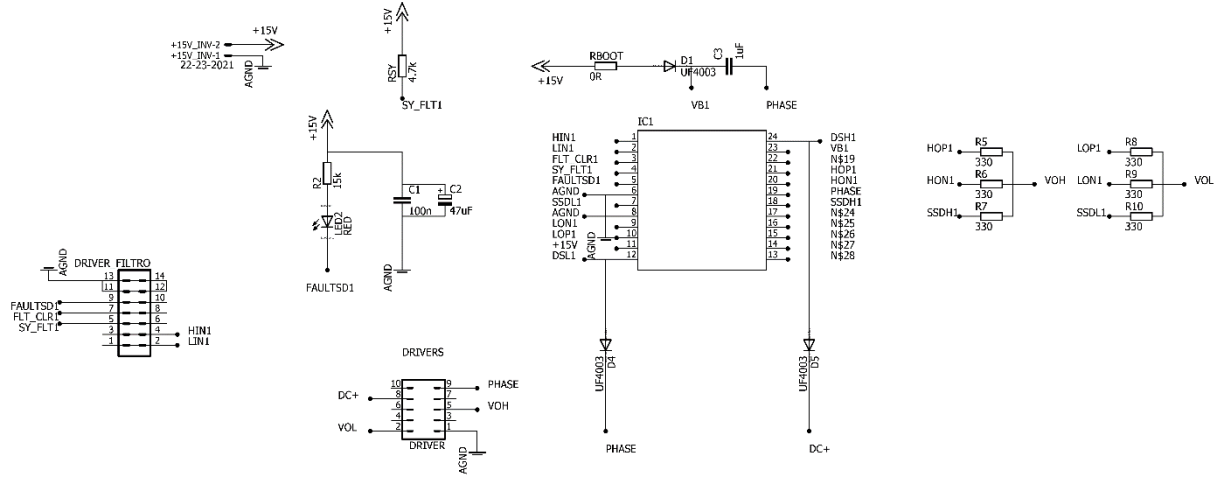
Esquemático do Filtro Ativo



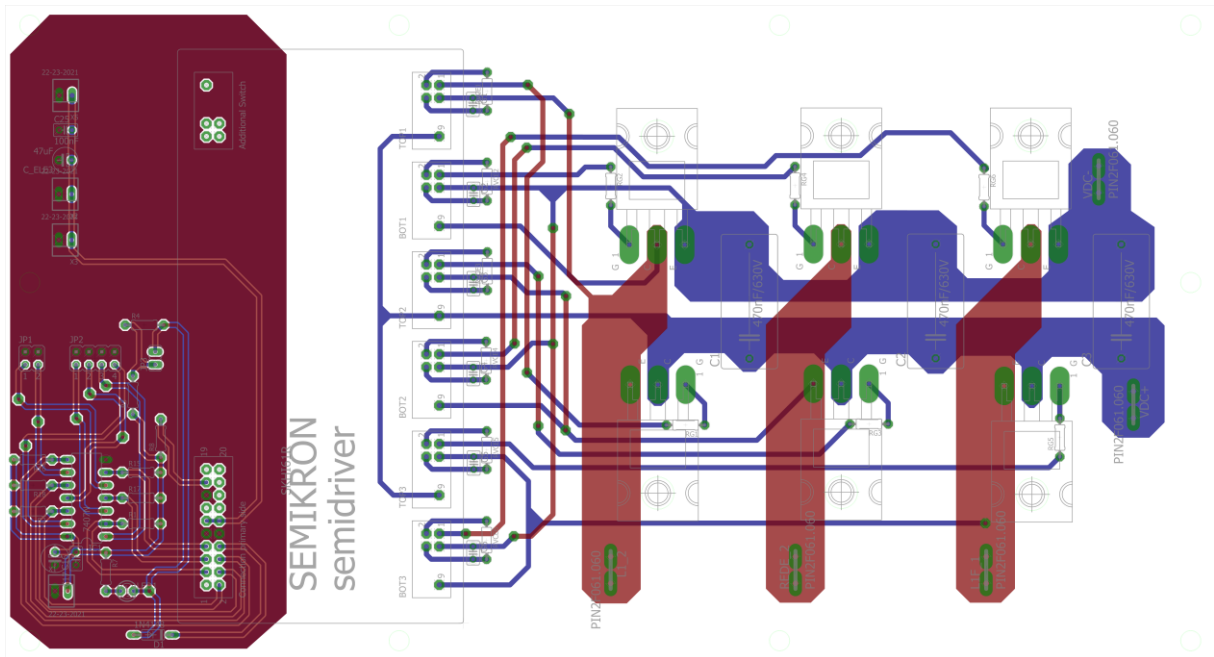
Esquemático da Placa de Controle



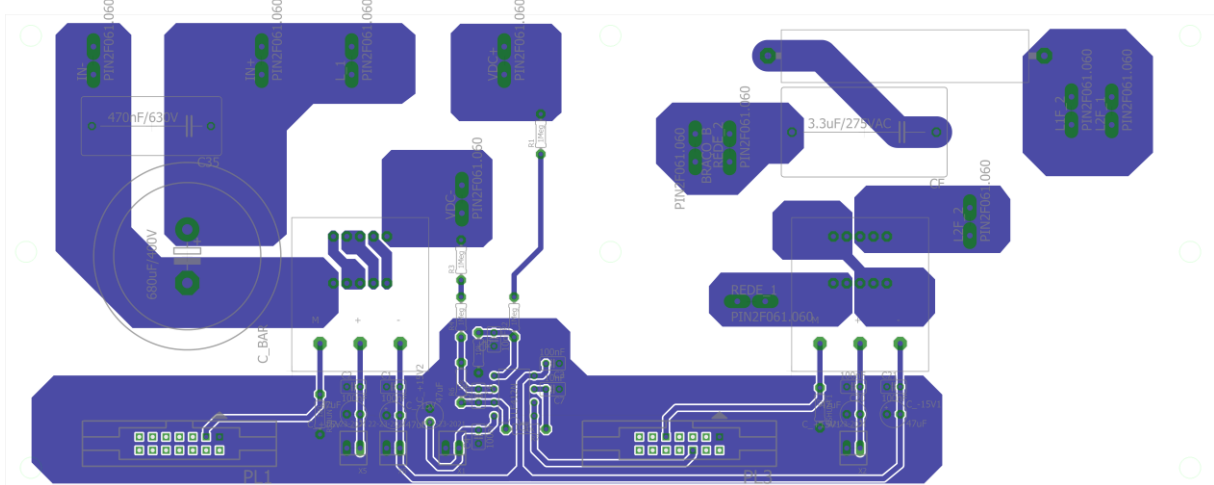
Esquemático do *Driver do Filtro Ativo*



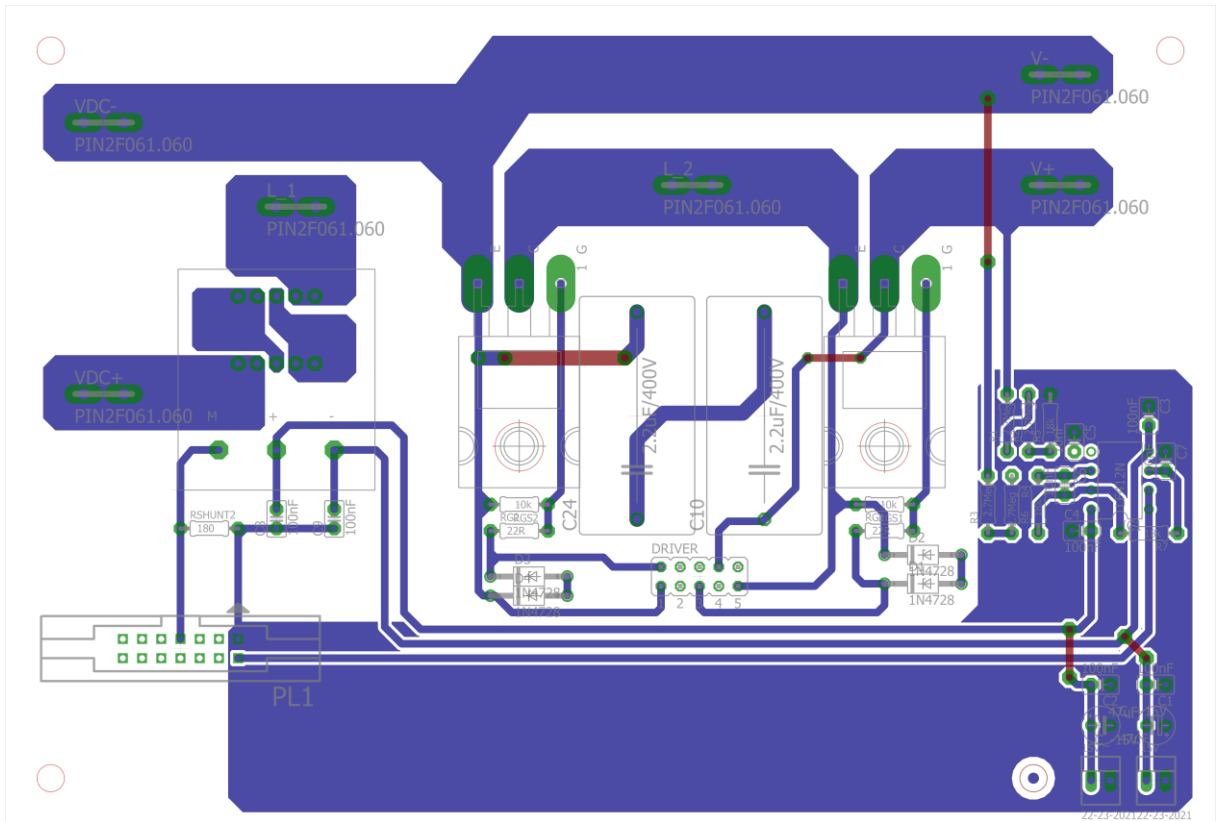
PCB da placa de potência dos estágios CC-CC e CC-CA (chaves de potência)



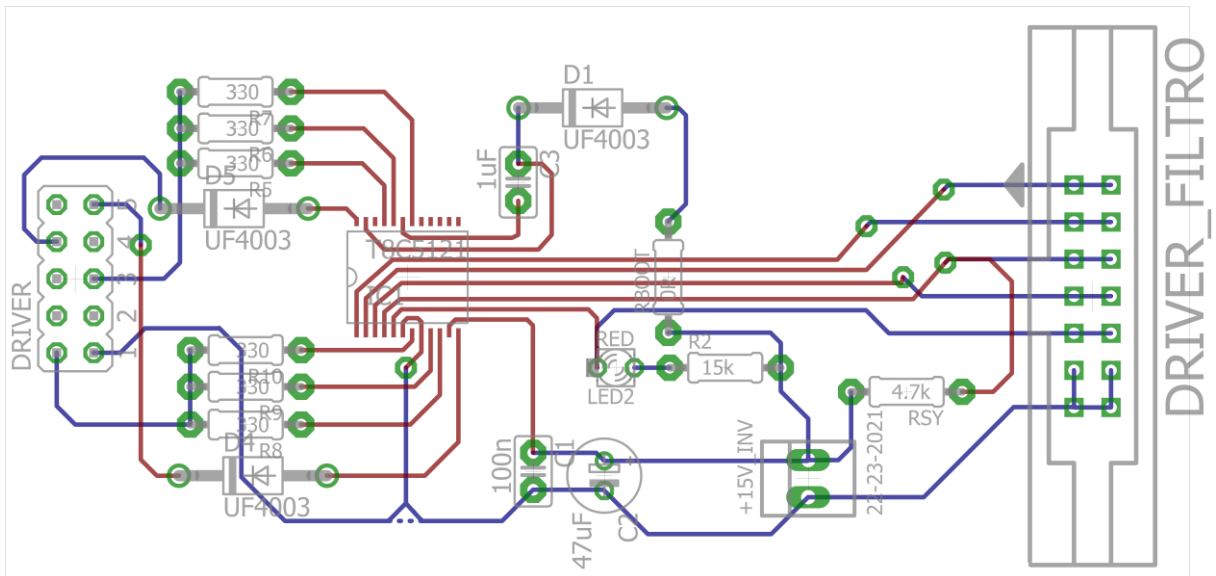
PCB da placa de potência dos estágios CC-CC e CC-CA (filtros)



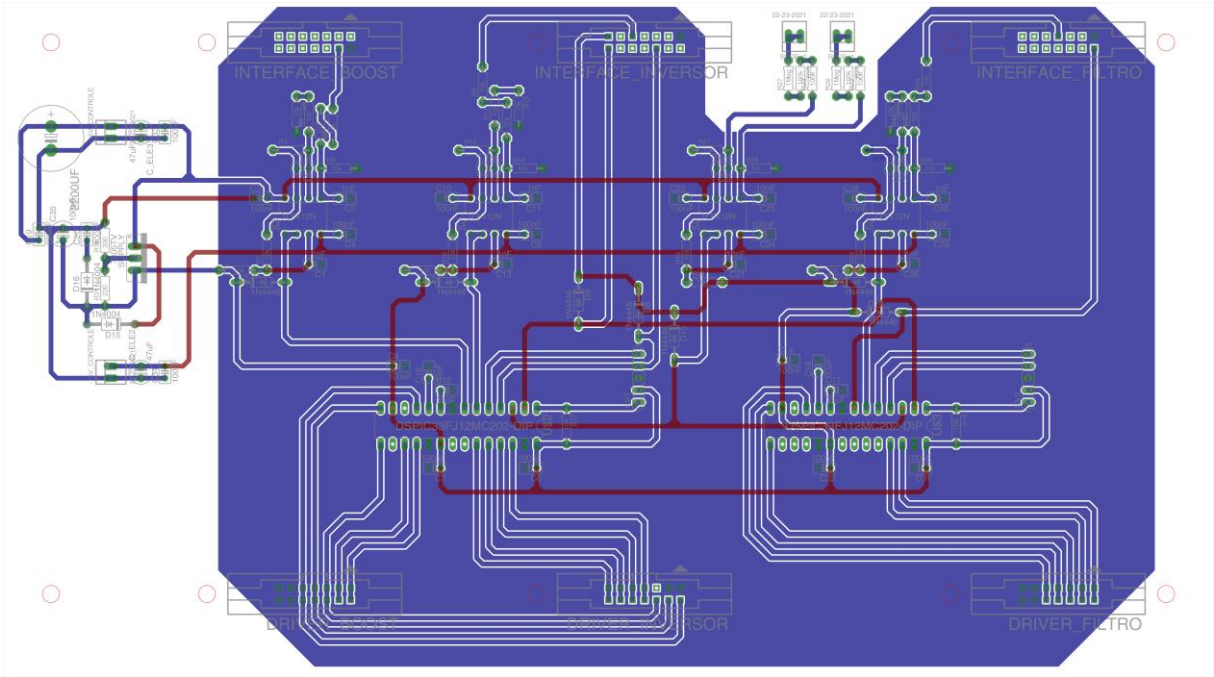
PCB do Filtro Ativo



PCB do Driver das chaves do Filtro Ativo



PCB da Placa de Controle



APÊNDICE B – ROTINAS EM MATLAB

Rotina para determinação dos polos desejados em malha fechada

```

clc
clear
close all

csi = 0.1;           % especifica csi inicial
wn = 15e3;          % especifica wn inicial

passo1 = 0.001;     % passo para o csi
passo2 = 0.1;       % passo para o wn

ov_des = 17;        % valor desejado do máximo sobressinal em %
st_des = (1/120)/16; % valor desejado para o tempo de assentamento

ov = 100;
st = 10;

while (ov > ov_des) % laço para definição do amortecimento
    csi = csi + passo1;
    H = tf(wn*wn, [1 2*csi*wn wn*wn]);
    var = stepinfo(H);
    st = var.SettlingTime;
    ov = var.Overshoot;
end

while (st > st_des) % laço para definição da frequência natural
    wn = wn + passo2;
    H = tf(wn*wn, [1 2*csi*wn wn*wn]);
    var = stepinfo(H);
    st = var.SettlingTime;
    ov = var.Overshoot;
end

Tamos = 1/60e3;     % especifica o período de amostragem

Hd = c2d(H, Tamos, 'tustin');
[~, P] = tfdata(Hd, 'v'); % polos desejados em malha fechada

```

APÊNDICE C – EXEMPLO DE ROTINA PARA IMPLEMENTAÇÃO DO CONTROLADOR NO DSPIC

Neste exemplo são utilizados os dados do PI adotado para a malha de corrente do estágio CC-CA.

Código em C:

```
// Declaração de variáveis
int PI_CORRENTE[3] __attribute__((address(0x0814))) = {849,-794,32767};
int CONTROL_CORRENTE[3] __attribute__((address(0x0A14))) = {0,0,0};
int OUTPUT_CORRENTE = 0;
extern int control_PI_corrente(void);

// Laço de repetição
CONTROL_CORRENTE[0] = Iref - Iosense;           // cálculo do e(k)
OUTPUT_CORRENTE = control_PI_corrente();
CONTROL_CORRENTE[1] = CONTROL_CORRENTE[0];     // e(k-1) = e(k)

if(OUTPUT_CORRENTE < -650) OUTPUT_CORRENTE = -650;
if(OUTPUT_CORRENTE > +650) OUTPUT_CORRENTE = +650;

CONTROL_CORRENTE[2] = OUTPUT_CORRENTE;         // u(k-1) = u(k)
```

Rotina em Assembler:

```
.global _control_PI_corrente           ; declarando como label global "control_PI_corrente"
_control_PI_corrente:                 ; início da função "control_PI_corrente"
push W8                               ; salva na pilha o registrador W8
push W10                              ; salva na pilha o registrador W10
mov    #_PI_CORRENTE, W8              ; ponteiro para o primeiro elemento do vetor PI
mov    #_CONTROL_CORRENTE, W10       ; ponteiro para o primeiro elemento do vetor CONTROL
mov    #_OUTPUT_CORRENTE, W0         ; ponteiro para a variável OUTPUT
mov    #0, W4                         ; limpa registrador W4
mov    #0, W6                         ; limpa registrador W6
clr    A                              ; limpa acumulador ACCA
repeat #3
mac    W4*W6, A, [W8]+=2, W4, [W10]+=2, W6 ; eq. das diferenças utilizando a máquina DSP
sac.r  A, #-1, W0                     ; dividindo por 2^15 o resultado da eq. das diferenças
pop    W10                             ; retorna o valor original de W10 da pilha
pop    W8                               ; retorna o valor original de W8 da pilha
return                                ; retorno da função
```