



**UNIVERSIDADE FEDERAL DO CEARÁ
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

HERMINIO MIGUEL DE OLIVEIRA FILHO

**CONVERSOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL COM
COMUTAÇÃO SUAVE UTILIZANDO DUAL PHASE-SHIFT E RAZÃO CÍCLICA
VARIÁVEL**

**FORTALEZA
2015**

HERMINIO MIGUEL DE OLIVEIRA FILHO

CONVERTOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL COM COMUTAÇÃO
SUAVE UTILIZANDO DUAL PHASE-SHIFT E RAZÃO CÍCLICA VARIÁVEL

Tese apresentada ao Curso de Doutorado em Engenharia Elétrica do Departamento de Engenharia Elétrica da Universidade Federal do Ceará como parte dos requisitos para obtenção do título de Doutor em Engenharia Elétrica. Área de Concentração: Sistemas de Energia Elétrica.

Orientador: Prof. Dr. Demercil de Souza Oliveira Júnior.

Fortaleza

2015

Dados Internacionais de Catalogação na Publicação
Universidade Federal do Ceará
Biblioteca de Pós-Graduação em Engenharia - BPGE

-
- O47c Oliveira Filho, Hermínio Miguel de.
Conversor CC-CC trifásico isolado bidirecional com comutação suave utilizando dual phase-shift e razão cíclica variável / Hermínio Miguel de Oliveira Filho. – 2015.
159 f. : il. color., enc. ; 30 cm.
- Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Departamento de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza, 2015.
Área de Concentração: Sistemas de Energia Elétrica.
Orientação: Prof. Dr. Demercil de Souza Oliveira Júnior.
1. Engenharia elétrica. 2. Conversores. 3. Corrente contínua. I. Título.

HERMINIO MIGUEL DE OLIVEIRA FILHO

**CONVERSOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL
COM COMUTAÇÃO SUAVE UTILIZANDO DUAL PHASE-SHIFT
E RAZÃO CÍCLICA VARIÁVEL**

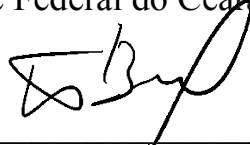
Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Ceará, como requisito parcial à obtenção do título de Doutor em Engenharia Elétrica. Área de concentração: Sistemas de Energia Elétrica.

Aprovada em: 19/08/2015

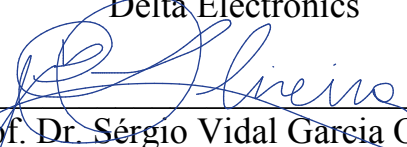
BANCA EXAMINADORA



Prof. Dr. Demercil de Souza Oliveira Júnior (Orientador)
Universidade Federal do Ceará (PPGEE-UFC)



Dr. Peter Mantovanelli Barbosa
Delta Electronics



Prof. Dr. Sérgio Vidal Garcia Oliveira
Universidade do Estado de Santa Catarina (UDESC)
Universidade Regional de Blumenau (FURB)



Prof. Dr. Luiz Henrique Silva Colado Barreto
Universidade Federal do Ceará (PPGEE-UFC)



Prof. Dr. Paulo Peixoto Praça
Universidade Federal do Ceará (PPGEE-UFC)

Aos meus pais, Herminio e
Patrícia.

À minha namorada Natália.

A todos os familiares e amigos.

“A persistência é o caminho para o êxito.”

(Charles Chaplin)

AGRADECIMENTOS

Primeiramente aos meus pais, Herminio Miguel de Oliveira e Patrícia Helena de Oliveira, que sempre estiveram presentes e atentos com a minha educação, além de sempre apoiarem minhas decisões profissionais. Não poderia deixar de comentar, claro, da dedicação e amor que nunca me faltaram.

À minha namorada, companheira, amiga e grande amor, Natália Magalhães Rodrigues, por toda dedicação e compreensão, principalmente durante esta reta final do Doutorado. Foram muitos sábados, domingos e madrugadas de companheirismo. Muitas confissões, risadas e conversas entre uma simulação no Psim, atualização de script no Matlab ou desenvolvimento de algum cálculo matemático para ser aplicado ao conversor!

Não poderia deixar de citar também, em especial, outras duas importantes pessoas do meu núcleo familiar central, que são minha avó Maria e minha irmã Michele, por serem presenças constantes em minha vida. À minha irmã, novamente, por ter me agraciado com a sobrinha/pestitinha mais linda e danada de todas: Ana Luiza. Agradeço, também, a todos os meus demais familiares: tios, tias, primos e primas.

Ao orientador e professor Dr. Demercil de Sousa Oliveira Jr., presença constante e incansável desde a iniciação científica até os dias atuais. Não consigo recordar nenhum momento seu de ausência ou recusa em procurar soluções e alternativas às minhas dúvidas e dificuldades. Ao contrário, nunca se recusou ao papel de grande mestre e pesquisador ao esclarecer questionamentos, inclusive num sábado, quase meia-noite, em uma véspera de entrega de artigo para revista!

Aos professores da casa Dr. Paulo Peixoto Praça, Dr. Luiz Henrique Silva Colado Barreto e Dr. Fernando Luís Marcelo Antunes, ao professor Dr. Sérgio Vidal Garcia Oliveira, da Universidade do Estado de Santa Catarina (UDESC), por aceitarem participar da minha banca de tese, e em especial ao Dr. Peter Mantovanelli Barbosa, da *Delta Electronics*, no Taiwan, por sua condição temporal e espacial adversa para se fazer presente nesta banca examinadora. Agradeço a todos por terem enriquecendo ainda mais este trabalho através de sugestões, esclarecimentos e críticas positivas.

Aos funcionários e professores do Departamento de Engenharia Elétrica (DEE). Estes pela troca constante de conhecimentos técnico-científicos, aqueles pelo auxílio e soluções técnicas prestadas.

Aos colegas docentes do Instituto de Engenharias e Desenvolvimento Sustentável (IEDS) da UNILAB pela compreensão e ônus carregado através das várias comissões que

tiveram que participar no meu lugar, especialmente ao diretor do Instituto, Prof. Dr. George Mamede, por se prontificar e garantir certo “alívio” da minha ocupação burocrática (principalmente nas permanentes!) durante meu Doutorado.

Aos colegas de Pós-Graduação, pelas sugestões técnicas ou simplesmente pelos papos descontraídos, partidas de *Pro Evolution Soccer* – PES e churrascos “regados a cerveja”: Antônio “Toin” Barbosa, José Airton, Davi Joca, Ésio, Dalton, Bruno Almeida, Wellington, Samuel Jó, Janaína Almada, George Harrison, Juliano “Gaúcho”, e Francisco “Chico” Jr. Caso tenha esquecido alguém, peço desculpas pela amnésia momentânea.

Aos amigos da época de graduação: Livia Costa, Robson Cardoso, Tiago “Cobrinha” Oliveira, Lemi Maranhão, Rodrigo Paulino e em especial ao Eudes Barrozo e Rafael “Thraser” Oliveira, companheiros inseparáveis! Embora nem todos eu mantenha contato constante, foram e continuam sendo importantes para minha formação profissional e pessoal.

Ao Fortaleza Esporte Clube, paixão herdada de berço e cultivada de forma intensa e vibrante (Bora Leão!) até os dias atuais!

Aos amigos das conversas bobas, das sérias, das éticas, das literárias, das cinéfilas, das futebolísticas e das musicais: José Glauber Peixoto Rocha, Ana Carmen, Vitor Barroso, Rachel Caminha, Cícera Barbosa, Rodrigo “Thrunda”, Otávio “Thrunda” e Jean Marcel.

Ao Grupo de Processamento de Energia e Controle (GPEC) da Universidade Federal do Ceará, pelo apoio técnico e estrutural.

À Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) pelo apoio financeiro necessário à realização desse trabalho e desenvolvimento científico, sem o qual seria impossível a realização desta tese.

RESUMO

Este trabalho apresenta a análise, exemplo de projeto, simulações e resultados experimentais de um conversor CC-CC trifásico isolado bidirecional com comutação suave, *dual phase shift* (DPS) e razão cíclica variável. A topologia utiliza três pontes H monofásicas no lado primário e um inversor trifásico no lado secundário. A isolação em alta frequência é garantida utilizando-se três transformadores monofásicos conectados em uma configuração delta aberto/estrela. A variação de ambos os ângulos de deslocamento de fase, entre os braços de uma ponte H e/ou entre os lados primário e secundário, permitem o controle do fluxo de potência. Esta flexibilidade garante a obtenção de um baixo conteúdo reativo na análise de projeto da topologia. A razão cíclica variável é utilizada para assegurar um barramento constante e uma operação dos interruptores com comutação suave. Uma análise matemática da estrutura é apresentada considerando um modelo baseado em componentes fundamentais e, com o propósito de comprovar a validade deste modelo, uma segunda análise a partir das etapas de operação do conversor também foi desenvolvida. O modelo dinâmico do conversor, baseado nas componentes fundamentais, também foi concebido com auxílio da teoria do *gyrator*. Um exemplo de projeto, com a obtenção de valores nominais, esforços e especificações dos componentes, caracterização do sistema de controle discreto e sua programação através de FPGA são desenvolvidos. Simulações e resultados experimentais do conversor operando em regime permanente e dinâmico são apresentados para validar o modelo proposto.

Palavras-chave: Comutação suave, Conversores bidirecionais, Conversores CC-CC trifásicos, *Phase shift*, Controle Discreto, FPGA.

ABSTRACT

This work presents the analysis, design example, simulations and experimental results on a soft-switching bidirectional isolated three-phase dc-dc converter using dual phase-shift control with variable duty cycle. The topology uses three single H-bridges in the primary side and a three-phase inverter in the secondary side. High-frequency isolation is ensured by using three single-phase transformers connected in open delta-wye configuration. The variation of both phase-shift (PS) angles between the H-bridge legs and/or primary and secondary sides allows controlling the power flow, while reduced reactive power flow is possible. The variable duty cycle is used to ensure a constant voltage bus and/or zero voltage switching (ZVS) operation. A detailed analysis is presented considering a model based on the fundamental components for the voltages and currents in the transformer and, aiming its validation, a second analysis from the operation stages of the converter has also been developed. Besides, the dynamic model of the converter, based on fundamental components and employing the gyrator theory has been developed. A design example with nominal values assumptions, stresses and specifications for components, discrete control system characterization and its FPGA programming are presented. Simulation and experimental results in steady state and closed-loop performance are presented and discussed to validate the proposed approach.

Keywords: Three-phase dc-dc converter, Phase shift, Soft-switching, Bidirectional power flow, Discrete Control, FPGA.

LISTA DE ILUSTRAÇÕES

Figura 2.1 – Conversor CC-CC <i>off-line</i> trifásico com isolamento em alta frequência.	30
Figura 2.2 – Conversor <i>forward</i> trifásico a seis interruptores com retificador de meia onda. .	31
Figura 2.3 – Conversor <i>forward</i> trifásico a três interruptores.	32
Figura 2.4 – Conversor CC-CC trifásico bidirecional com comutação suave.....	32
Figura 2.5 – Conversor CC-CC trifásico PWM ZVS com razão cíclica assimétrica.....	33
Figura 2.6 – Conversor CC-CC trifásico ZVS com razão cíclica assimétrica associado a uma versão trifásica do retificador <i>hybridge</i>	33
Figura 2.7 – Conversor CC-CC trifásico PWM ZVS associado a um retificador conectado em dupla estrela e primário em delta.....	34
Figura 2.8 – Conversor CC-CC trifásico com comutação suave para aplicações em baixas tensões.	35
Figura 2.9 – Conversor CC-CC trifásico com comutação dissipativa para aplicações em baixas tensões.	36
Figura 2.10 – Conversor CC-CC trifásico bidirecional intercalado com grampeamento ativo.	36
Figura 2.11 – Conversor CC-CC trifásico bidirecional série ressonante.	37
Figura 2.12 – Conversor CC-CC trifásico bidirecional com comutação suave a alimentado em corrente para grandes faixas de variação de tensão de entrada.	38
Figura 2.13 – Conversor DAB trifásico alimentado em corrente e naturalmente grampeado. .	39
Figura 2.14 – Conversor CC-CC trifásico bidirecional com comutação suave, alimentado em corrente e naturalmente grampeado.....	39
Figura 2.15 – Conversor proposto.	40
Figura 3.1 – Conversor proposto e os locais onde ocorrem PS.....	43
Figura 3.2 – Modelo fundamental por fase da topologia do conversor CC-CC proposto.....	44
Figura 3.3 – Tensão do ponto central de um braço em relação ao ponto central do barramento capacitivo.....	45
Figura 3.4 – Magnitude da componente fundamental da tensão de entrada.....	46
Figura 3.5 – Potência ativa (pu) para $d = 0,5$	48
Figura 3.6 – Fator de potência para $d = 0,5$	48
Figura 3.7 – Formas de ondas utilizadas para analisar o comportamento do fator de potência para $\theta=180^\circ$ e α variável.....	49

Figura 3.8 – Formas de ondas utilizadas para analisar o comportamento do fator de potência para $\alpha=0^\circ$ e θ variável.....	50
Figura 3.9 – Potência ativa (pu) para $d = 0,3$	50
Figura 3.10 – Fator de potência para $d = 0,3$	51
Figura 3.11 – Formas de ondas utilizadas para analisar o comportamento do fator de potência para $\theta=180^\circ$ e α variável e $d\neq 0,5$	52
Figura 3.12 – Potência ativa (pu) para $d = 0,7$	53
Figura 3.13 – Fator de potência para $d = 0,7$	53
Figura 3.14 – Limite da comutação suave das pontes de entrada e saída para $d = 0,5$ e $\theta = 180^\circ$	56
Figura 3.15 – Limite da comutação suave das pontes de entrada e saída para $d = 0,5$ e $\theta = 120^\circ$	56
Figura 3.16 – Limite da comutação suave das pontes de entrada e saída para $d = 0,3$ e $\theta = 180^\circ$	57
Figura 3.17 – Limite da comutação suave das pontes de entrada e saída para $d = 0,7$ e $\theta = 180^\circ$	58
Figura 3.18 – Representação simplificada usada na análise do modelo real do conversor.	59
Figura 3.19 – Formas de onda de tensão e corrente no lado primário do transformador e tensão no lado secundário em relação ao ponto central do barramento capacitivo. Região R1 em análise: $1/3 < d < 1/2$ e $(1-2d)\pi/2 < \alpha < \pi/3 - (1-2d)\pi/2$	59
Figura 3.20 – Limite da comutação suave das pontes de entrada e saída para os modelos real e fundamental para $d = 0,389$ e $\theta = 180^\circ$	63
Figura 3.21 – Limite da comutação suave das pontes de entrada e saída para os modelos real e fundamental para $d = 0,486$ e $\theta = 180^\circ$	63
Figura 3.22 – Simbologias dos dois tipos de <i>gyrator</i> condutância.....	64
Figura 3.23 – Modelo elétrico equivalente do conversor utilizando o <i>gyrator</i>	66
Figura 3.24 – Diagrama de blocos da FTMA do conversor utilizando a teoria do <i>gyrator</i>	66
Figura 3.25 – Diagrama de Bode da FTMA do conversor utilizando a teoria do <i>gyrator</i>	67
Figura 3.26 – Modelo elétrico equivalente em malha fechada do conversor utilizando o <i>gyrator</i>	67
Figura 4.1 – Curvas utilizadas para obtenção dos esforços nos semicondutores.	72
Figura 4.2 – Curvas utilizadas para obtenção dos esforços nos semicondutores.	74
Figura 4.3 – Conversor proposto juntamente com o sistema de controle e acionamento.	77
Figura 4.4 – Diagrama de blocos do sistema de controle implementado.	77

Figura 4.5 – Efeito de Amostragem e Retenção: comparação de um sinal analógico com a sua versão reconstruída (componente fundamental).....	80
Figura 4.6 – Modo de ajuste de PWM utilizando portadora triangular com simples atualização.	81
Figura 4.7 – Análise de atraso computacional a partir da observação da aquisição de dados, cálculo do controlador e atualização da variável de controle.....	83
Figura 4.8 – Diagrama de Bode da FTMA discreta não compensada.....	87
Figura 4.9 – Diagrama de Bode da FTMA discreta compensada.....	88
Figura 4.10 – Resposta ao degrau para o compensador projetado.	88
Figura 4.11 – Plano z com círculo unitário centrado na origem.....	89
Figura 4.12 – Diagrama de blocos do sistema desenvolvido.	92
Figura 4.13 – Diagrama de tempo serial do conversor A/D ADC128S022.	93
Figura 4.14 – Atualização do <i>phase-shift</i> α a partir da comparação entre sinal de controle e portadora triangular.	94
Figura 4.15 – Fluxograma do algoritmo desenvolvido para o bloco “portadora”.....	95
Figura 4.16 – Fluxograma do algoritmo desenvolvido para o bloco “compensador”.....	96
Figura 4.17 – Diagrama de blocos interno ao bloco “PWM primário”.....	97
Figura 4.18 – Fluxograma do algoritmo desenvolvido para o bloco “PWM”.....	97
Figura 4.19 – Diagrama de blocos interno ao bloco “PWM secundário”.	98
Figura 5.1 – Potência do conversor e correntes de entrada e saída.	101
Figura 5.2 – Corrente de linha primária e tensões de linha primária e secundária no transformador.	102
Figura 5.3 – Correntes de linha no lado secundário do transformador.....	102
Figura 5.4 – Característica de comutação do conversor.....	103
Figura 5.5 – Corrente de linha primária e tensões de linha primária e secundária no transformador.	103
Figura 5.6 – Característica de comutação para os braços primários e secundários de conversor.	104
Figura 5.7 – Característica da corrente de linha primária, secundária e potência elétrica utilizando um transformador de núcleo único.	105
Figura 5.8 – Potência do conversor e corrente e tensão no transformador para $d = 0,3$	106
Figura 5.9 – Potência do conversor e corrente e tensão no transformador para $d = 0,7$	106
Figura 5.10 – Característica de comutação das pontes de entrada e saída para $d = 0,3$ e $\theta = 80^\circ$, $\alpha = 60^\circ$	107

Figura 5.11 – Característica de comutação das pontes de entrada e saída para $d = 0,3$ e $\theta = 180^\circ$, $\alpha = -70^\circ$.	108
Figura 5.12 – Característica de comutação das pontes de entrada e saída para $d = 0,7$ e $\theta = 180^\circ$, $\alpha = 70^\circ$.	108
Figura 5.13 – Característica de comutação das pontes de entrada e saída para $d = 0,7$ e $\theta = 180^\circ$, $\alpha = -30^\circ$.	109
Figura 5.14 – Diagrama de Bode para a FT do modelo desenvolvido e do obtido a partir de simulações.	110
Figura 5.15 – Degrau de 100% para 50% para 100%.	111
Figura 5.16 – Degrau de +100% para -100%.	111
Figura 6.1 – Modelo de validação experimental do conversor proposto e projetado.	113
Figura 6.2 – Comparação entre os resultados experimental e teórico para o modo de operação <i>boost</i> .	115
Figura 6.3 – Comparação entre os resultados experimental e teórico para o modos de operação <i>buck</i> .	115
Figura 6.4 – Corrente de linha secundária $I_{L_{As}}$ (1 - 10A/div - 10 μ s/div), tensão de linha primária V_{Ap} (2 - 100V/div - 10 μ s/div) e tensão de linha secundária V_{As} (3 - 100V/div - 10 μ s/div).	116
Figura 6.5 – Correntes de linha primárias I_{Lp} (1 - 20A/div - 10 μ s/div).	116
Figura 6.6 – Correntes de linha secundárias I_{Ls} (1 - 10A/div - 10 μ s/div).	116
Figura 6.7 – Corrente no interruptor primário $I_{L_{Ap}}$ (1 - 20A/div - 10 μ s/div) e tensão no interruptor primário V_{SAI} (2 - 50V/div - 10 μ s/div).	117
Figura 6.8 – Corrente no interruptor secundário $I_{L_{As}}$ (1 - 10A/div - 10 μ s/div) e tensão no interruptor secundário V_{SI} (2 - 100V/div - 10 μ s/div).	117
Figura 6.9 – Corrente de linha secundária $I_{L_{As}}$ (1 - 10A/div - 10 μ s/div), tensão de linha primária V_{Ap} (2 - 100V/div - 10 μ s/div) e tensão de linha secundária V_{As} (3 - 100V/div - 10 μ s/div).	118
Figura 6.10 – Correntes de linha primárias I_{Lp} (1 - 20A/div - 10 μ s/div).	118
Figura 6.11 – Correntes de linha secundárias I_{Ls} (1 - 10A/div - 10 μ s/div).	118
Figura 6.12 – Corrente no interruptor primário I_{Sp} (2 - 10A/div - 5 μ s/div). e tensão no interruptor primário V_{Sp} (1 - 20V/div - 5 μ s/div).	118
Figura 6.13 – Corrente no interruptor secundário I_{Ss} (2 - 10A/div - 5 μ s/div) e tensão no interruptor secundário V_{Ss} (1 - 50V/div - 5 μ s/div).	118
Figura 6.14 – Resultados para 60° : Tensão no interruptor primário V_{Sp} (1 - 20V/div - 5 μ s/div) e corrente no interruptor primário I_{Sp} (2 - 10A/div - 5 μ s/div).	119

Figura 6.15 – Resultados para 60° : Tensão no interruptor secundário V_{S_s} (1 – 50V/div - 5 μ s/div) e corrente no interruptor secundário I_{S_s} (2 – 10A/div - 5 μ s/div).....	119
Figura 6.16 – Resultados para -45° : Tensão no interruptor primário V_{S_p} (1 – 20V/div - 5 μ s/div) e corrente no interruptor primário I_{S_p} (2 – 20A/div - 5 μ s/div).....	120
Figura 6.17 – Resultados para -45° : Tensão no interruptor secundário V_{S_s} (1 – 50V/div - 5 μ s/div) e corrente no interruptor secundário I_{S_s} (2 – 10A/div - 5 μ s/div).....	120
Figura 6.18 – Resultados para $\alpha=20^\circ$ e $G=1,5$: Tensão no interruptor primário V_{S_p} (1 – 20V/div - 5 μ s/div) e corrente no interruptor primário I_{S_p} (2 – 10A/div - 5 μ s/div).	120
Figura 6.19 – Resultados para $\alpha=20^\circ$ e $G=1,5$: Tensão no interruptor secundário V_{S_s} (1 – 50V/div - 5 μ s/div) e corrente no interruptor secundário I_{S_s} (2 – 10A/div - 5 μ s/div).....	120
Figura 6.20 – Resultados para $\alpha=-30^\circ$ e $G=0,5$: Tensão no interruptor primário V_{S_p} (1 – 20V/div - 5 μ s/div) e corrente no interruptor primário I_{S_p} (2 – 10A/div - 5 μ s/div).	121
Figura 6.21 – Resultados para $\alpha=-30^\circ$ e $G=0,5$: Tensão no interruptor secundário V_{S_s} (1 – 50V/div - 5 μ s/div) e corrente no interruptor secundário I_{S_s} (2 – 5A/div - 5 μ s/div).....	121
Figura 6.22 – Rendimento para o exemplo de projeto.	121
Figura 6.23 – Diagrama de Bode para a FT obtida a partir do modelo desenvolvido, da simulação e dos resultados experimentais.	123
Figura 6.24 – Degrau de 50% para 100% da carga no lado secundário: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10ms/div) e corrente de linha primária I_{Lp} (2 – 10A/div – 10ms/div).....	124
Figura 6.25 – Degrau de 100% para 50% da carga no lado secundário: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10ms/div) e corrente de linha primária I_{Lp} (2 – 10A/div – 10ms/div).....	124
Figura 6.26 – Degrau de 50% para 100% da carga no lado secundário: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10ms/div), corrente de saída I_{DCo} (2 – 5A/div – 10ms/div), tensão de entrada V_{DCi} (3 – 50V/div – 10ms/div), corrente de entrada I_{DCi} (4 – 20A/div – 10ms/div).....	124
Figura 6.27 – Degrau de 50% para 100% da carga no lado secundário utilizando capacitores na saída da fonte de alimentação: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10ms/div), corrente de saída I_{DCo} (2 – 5A/div – 10ms/div), tensão de entrada V_{DCi} (3 – 50V/div – 10ms/div), corrente de entrada I_{DCi} (4 – 20A/div – 10ms/div).....	124
Figura 6.28 – Detalhes das formas de onda anterior ao degrau: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10 μ s/div) e correntes de linha primárias I_{Lp} (2 – 10A/div – 10 μ s/div).	125

Figura 6.29 – Detalhes das formas de onda posterior ao degrau: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10 μ s/div) e correntes de linha primárias I_{Lp} (2 – 10A/div – 10 μ s/div).....	125
Figura 6.30 – Montagem para o ensaio de carga bidirecional.....	126
Figura 6.31 – Degrau bidirecional de +10% para -25% de carga: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 20ms/div), corrente de linha primária I_{Lp} (2 – 10A/div – 20ms/div), corrente de entrada I_{DCi} (3 – 10A/div – 20ms/div), corrente de saída I_{DCo} (4 – 10A/div – 20ms/div).....	126
Figura 6.32 – Degrau bidirecional de -25% para +10% de carga: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 20ms/div), corrente de linha primária I_{Lp} (2 – 10A/div – 20ms/div), corrente de entrada I_{DCi} (3 – 10A/div – 20ms/div), corrente de saída I_{DCo} (4 – 10A/div – 20ms/div).....	126
Figura 6.33 – Detalhes das formas de onda anterior ao degrau: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 20 μ s/div), corrente de linha primária I_{Lp} (2 – 10A/div – 20 μ s/div), corrente de entrada I_{DCi} (3 – 10A/div – 20 μ s/div), corrente de saída I_{DCo} (4 – 10A/div – 20 μ s/div).....	127
Figura 6.34 – Detalhes das formas de onda posterior ao degrau: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 20 μ s/div), corrente de linha primária I_{Lp} (2 – 10A/div – 20 μ s/div), corrente de entrada I_{DCi} (3 – 10A/div – 20 μ s/div), corrente de saída I_{DCo} (4 – 10A/div – 20 μ s/div).....	127
Figura A.1 – Produto Ap em função de B_{max}	136
Figura A.2 – Fator de execução Fu em função de B_{max}	138
Figura A.3 – Perdas totais do em função de B_{max}	139
Figura B.1 – Produto Ap em função de B_{max}	141
Figura B.2 – Fator de execução Fu em função de B_{max}	143
Figura B.3 – Perdas totais do em função de B_{max}	144
Figura D.1 – Esquemático montado em ambiente PSIM para simulação do conversor em regime permanente.	149
Figura E.1 – Esquemático do circuito de controle montado em ambiente PSIM para simulação do conversor em malha fechada.	150
Figura F.1 – Diagramas de bloco completo do sistema digital implementado.....	151
Figura G.1 – Rotina da conversão A/D	152
Figura H.1 – Rotina para a geração da portadora triangular e ajuste do <i>phase-shift</i>	153
Figura I.1 – Rotina para atualização do compensador de tensão.....	154

Figura J.1 – Rotina para a geração do sinal PWM	155
Figura K.1 – Rotina para proteção contra sobretensão.....	156
Figura L.1 – Rotina para proteção contra subtensão.	157
Figura M.1 – Rotina para reduzir a frequência do <i>clock</i> do conversor A/D.....	158
Figura N.1 – Rotina para saturação do sinal de controle.....	159

LISTA DE TABELAS

Tabela 1 – Especificações para o exemplo de projeto.....	69
Tabela 2 – Valores assumidos para o exemplo de projeto.	70
Tabela 3 – Características do capacitor eletrolítico escolhido para a entrada.....	72
Tabela 4 – Características do capacitor de polipropileno escolhido para a entrada.....	73
Tabela 5 – Características do capacitor eletrolítico escolhido para a saída.....	73
Tabela 6 – Características do capacitor de polipropileno escolhido para a saída.....	74
Tabela 7 – Características do interruptor escolhido para o lado primário.....	75
Tabela 8 – Características do interruptor escolhido para o lado secundário.....	76
Tabela 9 – Características do sensor de tensão utilizado.	78
Tabela 10 – Características do conversor A/D utilizado.....	79
Tabela 11 – Características da placa de desenvolvimento contendo o FPGA.....	81
Tabela 12 – Limites numéricos e precisão do formato <i>Q15</i>	90
Tabela 13 – Componentes utilizados no circuito de potência do modelo de validação.	114
Tabela 14 – Especificações do fio AWG 23.....	137
Tabela 15 – Especificações do fio AWG 28.....	142

LISTA DE ABREVIATURAS E SIGLAS

DAB	<i>Dua Active Bridge</i>
DPS	<i>Dual Phase Shift</i> – Duplo Deslocamento de Fase
DSP	<i>Digital Signal Processor</i> – Processador Digital de Sinal
EMI	<i>Electromagnetic Interference</i> – Interferência Eletromagnética
FP	Fator de Potência
FPGA	<i>Field Programmable Gate Array</i> – Matriz de Portas Programável em Campo
FT	Função de Transfência
FTMA	Função de Transferência de Malha Aberta
IGBT	<i>Insulated Gate Bipolar Transistor</i> – Transistor Bipolar de Porta Isolada
PIPO	<i>Power Input equals Power Output</i> – Potência de Entrada é igual a Potência de Saída
PS	<i>Phase Shift</i> – Deslocamento de Fase
PWM	<i>Pulse Width Modulation</i> – Modulação por Largura de Pulso
S&H	<i>Sample and Hold</i> – Amostragem e Retenção
UPS	<i>Uninterruptible Power Supply</i> – Fonte de Alimentação Ininterrupta
VHDL	VHSIC Hardware Description Language – Linguagem de Descrição de Hardware VHSIC
VHSIC	<i>Very High Speed Integrated Circuits</i> – Circuito Integrado de Velocidade Muito Alta
ZCS	<i>Zero Current Swtching</i> – Comutação sob Corrente Nula
ZOH	<i>Zero Order Hold</i> – Segurador de Ordem Zero
ZVS	<i>Zero Voltage Swtching</i> – Comutação sob Tensão Nula
ZVZCS	<i>Zero Voltage Zero Current Swtching</i> – Comutação sob Tensão e Corrente Nula

LISTA DE SÍMBOLOS

α	Ângulo de deslocamento de fase entre a ponte primária e secundária do conversor
α_o	Ângulo de deslocamento de fase entre a ponte primária e secundária do conversor para o ponto de operação nominal do conversor
Δv_{DCi}	Ondulação da tensão de entrada do conversor
Δv_{DCo}	Ondulação da tensão de saída do conversor
γ	Ângulo de defasagem devido à variação da razão cíclica
ω	Frequência angular de comutação do conversor
φ	Ângulo de defasagem da corrente em função da componente fundamental de tensão obtida a partir do modelo fundamental
$\sigma_{[0-10]}$	Instantes de tempo entre os estágios de operação da corrente através da indutância de dispersão no modelo real
θ	Ângulo de deslocamento de fase entre os braços da ponte primária do conversor
$At_{A/D}$	Atraso computacional
a_o, a_1	Componentes da série de Fourier
b_1	Componente da série de Fourier
A, B	Ganhos do controlador de tensão
A_Q, B_Q	Ganhos do controlador de tensão no formato numérico <i>Q15</i>
$ADC(k)$	Valor digital já quantizado e codificado durante o processo de conversão A/D.
C_i	Capacitância de entrada
C_o	Capacitância de saída
$C_v(z)$	FT do compensador de tensão
d	Razão cíclica
$e(k), e(k-1)$	Sinal de erro do controlador
$e_Q(k), e_Q(k-1)$	Sinal de erro do controlador no formato numérico <i>Q15</i>
FP	Fator de potência do transformador obtido a partir do modelo fundamental
f_a	Frequência de amostragem da conversão analógica-digital

$F_a(s)$	FT do filtro anti-aliasing
f_s	Frequência de comutação do conversor
f_c	Frequência de cruzamento do compensador
f_{cf}	Frequência de corte do filtro anti-aliasing
g	<i>Gyrator</i> condutância
$G_{V_o I_o}(s)$	FT da tensão de saída pela corrente de saída do conversor
$G_{I_o \alpha_o}(s)$	FT da corrente de saída do conversor pelo um ângulo de deslocamento α_o
G	Ganho estático do conversor
G_i, G_{ii}, G_o	Expressões do ganho estático para a curva de fronteira entre as regiões de comutação suave e dissipativa
$H_v(s)$	Ganho do sensor de tensão
$I_{C_i rms}$	Valor eficaz da corrente através do capacitor de entrada
$I_{C_o rms}$	Valor eficaz da corrente através do capacitor de saída
$i_D(t)$	Função da corrente através do diodo
I_{DC_i}	Valor médio da corrente através da entrada do conversor
I_{DC_o}	Valor médio da corrente através da saída do conversor
$I_{D_i av}$	Valor médio da corrente através do interruptor de entrada
$I_{D_i max}$	Valor máximo da corrente através do interruptor de entrada
$I_{D_i rms}$	Valor eficaz da corrente através do interruptor de entrada
$I_{D_o av}$	Valor médio da corrente através do interruptor de saída
$I_{D_o max}$	Valor máximo da corrente através do interruptor de saída
$I_{D_o rms}$	Valor eficaz da corrente através do interruptor de saída
$i_i(t)$	Função da corrente através da porta de entrada ou primária do conversor
I_L	Corrente fasorial através da indutância de dispersão obtida a partir do modelo fundamental
$I_{L max}$	Corrente máxima através do transformador
$i_L(t)$	Função da corrente através da indutância de dispersão em função do tempo obtida a partir do modelo fundamental
$i_S(t)$	Função da corrente através do interruptor

$I_{Si_{av}}$	Valor médio da corrente através do interruptor de entrada
$I_{Si_{max}}$	Valor máximo da corrente através do interruptor de entrada
$I_{Si_{rms}}$	Valor eficaz da corrente através do interruptor de entrada
$I_{So_{av}}$	Valor médio da corrente através do interruptor de saída
$I_{So_{max}}$	Valor máximo da corrente através do interruptor de saída
$I_{So_{rms}}$	Valor eficaz da corrente através do interruptor de saída
k	Iteração em ambiente digital para equações à diferenças
k_h	Constante de adequação da realimentação da planta em relação à referência do controlador já ajustada para o formato numérico <i>Q15</i>
k_{hQ}	Constante k_h no formato numérico <i>Q15</i>
$K_{A/D}$	Ganho de quantização da conversão A/D
K_c	Ganho da portadora
K_{Po}	Ganho das expressões de potência de saída para o modelo real
L_{Ap}, L_{Bp}, L_{Cp}	Enrolamentos do lado primário do transformador
L_{As}, L_{Bs}, L_{Cs}	Enrolamentos do lado secundário do transformador
L_{LA}, L_{LB}, L_{LC}	Indutâncias de dispersão de cada fase do transformador
L_L	Indutância de dispersão genérica do transformador
L_{th}	Indutância de dispersão do circuito equivalente de Thèvenin
mf	Margem de fase do diagrama de Bode
mg	Margem de ganho do diagrama de Bode
n	Relação de transformação do transformador
N_k	Base para o ganho de realimentação do sistema de controle no formato <i>Q15</i>
N_Q	Base para os ganhos do compensador no formato <i>Q15</i>
N_{ref}	Base para a tensão de referência do sistema de controle no formato <i>Q15</i>
N_t	Contagem do temporizador da portadora triangular
n_bits	Número de bits do conversor A/D
P_o	Potência ativa na saída do transformador obtida a partir do modelo fundamental
P_{oi}, P_{oii}, P_{oo}	Expressões da potência ativa para a curva de fronteira entre as regiões de comutação suave e dissipativa

Q_n	Notação numérica <i>Q15</i>
r	<i>Gyrator</i> resistência
R_o	Resistência de saída
S_o	Potência aparente na saída do transformador obtida a partir do modelo fundamental
t	Tempo
T_s	Período de comutação do conversor
$u(k), u(k-1)$	Sinal de controle do compensador de tensão
$u_Q(k), u_Q(k-1)$	Sinal de controle do compensador de tensão no formato numérico <i>Q15</i>
$u_{tr}(k)$	Sinal de controle do compensador convertido para o formato digital, além de normalizado para um valor equivalente a amplitude da portadora
$V_{A/D}$	Tensão de amostragem do conversor A/D
V_{A1}, V_{A2}	Magnitude de tensão do ponto central do braço primário em relação ao ponto central do barramento capacitivo
$V_{C_{i\max}}$	Valor máximo da tensão no capacitor de entrada
$V_{C_{o\max}}$	Valor máximo da tensão no capacitor de saída
$v_{o_{ref}}$	Valor de referência para a tensão de saída do compensador
$v_{o_{refQ}}$	Valor de referência para a tensão de saída do compensador no formato <i>Q15</i>
V_{dci}	Valor médio da tensão na entrada do conversor
V_{dco}	Tensão de saída do conversor
$V_{D_{i\max}}$	Valor máximo da tensão no diodo de entrada
$V_{D_{o\max}}$	Valor máximo da tensão no diodo de saída
v_f	Função da forma de onda da tensão do ponto central do braço primário em relação ao ponto central do barramento capacitivo
V_i	Valor eficaz de tensão da componente fundamental do ponto central do braço primário em relação ao ponto central do barramento capacitivo
V_o	Valor eficaz de tensão da componente fundamental do ponto central do braço secundário em relação ao ponto central do barramento capacitivo
$v_S(t)$	Função da tensão sobre o interruptor
$V_{S_{i\max}}$	Tensão máxima no interruptor de entrada

$V_{S_{o_{max}}}$	Tensão máxima no interruptor de saída
V_{th}	Tensão do circuito equivalente de Thèvenin
X_L	Reatância de dispersão

SUMÁRIO

1 INTRODUÇÃO	27
2 CONVERSORES CC-CC TRIFÁSICOS ISOLADOS.....	30
2.1 Principais topologias de conversores CC-CC trifásicos isolados	30
<i>2.1.1 Conversor CC-CC off-line trifásico com isolação em alta frequência.....</i>	<i>30</i>
<i>2.1.2 Conversor forward trifásico a seis interruptores com retificador de meia onda.....</i>	<i>31</i>
<i>2.1.3 Conversor forward trifásico a três interruptores.....</i>	<i>31</i>
<i>2.1.4 Conversor CC-CC trifásico bidirecional com comutação suave</i>	<i>32</i>
<i>2.1.5 Conversor CC-CC trifásico PWM ZVS com razão cíclica assimétrica</i>	<i>33</i>
<i>2.1.6 Conversor CC-CC trifásico PWM ZVS com razão cíclica assimétrica associado a uma versão trifásica do retificador hybride</i>	<i>33</i>
<i>2.1.7 Conversor CC-CC trifásico PWM ZVS associado a um retificador conectado em dupla estrela e primário em delta</i>	<i>34</i>
<i>2.1.8 Conversor CC-CC trifásico com comutação suave para aplicações em baixas tensões</i>	<i>35</i>
<i>2.1.9 Conversor CC-CC trifásico elevador com isolamento em alta frequência.....</i>	<i>35</i>
<i>2.1.10 Conversor CC-CC trifásico bidirecional intercalado com grampeamento ativo</i>	<i>36</i>
<i>2.1.11 Conversor CC-CC trifásico bidirecional série ressonante</i>	<i>37</i>
<i>2.1.12 Conversor CC-CC trifásico bidirecional com comutação suave e alimentado em corrente para grandes faixas de variação de tensão de entrada.....</i>	<i>37</i>
<i>2.1.13 Conversor DAB trifásico alimentado em corrente e naturalmente grampeado.....</i>	<i>38</i>
<i>2.1.14 Conversor CC-CC trifásico bidirecional com comutação suave, alimentado em corrente e naturalmente grampeado</i>	<i>39</i>
2.2 Conversor proposto	40
2.3 Considerações finais	41
3 ANÁLISE DO CONVERSOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL COM COMUTAÇÃO SUAVE.....	42
3.1 Análise do modelo fundamental	42
<i>3.1.1 Tensão eficaz da componente fundamental</i>	<i>44</i>
<i>3.1.2 Fluxo de potência</i>	<i>47</i>
<i>3.1.3 Caracterização da comutação dos interruptores</i>	<i>53</i>
3.2 Análise do modelo real	57
<i>3.2.1 Fluxo de Potência.....</i>	<i>58</i>

3.2.2 <i>Caracterização da comutação dos interruptores</i>	61
3.3 <i>Análise dinâmica aplicando a teoria do gyrator</i>	63
3.3.1 <i>O gyrator</i>	64
3.3.2 <i>Modelo dinâmico através do gyrator</i>	65
3.4 <i>Considerações finais</i>	67
4 EXEMPLO DE PROJETO PARA VALIDAÇÃO DE MODELO	69
4.1 <i>Especificações e valores assumidos</i>	69
4.2 <i>Componentes</i>	70
4.2.1 <i>Cálculos iniciais</i>	70
4.2.2 <i>Capacitor de entrada</i>	71
4.2.3 <i>Capacitor de saída</i>	73
4.2.4 <i>Semicondutores da ponte primária</i>	74
4.2.5 <i>Semicondutores da ponte secundária</i>	75
4.3 <i>Sistema de controle</i>	76
4.3.1 <i>Ganho do sensor de tensão</i>	78
4.3.2 <i>Ganho da conversão A/D</i>	78
4.3.3 <i>Filtro anti-aliasing</i>	79
4.3.4 <i>Ganho da portadora</i>	80
4.3.5 <i>Atraso computacional</i>	82
4.3.6 <i>Projeto do compensador</i>	84
4.3.7 <i>Representação numérica em sistemas digitais de ponto fixo</i>	89
4.4 <i>Programação do FPGA</i>	91
4.4.1 <i>Divisor de frequência e conversor A/D</i>	92
4.4.2 <i>Portadora</i>	93
4.4.3 <i>Compensador e saturador</i>	95
4.4.4 <i>PWM e proteção</i>	96
4.5 <i>Considerações finais</i>	99
5 RESULTADOS DE SIMULAÇÃO	100
5.1 <i>Resultados de simulação em regime permanente</i>	100
5.1.1 <i>Resultados para o exemplo de projeto</i>	100
5.1.2 <i>Análise do conteúdo reativo</i>	105
5.1.3 <i>Análise da comutação nos interruptores</i>	106
5.2 <i>Resultados de simulação em malha fechada</i>	108
5.2.1 <i>Função de transferência do conversor</i>	109

5.2.2 Operação do conversor em malha fechada	110
5.3 Considerações finais	111
6 RESULTADOS EXPERIMENTAIS	113
6.1 Resultados para o modelo de validação	113
6.1.1 Resultados experimentais para validação do modelo.....	114
6.1.2 Resultados para o fluxo de potência no sentido primário para secundário	115
6.1.3 Resultados para o fluxo de potência sentido secundário para primário	117
6.2 Análise da comutação.....	119
6.2.1 Ganho estático unitário.....	119
6.2.2 Variação do ganho estático	120
6.3 Rendimento	121
6.4 Resultados experimentais em malha fechada	122
6.4.1 Função de transferência do conversor	122
6.4.2 Operação do conversor em malha fechada	123
6.5 Considerações finais	127
7 CONCLUSÃO.....	128
APÊNDICE A - PROJETO DO TRANSFORMADOR.....	135
APÊNDICE B - PROJETO DO INDUTOR	140
APÊNDICE C - CÁLCULO DE PERDAS DOS SEMICONDUTORES.....	145
APÊNDICE D - ESQUEMÁTICO DO CONVERSOR EM AMBIENTE PSIM – CIRCUITO DE POTÊNCIA E ACIONAMENTO	149
APÊNDICE E - ESQUEMÁTICO DO CIRCUITO DE CONTROLE E ACIONAMENTO	150
APÊNDICE F - DIAGRAMA DE BLOCOS COMPLETO DO SISTEMA DESENVOLVIDO EM AMBIENTE <i>QUARTUS II</i>.....	151
APÊNDICE G - ROTINA DO CONVERSOR A/D.....	152
APÊNDICE H - ROTINA DA PORTADORA.....	153
APÊNDICE I - ROTINA DO CONTROLADOR	154
APÊNDICE J - ROTINA DO PWM.....	155
APÊNDICE K - ROTINA DA SOBRETENSÃO	156
APÊNDICE L - ROTINA DA SUBTENSÃO	157
APÊNDICE M - ROTINA DO DIVISOR DE FREQUÊNCIA.....	158
APÊNDICE N - ROTINA DO SATURADOR.....	159

1 INTRODUÇÃO

Vários trabalhos e pesquisas sobre conversores CC-CC foram desenvolvidos nos últimos anos devido ao crescente número de aplicações, tais como veículos elétricos, sistemas de armazenamento de energia, UPSs, energias renováveis, *smart-grids* e mais recentemente aplicações em sistemas de distribuição CC [1]-[5]. Uma das mais consolidadas topologias é o conversor *ZVS* (*zero voltage swithching* – desligamento sobre tensão nula) PWM (*pulse width modulation* – modulação por largura de pulso) *full-bridge*, que é caracterizada pelo uso de uma ponte H conectada a um retificador passivo, ambos monofásicos, através de um transformador isolador para altas frequências [6]. Nas aplicações onde se requer bidirecionalidade, ou seja, na maioria dos exemplos citados acima, é necessário utilizar a versão bidirecional deste conversor, que é comumente conhecido por *dual active bridge* (DAB) [7]. No entanto, essa estrutura, quando processa elevados níveis de potência, apresenta consideráveis esforços [6].

Uma forma de minimizar os esforços nos interruptores do conversor está no uso do paralelismo de conversores. Contudo, acaba se utilizando um sistema sobredimensionado em termos de quantidade de dispositivos semicondutores e circuitos de comando. Logo, este empreendimento acaba aumentando o volume da estrutura e onerando o custo final do produto.

A conversão CC-CC trifásica isolada foi concebida com intuito de eliminar ou no mínimo atenuar os problemas verificados nas topologias ditas monofásicas [8]. Com o uso de um transformador trifásico para conectar uma ponte inversora a uma ponte retificadora é possível reduzir o volume dos elementos armazenadores de energia, pois a frequência de ondulação sobre estes tende a ser maior. Por possuir três fases de processamento, os esforços através dos interruptores podem ser divididos e, conseqüentemente, as perdas diminuirão.

Vários trabalhos foram desenvolvidos na literatura com o propósito de aumentar a eficiência desses conversores CC-CC trifásicos isolados. Dentre as várias pesquisas, tem-se o estudo das topologias bidirecionais, que são extremamente essenciais em aplicações nas quais se requer um fluxo de potência de via dupla. Portanto, este trabalho de doutorado propõe o estudo e o desenvolvimento de um conversor CC-CC trifásico isolado bidirecional que utiliza a técnica de *dual phase-shift* para controlar o fluxo de potência, além de variar a razão cíclica do lado primário para regular a tensão de entrada da estrutura. A topologia base para a proposta é o conversor CC-CC unidirecional [13], porém sem a presença do filtro indutivo de saída.

O trabalho está organizado em sete capítulos (incluindo esta breve introdução) e a descrição de cada um é apresentada a seguir.

Capítulo 2 – Através de uma breve revisão bibliográfica são apresentados alguns dos principais trabalhos já realizados na área de conversão CC-CC trifásica isolada com ênfase nas estruturas bidirecionais. As principais características dos conversores, como técnicas de comutação e acionamento, volume de elementos armazenadores de energia e transformadores e rendimento são expostas. Dentre os conversores, podem se destacar devido ao escopo deste trabalho: a topologia de Prasad [8], a primeira da área; de Donker [7], primeiro conversor bidirecional e que utiliza a técnica de *phase shift* (PS), além de ter comutação suave; Oliveira Jr. [6], por introduzir a técnica de comutação assimétrica aos conversores unidirecionais; Liu [13], que desenvolveu uma topologia de alto rendimento (aproximadamente 96%) para baixas tensões de entrada, sendo esta a base deste trabalho e Wang [19], por ter aplicado em uma topologia CC-CC trifásica a técnica de PWM associada ao PS. Por fim é descrita a topologia proposta neste trabalho.

Capítulo 3 – Neste tópico é realizado um aprofundamento da descrição feita no capítulo anterior sobre o conversor proposto. É apresentada uma análise teórica e matemática (fluxo de potência e comutação de interruptores) do conversor, composta também por gráficos quantitativos, e a motivação de se realizar a análise através de um modelo composto por componentes fundamentais das tensões, de características quadradas, sobre o transformador. Uma análise comparativa entre os modelos fundamental e real (no qual é realizado o estudo de cada etapa de operação) também é apresentado com o propósito de comprovar a viabilidade do modelo proposto nesse trabalho. Uma breve introdução à análise dinâmica do conversor também é realizada a partir da utilização da teoria do *gyrator*.

Capítulo 4 – É apresentado um exemplo de projeto para validação do modelo proposto, baseado em componentes fundamentais. São realizados os cálculos básicos para obtenção dos valores nominais requeridos (potência, ângulos de deslocamento de fase e elementos armazenadores), além das especificações dos semicondutores a partir de seus esforços. A caracterização do sistema de controle discreto, com o projeto do compensador, além da obtenção de sua equação a diferenças utilizando representação numérica em sistemas de ponto fixo também é apresentado. Por fim, é exposta detalhadamente, sobretudo através de diagramas de blocos e fluxogramas, a programação do sistema digital implementado através de dispositivo FPGA.

Capítulo 5 – São apresentados os resultados de simulação para o modelo de validação do conversor proposto. Casos fora da condição nominal de operação, com ganho

estático, razão cíclica e/ou *dual phase-shift* alterados, também são realizados para comprovar os estudos teóricos desenvolvidos.

Capítulo 6 – São apresentados os principais resultados experimentais obtidos para o protótipo desenvolvido, como formas de onda, rendimento e obtenção das características de resposta do controlador, por exemplo, para variações bidirecionais do fluxo de potência. O capítulo é dividido, didaticamente, em quatro partes: resultados para o modelo de validação, análise da comutação, rendimento e resultados experimentais em malha fechada.

Capítulo 7 – Por fim, neste capítulo são apresentadas as considerações finais sobre o estudo desenvolvido e sugestões/propostas de trabalhos futuros.

2 CONVERSORES CC-CC TRIFÁSICOS ISOLADOS

Neste capítulo será realizada uma breve revisão bibliográfica das principais topologias já apresentadas na literatura técnica sobre conversores CC-CC trifásicos isolados. Inicialmente são abordadas as primeiras e mais relevantes estruturas desenvolvidas, relacionadas principalmente às topologias unidirecionais. Em um segundo momento são mostrados os conversores bidirecionais, que passaram a ser estudados na literatura devido à procura por soluções mais eficientes na área de veículos elétricos, armazenamento de energia, UPSs, energias renováveis, *smart grids* e sistemas de distribuição CC. Por fim é apresentada a estrutura desenvolvida neste trabalho.

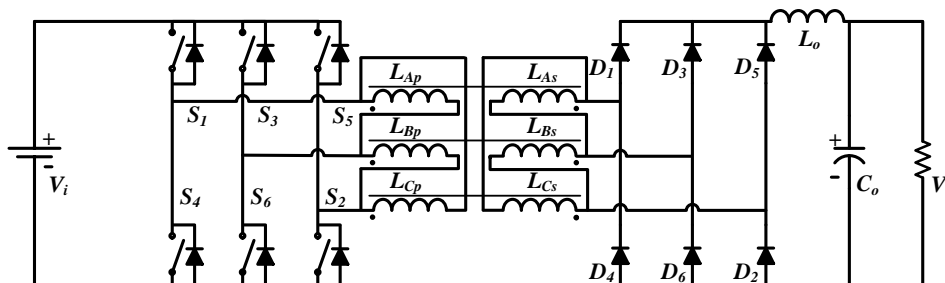
2.1 Principais topologias de conversores CC-CC trifásicos isolados

A seguir são apresentadas algumas das principais topologias de conversores CC-CC trifásicos isolados encontradas na literatura.

2.1.1 Conversor CC-CC *off-line* trifásico com isolação em alta frequência

A topologia apresentada na Figura 2.1 [8] foi a primeira a abordar o conceito de “conversão CC-CC trifásica”, que consiste na junção de um inversor e um retificador, ambos trifásicos, através de um transformador isolador para altas frequências com as fases deslocadas de 120° cada.

Figura 2.1 – Conversor CC-CC *off-line* trifásico com isolação em alta frequência.



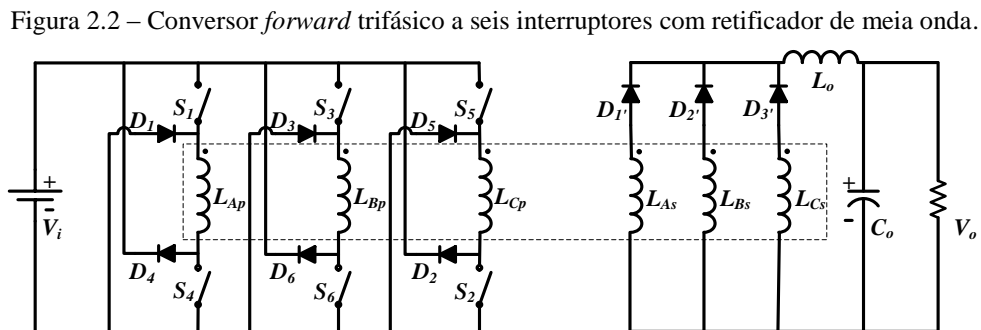
Fonte: Adaptada de [8].

Cada interruptor de um mesmo braço conduz no máximo 120° por período e possui a mesma razão cíclica, porém defasados de 180° , minimizando, portanto, a possibilidade de curto-circuito. No entanto, a comutação será sempre natural (dissipativa). Este modo de condução também assegura menores volumes para indutor e capacitor, quando

comparado com sua versão monofásica, pois a frequência das ondulações de tensão e corrente na entrada e saída do conversor é seis vezes maior do que a frequência de comutação. Com a inserção do transformador trifásico, o volume do elemento isolador se torna menor devido à redução do tamanho no núcleo requerido.

2.1.2 Conversor *forward* trifásico a seis interruptores com retificador de meia onda

Na Figura 2.2 é apresentada a topologia do conversor *forward* trifásico a seis chaves com retificador de meia onda [9]. Esta topologia consiste na junção de três conversores *forward* monofásicos interligados através de um transformador trifásico, com cada braço defasado em 120° . Os interruptores de um mesmo braço são acionados ao mesmo tempo, com condução máxima de 120° e comutação natural. No secundário do transformador são utilizados retificadores de meia onda e o diodo de roda-livre não é necessário, reduzindo, portanto, o número de semicondutores, quando comparado com a topologia anterior. A frequência das ondulações de tensão e corrente na entrada e saída do conversor é três vezes maior do que a frequência de comutação.



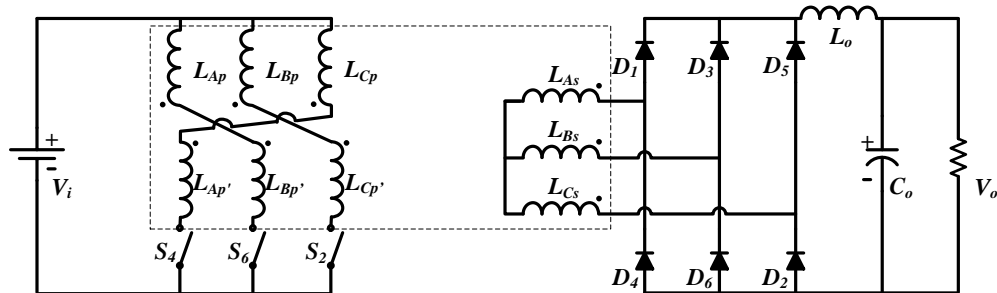
Fonte: Adaptada de [9].

2.1.3 Conversor *forward* trifásico a três interruptores

Esta topologia, apresentada na Figura 2.3, também é obtida a partir da utilização de três conversores *forward*, cada um defasado em 120° [9]. No entanto, o primário do transformador utiliza uma conexão em zig-zague, o que permite anular o fluxo médio no núcleo magnético. Esta técnica de conexão do transformador elimina também a necessidade dos interruptores superiores, porém os inferiores terão que ser capazes de suportar o dobro de tensão. A comutação é natural e requer *snubbers* para dissipar a energia proveniente da indutância de dispersão. Os limites de razão cíclica, frequência de ondulação de corrente e

tensão são as mesmas do conversor anterior. As duas topologias anteriores, quando comparadas com as versões monofásicas, conseguem obter uma redução 25% no núcleo do transformador e de 31% no filtro de saída, reduzindo, portanto, o volume do conversor, quando comparado com o *forward* a seis interruptores.

Figura 2.3 – Conversor *forward* trifásico a três interruptores.

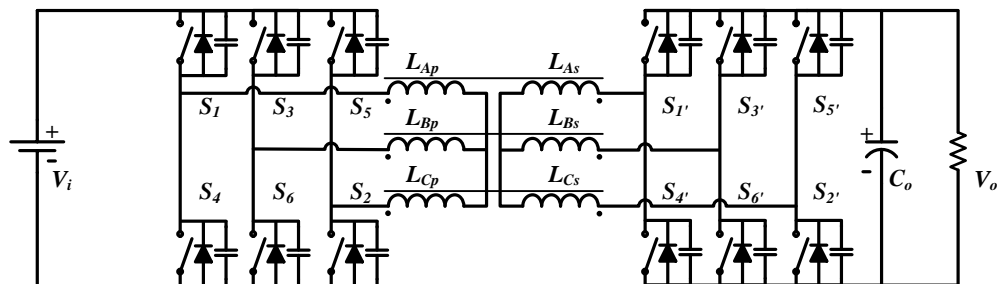


Fonte: Adaptada de [9].

2.1.4 Conversor CC-CC trifásico bidirecional com comutação suave

A primeira topologia CC-CC trifásica bidirecional desenvolvida, conhecida como *Dual Active Bridge* – DAB, foi publicada em 1991 [7] e utiliza a indutância de dispersão do transformador, juntamente com o conceito de *phase shift* entre fontes de tensão para controlar o fluxo de potência nas entradas/saídas do circuito, comumente chamadas de portas. Os comandos de um mesmo braço são complementares e a razão cíclica é constante e igual a 0,5, o que garante a simetria das formas de onda de tensão e corrente no transformador. Diferentemente das topologias anteriores, a comutação suave, do tipo ZVS, é obtida naturalmente através do ajuste apropriado do ganho estático do conversor. Esta topologia apresenta uma frequência de ondulação de tensão e corrente na entrada e saída do conversor seis vezes maior do que a frequência de comutação.

Figura 2.4 – Conversor CC-CC trifásico bidirecional com comutação suave.

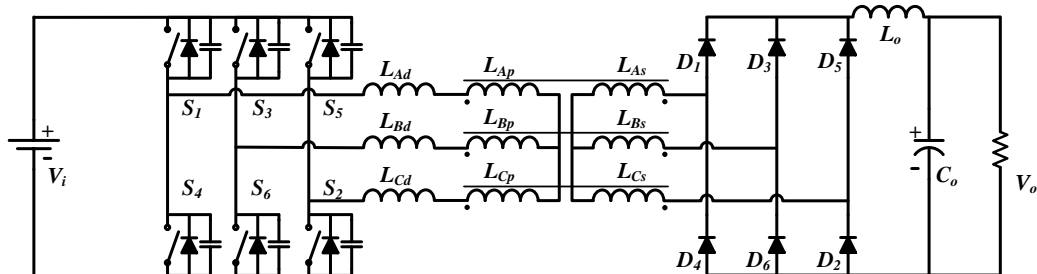


Fonte: Adaptada de [7].

2.1.5 Conversor CC-CC trifásico PWM ZVS com razão cíclica assimétrica

A topologia apresentada na Figura 2.5 [6], pode ser considerada como um melhoramento do primeiro conversor CC-CC trifásico desenvolvido [8]. A técnica de modulação, com cada chave conduzindo no máximo durante 120° , é substituída pela comutação assimétrica. Neste método de modulação as chaves de um mesmo braço são complementares, o que garante naturalmente a comutação ZVS em todos os interruptores. Capacitores em paralelo com os interruptores também são inseridos para garantir um desligamento ZVS.

Figura 2.5 – Conversor CC-CC trifásico PWM ZVS com razão cíclica assimétrica.

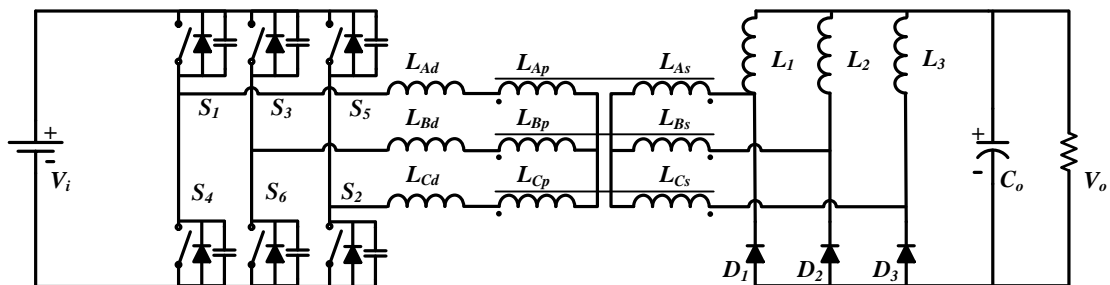


Fonte: Adaptada de [6].

2.1.6 Conversor CC-CC trifásico PWM ZVS com razão cíclica assimétrica associado a uma versão trifásica do retificador *hybride*

Na Figura 2.6 é apresentada uma estrutura que utiliza no seu lado secundário uma versão trifásica do retificador *hybride* [10][11]. Como o conversor possui apenas três diodos no lado retificador, as perdas por condução oriundas dos dispositivos semicondutores são reduzidas, fazendo com que seu rendimento se eleve quando comparado com topologias que apresentam baixa tensão e alta corrente de saída.

Figura 2.6 – Conversor CC-CC trifásico ZVS com razão cíclica assimétrica associado a uma versão trifásica do retificador *hybride*.



Fonte: Adaptada de [10].

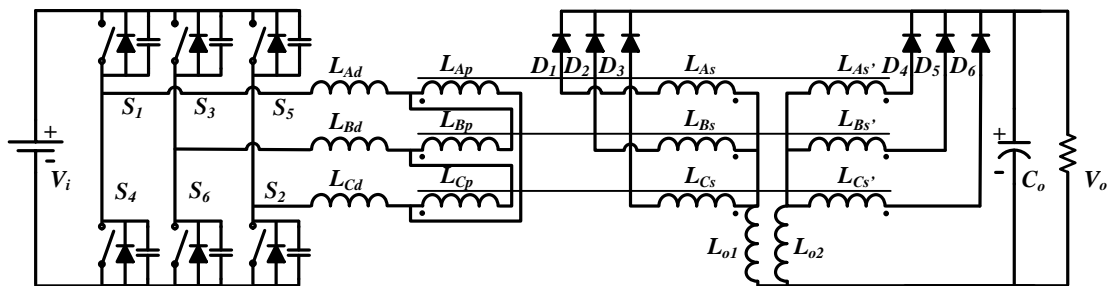
No entanto, o filtro indutivo de saída apresentará um maior volume, pois são necessários três indutores. Além disso, é possível que ocorra o desbalanceamento das correntes no lado secundário do conversor. Um projeto e uma montagem mais precisa dos filtros e do transformador é essencial para atenuar os desníveis mencionados.

2.1.7 Conversor CC-CC trifásico PWM ZVS associado a um retificador conectado em dupla estrela e primário em delta

O conversor abaixador apresentado na Figura 2.7 foi desenvolvido com o propósito de atenuar as deficiências existentes nas duas topologias anteriores [12], ou seja, o uso de diodos em série, que é um fator determinante para a limitação do rendimento, e o elevado volume dos filtros indutivos de saída.

Devido ao uso de dois retificadores em paralelo no estágio secundário, a corrente pode ser dividida e, conseqüentemente, garantir o aumento de rendimento da topologia. Os indutores L_{o1} e L_{o2} funcionam como um indutor de interfase, além de serem filtros de saída. O uso de dois indutores não aumenta o volume do núcleo magnético quando comparado com o conversor CC-CC trifásico *full-bridge*.

Figura 2.7 – Conversor CC-CC trifásico PWM ZVS associado a um retificador conectado em dupla estrela e primário em delta.



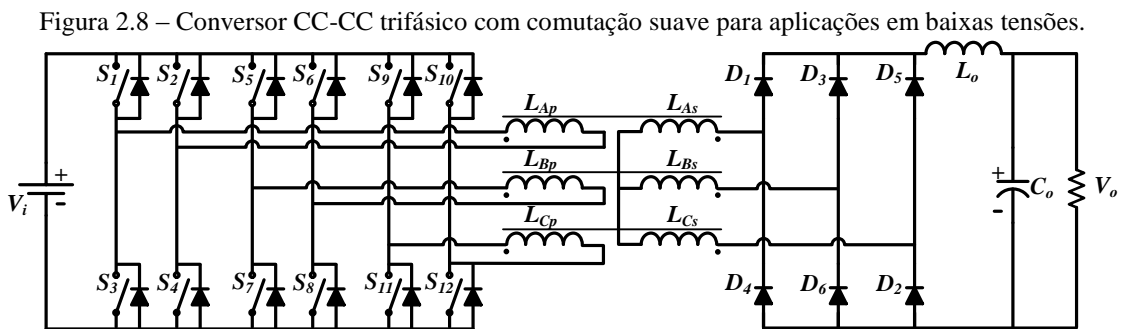
Fonte: Adaptada de [12].

Apesar das características obtidas nesta estrutura, as correntes através dos filtros indutivos são naturalmente desequilibradas, provocando um desbalanceamento CC e, conseqüentemente, saturação no núcleo magnético. Para evitar esta situação, é empregado um esquema alternativo de modulação para mitigar a diferença de tensão média nos filtros de saída.

2.1.8 Conversor CC-CC trifásico com comutação suave para aplicações em baixas tensões

Um conversor para aplicações em altas densidades de potência, baixos níveis de tensão de entrada, e que utiliza controle PS, é apresentado na Figura 2.8 [13]. Sua idealização foi concebida para aplicações em células combustíveis, que são elementos que utilizam baixos níveis de tensão e elevadas correntes.

Com o propósito de atenuar as perdas, principalmente no lado primário da topologia, é utilizada uma estrutura com seis braços ou três pontes monofásicas. Com isso, consegue-se incrementar a densidade de potência por paralelismos de fases, e não por paralelismos de semicondutores. Para ângulos de PS maiores que 120° , a conexão delta aberto/estrela entre primário e secundário garante o dobro de ganho de tensão de saída, diminuindo a perdas no cobre do transformador devido à diminuição do número de espiras. Uma comutação ZVZCS ocorre naturalmente para uma ampla faixa de variação de carga.



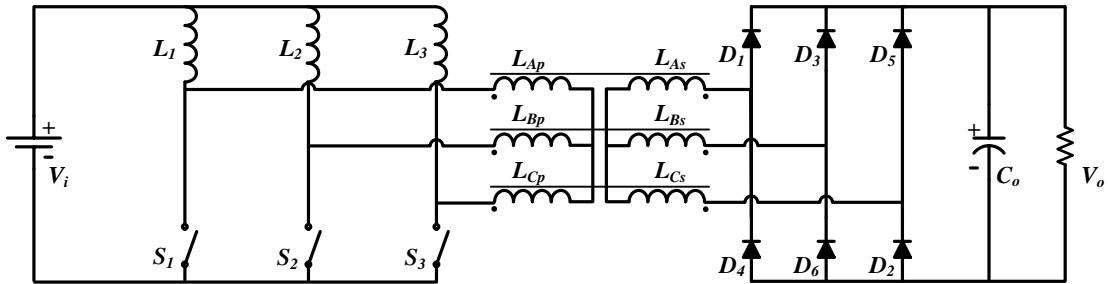
Fonte: Adaptada de [13].

2.1.9 Conversor CC-CC trifásico elevador com isolamento em alta frequência

O conversor elevador com isolamento em alta frequência [14], apresentado na Figura 2.9, utiliza apenas três interruptores com o objetivo de reduzir as perdas por condução da estrutura. Além disso, o fato da existência de apenas um interruptor por braço e os três estarem conectados a uma mesma referência garante uma significativa simplicidade no circuito de acionamento.

Devido à característica *boost* obtida ao se utilizar três indutores de filtro, a topologia apresenta baixas ondulações de corrente de entrada porque elas atuam como fontes de correntes, independentes do modo de operação. No entanto, a presença dessas três indutâncias implica uma comutação dissipativa, requerendo, por parte dos interruptores, o uso de circuitos passivos de auxílio à comutação.

Figura 2.9 – Conversor CC-CC trifásico com comutação dissipativa para aplicações em baixas tensões.



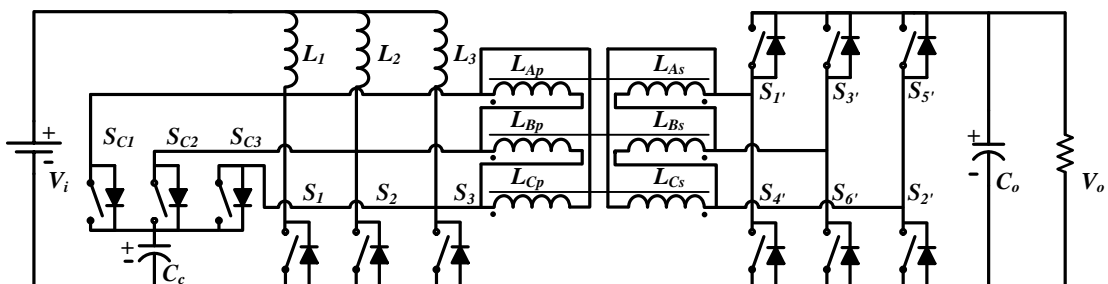
Fonte: Adaptada de [14].

2.1.10 Conversor CC-CC trifásico bidirecional intercalado com grampeamento ativo

O conversor CC-CC trifásico elevador com grampeamento ativo [15] pode ser considerado uma melhoria da topologia anterior. A diferença básica e essencial está no emprego de três interruptores adicionais, juntamente com um capacitor, com o objetivo de realizar grampeamento ativo. Logo, consegue-se obter uma limitação de tensão nos interruptores do conversor, além de um acionamento ZVS, fazendo com que o rendimento do conversor se eleve.

A versão bidirecional do conversor citado previamente [16] é apresentada na Figura 2.10 e diferentemente da primeira topologia CC-CC trifásica bidirecional, proposta por [7], o fluxo de potência não é controlado através do método PS, mas de acordo com os interruptores em funcionamento. No modo *boost* o conversor funciona de maneira semelhante a sua versão unidirecional, ou seja, os interruptores S_{C1} , S_{C2} e S_{C3} são utilizados para realizar o grampeamento ativo, enquanto que os interruptores do lado secundário permanecem desligados. Já no modo *buck* a topologia funciona igual ao conversor CC-CC trifásico PWM ZVS com razão cíclica assimétrica associado ao retificador *hybridge* [10], apresentado na seção 2.1.6. Portanto, nesta situação os interruptores do lado primário (S_1 , S_2 , S_3 , S_{C1} , S_{C2} , S_{C3}) permanecem todos desligados enquanto que os do lado primário estão ativos.

Figura 2.10 – Conversor CC-CC trifásico bidirecional intercalado com grampeamento ativo.



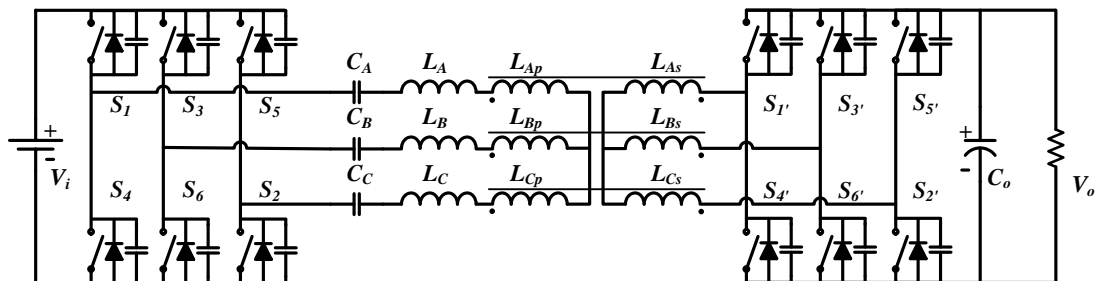
Fonte: Adaptada de [16].

2.1.11 Conversor CC-CC trifásico bidirecional série ressonante

Todas as topologias apresentadas anteriormente causam interferência eletromagnética (*electromagnetic interference* – EMI) por causa das formas de onda de tensão e corrente nos interruptores, que apresentam características retangulares. Os níveis de EMI inibem a redução de volume dos elementos magnéticos, pois fica impraticável aumentar a frequência de operação do conversor por causa das perdas por comutação. Para contornar este obstáculo, Prasad propôs o primeiro conversor CC-CC trifásico ressonante [17].

Outras topologias ressonantes foram desenvolvidas posteriormente, mas somente em 2011 foi concebida uma com característica bidirecional, que é a exposta na Figura 2.11 [18]. A ressonância entre capacitância e indutância (circuito tanque) produz uma corrente senoidal, o que faz reduzir o nível de EMI. Como os interruptores apresentam diodos em antiparalelo e o controle PS é utilizado, a comutação ZVS ocorre naturalmente desde que a frequência de operação do conversor seja menor que a frequência de ressonância. Logo, esta condição poderá limitar a redução do volume dos magnéticos.

Figura 2.11 – Conversor CC-CC trifásico bidirecional série ressonante.



Fonte: Adaptada de [18].

Contudo, um inconveniente dessa topologia, que é inerente a todos os conversores ressonantes, são os elevados esforços de corrente nos interruptores, reduzindo o rendimento da estrutura e limitando o nível de potência das possíveis aplicações (o que vai de encontro ao propósito da utilização da conversão CC-CC trifásica).

2.1.12 Conversor CC-CC trifásico bidirecional com comutação suave e alimentado em corrente para grandes faixas de variação de tensão de entrada

A topologia apresentada na Figura 2.12, similar a da seção 2.1.10, mas com o transformador na configuração estrela-estrela e uso de capacitores *snubbers*, apresenta um maior grau de liberdade ao variar, de maneira desacoplada, a razão cíclica do lado primário e

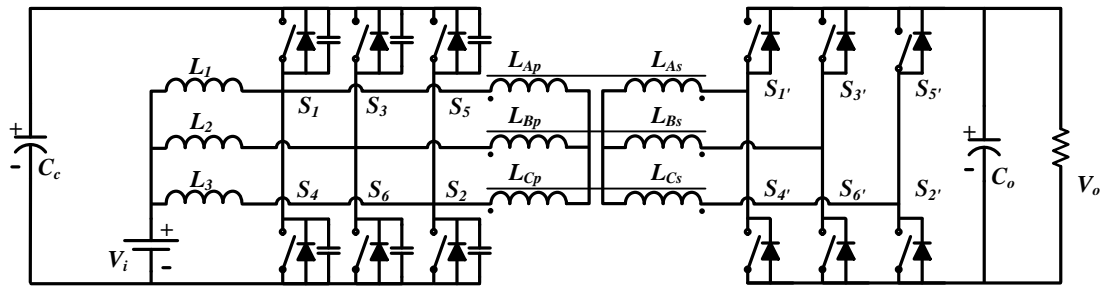
o ângulo de deslocamento de fase entre as pontes trifásicas, garantindo uma maior eficiência na transferência de potência, além de garantir a comutação ZVS [19].

Quando comparada com o conversor DAB, a topologia em questão possui baixo valor RMS de corrente e mantém operação ZVS em todo o intervalo de operação através da manutenção constante da razão entre os barramentos CC primário e secundário.

Em modo *boost*, os indutores CC e os três conversores *half bridges* são utilizados para realizar a magnetização e elevação de tensão do conversor. No modo *buck*, os indutores CC são utilizados como filtros.

Devido à variação de duas grandezas de controle (razão cíclica e deslocamento de fase), a complexidade e a quantidade de modos de operação do conversor aumentam, o que torna o funcionamento desta topologia mais complexa.

Figura 2.12 – Conversor CC-CC trifásico bidirecional com comutação suave a alimentado em corrente para grandes faixas de variação de tensão de entrada.



Fonte: Adaptada de [19].

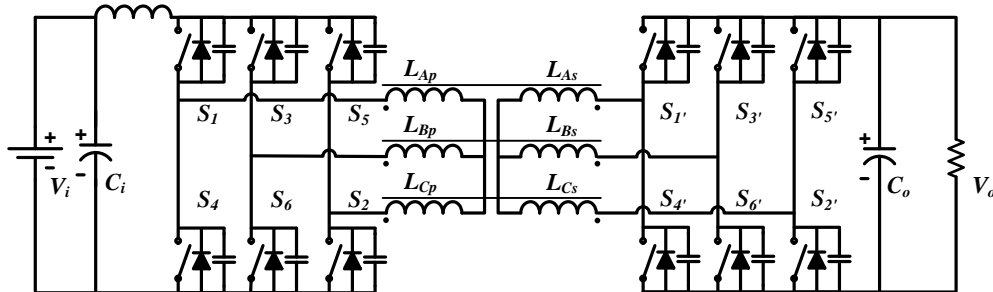
2.1.13 Conversor DAB trifásico alimentado em corrente e naturalmente grampeado

O conversor proposto em [20], e apresentado na Figura 2.13, é, estruturalmente, um DAB trifásico alimentado em corrente. No entanto, uma técnica de modulação alternativa é utilizada para eliminar a necessidade de snubbers ou grampeamento ativo no lado primário do conversor, que opera como fonte de corrente.

Esta técnica de modulação consiste em acionar os interruptores de um mesmo braço do lado primário do conversor no modo sobreposição e razão cíclica superior 50%. O curto-circuito de braço não ocorre devido a limitação de corrente através do indutor de entrada, enquanto que a ressonância entre a indutância de dispersão do transformador e capacitância parasita do interruptor assegura um ligamento em ZVS. Similarmente, o mesmo fenômeno de ressonância garante uma comutação ZVS nos interruptores do lado secundário. O uso de deslocamento de fase superior a 120° na ponte secundária força a corrente do lado

primário a fluir através do diodo em antiparalelo com os interruptores assegurando naturalmente um desligamento em ZCS.

Figura 2.13 – Conversor DAB trifásico alimentado em corrente e naturalmente grampeado.

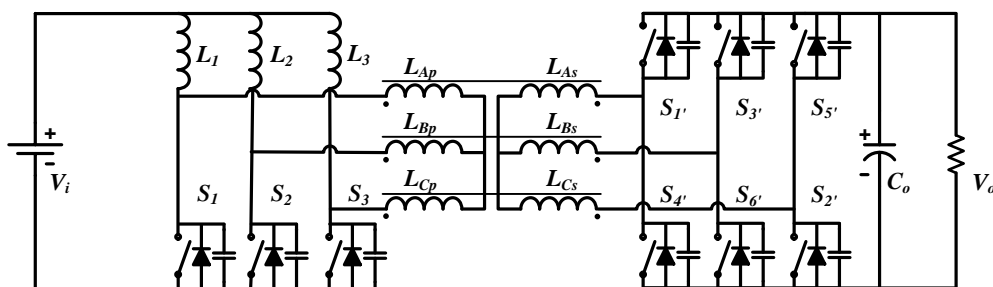


Fonte: Adaptada de [20].

2.1.14 Conversor CC-CC trifásico bidirecional com comutação suave, alimentado em corrente e naturalmente grampeado

A topologia apresentada na Figura 2.14, cujo desenvolvimento foi realizado em [21], oferece uma evolução qualitativa do conversor unidirecional desenvolvido em [14], eliminando o uso de *snubbers* passivos utilizados para limitar a sobretensão sobre os interruptores primários, porém sem requerer o uso de grampeamento ativo, como nos estudos elaborados em [16] e [19]. Um grampeamento natural é obtido através do uso de técnica de modulação com características similares a apresentada na topologia exposta anteriormente.

Figura 2.14 – Conversor CC-CC trifásico bidirecional com comutação suave, alimentado em corrente e naturalmente grampeado.



Fonte: Adaptada de [21].

Além do uso de razão cíclica superior a 50% na ponte primária e deslocamento de fase, a técnica de modulação, para garantir naturalmente o grampeamento, necessita desligar dois interruptores do lado secundário de forma sincronizada com um do lado primário. Assim, também se consegue um desligamento ZCS nos interruptores do lado primário e um ligamento ZVS no lado secundário. Logo, consegue-se elevar o rendimento da estrutura,

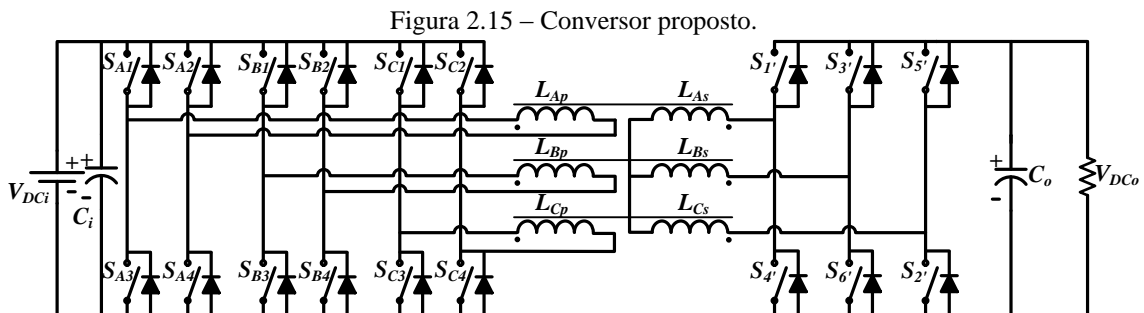
contudo este aumento é limitado devido a ausência de um acionamento ZVS nos interruptores do lado primário.

2.2 Conversor proposto

Neste trabalho é apresentada, na Figura 2.15, uma versão bidirecional da topologia proposta por [13], mas com a ausência do filtro indutivo de saída [22]. A topologia utiliza três pontes H no lado primário e um inversor trifásico no lado secundário, logo é possível incrementar a densidade de potência por paralelismos de fases, e não por paralelismos de semicondutores. A conexão entre essas duas estruturas é feita através de um transformador isolador em alta-frequência através de uma configuração delta aberto/estrela. Com isso, garante-se o dobro de ganho de tensão de saída, diminuindo as perdas no cobre do transformador devido à diminuição do número de espiras.

Devido à característica estrutural da topologia, o fluxo de potência pode ser controlado através de um *dual phase shift* [2],[23], ou seja, através do ângulo entre os braços das pontes monofásicas primárias e/ou através do ângulo entre o lado primário e secundário do transformador. Considerando ângulos de projeto apropriados é possível otimizar o uso do transformador com o intuito de reduzir o conteúdo reativo através deste e, conseqüentemente, garantir uma redução no volume do núcleo magnético e nos esforços de corrente nos interruptores.

A comutação ZVS é obtida naturalmente através do ajuste apropriado do ganho estático do conversor [7]. A razão cíclica nas pontes primárias, em associação com deslocamento de fase, pode ser variada para garantir os níveis de tensão dos barramentos regulados [19] e, também, assegurar a comutação suave sobre ampla faixa de carga [24],[25].



Fonte: Próprio autor [22].

2.3 Considerações finais

Neste capítulo foram apresentadas as principais topologias CC-CC trifásicas isoladas. Foi mostrada a motivação (aumento de densidade de potência em conjunto com redução de perdas) que levou Prasad a criar, através de sua topologia de conversor, o conceito de conversão CC-CC trifásica. A partir dessa primeira estrutura, várias outras foram desenvolvidas, sempre contribuindo com avanços nessa área de estudo, como a comutação assimétrica, as técnicas de comutação suave e de ressonância, bidirecionalidade e *phase-shift*.

O conversor proposto nesse trabalho, baseado na topologia CC-CC trifásica com comutação suave e para aplicações nas quais se requerem fluxo de potência bidirecional e uma das portas com baixa tensão e elevada corrente, utiliza as principais técnicas citadas acima. A única exceção é a utilização da técnica de ressonância, pois esta limita o valor potência da estrutura devido aos elevados esforços de condução de corrente nos semicondutores.

A topologia desenvolvida, por ser capaz de atenuar os esforços de corrente nos semicondutores e prover comutação suave, é uma interessante solução em aplicações onde se requer elevar tensões de elementos armazenadores de energia (tais como ultracapacitores ou baterias) e integrá-los em redes de distribuição CC, *smart grids* ou ao barramento de um inversor conectado a rede de distribuição tradicional.

3 ANÁLISE DO CONVERSOR CC-CC TRIFÁSICO ISOLADO BIDIRECIONAL COM COMUTAÇÃO SUAVE

Este capítulo consiste em realizar a análise do conversor CC-CC trifásico proposto a partir de um modelo por fase composto pelas componentes fundamentais do circuito. A motivação por trás dessa escolha é contextualizada utilizando como base as referências bibliográficas apresentadas anteriormente. A análise do modelo, que toma por base o circuito elétrico da máquina síncrona, apresenta as expressões básicas que caracterizam a transferência de potência ativa, além do conteúdo reativo que poderá circular através do conversor. Também é realizado um estudo sobre o comportamento da comutação da topologia proposta, ou seja, se ela será suave ou não.

Uma breve análise sobre o comportamento do conversor a partir de suas etapas de operação, nomeado neste trabalho como modelo real, também é apresentado como o propósito de assegurar a proximidade entre os dois modelos. Em ambas as análises (modelos fundamental e real) a observação do comportamento da topologia é realizada através da determinação dos ângulos de deslocamento de fase e da razão cíclica.

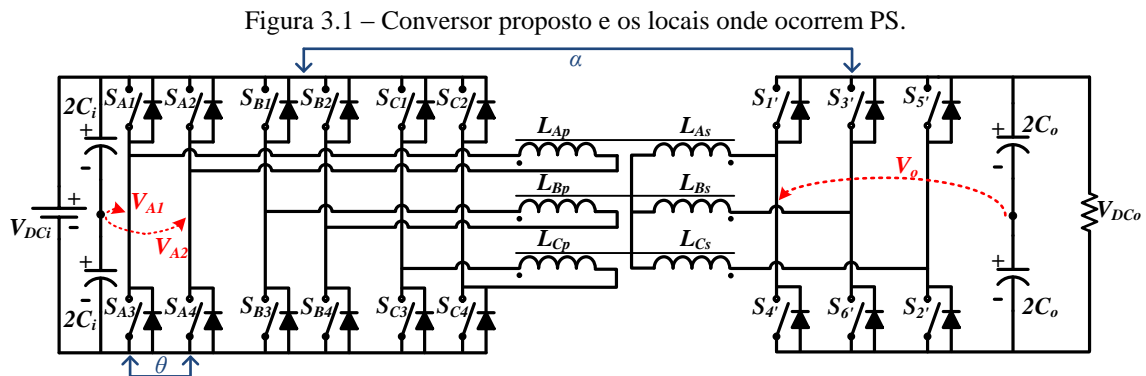
Por fim, é realizada uma análise do modelo dinâmico do conversor, considerando apenas o modelo baseado nas componentes fundamentais, e a partir da teoria do *gyrator*.

3.1 Análise do modelo fundamental

A maneira mais usual de se analisar um conversor CC-CC trifásico isolado bidirecional, em especial as características de fluxo de potência e comutação dos interruptores, consiste em se obter as equações de corrente através do transformador de isolamento para cada etapa de operação. Com isso, e caso o conversor utilize a técnica de PS, encontra-se a potência do circuito em função do ângulo de deslocamento. No *dual-active bridge* trifásico [7], por exemplo, existem seis intervalos de operação e duas expressões para a potência elétrica, uma para ângulos de até 30° e outra para ângulo entre 30° e 120° . Já em [13], que é um conversor unidirecional que utiliza a técnica de PS entre os braços da ponte primária, são necessárias três expressões para cada um dos intervalos: $0^\circ \leq \theta < 60^\circ$, $60^\circ \leq \theta < 120^\circ$ e $120^\circ < \theta \leq 180^\circ$.

O conversor proposto, como já mencionando no capítulo anterior, utiliza a técnica de modulação DPS (Figura 3.1) para controlar o fluxo de potência. Este fluxo é manipulado ajustando-se o ângulo entre os braços das pontes monofásicas primárias θ e/ou através do

ângulo entre o primário e secundário α do transformador. Logo, de acordo com o parágrafo anterior, seriam necessários seis expressões para a obtenção da potência total da topologia para um único sentido de fluxo, com cada uma dessas expressões contendo no mínimo seis etapas de operações (equações de corrente). Como o conversor possui razão cíclica da ponte primária variável, ainda poderia existir a possibilidade de se ter o triplo de expressões (para $d < 1/3$ e $d > 2/3$; e $[1/3, 2/3]$), ou seja, doze equações. Felizmente, de acordo com [19], no uso prático a razão cíclica está limitada entre $[1/3, 2/3]$ considerando a eficiência do conversor e o intervalo de variação da tensão de entrada.



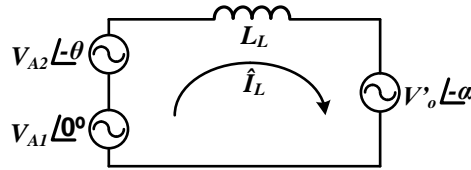
Fonte: Próprio autor.

Diante do que foi exposto previamente, e com o intuito de facilitar a compreensão e dedução das expressões matemáticas que caracterizam a topologia estudada, propõe-se utilizar um modelo por fase concebido a partir das componentes fundamentais das formas de onda das tensões de fase do conversor.

Conceitualmente, cada fase da topologia proposta pode ser vista como um indutor (indutância de dispersão do transformador) conectado, ambos os terminais, em fontes de tensão de onda quadrada controladas. Com o objetivo de simplificar a análise, as fontes com ondas retangulares são substituídas por suas respectivas componentes fundamentais e a tensão de saída é referida ao lado primário do circuito. Este modelo é similar ao circuito equivalente da máquina síncrona e deve apresentar propriedades similares. Desde que todos os sinais sejam senoidais e de mesma frequência, a análise fasorial poderá ser executada [7].

O modelo por fase é apresentado na Figura 3.2, com o lado secundário referido ao primário, e uma análise do DPS é desenvolvida para se obter o fluxo de potência e as características de comutação do conversor. As fontes de tensão usam os ângulos de controle α e θ , que correspondem aos deslocamentos de fase da ponte secundária e braços A2 da ponte primária em relação ao braço de referência A1, respectivamente. Este estudo é realizado utilizando uma relação de tensão unitária entre tensões do braço primário e ponte secundária.

Figura 3.2 – Modelo fundamental por fase da topologia do conversor CC-CC proposto.



Fonte: Próprio autor.

3.1.1 Tensão eficaz da componente fundamental

Os fasores \hat{V}_{A1} e \hat{V}_{A2} apresentados na Figura 3.2, que correspondem ao valor eficaz de tensão do ponto central de um braço do conversor em relação ao ponto central do barramento capacitivo (ver Figura 3.1), variam as componentes fundamentais de suas respectivas magnitudes, V_{A1} e V_{A2} , com a razão cíclica d (adota-se como referência para a razão cíclica, o interruptor superior S_{A1}). Contudo, uma alteração em d , mesmo que os ângulos do *dual phase-shift* α e θ permaneçam inalterados, irá implicar defasagem entre as formas de onda de tensão nos lados secundários e primário do transformador do conversor. Portanto, é factível assumir e considerar que ambas as magnitudes V_{A1} e V_{A2} variam em módulo e também em fase com a razão cíclica, de acordo com (3.1).

$$V_{A1} = V_{A2} = V_i(d) \cdot e^{j\gamma} \quad (3.1)$$

Onde $V_i(d)$ é variação da magnitude do valor eficaz da componente fundamental de tensão e γ a variação do ângulo de defasagem, dado por (3.2).

$$\gamma = \pi \cdot (0,5 - d) \quad (3.2)$$

A magnitude $V_i(d)$, que por questões de comodidade será chamada de “tensão eficaz fundamental”, pode ser obtida a partir da análise de Fourier em (3.3), que é realizada apenas para a primeira componente do espectro harmônico. A forma de onda quadrada em análise, $v_f(t)$, é apresentada na Figura 3.3. Como o objetivo é obter a magnitude da tensão eficaz fundamental, a análise da componente média a_o será negligenciada.

$$v_f(t) = \frac{a_o}{2} + [a_1 \cdot \cos(2 \cdot \pi \cdot f_s \cdot t) + b_1 \cdot \sin(2 \cdot \pi \cdot f_s \cdot t)] \quad (3.3)$$

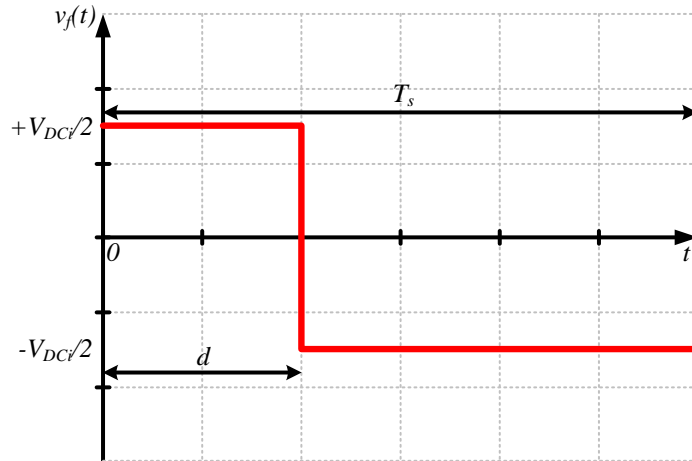
Onde:

$$a_o = \frac{2}{T_s} \cdot \int_0^{T_s} v_f(t) \cdot dt \quad (3.4)$$

$$a_1 = \frac{2}{T_s} \cdot \int_0^{T_s} v_f(t) \cdot \cos(2 \cdot \pi \cdot f_s \cdot t) \cdot dt \quad (3.5)$$

$$b_1 = \frac{2}{T_s} \cdot \int_0^{T_s} v_f(t) \cdot \sin(2 \cdot \pi \cdot f_s \cdot t) \cdot dt \quad (3.6)$$

Figura 3.3 – Tensão do ponto central de um braço em relação ao ponto central do barramento capacitivo.



Fonte: Próprio autor.

Para calcular a_1 e b_1 , é necessário extrair da Figura 3.3 a função da forma de onda, portanto:

$$v_f(t) = \begin{cases} +\frac{V_{dc_i}}{2}, & \text{para } 0 \leq t < d \cdot T_s \\ -\frac{V_{dc_i}}{2}, & \text{para } d \cdot T_s \leq t \leq T_s \end{cases} \quad (3.7)$$

Substituindo (3.7) em (3.5) e (3.6), obtém-se (3.8) e (3.9), respectivamente.

$$a_1 = \frac{2}{T_s} \cdot \left[\int_0^{d \cdot T_s} \frac{V_{dc_i}}{2} \cdot \cos(2 \cdot \pi \cdot f_s \cdot t) \cdot dt + \int_{d \cdot T_s}^{T_s} -\frac{V_{dc_i}}{2} \cdot \cos(2 \cdot \pi \cdot f_s \cdot t) \cdot dt \right] \quad (3.8)$$

$$b_1 = \frac{2}{T_s} \cdot \left[\int_0^{d \cdot T_s} \frac{V_{dc_i}}{2} \cdot \sin(2 \cdot \pi \cdot f_s \cdot t) \cdot dt + \int_{d \cdot T_s}^{T_s} -\frac{V_{dc_i}}{2} \cdot \sin(2 \cdot \pi \cdot f_s \cdot t) \cdot dt \right] \quad (3.9)$$

Resolvendo-se as equações anteriores, obtém-se:

$$a_1 = \frac{V_{dc_i}}{2 \cdot \pi} \cdot [\sin(2 \cdot \pi) - 2 \cdot \sin(2 \cdot \pi \cdot d)] \quad (3.10)$$

$$b_1 = \frac{V_{dc_i}}{\pi} \cdot [2 \cdot \sin^2(\pi \cdot d)] \quad (3.11)$$

A partir do conceito de valor eficaz e utilizando (3.3) sem o valor médio, tem-se (3.12).

$$V_i(d) = \sqrt{\frac{1}{T_s} \cdot \int_0^{T_s} [a_1 \cdot \cos(2 \cdot \pi \cdot f_s \cdot t) + b_1 \cdot \sin(2 \cdot \pi \cdot f_s \cdot t)]^2 dt} \quad (3.12)$$

Através da substituição de (3.10) e (3.11) em (3.12) é obtida a expressão da magnitude da tensão eficaz da componente fundamental:

$$V_i(d) = \frac{V_{dc_i}}{2 \cdot \pi} \cdot \sqrt{\frac{v' + v''}{2 \cdot \pi}} \quad (3.13)$$

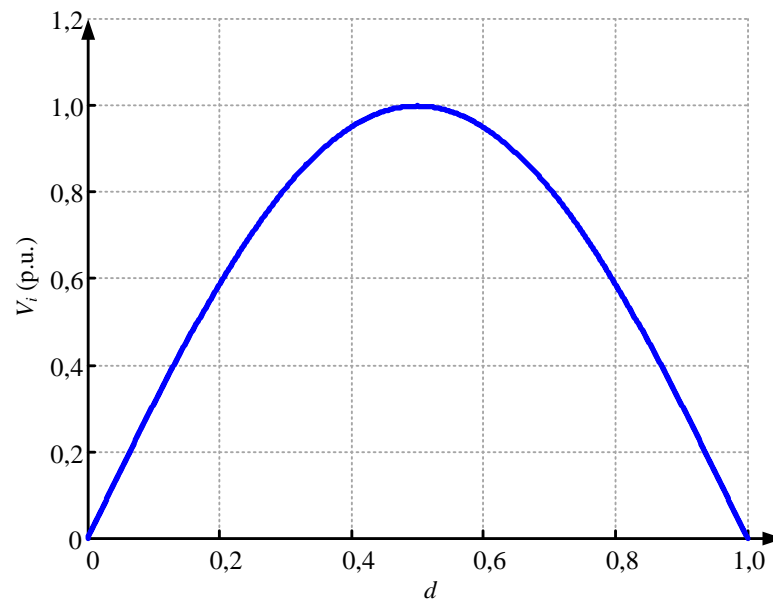
Onde:

$$v' = 2 \cdot \sin[2 \cdot \pi \cdot (d + 2)] - \sin[4 \cdot \pi \cdot (d + 1)] \quad (3.14)$$

$$v'' = 16 \cdot \pi \cdot \sin^2(\pi \cdot d) + \sin(4 \cdot \pi \cdot d) - 2 \cdot \sin(2 \cdot \pi \cdot d) \quad (3.15)$$

Pode-se observar através da Figura 3.4 que a variação da magnitude da tensão de entrada em p.u. (base igual a $V_i(0,5)$), obtida a partir de (3.13), apresenta uma característica aproximadamente parabólica.

Figura 3.4 – Magnitude da componente fundamental da tensão de entrada.



Fonte: Próprio autor.

Como a razão cíclica da ponte secundária permanece fixa e igual a 0,5, o seu valor é considerado como um caso particular de (3.13), além de apresentar o dobro do valor devido a conexão delta aberto/estrela do transformador e por ser uma resultante da associação entre os braços das pontes primárias de uma fase. Além disso, o ângulo de defasagem γ será nulo, logo a magnitude da tensão de saída referida ao primário é dada por (3.16).

$$V_o' = G \cdot 2 \cdot V_i(d) \cdot e^{j\gamma} = G \cdot 2 \cdot V_i(0,5) \cdot e^{j0} = 2 \cdot G \cdot V_i \quad (3.16)$$

Onde G é o ganho estático entre as tensões V_o' e V_i .

3.1.2 Fluxo de potência

A expressão matemática para a potência elétrica do modelo é obtida empregando-se a lei de Kirchhoff das tensões no circuito da Figura 3.2. Logo, obtém-se, inicialmente, a corrente fasorial:

$$\hat{I}_L(\alpha, \theta, d) = \frac{\hat{V}_{A1} - \hat{V}_{A2} - \hat{V}_o'}{j \cdot X_L} = \frac{V_{A1} \cdot e^{j0} - V_{A2} \cdot e^{-j\theta} - V_o' \cdot e^{-j\alpha}}{j \cdot X_L} \quad (3.17)$$

Onde X_L representa a reatância de dispersão. Observa-se que a corrente do modelo depende não somente dos ângulos de deslocamento, mas também da razão cíclica das pontes primárias. Substituindo-se (3.1), (3.2) e (3.16) em (3.17), além da reatância por seu valor em termos de indutância e frequência de comutação, obtém-se a expressão final para a corrente fasorial:

$$\hat{I}_L(\alpha, \theta, d) = \frac{V_i(d) \cdot e^{j\pi(0,5-d)} \cdot (1 - e^{-j\theta}) - 2 \cdot G \cdot V_i \cdot e^{-j\alpha}}{j \cdot 2 \cdot \pi \cdot f_s \cdot L_L} \quad (3.18)$$

A partir de (3.18) encontra-se a potência elétrica entregue à tensão de saída V_o' :

$$S_o(\alpha, \theta, d) = (2 \cdot G \cdot V_i \cdot e^{-j\alpha}) \cdot \hat{I}_L(\alpha, \theta, d) \quad (3.19)$$

Sabe-se da teoria de circuitos que a potência elétrica em sistemas CA apresenta duas componentes, uma que realiza trabalho útil, ou seja, a potência elétrica ativa, e outra que apenas faz circular energia dentro do sistema devido sua característica armazenadora de energia, em outras palavras, a potência elétrica reativa. Essas duas componentes, (3.20) e (3.21) respectivamente, são obtidas de (3.19). Ainda utilizando essas expressões, encontra-se o fator de potência do modelo ou transformador, que é apresentado em (3.22). Ainda como forma de normalizar as expressões obtidas previamente para que estas sejam utilizadas na análise de gráficos e formas de onda durante este capítulo, uma potência de base foi definida em (3.23) a partir da aplicação de α e θ iguais a 90° e 180° , respectivamente, em (3.20).

$$P_o(\alpha, \theta, d) = \text{Re} \left[(2 \cdot G \cdot V_i \cdot e^{-j\alpha}) \cdot \hat{I}_L^*(\alpha, \theta, d) \right] \quad (3.20)$$

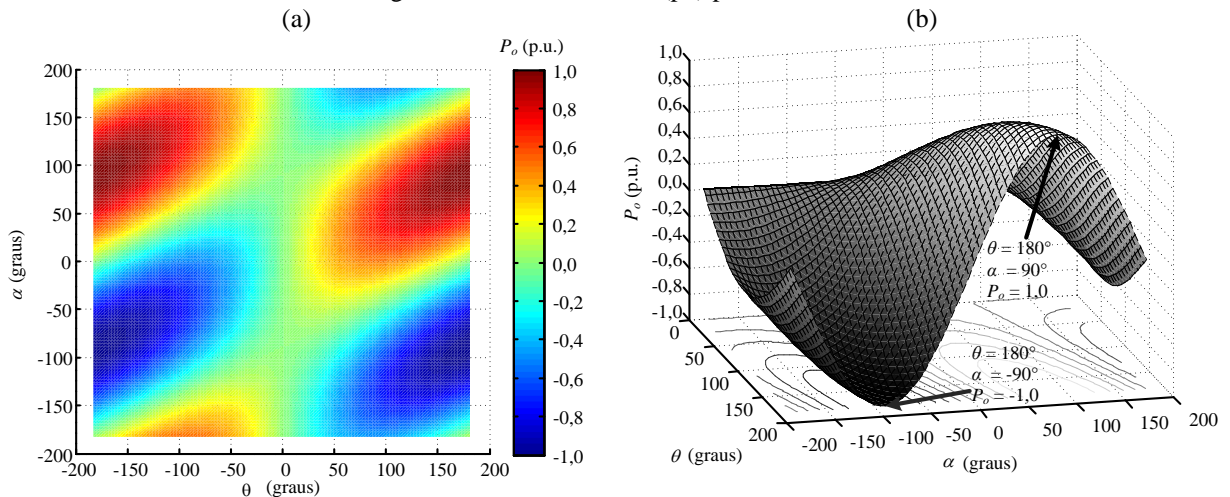
$$Q_o(\alpha, \theta, d) = \text{Im} \left[(2 \cdot G \cdot V_i \cdot e^{-j\alpha}) \cdot \hat{I}_L^*(\alpha, \theta, d) \right] \quad (3.21)$$

$$FP = \frac{P_o(\alpha, \theta, d)}{S_o(\alpha, \theta, d)} \quad (3.22)$$

$$P_{base} = \frac{2 \cdot V_i^2}{\pi \cdot f_s \cdot L_L} \quad (3.23)$$

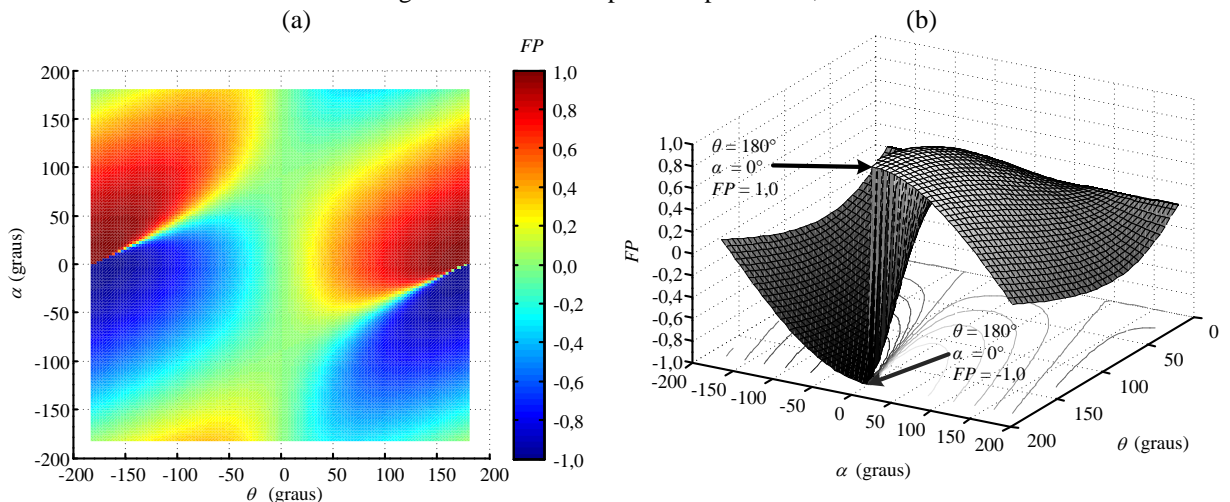
A partir da utilização de (3.20), (3.22) e (3.23), as formas de onda da potência ativa e fator de potência do conversor, variando-se os ângulos α e θ , podem ser obtidas como apresentados nas Figura 3.5 e Figura 3.6, respectivamente, considerando uma razão cíclica de 0,5. Observa-se que a potência ativa máxima ocorre quando α e θ são, respectivamente, $\pm 90^\circ$ e $\pm 180^\circ$. Por outro lado, o fator de potência tende a ser unitário quando α e θ são 0° e $\pm 180^\circ$, respectivamente, que são locais nos quais P_o apresenta valor nulo. Logo, quando α é incrementado e θ é máximo, consequentemente o fator de potência diminui com o aumento da potência ativa. Este mesmo comportamento já foi observado e analisado também em outras topologias baseadas no DAB, como em [19] e [26]. Porém é importante salientar que no limite de α tendendo a zero, o fator de potência se tornará naturalmente nulo, mas devido à aproximação matemática utilizando componentes fundamentais o valor observado é unitário.

Figura 3.5 – Potência ativa (pu) para $d = 0,5$.



Fonte: Próprio autor.

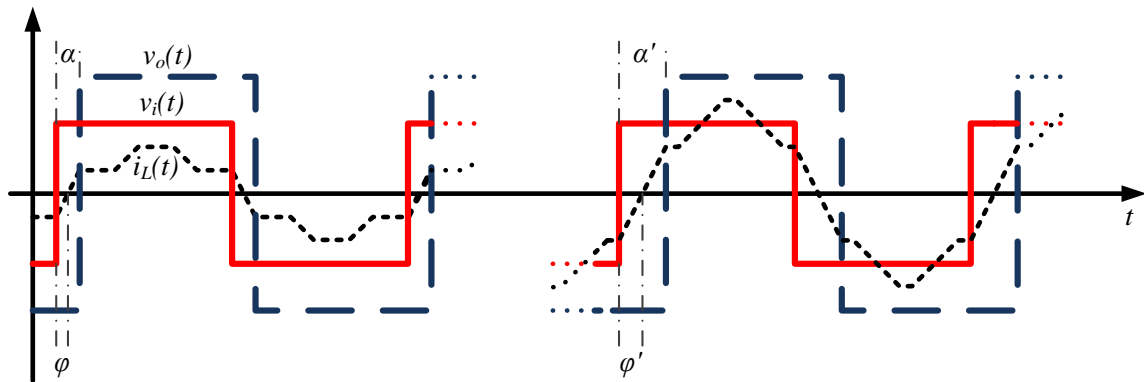
Figura 3.6 – Fator de potência para $d = 0,5$.



Fonte: Próprio autor.

Ainda com relação ao comportamento analisado anteriormente, é apresentada a Figura 3.7 que expõe as formas de onda da tensão equivalente entre os braços do lado primário $v_i(t)=v_{AI}(t)-v_{BI}(t)$ (que pode ser considerada a tensão no lado primário do transformador, conforme Figura 3.1), a tensão do lado secundário $v_o(t)$ e a corrente através do lado primário do transformador para duas situações de *phase-shift* ($\alpha' > \alpha$). É possível observar que com o aumento de α a defasagem da corrente também aumenta e, conseqüentemente, o fator de potência, corroborando com as informações extraídas da Figura 3.5 e Figura 3.6.

Figura 3.7 – Formas de ondas utilizadas para analisar o comportamento do fator de potência para $\theta=180^\circ$ e α variável.

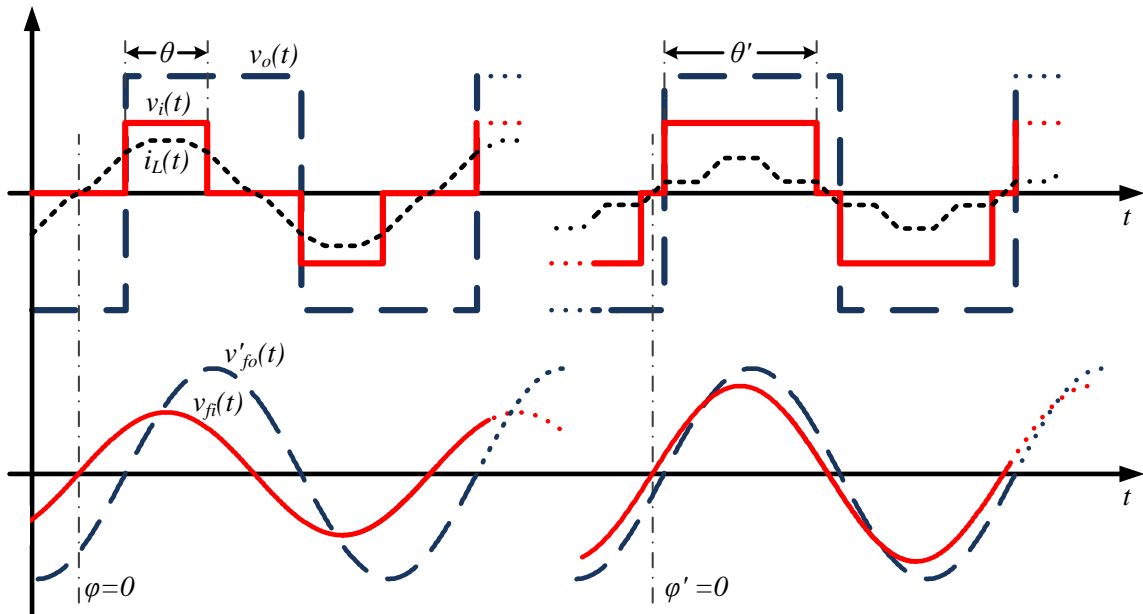


Fonte: Próprio autor.

Um cenário particular e importante a ser comentado a respeito da Figura 3.5 e Figura 3.6 é o caso em que α é nulo enquanto θ é incrementado. Nesta situação, P_o alcançará seu valor máximo (1 p.u.) quando θ é $\pm 90^\circ$ e será nulo para θ igual a 0° . Também, observa-se que, independente da potência ativa aumentar ou diminuir (inclusive quando α é variável), o fator de potência tende a ser unitário quando θ tende a $\pm 180^\circ$.

Para que se tenha uma melhor compreensão da situação exposta previamente, são apresentadas na Figura 3.8 as mesmas formas de onda utilizadas na Figura 3.7, além da inclusão das componentes fundamentais das tensões, com a tensão do lado secundário referido ao primário, para duas situações de *phase-shift* ($\theta' > \theta$). Embora a corrente esteja em fase com a tensão (ou sua componente fundamental), ou seja, $\varphi = \varphi' = 0$, o conversor poderá vir a ter um baixo fator de potência, pois este dependerá do valor de *phase-shift*. Com θ reduzido, a componente fundamental de tensão do lado primário apresentará um desnível ou amplitude menor do que aquela observada no lado secundário, implicando aumento de reativos circulando através do transformador e, conseqüentemente, redução do fator de potência. Por outro lado, o incremento de θ fará com que o fator de potência seja aumentado através da diminuição da diferença de amplitude entre as tensões.

Figura 3.8 – Formas de ondas utilizadas para analisar o comportamento do fator de potência para $\alpha=0^\circ$ e θ variável.

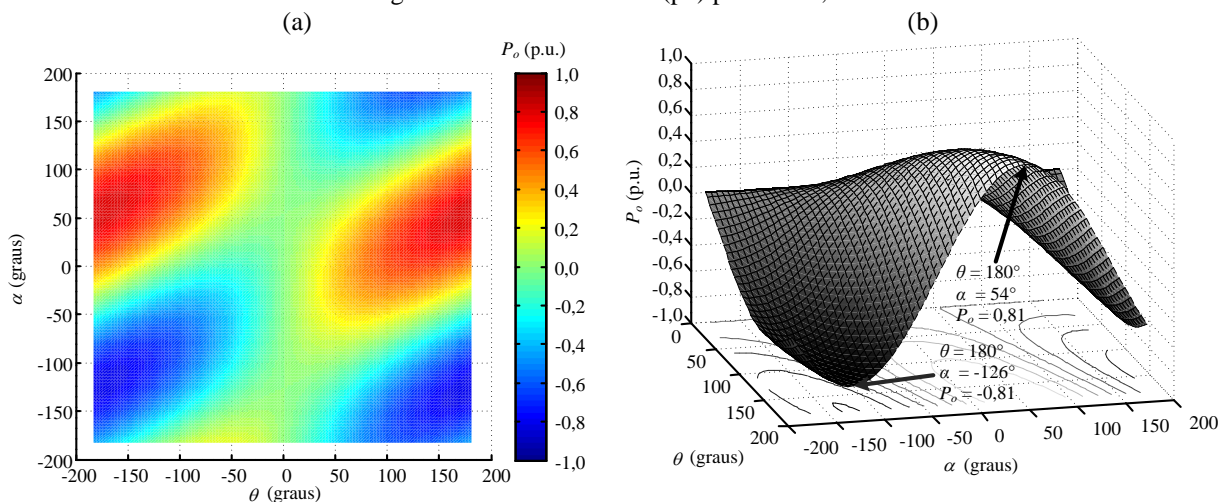


Fonte: Próprio autor.

Com o propósito de observar o comportamento do conversor perante diferentes valores de razão cíclica, foram geradas as mesmas formas de onda de potência ativa e fator de potência do caso anterior, porém alterando a razão cíclica. Como já comentado e explicado no início deste capítulo, a razão cíclica utilizada para fins práticos é limitada entre $1/3$ e $2/3$, mas para fins de extrapolação de análise foram utilizados os valores $0,3$ e $0,7$.

A Figura 3.9 mostra o perfil da potência ativa de acordo com a variação dos ângulos α e θ e usando d igual a $0,3$. Devido à redução da razão cíclica, os valores máximos de potência ativa ocorrem para valores menores de α se comparado ao primeiro caso.

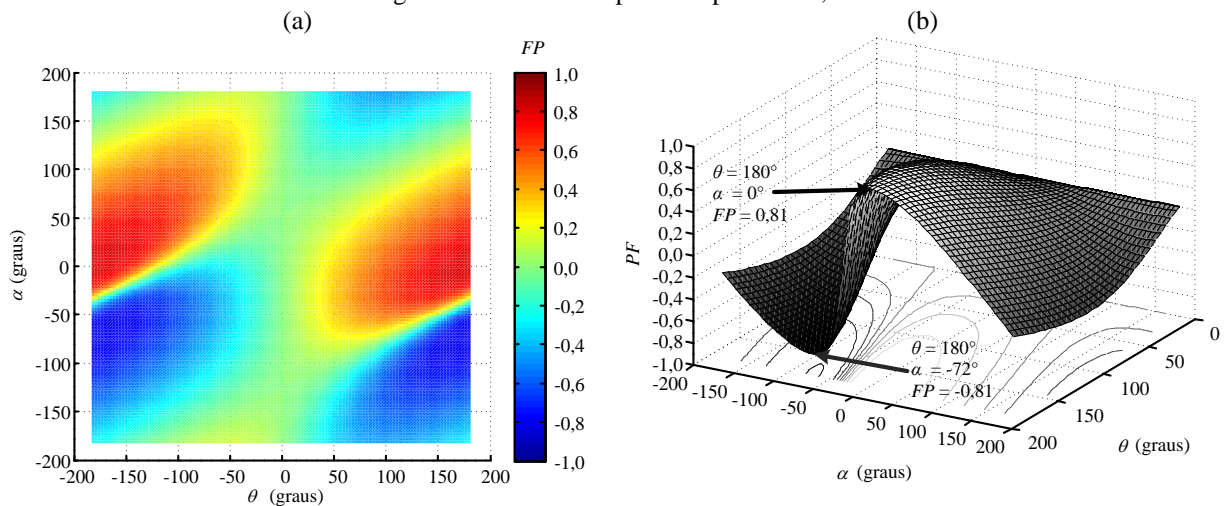
Figura 3.9 – Potência ativa (pu) para $d = 0,3$.



Fonte: Próprio autor.

Pode se observar também que o valor máximo do módulo de P_o , aproximadamente 0,81, é menor que o obtido para o primeiro caso, ou seja, 1,0. Quando a razão cíclica não é 0,5, a corrente de fase se torna assimétrica, implicando no aumento do fluxo de potência reativa e, conseqüentemente, em uma redução na potência ativa máxima. Este fato pode ser confirmado através da Figura 3.10, da qual se observa que o fator de potência é no máximo aproximadamente, e coincidentemente, 0,81. Além disso, os valores máximo e mínimo do fator de potência são separados por valores que variam em forma crescente.

Figura 3.10 – Fator de potência para $d = 0,3$.

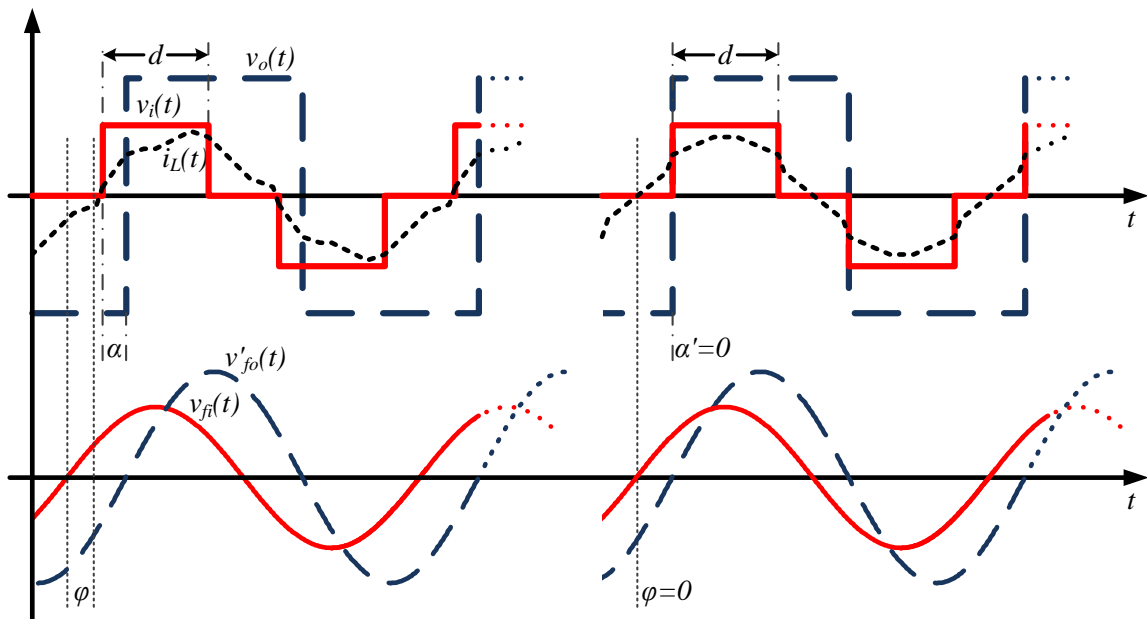


Fonte: Próprio autor.

Ainda com enfoque no discernimento das limitações existentes no fluxo de potência para razão cíclica variável, são apresentadas na Figura 3.11 as mesmas formas de onda utilizadas na Figura 3.8 para duas situações de *phase-shift* ($\alpha > \alpha' = 0$) e d menor que 0,5. Caso θ seja fixo e igual a 180° , d poderá ser obtido a partir da observação da amplitude da tensão do lado primário. É possível observar que a variação de d , como já mencionado no parágrafo anterior, torna a corrente assimétrica, além de aumentar sua defasagem em relação à tensão no lado primário devido ao deslocamento que esta sofre quando comparado com o mesmo caso na Figura 3.7. Também, devido à diminuição de d , a amplitude da componente fundamental de tensão no lado primário é menor do que aquela observada no lado secundário, que é a mesma característica discutida na Figura 3.8. Logo, e devido ao conjunto de fatores discutidos, é possível afirmar que para uma razão cíclica variável o conteúdo reativo circulando através do conversor será maior do que aquele observado para a mesma situação de *dual phase-shift*, porém com razão cíclica simétrica, corroborando, portanto, com as informações extraídas da Figura 3.9 e Figura 3.10. Por fim, mesmo que o valor do *dual phase-*

shift esteja ajustado para o caso de fator de potência unitário (α e θ igual a 0° e $\pm 180^\circ$, respectivamente), como também mostrado na Figura 3.11, a diferença de amplitude entre as componentes fundamentais de tensões forçará uma redução do fator de potência.

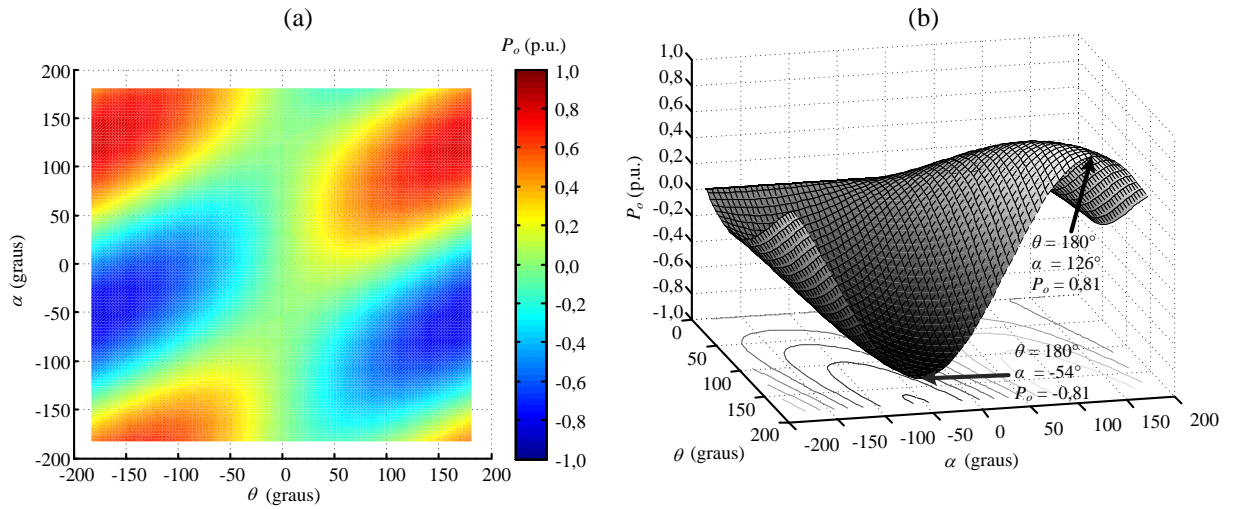
Figura 3.11 – Formas de ondas utilizadas para analisar o comportamento do fator de potência para $\theta=180^\circ$ e α variável e $d \neq 0,5$.



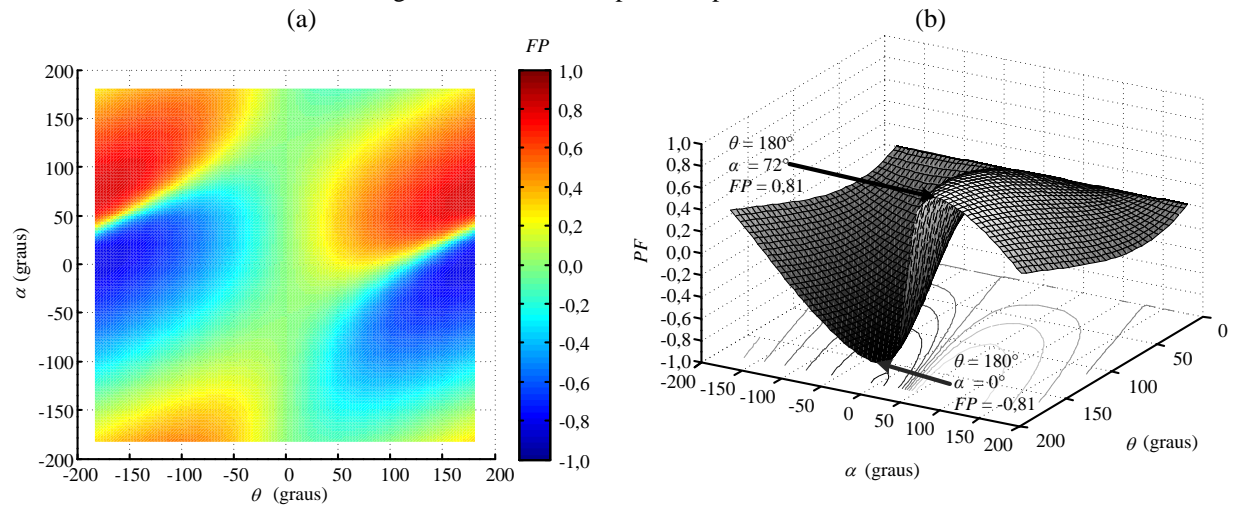
Fonte: Próprio autor.

A Figura 3.12 e Figura 3.13 mostram os perfis de potência ativa e fator de potência, respectivamente, quando a razão cíclica é 0,7. Este caso apresenta resultados similares aos resultados obtidos para d igual a 0,3, porém com os valores de P_o e FP crescendo em direção reversa, ou seja, as condições máximas ocorrem para ângulos maiores de α se comparado com o primeiro caso. Por exemplo, para $d=0,3$ e $\theta=180^\circ$, a potência ativa será aproximadamente 0,81 p.u. quando α for 54° , enquanto que, mantendo-se o mesmo valor de $\theta=180^\circ$, será necessário aumentar α para 126° , caso se deseje atingir a mesma potência máxima (0,81 p.u.) para $d=0,7$.

Ainda é possível observar a partir dos gráficos apresentados previamente que o ângulo de deslocamento de fase efetivo entre as componentes fundamentais nos lados primário e secundário α_{ef} pode ser controlado usando três variáveis de controle de forma que harmônicas e conteúdo reativo sejam otimizados. Por exemplo, se θ ou d é reduzido, então α precisa ser incrementado com o objetivo de assegurar o ângulo efetivo α_{ef} constante e limitar o aumento do conteúdo reativo para, conseqüentemente, não aumentar os esforços nos semicondutores.

Figura 3.12 – Potência ativa (pu) para $d = 0,7$.

Fonte: Próprio autor.

Figura 3.13 – Fator de potência para $d = 0,7$.

Fonte: Próprio autor.

3.1.3 Caracterização da comutação dos interruptores

A caracterização da comutação dos interruptores é obtida a partir da análise da corrente variando no tempo:

$$i_L(\omega \cdot t) = \sqrt{2} \cdot I_L(\alpha, \theta, d) \cdot \sin(\omega \cdot t - \varphi) \quad (3.24)$$

Onde φ é o ângulo de defasagem em relação à tensão e pode ser obtido a partir de:

$$\varphi = \arctan \frac{\text{Im} \left[\hat{I}_L(\alpha, \theta, d) \right]}{\text{Re} \left[\hat{I}_L(\alpha, \theta, d) \right]} \quad (3.25)$$

Resolvendo (3.25) a partir de (3.18), obtém-se um resultado de φ em função de senos e cosenos:

$$\varphi = \arctan \frac{2 \cdot G \cdot V_i \cdot \cos \alpha - V_i(d) \cdot [\cos \gamma \cdot (1 - \cos \theta) + \sin \gamma \cdot \sin \theta]}{-2 \cdot G \cdot V_i \cdot \sin \alpha + V_i(d) \cdot [\sin \gamma \cdot (1 - \cos \theta) + \cos \alpha \cdot \cos \theta]} \quad (3.26)$$

Para que a comutação suave ocorra no interruptor superior da ponte de entrada, é necessário que seja satisfeita a condição exposta em (3.27). Substituindo esta em (3.24), obtém-se (3.28).

$$i_L(0) = 0 \quad (3.27)$$

$$\sin(-\varphi) = 0 \quad (3.28)$$

A expressão do ganho estático para a curva de fronteira entre as regiões de comutação suave e dissipativa para o interruptor superior da ponte de entrada é encontrada substituindo (3.26) em (3.28) e rearranjando o resultado como:

$$G_i = \frac{V_i(d) \cdot [\cos \gamma \cdot (1 - \cos \theta)] + \sin \gamma \cdot \sin \theta}{2 \cdot V_i \cdot \cos \alpha} \quad (3.29)$$

Com a expressão encontrada anteriormente, é possível obter, também, a potência ativa para a curva de fronteira entre as regiões de comutação suave e dissipativa para o interruptor superior da ponte de entrada aplicando (3.29) em (3.20):

$$P_{\alpha}(\alpha, \theta, d) = \text{Re} \left[(2 \cdot G_i \cdot V_i \cdot e^{j\alpha}) \cdot \hat{I}_L^*(\alpha, \theta, d) \right] \quad (3.30)$$

Quando a razão cíclica é igual a 0,5, a expressão anterior é válida tanto para o interruptor superior, quanto para o inferior. Porém, quando a razão cíclica é alterada são necessárias duas expressões de fronteira. O procedimento para a obtenção da característica de comutação do interruptor inferior da ponte de entrada é similar ao realizado previamente, porém com uma condição diferente, que é dada por (3.31). Fazendo a substituição desta expressão em (3.24), obtém-se (3.32).

$$i_L(2 \cdot \pi \cdot d) = 0 \quad (3.31)$$

$$\sin(2 \cdot \pi \cdot d - \varphi) = 0 \quad (3.32)$$

Logo, a expressão do ganho estático para a curva de fronteira entre as regiões de comutação suave e dissipativa para o interruptor inferior da ponte de entrada é dado através de (3.33). Já a potência ativa para esta curva de fronteira é encontrada a partir de (3.34).

$$G_{ii} = \frac{V_i(d)}{2V_i} \cdot \frac{\cos \gamma [1 - \cos \theta - \sin \theta \tan(2\pi d)] - \sin \gamma [\sin \theta + (1 - \cos \theta) \tan(2\pi d)]}{\cos \alpha + \sin \alpha \tan(2\pi d)} \quad (3.33)$$

$$P_{o_i}(\alpha, \theta, d) = \text{Re} \left[\left(2 \cdot G_{ii} \cdot V_i \cdot e^{j\alpha} \right) \cdot \hat{I}_{L_i}^*(\alpha, \theta, d) \right] \quad (3.34)$$

Para que a comutação suave ocorra na ponte de saída, é necessário que seja satisfeita a condição apresentada em (3.35). Substituindo esta em (3.24), obtém-se (3.36).

$$i_L(\alpha) = 0 \quad (3.35)$$

$$\sin(\alpha - \varphi) = 0 \quad (3.36)$$

A expressão do ganho estático para a curva de fronteira entre as regiões de comutação suave e dissipativa para o interruptor da ponte de saída é encontrada substituindo (3.26) em (3.36). A expressão obtida está em (3.37).

$$G_o = \frac{V_i(d)}{2V_i} \cdot \frac{\cos \gamma \cdot [1 - \cos \theta - \sin \theta \cdot \tan(\alpha)] - \sin \gamma \cdot [\sin \theta + (1 - \cos \theta) \cdot \tan(\alpha)]}{\cos \alpha + \sin \alpha \cdot \tan \alpha} \quad (3.37)$$

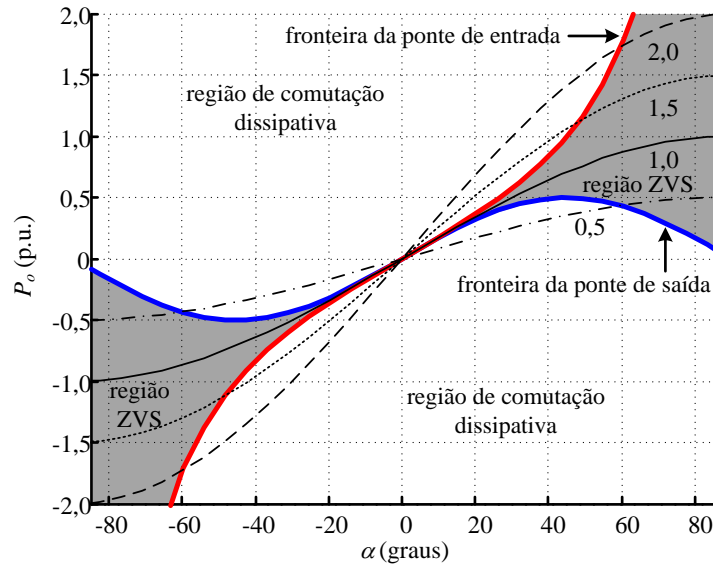
A potência ativa para esta curva de fronteira é encontrada substituindo (3.37) em (3.20):

$$P_{o_o}(\alpha, \theta, d) = \text{Re} \left[\left(2 \cdot G_o \cdot V_i \cdot e^{j\alpha} \right) \cdot \hat{I}_{L_o}^*(\alpha, \theta, d) \right] \quad (3.38)$$

Os gráficos da Figura 3.14 foram feitos utilizando (3.20), (3.30) e (3.38). Para traçar as curvas a partir de (3.20) foram usados como ganho estático os valores 0,5; 1,0; 1,5 e 2,0. Pode-se observar que independente do ganho estático sempre ocorrerá comutação ZVS em ambas as pontes quando a potência ativa estiver delimitada entre as curvas de fronteira. Caso isto não ocorra, somente uma das pontes estará funcionando no modo ZVS. Por exemplo, para a curva com ganho estático igual a 0,5 e α igual a 30° esta permanece abaixo da curva de fronteira da ponte de saída, portanto apenas a ponte de entrada funcionará com comutação suave. Já para o mesmo ângulo, porém com ganho igual a 1,5, somente a ponte de entrada estará comutando no modo ZVS, pois este ponto em questão está acima da borda da ponte de saída. Uma característica interessante é o fato de que a comutação ZVS ocorre para qualquer situação de α quando o ganho estático é unitário.

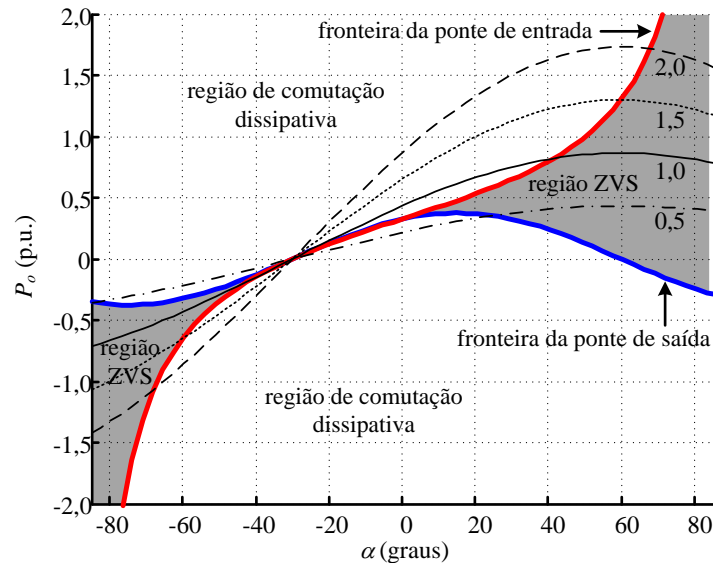
A Figura 3.15 apresenta o caso no qual θ é ajustado em 120° . Nesta situação, a comutação ZVS também ocorrerá nas duas pontes quando o ponto em análise estiver situado entre as curvas delimitadoras. A diminuição de θ elimina a característica de comutação ZVS para todos os valores de α quando o ganho estático é unitário. Neste caso em específico da Figura 3.15, para $G=1$ as duas pontes apresentam característica ZVS somente quando $\alpha > 40^\circ$ e $\alpha < -50^\circ$.

Figura 3.14 – Limite da comutação suave das pontes de entrada e saída para $d = 0,5$ e $\theta = 180^\circ$.



Fonte: Próprio autor.

Figura 3.15 – Limite da comutação suave das pontes de entrada e saída para $d = 0,5$ e $\theta = 120^\circ$.

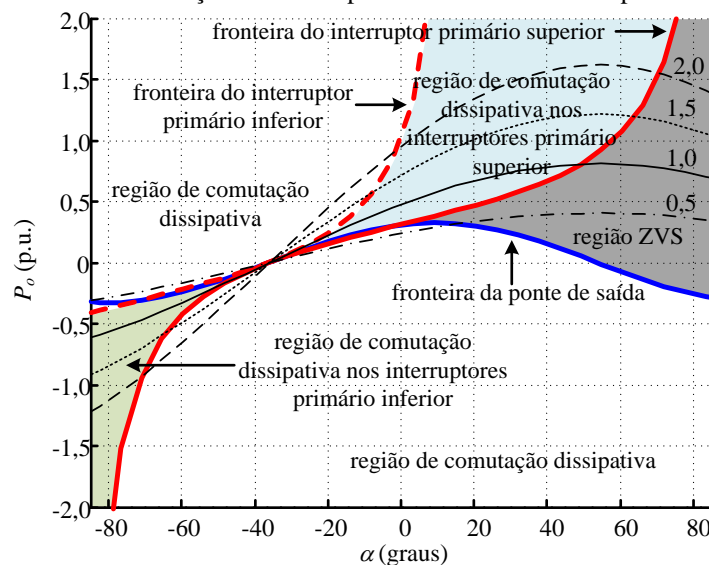


Fonte: Próprio autor.

Pequenas variações de razão cíclica em torno de 0,5 não alteram significativamente a característica de comutação observadas na Figura 3.14 e Figura 3.15. Contudo, quando d começa a se distanciar de seu valor central, estas características são alteradas. A terceira análise de comutação do conversor proposto é mostrada na Figura 3.16 e utiliza uma razão cíclica igual a 0,3. Devido a variação de d , os interruptores da ponte de entrada apresentam características de comutação distintas e, conseqüentemente, e de acordo com (3.30) e (3.34), curvas de fronteira próprias. Diferentemente do caso anterior, existem agora quatro regiões de operação. A primeira é a região que funciona em modo ZVS para ambas as pontes e ocorre para valores situados entre as curvas de fronteira mais internas, que

são as dos interruptores superiores da ponte de entrada e todos os interruptores da ponte de saída. Na segunda região, caso um determinado valor de G e α esteja situado entre as duas curvas de fronteira dos interruptores da ponte de entrada, somente os interruptores superiores desta ponte comutarão de forma dissipativa. Na terceira região a ponte de saída e os interruptores superiores da ponte de entrada funcionam no modo ZVS. A quarta e última região de operação representa os pontos não situados nos casos anteriores e funciona do mesmo modo observado nos casos em que d apresenta valor igual a 0,5.

Figura 3.16 – Limite da comutação suave das pontes de entrada e saída para $d = 0,3$ e $\theta = 180^\circ$.



Fonte: Próprio autor.

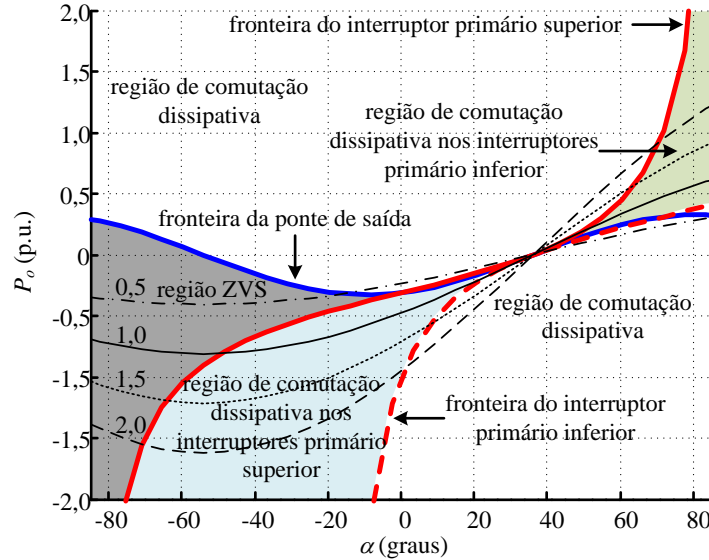
A quarta análise é realizada para a situação em que a razão cíclica é maior que 0,5. O valor utilizado é 0,7 e o gráfico obtido é apresentado na Figura 3.17. Analogamente ao caso anterior existem quatro regiões de comutação que funcionam do mesmo modo, porém elas aparecem em regiões simetricamente invertidas.

3.2 Análise do modelo real

A seção anterior apresentou a análise do fluxo de potência e características de comutação considerando o modelo baseado em componentes fundamentais das tensões através do transformador. Contudo, é interessante checar se as harmônicas de alta frequência existentes devido à comutação dos interruptores podem afetar significativamente o modelo previamente apresentado. Com esse propósito, o modelo real do conversor (no qual é realizado através do estudo de cada etapa de operação) é apresentado e matematicamente descrito a seguir. A análise torna-se complexa, pois o modelo apresenta quatro (devido à

variação de d) por quatro (devido à variação de α) regiões, totalizando 16 regiões para apenas uma única direção de fluxo de potência e fixando um valor para θ . De acordo com o exposto, a análise apresentada é realizada considerando $\theta=180^\circ$ e uma única região de razão cíclica.

Figura 3.17 – Limite da comutação suave das pontes de entrada e saída para $d = 0,7$ e $\theta = 180^\circ$.



Fonte: Próprio autor.

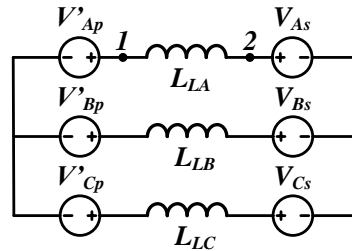
3.2.1 Fluxo de Potência

A topologia apresentada na Figura 3.1 pode ser simplificada na forma do circuito equivalente da Figura 3.18, onde o lado primário é referido ao secundário, onde: L_{LA} , L_{LB} , L_{LC} são as indutâncias de dispersão por fase; V_{Ap} , V_{Bp} , V_{Cp} são as tensões por fase através do lado primário referido para o lado secundário; V_{As} , V_{Bs} , V_{Cs} são as tensões através do lado secundário em relação ao ponto central do barramento capacitivo. De acordo com os estados dos interruptores, a razão cíclica d e o *phase-shift* α , as correntes através do transformador assumem um determinado formato e, conseqüentemente, uma análise particular para cada caso pode ser desenvolvida. Portanto, a análise do conversor deve ser efetuada de acordo com as regiões de operação existentes, considerando, também, a mencionada forma de onda de corrente.

A Figura 3.19 mostra todas as formas de onda que representam a operação do circuito equivalente da Figura 3.18, e, também, a corrente através do lado secundário da fase A, considerando $1/3 < d < 1/2$ e região R1, que corresponde a $(1-2d)\pi/2 < \alpha < \pi/3 - (1-2d)\pi/2$. A análise considera que $\alpha=0^\circ$ ocorre de acordo com a componente fundamental da tensão de fase $v_{Ap}(\sigma)$, onde $\sigma=\omega t$. Pode ser observado que existem dez estágios de operação para um

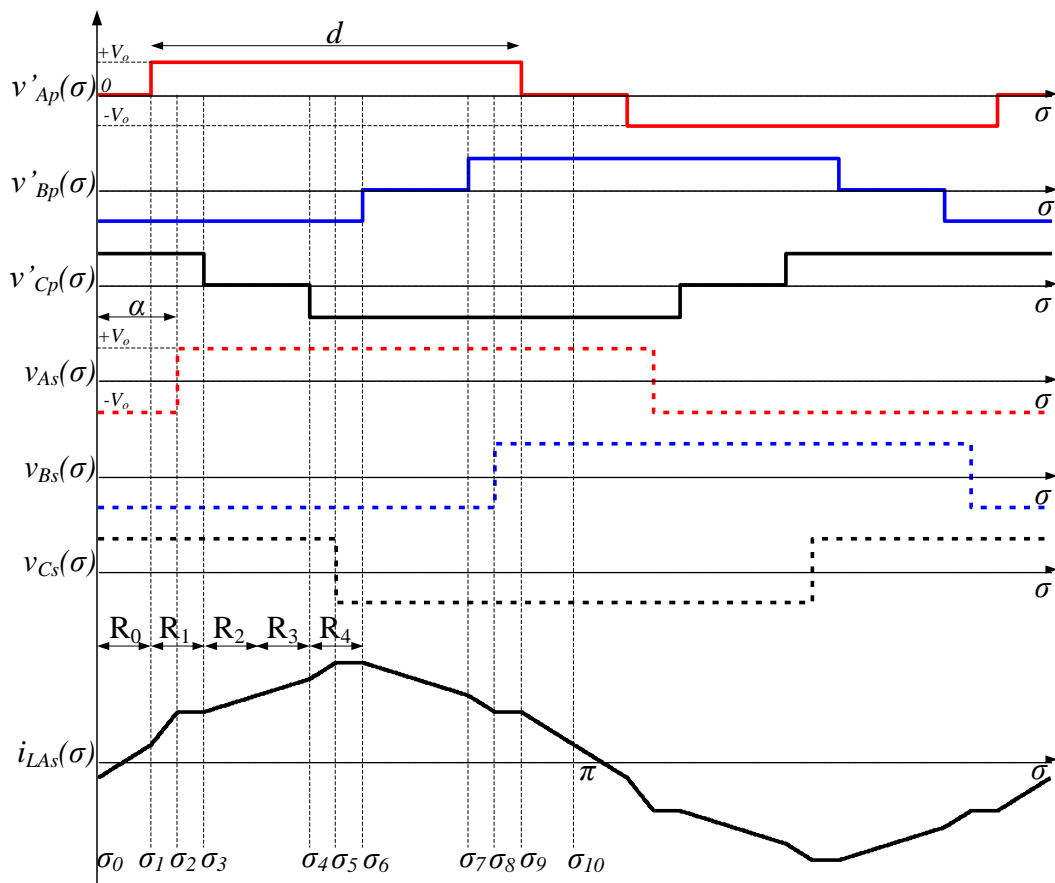
período completo de tensão $v_{Ap}'(\sigma)$. Adotando os terminais 1 e 2 da Figura 3.18 como referência, o circuito equivalente de Thèvenin e, conseqüentemente, as expressões que correspondem a tensão, indutância e corrente podem ser determinadas como em (3.39), (3.40) e (3.41), respectivamente.

Figura 3.18 – Representação simplificada usada na análise do modelo real do conversor.



Fonte: Próprio autor.

Figura 3.19 – Formas de onda de tensão e corrente no lado primário do transformador e tensão no lado secundário em relação ao ponto central do barramento capacitivo. Região R1 em análise: $1/3 < d < 1/2$ e $(1-2d)\pi/2 < \alpha < \pi/3 - (1-2d)\pi/2$.



Fonte: Próprio autor.

Para analisar os estágios de operação, é necessário definir a tensão média na saída do conversor considerando $V_o = V_{dco}/2$. Como mostrado na Figura 3.19, a tensão no lado primário do transformador pode assumir três níveis ($-V_o$, 0 , $+V_o$), enquanto que o lado

secundário pode assumir dois níveis ($-V_o, +V_o$). Usando (3.39) e (3.41) e determinando o nível de tensão para cada estágio de operação, a corrente pode ser determinada como em (3.42).

$$V_{th} = V'_{Ap} - GV_{As} - \frac{V'_{Bp} - GV_{Bs}}{2} - \frac{V'_{Cp} - GV_{Cs}}{2} \quad (3.39)$$

$$L_{th} = \frac{L_L}{2} \quad (3.40)$$

$$i_{L_{As}}(\sigma) = \int \frac{2}{3} \cdot \frac{V_{th}}{\omega L_L} d\sigma = i_{L_{As}}(\sigma_0) + \frac{2}{3} \cdot \frac{V_{th}}{\omega L_L} (\sigma - \sigma_0) \quad (3.41)$$

$$i_{L_{As}}(\sigma) = \begin{cases} i_{L_{As}}(\sigma_0) + \frac{2V_o G}{3\omega L}(\varphi), & \sigma_0 \leq \sigma < \sigma_1 \\ i_{L_{As}}(\sigma_1) + \frac{2V_o(1+G)}{3\omega L}(\sigma - \sigma_1), & \sigma_1 \leq \sigma < \sigma_2 \\ i_{L_{As}}(\sigma_2) + \frac{2V_o(1-G)}{3\omega L}(\sigma - \sigma_2), & \sigma_2 \leq \sigma < \sigma_3 \\ i_{L_{As}}(\sigma_3) + \frac{2V_o(3-2G)}{3\omega L}(\sigma - \sigma_3), & \sigma_3 \leq \sigma < \sigma_4 \\ i_{L_{As}}(\sigma_4) + \frac{2V_o(2-G)}{3\omega L}(\sigma - \sigma_4), & \sigma_4 \leq \sigma < \sigma_5 \\ i_{L_{As}}(\sigma_5) + \frac{2V_o(2-2G)}{3\omega L}(\sigma - \sigma_5), & \sigma_5 \leq \sigma < \sigma_6 \\ i_{L_{As}}(\sigma_6) + \frac{2V_o(3-4G)}{3\omega L}(\sigma - \sigma_6), & \sigma_6 \leq \sigma < \sigma_7 \\ i_{L_{As}}(\sigma_7) + \frac{2V_o(1-2G)}{3\omega L}(\sigma - \sigma_7), & \sigma_7 \leq \sigma < \sigma_8 \\ i_{L_{As}}(\sigma_8) + \frac{2V_o(1-G)}{3\omega L}(\sigma - \sigma_8), & \sigma_8 \leq \sigma < \sigma_9 \\ i_{L_{As}}(\sigma_9) + \frac{2V_o(-G)}{3\omega L}(\sigma - \sigma_9), & \sigma_9 \leq \sigma < \sigma_{10} \end{cases} \quad (3.42)$$

Onde $\sigma_{[0-10]}$ representa o instante entre os estágios de operação. Os instantes podem ser encontrados em (3.43):

$$\begin{cases} \sigma_0 = 0; & \sigma_1 = (1-2d)\frac{\pi}{2}; & \sigma_2 = \alpha; & \sigma_3 = \frac{\pi}{3} - (1-2d)\frac{\pi}{2}; & \sigma_4 = \frac{\pi}{3} + (1-2d)\frac{\pi}{2}; \\ \sigma_5 = \frac{\pi}{3} + \alpha; & \sigma_6 = \frac{2\pi}{3} - (1-2d)\frac{\pi}{2}; & \sigma_7 = \frac{2\pi}{3} + (1-2d)\frac{\pi}{2}; & \sigma_8 = \frac{2\pi}{3} + \alpha; \\ \sigma_9 = \pi - (1-2d)\frac{\pi}{2}; & \sigma_{10} = \pi. \end{cases} \quad (3.43)$$

Substituindo (3.42) em (3.44) permite determinar a expressão para a potência de saída na região R_1 . O mesmo procedimento é utilizado para determinar a potência nas demais

regiões. A expressão genérica para as regiões R₁ a R₄ é apresentada em (3.45), onde $K_{P_o} = GV_o^2/\omega L$.

$$P_o = \frac{3}{2\pi} \int_0^{2\pi} G \cdot v_{A_s}(\sigma) \cdot i_{L_{A_s}}(\sigma) d\sigma \quad (3.44)$$

$$P_o(\alpha, d) = \begin{cases} \frac{K_{P_o}}{3} \left[6\pi d(1-d) + 8\alpha - \frac{6\alpha^2}{\pi} - \frac{3\pi}{2} \right], & \sigma_1 \leq \alpha < \sigma_3 \\ \frac{K_{P_o}}{3} \left[\pi d(7-9d) + (7+6d)\alpha - \frac{9\alpha^2}{\pi} - \frac{19\pi}{12} \right], & \sigma_3 \leq \alpha < \frac{\pi}{3} \\ \frac{K_{P_o}}{3} \left[\pi d(7-9d) + (7+6d)\alpha - \frac{9\alpha^2}{\pi} - \frac{19\pi}{12} \right], & \frac{\pi}{3} \leq \alpha < \sigma_4 \\ 4K_{P_o} \left[\pi d(1-d) + \alpha - \frac{\alpha^2}{\pi} - \frac{11\pi}{36} \right], & \sigma_4 \leq \alpha < \sigma_6 \end{cases} \quad (3.45)$$

3.2.2 Caracterização da comutação dos interruptores

As condições que permitem atingir a operação ZVS no modelo real para os interruptores superiores e inferiores da ponte de entrada e interruptores da ponte de saída são $i_{A_s}[(1-2d)\pi/2]=0$, $i_{A_s}[\pi-(1-2d)\pi/2]=0$ e $i_{A_s}(\alpha)=0$, respectivamente. Se as condições mencionadas previamente são aplicadas na expressão de corrente válida para uma dada região, as curvas de fronteira que determinam a comutação suave podem ser obtidas. As expressões para as curvas de borda do interruptor superior da ponte de entrada, interruptor inferior da ponte de entrada e interruptor da ponte de saída são dados por (3.46), (3.47) e (3.48), respectivamente.

$$G_{iu} = \begin{cases} -\frac{\pi(1+6d)}{6(\alpha+\pi d)-7\pi}, & \sigma_1 \leq \alpha < \sigma_3 \\ -\frac{\pi(1+6d)}{6(\alpha+\pi d)-7\pi}, & \sigma_3 \leq \alpha < \frac{\pi}{3} \\ -\frac{\pi(1+6d)}{6(\alpha+\pi d)-7\pi}, & \frac{\pi}{3} \leq \alpha < \sigma_4 \\ -\frac{\pi(1+6d)}{12[\alpha+\pi(d-1)]}, & \sigma_4 \leq \alpha < \sigma_6 \end{cases} \quad (3.46)$$

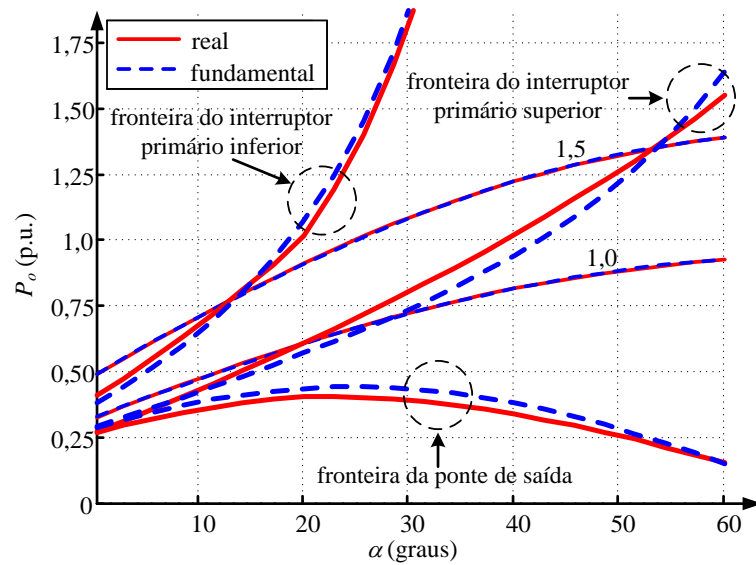
$$G_{ii} = \begin{cases} -\frac{\pi(1+6d)}{6(\alpha-\pi d)-\pi}, & \sigma_1 \leq \alpha < \sigma_3 \\ -\frac{\pi(1+6d)}{12(\alpha-\pi d)}, & \sigma_3 \leq \alpha < \frac{\pi}{3} \\ -\frac{\pi(1+6d)}{12(\alpha-\pi d)}, & \frac{\pi}{3} \leq \alpha < \sigma_4 \\ -\frac{\pi(1+6d)}{12(\alpha-\pi d)}, & \sigma_4 \leq \alpha < \sigma_6 \end{cases} \quad (3.47)$$

$$G_o = \begin{cases} \frac{2\pi-3\alpha}{2\pi}, & \sigma_1 \leq \alpha < \sigma_3 \\ \frac{\pi(7+6d)-18\alpha}{8\pi}, & \sigma_3 \leq \alpha < \frac{\pi}{3} \\ \frac{\pi(7+6d)-18\alpha}{8\pi}, & \frac{\pi}{3} \leq \alpha < \sigma_4 \\ \frac{3\pi-6\alpha}{2\pi}, & \sigma_4 \leq \alpha < \sigma_6 \end{cases} \quad (3.48)$$

A Figura 3.20 compara a potência e as curvas de comutação obtidas a partir das expressões (3.20), (3.30), (3.34) e (3.38) do modelo baseado nas componentes fundamentais e expressões (3.45), (3.46), (3.47) e (3.48) do modelo real. Como as referências dos modelos fundamental e real são diferentes, um fator de correção $-(1-2d)\pi/2$ para a variável α é inserido em (3.45). Pode ser observado que as curvas são bastante similares para $G = 1,0$ e $G = 1,5$. As curvas com as fronteiras delimitadoras das regiões de comutação suave e natural são plotadas e comparadas, com semelhanças satisfatórias considerando o intervalo de *phase-shift* de 0° a 60° e razão cíclica situada entre $1/3$ e $1/2$. É interessante notar que o erro percentual máximo verificado entre as curvas de potência para os modelos real e fundamental é aproximadamente 0,4% para $G = 1,0$ e 1,6% para $G = 1,5$. Esta excelente aproximação ocorre, quando $d=0,389$, devido a característica aproximadamente senoidal que a forma de onda de corrente $i_{As}(\omega t)$ tende a assumir (ver Figura 3.19), eliminando, naturalmente, as harmônicas que potencializam o aumento do erro.

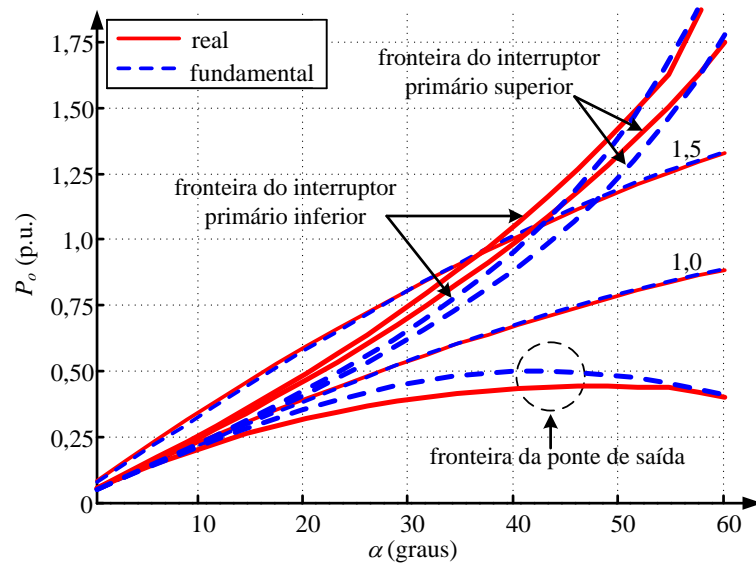
Para valores de razão cíclica próximos de 0,5 a corrente $i_{As}(\omega t)$ passa a apresentar uma forma de onda com características mais “retangulares”, implicando no aumento do erro percentual das curvas de potência. Na Figura 3.21 é apresentada a mesma análise comparativa mostrada anteriormente, todavia elevando o valor da razão cíclica para 0,486. O erro percentual máximo verificado entre as curvas de potência para os modelos real e fundamental é de aproximadamente 7%, corroborando, portanto, com a análise realizada previamente.

Figura 3.20 – Limite da comutação suave das pontes de entrada e saída para os modelos real e fundamental para $d = 0,389$ e $\theta = 180^\circ$.



Fonte: Próprio autor.

Figura 3.21 – Limite da comutação suave das pontes de entrada e saída para os modelos real e fundamental para $d = 0,486$ e $\theta = 180^\circ$.



Fonte: Próprio autor.

Analisando ainda a Figura 3.21, nota-se que o aumento da razão cíclica também contribui com o incremento na diferença entre as curvas de fronteira.

3.3 Análise dinâmica aplicando a teoria do *gyrator*

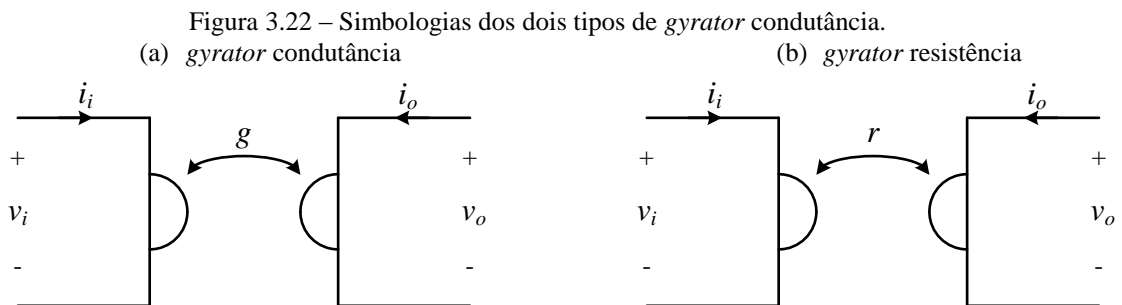
Além do resistor, capacitor, indutor e transformador ideal, um quinto elemento linear, constante e passivo, chamado *gyrator*, é usado na teoria de circuitos e foi introduzido por Tellegen [27]. Analogamente ao transformador, o *gyrator* consiste de um elemento de

duas portas idealmente sem perdas e que nunca absorve ou armazena energia. Sua principal propriedade é transformar ou refletir para a segunda porta o elemento dual ao da primeira porta de acordo com o coeficiente de acoplamento entre portas conhecido por coeficiente girostático. Por exemplo, a capacitância na saída de um *gyrator* é visto como uma indutância na entrada, enquanto que uma fonte de tensão é transformada em uma fonte de corrente. Esta propriedade tem grande importância em processamento de energia desde que seja possível a estrutura acoplar e processar o fluxo de potência entre duas fontes de tensão [28].

O uso do *gyrator* é factível somente por meio de circuitos com características conservativas de energia, ou seja, os chamados circuitos PIPO (*Power Input equals Power Output*). Portanto, de acordo com o que já foi exposto previamente nesta seção, e que, segundo [29], o conversor DAB possui naturalmente um comportamento de *gyrator*, este elemento linear será utilizado com o objetivo de se analisar dinamicamente a topologia apresentada nesse trabalho. O modelo dinâmico a ser desenvolvido analisará o comportamento da tensão de saída do lado secundário em relação à variação do ângulo α .

3.3.1 O *gyrator*

O *gyrator* possui dois tipos e suas simbologias são apresentadas na Figura 3.22. O primeiro é chamado *gyrator* condutância, enquanto que o segundo de *gyrator* resistência. As relações entre corrente e tensão para esses dois tipos de *gyrator* são dadas por (3.49) e (3.50), respectivamente [29].



Fonte: Próprio autor.

$$\begin{bmatrix} i_i \\ i_o \end{bmatrix} = \begin{bmatrix} 0 & g \\ -g & 0 \end{bmatrix} \cdot \begin{bmatrix} v_i \\ v_o \end{bmatrix} \quad (3.49)$$

$$\begin{bmatrix} v_i \\ v_o \end{bmatrix} = \begin{bmatrix} 0 & r \\ -r & 0 \end{bmatrix} \cdot \begin{bmatrix} i_i \\ i_o \end{bmatrix} \quad (3.50)$$

Tomando o modelo do *gyrator* condutância como exemplo, observa-se das equações apresentadas previamente que corrente de entrada i_i e tensão de saída v_o ou corrente de saída i_o e tensão de entrada v_i estão relacionadas através do coeficiente girostático g .

3.3.2 Modelo dinâmico através do *gyrator*

O modelo dinâmico obtido a partir do *gyrator* é possível analisando-se a potência ativa P_o em (3.20) para $\theta=180^\circ$ e $d=0,5$, ou seja, em função somente de α . É importante atentar para o fato de que as expressões desenvolvidas através das componentes fundamentais foram levantadas a partir de um modelo elétrico por fase, portanto:

$$P_o(\alpha) = 3 \cdot \frac{2 \cdot G \cdot V_i^2}{n \cdot \pi \cdot f_s \cdot L_L} \cdot \sin(\alpha) \quad (3.51)$$

Como o sistema em análise é do tipo PIPO, então:

$$P_o(\alpha) = P_i(\alpha) = 2 \cdot V_i \cdot I_L \quad (3.52)$$

Substituindo (3.51) em (3.52) e referindo-se a expressão obtida para o lado secundário, obtém-se (3.53), que relaciona a corrente fasorial no lado secundário do transformador com a tensão de fase no lado primário.

$$\hat{I}_{L_o}(\alpha) = \frac{I_L(\alpha)}{n} = 3 \cdot \frac{G \cdot V_i}{n \cdot \pi \cdot f_s \cdot L_L} \cdot \sin(\alpha) \quad (3.53)$$

Comparando (3.53) com (3.49), observa-se que a corrente fasorial no lado secundário representa o produto do *gyrator* condutância com a tensão de fase no lado primário (3.54), ou seja, g relaciona a corrente na porta de saída com a tensão da porta de entrada.

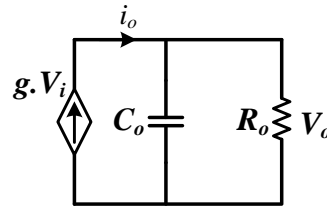
$$I_{L_o}(\alpha) = g \cdot V_i \quad (3.54)$$

Logo, o coeficiente girostático para o conversor em estudo é dado por (3.55).

$$g = 3 \cdot \frac{G}{n \cdot \pi \cdot f_s \cdot L_L} \cdot \sin(\alpha) \quad (3.55)$$

O modelo elétrico que representa a injeção de corrente na porta de saída, representada dinamicamente por uma carga RC (resistiva e capacitiva), é apresentada na Figura 3.23. Portanto, a função de transferência (FT) que fornece o comportamento da tensão de saída v_o da porta em função de uma variação de corrente i_o é encontrada em (3.56). Linearizando (3.54) para um ponto de operação quiescente encontra-se o comportamento característico de corrente i_o para uma dada excitação α_o . Esta FT é fornecida em (3.57).

Figura 3.23 – Modelo elétrico equivalente do conversor utilizando o *gyrator*.



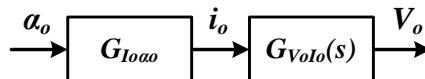
Fonte: Adaptado de [29].

$$G_{V_o I_o}(s) = \frac{\hat{v}_o(s)}{\hat{i}_o(s)} = \frac{\hat{V}_o(s)}{\hat{I}_{L_o}(s)} = \frac{1}{C_o} \cdot \frac{1}{s + \frac{1}{R_o \cdot C_o}} \quad (3.56)$$

$$G_{I_o \alpha_o} = \frac{\partial \hat{I}_{L_o}(\alpha_o)}{\partial \alpha_o} = \frac{\hat{i}_o(s)}{\hat{\alpha}(s)} = 3 \cdot \frac{G \cdot V_i}{n \cdot \pi \cdot f_s \cdot L_L} \cdot \cos(\alpha_o) \quad (3.57)$$

Portanto, a função de transferência em malha aberta (FTMA) do modelo elétrico equivalente do conversor utilizando o *gyrator* será a convolução entre (3.56) e (3.57) e a representação em diagrama de blocos dessa operação é mostrada na Figura 3.24. O diagrama de Bode da FTMA é apresentado na Figura 3.25 e como esperado a partir de (3.56) e (3.57) o sistema apresenta características de primeira ordem, com ganho determinado pelo ajuste da variável de controle α .

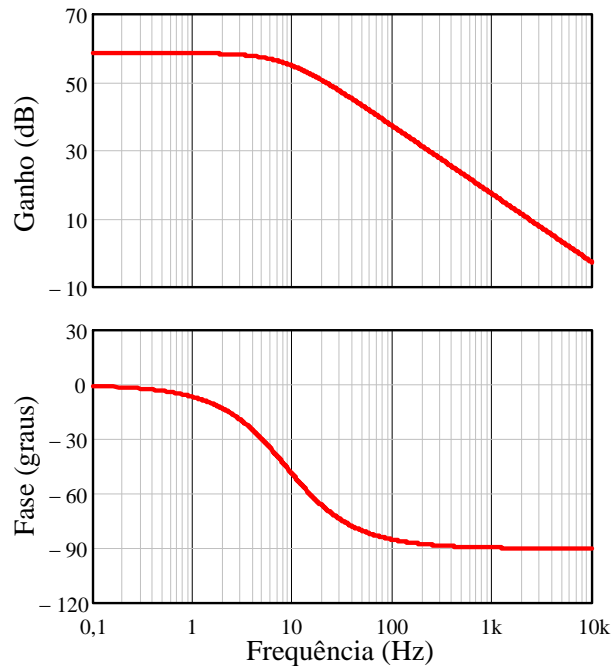
Figura 3.24 – Diagrama de blocos da FTMA do conversor utilizando a teoria do *gyrator*.



Fonte: Próprio autor.

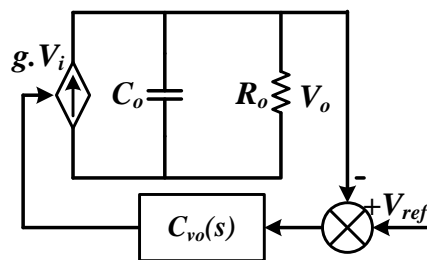
A grande vantagem em representar via *gyrator* um sistema elétrico controlado é na apresentação final do circuito, no qual se pode observar claramente quais e como as outras variáveis interferem em sua variável de controle. A Figura 3.26 apresenta o modelo elétrico equivalente em malha fechada do conversor utilizando o *gyrator*. Verifica-se claramente que o controle da tensão na porta V_o é realizado controlando a fonte de corrente formada pelo produto do *gyrator* e tensão da porta de entrada, através do ajuste do valor de *phase-shift* α_o [30].

Figura 3.25 – Diagrama de Bode da FTMA do conversor utilizando a teoria do *gyrator*.



Fonte: Próprio autor.

Figura 3.26 – Modelo elétrico equivalente em malha fechada do conversor utilizando o *gyrator*.



Fonte: Adaptado de [30].

3.4 Considerações finais

Uma sucinta análise do conversor proposto foi apresentada, caracterizando suas propriedades de transferência de potência e modos de comutação dos interruptores. O levantamento foi realizado utilizando-se apenas o modelo elétrico equivalente da máquina síncrona a partir das componentes fundamentais de tensão. Esta escolha partiu da proposta de facilitar e reduzir os esforços matemáticos de análise, que foi possível devido à proximidade que existe entre as características dos modelos real e fundamental, como foi possível ser observado na análise comparativa entre os dois modelos.

As expressões de transferência de potência e comutação foram implementadas e foi observado que o conversor apresenta reativos quase nulos quando o ângulo α (e $\theta = 180^\circ$) é nulo e os interruptores sempre funcionarão em modo ZVS quando o ganho estático é

unitário. Por outro lado, quanto menor o ângulo, maior será a possibilidade, quando ocorrer variação do ganho ou da razão cíclica, de o circuito sair da operação com comutação suave. Portanto, observa-se que a melhor opção de projeto consiste em utilizar θ próximo de 180° e valores mínimos de α que garantam baixo conteúdo reativo circulando através do transformador e esforços reduzidos através dos semicondutores, além da operação ZVS.

Por fim, foi realizada uma análise dinâmica do conversor, obtendo-se a característica de tensão a partir da excitação do ângulo de deslocamento de fase. A técnica de análise utilizada foi a teoria do *gyrator*, que garantiu uma eficiente compreensão do controle de portas a partir da utilização do *gyrator* condutância.

4 EXEMPLO DE PROJETO PARA VALIDAÇÃO DE MODELO

O comportamento de transferência de potência elétrica e característica de comutação dos interruptores da topologia proposta neste trabalho foram analisados matematicamente no capítulo anterior a partir das componentes fundamentais. Após essa análise, é possível obter e utilizar parâmetros adequados de projeto para que seja possível obter um conversor com alto rendimento. Este capítulo tem como objetivo apresentar um exemplo de projeto para validação do modelo matemático concebido previamente.

Portanto, com especificações apropriadas e um breve levantamento matemático com o propósito de se especificar os componentes da topologia, é projetado um conversor para validar o modelo fundamental estudado. Um projeto de controle discreto para a tensão de saída do conversor também será projetado e discutido.

4.1 Especificações e valores assumidos

As especificações e valores assumidos para a validação do modelo são apresentados na Tabela 1 e Tabela 2. A tensão de entrada é baseada em um banco de baterias contendo oito unidades de 12V. A tensão de saída foi escolhida a partir de demandas verificadas em estudos sobre microrredes e sistemas de distribuição CC, nos quais é comum a utilização de barramentos de 380V [39]-[42]. Como o enfoque é verificar a viabilidade no modelo baseado em componentes fundamentais, optou-se por utilizar um valor de tensão de saída que fosse o mais próximo possível de 380V, porém utilizando o valor direto fornecido pela relação de transformação do transformador.

As escolhas de d , G e θ foram feitas de acordo com a análise realizada no capítulo anterior. A razão cíclica de 0,5, juntamente com o ganho estático unitário, garante a operação em comutação ZVS para todas as faixas de operação do conversor. Os demais cálculos são apresentados na próxima seção.

Tabela 1 – Especificações para o exemplo de projeto.

Tensão de entrada (V_{di})	96V
Tensão de saída (V_{dco})	371,2V
Potência de Saída (P_o)	3,5kW

Fonte: Próprio autor.

Tabela 2 – Valores assumidos para o exemplo de projeto.

Ondulação da tensão de entrada (Δv_{dci})	5%
Ondulação da tensão de saída (Δv_{dco})	5%
Frequência de comutação (f_s)	20kHz
Razão cíclica (d)	0,5
Ganho estático (G)	1,0
Ângulo de deslocamento de fase entre braços do lado primário (θ)	180°

Fonte: Próprio autor.

4.2 Componentes

A seguir são calculados os valores dos componentes utilizados no circuito de potência, além dos esforços dos semicondutores.

4.2.1 Cálculos iniciais

A relação de transformação do transformador, necessária para referir a tensão do lado secundário para o lado primário e, conseqüentemente, obter os valores de potência do conversor é apresentado a seguir. O projeto físico do transformador encontra-se no apêndice A deste trabalho.

$$n = \frac{V_{dco}}{V_{dci}} \cdot \frac{1}{4 \cdot (1-d)} \rightarrow n = \frac{371,2}{96} \cdot \frac{1}{4 \cdot (1-0,5)} = 1,933 \rightarrow n = \frac{29}{15} \quad (4.1)$$

A corrente de entrada do conversor é encontrada a partir de (4.2).

$$I_{dci} = \frac{P_o}{V_{dci}} \rightarrow I_{dci} = 36,46A \quad (4.2)$$

A componente fundamental de tensão V_i é calculada e apresentada em (4.3).

$$V_i(0,5) = \frac{96}{2 \cdot \pi} \cdot \sqrt{\frac{v' + v''}{2 \cdot \pi}} \rightarrow V_i(0,5) = 43,22V \quad (4.3)$$

Um reduzido valor de α , juntamente com θ igual a 180°, garante um elevado fator de potência. Contudo, α não pode ser tão baixo a ponto do conteúdo reativo do conversor ser insuficiente para manter as condições de comutação suave [19] devido à ausência de defasagem entre corrente e tensão do transformador. Além disso, um valor extremamente baixo de α também produz uma baixa resolução no controle de fase e, conseqüentemente, resulta em mais distorção nas correntes do conversor [26]. Um bom compromisso é ajustar o projeto para ângulos de α entre 20° e 40°. Logo, obtém-se uma especificação suficiente para não comprometer a comutação suave ou causar esforços demasiados aos semicondutores.

A partir das expressões de corrente e potência ativa, apresentadas, respectivamente, em (3.18) e (3.20), e do uso das informações contidas na Tabela 1 e Tabela 2, chega-se a uma condição de indeterminação entre α e indutância de dispersão L_L . Diante deste impasse, se faz necessária a escolha numérica arbitrária de uma destas duas variáveis, porém utilizando como condições norteadoras as análises apresentadas no parágrafo anterior. Portanto, adotando (4.4) com valor de indutância, em (4.5) e (4.6) são calculados o ângulo de deslocamento de fase α e o FP , respectivamente.

$$L_L \simeq 22,16\mu H \quad (4.4)$$

$$P_o(\alpha, 180^\circ, 0,5) = \text{Re} \left[\left(2 \cdot 1,0 \cdot 43,22 \cdot e^{j\alpha} \right) \cdot \hat{I}_{L_o}^*(\alpha, 180^\circ, 0,5) \right] = 3,5kW \rightarrow \alpha = 25,8^\circ \quad (4.5)$$

$$FP = \frac{P_o(25,8^\circ, 180^\circ, 0,5)}{S_o(25,8^\circ, 180^\circ, 0,5)} = 0,975 \quad (4.6)$$

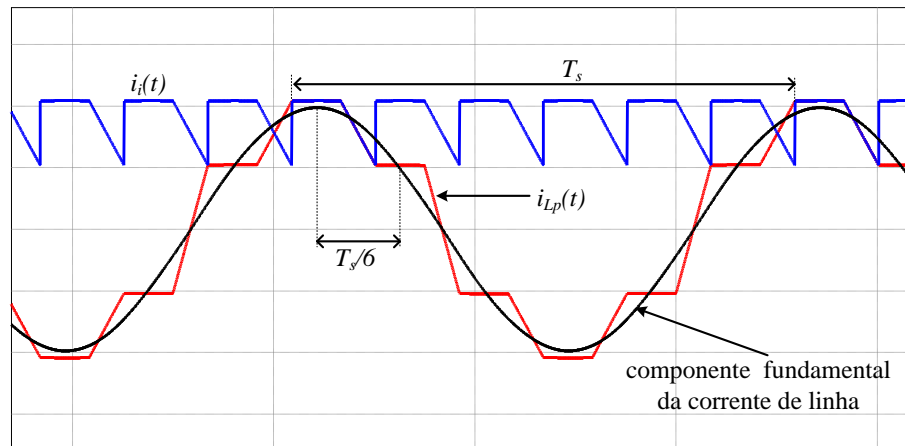
É importante salientar que a indutância de dispersão do transformador é idealizada para zero, pois a obtenção do valor desejado de projeto é extremamente complexo. Portanto, se faz necessário o uso de indutores adicionais com a indutância requerida em (4.4). Maiores detalhes a respeito do projeto dos transformadores e indutores podem ser encontrados nos apêndices A e B, respectivamente.

4.2.2 Capacitor de entrada

A Figura 4.1 mostra a forma de onda da corrente através da porta de acesso do conversor $i_i(t)$ em um momento anterior a filtragem realizada pelo barramento capacitivo. Quando comparada com a corrente de linha de uma fase qualquer do transformador $i_{Lp}(t)$, observa-se que $i_i(t)$ é equivalente a duas etapas de operação e possui um sexto do período de comutação do conversor. A componente fundamental da corrente de linha também é mostrada. Observa-se a semelhança entre as formas de onda real e fundamental. Portanto, a partir desta similaridade e do equacionamento desenvolvido no capítulo anterior é possível obter o valor de corrente eficaz através dos capacitores.

A partir do modelo baseado nas componentes fundamentais obtém-se de (3.24) a corrente máxima através do transformador em (4.7). Utilizando este último valor, além de (4.2), é possível calcular, como em (4.8), a corrente eficaz através do capacitor de entrada. A corrente máxima apresenta o dobro do valor devido a tensão sobre o capacitor ser a soma da tensão sobre indutância e transformador.

Figura 4.1 – Curvas utilizadas para obtenção dos esforços nos semicondutores.



Fonte: Próprio autor.

A tensão máxima sobre o capacitor é fornecida em (4.9), de acordo com dados da Tabela 2, enquanto que o valor de capacitância é encontrado aplicando (4.8) em (4.10).

$$I_{L_{\max}} = \sqrt{2} \cdot I_L (25,8^\circ, 180^\circ, 0,5) = 19,6A \quad (4.7)$$

$$I_{C_{i_{rms}}} = \sqrt{\frac{6}{T_s} \cdot \int_0^{T_s/6} [2I_{L_{\max}} \cdot \cos(2\pi f_s t) - I_{dc_i}]^2 dt} \rightarrow I_{C_{i_{rms}}} = 6,89A \quad (4.8)$$

$$V_{C_{i_{\max}}} = V_{dc_i} + \frac{\Delta v_{dc_i}}{2} \rightarrow V_{C_{i_{\max}}} = 100,8V \quad (4.9)$$

$$C_i = \frac{I_{C_{i_{rms}}}}{6f_s \Delta v_{dc_i}} \rightarrow C_i = 11,96\mu F \quad (4.10)$$

Na Tabela 3 e Tabela 4 são apresentadas características dos capacitores escolhidos, inclusive a quantidade de cada um deles. A partir desta informação, obtém-se em (4.11) o valor da capacitância de projeto.

Tabela 3 – Características do capacitor eletrolítico escolhido para a entrada

Fabricante	Epcos
Tipo	Eletrolítico
Modelo	B43304-A9107
Capacitância	100 μ F
Corrente eficaz	2,17A
Tensão máxima	400V
Resistência série equivalente	1,9 Ω
Quantidade	6 unidades

Fonte: Próprio autor.

4.2.3 Capacitor de saída

Os esforços do capacitor de saída são calculados de maneira similar aos do capacitor de entrada. Valor eficaz da corrente, tensão máxima e capacitância são fornecidos, respectivamente, em (4.12), (4.13) e (4.14).

Tabela 4 – Características do capacitor de polipropileno escolhido para a entrada

Fabricante	Epcos
Tipo	Polipropileno
Modelo	P614-X124
Capacitância	100nF
Tensão máxima	400V
Quantidade	6 unidades

Fonte: Próprio autor.

$$C_i = 606\mu F \quad (4.11)$$

$$I_{Co_{rms}} = \sqrt{\frac{6}{T_s} \cdot \int_0^{T_s/6} \left[\frac{I_{L_{max}}}{n} \cdot \cos(2\pi f_s t) - I_{dc_o} \right]^2 dt} \rightarrow I_{Co_{rms}} = 1,78A \quad (4.12)$$

$$V_{Co_{max}} = V_{dc_o} + \frac{\Delta v_{dc_o}}{2} \rightarrow V_{Co_{max}} = 389,8V \quad (4.13)$$

$$C_o = \frac{I_{Co_{rms}}}{6f_s \Delta v_{dc_o}} \rightarrow C_o = 800nF \quad (4.14)$$

Na Tabela 5 e Tabela 6 são apresentadas características dos capacitores escolhidos, inclusive a quantidade de cada um deles. A partir desta informação, obtém-se em (4.15) o valor da capacitância de projeto.

$$C_o = 471,7\mu F \quad (4.15)$$

Tabela 5 – Características do capacitor eletrolítico escolhido para a saída

Fabricante	Epcos
Tipo	Eletrolítico
Modelo	B43503-S5477
Capacitância	470μF
Corrente eficaz	1,1A
Tensão máxima	450V
Resistência série equivalente	0,2Ω
Quantidade	1 unidade

Fonte: Próprio autor.

Tabela 6 – Características do capacitor de polipropileno escolhido para a saída

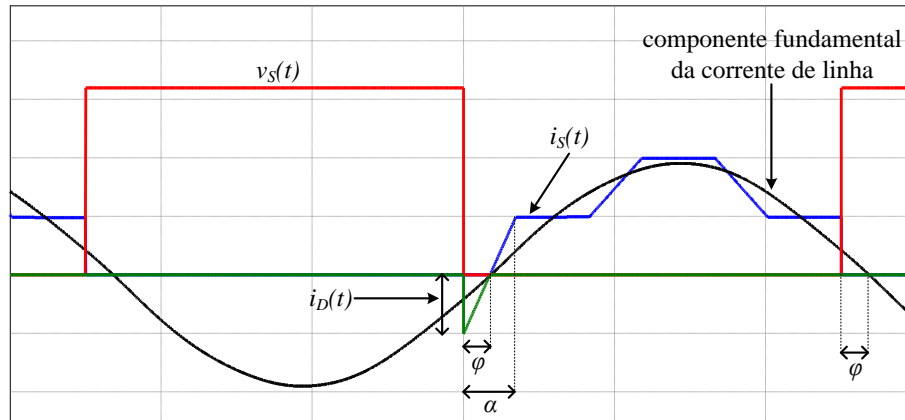
Fabricante	Epcos
Tipo	Polipropileno
Modelo	P614-W601
Capacitância	470nF
Tensão máxima	630V
Quantidade	3 unidades

Fonte: Próprio autor.

4.2.4 Semicondutores da ponte primária

A Figura 4.2 apresenta a característica de comutação dos semicondutores, exibindo as formas de onda na corrente através do interruptor $i_S(t)$ e no diodo $i_D(t)$, além da tensão $v_S(t)$ sobre o interruptor. A componente fundamental da corrente de linha também é mostrada. Observa-se a semelhança entre as formas de onda real e fundamental e a partir desta informação e do equacionamento desenvolvido no capítulo anterior serão obtidos os esforços nos semicondutores.

Figura 4.2 – Curvas utilizadas para obtenção dos esforços nos semicondutores.



Fonte: Próprio autor.

Pode-se observar que o início da condução do interruptor pode ser considerada igual a defasagem φ da corrente de linha em relação a tensão $v_S(t)$, quando a corrente de linha realiza o cruzamento por zero. O final da condução ocorre em $\pi - \varphi$. Já o diodo, este conduz somente durante φ . É importante salientar que esta análise foi feita com o conversor operando no modo *boost*, portanto, ao se inverter o fluxo de potência, os tempos de condução dos semicondutores irão se inverter, ou seja, o tempo de condução do interruptor passará a ser $[-\varphi, 0]$, enquanto que o do diodo será $[0, \pi - \varphi]$.

Na ponte primária serão utilizados interruptores MOSFETs devido ao nível máximo da tensão de entrada (4.16). Logo, este dispositivo irá funcionar de maneira similar a

um retificador síncrono, não necessitando de diodo externo em antiparalelo. A corrente máxima através do interruptor e o argumento da corrente do lado primário são fornecidas, respectivamente, através de (4.17) e (4.18). Diante do exposto, tem-se que a corrente média e eficaz do interruptor do lado primário é obtida a partir de (4.19) e (4.20), respectivamente. Características do interruptor escolhido para a ponte primária são apresentadas na Tabela 7. Os cálculos de perdas do interruptor escolhido são apresentados no apêndice C.

$$V_{Si_{\max}} = V_{Ci_{\max}} \rightarrow V_{Si_{\max}} = 100,8V \quad (4.16)$$

$$I_{S_{\max}} = I_{L_{\max}} \rightarrow I_{S_{\max}} = 19,6A \quad (4.17)$$

$$\varphi = \arg[\hat{I}_L(\alpha, \theta, d)] \rightarrow \varphi = 12,9^\circ \quad (4.18)$$

$$I_{Si_{av}} = |I_{Di_{av}}| = \frac{1}{2\pi} \cdot \int_{-\varphi}^{\pi-\varphi} I_{L_{\max}} \cdot \sin(t) dt \rightarrow I_{Si_{av}} = 6,08A \quad (4.19)$$

$$I_{Si_{rms}} = I_{Di_{rms}} = \sqrt{\frac{1}{2\pi} \cdot \int_{-\varphi}^{\pi-\varphi} [I_{L_{\max}} \cdot \sin(t)]^2 dt} \rightarrow I_{Si_{rms}} = 9,8A \quad (4.20)$$

Tabela 7 – Características do interruptor escolhido para o lado primário

Fabricante	International Rectifier
Tipo	MOSFET
Modelo	IRFP4321PbF
Máxima tensão dreno-fonte	150V
Máxima corrente de dreno	78A
Resistência de condução	12mΩ
Tempo de subida	60ns
Tempo de descida	35ns

Fonte: Próprio autor.

4.2.5 Semicondutores da ponte secundária

Na ponte secundária, como a tensão sobre os interruptores será como exposto em (4.21), optou-se pela utilização de IGBTs. A corrente máxima através do interruptor e o argumento da corrente do lado primário são fornecidas, respectivamente, através de (4.22) e (4.18). Logo a corrente média e eficaz serão, respectivamente, iguais a (4.23) e (4.24).

$$V_{So_{\max}} = V_{Co_{\max}} \rightarrow V_{So_{\max}} = 389,8V \quad (4.21)$$

$$I_{So_{\max}} = \frac{I_{L_{\max}}}{n} \rightarrow I_{So_{\max}} = 10,14A \quad (4.22)$$

$$I_{S_{o_{av}}} = |I_{D_{o_{av}}}| = \frac{1}{2\pi} \cdot \int_0^{\pi-\varphi} \frac{I_{L_{\max}}}{n} \cdot \sin(t) dt \rightarrow I_{S_{o_{av}}} = 3,19A \quad (4.23)$$

$$I_{S_{o_{rms}}} = I_{D_{o_{rms}}} = \sqrt{\frac{1}{2\pi} \cdot \int_0^{\pi-\varphi} \left[\frac{I_{L_{\max}}}{n} \cdot \sin(t) \right]^2 dt} \rightarrow I_{S_{o_{rms}}} = 5,06A \quad (4.24)$$

O diodo em antiparalelo, como já mencionado anteriormente, apresentará esforços máximos na inversão do fluxo de potência e serão os mesmos verificados no IGBT. Contudo serão apresentados seus esforços em (4.25) e (4.26) para o modo de operação usado neste exemplo (modo *boost*).

$$I_{D_{o_{av}}} = |I_{S_{o_{av}}}| = \frac{1}{2\pi} \cdot \int_{-\varphi}^0 \frac{I_{L_{\max}}}{n} \cdot \sin(t) dt \rightarrow I_{D_{o_{av}}} = -0,04A \quad (4.25)$$

$$I_{D_{o_{rms}}} = I_{S_{o_{rms}}} = \sqrt{\frac{1}{2\pi} \cdot \int_{-\varphi}^0 \left[\frac{I_{L_{\max}}}{n} \cdot \sin(t) \right]^2 dt} \rightarrow I_{D_{o_{rms}}} = 0,23A \quad (4.26)$$

Características do interruptor escolhido para a ponte secundária são apresentadas na Tabela 8. Os cálculos de perdas do interruptor escolhido são apresentados no apêndice C.

Tabela 8 – Características do interruptor escolhido para o lado secundário

Fabricante	International Rectifier
Tipo	IGBT
Modelo	IRGP50B60PD
Máxima tensão coletor-emissor	600V
Máxima corrente de coletor	33A
Resistência de coletor emissor	61mΩ
Tempo de subida	13ns
Tempo de descida	15ns
Carga de recuperação reversa do diodo	150nC
Resistência intrínseca do diodo	250mΩ

Fonte: Próprio autor.

4.3 Sistema de controle

A Figura 4.6 mostra o sistema de controle utilizado para acionar os interruptores do conversor CC-CC isolado bidirecional proposto nesse estudo de acordo com o nível de tensão V_{DCo} . O sistema é composto por um sensor de tensão, filtro para eliminar ruídos do sinal amostrado, conversor analógico-digital e dispositivo FPGA, no qual é desenvolvido o controlador digital. Por fim, para ajustar e amplificar o sinal proveniente do FPGA utiliza-se drivers.

Na Figura 4.4 é apresentado o diagrama de blocos completo do sistema de controle discreto, com a função de transferência da planta a ser controlada já estudada e modelada no capítulo anterior a partir da teoria do *gyrator* em conjunto com o modelo baseado nas componentes fundamentais, de acordo com (3.56) e (3.57).

Figura 4.3 – Conversor proposto juntamente com o sistema de controle e acionamento.

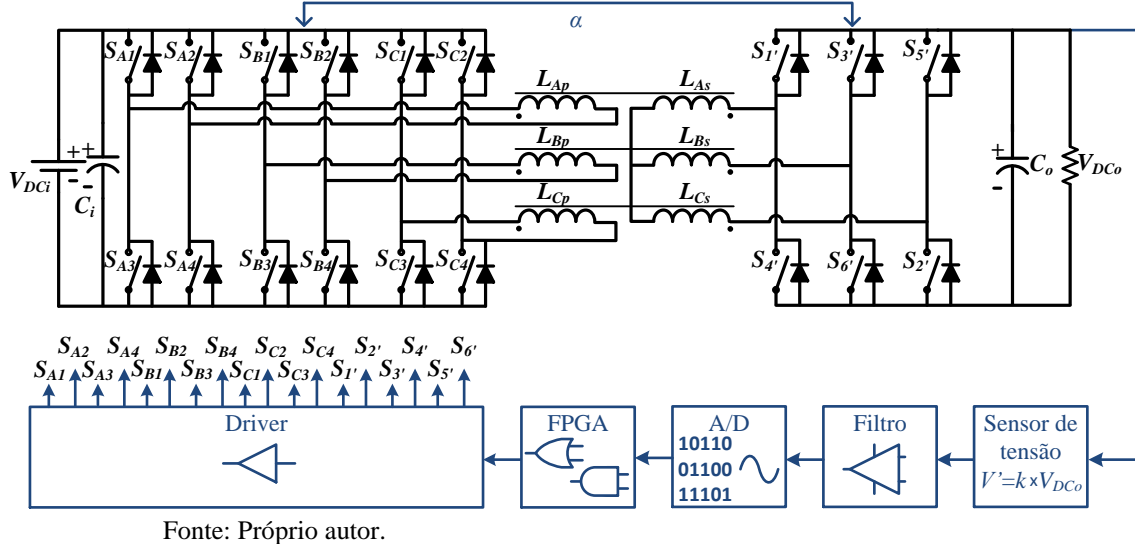
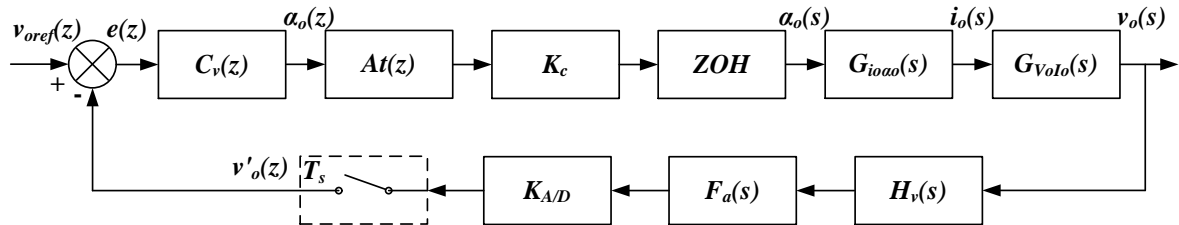


Figura 4.4 – Diagrama de blocos do sistema de controle implementado.



No qual:

$C_v(z)$ é a FT do compensador discreto de tensão de saída;

$At(z)$ é a FT do atraso de transporte ou computacional, referente à conversão A/D, processamento do controlador e atualização do sinal de controle;

K_c é o ganho da portadora triangular;

ZOH é o segurador de ordem zero;

$H_v(s)$ é o ganho do sensor de tensão;

$F_a(s)$ é a FT do filtro *anti-aliasing*;

$K_{A/D}$ é o ganho de quantização do conversor analógico-digital;

T_s é a taxa de amostragem do conversor analógico-digital.

O controlador discreto $C_v(z)$ deverá atuar no sentido de atenuar variações bruscas de tensão no barramento de saída do conversor devido às perturbações no ângulo de deslocamento de fase α . Estas perturbações poderão ocorrer devido a alterações nas cargas conectadas nas portas do conversor ou devido a variações no barramento de tensão da porta de entrada. A seguir é projetado o compensador $C_v(z)$, juntamente com os elementos e dispositivos apresentados no diagrama de blocos do sistema de controle.

4.3.1 Ganho do sensor de tensão

A tensão de realimentação é obtida a partir do sensor de tensão mostrado na Tabela 9. Este deverá ser ajustado para apresentar o ganho estabelecido em (4.28), que por sua vez é obtido a partir da tensão nominal de projeto e de acordo com a referência (4.27).

Tabela 9 – Características do sensor de tensão utilizado.

Fabricante	LEM
Modelo	LV 20-P
Valores máximos	10mA/500V
Ganho (K_n)	2500/1000

Fonte: Próprio autor.

$$V_{o_{ref}} = 2,5V \quad (4.27)$$

$$H_v(s) = \frac{V_{o_{ref}}}{V_{dc_o}} \rightarrow H_v(s) = \frac{2,5}{371,2} = 6,73 \cdot 10^{-3} \quad (4.28)$$

4.3.2 Ganho da conversão A/D

Na Tabela 10 é apresentado o conversor A/D adotado para realizar a captura digital do sinal amostrado pelo sensor de tensão. A partir dos dados de resolução e tensão de amostragem é possível obter o ganho de quantização em (4.30) do sistema de realimentação. Por se tratar de um sinal de tensão que opera de forma contínua, não é necessária uma elevada taxa de amostragem, portanto adotou-se uma frequência de amostragem indicada em (4.29), ou seja, na mesma frequência da comutação do conversor.

É importante salientar que o processo de amostragem e retenção (*sample and hold* – S&H) realizado na conversão A/D, no qual buffers são utilizados em conjunto com capacitores para manter o sinal amostrado constante enquanto não ocorrer a próxima aquisição [31], faz com que apareça um efeito de atraso no sinal [32].

Tabela 10 – Características do conversor A/D utilizado.

Fabricante	National Semiconductor
Modelo	ADC128S022
Número de bits (n_bits)	12 bits
<i>Clock</i> de conversão	0,8 a 3,2 MHz
Taxa de amostragem	200 ksps
Tensão de amostragem ($V_{A/D}$)	3,3V
Número de canais	8 canais

Fonte: Próprio autor.

$$f_a = f_s = 20kHz \quad (4.29)$$

$$K_{A/D} = \frac{2^{n_bits} - 1}{V_{A/D}} \rightarrow K_{A/D} = \frac{2^{12} - 1}{3,3} = 1240,91 \quad (4.30)$$

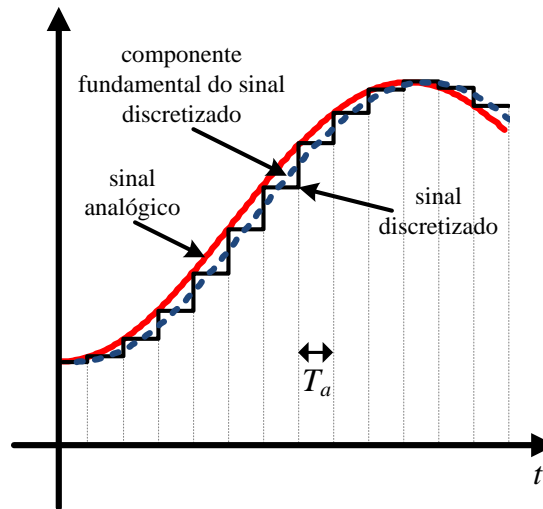
O circuito de S&H mencionado previamente é modelado matematicamente como um retentor ideal e chamado de segurador de ordem zero – ZOH (*zero order hold*). O atraso de fase que este elemento insere na aquisição pode ser analisado a partir de um exemplo de amostragem e reconstituição de um sinal na Figura 4.5. Sempre que um sinal é amostrado e convertido novamente em um sinal analógico por um interpolador, cujo modelo pode ser um simples retentor, não será possível reconstruir exatamente o sinal original, pois existe um efeito de atraso que está relacionado diretamente com o período de amostragem do conversor A/D [33]. Portanto, e segundo [32], a componente fundamental do sinal discretizado estará atrasada do sinal original em aproximadamente meio período de amostragem. Este atraso pode ser descrito matematicamente em termos de fase como em (4.31) e deverá ser considerado no projeto de controladores discretos.

$$At_{A/D} = \frac{-T_s \cdot \omega}{2} \quad (4.31)$$

4.3.3 Filtro anti-aliasing

Para evitar a reprodução de sinais amostrados em uma conversão A/D que não caracterizam o original, o fenômeno conhecido por recobrimento (aliasing), deve-se, segundo o teorema de Shannon, garantir que a frequência de amostragem seja igual a frequência de Nyquist. Ou seja, o período de amostragem deverá ser pelo menos a metade do período natural de trabalho da planta a ser amostrada.

Figura 4.5 – Efeito de Amostragem e Retenção: comparação de um sinal analógico com a sua versão reconstruída (componente fundamental).



Fonte: Próprio autor.

Segundo [32], ao se limitar a banda passante do sinal amostrado à frequência de Nyquist, consegue-se eliminar ruídos que potencialmente poderiam descaracterizar a forma de onda do sinal original. Essa limitação de banda é obtida através de filtros tipo passa-baixas.

Teoricamente, como a tensão de saída do conversor em análise é contínua, poder-se-ia utilizar um filtro com frequência de corte f_{cf} igual a zero. Porém, em conversores estáticos a comutação dos interruptores provoca o surgimento de ruídos indesejáveis. Logo, neste trabalho foi adotado um filtro ativo com valor de corte equivalente a uma década abaixo da frequência de amostragem, como apresentado em (4.32).

$$F_a(s) = \frac{1}{\frac{s}{2 \cdot \pi \cdot f_{cf}} + 1} = \frac{1}{\frac{s}{2 \cdot \pi \cdot 2 \cdot 10^3} + 1} \quad (4.32)$$

4.3.4 Ganho da portadora

Para implementar os sinais de referência, portadora e sistema de controle necessários para gerar o sinal de comando dos interruptores, utilizou-se o *kit* de desenvolvimento Terasic D0-Nano, que tem um dispositivo de matriz de portas programável em campo – FPGA (*Field Programmable Gate Array*).

A Tabela 11 apresenta informações do D0-Nano e dentre estas, a frequência de *clock* do sistema, que em conjunto com a frequência de comutação do conversor determinam a contagem do contador/temporizador da portadora triangular, como apresentado em (4.33). Detalhes da forma de onda do temporizador e da própria portadora triangular podem ser vistos na Figura 4.6.

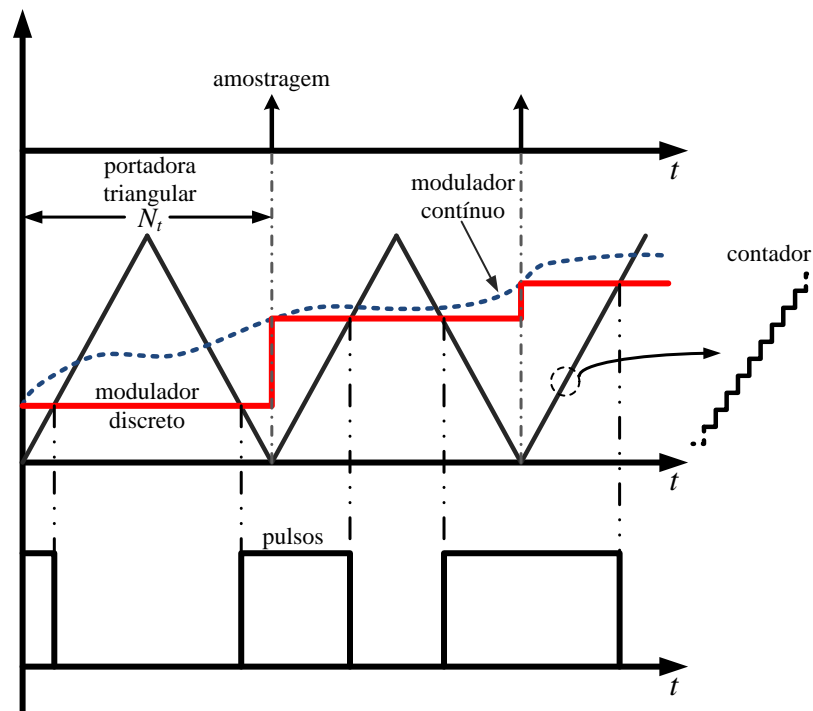
Tabela 11 – Características da placa de desenvolvimento contendo o FPGA.

Fabricante	Terasic
Modelo	D0-Nano
Clock do sistema f_{clk}	50MHz
FPGA	Altera Cyclone® IV EP4CE22F17C6N
	153 pinos I/O

Fonte: Próprio autor.

$$N_t = \frac{f_{clk}}{f_s} \rightarrow N_t = \frac{50MHz}{20kHz} = 2500 \quad (4.33)$$

Figura 4.6 – Modo de ajuste de PWM utilizando portadora triangular com simples atualização.



Fonte: Próprio autor.

Contudo, o contador também será utilizado para determinar a defasagem de 120° entre as fases do conversor. Por isso, é importante readequar esta contagem de acordo com (4.34). Logo, a cada 832 contagens um dos braços do lado secundário (ou uma das pontes H do lado primário) será acionado. Com esta atualização, a frequência de comutação efetiva do conversor será de 20,032kHz.

$$N_t = 2496 \quad (4.34)$$

A portadora utilizada no projeto do sistema de controle é do tipo triangular com simples atualização, ou seja, o ajuste do sinal de controle será realizado apenas uma vez por período, sempre no início da contagem do temporizador e sincronizado com a amostragem do conversor A/D, de maneira similar ao mostrado na Figura 4.6. Portanto, o ganho da portadora será como especificado em (4.35).

$$K_c = \frac{1}{N_t/2} \rightarrow K_c = \frac{1}{1248} = 801,28 \cdot 10^{-6} \quad (4.35)$$

Revisitando a Figura 4.6, percebe-se que o PWM digital possui um atraso de resposta dinâmica que pode ser modelado como um efeito de S&H [33]. Logo, da mesma forma observada na conversão A/D, além do ganho que a portadora provém à FTMA, uma redução de fase na ação de controle irá surgir. Este atraso pode ser modelado conforme (4.36) e deverá ser considerado no projeto. Esta expressão mostra que existe uma equivalência com um atraso de meio período de comutação cascadeado com um ganho dependente da frequência do sistema. Considerando que uma típica largura de banda para um controlador está limitada em um valor bem abaixo da frequência de comutação do conversor, o ganho em questão pode ser desprezado aproximando-o para um valor unitário, mantendo, portanto, em (4.36) somente a parte exponencial.

$$At_t(s) = \frac{1}{2} \left(e^{-s(1-d)\frac{T_s}{2}} + e^{-s(1-d)\frac{T_s}{2}} \right) = e^{-s\frac{T_s}{2}} \cdot \cos\left(\omega \cdot \frac{T_s}{2} \cdot D\right) \approx e^{-s\frac{T_s}{2}} \quad (4.36)$$

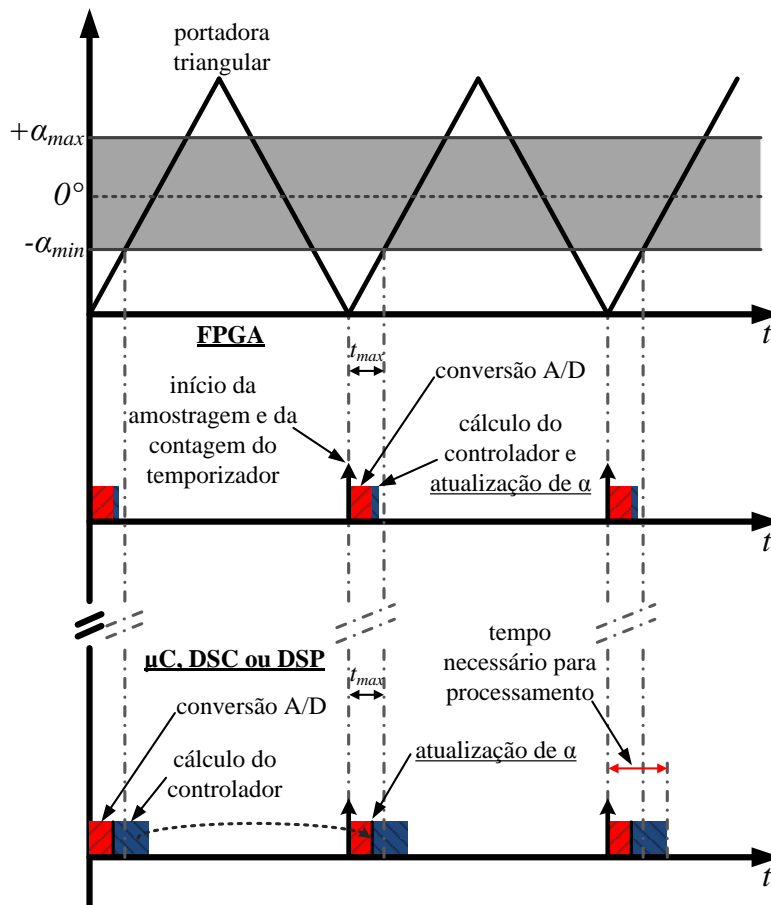
4.3.5 Atraso computacional

O atraso computacional ocorre em sistemas nos quais a palavra de controle somente é atualizada no período seguinte de amostragem [32]. O sistema adotado neste trabalho é baseado em dispositivo FPGA, logo estes se sobressaem quando comparado com os tradicionais controladores digitais baseados em microcontroladores, DSCs ou DSPs, pois as instruções do programa passam a ser concorrentes (executadas simultaneamente) e/ou sequenciais, ao invés de somente sequenciais, implicando em aumento na velocidade de execução de rotinas.

Para se compreender melhor a diferença entre esses dois tipos de tecnologia (FPGAs e dispositivos sequenciais) em termos de atraso computacional, particularizando, porém, a análise para o estudo de caso realizado neste trabalho, é apresentada na Figura 4.7 como ocorre a atualização da palavra de controle. O sinal modulador, que será comparado com a portadora para, conseqüentemente, atualizar o valor de α , é delimitado em um intervalo máximo $[+\alpha_{max}, -\alpha_{min}]$, com o ângulo zero situado exatamente na metade da amplitude do contador. O valor nominal de projeto para α , já calculado em (4.5), deverá estar situado abaixo do intervalo limite apresentado previamente e a uma distância suficiente para que o controlador tenha margem de manobra em caso de excitações externas aplicadas ao conversor.

Caso a dinâmica do sistema de controle atue de forma a tentar ultrapassar esses limites, circuitos e/ou rotinas de proteção irão atuar no sentido de preservar o conversor e/ou carga contra avarias. Como já mostrado na Figura 4.6, o início do processo de aquisição dos sinais analógicos está sincronizado com a contagem inicial do circuito contador da portadora. Logo, o intervalo de tempo máximo para que o sistema de controle faça todo processamento (amostragem do sinal analógico, cálculos de ajuste do controlador e atualização do sinal de controle) não poderá ultrapassar t_{max} , pois caso o novo valor de α seja igual ou maior que $-\alpha_{min}$, a comparação entre moduladora atualizada e portadora não ocorrerá e a resposta do sistema, como consequência, poderá ser imprevisível. Como uma rotina de FPGA é elaborada com um arranjo de elementos lógicos físicos, tem-se, portanto, uma operação concorrente, logo a maior parte do processamento a ser realizado será gasto na conversão A/D, como pode ser visto na Figura 4.7. Já nos ditos dispositivos tradicionais sequenciais, as rotinas que calculam e atualizam a palavra de controle ocupam bastante tempo, logo o valor de α necessariamente terá que ser atualizado com um período de atraso.

Figura 4.7 – Análise de atraso computacional a partir da observação da aquisição de dados, cálculo do controlador e atualização da variável de controle.



Fonte: Próprio autor.

Contudo, é importante salientar novamente que a análise em questão é particularizada para este estudo de caso, portanto não é absoluta. Uma moduladora com forma de onda tipicamente senoidal poderia ser suficiente para tornar a atualização da variável de controle no mesmo período de amostragem inviável, assim como um elevado número de malhas de controle a serem implementadas ou sua complexidade (necessidade de transformadas $d-q$ ou $\alpha-\beta$, por exemplo). Por outro lado, um *clock* de processamento muito elevado ou um conversor A/D extremamente rápido possam garantir que um DSP seja capaz de atualizar a variável de controle no mesmo período da amostragem, desde que suas instruções permitam tal ação.

Deste modo, de acordo com o exposto anteriormente e devido à forma como foi concebido o *software*, pode-se considerar que o atraso computacional inerente ao processamento do sistema de controle seja desprezível. Logo, o atraso total na análise será proveniente da conversão A/D e da portadora, já apresentados, respectivamente, em (4.31) e (4.36). Analisando esta última expressão no domínio da frequência, é possível verificar que sua fase será igual ao valor apresentado em (4.31), portanto o atraso devido à conversão A/D poderá ser expresso através de um termo exponencial, sendo possível calcular o atraso equivalente em (4.37). A FT obtida, por apresentar elementos exponenciais, torna a análise do projeto de controle mais complexo, todavia a aproximação de primeira ordem de Padé garante a transformação de (4.37) em uma função racional e mais simplificada, como pode ser observado em (4.38).

$$At_u(s) = e^{-s \cdot \frac{T_s}{2}} \cdot e^{-s \cdot \frac{T_s}{2}} = e^{-s \cdot T_s} \quad (4.37)$$

$$At_u(s) = e^{-s \cdot T_s} = \frac{1 - s \cdot \frac{T_s}{2}}{1 + s \cdot \frac{T_s}{2}} \quad (4.38)$$

4.3.6 Projeto do compensador

Observa-se que a partir do diagrama de blocos da Figura 4.4 que, para a planta em análise, é possível descrever matematicamente a expressão geral (4.39) da variação de pequenos sinais para a tensão V_o já compensada. Nesta análise, as FTs e sinais que estão no domínio da frequência foram transformados para o domínio z .

$$\hat{v}_o(z) = C_v(z) \cdot At_u(z) \cdot K_c \cdot G_{I_o\alpha_o}(z) \cdot G_{V_o I_o}(z) \cdot \left[\hat{v}_{oref}(z) - \hat{v}_o(z) \cdot H_v(z) \cdot F_d(z) \cdot K_{A/D} \right] \quad (4.39)$$

Colocando $\hat{v}_o(z)$ em evidência, obtém-se:

$$\left[1 + FTMA_{comp}(z)\right] \cdot \hat{v}_o(z) = C_v(z) \cdot At_{tt}(z) \cdot K_c \cdot G_{I_o\alpha_o}(z) \cdot G_{V_oI_o}(z) \cdot \hat{v}_{oref}(z) \quad (4.40)$$

Onde:

$$FTMA_{comp}(z) = C_v(z) \cdot At_{tt}(z) \cdot K_c \cdot G_{I_o\alpha_o}(z) \cdot G_{V_oI_o}(z) \cdot H_v(z) \cdot F_a(z) \cdot K_{A/D} \quad (4.41)$$

A partir das expressões (4.40) e (4.41), é obtida a variação de pequenos sinais para a tensão de saída já compensada:

$$\hat{v}_o(z) = \frac{1}{H_v(z) \cdot F_a(z) \cdot K_{A/D}} \cdot \frac{FTMA_{comp}(z)}{1 + FTMA_{comp}(z)} \cdot \hat{v}_{oref}(z) \quad (4.42)$$

Observa-se na expressão (4.42) que, para se obter a menor variação possível da tensão devido às perturbações externas, é necessário projetar um compensador de ganho elevado. Com isso, garante-se que $FTMA_{comp}(z)$ apresente uma magnitude muito maior que o número “1”, tornando este desprezível e fazendo com que a fração relacionada a esta expressão seja unitária. Logo, o sinal de tensão amostrado será o mais próximo possível do valor de referência e, conseqüentemente, variações das perturbações serão refletidas de forma desprezível para o sinal de saída do sistema [34]. No entanto, a escolha do compensador deve ser obtida levando-se em consideração a dinâmica desejada na resposta do sistema.

A técnica por análise da frequência consiste em obter um ganho com declive de -20 dB/década na frequência de cruzamento para a função de transferência em malha aberta – FTMA compensada, além de uma margem de fase superior a 0° . Sistemas com margem de fase abaixo de 0° apresentam um ou mais pólos no semiplano direito, implicando a instabilidade à planta controlada. Quanto mais próxima a margem de fase estiver do ângulo zero (ou seja, a fase próximo a -180° no diagrama de Bode), mais oscilatória será a resposta dinâmica do sistema, por isso é desejável que sistemas de controle realimentado apresentem valores acima de 45° [34]. Também, é de suma importância que o ganho nas regiões de baixa frequência seja suficientemente elevado, enquanto que para região de altas frequências seja atenuado tão rapidamente quanto possível a fim de minimizar os efeitos de ruído [35]. Outro fator importante para garantir a estabilidade ao sistema de controle é a correta alocação da frequência de cruzamento da FTMA compensada, pois segundo a teoria de controle, este valor deverá ser no mínimo um quarto da frequência de operação da planta [35]. Quanto maior for a frequência de cruzamento, mais rápido será o tempo de resposta do compensador. Por outro lado, quando este valor apresenta proximidade com a frequência de operação da planta, o compensador tende a atuar no sentido de atenuar as oscilações naturais da planta, tornando o sistema instável.

Após essa explanação à respeito de dinâmica e estabilidade em sistemas de controle, a seguir é projetado o compensador do conversor. A FTMA não compensada é dada pela expressão (4.43) e para dar prosseguimento a sua análise e posterior obtenção do controlador de tensão, faz-se necessário escolher qual método de projeto será empregado. Existem, basicamente, duas metodologias, na qual na primeira, o projeto dos controladores é realizado diretamente no domínio discreto, enquanto que a segunda consiste em projetar o controlador no domínio da frequência para, em seguida, discretizá-lo [32]. Optou-se neste trabalho em utilizar a primeira metodologia. Logo, a discretização de $FTMA(s)$ foi feita através da integração de Euler do tipo retangular de avanço (4.44), que consiste em aproximar a forma de onda a ser discretizada em uma soma de retângulos através de um processo idêntico ao realizado por um circuito de S&H, ou seja, matematicamente similar a um segurador ZOH.

$$FTMA(s) = G_{I_o\alpha_o}(s) \cdot G_{V_oI_o}(s) \cdot H_v(s) \cdot F_a(s) \cdot K_{A/D} \cdot At_{tt}(s) \cdot K_c \quad (4.43)$$

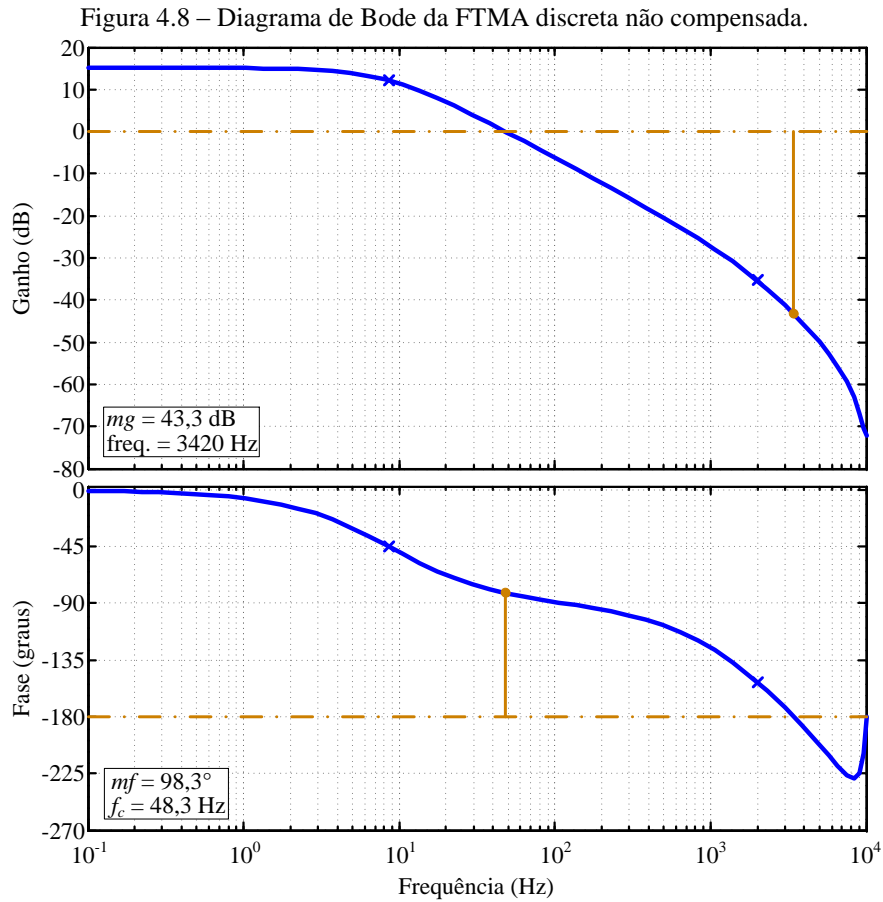
$$s = \frac{z-1}{T_s} \quad (4.44)$$

O método de discretização mencionando previamente foi realizado com o auxílio do comando “c2d” da ferramenta Matlab[®], com o uso do método ZOH. Como este procedimento já insere naturalmente o atraso de fase proveniente da conversão A/D e portadora digital, a função de atraso (4.38) deve ser retirada de (4.43).

O diagrama de Bode da $FTMA(z)$ discretizada e não compensada é apresentada na Figura 4.8. Como é possível observar, a planta é naturalmente estável, com declive de -20 db/década, juntamente com uma margem de fase maior que 0°. Contudo, o sistema apresenta um reduzido ganho em baixa frequência, uma margem de fase superior a 90°, além de frequência de cruzamento quase 400 vezes menor que a frequência de comutação do conversor. Logo, a adição de um compensador é útil para melhorar a velocidade de resposta e o desempenho do sistema quando este é submetido a perturbações externas.

Deseja-se obter uma FTMA com frequência de cruzamento f_c de aproximadamente 500Hz, ou seja, um valor superior a duas décadas abaixo da frequência de comutação (20kHz) e a ¼ da frequência de corte do filtro *anti-aliasing* (2kHz). Assim, garante-se o desacoplamento da frequência de comutação do conversor e a garantia de não interferência do filtro. Deste modo, de acordo com as características do diagrama de Bode apresentado na Figura 4.8 e com a frequência de cruzamento especificada em projeto, foi escolhido o compensador do tipo proporcional e integral (PI). A frequência do zero do

compensador é alocada aproximadamente a uma década abaixo da frequência de cruzamento para que se obtenha um declive na curva de ganho igual a -20 dB/década na passagem pelo ganho unitário em laço aberto.

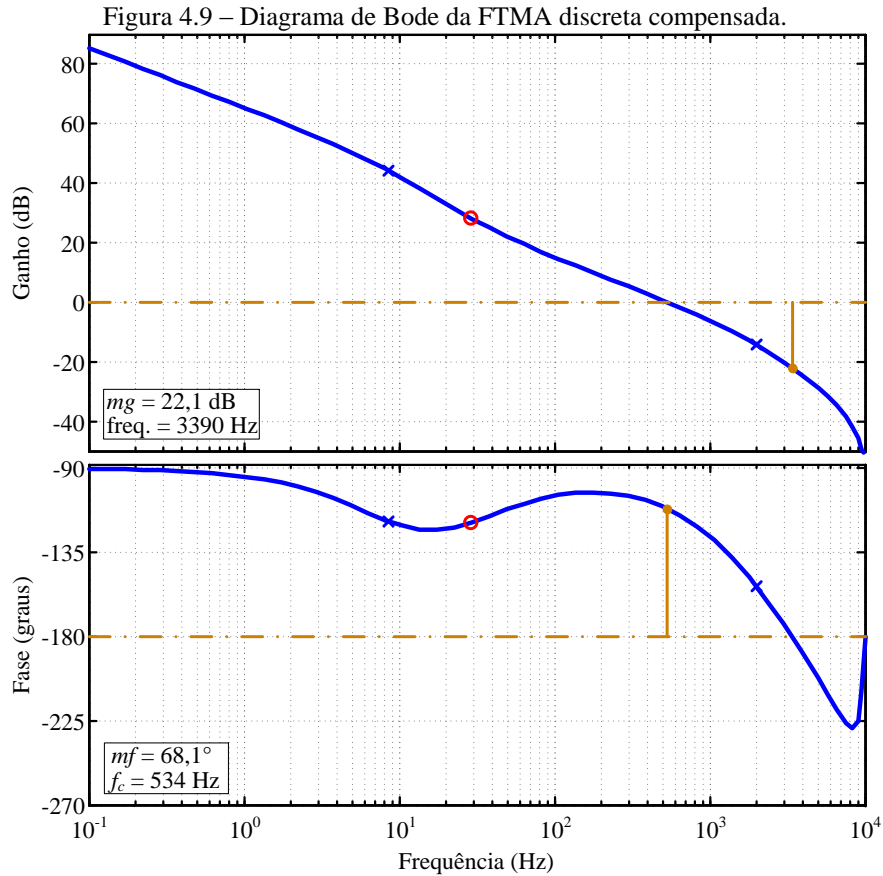


Fonte: Próprio autor.

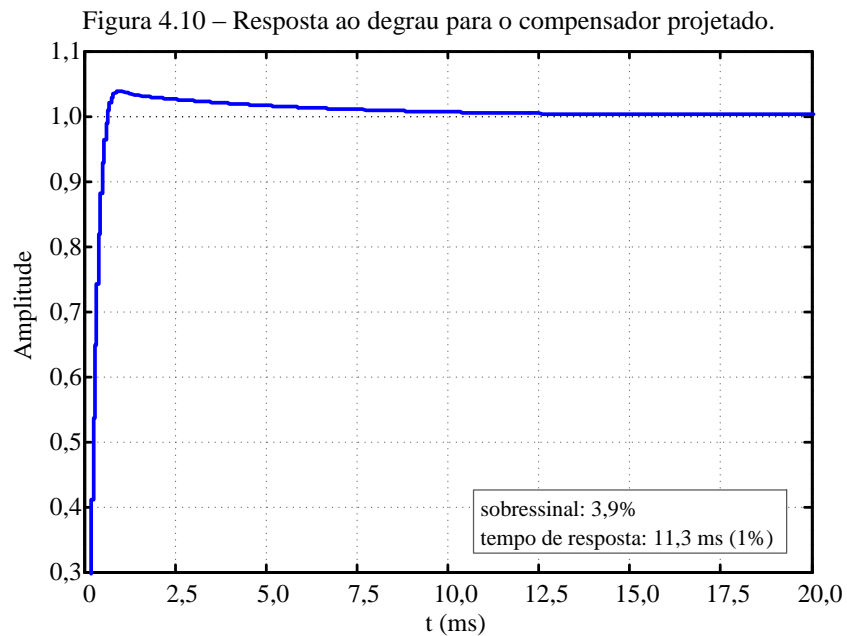
Na Figura 4.9 é mostrado o diagrama de Bode do sistema compensado. Observa-se que a frequência de cruzamento obtida, com declive de -20 dB/década, é de 534 Hz para uma margem de fase de $68,1^\circ$, caracterizando, portanto, um sistema estável com elevação do ganho em baixa frequência e aumento da velocidade de resposta.

A Figura 4.10 apresenta a resposta ao degrau para o compensador discreto projetado. Observa-se que o sobressinal máximo encontrado é $3,9\%$, enquanto que o tempo de resposta ou de acomodação para uma oscilação máxima de 1% do sinal é de $11,3$ ms. Logo, verifica-se que o compensador possui um bom compromisso entre atenuação da amplitude em relação ao tempo de estabilização do sinal.

O compensador PI discreto projetado (4.45), como pode ser observado, apresenta visualmente um dos critérios que norteiam a garantia de estabilidade de sistemas em malha fechada em tempo discreto [31], que são os polos e zeros da FT estarem situados no interior do círculo unitário do plano z da Figura 4.11.

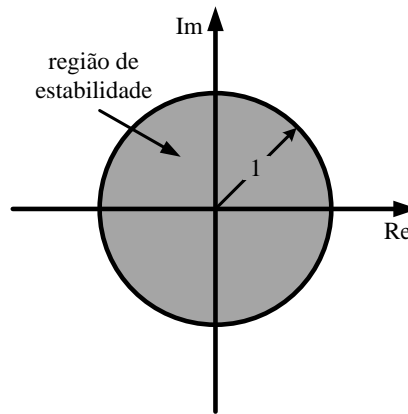


Fonte: Próprio autor.



Fonte: Próprio autor.

$$C_v(z) = \frac{U(z)}{E(z)} = \frac{B \cdot z + A}{z - 1} = \frac{11,3325 \cdot z - 11,2305}{z - 1} \quad (4.45)$$

Figura 4.11 – Plano z com círculo unitário centrado na origem.

Fonte: Próprio autor.

4.3.7 Representação numérica em sistemas digitais de ponto fixo

A FT do controlador discreto projetado anteriormente está no domínio z . Logo, para fins de implementação através de *software*, se faz necessário transformar esta expressão para sua equação a diferenças equivalente a partir da transformada z inversa, de acordo com (4.46), nos quais $u(k)$ e $e(k)$ são o sinal ou palavra de controle e o erro no instante atual k , respectivamente, enquanto que $u(k-1)$ e $e(k-1)$ representam os seus valores em uma iteração anterior $k-1$. O sinal de erro é obtido a partir da diferença entre a referência e sinal amostrado da tensão de saída com os ganhos já incluídos, conforme a Figura 4.4.

$$u(k) = u(k-1) + B \cdot e(k) + A \cdot e(k-1) \quad (4.46)$$

$$e(k) = v_{oref}(k) - v_o'(k) \quad (4.47)$$

Como o FPGA é um dispositivo que trabalha em regime de ponto fixo, o sinal de realimentação amostrado, além de variáveis e constantes internas do programa de controle, deverão ser números inteiros. Essa característica facilita a interação com conversores A/D e PWMs digitais, já que estes recursos periféricos normalmente convertem grandezas analógicas em números de ponto fixo [36]. Contudo, operações matemáticas como divisão, comuns na implementação dos controladores digitais, terão respostas truncadas que, conseqüentemente, poderão descaracterizar a atualização do sinal de controle. Para atenuar este erro inerente a sistemas de ponto fixo, recorre-se a notação numérica Q . [36], sendo uma das mais comumente utilizadas a do tipo $Q15$ [32]. Nesta técnica, o número digital (implementado de fato pelo FPGA) é normalizado para uma base específica múltipla da base 2 que assegure que os coeficientes sejam menores que a unidade, evitando estouros numéricos e possibilitando representar todas as variáveis no formato $Q15$ [32]. Como esta base é

escolhida para se um número na potência de 2, as operações de multiplicação e divisão são simplesmente manipuladas por operações de deslocamento [36].

A Tabela 12 apresenta os limites numéricos da representação $Q15$ e, como mencionado previamente, o número neste formato é inferior a unidade, exceto para o limite negativo. O limite positivo do valor digital correspondente, por exemplo, atinge 32767, o que garante o escalonamento dos coeficientes para números grandes e inteiros, atenuando, conseqüentemente, o erro no arredondamento da parte fracionária devido a elevada resolução da representação numérica.

O sinal de erro em (4.47), constituído pela diferença entre a referência $v_{oref}(k)$ e o sinal amostrado $v'_o(k)$, e como observado em (4.54), necessita ser normalizado para a notação $Q15$. Utilizando como base para a referência $N_{ref} = 742,4V$, obtém-se em (4.48) a referência no formato $Q15$.

Tabela 12 – Limites numéricos e precisão do formato $Q15$.

Nº de bits inteiros	1
Nº de bits fracionários	15
Limite positivo $Q15$	0,999969482421875
Limite positivo equivalente inteiro de 16 bits	$2^{15} - 1 = 32767$
Limite negativo $Q15$	-1
Limite negativo equivalente inteiro de 16 bits	$-2^{15} = -32768$
Resolução	0,000030517578125

Fonte: Próprio autor.

$$v_{orefQ} = \frac{V_{dc_o}}{N_{ref}} \cdot 2^{15} = 16384 \quad (4.48)$$

No sistema controlado e estabilizado, o valor de referência deverá ser igual ao sinal amostrado, logo se faz necessário adequar a realimentação da planta da comparação com (4.48). Portanto:

$$v_{orefQ} = V_{dc_o} \cdot H_v(s) \cdot K_{A/D} \cdot k_H \rightarrow k_H = 5,281 \quad (4.49)$$

A representação numérica de (4.49) em $Q15$ é obtida em (4.50) utilizando como base $N_k = 2^3$, para que seja assegurado que o coeficiente convertido seja menor que a unidade.

$$k_{HQ} = \frac{k_H}{N_k} \cdot 2^{15} \simeq 21632 \quad (4.50)$$

Com (4.48) e (4.50), é possível encontrar o sinal de erro também no formato $Q15$, como apresentado em (4.51).

$$e_Q(k) = v_{orefQ} - v'_{oQ}(k) = v_{orefQ} - \left[k_{HQ} \cdot ADC(k) \right] \cdot \frac{N_k}{2^{15}} \quad (4.51)$$

Onde $ADC(k)$ é o valor digital já quantizado e codificado durante o processo de conversão A/D.

Os coeficientes A e B do compensador (4.45), também necessitam ser normalizados para a notação $Q15$ para garantir que todas as variáveis do sistema de controle se mantenham no formato citado. Deve-se encontrar uma base N_Q que seja o menor múltiplo de base 2 comum a ambos os coeficientes para garantir que sejam menores que a unidade [32]. Logo, para $N_Q = 2^4$ os coeficientes da equação a diferenças na representação $Q15$ A_Q e B_Q são, respectivamente, (4.52) e (4.53). É importante salientar que o coeficiente do sinal de controle na iteração anterior $u(k-1)$, por ser unitário, não precisa ser normalizado.

$$A_Q = \frac{A}{N_Q} \cdot 2^{15} \approx 23000 \quad (4.52)$$

$$B_Q = \frac{B}{N_Q} \cdot 2^{15} \approx 23209 \quad (4.53)$$

$$u_Q(k) = u_Q(k-1) + [B_Q \cdot e_Q(k) + A_Q \cdot e_Q(k-1)] \cdot \frac{N_Q}{2^{15}} \quad (4.54)$$

Por fim, antes da atualização de α , ou seja, antes da comparação entre os sinais de controle e portadora triangular, deve-se converter o sinal para seu formato digital, além de normalizá-lo para um valor equivalente a amplitude da portadora (4.34). Então:

$$u_r(k) = u_Q(k) \cdot \frac{(N_t/2 - 1)}{2^{15}} = \frac{1247}{32768} \cdot u_Q(k) \quad (4.55)$$

4.4 Programação do FPGA

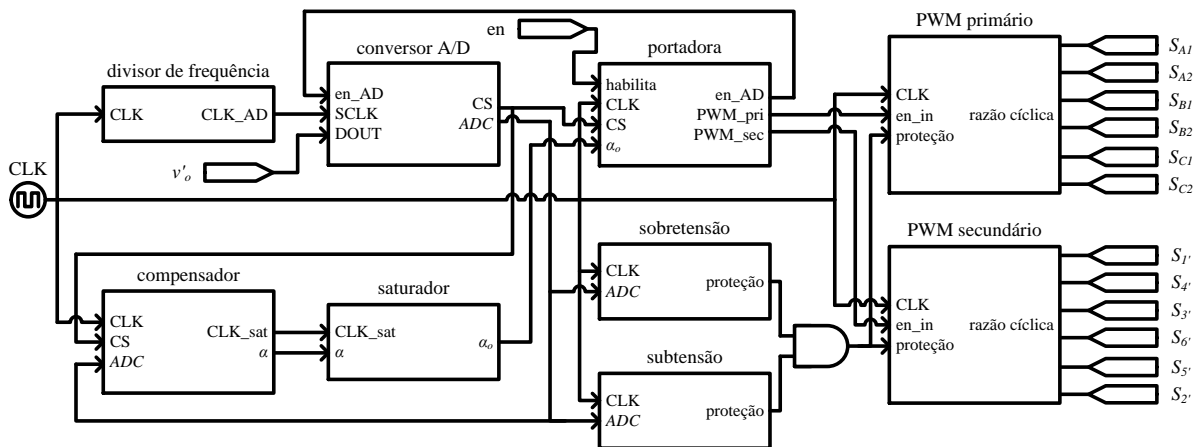
Para implementar os sinais de referência, portadora triangular e compensador projetados na seção 4.3, foi utilizado o *software Quartus II Web Edition*[®], desenvolvido pela Altera. Nesta ferramenta existem portas e blocos lógicos já disponibilizados, além da possibilidade de desenvolvimento de blocos próprios a partir da utilização da linguagem de descrição de *hardware* VHSIC (*Very High Speed Integrated Circuits*), comumente chamada de linguagem VHDL (*VHSIC Hardware Description Language*) na comunidade científica.

Uma das principais vantagens de se utilizar a linguagem VHDL, além da possibilidade de uma programação concorrente ao invés de somente sequencial, característica já mencionada neste trabalho, é o maior grau de liberdade de programação que dispositivos FPGAs proporcionam perante μ Cs ou DSPs. Estes últimos já possuem um conjunto de instruções já inseridas no montador do fabricante, enquanto que os FPGAs possuem apenas

blocos lógicos como portas lógicas, *flip-flops* ou contadores, ficando ao cargo do programador desenvolver suas próprias instruções, como poderá ser visto mais adiante.

Na Figura 4.12 é apresentado o diagrama de blocos geral contendo as rotinas desenvolvidas e os dispositivos lógicos utilizados. As rotinas concebidas através da linguagem VHDL, tanto quanto o diagrama de blocos mais detalhado montado no ambiente *Quartus II Web Edition*[®], podem ser vistos nos Apêndices deste trabalho. Pode-se observar que as etapas ou blocos são executados paralelamente ou de maneira concorrente, como já mencionado anteriormente. A seguir serão descritos o funcionamento básico de cada um dos blocos.

Figura 4.12 – Diagrama de blocos do sistema desenvolvido.



Fonte: Próprio autor.

4.4.1 Divisor de frequência e conversor A/D

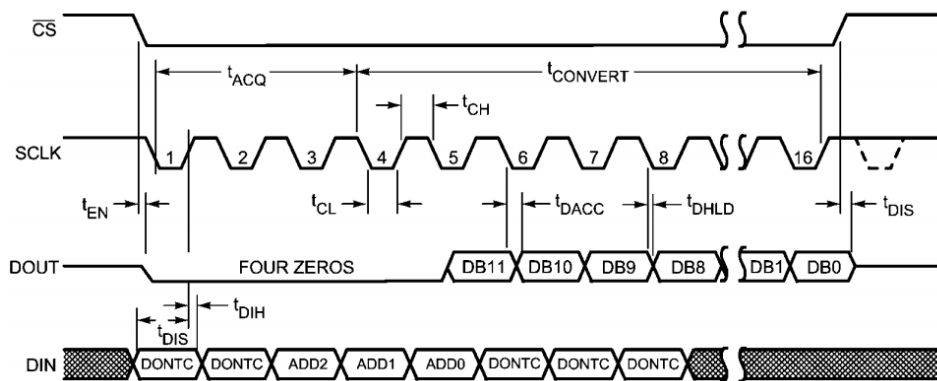
O diagrama de blocos do sistema digital implementado é do tipo síncrono, logo todas as rotinas utilizam o mesmo sinal de *clock* de frequência igual a 50 MHz, que é fornecido pelo *kit* de desenvolvimento, como já apresentado na Tabela 11. A única exceção é o bloco “conversor A/D”, pois como descrito na Tabela 10, a frequência máxima deste dispositivo é 3,2 MHz. Logo, é necessário criar e utilizar o bloco “divisor de frequência”, que basicamente é um contador que reduz o sinal de *clock* original para 3,125 MHz.

A programação do bloco “conversor A/D”, responsável pela conversão A/D do sinal de realimentação, foi desenvolvida a partir do diagrama de tempo do conversor A/D ADC128S022 apresentado na Figura 4.13. Este dispositivo possui dois modos de operação e o utilizado neste estudo foi o modo serial. Como pode ser observado, para que a conversão seja realizada é necessário aplicar um sinal lógico em nível baixo na entrada *CS* (*chip select*) do

dispositivo. O bloco em análise envia este sinal ao conversor A/D quando recebe autorização do bloco “portadora” através do sinal *en_AD*, como pode ser observado na Figura 4.12. Após a autorização, o “conversor A/D” inicia o ciclo de conversão utilizando o sinal de *clock SCLK*, proveniente do bloco “divisor de frequência”, e recebendo o sinal analógico a partir da entrada *DOUT*. Com a finalização da conversão, *CS* é colocado em nível alto para desabilitar o conversor A/D e informar aos blocos “portadora” e “compensador” sobre o término do processo, além de enviar o sinal *ADC*, já quantizado e codificado, aos blocos que necessitam deste dado.

Com o objetivo de facilitar o entendimento do princípio de conversão utilizando o CI ADC128S022, alguns sinais que aparecem no diagrama de tempo de conversão foram omitidos da Figura 4.12. Contudo, o protocolo de conversão detalhado é relativamente simples de se compreender: após o CI receber o sinal de *clock*, a entrada *DIN* receberá o endereço do canal selecionado, enquanto *DOUT* envia o código binário “0₂” no decorrer de quatro ciclos, com o propósito de informar ao sistema receptor que os *bits* contendo o sinal analógico digitalizado começarão a ser enviados serialmente.

Figura 4.13 – Diagrama de tempo serial do conversor A/D ADC128S022.



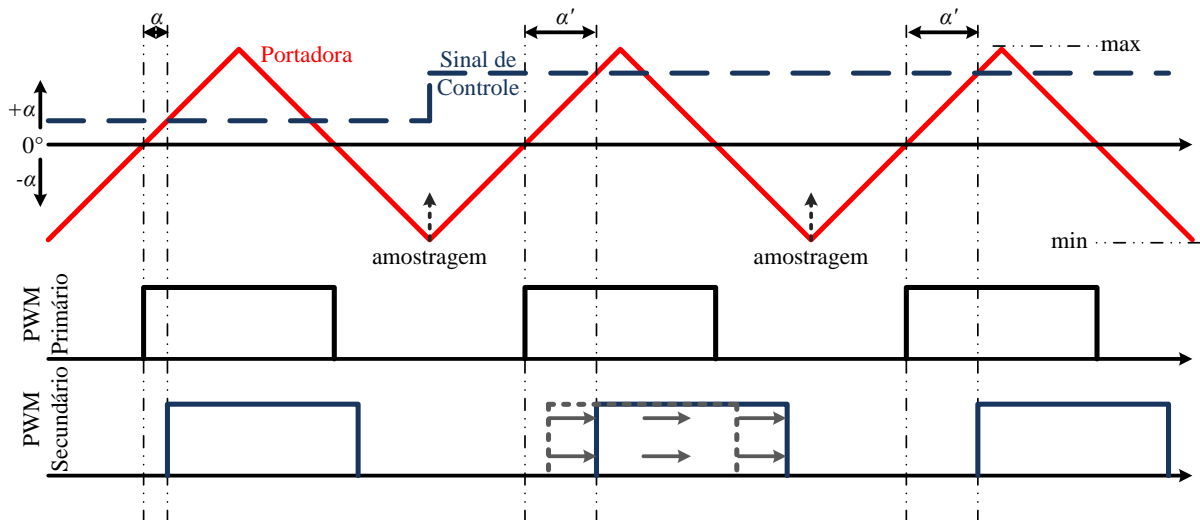
Fonte: Texas Instruments [37].

4.4.2 Portadora

O bloco “portadora”, como pode ser visto na Figura 4.12, tem como função principal realizar o *phase-shift* entre as pontes primária e secundária. A lógica por trás de sua implementação é similar ao CI comercial UCC9885 e seus predecessores, o qual compara uma função dente de serra com um sinal de controle para que seja possível obter um sinal PWM secundário deslocado em relação ao PWM primário inicializado na origem da rampa [38]. As formas de onda mostrando a comparação entre função triangular e sinal de controle

desenvolvido neste trabalho são mostradas na Figura 4.14, contudo algumas características da portadora já tinham sido introduzidas previamente na Figura 4.6. O PWM do lado primário, que é fixo, é inicializado na metade da portadora, enquanto que o PWM do lado secundário poderá ser deslocado, em relação a referência 0° , por todo o intervalo crescente da portadora $[min, max]$. No entanto, como já mencionado na subseção 4.3.5, o sinal modulador, que será comparado com a portadora para, conseqüentemente, atualizar o valor de α , é delimitado em um intervalo máximo $[+\alpha_{max}, -\alpha_{min}]$.

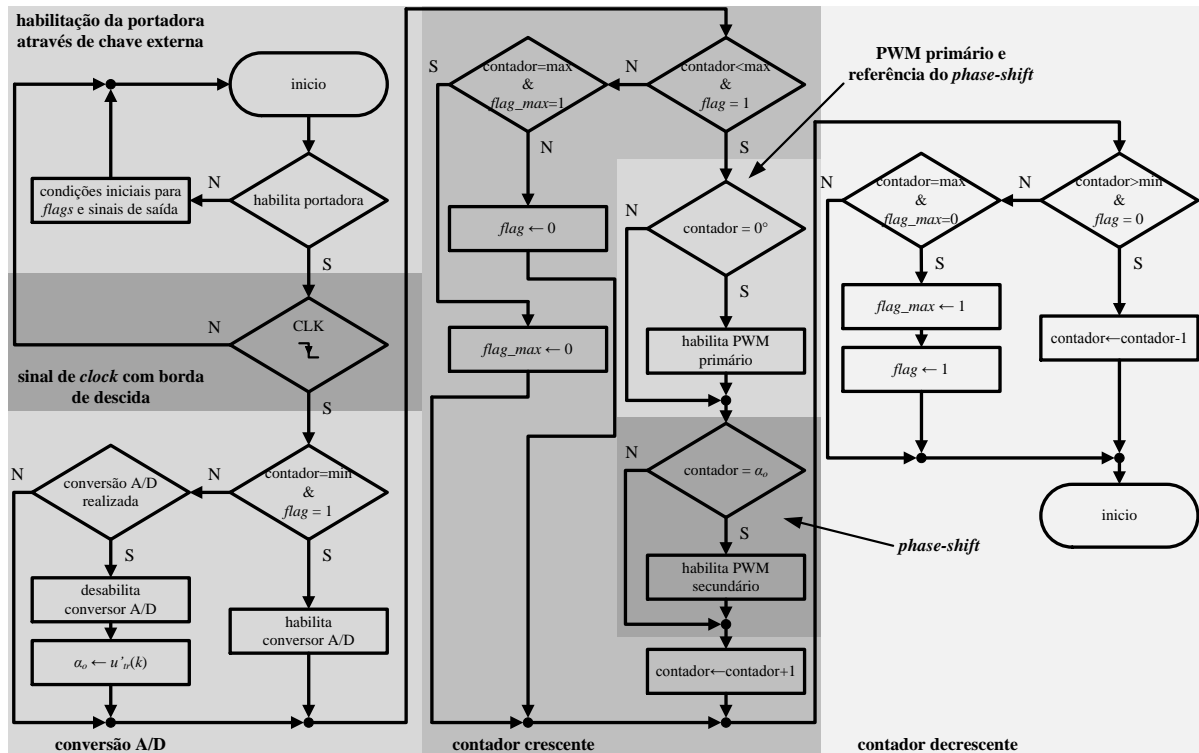
Figura 4.14 – Atualização do *phase-shift* α a partir da comparação entre sinal de controle e portadora triangular.



Fonte: Próprio autor.

Diante do exposto, é apresentado na Figura 4.15 o fluxograma funcional do algoritmo desenvolvido para o bloco “portadora”. Como já observado na Figura 4.12, “portadora” possui um entrada *habilita*, que permite ao usuário, através de uma chave externa, desabilitar a portadora triangular e, conseqüentemente, a operação do conversor, fazendo com que todas as variáveis do bloco e *flags* de monitoramento sejam colocadas nas condições iniciais. Ao habilitar o bloco “portadora”, este passa a trabalhar de forma sincronizada com o *clock* do sistema digital implementado. O sinal de autorização para inicializar a conversão A/D, que é enviado através da saída *en_AD*, já mencionada na subseção anterior está sincronizada com o início do contador responsável por realizar a temporização da portadora triangular. Observa-se que o contador crescente baseia-se em um laço condicional e dentro deste está situada habilitação do PWM primário e a atualização de α , juntamente com a habilitação do PWM secundário, sinais estes que são enviados aos blocos responsáveis pelos PWMs através das saídas *PWM_prim* e *PWM_sec*, respectivamente.

Figura 4.15 – Fluxograma do algoritmo desenvolvido para o bloco “portadora”.



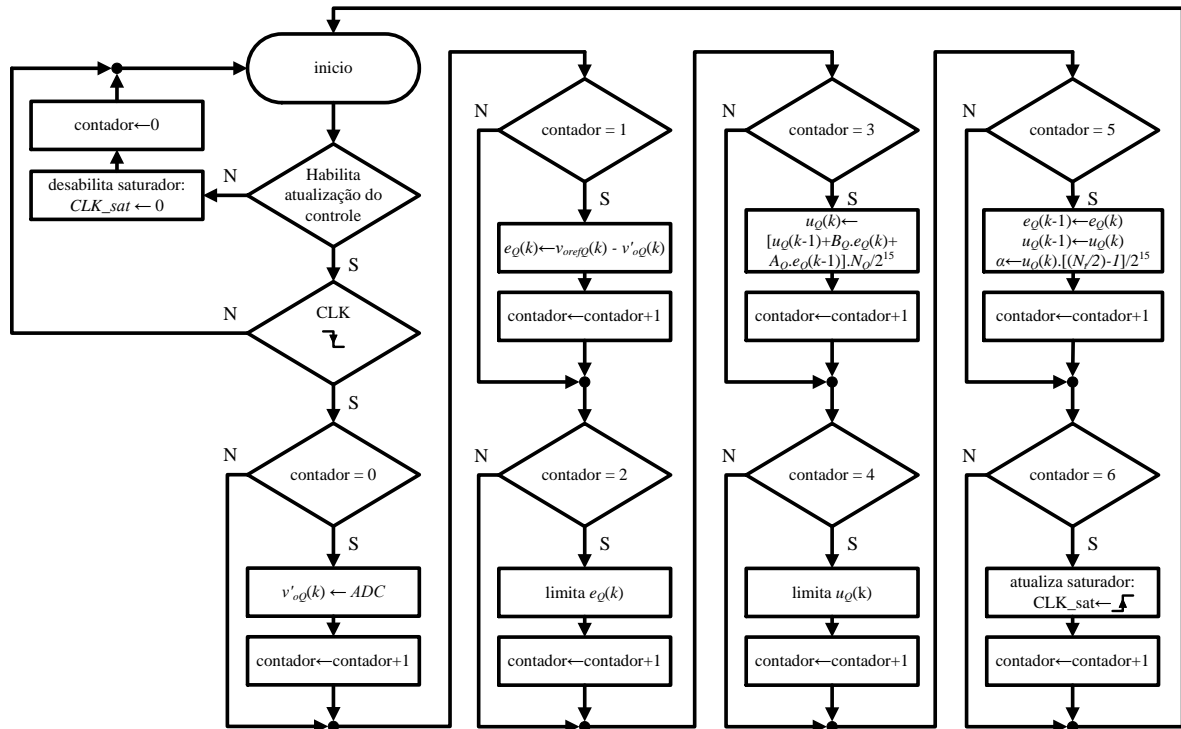
Fonte: Próprio autor.

4.4.3 Compensador e saturador

O bloco “compensador” consiste em realizar o processamento do controlador digital e o fluxograma básico do algoritmo implementado é mostrado na Figura 4.16. Após o sinal de autorização oriundo do bloco “conversor A/D” e recebido pela entrada CS , as etapas seguintes constituem-se, basicamente, na obtenção do sinal de erro, cálculo do sinal de controle e atualização do sinal normalizado para a amplitude da portadora, utilizando, respectivamente (4.51), (4.54) e (4.55). Observa-se no fluxograma que após a etapa de obtenção do erro é realizada uma limitação deste sinal para atenuar a possibilidade de variações bruscas no sinal de controle. Também após o cálculo do controle é feita uma limitação para garantir que este sinal não ultrapasse a notação numérica $Q15$. A última etapa do bloco “compensador” coloca CLK_{sat} em nível alto para que o bloco “saturador” reconheça a transição de borda de subida e receba o valor atualizado de α .

O bloco “saturador”, que pode ser visto na Figura 4.12, basicamente, faz um análise condicional para verificar se o sinal de controle atualizado ultrapassa ou não os limites superior e inferior $[\alpha_{max}, -\alpha_{min}]$, restringindo α a estes valores máximo e mínimo. O motivo dessa restrição já foi explicado e analisado na subseção 4.3.5.

Figura 4.16 – Fluxograma do algoritmo desenvolvido para o bloco “compensador”.



Fonte: Próprio autor.

4.4.4 PWM e proteção

Devido a restrição de espaço e para um melhor entendimento do diagrama de blocos do sistema digital implementado, os blocos responsáveis diretamente pelo envio do sinal de acionamento dos interruptores foram generalizados para “PWM primário” e “PWM secundário”. Contudo, internamente eles são formados por vários blocos chamados “PWM” e a Figura 4.17 apresenta o diagrama de blocos interno ao “PWM primário”. Como pode ser observado, o *clock* do sistema sincroniza o funcionamento de todos os blocos, enquanto que o sinal de entrada *PWM_pri*, fornecido pelo bloco “portadora” habilita o funcionamento da razão cíclica. Verifica-se que apenas um “PWM” recebe este sinal, que por sua vez habilitará em cascata os demais blocos, além dos demais interruptores dos respectivos braços defasados em 180° através da utilização da porta lógica *NOT*.

Com o objetivo de se compreender melhor o bloco em análise, na Figura 4.18 é mostrado o fluxograma funcional de “PWM”. O algoritmo consiste, basicamente, em um contador limitado ao valor máximo da portadora N_t e pode ser dividido em três partes. A primeira consiste na inicialização de *flags* e sinais de saída e sincronização do bloco com o *clock* do sistema. A segunda parte representa a metade da contagem, quando a razão cíclica é unitária, enquanto que a terceira parte, ou segunda metade da contagem, a razão cíclica é

forçada para nível baixo. Observa-se que o acionamento do PWM relacionado à próxima fase é acionado durante a segunda parte do algoritmo e quando o contador atinge valor equivalente a 120° . Neste momento, a saída *en_out* do bloco “PWM” é colocada em nível alto para habilitar o próximo bloco, através da entrada *en_in*.

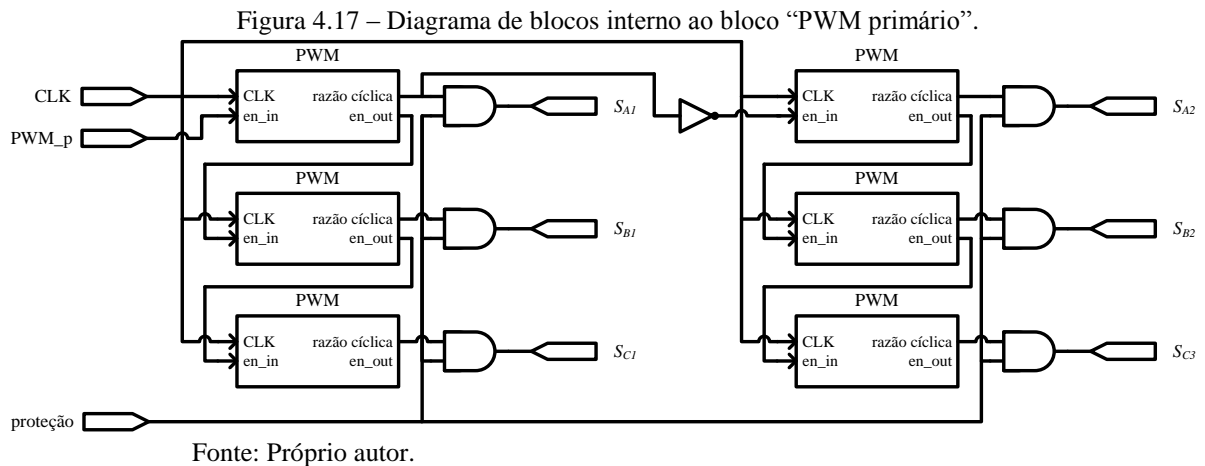
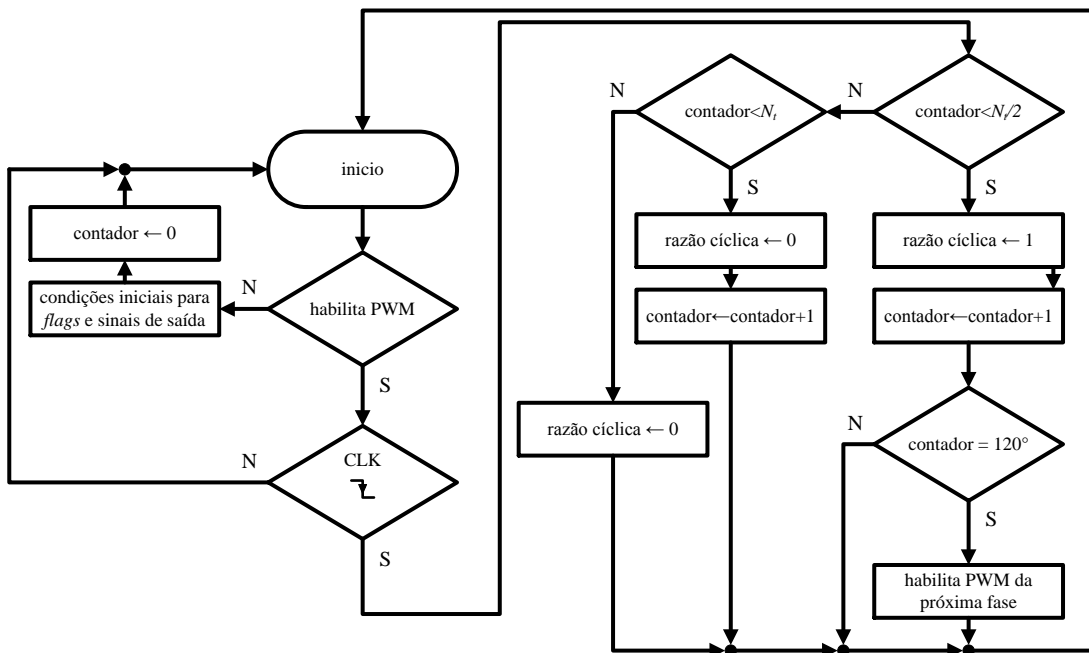


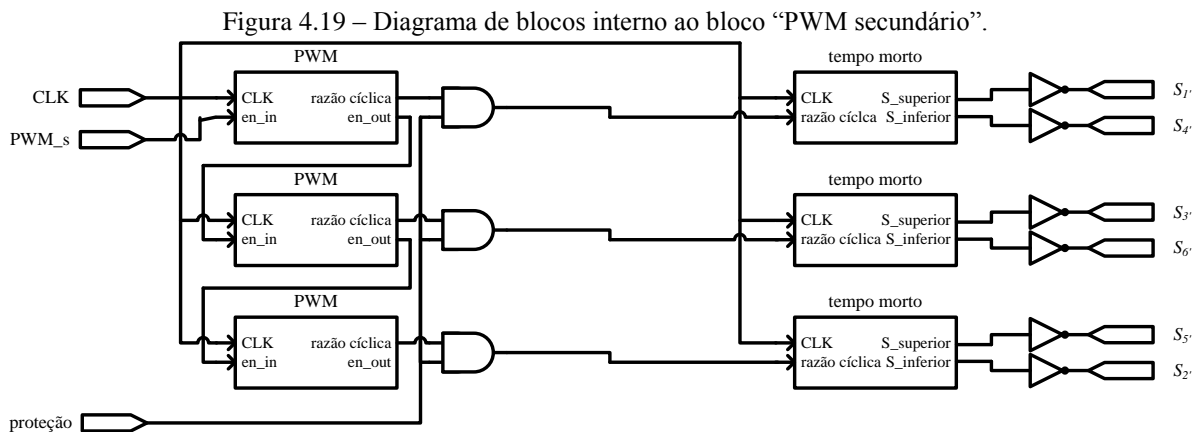
Figura 4.18 – Fluxograma do algoritmo desenvolvido para o bloco “PWM”



Ainda da Figura 4.17, observa-se que o valor da saída *razão cíclica* só será enviada ao circuito externo de acionamento dos interruptores, caso o sinal *proteção* esteja em nível alto. De acordo com a Figura 4.12, o estado deste sinal é alterado pelos blocos “sobretensão” e “subtensão”. Ambos atualizarão sua saída no caso de mudanças na tensão de saída do conversor fora de limites pré-estabelecidos através de uma verificação condicional, zerando a saída da porta lógica AND e, conseqüentemente, o sinal *proteção*. Para que a lógica

condicional dos blocos seja verdadeira e atuem, internamente é utilizado um temporizador para garantir que o controlador possa atuar no caso de excitações não bruscas. Por exemplo, o bloco “sobretensão” não poderá atuar no caso de sobressinal na tensão de saída devido a inserção ou retirada de parte da carga elétrica do conversor, pois o controlador irá atenuar essa mudança no comportamento dinâmico do sistema.

Por fim, é apresentado na Figura 4.19 o diagrama de blocos interno ao bloco “PWM secundário”, que também utiliza o bloco “PWM” em conjunto com o desligamento dos interruptores através do sinal *proteção*. No entanto, observa-se que as saídas das portas *AND* são enviadas primeiramente aos blocos “tempo morto” antes de chegarem aos interruptores. Para compreender as diferenças entre “PWM primário” e “PWM secundário”, é preciso apresentar o modo como os interruptores de cada um é acionado.



Fonte: Próprio autor.

Os *drivers* utilizados para acionar os interruptores da ponte primária usam o CI IR21844, logo o acionamento é realizado através da técnica de *bootstrap*. Portanto é necessário somente enviar o sinal lógico do interruptor superior. Além disso, o CI IR21844 permite, através da inserção de resistores, inserir um tempo morto. Para garantir a isolamento entre os sinais de comando, que são oriundos do lado primário, nos interruptores do lado secundário são utilizados os *drivers* SKHI 22A R da Semikron. Este dispositivo necessita receber os dois sinais lógicos de comando do mesmo braço, além de prover a possibilidade de o usuário fornecer o tempo morto entre os interruptores ou utilizar um já pré-estabelecido, cujo valor mínimo é 1 μ s. Por ser um tempo muito elevado para a frequência de comutação do conversor, optou-se por programar um próprio tempo morto através do bloco “tempo morto”. Como o circuito de controle fornece um nível de tensão de 3,3V e o valor lógico necessário na entrada do SKHI 22A R para que este possa acionar os interruptores do lado secundário é 5V, foi utilizado um circuito de *buffer* composto pelo CI UN2003A. Como este CI possui lógica

de saída invertida em relação à entrada, foi necessário utilizar as portas *NOT* na saída do “tempo morto”.

4.5 Considerações finais

Cálculos relacionados aos esforços e especificações dos componentes foram apresentados no presente capítulo, com o intuito de obter um exemplo de projeto para validar o modelo matemático proposto nesta tese. O desenvolvimento dessas expressões foi realizado a partir do modelo baseado em componentes fundamentais, o que é perfeitamente verossímil, como constatado através das curvas comparativas entre os modelos real e fundamental apresentados nas Figura 4.1 e Figura 4.2.

O projeto do controlador discreto, a partir da planta modelada com a teoria do *gyrator*, também foi implementado, com todas as ponderações inerentes a sistemas discretizados considerados na análise e justificando cada passo realizado no ajuste de seus parâmetros. Logo, obteve-se um controlador de alto ganho e ótimo tempo de resposta a partir da observação da frequência de cruzamento e margem de fase.

A notação numérica *Q15*, foi apresentada e aplicada ao sistema de controle projetado com o objetivo de atenuar erros que por ventura poderiam vir a surgir devido a utilização de um sistema em regime de ponto fixo e, conseqüentemente, alterar as características do compensador detalhadamente projetado.

Por fim, foi apresentada a características da programação do FPGA, através da análise do diagrama de blocos do sistema digital implementado, com destaque as quatro etapas essenciais do projeto, que são as relacionados à programação da conversão A/D, portadora triangular, compensador de tensão e PWM.

5 RESULTADOS DE SIMULAÇÃO

Nesse capítulo serão apresentados os resultados de simulação para um exemplo de projeto da topologia CC-CC trifásica proposta. Todas as simulações do sistema em estudo foram realizadas utilizando a ferramenta computacional PSIM.

Primeiramente são realizadas simulações do exemplo de projeto, apresentando as principais formas de onda do circuito. Posteriormente são realizados vários casos de simulação variando os ângulos de deslocamento de fase α e θ , além da razão cíclica, com objetivo de comprovar o uso do modelo fundamental desenvolvido. Nessas simulações são verificadas as características de transferência de potência e comutação dos interruptores. O comportamento dinâmico do conversor também é analisado através da aplicação de degraus de carga.

5.1 Resultados de simulação em regime permanente

As simulações em regime permanente foram divididas em três partes: resultados para o exemplo de projeto, análise do conteúdo reativo e análise da comutação nos interruptores. Os resultados obtidos são apresentados e discutidos a seguir. O esquemático foi montado em ambiente PSIM[®] e encontra-se no apêndice D deste trabalho.

5.1.1 Resultados para o exemplo de projeto

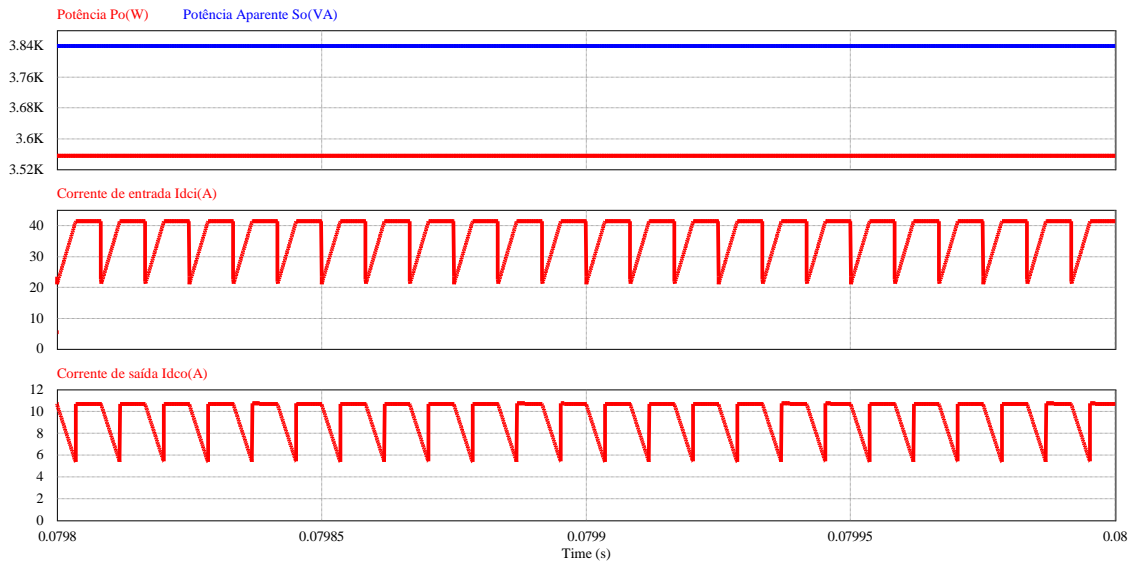
Na Figura 5.1 são apresentadas algumas das principais formas de onda do conversor para os valores nominais com o objetivo de validar o modelo proposto. A potência ativa obtida foi de 3556,7W. De acordo com as especificações da Tabela 1, a potência ativa teórica é igual a 3500W. Logo, o erro devido à ausência do conteúdo harmônico no modelo baseado nas componentes fundamentais é de aproximadamente 1,60%.

A potência total é de 3839,9VA, o que garante um fator de potência de 0,926. Comparado com o valor teórico, o erro é de aproximadamente 5,0%. O erro nesse caso é maior, pois a influência das harmônicas no conteúdo reativo é maior, implicando em aumento da diferença entre modelos real e fundamental.

Ainda da Figura 5.1 pode-se verificar que os valores médios de corrente na entrada e na saída do conversor são, respectivamente, 37,05A e 9,58A, diferindo ligeiramente

para um valor abaixo do calculado devido ao incremento de 57W na potência processada pelo conversor.

Figura 5.1 – Potência do conversor e correntes de entrada e saída.



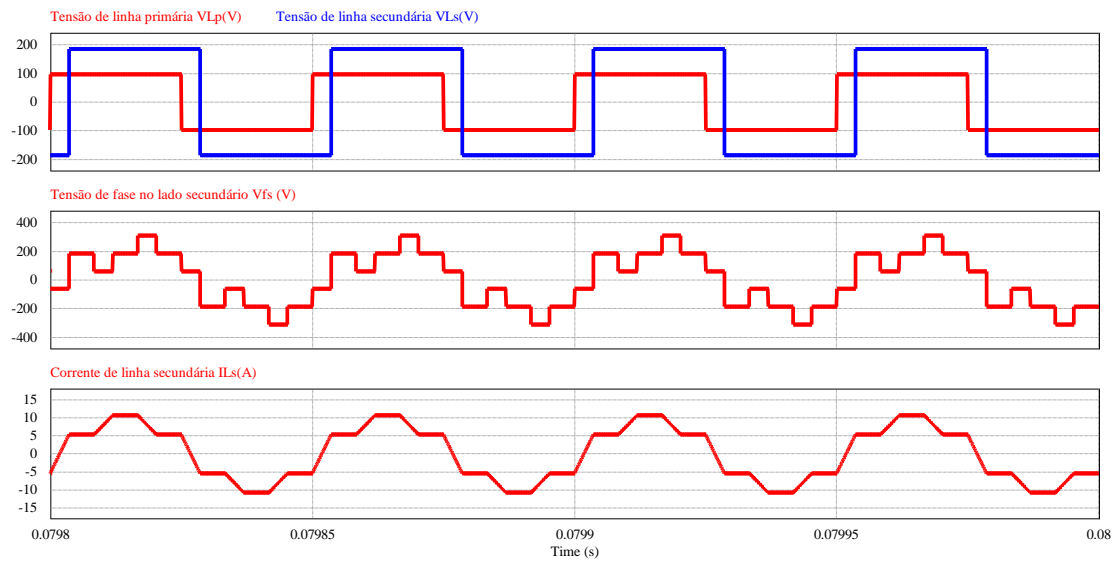
Fonte: Próprio autor.

Na Figura 5.2 são apresentadas as tensões de linha primária e secundária do transformador, corrente de linha no lado secundário, além da tensão de fase no lado secundário. Pode-se observar que existe uma defasagem entre as tensões de linha, que é proveniente do ângulo de *phase-shift* α . Nesta situação, a tensão primária é composta pelo valor da indutância de dispersão, além do valor referente ao transformador. Já a tensão de fase no lado secundário apresenta seis níveis que surgem de acordo com a conexão dos terminais da fase com as outras através do acionamento dos interruptores.

Pode-se verificar ainda na Figura 5.2 que o valor eficaz da corrente de linha é 7,31A, enquanto que no modelo fundamental é 7,13A. O valor eficaz da tensão de linha do transformador é de aproximadamente 47,9V, o que pode ser considerada igual à metade da tensão de alimentação na entrada.

A Figura 5.3 mostra a corrente nas três fases do lado secundário do transformador. Como já mostrado anteriormente, o valor eficaz obtido é 7,31A. Ainda da figura observa-se que as correntes estão perfeitamente simétricas, além de defasadas de 120° cada.

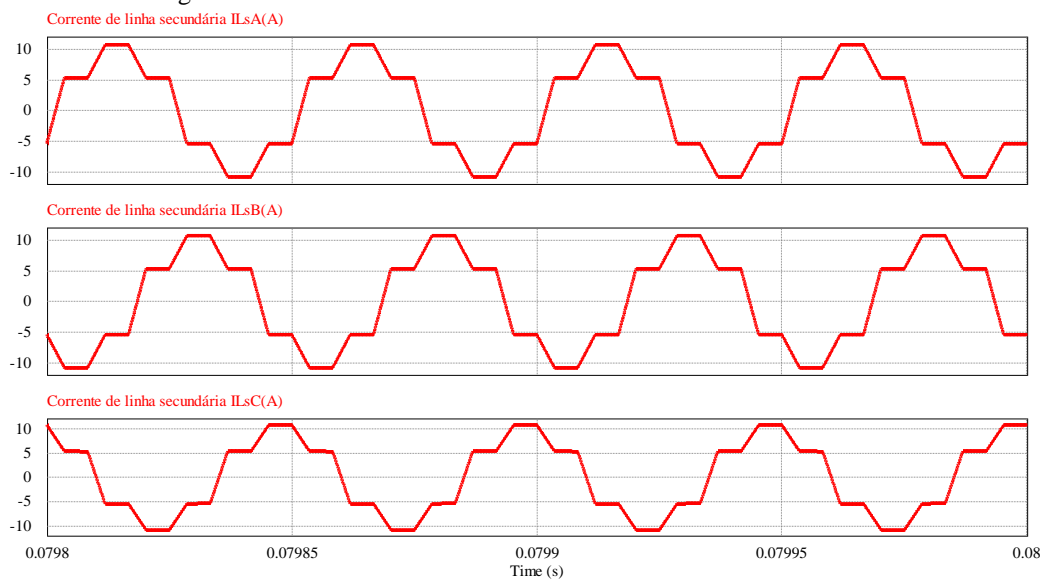
Figura 5.2 – Corrente de linha primária e tensões de linha primária e secundária no transformador.



Fonte: Próprio autor.

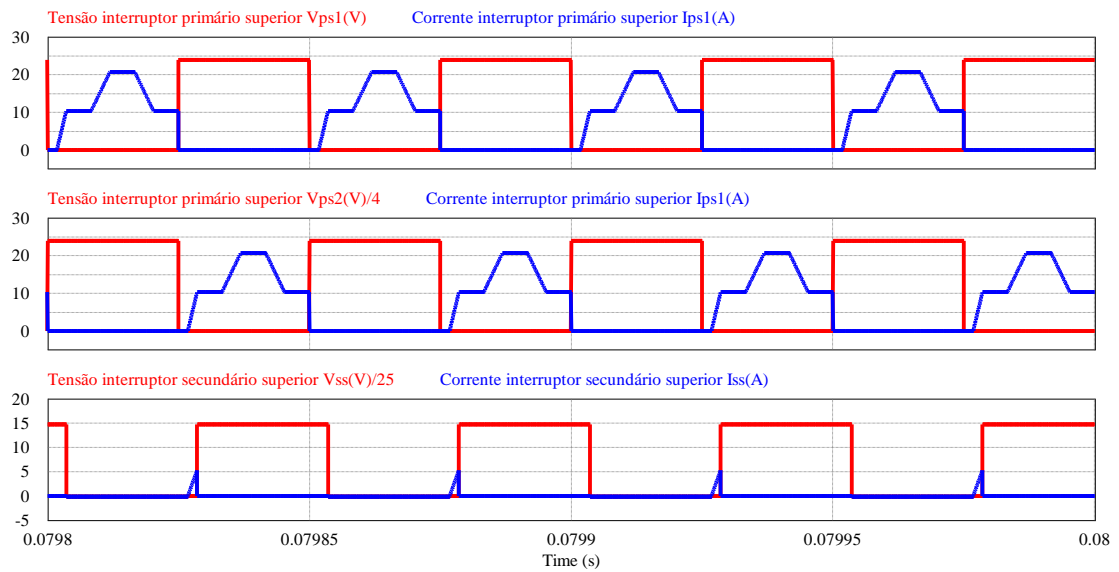
A característica de comutação pode ser observada na Figura 5.4 e está de acordo com o resultado obtido na análise teórica, ou seja, todos os braços apresentam semicondutores sendo acionados com comutação ZVS. Os esforços nos interruptores também apresentaram semelhanças com os valores obtidos teoricamente. As correntes médias nos interruptores primário e secundário são, respectivamente, 6,36A e 95,93mA, enquanto que os valores calculados foram, respectivamente, 6,08A e 41mA. A corrente eficaz no interruptor primário foi 9,93A para o valor simulado e 9,8A para o valor calculado. Já no interruptor do lado secundário os valores eficazes, simulado e calculado, são 0,585A e 0,248A, respectivamente.

Figura 5.3 – Correntes de linha no lado secundário do transformador.



Fonte: Próprio autor.

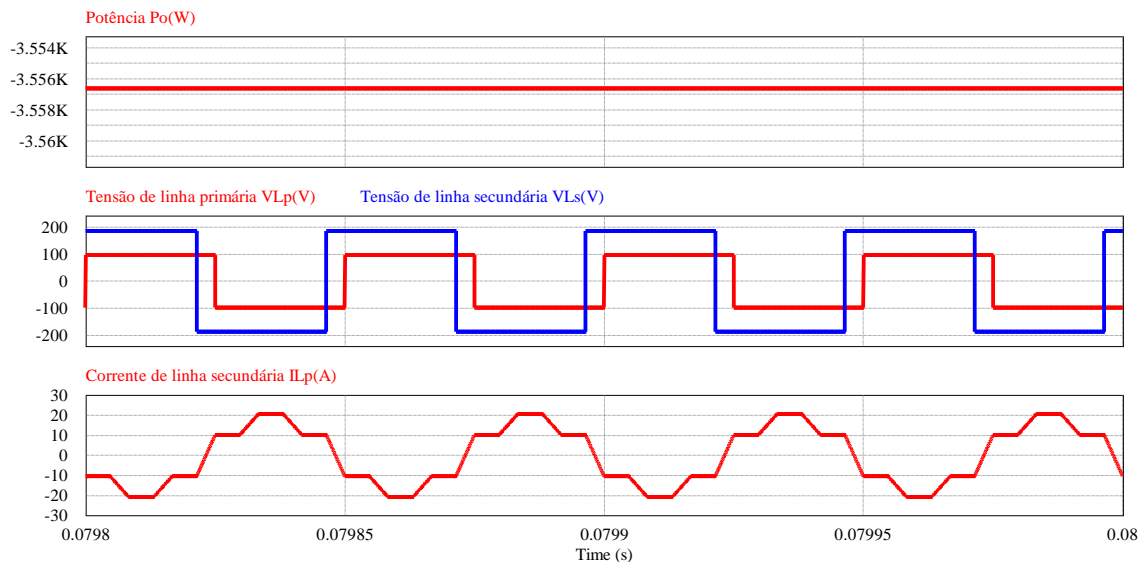
Figura 5.4 – Característica de comutação do conversor.



Fonte: Próprio autor.

Na Figura 5.5 são apresentados os mesmos resultados expostos anteriormente para o conversor operando na potência nominal, no entanto, com o fluxo de potência no sentido inverso, o que pode ser observado através do adiantamento de fase da tensão de linha no lado secundário em relação ao primário. Devido à idealidade do software de simulação utilizado, os valores de potência e corrente são os mesmos para a situação de potência no fluxo direto.

Figura 5.5 – Corrente de linha primária e tensões de linha primária e secundária no transformador.

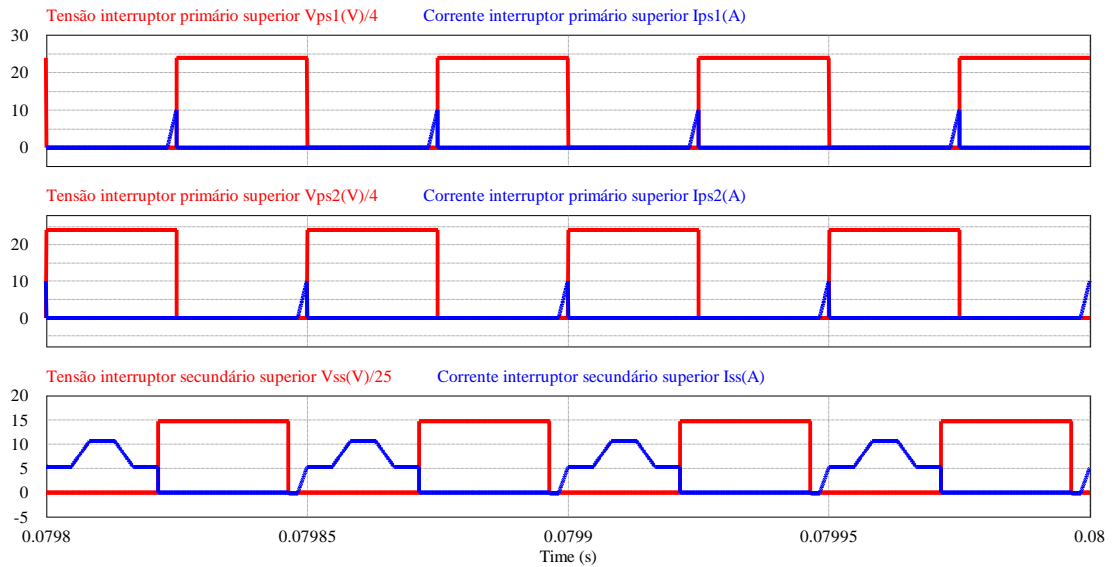


Fonte: Próprio autor.

Ainda com o fluxo de potência invertido, é apresentada na Figura 5.6 a característica de comutação do conversor, que continua funcionando com comutação suave. Porém, devido à mudança no sentido da transferência de potência, os interruptores do lado

primário conduzem por menos tempo quando comparado com o caso anterior. Os interruptores do lado secundário também têm o tempo de condução modificado.

Figura 5.6 – Característica de comutação para os braços primários e secundários de conversor.

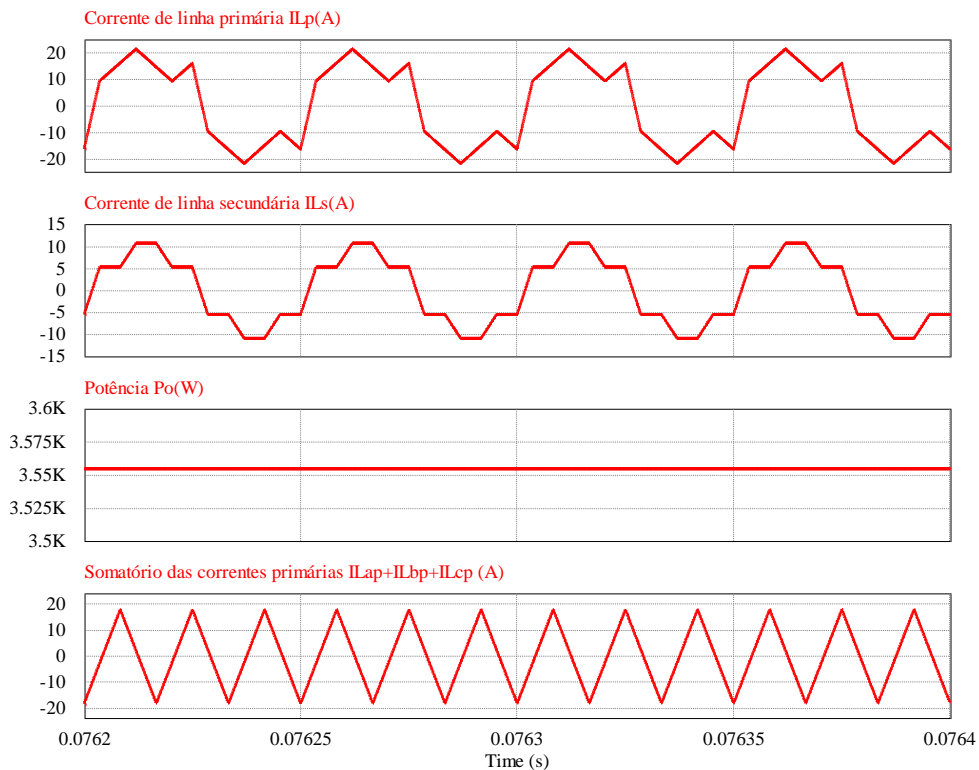


Fonte: Próprio autor.

A partir da observação do esquemático no apêndice D, verifica-se que o transformador isolador em alta frequência é composto por três núcleos monofásicos ao invés de somente um trifásico. A Figura 5.7 apresenta resultados de simulação para o conversor operando com um transformador trifásico de núcleo único e é possível observar que, diferente dos resultados obtidos anteriormente, a corrente de linha no lado primário apresenta uma assimetria na forma de onda, embora a corrente no lado secundário permaneça perfeitamente simétrica. Apesar da distorção verificada, a potência entregue à carga pelo conversor continua praticamente inalterada quando comparada com a simulação contendo transformadores monofásicos. Contudo, a distorção na forma de onda da corrente implica um aumento de harmônicos circulando através do conversor e, conseqüentemente, elevação dos esforços nos componentes.

Pode-se observar a partir da última forma de onda da Figura 5.7, que mostra o somatório das correntes no lado primário do transformador, que a distorção é proveniente da existência de uma terceira harmônica de corrente circulando através do delta aberto. Logo, é desejável evitar este tipo de configuração para o conversor estudado.

Figura 5.7 – Característica da corrente de linha primária, secundária e potência elétrica utilizando um transformador de núcleo único.



Fonte: Próprio autor.

5.1.2 Análise do conteúdo reativo

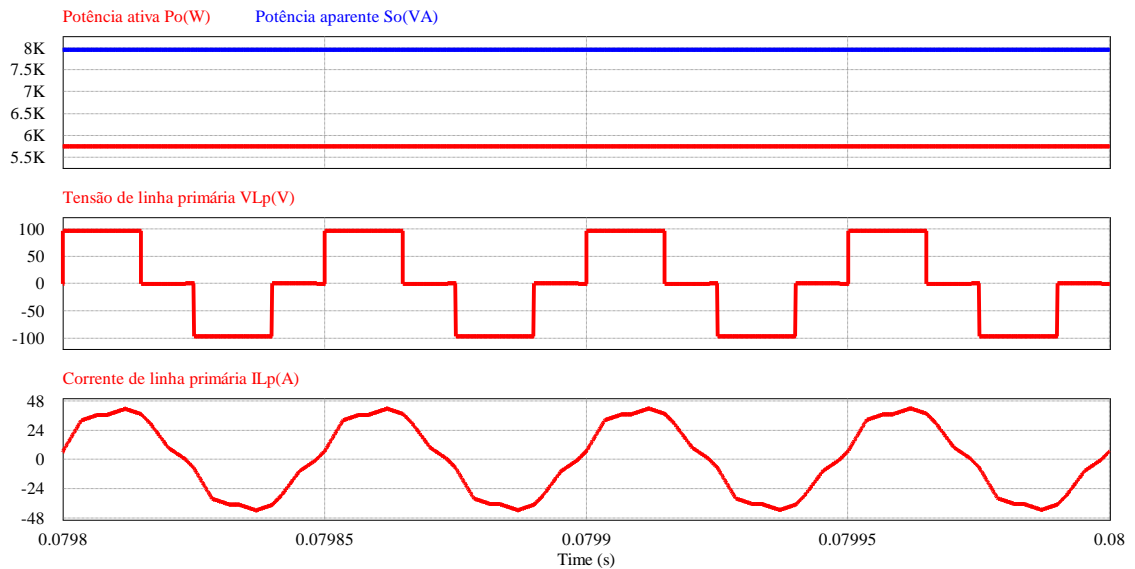
Com o objetivo de comprovar a funcionalidade do modelo baseado em componentes fundamentais, foram realizadas mais duas simulações variando-se a razão cíclica das pontes primárias. Primeiramente foi utilizada uma razão cíclica de 0,3 e os resultados obtidos são apresentados na Figura 5.8. A potência ativa simulada é de 5746,5W, enquanto que a teórica é 5738W, ou seja, um erro quase desprezível.

A potência aparente encontrada é 7950,4VA, logo o fator de potência é 0,723. O erro encontrado em relação ao valor teórico (0,756) é de 4,3%. Ainda neste exemplo de simulação o valor eficaz de corrente de linha primária e tensão no transformador são, respectivamente, 29,3A e 74,1V.

A segunda simulação consiste em elevar a razão cíclica de 0,3 para 0,7. Os resultados obtidos são apresentados na Figura 5.9. A potência ativa obtida é igual a -1148,3W enquanto que a teórica é de -1153W. Com isso, obtém-se um erro quase nulo. A potência aparente é 2224,8VA, logo o fator de potência será 0,516. O erro encontrado em relação ao valor teórico (0,575) é 10,3%. Uma piora no FP eleva o conteúdo reativo circulando através do conversor, portanto a discrepância com o modelo fundamental aumenta. Ainda neste

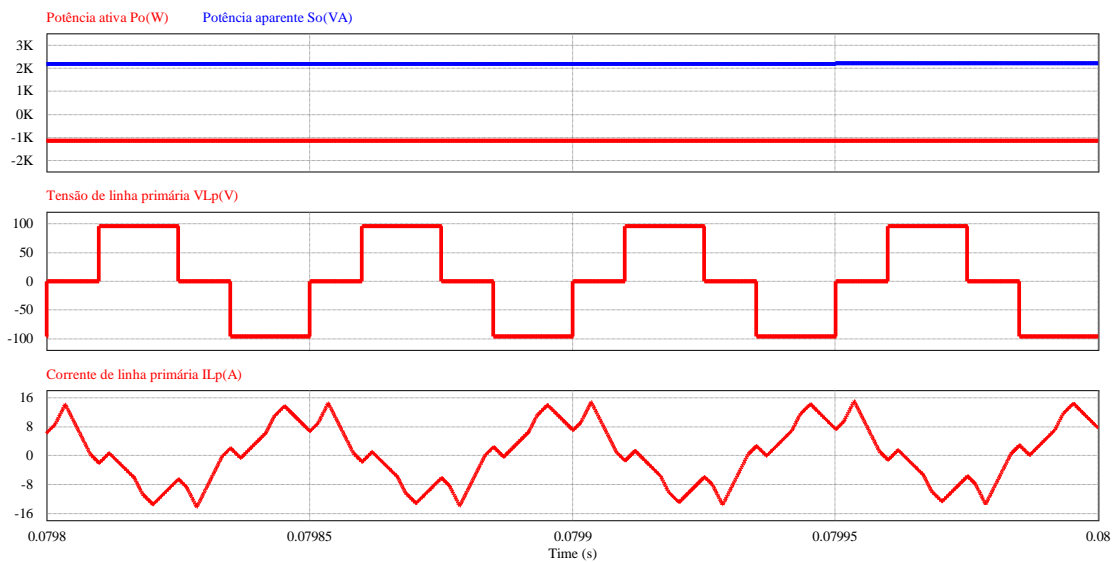
exemplo de simulação, o valor eficaz de corrente de linha primária e tensão no transformador são, respectivamente, 8,2A e 74,61V.

Figura 5.8 – Potência do conversor e corrente e tensão no transformador para $d = 0,3$.



Fonte: Próprio autor.

Figura 5.9 – Potência do conversor e corrente e tensão no transformador para $d = 0,7$.



Fonte: Próprio autor.

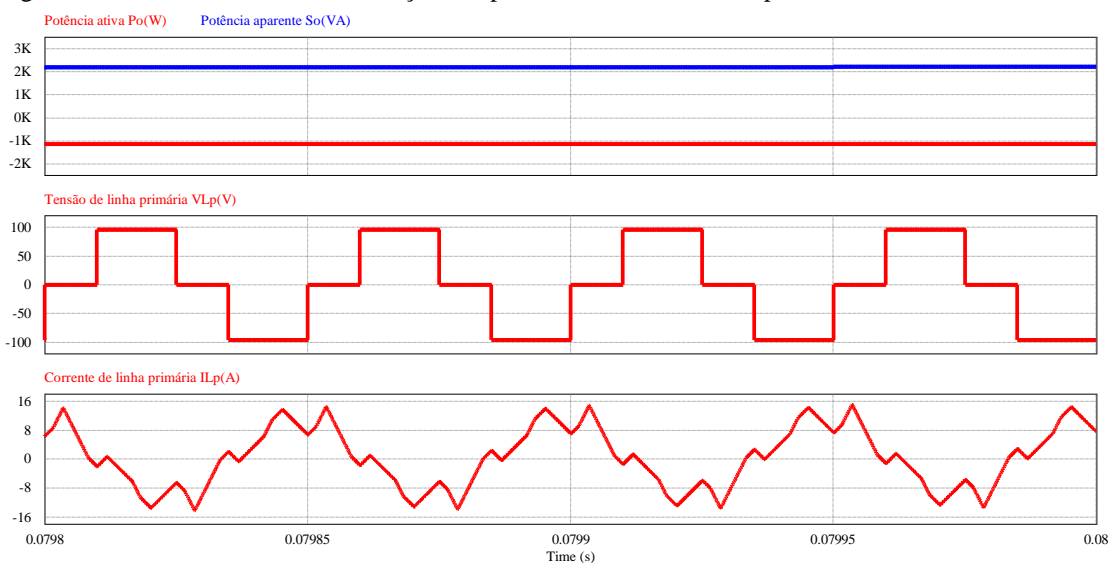
5.1.3 Análise da comutação nos interruptores

As próximas simulações foram realizadas para verificar o comportamento da comutação dos interruptores da topologia em estudo. Para os próximos dois exemplos é

utilizada uma razão cíclica igual a 0,3, enquanto que nos dois últimos resultados é utilizado um valor de 0,7.

Na Figura 5.10 os valores de α e θ são ajustados para 60° e 180° , respectivamente. O comportamento obtido é similar ao apresentado no gráfico da Figura 3.16, ou seja, comutação ZVS para todos os interruptores. Por fim é apresentado o exemplo no qual mostra a comutação dissipativa no interruptor primário inferior do conversor. O valor de α foi ajustado para -70° e o resultado é apresentado na Figura 5.11.

Figura 5.10 – Caracrefística de comutação das pontes de entrada e saída para $d = 0,3$ e $\theta = 80^\circ$, $\alpha = 60^\circ$.

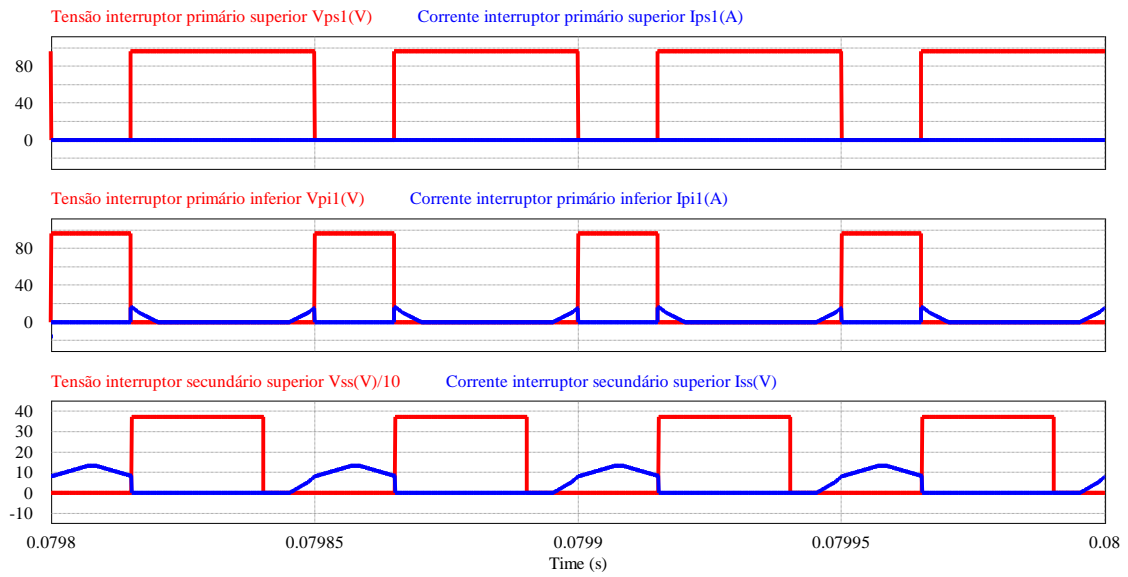


Fonte: Próprio autor.

No primeiro caso para razão cíclica igual a 0,7 são ajustados para 70° e 180° os ângulos α e θ , respectivamente. Através da Figura 5.12 pode-se observar a ponte secundária e o interruptor primário superior funcionando com comutação suave, enquanto que no interruptor primário inferior a comutação é dissipativa. O resultado obtido está de acordo com a curva teórica da Figura 3.17. Pode-se observar, também, que o interruptor primário superior, além de apresentar entrada em comutação ZVS, possui saída ZCS, ou seja, está funcionando no modo ZVZCS.

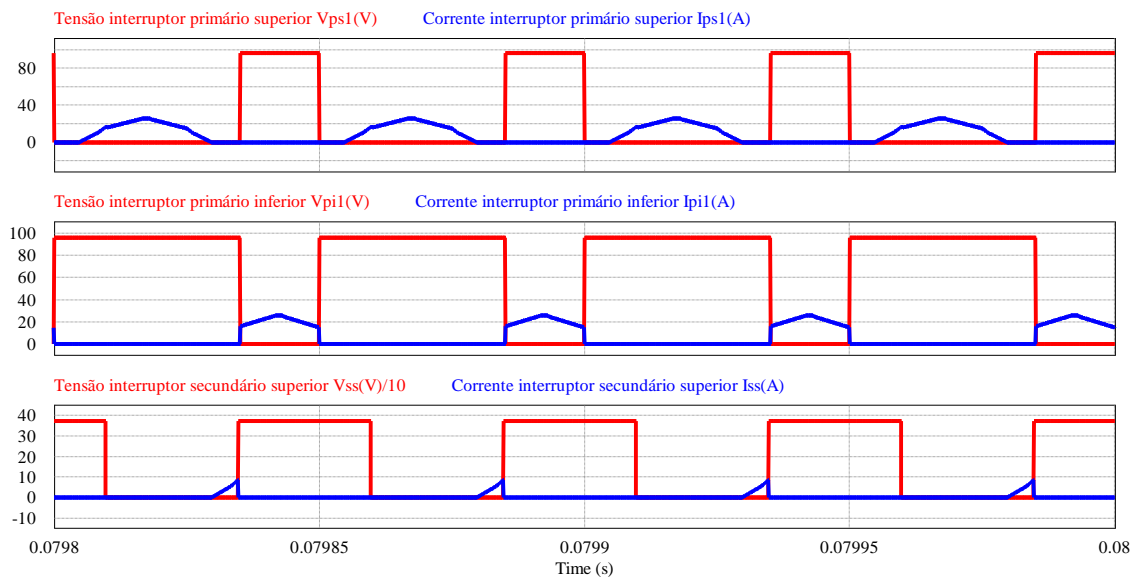
Na Figura 5.13 o valor de α é reajustado para -30° e o comportamento obtido se mantém fiel ao gráfico da Figura 3.17. É importante observar que apenas o diodo do interruptor primário inferior conduz nesta situação, ou seja, a característica de comutação é ZVZCS.

Figura 5.11 – Característica de comutação das pontes de entrada e saída para $d = 0,3$ e $\theta = 180^\circ$, $\alpha = -70^\circ$.



Fonte: Próprio autor.

Figura 5.12 – Característica de comutação das pontes de entrada e saída para $d = 0,7$ e $\theta = 180^\circ$, $\alpha = 70^\circ$.

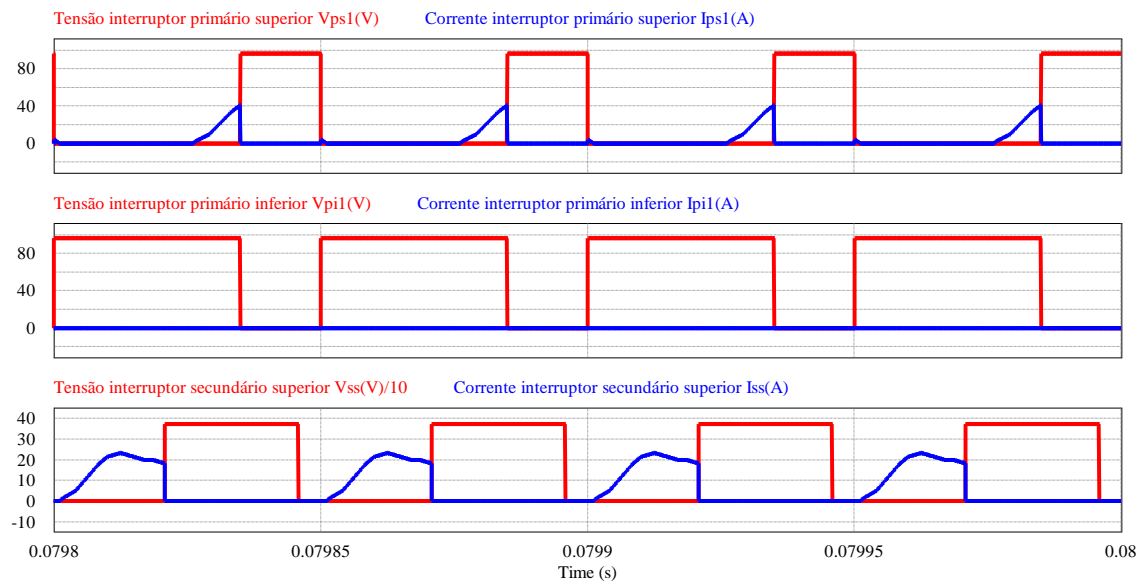


Fonte: Próprio autor.

5.2 Resultados de simulação em malha fechada

Com o objetivo de verificar o desempenho dos compensadores projetados, são realizadas simulações do sistema a partir de variações dinâmicas de cargas conectadas ao conversor. Contudo, primeiramente é apresentado, a partir de simulação do conversor operando em malha aberta, o diagrama de Bode que caracteriza o comportamento dinâmico ou função de transferência do conversor.

Figura 5.13 – Característica de comutação das pontes de entrada e saída para $d = 0,7$ e $\theta = 180^\circ$, $\alpha = -30^\circ$.

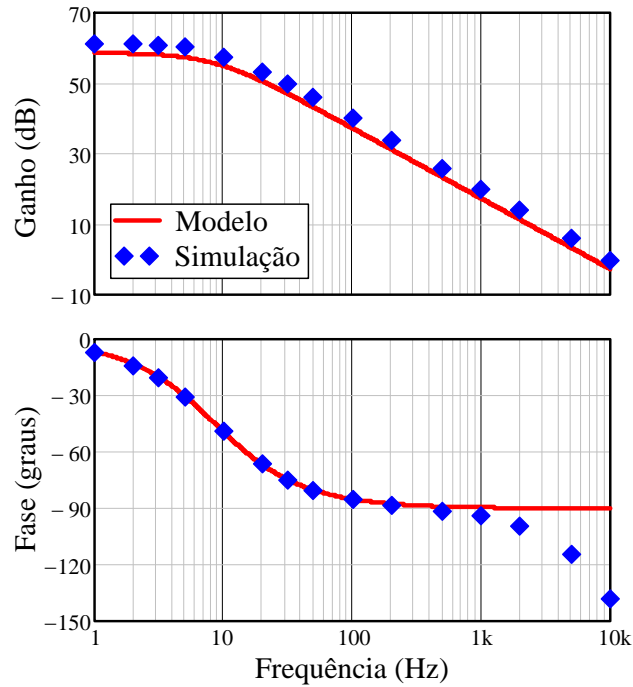


Fonte: Próprio autor.

5.2.1 Função de transferência do conversor

O comportamento dinâmico, através de simulação, que relaciona a variação da tensão V_{dco} de saída a partir da variação do ângulo de deslocamento de fase α é comparado com o diagrama de Bode da Figura 3.25, baseado na teoria do *gyrator*. Os dois diagramas são apresentados na Figura 5.14 e observa-se equivalência entre ambos. O modelo baseado no *gyrator* apresenta um ganho ligeiramente menor do que o modelo obtido através da simulação, porém este comportamento já era esperado devido ao primeiro utilizar parâmetros extraídos a partir das componentes fundamentais, enquanto que o segundo é um modelo mais próximo do real, com todas as harmônicas provenientes da comutação dos interruptores. É importante salientar que a perda de fase verificada para frequências próximas e/ou acima de 1 kHz provém da não linearidade que a comutação dos semicondutores do conversor impõe. Como a análise dinâmica desenvolvida neste trabalho utiliza o modelo de pequenos sinais, que descreve componentes CA de baixa frequência[34], o atraso de fase verificado para frequências próximas e/ou acima de 1 kHz na FT da simulação é naturalmente eliminado na FT no modelo fundamental.

Figura 5.14 – Diagrama de Bode para a FT do modelo desenvolvido e do obtido a partir de simulações.



Fonte: Próprio autor.

5.2.2 Operação do conversor em malha fechada

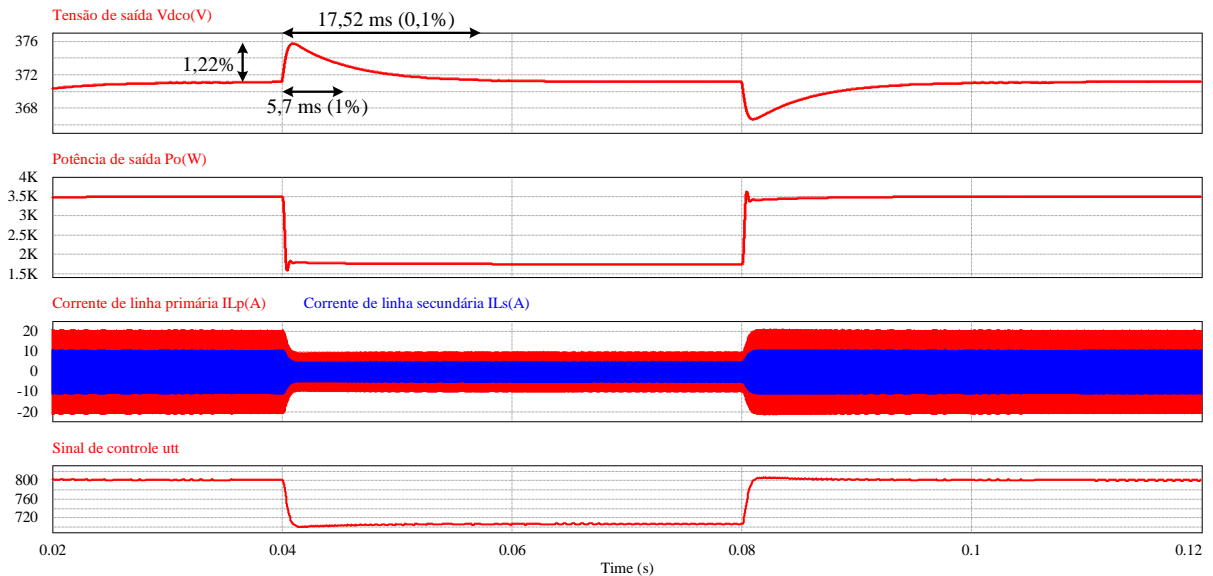
O procedimento seguinte, após a verificação da viabilidade do modelo da planta levantada, é operar o conversor controlando a tensão de saída a partir do ângulo de *phase-shift* α . Os parâmetros do sistema de controle estão disponíveis no capítulo anterior.

A Figura 5.15 apresenta um degrau de carga aplicado ao conversor com variação de 100% a 50% e posteriormente de 50% para 100%. Observa-se que a oscilação da tensão durante o transitório de aproximadamente inferior a 1,22% e o tempo de resposta para uma oscilação máxima de 1% igual a 5,7 ms. A corrente através do transformador também se mantém estável, sem sobressinal ou presença de nível CC. Ainda na Figura 5.15 também é apresentado o sinal de controle, que atua no sentido de aumentar ou diminuir o ângulo de deslocamento de fase para garantir que a tensão se mantenha na tensão nominal.

Por fim, é mostrado na Figura 5.16 um degrau de fluxo bidirecional, com variação de +100% para -100%. É possível verificar que, apesar de variação tão brusca, o compensador consegue manter a tensão em torno do seu ponto de regulação, ou seja, 371,2V, com esta grandeza apresentando sobretensão de aproximadamente 4,35% para um tempo de resposta de de aproximadamente 12,4 ms. Observa-se que o sistema de controle apresenta uma resposta similar àquela obtida através da resposta ao degrau da Figura 4.10. Nesta resposta foi obtido um sobressinal de 3,9%, com uma tempo de resposta de 13,3 ms (1%). Ainda com relação à

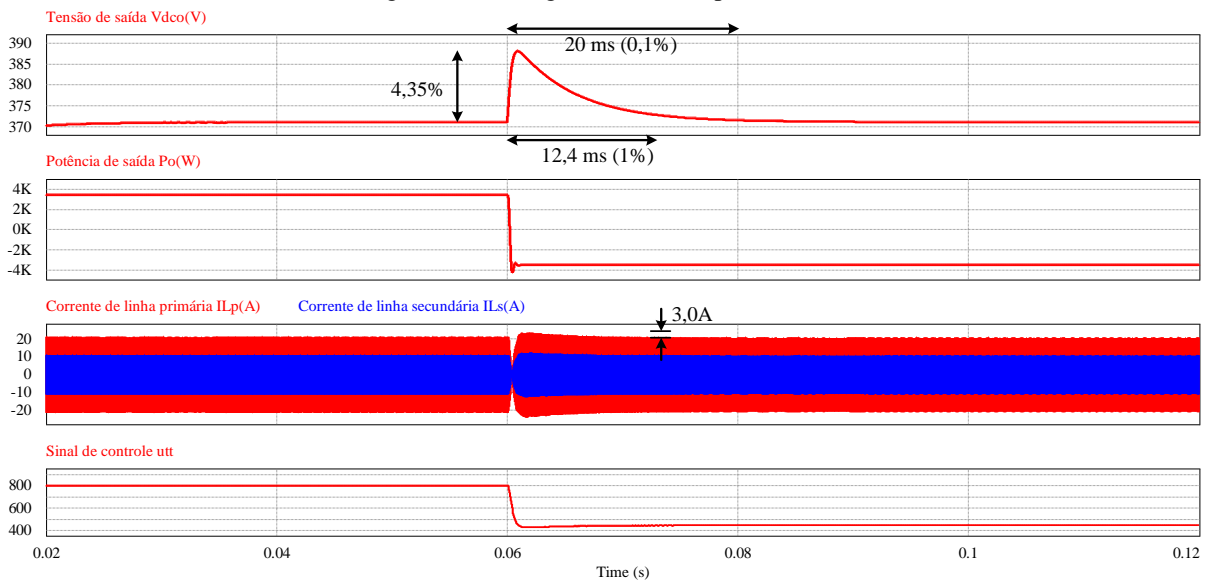
simulação da Figura 5.16, pode-se observar que a corrente, mesmo para uma inversão ríspida de sentido de fluxo de potência, apresenta um sobressinal de aproximadamente apenas 3A.

Figura 5.15 – Degrau de 100% para 50% para 100%.



Fonte: Próprio autor.

Figura 5.16 – Degrau de +100% para -100%.



Fonte: Próprio autor.

5.3 Considerações finais

Os resultados de simulação, que apresentaram diversas situações de ângulos de deslocamento de fase e razão cíclica, validaram o modelo fundamental proposto para o conversor CC-CC trifásico isolado bidirecional proposto.

Devido à idealidade do programa empregado como ferramenta computacional de simulação (PSIM), foi possível comparar de forma sucinta os resultados teóricos e de simulação, tendo-se como implicação erros praticamente desprezíveis. O valor de potência aparente do transformador e, conseqüentemente, do fator de potência foi a grandeza a apresentar maior diferença entre os valores teóricos e simulados, porém este erro permaneceu dentro de uma margem aceitável. Essa situação já era esperada, pois no modelo fundamental não está inserido o conteúdo reativo inerente à comutação dos interruptores. Logo, na determinação dos parâmetros de projeto é importante atentar que o fator de potência real será sempre menor do que o teórico.

Com relação à análise da comutação dos interruptores, pode-se observar que os resultados de simulação foram condizentes com os esperados teoricamente. E como já mencionado no capítulo anterior e verificado neste, o melhor desempenho, em termos de esforços, ocorre para os interruptores de ambos os lados do conversor operando em modo ZVS, ou seja, com ganho estático unitário e razão cíclica ajustada em 0,5.

Por fim, dois casos de simulação para o conversor operando em malha fechada foram apresentados, com o sistema apresentando resultados satisfatórios de regulação da tensão de saída perante mudanças de cargas. Portanto, considera-se que os parâmetros do compensador projetado foram especificados atingindo-se um bom compromisso entre tempo de resposta e sobressinal.

6 RESULTADOS EXPERIMENTAIS

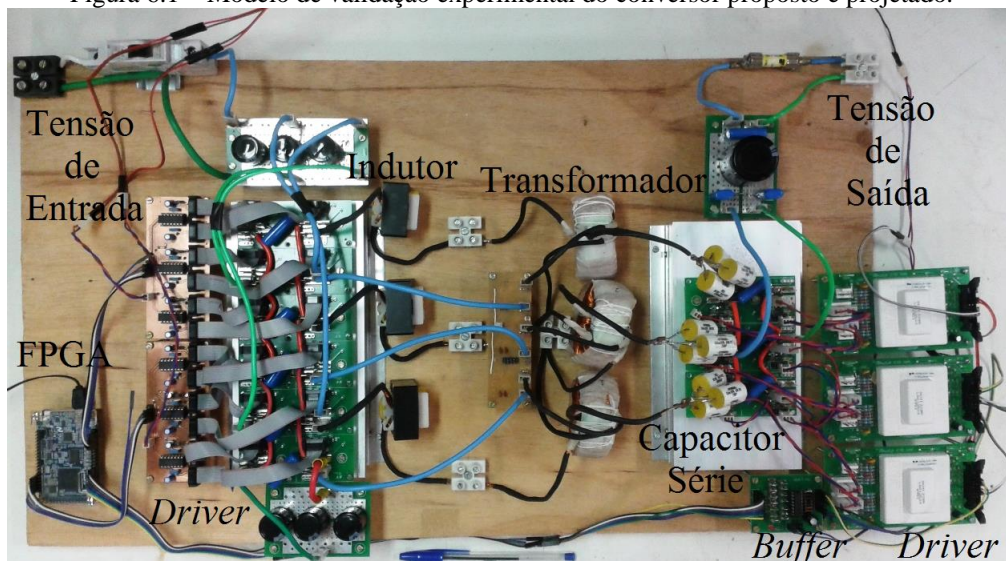
Este capítulo destina-se a apresentar os resultados experimentais a partir de um modelo de validação do conversor CC-CC trifásico isolado bidirecional com comutação suave projetado. As especificações do protótipo foram expostas no capítulo 4 e neste serão representados quais componentes foram utilizados para a realização do procedimento experimental.

São exibidos resultados experimentais para o modelo de validação operando em malha aberta com fluxo de potência direto e indireto, além de diferentes condições para que seja possível analisar as características da topologia. Resultados em malha fechada também são apreciados, controlando-se o lado de tensão mais elevada do conversor. Também são realizados ensaios de degrau de carga unidirecional e bidirecional durante o experimento. Por fim, são apresentadas as curvas de rendimento, para as duas direções de fluxo de potência.

6.1 Resultados para o modelo de validação

Na Figura 6.1 é apresentado o protótipo do conversor CC-CC trifásico isolado bidirecional com comutação suave projetado. A parte esquerda da figura representa o lado primário, enquanto que a direita o lado secundário. Os *drivers*, já analisados e apresentados no capítulo 4, utilizados para acionar os interruptores da ponte primária usam o CI IR21844, enquanto no lado primário são usados *drivers* SKHI 22A R precedido do *buffer* CI UN2003A.

Figura 6.1 – Modelo de validação experimental do conversor proposto e projetado.



Fonte: Próprio autor.

Os componentes utilizados no circuito de potência foram especificados no capítulo 4, porém na Tabela 13 são rerepresentados novamente de maneira conjunta e mais sintética. Como pode ser observado, tanto na tabela, quanto na Figura 6.1, foram utilizados três transformadores monofásicos para realizar a isolação trifásica em alta frequência. A utilização de um único núcleo trifásico é possível, além de garantir a diminuição do volume do conversor, no entanto, como mostrado na subseção 5.1.1 do capítulo anterior, a configuração delta aberto/estrela utilizado neste trabalho faz com que surja harmônicas de terceira ordem circulando através do lado primário.

Tabela 13 – Componentes utilizados no circuito de potência do modelo de validação.

MOSFET IRFP4321PbF	12 x 150V/78A
IGBT IRGP50B60PD	6 x 600V/33A
Capacitor eletrolítico de entrada Epcos B43304-A9107-M	6 x 100 μ F/400V
Capacitor de polipropileno de entrada Epcos P614 X124	6 x 1 μ F/400V
Capacitor eletrolítico de saída Epcos B43503-S5477-M91	1 x 470 μ F/450V
Capacitor de polipropileno de saída P614 W601	3 x 470nF/630V
Capacitor serie de polipropileno no secundário	9 x 3 μ F/100V
Indutância – Núcleo Thornton NEE 42/21/20	$L_L=21,5\mu$ H; N = 15
Transformador – Núcleo Magmattec MMT139T6325	$n = 29/15$

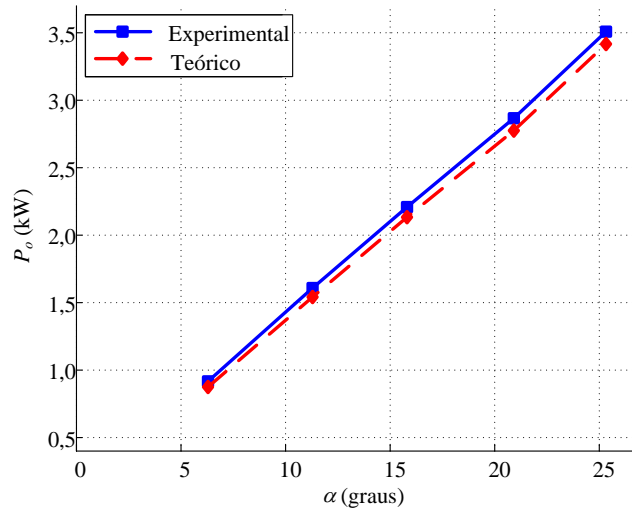
Fonte: Próprio autor.

6.1.1 Resultados experimentais para validação do modelo

Uma comparação entre os resultados experimentais e teóricos (modelo fundamental) é realizada com o propósito de validar o equacionamento matemático proposto neste trabalho. A Figura 6.2 apresenta o gráfico comparativo para o modo de operação *boost*. Observa-se que o erro inicial e final são 5,3% e 2,7%, respectivamente. A diferença ocorre devido ao conteúdo harmônico das formas de onda no protótipo experimental, que não é incluído no modelo baseado na componente fundamental.

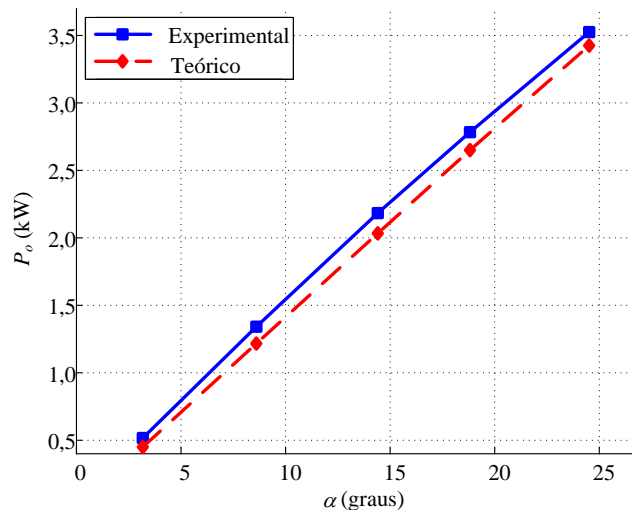
Analogamente, a mesma comparação apresentada anteriormente foi realizada para o modo de operação *buck*. A Figura 6.3 mostra este comparativo e observa-se que o erro inicial e final são 13,6% e 2,9%, respectivamente.

Figura 6.2 – Comparação entre os resultados experimental e teórico para o modo de operação *boost*.



Fonte: Próprio autor.

Figura 6.3 – Comparação entre os resultados experimental e teórico para os modos de operação *buck*.



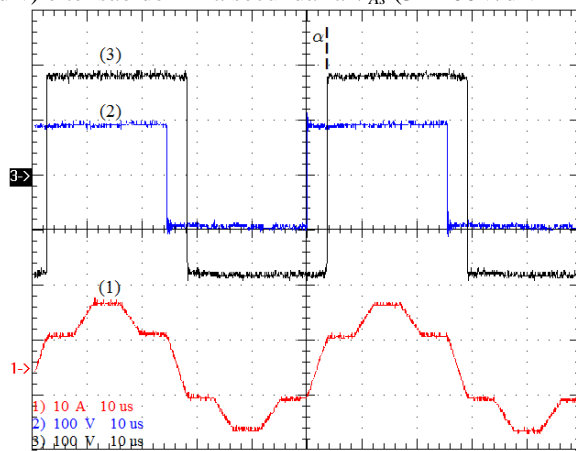
Fonte: Próprio autor.

6.1.2 Resultados para o fluxo de potência no sentido primário para secundário

A Figura 6.4 mostra as formas de onda das tensões de linha primária e secundária em relação ao barramento central, além da corrente no lado secundário. A forma de onda do lado primário representa a soma das tensões do indutor e transformador. As tensões máximas em ambos os lados são os próprios valores de entrada e saída, ou seja, 96V e 355,1V, respectivamente. É importante atentar para o fato de que a tensão de saída foi ajustada para assegurar a melhor característica de forma de onda para a corrente através do transformador e, conseqüentemente, a máxima eficiência do sistema. A diferença entre os valores teórico e experimental para a tensão de saída surge devido às acomodações e esforços nos semicondutores, pois dependendo do modo de operação, interruptor ou diodo irá determinar

uma maior ou menor queda de tensão, além de alterar os níveis de corrente nos elementos magnéticos e, conseqüentemente, as perdas ôhmicas. A terceira forma de onda apresentada nesta figura é a corrente no lado secundário do transformador e possui um valor eficaz de 7,8A, que é um resultado ligeiramente acima do simulado (7,3A). É possível observar que a etapa de operação que ocorre a transição de subida da corrente é o próprio valor de PS e o mesmo pode ser verificado através do atraso da tensão de linha secundária em relação ao lado primário.

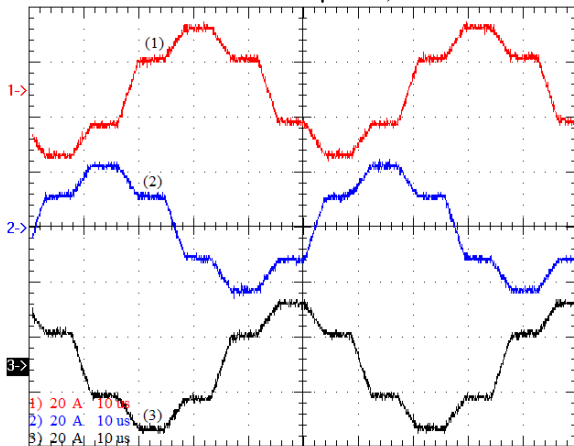
Figura 6.4 – Corrente de linha secundária I_{LAs} (1 - 10A/div - 10 μ s/div), tensão de linha primária V_{Ap} (2 - 100V/div - 10 μ s/div) e tensão de linha secundária V_{As} (3 - 100V/div - 10 μ s/div).



Fonte: Próprio autor.

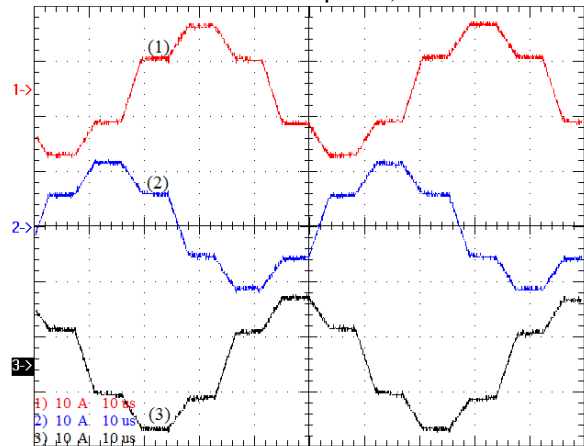
A Figura 6.5 e Figura 6.6 mostram as formas de onda das correntes de linha primárias e secundárias, respectivamente. Pode-se observar que as correntes são simétricas, enquanto que o nível CC verificado no lado primário é inferior a 2% e no lado secundário é inferior a 1%. Correntes no lado secundário apresentam componentes CC desprezíveis devido ao uso de capacitores série.

Figura 6.5 – Correntes de linha primárias I_{Lp} (1 - 20A/div - 10 μ s/div).



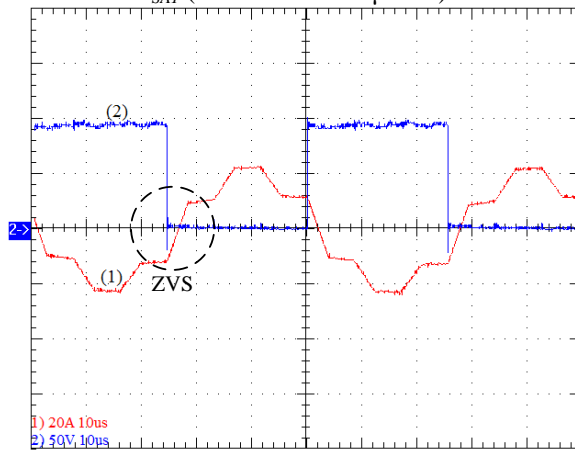
Fonte: Próprio autor.

Figura 6.6 – Correntes de linha secundárias I_{Ls} (1 - 10A/div - 10 μ s/div).



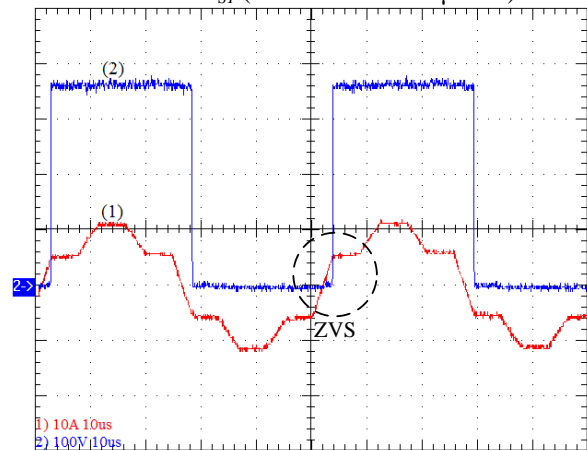
As características de comutação do conversor podem ser vistas na Figura 6.7 e Figura 6.8. Em todas as situações em que forem apresentadas as características de comutação neste trabalho, a corrente através do interruptor será observada indiretamente através da corrente de linha do transformador para evitar que *jumpers* de medição de corrente direta provocassem ruídos e interferências no conversor. Em ambos os casos a seguir, ou seja, tanto a ponte primária quanto a secundária apresentam comutação ZVS, o que já era esperado de acordo com o estudo teórico realizado previamente e o perfil apresentado na Figura 3.14.

Figura 6.7 – Corrente no interruptor primário I_{LAp} (1 – 20A/div - 10 μ s/div) e tensão no interruptor primário V_{SAI} (2 – 50V/div - 10 μ s/div).



Fonte: Próprio autor.

Figura 6.8 – Corrente no interruptor secundário I_{LAs} (1 – 10A/div - 10 μ s/div) e tensão no interruptor secundário V_{SI} (2 – 100V/div - 10 μ s/div).



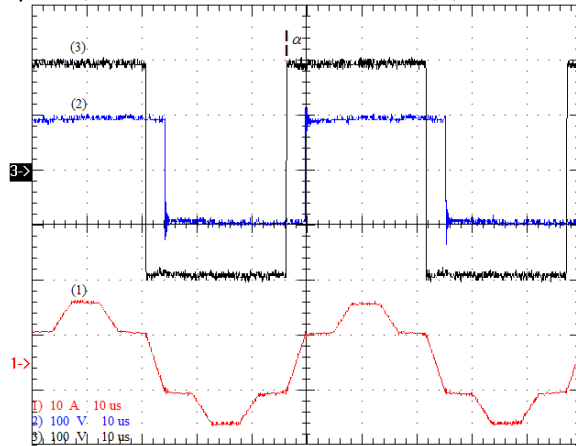
6.1.3 Resultados para o fluxo de potência sentido secundário para primário

Nesta seção são apresentados os resultados para o conversor operando com a potência no sentido inverso ao do caso anterior, ou seja, no modo *buck*. Essa inversão de fluxo pode ser vista na Figura 6.9 ao se observar o adiantamento da tensão de linha secundária em relação à primária. A tensão máxima de entrada e saída são 380,7V e 96V.

A Figura 6.10 e Figura 6.11 apresentam as formas de onda das correntes de linha no lado primário e secundário do transformador. Assim como nos resultados da seção anterior, a simetria das correntes é mantida para o conversor operando no modo *buck*, além do nível CC também continuar desprezível.

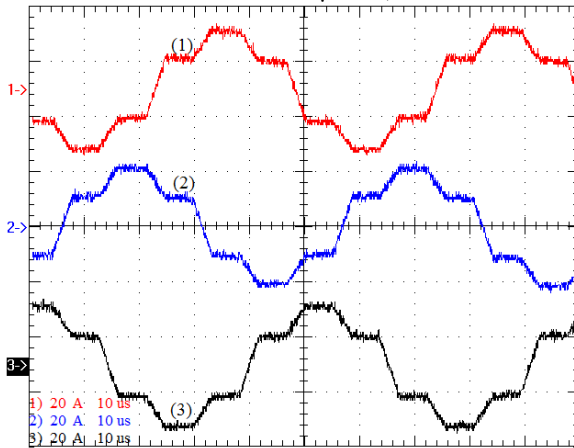
Na Figura 6.12 e Figura 6.13 são mostradas as características de comutação do conversor. Assim como no caso anterior, tanto a ponte primária quanto a secundária apresentam comutação ZVS.

Figura 6.9 – Corrente de linha secundária I_{Ls} (1 - 10A/div - 10 μ s/div), tensão de linha primária V_{Ap} (2 - 100V/div - 10 μ s/div) e tensão de linha secundária V_{As} (3 - 100V/div - 10 μ s/div).



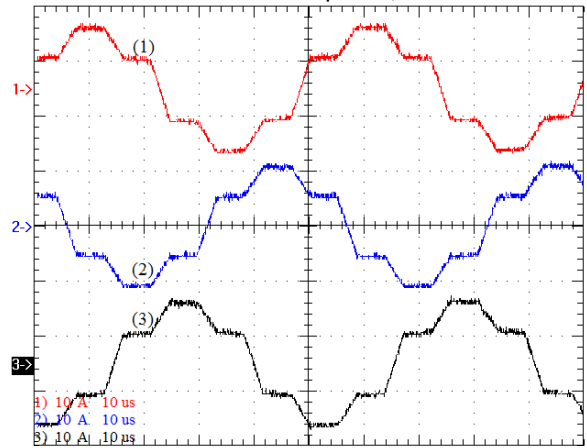
Fonte: Próprio autor.

Figura 6.10 – Correntes de linha primárias I_{Lp} (1 - 20A/div - 10 μ s/div).



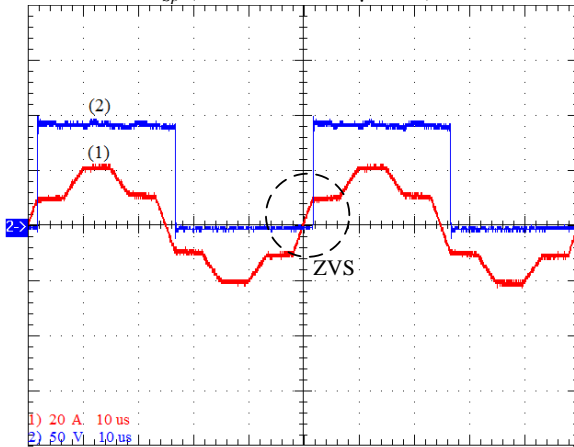
Fonte: Próprio autor.

Figura 6.11 – Correntes de linha secundárias I_{Ls} (1 - 10A/div - 10 μ s/div).



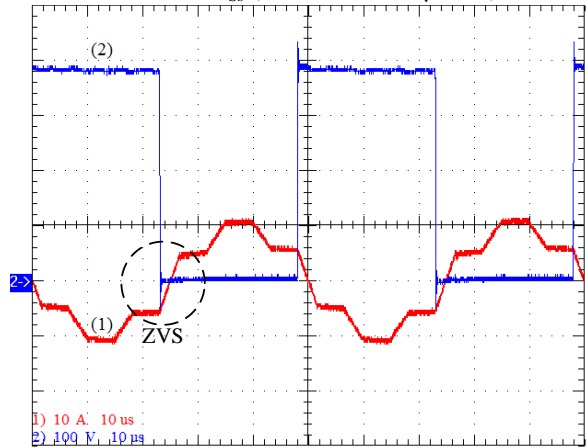
Fonte: Próprio autor.

Figura 6.12 – Corrente no interruptor primário I_{Sp} (2 - 10A/div - 5 μ s/div), e tensão no interruptor primário V_{Sp} (1 - 20V/div - 5 μ s/div).



Fonte: Próprio autor.

Figura 6.13 – Corrente no interruptor secundário I_{Ss} (2 - 10A/div - 5 μ s/div) e tensão no interruptor secundário V_{Ss} (1 - 50V/div - 5 μ s/div).



Fonte: Próprio autor.

6.2 Análise da comutação

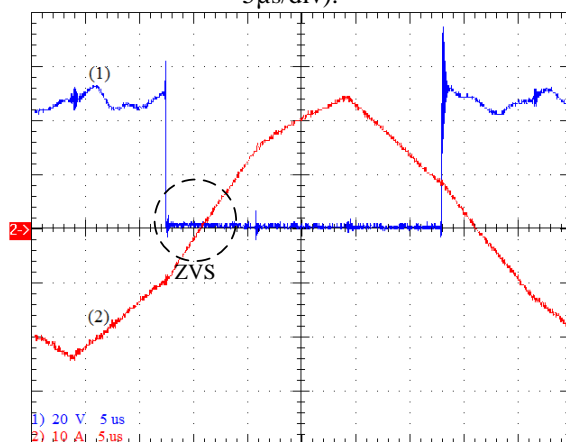
Com objetivo de comprovar experimentalmente o modelo baseado em componentes fundamentais desenvolvido são realizados diversos ensaios para verificar o funcionamento dos interruptores da topologia proposta. As formas de onda mostradas nesta seção são obtidas usando um ganho estático aproximadamente unitário, embora os barramentos estejam ajustados para a metade do valor nominal, ou seja, $V_{dci} = 48V$ and $V_{dco} = 200V$ para evitar qualquer tipo de dano ao protótipo. São apresentados a seguir ensaios variando-se o PS com ganho unitário ou não.

6.2.1 Ganho estático unitário

Na Figura 6.14 e Figura 6.15 são apresentadas as características de comutação para α igual a 60° . Observa-se que os interruptores operam em condução ZVS, corroborando com as condições observadas no modelo fundamental através da Figura 3.14.

No próximo caso o ângulo foi ajustado para inverter o fluxo de potência através do conversor. Na Figura 6.16 e Figura 6.17 são apresentadas as características de comutação para um PS igual a -45° . Nas duas situações os interruptores permanecem operando no modo ZVS.

Figura 6.14 – Resultados para 60° : Tensão no interruptor primário V_{Sp} (1 – 20V/div - 5 μ s/div) e corrente no interruptor primário I_{Sp} (2 – 10A/div - 5 μ s/div).



Fonte: Próprio autor.

Figura 6.15 – Resultados para 60° : Tensão no interruptor secundário V_{Ss} (1 – 50V/div - 5 μ s/div) e corrente no interruptor secundário I_{Ss} (2 – 10A/div - 5 μ s/div).

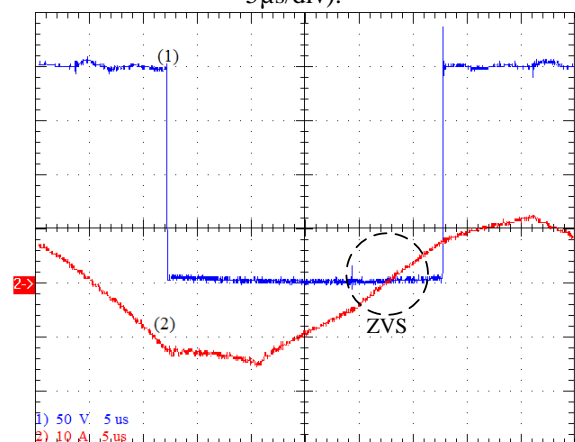
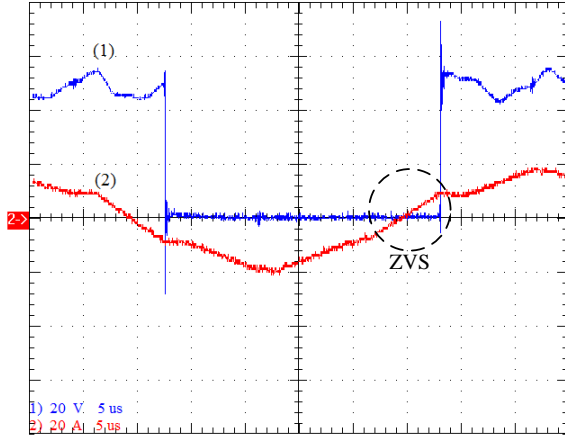
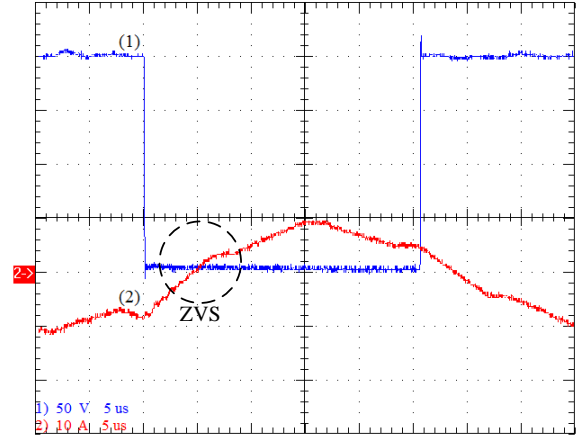


Figura 6.16 – Resultados para -45° : Tensão no interruptor primário V_{Sp} (1 – 20V/div - 5 μ s/div) e corrente no interruptor primário I_{Sp} (2 – 20A/div - 5 μ s/div).



Fonte: Próprio autor.

Figura 6.17 – Resultados para -45° : Tensão no interruptor secundário V_{Ss} (1 – 50V/div - 5 μ s/div) e corrente no interruptor secundário I_{Ss} (2 – 10A/div - 5 μ s/div).

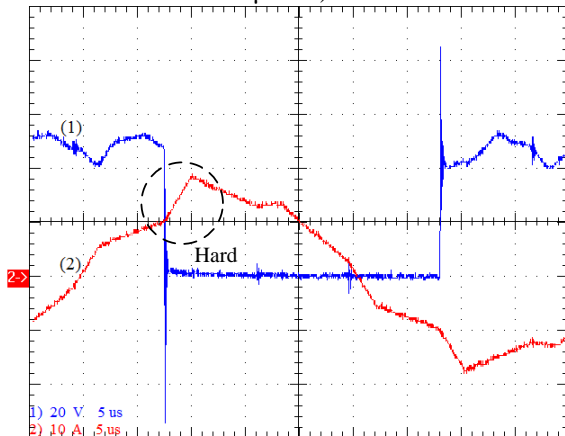


6.2.2 Variação do ganho estático

Tomando como base o gráfico da Figura 3.14, que mostra a característica de comutação do conversor, é realizado a variação do ganho estático nos resultados experimentais a seguir para se verificar o comportamento de comutação dos interruptores.

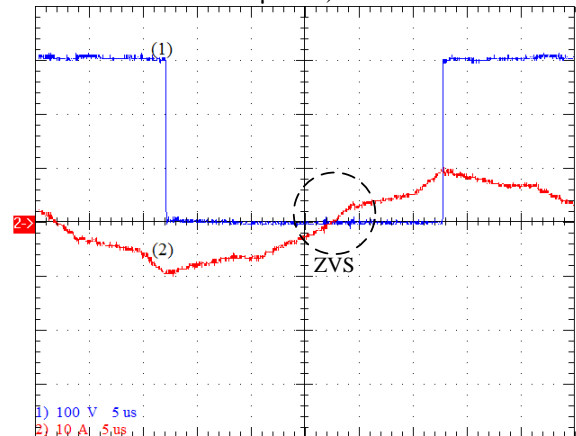
Nos resultados da Figura 6.18 e Figura 6.19 o ganho estático é ajustado para aproximadamente 1,5 ($V_{dco}=300V$). De acordo com o gráfico da Figura 3.14, com este ganho estático e um ângulo de 20° , a ponte de entrada funcionará com comutação dissipativa, o que pode ser observado nas figuras.

Figura 6.18 – Resultados para $\alpha=20^\circ$ e $G=1,5$: Tensão no interruptor primário V_{Sp} (1 – 20V/div - 5 μ s/div) e corrente no interruptor primário I_{Sp} (2 – 10A/div - 5 μ s/div).



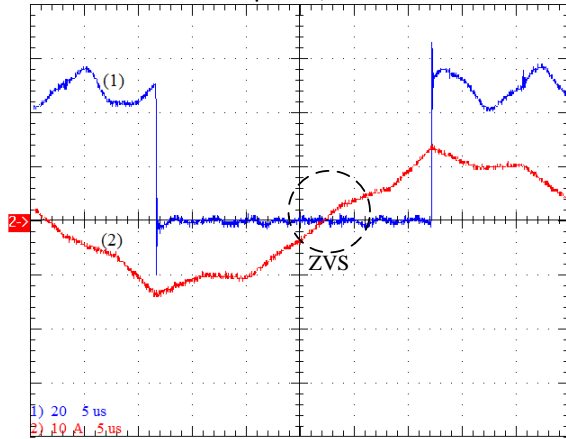
Fonte: Próprio autor.

Figura 6.19 – Resultados para $\alpha=20^\circ$ e $G=1,5$: Tensão no interruptor secundário V_{Ss} (1 – 50V/div - 5 μ s/div) e corrente no interruptor secundário I_{Ss} (2 – 10A/div - 5 μ s/div).



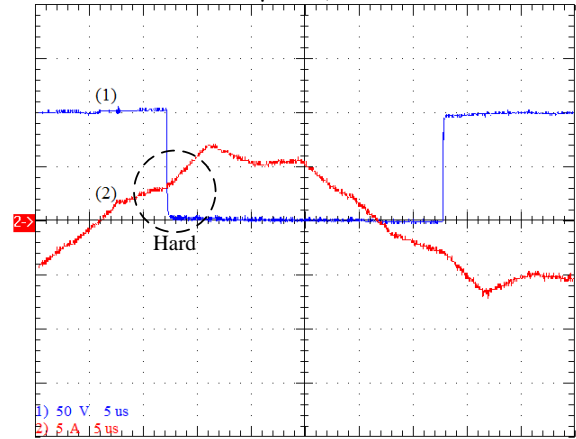
Alterando-se o ângulo e o ganho estático para -30° e $0,5$, respectivamente, a ponte secundária irá operar no modo dissipativo. A Figura 6.20 e Figura 6.21 comprovam este comportamento.

Figura 6.20 – Resultados para $\alpha=-30^\circ$ e $G=0,5$: Tensão no interruptor primário V_{Sp} (1 – 20V/div - 5 μ s/div) e corrente no interruptor primário I_{Sp} (2 – 10A/div - 5 μ s/div).



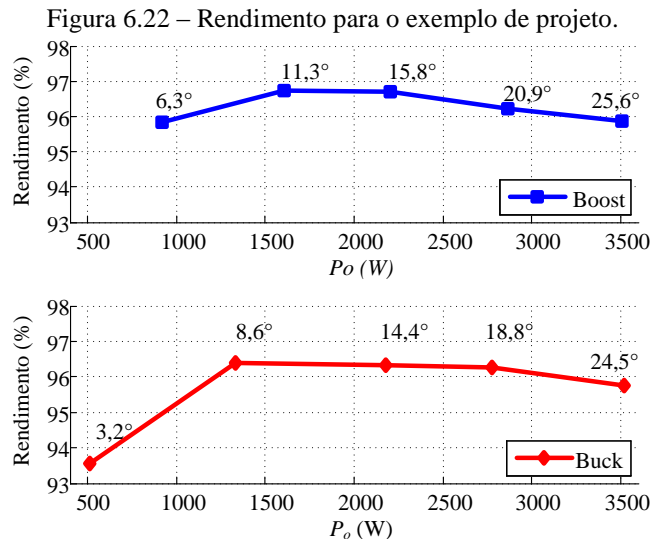
Fonte: Próprio autor.

Figura 6.21 – Resultados para $\alpha=-30^\circ$ e $G=0,5$: Tensão no interruptor secundário V_{Ss} (1 – 50V/div - 5 μ s/div) e corrente no interruptor secundário I_{Ss} (2 – 5A/div - 5 μ s/div).



6.3 Rendimento

A Figura 6.22 apresenta a curva de rendimento para o modelo de validação do conversor CC-CC trifásico isolado bidirecional desenvolvido para ambas as direções de fluxo de potência. O valor efetivo de α obtido para cada medição é mostrado e difere dos valores aplicados (5° , 10° , 15° , 20° e 25°) devido aos atrasos provenientes dos *drivers* e *buffers*.



Fonte: Próprio autor.

A operação no modo *boost* fornece uma eficiência de 95,9% na potência nominal de 3500,6W, enquanto o valor máximo é 96,7%. A eficiência no modo *buck* é ligeiramente menor que no modo *boost*, isto é, 95,8% na potência nominal de 3520,0W e um valor máximo atingido de 96,4%. Como no primário os MOSFETs trabalham de forma síncrona, os esforços não apresentam uma considerável variação. Porém no secundário, dependendo do fluxo de potência, IGBT ou diodo interno irá operar por mais ou menos tempo, alterando, portanto, o valor do rendimento da topologia.

6.4 Resultados experimentais em malha fechada

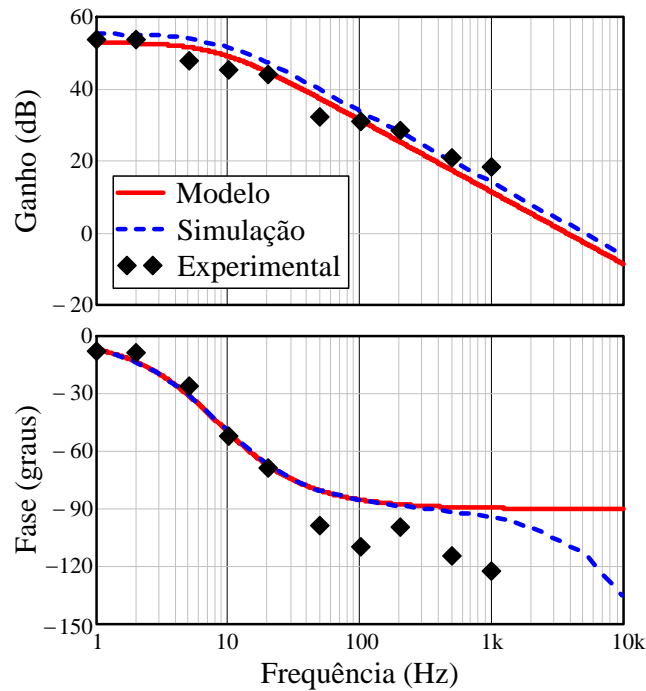
Resultados experimentais relacionados ao comportamento dinâmico do conversor são apresentados a seguir em duas partes. Na primeira parte é feito o levantamento da função de transferência da topologia, enquanto que na segunda são realizadas operações do conversor funcionando em malha fechada.

6.4.1 Função de transferência do conversor

A FT que relaciona a variação da tensão V_{dco} de saída a partir da variação do ângulo de deslocamento α é apresentada na Figura 6.23, através de seu diagrama de Bode. Para efeito de comparação, também são reapresentados os diagramas obtidos através da modelagem matemática e simulação já expostos na Figura 5.14. Com o intuito de evitar avarias no protótipo, os dados foram obtidos utilizando a metade da tensão nos dois barramentos e α foi reduzido para 25°, portanto as outras duas curvas foram ajustadas para esses mesmos parâmetros.

Observa-se na Figura 6.23 equivalência entre as curvas, principalmente com a simulada devido a existência da perda de fase verificada para frequências próximas e/ou acima de 1 kHz. É importante salientar que algumas discrepâncias existentes nos resultados experimentais, principalmente na fase do diagrama de Bode, são decorrentes da dificuldade de se obter e mensurar sinais de baixíssima amplitude.

Figura 6.23 – Diagrama de Bode para a FT obtida a partir do modelo desenvolvido, da simulação e dos resultados experimentais.



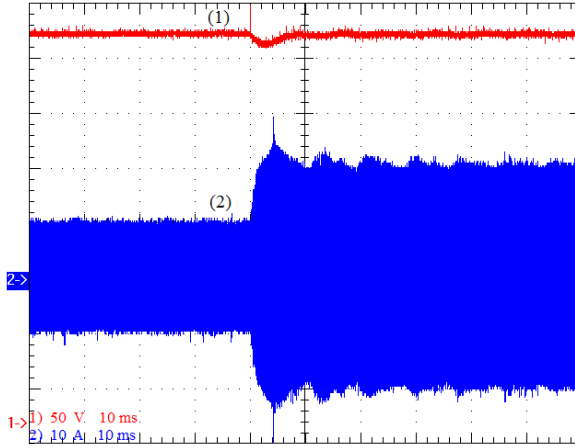
Fonte: Próprio autor.

6.4.2 Operação do conversor em malha fechada

Resultados experimentais do sistema de controle da tensão do barramento a partir do ângulo de deslocamento de fase são apresentados a seguir. Foi utilizada, como já explanado no capítulo 3, a teoria do *gyrator* para obter o modelo dinâmico do conversor. A implementação da malha de controle foi feita através de dispositivo FPGA e demais especificações do circuito de controle podem ser consultados no capítulo 4.

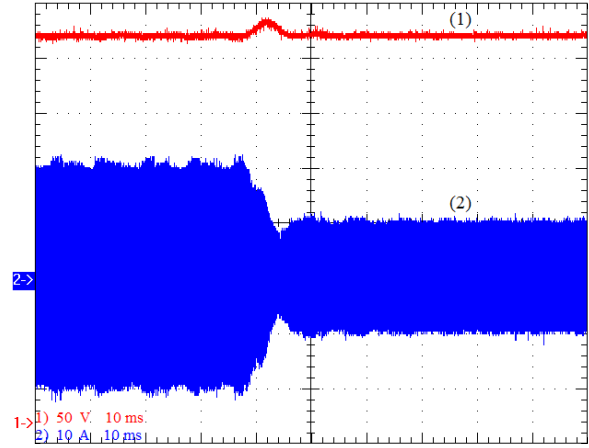
A Figura 6.24 apresenta o conversor regulando a tensão de saída diante de um degrau de carga de aproximadamente 50% para 100%, enquanto que a Figura 6.25 mostra o degrau inverso, ou seja, 100% para 50%. Observa-se que o controlador apresenta um ótimo tempo de resposta, que é inferior a 10 ms, enquanto que a sobretensão é de aproximadamente 4%. As respostas transientes, quando comparadas com os resultados de simulação, apresentam uma suave diferença que pode ser explicada a partir da observação do comportamento da fonte de alimentação que energiza o conversor. Na simulação é utilizada uma fonte ideal, enquanto que no experimento uma fonte de alimentação regulada, logo o transiente de carga também irá fazer com que a tensão de entrada saia do regime permanente, forçando o controlador da fonte a atuar e, conseqüentemente, provocar oscilações.

Figura 6.24 – Degrau de 50% para 100% da carga no lado secundário: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10ms/div) e corrente de linha primária I_{Lp} (2 – 10A/div – 10ms/div).



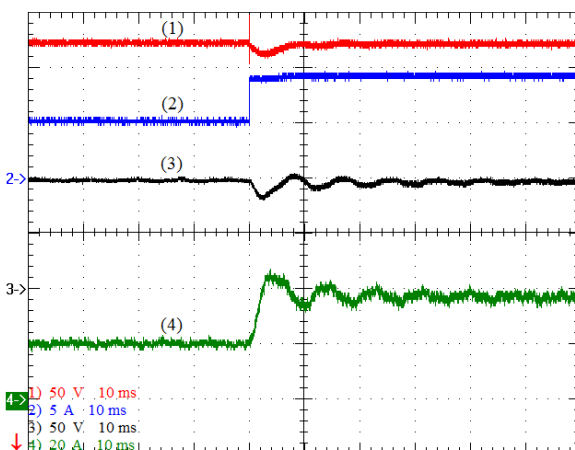
Fonte: Próprio autor.

Figura 6.25 – Degrau de 100% para 50% da carga no lado secundário: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10ms/div) e corrente de linha primária I_{Lp} (2 – 10A/div – 10ms/div).



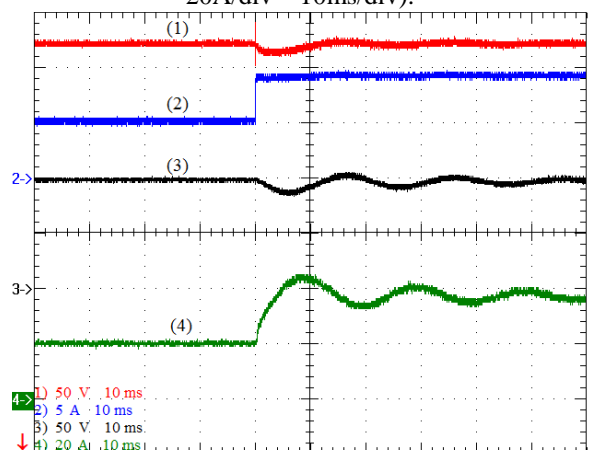
A Figura 6.26 mostra, dentre outras formas de onda, tensão e corrente na entrada do conversor. É possível observar após o degrau de carga uma oscilação de tensão em torno do valor de regime permanente que influencia também na característica subamortecida do transitório de corrente, corroborando, portanto, com a análise feita no parágrafo anterior.

Figura 6.26 – Degrau de 50% para 100% da carga no lado secundário: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10ms/div), corrente de saída I_{DCo} (2 – 5A/div – 10ms/div), tensão de entrada V_{DCi} (3 – 50V/div – 10ms/div), corrente de entrada I_{DCi} (4 – 20A/div – 10ms/div).



Fonte: Próprio autor.

Figura 6.27 – Degrau de 50% para 100% da carga no lado secundário utilizando capacitores na saída da fonte de alimentação: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10ms/div), corrente de saída I_{DCo} (2 – 5A/div – 10ms/div), tensão de entrada V_{DCi} (3 – 50V/div – 10ms/div), corrente de entrada I_{DCi} (4 – 20A/div – 10ms/div).

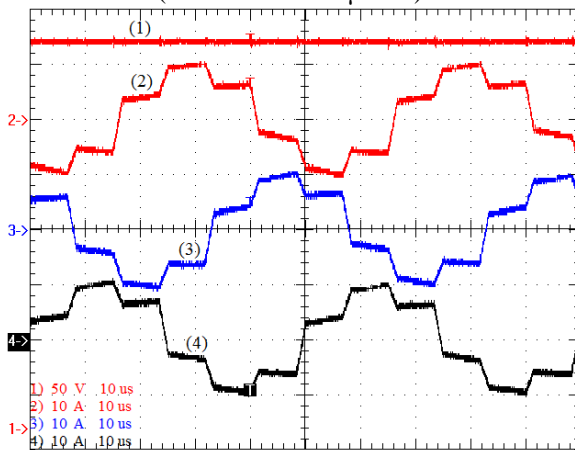


Com o propósito de analisar como a dinâmica do conversor é afetada pela fonte de alimentação, na saída deste foi conectado um banco capacitivo de 3 mF para emular o comportamento de uma fonte de tensão ideal. Os resultados utilizando as mesmas formas de onda da Figura 6.26 são apresentados na Figura 6.27. A sobretensão na saída foi reduzida para

2,2% quando comparada com os resultados sem o banco capacitivo, enquanto que o tempo de resposta foi aumentado para 14 ms (oscilação no sinal de 0,1%). Ou seja, quando o comportamento da fonte de tensão de entrada tende a se aproximar do ideal, resultados de simulação e experimentais também tendem a se tornar similares.

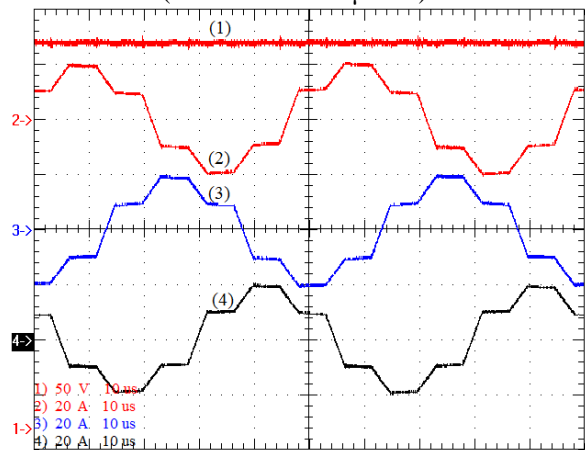
Na Figura 6.28 e Figura 6.29 são apresentados, respectivamente, detalhes das correntes de linha primária e da tensão regulada antes e depois o degrau. Observa-se que as correntes, apesar das variações bruscas provenientes do regime transitório, se mantêm simétricas e sem componentes CCs.

Figura 6.28 – Detalhes das formas de onda anterior ao degrau: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10 μ s/div) e correntes de linha primárias I_{Lp} (2 – 10A/div – 10 μ s/div).



Fonte: Próprio autor.

Figura 6.29 – Detalhes das formas de onda posterior ao degrau: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 10 μ s/div) e correntes de linha primárias I_{Lp} (2 – 10A/div – 10 μ s/div).

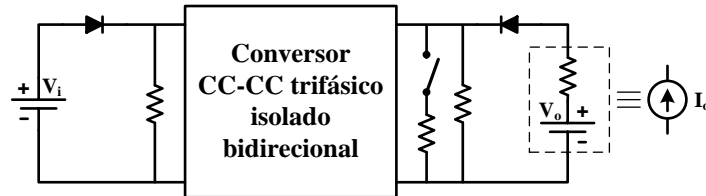


O ensaio experimental realizado posteriormente consiste em aplicar um degrau de carga bidirecional. Como no local de ensaio não existem fontes de alimentação bidirecionais, foi necessário elaborar a bancada de testes apresentada na Figura 6.30. Para evitar qualquer dano às fontes de alimentação, foram inseridos diodos em série com as mesmas para evitar fluxo reverso de corrente. Uma das fontes deverá funcionar como fonte de corrente para garantir que o sistema de controle projetado para o conversor possa regular a tensão de saída sem interferência do próprio regulador de tensão da fonte de alimentação. Para emular esta característica foi inserida uma resistência em série com a fonte. Como a fonte de tensão possui um valor constante, o barramento de saída V_{dco} será controlado, portanto, pela variação da tensão sobre a resistência.

O ensaio bidirecional foi realizado para uma variação de carga de +10% para -25%, portanto um degrau de 35%. Os resultados são apresentados na Figura 6.31 e Figura 6.32 e observa-se que mesmo para uma inversão de fluxo de potência o valor da tensão de saída permanece quase que em sua totalidade constante. A corrente de linha no transformador

apresenta um aumento no sobressinal, quando comparado com o caso anterior, porém este comportamento já era esperado devido a inversão no fluxo de potência.

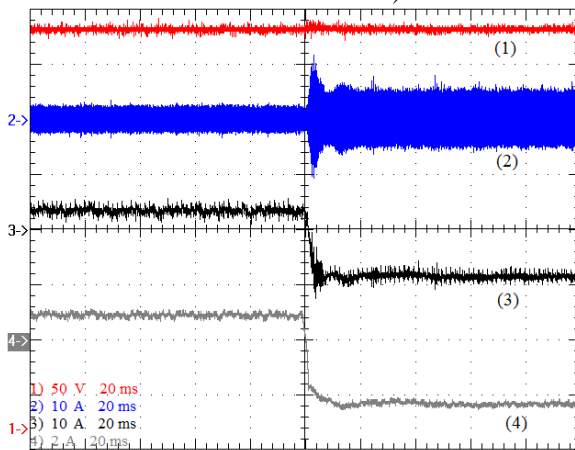
Figura 6.30 – Montagem para o ensaio de carga bidirecional.



Fonte: Próprio autor.

Detalhes das formas de onda antes e após o degrau também são apresentados na Figura 6.33 e Figura 6.34 e estas se apresentam estáveis. O tempo de acomodação é inferior a 10 ms, enquanto que o sobressinal apresenta um valor de aproximadamente 1%. A tensão de saída apresentou um valor de 366,8V ou um erro de 1,2% em relação ao valor de regime permanente. Observa-se uma variação na corrente de entrada na Figura 6.33 devido a aquisição de uma ondulação momentânea, pois quando se observa os resultados da Figura 6.31, constata-se um valor médio constante do sinal em análise.

Figura 6.31 – Degrau bidirecional de +10% para -25% de carga: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 20ms/div), corrente de linha primária I_{Lp} (2 – 10A/div – 20ms/div), corrente de entrada I_{DCi} (3 – 10A/div – 20ms/div), corrente de saída I_{DCo} (4 – 10A/div – 20ms/div).



Fonte: Próprio autor.

Figura 6.32 – Degrau bidirecional de -25% para +10% de carga: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 20ms/div), corrente de linha primária I_{Lp} (2 – 10A/div – 20ms/div), corrente de entrada I_{DCi} (3 – 10A/div – 20ms/div), corrente de saída I_{DCo} (4 – 10A/div – 20ms/div).

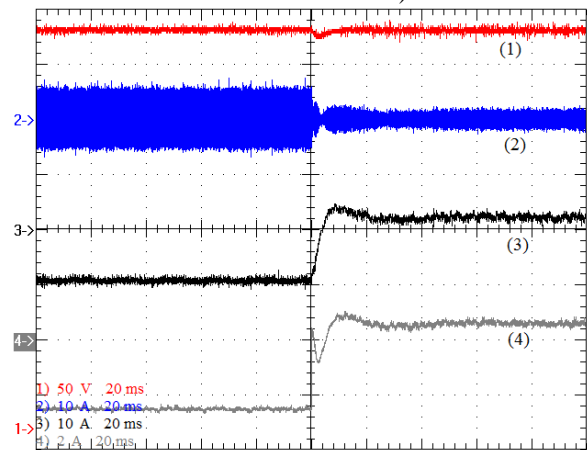
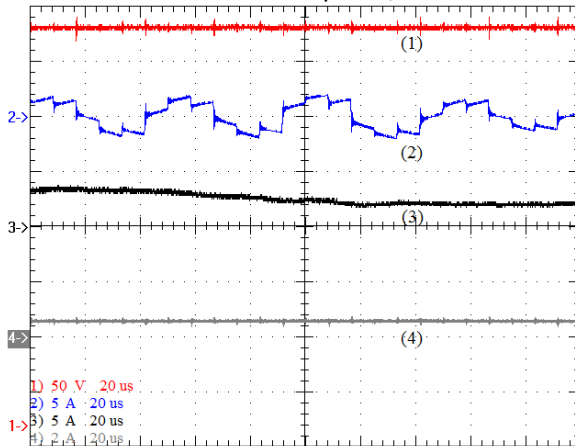
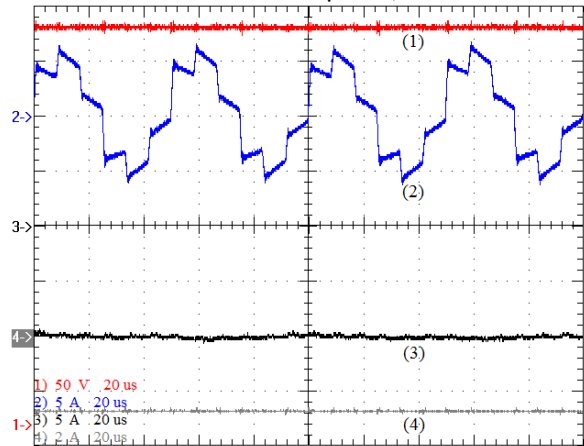


Figura 6.33 – Detalhes das formas de onda anterior ao degrau: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 20 μ s/div), corrente de linha primária I_{Lp} (2 – 10A/div – 20 μ s/div), corrente de entrada I_{DCi} (3 – 10A/div – 20 μ s/div), corrente de saída I_{DCo} (4 – 10A/div – 20 μ s/div).



Fonte: Próprio autor.

Figura 6.34 – Detalhes das formas de onda posterior ao degrau: Tensão no barramento de saída V_{DCo} (1 – 50V/div – 20 μ s/div), corrente de linha primária I_{Lp} (2 – 10A/div – 20 μ s/div), corrente de entrada I_{DCi} (3 – 10A/div – 20 μ s/div), corrente de saída I_{DCo} (4 – 10A/div – 20 μ s/div).



6.5 Considerações finais

Os resultados experimentais do protótipo desenvolvido foram apresentados e discutidos. Os resultados obtidos mostraram de forma satisfatória as principais formas de onda, especialmente a característica de comutação suave esperada na análise teórica e exposta posteriormente através de simulações.

Os valores de potência de saída para os resultados simulados e experimentais foram muito próximos, como esperado, variando somente devido a idealização do modelo fundamental. O rendimento para o conversor operando com PS nominal foi também extremamente satisfatório, obtendo-se um valor de aproximadamente 96%.

Por fim, a topologia com operação em malha fechada foi apresentada, comprovando o funcionamento do conversor no modo bidirecional, sem apresentar perda de regulação. Além disso, constatou-se que, apesar de um sistema de controle realizar uma excelente regulação do barramento de tensão de saída, oscilações no lado primário ou de entrada poderão ser refletidas e alterar o comportamento dinâmico do circuito.

7 CONCLUSÃO

Neste trabalho foi apresentado um estudo sobre um conversor CC-CC trifásico isolado bidirecional com comutação suave, utilizando *dual phase-shift* e razão cíclica variável. Algumas soluções já desenvolvidas foram apresentadas como referência e suporte a este trabalho. A topologia proposta obteve um rendimento de quase 96% para o exemplo de projeto apresentado. Este resultado era esperado, pois o paralelismo de fases garante uma melhor distribuição dos esforços de corrente através dos interruptores.

Outra contribuição mostrada neste trabalho foi a solução alternativa proposta para análise de fluxo de potência e característica de comutação do conversor, que é baseada no modelo circuital da máquina síncrona, tendo como fontes de alimentação as componentes fundamentais da topologia. Portanto, é uma solução mais simples de ser utilizada do que a análise completa através do modelo real. De acordo com equações e gráficos obtidos a partir do modelo baseado em componentes fundamentais, é possível otimizar as especificações do projeto que assegurem um elevado fator de potência e comutação suave na condição nominal de operação. Além disso, o levantamento matemático do modelo real (baseado nas etapas de operação do conversor), juntamente com os resultados de simulações e, principalmente, os dados experimentais obtidos foram suficientemente satisfatórios para validar o modelo proposto e todas as vantagens mencionadas previamente.

O modelo dinâmico do conversor foi desenvolvido a partir da teoria do *gyrator* e verificou-se que seu uso é extremamente útil para compreender que o controle da tensão de saída pode ser realizado simplesmente controlando a fonte de corrente formada pelo produto do *gyrator* e tensão da porta de entrada. A característica dinâmica do conversor utilizando o modelo baseado em componentes fundamentais e teoria *gyrator* é viável, pois foi verificada através de análise no domínio da frequência sua equivalência com modelo simulado e experimental, além de ser extremamente útil devido às facilidades analíticas que ambas proporcionam.

Trabalhos futuros incluem uma ampliação da análise dinâmica do conversor para que seja possível implementar uma nova arquitetura de controle considerando as três variáveis de controle (d , α e θ), com o propósito de melhorar o controle de fluxo de potência para otimizar o conteúdo reativo circulante e as condições de comutação dos interruptores. Também, espera-se introduzir o controle de corrente magnetizante para eliminar as componentes CC que surgem através do transformador e, conseqüentemente, eliminar os

capacitores série, além de uma malha de *feedforward* para atenuar as oscilações de tensão provenientes da fonte ou barramento conectado à entrada do conversor.

Em termos de análise topológica do conversor, ainda se propõe, como trabalhos futuros, a expansão do número de portas do conversor para que o mesmo possa operar como uma topologia de três portas, com esta terceira conectada a uma fonte geradora de energia elétrica. Por fim, também é proposto aumentar o número de fases no lado primário do conversor e verificar o rendimento da estrutura quando submetida a elevados esforços de corrente.

PUBLICAÇÕES

H. M. Oliveira Filho, D. S. Oliveira Jr., C. E. A. Silva, F. L. Tofoli, “ZVS Bidirectional Isolated Three-Phase dc-dc Converter with Dual Phase-Shift and Variable Duty Cycle”, in *Proc. IEEE/IAS Int. Conf. on Ind. Appl. – INDUSCON*, 2012, pp 1-8.

H. M. Oliveira Filho, D. S. Oliveira Jr., P. P. Praça, “Soft-Switching Bidirectional Isolated Three-Phase dc-dc Converter with Dual Phase-Shift and Variable Duty Cycle”, in *Proc. Brazilian Power Electron. Conf. - COBEP*, 2013, pp 129-134.

H. M. d. Oliveira Filho, D. S. Oliveira Jr., P. P. Praça, “Steady-State Analysis of a ZVS Bidirectional Isolated Three-Phase DC-DC Converter Using Dual Phase-Shift Control with Variable Duty Cycle”, *IEEE Transactions on Power Electronics*, vol. 31, no. 3, pp. 1863-1872, Março 2016.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] J. Lai e D. Nelson, “Energy Management Power Converters in Hybrid Electric and Fuel Cell Vehicles”, Proceedings of the IEEE, vol. 95, no. 4, pp. 766-777, Abr/Mai. 2007.
- [2] B. Zhao, Q. Song, W. Liu e Y. Sun, “Overview of Dual-Active-Bridge Isolated Bidirectional DC–DC Converter for High-Frequency-Link Power-Conversion System”, IEEE Transactions on Power Electronics, vol. 29, no. 8, pp. 4091-4106, Agosto 2014.
- [3] S. Madhusoodhanan, A. Tripathi, D. Patel, K. Mainali, A. Kadavelugu, S. Hazra, S. Bhattacharya e K. Hatua, “Solid-State Transformer and MV Grid Tie Applications Enabled by 15 kV SiC IGBTs and 10 kV SiC MOSFETs Based Multilevel Converters”, IEEE Transactions on Industry Applications, vol. 51, no. 4, pp. 3343-3360, Jul/Ago. 2015.
- [4] N. M. L. Tan, T. Abe e H. Akagi, “Design and Performance of a Bidirectional Isolated DC–DC Converter for a Battery Energy Storage System”, IEEE Transactions on Power Electronics, vol. 27, no. 3, pp. 1237-1248, Março 2012.
- [5] B. Zhao, Q. Yu e W. Sun, “Extended-Phase-Shift Control of Isolated Bidirectional DC–DC Converter for Power Distribution in Microgrid”, IEEE Transactions on Power Electronics, vol. 27, no. 11, pp. 4667-4680, Novembro 2012.
- [6] D. S. Oliveira Jr. and I. Barbi, “A Three-Phase ZVS PWM DC-DC Converter With Asymmetrical Duty Cycle for High Power Applications”, IEEE Transactions on Power Electronics, vol. 20, no. 2, pp. 370-377, Março 2005.
- [7] R. W. A. A. de Doncker, D. M. Divan, and M. H. K. Kheraluwala, “A Three-phase Soft-Switched High-Power-Density DC-DC Converter for High-Power Applications”, IEEE Transactions on Industry Applications, vol. 27, no. 1, pp. 63-73, Jan/Fev. 1991.
- [8] A. R. Prasad, P. D. Ziogas, S. Manias, “Analysis and Design of a Three-phase Off-Line dc-dc Converter with High-Frequency Isolation”, IEEE Transactions on Industry Applications, vol. 28, no. 4, pp. 824-832, Jul/Ago. 1992.
- [9] L. D. Salazar, P. D. Ziogas, “Design Oriented Analysis of Two Types of Three Phase High Frequency Forward SMR Topology”, 5th Applied Power Electronics Conference and Exposition – APEC, pp. 312-320, 1990.
- [10] D. S. Oliveira Jr. and I. Barbi, “A Three-Phase ZVS PWM DC-DC Converter With Asymmetrical Duty Cycle Associated With a Three-Phase Version of the Hybrid Rectifier”, IEEE Transactions on Power Electronics, vol. 20, no. 2, pp. 354-360, Março 2005.

- [11] D. S. Oliveira Jr., R. P. T. Bascopé, I. Barbi, C. E. A. Silva, “On The Study Of The Dynamics of the ZVS Three-phase DC/DC Converter”, *Eletrônica de Potência*, vol. 11, no. 1, pp. 69-76, Março 2006.
- [12] D. S. Oliveira Jr., F. L. M. Antunes, and C. E. A. Silva, “A Three-Phase ZVS PWM DC–DC Converter Associated with a Double-Wye Connected Rectifier, Delta Primary”, *IEEE Transactions on Power Electronics*, vol. 21, no. 6, pp. 354-360, Nov/Dez. 2006.
- [13] C. Liu, A. Johnson, and J. Lai, “A Novel Three-Phase High-Power Soft-Switched DC-DC Converter for Low-Voltage Fuel Cell Applications”, *IEEE Transactions on Industry Applications*, vol. 41, no. 6, pp. 1691-1697, Novembro 2005.
- [14] S. V. G. Oliveira and I. Barbi, “A Three-Phase Step-Up DC–DC Converter With a Three-Phase High-Frequency Transformer for DC Renewable Power Source Applications”, *IEEE Transactions on Industrial Electronics*, vol. 58, no. 8, pp. 3567-3580, Agosto 2011.
- [15] H. Cha, J. Choi, B. Han “A Three-Phase Interleaved DC–DC Converter With Active Clamp for Fuel Cells”, *IEEE Transactions on Power Electronics*, vol. 25, no. 8, pp. 2115-2123, Agosto 2010.
- [16] H. Cha, J. Choi, W. Kim, V. Blasko “A New Bi-Directional Three-Phase Interleaved Isolated Converter with Active Clamp”, 24th Applied Power Electronics Conference and Exposition – APEC, pp 1766-1772, 2009.
- [17] A. R. Prasad, P. D. Ziogas, S. Manias, “A Three-phase Resonant PWM DC-DC Converter”, 2nd Power Electronics Specialists Conference – PESC, pp. 463-473, 1991.
- [18] R. Mirzahassemi, F. Tahami, “A Phase-Shift Three-Phase Bidirectional Series Resonant DC-DC Converter”, 37th Annual Conference on IEEE Industrial Electronics Society – IECON, pp 1137-1143, 2011.
- [19] Z. Wang, H. Lui, “A Soft Switching Three-phase Current-fed Bidirectional DC-DC Converter With High Efficiency Over a Wide Input Voltage Range”, *IEEE Transactions on Power Electronics*, vol. 27, no. 2, pp. 669-684, Fevereiro 2012.
- [20] S. Bal, A. K. Rathore, D. Srinivasan, “Modular Snubberless Bidirectional Soft-Switching Current-Fed Dual 6-Pack (CFD6P) DC/DC Converter”, *IEEE Transactions on Power Electronics*, vol. 30, no. 2, pp. 519-523, Fevereiro 2015.
- [21] P. Xuewei, A. K. Rathore, “Naturally Clamped Soft-Switching Current-Fed Three-Phase Bidirectional DC/DC Converter”, *IEEE Transactions on Industrial Electronics*, vol. 62, no. 5, pp. 3316-3324, Fevereiro 2015.
- [22] H. M. d. Oliveira Filho, D. S. Oliveira Jr., P. P. Praça, “Steady-State Analysis of a ZVS Bidirectional Isolated Three-Phase DC-DC Converter Using Dual Phase-Shift Control

- with Variable Duty Cycle”, IEEE Transactions on Power Electronics, vol. 31, no. 3, pp. 1863-1872, Março 2016.
- [23] H. Bai e C. Mi, “Eliminate Reactive Power and Increase System Efficiency of Isolated Bidirectional Dual-Active-Bridge DC-DC Converters Using Novel Dual-Phase-Shift Control”, IEEE Transactions on Power Electronics, vol. 23, no. 6, pp. 2905-2914, Novembro 2008.
- [24] H. Xiao e S. Xie, “A ZVS Bidirectional DC-DC Converter with Phase-Shift Plus PWM Control Scheme”, IEEE Transactions on Power Electronics, vol. 23, no. 2, pp. 813-824, Março 2008.
- [25] Z. Ding, C. Yang, Z. Zhang, C. Wang e S. Xie, “A Novel Soft-Switching Multiport Bidirectional DC-DC Converter for Hybrid Energy Storage System”, IEEE Transactions on Power Electronics, vol. 29, no. 4, pp. 1595-1609, Abril 2014.
- [26] A. K. Tripathi, K. Mainali, D. C. Patel, A. Kadavelugu, S. Hazra e S. Bhattacharya e K. Hatua, “Design Considerations of a 15-kV SiC IGBT Based Medium-Voltage High-Frequency Isolated DC-DC Converter”, IEEE Transactions on Industry Applications, vol. 51, no. 4, pp. 3284-3294, July 2014.
- [27] B. D. H. Tellegen, “The Gyrator, a New Electric Network Element”, Philips Res. Rept. No 3, pp. 81-101, Abril 1948.
- [28] S. Singer, “Gyrators Application in Power Processing Circuits”, IEEE Transactions on Industrial Electronics, vol. 34, no. 3, pp. 313-318, Agosto 1987.
- [29] W. M. dos Santos, D. C. Martins, “Introdução ao DAB Monofásico”, Eletrônica de Potência, vol. 19, no. 1, pp. 36-46, Fevereiro 2014.
- [30] W. M. dos Santos, “Estudo e Implementação do Conversor TAB (*Triple Active Bridge*) Aplicado a Sistemas Renováveis Solares Fotovoltaicos”, Dissertação em Universidade Federal de Santa Catarina, Florianópolis, 2011.
- [31] K. Ogata. “Discrete-Time Control Systems”. 2ª edição, Prentice Hall, New Jersey, 1995.
- [32] M. S. Ortmann, “Filtro Ativo Trifásico com Controle Vetorial Utilizando DSP: Projeto e Implementação”, Dissertação em Universidade Federal de Santa Catarina, Florianópolis, 2008.
- [33] S. Buso e P. Mattavelli. “Digital Control in Power Electronics”. Morgan&Claypool Publishers, 2006.
- [34] R. W. Erickson. “Fundamentals of Power Electronics”. Second Edition, Chapman & Hall, New York, USA, 1997.
- [35] K. Ogata. “Engenharia de Controle Moderno”. 4ª edição, Prentice Hall, São Paulo, 2003.

- [36] R. A. da Câmara, “Análise Comparativa de Desempenho de Conversores CA-CC Monofásicos Utilizando FPGA para Aplicação em No-Breaks”, Tese em Universidade Federal do Ceará, Fortaleza, 2012.
- [37] Texas Instruments, “Folha de dados do conversor A/D ADC128S022”, <http://www.ti.com/lit/ds/symlink/adc128s022.pdf>, Acesso em 02/02/2016.
- [38] Texas Instruments, “Folha de dados do controlador PWM de *Phase-Shift* UCC3895”, <http://www.ti.com.cn/cn/lit/ds/symlink/ucc3895.pdf>, Acesso em 02/02/2016.
- [39] Z. Zhang; Y. Cai; Y. Zhang; D. Gu; Y. Liu. “A Distributed Architecture Based on Microbank Modules With Self-Reconfiguration Control to Improve the Energy Efficiency in the Battery Energy Storage System”, *IEEE Transactions on Power Electronics*, vol.31, no.1, pp.304-317, Janeiro. 2016.
- [40] K. Yukita et al., “Study of AC/DC power supply system with DGs using parallel processing method”, *Power Electronics Conference (IPEC)*, 2010 International, Sapporo, 2010, pp. 722-725;
- [41] C. Wang e P. Jain. “A quantitative comparison and evaluation of 48V DC and 380V DC distribution systems for datacenters”, *Telecommunications Energy Conference (INTELEC)*, 2014 IEEE 36th International, Vancouver, BC, 2014, pp. 1-7.
- [42] Xunwei Yu, Xu She, Xiaohu Zhou and A. Q. Huang, “Power Management for DC Microgrid Enabled by Solid-State Transformer”, in *IEEE Transactions on Smart Grid*, vol. 5, no. 2, pp. 954-965, March 2014.
- [43] C. W. T. McLyman. “Transformer and Inductor Design Handbook”. Marcel Dekker Inc, New York, 1988.

APÊNDICES

APÊNDICE A - Projeto do transformador

O projeto físico do transformador é desenvolvido a seguir. São apresentados o dimensionamento do núcleo, números de espiras dos lados primário e secundário, quantidade e tipo de condutores a ser utilizado, além do cálculo de perdas do projeto. O projeto do transformador foi desenvolvido de acordo com [43].

A.1. Escolha do núcleo

O estágio de isolamento é feito a partir de três transformadores monofásicos. Logo, a potência processada em cada elemento será a terça parte da potência nominal de saída do conversor. Portanto:

$$P_{tr} = \frac{2 \cdot P_o}{3} \rightarrow P_L \simeq 2236W \quad (A.1)$$

O fator de utilização da área do enrolamento é:

$$K_w = 0,4 \quad (A.2)$$

Para a forma típica do conversor estudado e de acordo com a razão cíclica de projeto, tem-se o seguinte fator de ajuste:

$$K_f = 4,243 \quad (A.3)$$

Existe outro fator de ajuste que está relacionado com o tipo de núcleo utilizado no projeto. Então, para o núcleo tipo toroidal, tem-se para este indutor:

$$K_j = 403 \quad (A.4)$$

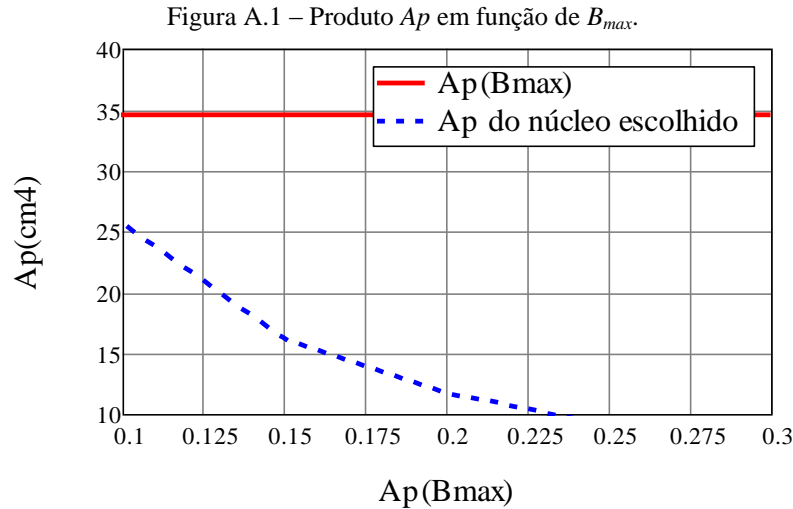
Com os dados mostrados anteriormente, calcula-se o produto A_p da área de janela do carretel A_w pela área da perna central do núcleo A_e em função da densidade de fluxo magnético, como é mostrado na expressão a seguir:

$$A_p(B_{max}) = A_e A_w(B_{max}) = \left(\frac{P_{tr} \cdot 10^4}{K_f \cdot K_w \cdot K_j \cdot B_{max} \cdot f_s} \right)^x \quad (A.5)$$

No qual x é igual a 1,14 para o material tipo ferrite.

O objetivo é obter um projeto físico de transformador com o melhor rendimento possível, portanto tanto a expressão anterior como as próximas serão fornecidas em função de B_{max} .

Na Figura A.1 é apresentado o gráfico do produto A_p em função de B_{max} e do núcleo considerado em projeto, que é o MMT 139T6325 da Magmatec. O núcleo escolhido deve apresentar um produto A_p maior que o valor calculado em função de B_{max} e, idealmente, o mais próximo possível deste. Portanto, a partir destas considerações, tem-se que o núcleo escolhido, de $A_p=34,58\text{cm}^4$ é viável para todos os valores de B_{max} observados na curva.



Fonte: Próprio autor.

A.2. Número de espiras, dimensionamento de fios e fator de execução

O dimensionamento do número de espiras do lado primário é obtido através da expressão abaixo. Enquanto que o número de espiras do secundário é dado por (A.7).

$$N_{e_p}(B_{\max}) = \frac{2 \cdot V_i \cdot 10^4}{K_f B_{\max} \cdot f_s \cdot A_e} \quad (\text{A.6})$$

$$N_{e_s}(B_{\max}) = \frac{n}{V_i} \cdot N_{e_p}(B_{\max}) \quad (\text{A.7})$$

Para um correto dimensionamento dos condutores, é necessário calcular a profundidade de penetração do condutor. Com isso, evitam-se perdas devido ao efeito pelicular (efeito *skin*). Para uma temperatura de 100° C, a profundidade de penetração é dada pela expressão (A.8).

$$\delta = \frac{6,61}{\sqrt{f_s}} \rightarrow \delta = \frac{7,5}{\sqrt{20 \cdot 10^3}} = 0,047\text{cm} \quad (\text{A.8})$$

Para evitar perdas por efeito pelicular, é desejável que o condutor possua um diâmetro máximo, dado por (A.9).

$$D_{fio_1} \leq 2 \cdot \delta \quad (A.9)$$

Para a frequência de comutação utilizada no projeto, e substituindo (A.8) em (A.9), obtém-se:

$$D_{fio_1} \leq 0,093cm \quad (A.10)$$

A partir de (A.10), e de acordo com as tabelas comerciais de fios AWG esmaltados é possível utilizar o fio AWG 23. Sendo a máxima densidade de corrente fornecida em (A.11) e corrente de linha no lado primário 13,86A, obtém-se em (A.12) a área da seção de cobre necessária.

$$J_{max_1} = 450A/cm^2 \quad (A.11)$$

$$S_{c_p} = \frac{I_L}{J_{max_1}} \rightarrow S_{c_p} = 0,031cm^2. \quad (A.12)$$

Portanto, tomando como parâmetros (A.9) e (A.12), optou-se por manter o fio AWG 23, que possui como especificações os dados fornecidos na Tabela 14.

Tabela 14 – Especificações do fio AWG 23.

Tipo	Esmaltado
Referência	AWG 23
Diâmetro (D_c)	0,057cm
Diâmetro esmaltado (D_{fio})	0,064cm
Seção (A_c)	0,002582cm ²
Seção esmaltada (A_{fio})	0,003221cm ²
Densidade resistiva linear (d_R)	892 $\mu\Omega/cm$

Fonte: Próprio autor.

Como a seção do fio escolhido não é suficiente para suprir toda a corrente requerida, é necessário utilizar condutores em paralelo. Logo, a partir dos dados fornecidos acima, obtém-se o número de fios em paralelo:

$$N_{fios_p} = \frac{S_{c_p}}{A_c} \rightarrow N_{fios_p} \approx 12 \text{ fios}. \quad (A.13)$$

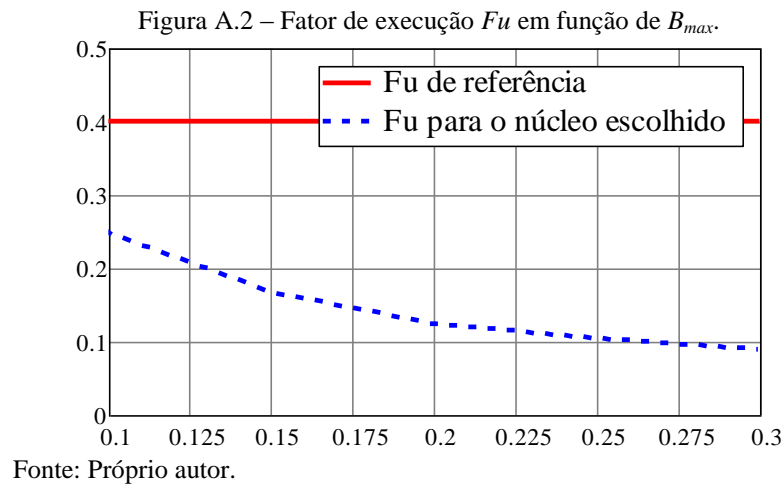
Da mesma forma como foi feito em (A.12) e (A.13), mas utilizando a relação de transformação n foi calculada, respectivamente, a seção de cobre e número de fios em paralelo de acordo com a especificação do fio AWG 23.

$$S_{c_s} = \frac{I_L}{n \cdot J_{max_1}} \rightarrow S_{c_s} = 0,016cm^2. \quad (A.14)$$

$$N_{fios_s} = \frac{S_{c_s}}{A_c} \rightarrow N_{fios_s} \approx 7 \text{ fios}. \quad (A.15)$$

Após todo o equacionamento realizado para implementar o projeto físico do indutor, é necessário calcular o fator de utilização para verificar se o projeto é executável ou não. Este cálculo é realizado através de (A.16). A Figura A.2 mostra o gráfico do fator de execução em função de B_{max} e um valor de referência que garante a viabilidade de execução [43]. Observa-se que para qualquer valor de densidade o projeto de indutor é viável. Pode-se considerar que o transformador a ser montado possui uma boa “folga” de execução.

$$fu(B_{max}) = \frac{N_{e_p}(B_{max}) \cdot A_{fio} \cdot N_{fios_p} + N_{e_s}(B_{max}) \cdot A_{fio} \cdot N_{fios_s}}{A_w} \quad (A.16)$$



A.3. Cálculo de perdas

As perdas totais no indutor são calculadas de acordo com [43] e são caracterizadas pelas perdas no cobre do enrolamento, juntamente com as perdas no núcleo, como mostrado na equação (A.17).

$$P_{tr_p} = P_{tr_p} + P_{tr_p} \quad (A.17)$$

As perdas no cobre estão relacionadas com resistência do fio. Sendo (A.18) e (A.19) o comprimento total do fio de cobre utilizado nos lados primário e secundário, respectivamente, obtém-se a perda total no cobre a partir do produto da resistência total do fio, proveniente destes comprimentos, pelo quadrado da corrente.

$$Comp_fio_p(B_{max}) = N_{e_p}(B_{max}) \cdot CEM \quad (A.18)$$

$$Comp_fio_s(B_{max}) = N_{e_s}(B_{max}) \cdot CEM \quad (A.19)$$

$$P_{w_p}(B_{\max}) = \left[\frac{\text{Comp}_{-fio_p}(B_{\max})}{N_{fios_p}} \cdot I_L^2 + \frac{\text{Comp}_{-fio_s}(B_{\max})}{N_{fios_s}} \cdot \left(\frac{I_L}{n} \right)^2 \right] \cdot d_R \cdot 10^{-6} \quad (\text{A.20})$$

As perdas no núcleo do transformador são calculadas de acordo com a expressão (A.21), da qual V_e é o volume do núcleo escolhido e a , c , d são parâmetros obtidos de [43] para o tipo de núcleo e material utilizado.

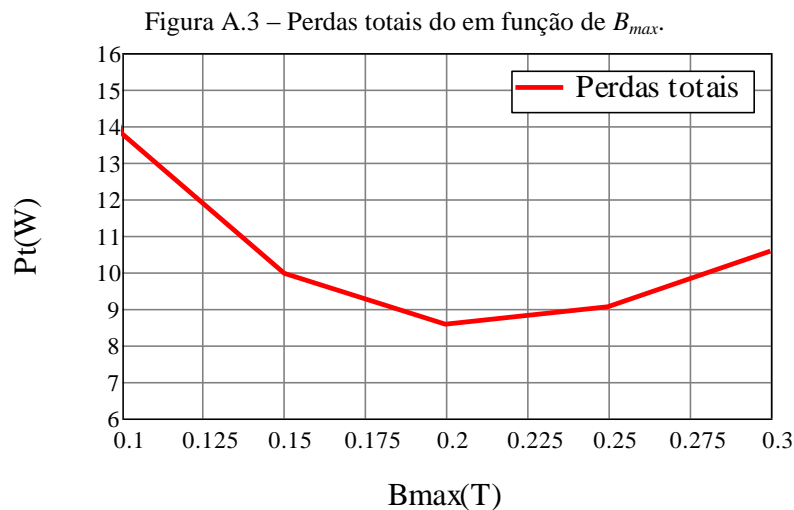
$$P_{w_p}(B_{\max}) = a \cdot V_e \cdot f_s^c \cdot B_{\max}^d \cdot 10^{-3} \quad (\text{A.21})$$

$$a = 0,00793 \quad (\text{A.22})$$

$$c = 1,40 \quad (\text{A.23})$$

$$d = 2,33 \quad (\text{A.24})$$

Com (A.20) e (A.21) já obtidas, é possível obter, como mostra a Figura A.3, a curva das perdas totais do transformador em função do B_{\max} . De acordo com os limites estabelecidos anteriormente para a densidade de fluxo magnético, foi escolhido como valor de projeto $B_{\max} = 0,225\text{T}$.



Fonte: Próprio autor.

A partir de B_{\max} devidamente escolhido, calcula-se o número de espiras do transformador e as perdas totais:

$$N_{e_p}(0,225) = 15 \quad (\text{A.25})$$

$$N_{e_s}(0,225) = 29 \quad (\text{A.26})$$

$$P_{w_t} = 8,48\text{W} \quad (\text{A.27})$$

APÊNDICE B - Projeto do indutor

A seguir é realizado o projeto físico do indutor, que consiste no dimensionamento do núcleo, números de espiras, quantidade e tipo de condutor a ser utilizado, além do cálculo de perdas do projeto. O projeto do indutor foi desenvolvido de acordo com [43].

B.1. Escolha do núcleo

Como o conversor é trifásico, a potência processada por indutor será a terça parte da potência nominal de saída do conversor ou a metade de (A.1):

$$P_L = \frac{P_w}{2} \rightarrow P_L \approx 1168W \quad (\text{B.1})$$

O fator de utilização da área do enrolamento é:

$$K_w = 0,6 \quad (\text{B.2})$$

Para a forma típica do conversor estudado e de acordo com a razão cíclica de projeto, tem-se o seguinte fator de ajuste:

$$K_f = 4,243 \quad (\text{B.3})$$

O mesmo fator de ajuste K_f , calculado em (A.3), será utilizado neste procedimento. Já o fator relacionado com o tipo de núcleo utilizado no projeto, por ser do tipo EE, será alterado para:

$$K_j = 366 \quad (\text{B.4})$$

Com os dados mostrados anteriormente, calcula-se o produto A_p da área de janela do carretel A_w pela área da perna central do núcleo A_e em função da densidade de fluxo magnético, como é mostrado na expressão a seguir:

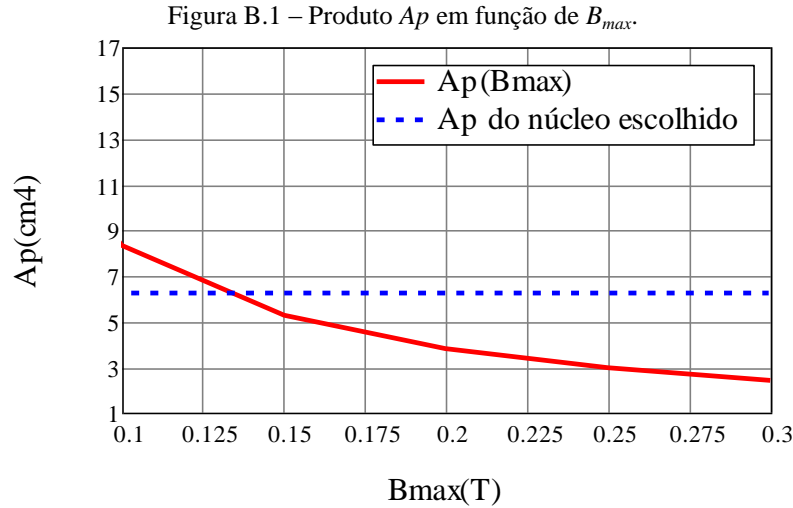
$$A_p(B_{\max}) = A_e A_w(B_{\max}) = \left(\frac{P_L \cdot 10^4}{K_f \cdot K_w \cdot K_j \cdot B_{\max} \cdot f_s} \right)^x \quad (\text{B.5})$$

No qual x é igual a 1,14 para o material tipo ferrite.

Uma análise apropriada de B_{\max} para que se obtenha a melhor eficiência do indutor também será utilizada neste projeto.

Na Figura B.1 é apresentado o gráfico do produto A_p em função de B_{\max} e o do núcleo considerado em projeto, que é o NEE – 42/21/20 da Thornton. O núcleo escolhido deve possuir o produto A_p maior e próximo do valor calculado. Portanto, a partir das

considerações dadas, tem-se que o núcleo escolhido, de $A_p=6,25\text{cm}^4$ é viável para valores de B_{max} maiores que aproximadamente 0,138T.



Fonte: Próprio autor.

B.2. Número de espiras, dimensionamento de fios e fator de execução

O dimensionamento do número de espiras é obtido através da expressão abaixo.

$$N_{e_1}(B_{max}) = \frac{2 \cdot V_i \cdot 10^4}{K_f \cdot B_{max} \cdot f_s \cdot A_e} \quad (\text{B.6})$$

O comprimento do entreferro, para a permeabilidade magnética definida em (B.7), é obtido através da expressão (B.8). É importante salientar que o valor de L_L é obtido a partir da diferença entre o valor teórico especificado em projeto na Tabela 1 e o valor medido do transformador projetado. O valor utilizado no projeto deste indutor é mostrado em (B.9).

$$\mu_o = 4 \cdot \pi \cdot 10^{-7} \text{ H/m} \quad (\text{B.7})$$

$$l_{gap_1}(B_{max}) = \frac{1}{2} \cdot \frac{\mu_o \cdot N_{e_1}^2(B_{max}) \cdot A_w \cdot 10^{-2}}{L_L} \quad (\text{B.8})$$

$$L_L = L_{projeto} - L_{trafo} \rightarrow L_L = 22,16 \cdot 10^{-6} - 0,505 \cdot 10^{-6} = 21,65 \mu\text{H} \quad (\text{B.9})$$

O fluxo magnético percorrendo o entreferro é teoricamente normal à superfície A_e . Contudo, as linhas de fluxo próximas às extremidades do perímetro de A_e tendem a dispersar no ar e são conhecidas como fluxo de *fringing*. Logo, uma compensação no número de espiras deverá ser considerada. De acordo com o exposto, a quantidade de fluxo de *fringing* é obtida a partir de (B.10), enquanto que o número de espiras compensadas é fornecido em (B.11).

$$F_f(B_{\max}) = 1 + \frac{l_{gap_1}(B_{\max})}{\sqrt{A_e}} \cdot \ln\left(\frac{2 \cdot G_{ind}}{l_{gap_1}(B_{\max})}\right) \quad (B.10)$$

$$N_{e_2}(B_{\max}) = \left(\frac{l_{gap_1}(B_{\max}) \cdot L_L}{0,4 \cdot \pi \cdot F_f(B_{\max}) \cdot 10^{-8} \cdot A_e}\right)^{1/2} \quad (B.11)$$

A partir do cálculo de profundidade de penetração do condutor calculado em (A.8) e o diâmetro máximo do fio estabelecido em (A.10), além das tabelas comerciais de fios AWG esmaltados é possível utilizar o fio AWG 28. Sendo a máxima densidade de corrente fornecida em (B.12) e corrente de linha no lado primário 13,86A, obtém-se em a área da seção de cobre necessária para os condutores é obtida através da expressão (B.13)

$$J_{\max_1} = 460A/cm^2 \quad (B.12)$$

$$S_{c_1} = \frac{I_L}{J_{\max_1}} \rightarrow S_{c_1} = 0,03cm^2. \quad (B.13)$$

Portanto, tomando como parâmetros (A.10) e (B.13), optou-se por manter o fio AWG 28, que possui como especificações os dados fornecidos na Tabela 15.

Tabela 15 – Especificações do fio AWG 28.

Tipo	Esmaltado
Referência	AWG 28
Diâmetro (D_c)	0,032cm
Diâmetro esmaltado (D_{fio})	0,037cm
Seção (A_c)	0,000810cm ²
Seção esmaltada (A_{fio})	0,001083cm ²
Densidade resistiva linear (d_R)	2845 $\mu\Omega/cm$

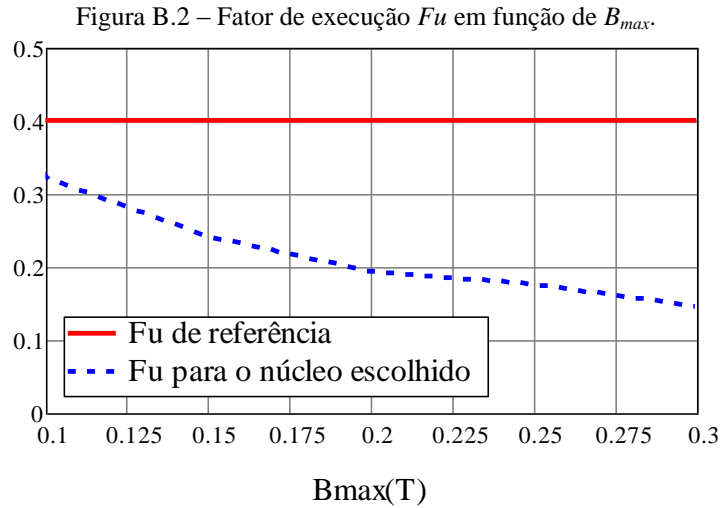
Fonte: Próprio autor.

A partir dos dados fornecidos acima, obtém-se o número de fios em paralelo:

$$N_{fios} = \frac{S_c}{A_c} \rightarrow N_{fios} \approx 38 \text{ fios}. \quad (B.14)$$

A Figura B.2 mostra o gráfico do fator de execução em função de B_{\max} , calculado em (B.15), e o valor de referência. Observa-se que para o valor mínimo de densidade de 0,138T, estabelecido a partir da especificação da área A_p , qualquer projeto de indutor é viável.

$$fu(B_{\max}) = \frac{N_{e_2}(B_{\max}) \cdot A_{fio} \cdot N_{fios}}{A_w} \quad (B.15)$$



Fonte: Próprio autor.

B.3. Cálculo de perdas

As perdas totais no indutor são calculadas de acordo com [43] e são caracterizadas pelas perdas no cobre do enrolamento, juntamente com as perdas no núcleo, conforme mostrado na equação (B.16)

$$P_{L_p} = P_{c_p} + P_{n_p} \quad (\text{B.16})$$

As perdas no cobre estão relacionadas com a resistência do fio. Sendo (B.17) o comprimento total do fio de cobre utilizado. Obtém-se a perda total no cobre a partir do produto da resistência total do fio pelo quadrado da corrente.

$$Comp_fio(B_{max}) = N_{e_2}(B_{max}) \cdot CEM \quad (\text{B.17})$$

$$P_{c_p}(B_{max}) = \frac{Comp_fio(B_{max}) \cdot d_R \cdot 10^{-6}}{N_{fios}} \cdot I_L^2 \quad (\text{B.18})$$

As perdas no núcleo do indutor são calculadas de acordo como com a expressão (B.19), da qual V_e é o volume do núcleo escolhido e a , c , d são parâmetros obtidos de [43] para o tipo de núcleo e material utilizado.

$$P_{n_p}(B_{max}) = a \cdot V_e \cdot f_s^c \cdot B_{max}^d \cdot 10^{-3} \quad (\text{B.19})$$

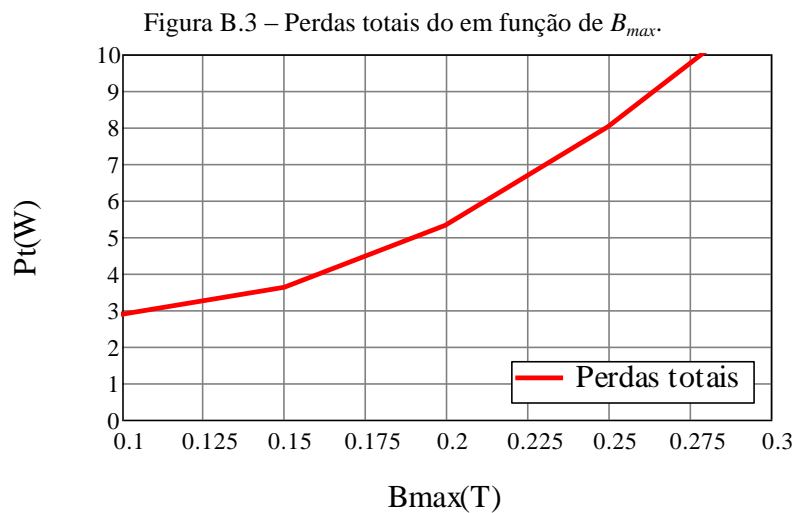
$$a = 0,00793 \quad (\text{B.20})$$

$$c = 1,40 \quad (\text{B.21})$$

$$d = 2,33 \quad (\text{B.22})$$

Com (B.18) e (B.19) já obtidas, é possível encontrar, como mostrado na Figura B.3, a curva das perdas totais do indutor em função do B_{max} . De acordo com os limites

estabelecidos anteriores para a densidade de fluxo magnético, escolhe um valor de projeto $B_{max} = 0,15T$.



Fonte: Próprio autor.

A partir de B_{max} devidamente escolhido, calcula-se o número de espiras do indutor e as perdas totais:

$$N_{e_2}(0,15) = 15 \quad (\text{B.23})$$

$$P_{L_p} = 3,63W \quad (\text{B.24})$$

APÊNDICE C - Cálculo de perdas dos semicondutores

A seguir, são calculadas as perdas para cada um dos tipos de semicondutor utilizados nos conversor. Devido à característica bidirecional da topologia estudada, serão apresentados dois cálculos: primeiramente para o conversor operando no *boost* e por fim o conversor no modo de operação *buck*.

C.1. Conversor no modo *boost*

A seguir são apresentados os cálculos para os semicondutores do lado primário. Posteriormente são apresentados os cálculos para os semicondutores do lado secundário.

C.1.1. Semicondutores do lado primário

Como o semicondutor utilizado no lado primário, especificado na Tabela 7, opera como retificador síncrono, sua condução ocorrerá tanto modo interruptor quanto no modo diodo. Logo, poderão ser adotados como esforços os valores calculados em (4.20).

Portanto, as perdas por condução no interruptor são obtidas a partir da expressão (C.1).

$$P_{SiCd} = R_{DS} \cdot I_{Si_{rms}}^2 = 1,08W \quad (C.1)$$

As perdas por comutação no interruptor são obtidas a partir da expressão (C.2).

$$P_{SiCm} = \frac{f_s}{2} \cdot (t_r + t_f) \cdot I_{Si_{rms}} \cdot V_{Si_{max}} = 0,89W \quad (C.2)$$

Logo, a perda por interruptor é dada por (C.3), enquanto que a perda total da ponte primária é encontrada a partir de (C.4).

$$P_{Si} = P_{SiCd} + P_{SiCm} \rightarrow P_{Si} = 1,97W. \quad (C.3)$$

$$P_{Si_t} = 12 \cdot P_{Si} = 23,65W. \quad (C.4)$$

C.1.2. Semicondutores do lado secundário

As características do semicondutor utilizado no lado secundário são apresentadas na Tabela 8. Como o conversor está operando no modo *boost*, os esforços dos interruptores, necessário para se calcular as perdas, será (4.26).

Portanto, as perdas por condução no interruptor são obtidas a partir da expressão (C.5).

$$P_{SoCd} = V_{ce} \cdot I_{So_{rms}} = 0,29W \quad (C.5)$$

As perdas por comutação no interruptor são obtidas a partir da expressão (C.6).

$$P_{SoCm} = \frac{f_s}{2} \cdot (t_r + t_f) \cdot I_{So_{rms}} \cdot V_{So_{max}} = 0,02W \quad (C.6)$$

Logo, a perda por interruptor é dada por (C.7), enquanto que a perda total dos interruptores do lado secundário é encontrada a partir de (C.8).

$$P_{So} = P_{SoCd} + P_{SoCm} \rightarrow P_{So} = 0,31W. \quad (C.7)$$

$$P_{So_i} = 6 \cdot P_{So} = 1,87W. \quad (C.8)$$

Para caracterizar as perdas totais da ponte secundária, ainda se faz necessário analisar as características de condução do diodo em antiparalelo ao dispositivo IGBT obtidas em (4.23) e (4.24). Portanto, tem-se, para o diodo, as perdas por condução em (C.9), as perdas por comutação em (C.10), as perdas por diodo em (C.11), e, finalmente, a perda total dos diodos da ponte secundária em (C.12).

$$P_{DoCd} = v_f \cdot I_{Do_{av}} + r_{av} \cdot I_{Do_{rms}}^2 = 9,89W \quad (C.9)$$

$$P_{DoCm} = Q_c \cdot V_{So_{max}} \cdot f_s = 1,14W \quad (C.10)$$

$$P_{Do} = P_{DoCd} + P_{DoCm} \rightarrow P_{Do} = 11,03W. \quad (C.11)$$

$$P_{Do_i} = 6 \cdot P_{Do} = 66,17W. \quad (C.12)$$

Logo, a perda total da ponte secundária é encontrada a partir de (C.13).

$$P_{SDo_i} = P_{Do_i} + P_{So_i} = 34,96W. \quad (C.13)$$

C.1.3. Perdas totais para o conversor operando no modo boost

A partir de (C.4) e (C.13), obtém, em (C.14) as perdas totais dos semicondutores do conversor em estudo operando no modo *boost*.

$$P_{boost_i} = P_{Si_i} + P_{SDo_i} \rightarrow P_{boost_i} = 89,82W. \quad (C.14)$$

C.2. Conversor no modo buck

Neste tópico o sentido do fluxo de potência é invertido e o conversor passa a operar no modo *buck*, portanto novos cálculos de perdas serão realizados. Primeiramente são

apresentados os cálculos para os semicondutores do lado primário. Posteriormente são apresentados os cálculos para os semicondutores do lado secundário.

C.2.1. Semicondutores do lado primário

Utilizando, novamente, a Tabela 7, calcula-se, juntamente com a corrente eficaz em (4.20), as perdas no interruptor.

Portanto, as perdas por condução no interruptor são obtidas a partir da expressão (C.15).

$$P_{SiCd} = R_{DS} \cdot I_{Si_{rms}}^2 = 1,08W \quad (C.15)$$

As perdas por comutação no interruptor são obtidas a partir da expressão (C.16).

$$P_{SiCm} = \frac{f_s}{2} \cdot (t_r + t_f) \cdot I_{Si_{rms}} \cdot V_{Si_{max}} = 0,89W \quad (C.16)$$

Logo, a perda por interruptor é dada por (C.17), enquanto que a perda total da ponte primária é encontrada a partir de (C.18).

$$P_{Si} = P_{SiCd} + P_{SiCm} \rightarrow P_{Si} = 1,97W. \quad (C.17)$$

$$P_{Si_i} = 12 \cdot P_{Si} = 23,65W. \quad (C.18)$$

C.2.2. Semicondutores do lado secundário

As características do semicondutor utilizado no lado secundário são apresentadas na Tabela 8. Como o conversor está operando no modo *buck*, os esforços dos interruptores, necessário para se calcular as perdas agora, será o fornecido em (4.26).

Deste modo, as perdas por condução no interruptor são obtidas de acordo com (C.19).

$$P_{SoCd} = V_{ce} \cdot I_{So_{rms}} = 6,14W \quad (C.19)$$

As perdas por comutação no interruptor são obtidas a partir de (C.20).

$$P_{SoCm} = \frac{f_s}{2} \cdot (t_r + t_f) \cdot I_{So_{rms}} \cdot V_{So_{max}} = 0,52W \quad (C.20)$$

Logo, a perda por interruptor é dada por (C.21), enquanto que a perda total dos interruptores do lado secundário é encontrada a partir de (C.22).

$$P_{So} = P_{SoCd} + P_{SoCm} \rightarrow P_{So} = 6,16W. \quad (C.21)$$

$$P_{So_i} = 6 \cdot P_{Si} = 36,96W. \quad (C.22)$$

Já para o diodo, as perdas por condução em (C.23), as perdas por comutação em (C.24), as perdas por diodo em (C.25), e, finalmente, a perda total dos diodos da ponte secundária em (C.26) são calculadas usando (4.23) e (4.24).

$$P_{DoCd} = v_f \cdot I_{Do_{av}} + r_{av} \cdot I_{Do_{rms}}^2 = 0,03W \quad (C.23)$$

$$P_{DoCm} = Q_c \cdot V_{So_{max}} \cdot f_s = 1,14W \quad (C.24)$$

$$P_{Do} = P_{DoCd} + P_{DoCm} \rightarrow P_{Do} = 1,18W. \quad (C.25)$$

$$P_{Do_i} = 6 \cdot P_{Do} = 7,05W. \quad (C.26)$$

Logo, a perda total da ponte secundária é encontrada a partir de (C.27).

$$P_{SDo_i} = P_{Do_i} + P_{So_i} = 44,01W. \quad (C.27)$$

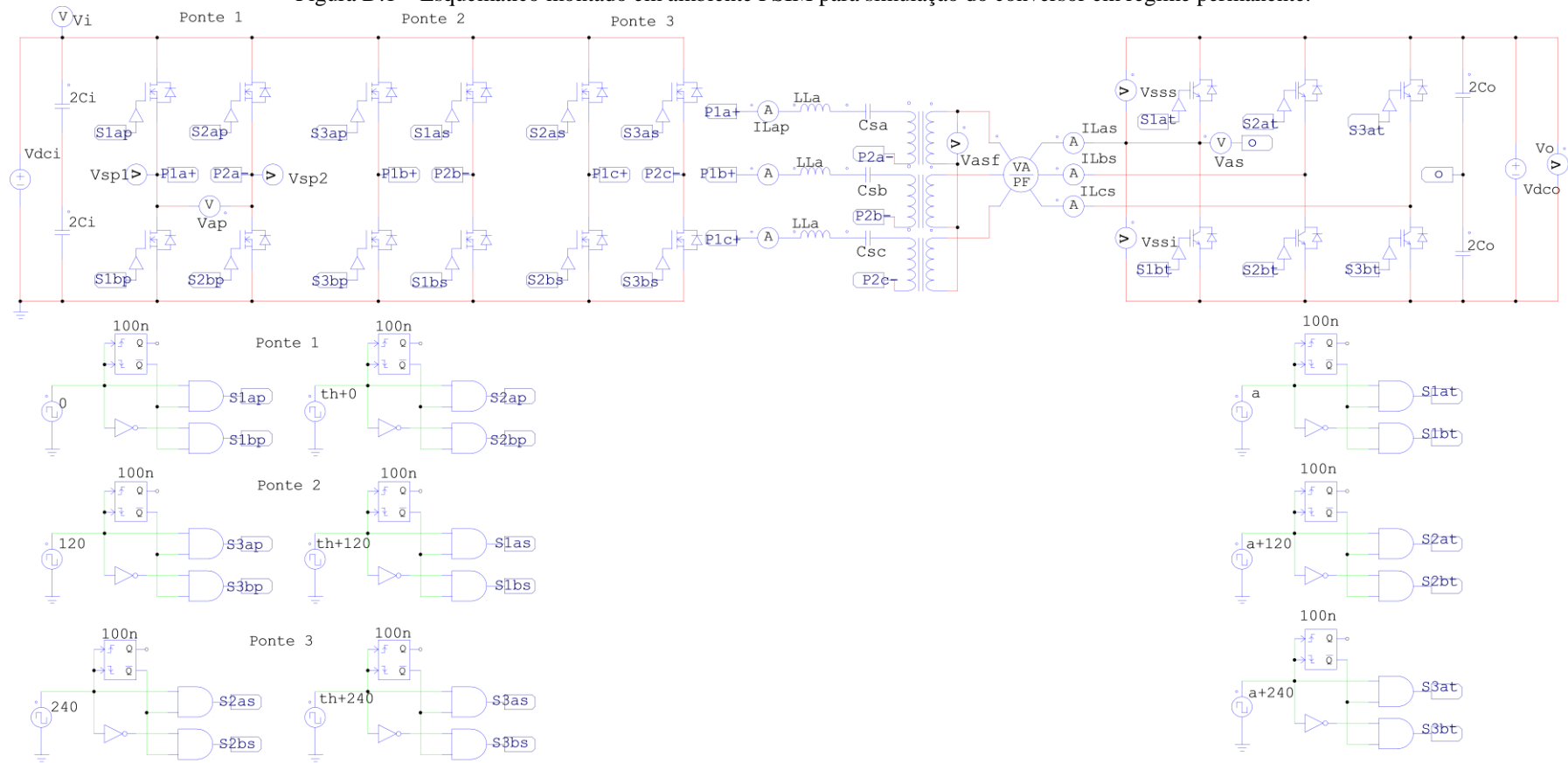
C.2.3. Perdas totais para o conversor operando no modo buck

Por fim, a partir de (C.18) e (C.27), obtém, em. as perdas totais dos semicondutores do conversor em estudo operando no modo *buck*.

$$P_{boost_i} = P_{Si} + P_{SDo_i} \rightarrow P_{boost_i} = 67,66W. \quad (C.28)$$

APÊNDICE D - Esquemático do conversor em ambiente PSIM – circuito de potência e acionamento

Figura D.1 – Esquemático montado em ambiente PSIM para simulação do conversor em regime permanente.

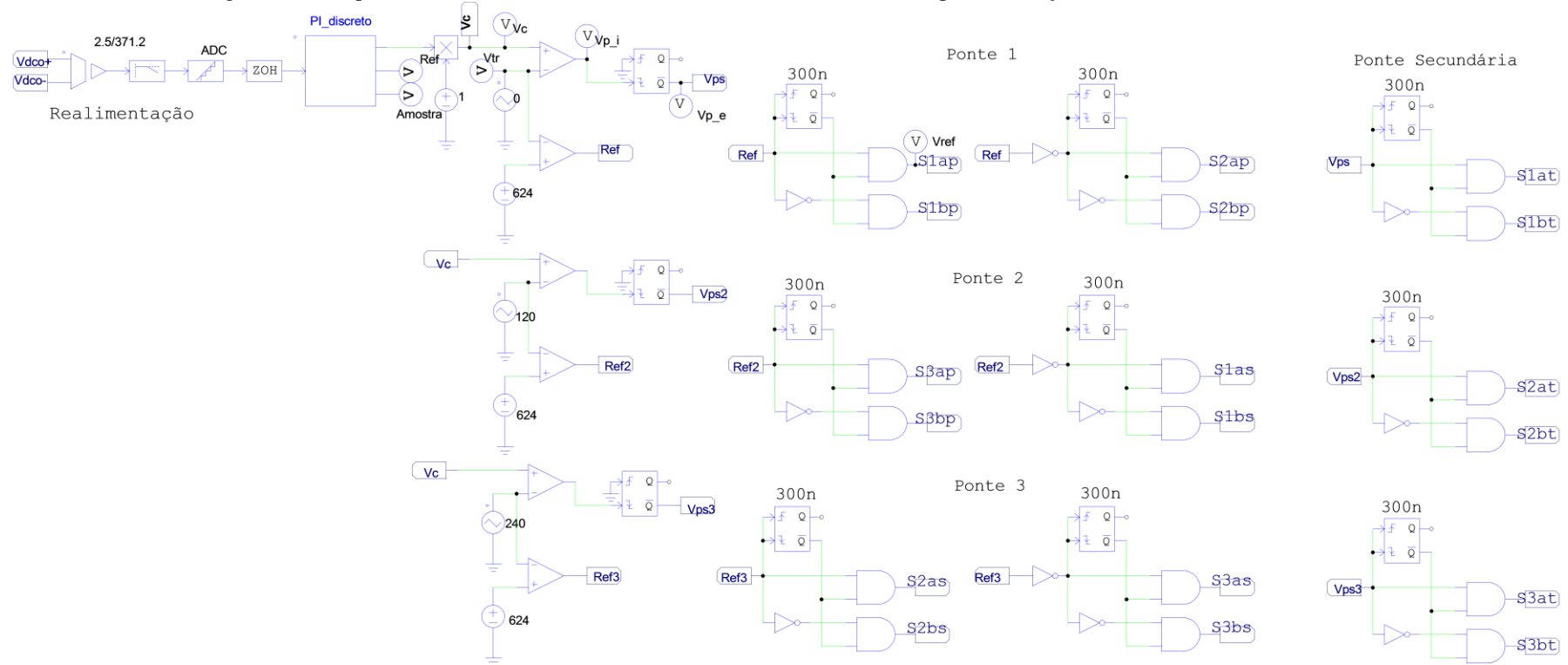


Fonte: Próprio autor.

APÊNDICE E - Esquemático do circuito de controle e acionamento

Na Figura E.1 é apresentado o circuito de controle montado em ambiente PSIM. O circuito de potência utilizado é o mesmo do Apêndice D Os *drivers* também são trocados para que seja possível ajustar em tempo real o ângulo de *phase shift*.

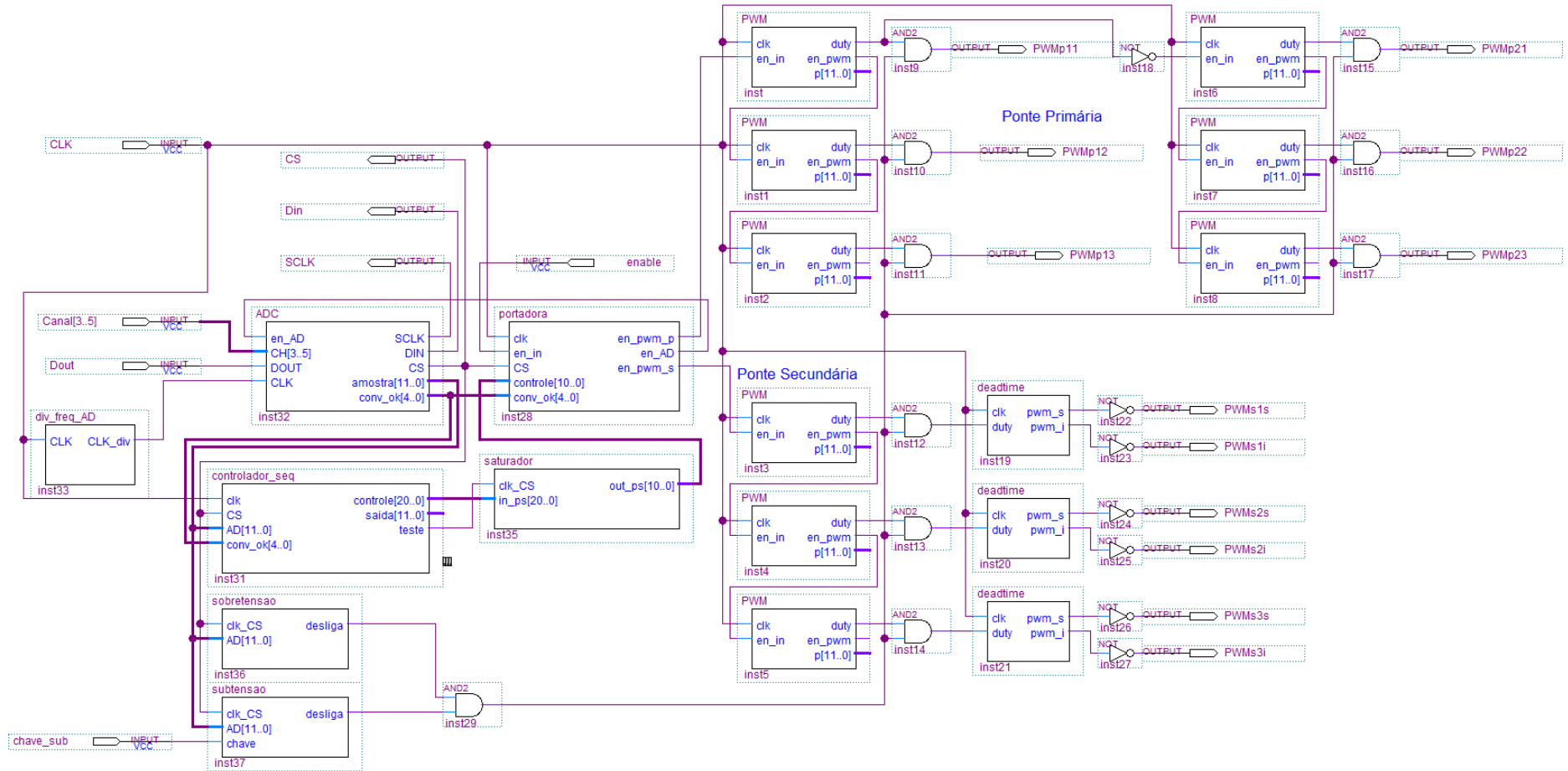
Figura E.1 – Esquemático do circuito de controle montado em ambiente PSIM para simulação do conversor em malha fechada.



Fonte: Próprio autor.

APÊNDICE F - Diagrama de blocos completo do sistema desenvolvido em ambiente *Quartus II*

Figura F.1 – Diagramas de bloco completo do sistema digital implementado.



Fonte: Próprio autor.

APÊNDICE G - Rotina do conversor A/D

Figura G.1 – Rotina da conversão A/D.

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.ALL;
3  USE ieee.numeric_std.ALL;
4  ENTITY ADC IS
5  PORT( en_AD: IN STD_LOGIC;           --Sinal de habilitação do A/D proveniente da Portadora
6        CH: IN STD_LOGIC_VECTOR(3 TO 5); --Canal do conversor A/D
7
8        DOUT ,CLK: IN STD_LOGIC;       --Variáveis de saída de controle do
9        --ADC128S022(IN->OUT)
10       SCLK,DIN,CS: OUT STD_LOGIC;    --Variáveis de entrada de controle
11       --ADC128S022 (OUT->IN)
12       amostra: OUT INTEGER RANGE 0 TO 4095;
13       conv_ok: OUT integer RANGE 0 TO 16);
14  END ADC;
15
16  ARCHITECTURE convert OF ADC IS
17  SIGNAL VALOR: STD_LOGIC_VECTOR (11 DOWNT0 0);
18  SIGNAL DOUT_AUX: STD_LOGIC_VECTOR (1 TO 16);
19  SIGNAL DIN_AUX: STD_LOGIC_VECTOR (1 TO 16);
20  SIGNAL SCLK_EN: STD_LOGIC:='0';--Variável para habilitação de SCLK
21  SIGNAL flag: STD_LOGIC:='0'; ----
22
23  BEGIN
24  SCLK<=SCLK_EN NAND NOT(CLK); --Se SCLK_EN for 0, SCLK=1,
25  --caso contrário, SCLK=CLK2
26
27  DIN_AUX<= "0001000000000000"; --Máscara
28
29  Conversao_ADC:PROCESS(CLK)
30  VARIABLE ciclo: integer RANGE 0 TO 16:=0; --Variavel contadora de ciclos, ajustada a cada pulso negativo
31  BEGIN
32
33  Liga_AD:IF (en_AD='1')THEN --Pino enable
34  ciclo:=0;
35  flag<='1';
36  SCLK_EN<='0';
37  CS<='1'; --Chip select=1, Conversor A/D desligado
38  ELSE
39  --Atualização apenas na borda de descida do CLK
40  --Borda de descida: os dados digitais da conversão são enviados para a saída DOUT
41  Bordas_negativas:IF(CLK'EVENT AND CLK='0' AND flag = '1')THEN
42  --Contador de ciclos
43  Atualizacao_cont_ciclos:IF(ciclo>=16)THEN
44  amostra<=TO_INTEGER(SIGNED(DOUT_AUX(5 TO 16)));
45  ciclo:=0;
46  flag<='0';
47  SCLK_EN<='0';
48  CS<='1'; --Chip select=1, Conversor A/D desligado
49  ELSE
50  ciclo:=ciclo+1;
51  CS<='0'; --Chip select=0, Conversor A/D ligado
52  SCLK_EN<='1';
53  END IF Atualizacao_cont_ciclos;
54
55  CASE ciclo IS
56  WHEN 0 => NULL;
57  WHEN 1 to 16 => DIN<= DIN_AUX(ciclo);
58  --envio dos 16 bits através de DIN
59
60  END CASE;
61
62  END IF Bordas_negativas;
63
64  --Borda de subida do CLK
65  Bordas_positivas:IF(CLK'EVENT AND CLK='1' AND flag = '1')THEN
66
67  CASE ciclo IS
68  WHEN 0 => NULL;
69  WHEN 1 to 16 =>DOUT_AUX(ciclo)<=DOUT;
70  --Registro dos 16 bits recebidos em DOUT
71
72  END CASE;
73  END IF Bordas_positivas;
74
75  END IF Liga_AD;
76
77  conv_ok<=ciclo;
78  END PROCESS Conversao_ADC;
79  END convert;

```

Fonte: Próprio autor.

APÊNDICE H - Rotina da portadora

Figura H.1 – Rotina para a geração da portadora triangular e ajuste do *phase-shift*.

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.all;
3
4  ENTITY portadora IS
5  PORT (clk:      IN bit;
6        en_in:   IN bit;  --Pino de enable de entrada
7        CS:      IN STD_LOGIC; --Chip Select do conversor A/D
8        controle: IN integer RANGE 0 TO 1247;
9        conv_ok: IN integer RANGE 0 TO 16;
10
11        en_pwm_p: OUT bit;  --Pino de enable do PWM primario
12        en_AD:   OUT bit;  --Pino de enable do conversor A/D
13        en_pwm_s: OUT bit); --Pino de enable do PWM primario
14  END portadora;
15
16  ARCHITECTURE contador OF portadora IS
17  BEGIN
18  PROCESS(clk)
19  VARIABLE aux: integer RANGE 0 TO 1247 := 0;
20  VARIABLE ps: integer RANGE 0 TO 1247 := 623;
21  VARIABLE flag: bit := '1'; --Flag para controlar a contagem em crescente ou decrescente.
22  VARIABLE flag_max: bit := '1'; --Flag para identificar o pico(máximo ou mínimo) da triangular.
23  VARIABLE flag_pwm_p: bit := '1'; --Flag para habilitar o pwm do lado primário.
24  VARIABLE flag_pwm_s: bit := '1'; --Flag para habilitar o pwm do lado secundário.
25  VARIABLE flag_conv: bit := '0';
26  BEGIN
27  IF (en_in = '0') THEN --Pino de enable desabilitado
28  aux := 0;
29  flag := '1';
30  flag_max := '1';
31  en_pwm_p <= '0';
32  en_AD <= '1';
33  flag_pwm_p := '1';
34  en_pwm_s <= '1';
35  flag_pwm_s := '1';
36  ELSIF (clk'EVENT and clk = '0' and en_in = '1') THEN --Pino de enable habilitado
37
38  liga_AD:IF (aux = 0 and flag = '1') THEN
39  en_AD <= '0'; --Habilita o início da conversão A/D
40  ELSE
41  IF (conv_ok = 16) THEN --Conversão terminada, o A/D irá enviar sinal avisando.
42  flag_conv := '1';
43  END IF;
44  IF (flag_conv = '1' and CS = '1') THEN
45  en_AD <= '1'; --Sinal de habilitação desligado.
46  flag_conv := '0';
47  ps := controle;
48  END IF;
49  END IF liga_AD;
50
51  --Contador crescente:
52  -- Na contagem crescente é realizada a seguinte função: Realizar o phase shift
53  conta_up:IF (aux < 1247 and flag = '1') THEN
54  --Habilita o PWM do lado primário do conversor:
55  PWM_primario:IF (aux = 623-1 and flag_pwm_p = '1') THEN
56  --Obs: 624 pontos são de 0 até 623!
57  --Obs: Esta condição só ocorrerá novamente se o pino de enable foi resetado.
58  en_pwm_p <= '0';
59  flag_pwm_p := '0';
60  ELSIF (flag_pwm_p = '0') THEN
61  en_pwm_p <= '1';
62  flag_pwm_p := '1';
63  ELSE
64  NULL;
65  END IF PWM_primario;
66
67  --Phase shift:
68  phase_shift:IF (aux = controle-1 and flag_pwm_s = '1') THEN
69  en_pwm_s <= '0';
70  flag_pwm_s := '0';
71  ELSIF (flag_pwm_s = '0') THEN
72  en_pwm_s <= '1';
73  flag_pwm_s := '1';
74  ELSE
75  NULL;
76  END IF phase_shift;
77  aux := aux+1;
78  ELSIF (aux = 1247 and flag_max = '1') THEN
79  aux := 1247;
80  flag_max := '0';
81  ELSE
82  flag := '0';
83  --Fim contador crescente
84  END IF conta_up;
85
86  --Contador decrescente:
87  conta_down:IF (aux > 0 and flag = '0') THEN
88  aux := aux-1;
89  ELSIF (aux = 0 and flag_max = '0') THEN
90  aux := 0;
91  flag := '1';
92  flag_max := '1';
93  --Fim contador decrescente
94  END IF conta_down;
95  ELSE
96  NULL;
97  END IF;
98  END PROCESS;
99  END contador;

```

Fonte: Próprio autor.

APÊNDICE I - Rotina do controlador

Figura I.1 – Rotina para atualização do compensador de tensão.

```

1  LIBRARY ieee;
2  USE ieee.numeric_bit.all;
3  USE ieee.std_logic_1164.all;
4  USE ieee.std_logic_arith.all;
5  USE ieee.std_logic_signed.all;
6  USE ieee.std_logic_unsigned.all;
7
8  ENTITY controlador_seq IS
9  □ GENERIC (A: integer := -23000;    -- Ganho do controlador em Q11
10             B: integer := 23209;    -- Ganho do controlador em Q11
11             Khv: integer := 21632;   -- Ganho de ajuste de realimentação
12             Ko: integer := 1247;    -- Ganho de amplitude da triangular
13             ref: integer := 16384);  -- Referência de tensão
14
15  □ PORT (clk:      IN bit;
16         CS:      IN STD_LOGIC;      --Chip Select do conversor A/D
17         AD:      IN INTEGER RANGE 0 TO 4095;  --Sinal amostrado;
18         conv_ok: IN integer RANGE 0 TO 16;    --Aviso de conversão A/D finalizada;
19         controle: OUT integer RANGE 0 TO 1247000; --Sinal de controle;
20         saida:   OUT INTEGER RANGE 0 TO 4095;
21         teste:  OUT bit);             --sinal de atualização do saturador;
22
23  END controlador_seq;
24
25  ARCHITECTURE PI OF controlador_seq IS
26  SIGNAL f1,f2: integer := 0;         --Variáveis para auxiliar na eliminação de ruídos;
27  SIGNAL Vo:   integer := 0;         --Tensão convertida para representação Q15
28  SIGNAL e0,e1: integer := 0;       --Erros do controlador: e0 = e(k), e1 = e(k-1)
29  SIGNAL u0,u1: integer := 0;       --Saídas do controlador: u0 = u(k), u1 = (k-1)
30  SIGNAL u,u_aux: integer := 0;     --Saídas auxiliares: "u" p/limitar a saída de acordo com o limite da notação Q15;
31                                     --"u_aux" p/limitar de acordo com o limite da triangular;
32  SIGNAL f,flag_ss :std_logic:='0';
33
34  BEGIN
35  □ PROCESS(clk)
36  □ VARIABLE i: integer RANGE 0 TO 8 := 8;
37  □ VARIABLE aux: integer RANGE 0 TO 20 := 0;
38  □ BEGIN
39
40  □ IF (CS = '0') THEN
41  □ i := 0;
42  □ teste <= '0';
43  □ ELSIF (clk'EVENT and clk = '0' and CS = '1') THEN --Conversão terminada, o A/D irá enviar sinal avisando.
44  □ --Análise condicional ou filtro simples para eliminar pequenos ruídos:
45  □ evento: IF (i = 0) THEN
46  □ IF ((AD >= f1+10 or AD <= f1-10) and f = '0') THEN
47  □ f2 <= f1;
48  □ f <= '1';
49  □ ELSE
50  □ f2 <= AD;
51  □ f <= '0';
52  □ END IF;
53  □ i := i+1;
54  □ ELSIF (i = 1) THEN
55  □ --Sinal de erro:
56  □ f1 <= AD;
57  □ saida <= f2;
58  □ e0 <= ref - (21632*f2)/4096;    --e(k) = Vref - Vo, onde Vo = (Khv*AD)/2^13
59  □ i := i+1;
60  □ ELSIF (i = 2) THEN
61  □ --Limitação do sinal de erro:
62  □ limite_e0: IF (e0 >= 400) THEN --Q15
63  □ e0 <= 400;
64  □ ELSIF (e0 <= -400) THEN
65  □ e0 <= -400;
66  □ END IF limite_e0;
67  □ i := i+1;
68  □ ELSIF (i = 3) THEN
69  □ --Atualização do controlador:
70  □ u0 <= u1 + (B*e0 + A*e1)/2048;    --u(k) = u(k-1) + [B*e(k) + A*e(k-1)]/2^11
71  □ i := i+1;
72  □ ELSIF (i = 4) THEN
73  □ --Limite devido a representação numérica Q15.
74  □ limite_Qn: IF (u0 >= 32767) THEN --Q15
75  □ u0 <= 32767;
76  □ ELSIF (u0 <= 0) THEN
77  □ u0 <= 0;
78  □ END IF limite_Qn;
79  □ i := i+1;
80  □ ELSIF (i = 5) THEN
81  □ --Atualização do sinal de erro e do controle do instante anterior:
82  □ e1 <= e0;    -- e(k-1) = e(k)
83  □ u1 <= u0;    -- u(k-1) = u(k)
84  □ controle <= (Ko*u0)/32767;    --u = Ko*u/2^15
85  □ i := i+1;
86  □ ELSIF (i = 6) THEN
87  □ --Habilitação do saturador:
88  □ teste <= '1';
89  □ i := i+1;
90  □ END IF evento;
91  □ END IF;
92  □ END PROCESS;
93  END PI;

```

Fonte: Próprio autor.

APÊNDICE J - Rotina do PWM

Figura J.1 – Rotina para a geração do sinal PWM.

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.all;
3
4  ENTITY PWM IS
5  PORT
6      (clk:      IN  bit;
7       en_in:   IN  bit;  --Pino de enable de habilitação do pwm
8
9       duty:    OUT bit;  --Pino de saída do sinal de duty cycle
10      en_pwm:   OUT bit;  --Pino de enable do pwm da próxima fase
11      p:       OUT integer RANGE 0 TO 2496);
12  END PWM;
13  ARCHITECTURE contador OF PWM IS
14  BEGIN
15  PROCESS(clk)
16      VARIABLE aux: integer RANGE 0 TO 2496 := 0;
17      VARIABLE flag_pwm: bit := '1'; --Flag para habilitar o pwm da próxima fase.
18
19  BEGIN
20  IF (en_in = '0') THEN --Pino de enable desabilitado
21      aux := 0;
22      duty <= '0';
23  ELSIF (clk'EVENT and clk = '0' and en_in = '1') THEN --Pino de enable habilitado
24      duty_cycle:IF (aux < 1248) THEN
25
26          duty <= '1';
27          aux := aux+1;
28          --Habilita o PWM da próxima fase:
29          PWM_prox_fase:IF (aux = 832-1 and flag_pwm = '1') THEN
30              en_pwm <= '0';
31              flag_pwm := '0';
32          ELSIF (flag_pwm = '0') THEN
33              en_pwm <= '1';
34              flag_pwm := '1';
35          ELSE
36              NULL;
37          END IF PWM_prox_fase;
38
39          ELSIF (aux < 2496) THEN
40              duty <= '0';
41              aux := aux+1;
42          ELSE
43              --aux := 0;
44              duty <= '0';
45          END IF duty_cycle;
46      ELSE
47          NULL;
48      END IF;
49      p <= aux;
50  END PROCESS;
51  END contador;

```

Fonte: Próprio autor.

APÊNDICE K - Rotina da sobretensão

Figura K.1 – Rotina para proteção contra sobretensão

```

1  LIBRARY ieee;
2  USE ieee.numeric_bit.all;
3  USE ieee.std_logic_1164.all;
4
5  ENTITY sobretensao IS
6  PORT
7  (clk_CS:    IN bit;
8   AD:       IN INTEGER RANGE 0 TO 4095;
9   desliga:  OUT bit);
10 END sobretensao;
11
12 ARCHITECTURE protecao OF sobretensao IS
13 BEGIN
14   PROCESS (clk_CS)
15     VARIABLE aux: integer RANGE 0 TO 40 := 0;
16     VARIABLE flag_on: bit := '1';
17
18     BEGIN
19       IF (clk_CS'EVENT and clk_CS = '1') THEN --Conversão terminada, o A/D irá enviar sinal avisando.
20
21         IF (flag_on = '1') THEN
22           flag_on := '0';
23           desliga <= '1';
24         END IF;
25
26         --Sistema de proteção contra sobretensão. Desliga os pulsos dos semicondutores.
27         --Resetar o programa e desligar a chave para funcionar novamente.
28         Protecao_AD: IF (AD > 2854) THEN --2854 =~ 427V  1672 =~ 250V  3426 =~ 430V  --3510
29           aux := aux+1;
30           -- Aguarda 40 períodos de chaveamento na situação de sobretensão para desligar os semicondutores.
31           IF (aux = 40) THEN
32             desliga <= '0';
33             aux := 0;
34           END IF;
35         ELSE
36           aux := 0;
37         END IF Protecao_AD;
38       END IF;
39     END PROCESS;
40 END protecao;

```

Fonte: Próprio autor.

APÊNDICE L - Rotina da subtensão

Figura L.1 – Rotina para proteção contra subtensão.

```

1  LIBRARY ieee;
2  USE ieee.numeric_bit.all;
3  USE ieee.std_logic_1164.all;
4
5  ENTITY subtensao IS
6  PORT
7    (clk_CS: IN bit;
8     AD: IN INTEGER RANGE 0 TO 4095;
9     chave: IN bit;
10    desliga: OUT bit);
11 END subtensao;
12 ARCHITECTURE protecao OF subtensao IS
13 BEGIN
14   PROCESS(clk_CS)
15     VARIABLE aux: integer RANGE 0 TO 40 := 0;
16     VARIABLE flag_on: bit := '1';
17
18     BEGIN
19     IF (clk_CS'EVENT and clk_CS = '1') THEN --Conversão terminada, o A/D irá enviar sinal avisando.
20
21     IF (flag_on = '1') THEN
22       flag_on := '0';
23       desliga <= '1';
24     END IF;
25
26     --Sistema de proteção contra subtensão.
27     --Desliga os pulsos dos semicondutores. Resetar o programa e desligar a chave para funcionar novamente.
28     --Se a chave DIP switch estiver na posição on, enviará nível lógico baixo.
29     Protecao_AD: IF (AD < 330V and chave = '1') THEN --2207 =~ 330V 669 =~ 100
30       aux := aux+1;
31       -- Aguarda 40 períodos de chaveamento na situação de subtensão para desligar os semicondutores.
32       IF (aux = 40) THEN
33         desliga <= '0';
34         aux := 0;
35       END IF;
36     ELSE
37       aux := 0;
38     END IF Protecao_AD;
39   END IF;
40 END PROCESS;
41 END protecao;

```

Fonte: Próprio autor.

APÊNDICE M - Rotina do divisor de frequência

Figura M.1 – Rotina para reduzir a frequência do *clock* do conversor A/D.

```

1  LIBRARY ieee;
2  USE ieee.std_logic_1164.all;
3
4  ENTITY div_freq_AD IS
5  PORT (CLK: IN STD_LOGIC;
6        CLK_div : OUT STD_LOGIC);
7  END div_freq_AD;
8
9  ARCHITECTURE div OF div_freq_AD IS
10 BEGIN
11
12 Divisor_de_frequencia: PROCESS (CLK) --Divisão da frequência do clock
13 VARIABLE divisor: NATURAL RANGE 0 TO 15:=0; -- 50 MHz/16 = 3,125 MHz
14 BEGIN
15 --Lógica para dividir o clock mantendo o formato quadrado
16 IF (CLK'EVENT AND CLK='1') THEN
17 IF (divisor=15) THEN divisor:=0; CLK_div<='1';
18 ELSIF (divisor>=8) THEN divisor:=divisor+1; CLK_div<='1';
19 ELSIF (divisor<8) THEN divisor:=divisor+1; CLK_div<='0';
20 END IF;
21 END IF;
22 END PROCESS Divisor_de_frequencia;
23 END div;

```

Fonte: Próprio autor.

APÊNDICE N - Rotina do saturador

Figura N.1 – Rotina para saturação do sinal de controle.

```

1  LIBRARY ieee;
2  USE ieee.numeric_bit.all;
3  USE ieee.std_logic_1164.all;
4
5  ENTITY saturador IS
6  PORT
7  (clk_CS: IN bit;
8   in_ps: IN integer RANGE 0 TO 1247000;
9   out_ps: OUT integer RANGE 0 TO 1247);
10 END saturador;
11 ARCHITECTURE limite OF saturador IS
12 BEGIN
13   PROCESS(clk_CS)
14   BEGIN
15     IF (clk_CS'EVENT and clk_CS = '1') THEN --Conversão terminada, o A/D irá enviar sinal avisando.
16
17       limite_superior: IF (in_ps > (1000-55)) THEN --1246 --935
18         out_ps <= 1000-55; --Limite devido a amplitude da triangular.
19       ELSIF (in_ps < (312-55)) THEN --270
20         out_ps <= 312-55; --ângulo máximo atingido no fluxo de potência negativo: -51°.
21       ELSE
22         out_ps <= in_ps-55; --Limite devido ao conversor A/D. São necessários 5,4us para terminar a conversão.
23         --No futuro talvez seja necessário inserir um atraso computacional atualizando...
24         --...o sinal de controle somente no ciclo posterior para que seja possível que...
25         --...o controle atue de 1 a 1246.
26
27         --out_ps <= in_ps-59;
28       END IF limite_superior;
29     END IF;
30     --controle <= c_aux;
31   END PROCESS;
32 END limite;

```

Fonte: Próprio autor.