

**UNIVERSIDADE FEDERAL DO CEARÁ**



**PROGRAMA DE PÓS-GRADUAÇÃO/MESTRADO  
EM ENGENHARIA ELÉTRICA**

**PROJETO, IMPLEMENTAÇÃO E COMPARAÇÃO DE  
CONTROLADORES DIGITAIS APLICADOS A UM  
INVERSOR TRÊS NÍVEIS**

**PAULO PEIXOTO PRAÇA**

Fortaleza, Março de 2006

**Paulo Peixoto Praça**



**PROJETO, IMPLEMENTAÇÃO E COMPARAÇÃO DE  
CONTROLADORES DIGITAIS APLICADOS A UM  
INVERSOR TRÊS NÍVEIS**

Dissertação submetida à Universidade  
Federal do Ceará como parte dos  
requisitos para a obtenção do grau de  
Mestre em Engenharia Elétrica.

Orientador:

Prof. Luiz Henrique S.C Barreto. Dr

Fortaleza, Março de 2006

**PAULO PEIXOTO PRAÇA**

**PROJETO, IMPLEMENTAÇÃO E COMPARAÇÃO DE  
CONTROLADORES DIGITAIS APLICADOS A UM  
INVERSOR TRÊS NÍVEIS**

Esta dissertação foi julgada adequada para obtenção do título de Mestre em Engenharia Elétrica, Área de Eletrônica de Potência e Conservação de Energia e aprovado em sua forma final pelo programa de Pós-Graduação em Engenharia Elétrica na Universidade Federal do Ceará.

---

Paulo Peixoto Praça

Banca Examinadora:

---

Prof. Luiz Henrique Silva Colado Barreto, Dr.  
Presidente

---

Prof. Demercil de Sousa Oliveira Júnior, Dr.

---

Prof. René Pastor Torrico Bascopé, Dr.

---

Prof. João Batista Vieira Jr, Dr.

Fortaleza, Março 2006

*À Deus,  
Por ter me concedido a vida, minha Família,  
meus Amigos, meu caráter, minha determinação  
e uma oportunidade desta magnitude.*

*Aos meus pais Paulo Praça e Tânia Peixoto,  
Ao meu irmão Rodrigo,  
Aos meus Avós Rocicler(†), Montezuma(†), Maria(†) e Manoel(†),  
A meu tio e padrinho Adérito Praça e Sônia Peixoto,  
A todos da minha família que não os citei,  
Aos meus Grandes Amigos Tobias Rafael, Halisson Alves e Eber Diniz,  
À todos que duvidaram ou achavam que não conseguiria,  
Eu dedico esse trabalho.*

*“Construímos sonhos em cima de grandes pessoas, mas com o tempo descobrimos que grandes eram os sonhos e as pessoas pequenas demais...”*

## AGRADECIMENTOS

À CAPES (Coordenação de Aperfeiçoamento de Pessoal de Nível Superior) que contribuiu com apoio financeiro necessário à realização desse trabalho e desenvolvimento científico.

Ao professor Luiz Barreto pela sua valiosa orientação e amizade disponibilizada durante estes dois anos, também foi o responsável pela minha iniciação no programa de Mestrado. Agradeço a confiança em mim depositada e a oportunidade de trabalhar em que gosto.

Ao professor Ricardo Thé por ter me recebido tão bem neste programa e dispor de sua confiança e amizade.

Ao professor René Pastor por dispor de sua experiência e conhecimento sempre que precisei durante o Mestrado, além de sua amizade e atenção.

Aos professores Fernando Antunes, Laurinda, Ruth, José Carlos, Otacílio, Demercil, Cícero e todos do Departamento de Engenharia Elétrica da UFC, responsáveis diretamente pela minha formação no programa de Mestrado.

Aos meus amigos de mestrado Tobias, Halisson, Rousseau, Eber, Gustavo, Carla, George, Odivan, Lucas, Coutinho, Adonias, Paulo, Marcelo, Sandersom, Marília, Edilson, Belchior, Felipe, Marcus, Rômulo, Sérgio Daher por todas as etapas que foram vencidas e pelo companheirismo.

Aos meus amigos e técnicos do Grupo de Automação e Robótica (GPAR) e Grupo de Processamento de Energia e Controle (GPEC), Kleber Lima, Samuel, Joacillo, Óliver, Pedro, Isaac, Mônica, Rômulo Leite, Salomão, Daniel, Samuelson, Alcidney, Thardely, Tiago, Juliana, Celso, Adriano, Ádson, Vanessa, Vandilberto e outros que não citei.

Aos amigos de infância, do ensino médio e do cotidiano que continuam sempre mantendo contato comigo: Luiz Neto, Jayson, Renato, Tiago, José Luiz(*t*).

À todas as pessoas que por motivo de esquecimento não foram citadas anteriormente, vou deixando neste espaço minhas sinceras desculpas.



**Praça, P.P. “Projeto, implementação e comparação de controladores digitais aplicados a um inversor três níveis”. Universidade Federal do Ceará – UFC ,2006,135p.**

Neste trabalho foram abordadas o projeto, implementação, montagem e obtenção de resultados de controladores digitais para um inversor de tensão monofásico com modulação a três níveis. O projeto dos controladores foi baseado em duas técnicas de controle aplicado a sistemas digitais, sendo elas o método de Ziegler Nichols Modificado e a técnica de Alocação de Pólos. Os controladores projetados e implementados foram os PI, PID, PI modificado e PID modificado. A metodologia de projeto, simulação e resultados experimentais de um protótipo de 1KW desenvolvido em laboratório são apresentados para validar a análise teórica e comprovar o desempenho do sistema.

Palavras-Chave: Inversor, PIC, FPGA, Controle Digital, PI, PID.

**Praça, P.P. “Design, implementation and comparison among digital controllers applied to a three-level inverter”. Universidade Federal do Ceará – UFC ,2006,135p.**

This work presents approached the project and implementation of several digital controllers applied to an one-phase inverter with three level PWM sinusoidal modulation. The controller's project was based on the Modified Ziegler-Nichols and root locus techniques. The project methodology, simulation and experimental results of a 1KW prototype developed in laboratory are presented in order to validate the theoretical analysis and to prove the system performance.

Keywords: Inverter, PIC, FPGA, Digital Control, PI, PID.

## SUMÁRIO

<b>SIMBOLOGIA</b> .....	xiv
<b>LISTA DE FIGURAS</b> .....	xviii
<b>INTRODUÇÃO GERAL</b> .....	1
<b>CAPÍTULO 1</b>	
<b>MODULAÇÃO A TRÊS NÍVEIS EM INVERSORES MONOFÁSICOS/PONTE COMPLETA</b>	
1.1 INTRODUÇÃO.....	5
1.2 O INVERSOR PONTE COMPLETA.....	6
1.3 HARMÔNICOS EM INVERSORES MULTINÍVEIS.....	11
1.4 MODULAÇÃO PWM SENOIDAL.....	13
1.5 MODULAÇÃO PWM SENOIDAL UNIPOLAR COM DOIS SINAIS SENOIDAIS.....	14
1.6 MODULAÇÃO PWM SENOIDAL UNIPOLAR COM DOIS SINAIS TRIANGULARES.....	15
1.7 MODULAÇÃO PWM SENOIDAL COM SENOIDE RETIFICADA.....	16
1.8 CONSIDERAÇÕES FINAIS.....	17
<b>CAPÍTULO 2</b>	
<b>O MICROCONTROLADOR PIC18FXXX E O FPGA</b>	
2.1 INTRODUÇÃO.....	18
2.2 O MICROCONTROLADOR PIC18F452.....	19
2.3 VISÃO GERAL DO PIC18F452.....	20
2.4 PINAGEM DO MICROCONTROLADOR PIC18F452.....	21
2.5 AUMENTANDO A VELOCIDADE DO PIC18F452.....	23
2.6 PERIFÉRICOS USADOS PARA O DESENVOLVIMENTO DO PROJETO.....	24
2.6.1 CONFIGURAÇÃO DO TIMER2.....	24
2.6.2 CONFIGURAÇÃO DO WATCH DOG.....	26
2.6.3 CONFIGURAÇÃO DO A/D.....	26
2.6.4 CONFIGURAÇÃO DO PWM.....	27
2.7 FERRAMENTAS DE PROJETO.....	29
2.8 O QUE É UM FPGA.....	29
2.9 ARQUITETURA DO FPGA.....	31
2.10 COMO PROGRAMAR O FPGA.....	32
2.11 COMUNICANDO O PC COM O FPGA.....	33
2.12 A FAMÍLIA 7000S DA ALTERA.....	36
2.13 DESCRIÇÃO GERAL.....	37
2.14 PROGRAMANDO O FPGA COM O MAX PLUS II.....	39
2.15 CONSIDERAÇÕES FINAIS.....	41
<b>CAPÍTULO 3</b>	
<b>PROJETO DO INVERSOR MONOFÁSICO PONTE COMPLETA</b>	
3.1 INTRODUÇÃO.....	42
3.2 DADOS DO PROJETO.....	42
3.3 DIMENSIONAMENTO DO FILTRO LC DE SAÍDA.....	44
3.3.1 CÁLCULO DA INDUTÂNCIA DE SAÍDA.....	45
3.3.2 CÁLCULO DO CAPACITOR DE SAÍDA.....	47

3.4 DIMENSIONAMENTO DO NÚCLEO DO INDUTOR.....	48
3.5 DETERMINAÇÃO DOS ESFORÇOS DOS SEMICONDUTORES.....	51
3.6 DETERMINAÇÃO DE PERDAS NOS SEMICONDUTORES.....	52
3.6.1 PERDA POR CONDUÇÃO.....	53
3.6.2 PERDA DE COMUTAÇÃO.....	53
3.6.3 PERDA NO BLOQUEIO.....	53
3.6.4 PERDA DE CONDUÇÃO NO DIODO DO IGBT.....	54
3.6.5 PERDA DE COMUTAÇÃO NO DIODO DO IGBT.....	54
3.7 DIMENSIONAMENTO DO <i>SNUBBER</i> .....	55
3.8 CONSIDERAÇÕES FINAIS.....	57

## **CAPÍTULO 4**

### **PROJETOS DE CONTROLE DIGITAL PARA INVERSOR**

4.1 INTRODUÇÃO.....	58
4.2 PRINCÍPIO DE FUNCIONAMENTO.....	58
4.3 GERANDO A TABELA DE REFERÊNCIA DO MICROCONTROLADOR.....	60
4.4 O BIT DE SINCRONISMO.....	61
4.5 ESTRUTURA DO PROGRAMA DO MICROCONTROLADOR.....	62
4.6 ESTRUTURA DO PROGRAMA DO FPGA.....	63
4.7 CIRCUITO DE <i>BUFFER</i> PARA GATILHO DOS IGBTs.....	67
4.8 CIRCUITO DO PIC/FPGA DA PLACA DE CONTROLE.....	68
4.9 CIRCUITO DA PLACA DE REALIMENTAÇÃO – LEM DE TENSÃO.....	71
4.10 DETERMINAÇÃO DA FUNÇÃO DE TRANSFERÊNCIA DO INVERSOR.....	73
4.11 PROJETO DOS CONTROLADORES DIGITAIS.....	79
4.11.1 MÉTODO DE ZIEGLE NICHOLS MODIFICADO.....	79
4.11.1.1 PROJETO DO CONTROLADOR PI.....	82
4.11.1.2 PROJETO DO CONTROLADOR PID.....	88
4.11.2 MÉTODO DE ALOCAÇÃO DE PÓLOS.....	89
4.11.2.1 PROJETO DO CONTROLADOR PI CONVENCIONAL.....	92
4.11.2.2 PROJETO DO CONTROLADOR PI MODIFICADO.....	95
4.11.2.3 PROJETO DO CONTROLADOR PID CONVENCIONAL...	96
4.11.2.4 PROJETO DO CONTROLADOR PID MODIFICADO.....	99
4.12 CONSIDERAÇÕES FINAIS.....	101

## **CAPÍTULO 5**

### **RESULTADOS EXPERIMENTAIS**

5.1 INTRODUÇÃO.....	102
5.2 RESULTADOS EXPERIMENTAIS DOS CONTROLADORES.....	102
5.2.1 PI CONVENCIONAL USANDO ZIEGLE NICHOLS MODIFICADO.....	103
5.2.2 PID CONVENCIONAL USANDO ZIEGLE NICHOLS MODIFICADO.....	106
5.2.3 PI CONVENCIONAL USANDO ALOCAÇÃO DE PÓLOS.....	108
5.2.4 PI MODIFICADO USANDO ALOCAÇÃO DE PÓLOS.....	111
5.2.5 PID CONVENCIONAL USANDO ALOCAÇÃO DE PÓLOS.....	113
5.2.6 PID MODIFICADO USANDO ALOCAÇÃO DE PÓLOS.....	116
5.3 PROTÓTIPO DESENVOLVIDO.....	119
5.4 CONSIDERAÇÕES FINAIS.....	122

<b>CONCLUSÃO GERAL</b> .....	123
<b>BIBLIOGRAFIA</b> .....	125
<b>APÊNDICE A</b> .....	128
<b>APÊNDICE B</b> .....	130
<b>APÊNDICE C</b> .....	132

## SIMBOLOGIA

Símbolos utilizados no trabalho.

<b>Símbolo</b>	<b>Significado</b>	<b>Unidade</b>
$S_n$	Interruptores ou Chaves	
$V_{cc}$	Tensão Contínua da Fonte de Entrada	V
$L_s$	Indutor do Filtro de Saída	H
$C_s$	Capacitor do Filtro de Saída	F
$THD$	Taxa de Distorção Harmônica	
$E_T$	Valor RMS da Forma de Onda Total	V
$E_1$	Valor Médio Quadrático da Componente Fundamental	V
$a_1$	Amplitude da Componente Fundamental de Tensão	V
$M_i$	Índice de Modulação	
$A_m$	Amplitude da Moduladora	
$A_p$	Amplitude da Portadora	
$M_f$	Razão entre Freqüências	
$f_p$	Freqüência da Portadora	Hz
$f_m$	Freqüência da Moduladora	Hz
$V_0$	Tensão de Saída do Inversor	V
$MIPS$	Milhões de Instruções por Segundo	
$FPGA$	Field Programmable Gate Array	
$A/D$	Conversor Analógico Digital	
$PLL$	Phase Locked Loop	
$T_{aq}$	Tempo de Aquisição	s
$T_{acomodação}$	Tempo de Acomodação	s
$T_{carga\_cap\_amostragem}$	Tempo de Carga do Capacitor de Amostragem do A/D	s
$C_{hold}$	Capacitor Interno do Conversor A/D	F
$I_{mds}$	Corrente média no interruptor	A
$I_{ds}$	Corrente média no diodo em anti-paralelo	A
$R_{entrada}$	Resistor de entrada do conversor A/D	$\Omega$
$Per_{PWM}$	Período do modo PWM do PIC	s
$F_{osc}$	Freqüência de Oscilação do Microcontrolador	Hz
$PRE$	Prescaler do Microcontrolador	
$F_{PWM}$	Freqüência do Sinal PWM	Hz
$Res_{PWM}$	Resolução do Canal PWM	
$IOB$	Input Output Blocks	
$CLB$	Configuration Logical Blocks	
$PIA$	Programmable Interconnect Array	

$LABs$	Logic Array Blocks	
$E/S$	Entradas e Saídas	
$P_0$	Potência Ativa de Saída	W
$S_0$	Potência Aparente de Saída	VA
$V_{IN}$	Tensão de Entrada do Barramento CC	V
$FP$	Fator de Potência	
$f_R$	Frequência de Operação da Rede	Hz
$f_S$	Frequência de Chaveamento	Hz
$V_{TRI}$	Tensão Máxima de Referência da Triangular	V
$m_a$	Índice de Modulação	
$V \max_{SEN}$	Amplitude Máxima da Senoide de Referência	V
$V_{OUT}$	Tensão de Saída do Inversor	V
$f_0$	Frequência de Corte do Filtro de Saída	Hz
$V_L$	Tensão no Indutor	V
$\Delta I$	Variação de Corrente	A
$\Delta t$	Variação de Tempo	s
$I_{0\_RMS}$	Corrente Eficaz de Saída do Inversor	A
$I_{0\_PICO}$	Corrente de Pico do Inversor	A
$R_0$	Resistência de Carga do Inversor	$\Omega$
$T_S$	Período de Chaveamento do Inversor	S
$D$	Razão Cíclica	
$Ae$	Área Efetiva da Perna Central do Núcleo	$cm^2$
$Aw$	Área da Janela do Núcleo	$cm^2$
$K$	Fator de Ocupação	
$B$	Densidade de Fluxo	T
$J$	Densidade de Corrente	$A/cm^2$
$N$	Numero de Espiras do Indutor	
$g$	Tamanho do Entreferro	cm
$S_{CU}$	Seção do Fio de Cobre	$cm^2$
$N_{CP}$	Quantidade de Fios em Paralelo	
$I_{CN}$	Corrente Nominal de Coletor do IGBT	A
$V_{CEO}$	Tensão de Limiar do IGBT	V
$t_r$	Tempo de Subida Nominal do IGBT	s
$t_f$	Tempo de Descida Nominal do IGBT	s
$V_{FO}$	Tensão de Limiar do Diodo do IGBT	V
$V_{FN}$	Queda de Tensão no Diodo do IGBT	V
$I_{FN}$	Corrente de Condução do Diodo do IGBT	A
$t_{rr}$	Tempo de Recuperação Reversa do Diodo do IGBT	s
$Q_{ce}$	Carga de Recuperação Reversa do Diodo do IGBT	C

$I_{rr}$	Corrente de Recuperação Reversa do Diodo do IGBT	A
$D_{sn}$	Diodo do Circuito de Snubber	
$R_{sn}$	Resistor do Circuito de Snubber	
$C_{sn}$	Capacitor do Circuito de Snubber	
$P_{conIGBT}$	Perda no Condução em Cada IGBT	W
$P_{onIGBT}$	Perda na Entrada em Condução do IGBT	W
$P_{offIGBT}$	Perdas por Bloqueio no IGBT	W
$P_{totIGBT}$	Perda de Potência Media Total no IGBT	W
$P_{conD}$	Perda por Condução em Cada Diodo do IGBT	W
$P_{comD}$	Perda por Comutação em Cada Diodo do IGBT	W
$P_{totD}$	Perda de Potência Media Total no Diodo do IGBT	W
$T_{sen\_ret}$	Período da Senoide Retificada	s
$T_{interrupcao}$	Período da Interrupção do Microcontrolador	s
$N_{term\_tabela}$	Número de Termos da Tabela	
$V_{tabela}$	Valor da Tabela no Instante t	
$f_{OSC\_EXT}$	Frequência do Oscilador Externo do FPGA	Hz
$T_{OSC\_EXT}$	Período do Oscilador Externo do FPGA	s
$T_{CH}$	Período de Chaveamento	s
$V_{entrada}$	Tensão de Pico da Saída do Inversor	V
$R1$	Resistor de Entrada do LEM de Tensão	$\Omega$
$V_{P2}$	Tensão do Potenciômetro de Ajuste do Circuito de Realimentação	V
$R_X$	Resistência do Potenciômetro de Ajuste do Circuito de Realimentação	$\Omega$
$V_{MD}$	Tensão Media da Tensão de Saída do Inversor antes do Filtro de Saída	V
$\Delta d$	Variação da Razão Cíclica	
$Z$	Impedância Equivalente entre o Capacitor e a Carga	
$Gp(S)$	Função de Transferência da Planta	
$Gc(S)$	Função de Transferência do Controlador	
$Fm$	Ganho do Modulador	
$\beta$	Ganho de Amostragem	
A	Ponto do Diagrama de Nyquist da Planta	
B	Ponto do Diagrama de Nyquist Escolhido	
$r_a$	Parte Real do Ponto da Planta	
$\Phi_a$	Ângulo Formado Entre o Eixo Real e o Ponto A	
$r_b$	Ponto Escolhido pelo Operador da Planta	
$\Phi_b$	Ângulo Formado Entre o Eixo Real e o Ponto B	
$K_p$	Ganho Proporcional	



$T_i$	Tempo Integral	
$T_d$	Tempo Derivativo	
$w_0$	Freqüência dos Pólos da Planta em Rad/seg	Rad/seg
$T_s$	Tempo de Amostragem	
$q_0$	Primeiro Ganho do Controlador	
$q_1$	Segundo Ganho do Controlador	
$q_2$	Terceiro Ganho do Controlador	
PI	Controlador Proporcional Integral	
PID	Controlador Proporcional Integral Derivativo	

Simbologia adotada nos diagramas de circuito:

<b>Símbolo</b>	<b>Significado</b>
C	Capacitor
D	Diodo
L	Indutor
S	Interruptor Controlado
R	Resistor
V	Fonte de Tensão
U	Circuitos Integrados

Símbolos de unidades de grandezas físicas:

<b>Símbolo</b>	<b>Significado</b>
$\Omega$	Ohm
A	Ampere
cm	Centímetro
dB	Decibel
F	Faraday
H	Henry
Hz	Hertz
rad	Radiano
s	Segundo
T	Tesla
V	Volt
W	Watt

## LISTA DE FIGURAS

Fig 1.1 Estrutura do inversor monofásico ponte completa.....	6
Fig 1.2 Forma de onda da saída do inversor ponte completa antes do filtro Ls Cs.....	6
Fig 1.3 Forma de onda nos gatilhos dos interruptores e tensão de saída.....	7
Fig 1.4 Primeira etapa de funcionamento do inversor três níveis.....	8
Fig 1.5 Segunda etapa de funcionamento do inversor três níveis.....	9
Fig 1.6 Terceira etapa de funcionamento do inversor três níveis.....	9
Fig 1.7 Sinal de sincronismo e tensão de saída do inversor.....	10
Fig 1.8 Tensão de saída do inversor com modulação por pulso único.....	12
Fig. 1.9 Sinais de comparação, sinais nas chaves do inversor e sinal de saída.....	14
Fig 1.10 Sinais de comparação, sinais nas chaves do inverso e sinal de saída.....	15
Fig 1.11 Sinais de comparação, sinais nas chaves do inversor e sinal de saída.....	16
Fig.2.1 Pinagem do PIC18F452 em encapsulamento DIP 40 pinos.....	21
Fig.2.2 Diagrama de blocos do PLL interno do microcontrolador.....	24
Fig.2.3 Estrutura do FPGA.....	31
Fig.2.4 Arquitetura interna de um FPGA.....	32
Fig.2.5 Estrutura do cabo ByteBlaster.....	34
Fig.2.6 Esquemático do circuito de interface entre o PC e FPGA.....	35
Fig.2.7 Pinagem do FPGA em modo PLCC 44.....	36
Fig.2.8 Diagrama de Blocos da família MAX7000S.....	38
Fig.2.9 Diagrama de blocos de uma macrocélula da família MAX7000S.....	39
Fig.2.10 Tela de programação do FPGA em modo esquemático.....	40
Fig.3.1 Filtro LC de saída do inversor.....	45
Fig.3.2 Circuito equivalente do filtro LC de saída.....	46
Fig.3.3 Dimensões do núcleo NEE 55/28/21.....	49
Fig.3.4 Circuito snubber grampeador RCD.....	56
Fig.3.5 Circuito de potência do inversor.....	57
Fig.4.1 Bit de sincronismo e referência senoidal.....	63
Fig.4.2 Diagrama de blocos do programa do PIC.....	64
Fig.4.3 Diagrama de blocos do programa do FPGA.....	65
Fig.4.4 Circuito divisor por 5 do FPGA.....	66
Fig.4.5 Circuito comparador da referência com o sinal de resposta do PIC.....	67
Fig.4.6 Circuito comparador da referência com o sinal de resposta do PIC.....	68
Fig.4.7 Circuito de buffer para gatilho dos IGBTs.....	69
Fig.4.8a. Circuito da placa de controle digital.....	70
Fig.4.8b. Circuito da placa de controle digital.....	71
Fig.4.9a Circuito da placa do sensor de realimentação de tensão – LEM.....	72
Fig.4.9b Circuito da placa do sensor de realimentação de tensão – LEM.....	73
Fig.4.10 Forma de onda da tensão de saída do inversor antes do filtro LC.....	75
Fig.4.11 Circuito do inversor durante um período de comutação.....	75
Fig.4.12 Circuito do inversor com razão cíclica e tensão de saída perturbadas.....	76
Fig.4.12 Circuito simplificado do modelo de pequenos sinais.....	76
Fig.4.13 Diagrama de blocos do sistema.....	77
Fig.4.14 Diagrama de blocos para determinação de F(s) e FTLA.....	78
Fig.4.15 Diagrama de Bode de FTLA : (a) ganho, (b) fase.....	79
Fig.4.16 Diagrama Nyquist e resposta ao degrau em malha fechada.....	81
Fig.4.17 Comportamento do diagrama Nyquist no sistema.....	81
Fig.4.18 Diagrama de Nyquist da planta em malha aberta $G_p(s)$ .....	84
Fig.4.19 Zoom do diagrama de Nyquist da planta no terceiro quadrante.....	84

Fig.4.20 Diagrama de blocos do sistema.....	86
Fig.4.21 Resposta ao degrau para o controlador PI.....	88
Fig.4.22 Resposta ao degrau para o controlador PID.....	90
Fig.4.23 Transformação do plano Z no plano W.....	92
Fig.4.24 Lugar das raízes da planta.....	93
Fig.4.25 Lugar das raízes com controlador PI.....	94
Fig.4.26 Resposta ao degrau para um ponto próximo à fronteira do círculo unitário.....	94
Fig.4.27 Resposta ao degrau do controlador PI.....	95
Fig.4.28 Lugar das raízes com controlador PI modificado.....	96
Fig.4.29 Resposta ao degrau do controlador PI modificado.....	97
Fig.4.30 Lugar das raízes com controlador PID convencional.....	99
Fig.4.31 Resposta ao degrau do controlador PID convencional.....	99
Fig.4.32 Lugar das raízes do PID modificado.....	101
Fig.4.33 Resposta ao degrau do controlador PID modificado.....	101
Fig.5.1 Tensão e corrente de Saída: V) 100V/div; I) 10A/div; 4ms/div.....	104
Fig.5.2 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.....	105
Fig.5.3 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.....	105
Fig.5.4 Amplitude das harmônicas em % em relação a fundamental.....	106
Fig.5.5 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.....	107
Fig.5.6 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.....	108
Fig.5.7 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.....	108
Fig.5.8 Amplitude das harmônicas em % em relação a fundamental.....	109
Fig.5.9 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.....	110
Fig.5.10 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.....	110
Fig.5.11 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.....	111
Fig.5.12 Amplitude das harmônicas em % em relação a fundamental.....	112
Fig.5.13 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.....	113
Fig.5.14 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.....	113
Fig.5.15 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.....	114
Fig.5.16 Amplitude das Harmônicas em % em relação a Fundamental.....	114
Fig.5.17 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.....	115
Fig.5.18 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.....	116
Fig.5.19 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.....	116
Fig.5.20 Amplitude das harmônicas em % em relação a fundamental.....	117
Fig.5.21 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.....	118
Fig.5.22 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.....	118
Fig.5.23 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.....	119
Fig.5.24 Amplitude das harmônicas em % em relação a fundamental.....	119
Fig.5.25 Protótipo desenvolvido em laboratório.....	121
Fig.5.26 Placa do sensor de LEM de realimentação.....	121
Fig.5.27 Placa de controle PIC/FPGA.....	122
Fig.5.28 Placa dos drivers de acionamento dos IGBTs.....	122
Fig.5.29 Placa de potência do inversor.....	123

## INTRODUÇÃO GERAL

Algumas técnicas de controle de processos mais apuradas vem despertando com as recentes inovações tecnológicas, resultando em um melhoramento na performance dos equipamentos nos mais diversos segmentos industriais.

Uma área bastante promissora e de grande importância para o desenvolvimento tecnológico é a eletrônica de potência, na qual a velocidade de processamento e o tratamento de sinais é bastante crítico, principalmente no que diz respeito a equipamentos eletrônicos como fontes chaveadas, UPS (*Uninterruptible Power Supply*) e outros equipamentos onde a velocidade de chaveamento é considerada elevada.

Com o advento de microcontroladores mais robustos e velozes, diversos algoritmos de tratamento e controle vêm sendo desenvolvidos e estão tendo uma aceitação muito grande no mercado, uma vez que o processamento digital de sinais (PDS) vem se tornando uma das ferramentas mais usadas para o desenvolvimento e condicionamento de sinais em várias áreas de atuação, tais como telecomunicações, aplicações industriais, tratamento químico, reconhecimento de padrões e diversos outros ramos.

O uso de microcontroladores em aplicações industriais é uma realidade a bastante tempo, esses componentes possuem uma variedade grande de periféricos já inseridos em seu *hardware* visando facilitar a interface entre o usuário e o equipamento em questão.

A tecnologia de semicondutores vem crescendo a cada dia, e novos componentes estão sendo lançados, tais como microcontroladores mais potentes e rápidos, DSPs (*Digital Signal Processor*) onde a velocidade de processamento é

muito maior que os processadores convencionais, tendo a facilidade de sua arquitetura otimizar operações matemática, FPGAs (*Field Programmable Analog Array*) onde pode-se inserir toda a lógica de componentes digitais tais como portas lógicas, contadores, *flip-flops* e outros periféricos que antes eram encontrados em circuitos integrados separados em um único dispositivo programável via *software*.

Todos esses componentes citados anteriormente estão se inserindo em sistemas de controle onde então eram dominados por dispositivos analógicos, tendo a vantagem de diminuir a quantidade de componentes no circuito, serem consideravelmente mais rápidos e de fácil manutenção, uma vez que a quantidade de componentes diminui bastante, sendo o tratamento de controle e sinais feitos em um processador com alta capacidade de resolução de equações.

Estes processadores com alta velocidade tem a vantagem de permitir a implementação de algoritmos de controle mais robustos, elaborados e modernos, sendo possível inclusive o uso de algoritmos de identificação e controle *on-line*, o que vem se tornando uma tendência com o advento de microcontroladores mais rápidos como os DSPICs, DSPs, ATMEGA e outros.

No presente trabalho, será mostrado a implementação de diversas estratégias de controle digital para um inversor de tensão monofásico em ponte completa com potencia de 1KW, usando modulação a três níveis

A estratégia de controle que será abordada durante o trabalho está baseada nos controladores PI (Proporcional Integral), PI modificado, PID (Proporcional Integral Derivativo) e PID modificado.

Os dispositivos digitais utilizados no projeto são um microcontrolador PIC18F452 do fabricante MICROCHIP e um FPGA (*Field Programmable Analog Array*) EPM7064SLC44-10 do fabricante ALTERA, sendo o primeiro implementado para

calcular o sinal de controle escolhido (PI, PID, PI modificado ou PID modificado), enquanto que o FPGA será responsável por controlar a seqüência de chaveamento do inversor.

Ao final deste trabalho serão apresentados os resultados experimentais do protótipo de 1KW montado no laboratório, contemplando toda a análise teórica realizada no decorrer dos capítulos. Uma breve síntese dos capítulos será apresentada a seguir.

- O primeiro capítulo apresenta a descrição das etapas de funcionamento do inversor, bem como a descrição da estratégia de modulação a três níveis e sua justificativa para o presente trabalho.
- No capítulo 2, será mostrado toda a arquitetura dos dispositivos digitais usados no desenvolvimento do projeto, tanto o microcontrolador usado, como o FPGA , assim como suas características e justificativas.
- O capítulo 3 visa mostrar todo o projeto de potência do inversor monofásico com seu devido equacionamento.
- No capítulo 4, serão descritos o embasamento teórico usado para o projeto dos controladores implementados assim como toda a abordagem das técnicas de controle digital usando ferramentas matemáticas e computacionais.
- O capítulo 5 apresenta os resultados experimentais do protótipo montado no laboratório, contemplando todo o estudo teórico realizado e especificações realizadas no capítulo anterior.
- Finalizando o trabalho é descrito uma conclusão geral a cerca de todo o estudo desenvolvido contemplando a escolha do melhor controlador assim

como o método mais prático de projeto, juntamente com sugestões para melhorias futuros em trabalhos utilizando esse tipo estratégia de projeto.

## CAPÍTULO 1

### MODULAÇÃO A TRÊS NÍVEIS EM INVERSORES MONOFÁSICOS/PONTE COMPLETA

#### 1.1 INTRODUÇÃO

Este capítulo tem por finalidade apresentar o princípio básico de operação da modulação a três níveis aplicada à inversores de frequência monofásicos em ponte completa.

Chama-se modulação a três níveis pelo fato da tensão vista nos terminais de saída do inversor antes do filtro possuir somente três patamares,  $+V_{cc}$ , zero e  $-V_{cc}$ . A tensão vista em cada chave corresponde à tensão da fonte de alimentação do inversor, ou seja,  $V_{cc}$ . Quando aumenta-se a quantidade de níveis de tensão na saída do inversor, tem-se uma elevação considerável na quantidade de chaves, mas por outro lado, nota-se uma melhora do espectro harmônico da tensão de saída.

“A medida que se eleva a quantidade de níveis de tensão na saída do inversor, permite-se elevar a quantidade de processamento de energia, a frequência de chaveamento do inversor, bem como o aumento da tensão do barramento CC” [3], entretanto, o aumento na quantidade de chaves no circuito leva o projetista a considerar a importância da ocorrência desse processo nos níveis, pois o controle de diversas chaves torna-se mais trabalhoso e complexo.



## 1.2 O INVERSOR PONTE COMPLETA

Neste t3pico, faz-se o estudo do princ3pio de opera33o do inversor monof3sico a tr3s n3veis em ponte completa, contemplando as etapas de funcionamento de forma detalhada.

O inversor monof3sico em ponte completa 3 mostrado na Fig.1.1, no qual as chaves S1 e S2 comp3em o primeiro bra3o do inversor, enquanto que S3 e S4 comp3em o segundo bra3o.

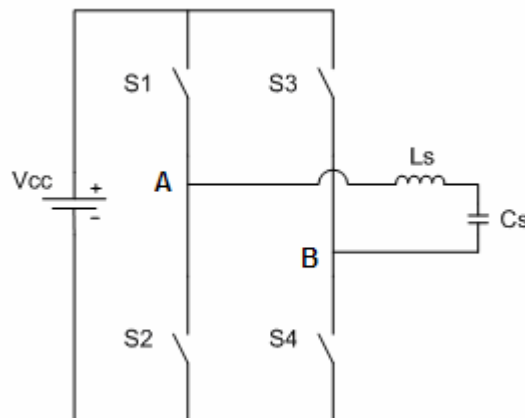


Fig 1.1 Estrutura do inversor monof3sico ponte completa.

Como j3 foi citado anteriormente, a forma de onda de sa3da do inversor a tr3s n3veis antes do filtro, composto pelo indutor  $L_s$  e do capacitor  $C_s$ , 3 mostrada na Fig.1.2, na qual fica evidente a presen3a de um n3vel  $+V_{cc}$ , um n3vel zero e outro negativo  $-V_{cc}$ .

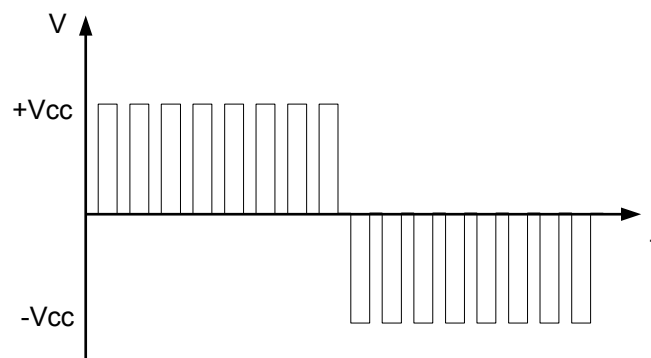


Fig 1.2 Forma de onda da sa3da do inversor ponte completa antes do filtro  $L_s C_s$ .

Existem basicamente três etapas de funcionamento necessárias para a obtenção dos três níveis desejados. Visando facilitar o entendimento da estrutura, será considerado que a análise do circuito terá uma modulação por largura de pulso único. Os detalhes das etapas de operação serão apresentados a seguir, entretanto, tem-se que considerar a existência de um tempo morto inserido no sistema entre a comutação das chaves, para que se evite o chamado curto de braço. Em inversores de tensão esse curto circuito, repetido várias vezes em alta frequência resulta na queima dos interruptores.

A figura 1.3 mostra a forma de onda para gatilho dos interruptores, bem como a forma de onda da tensão de saída entre os terminais AB do inversor.

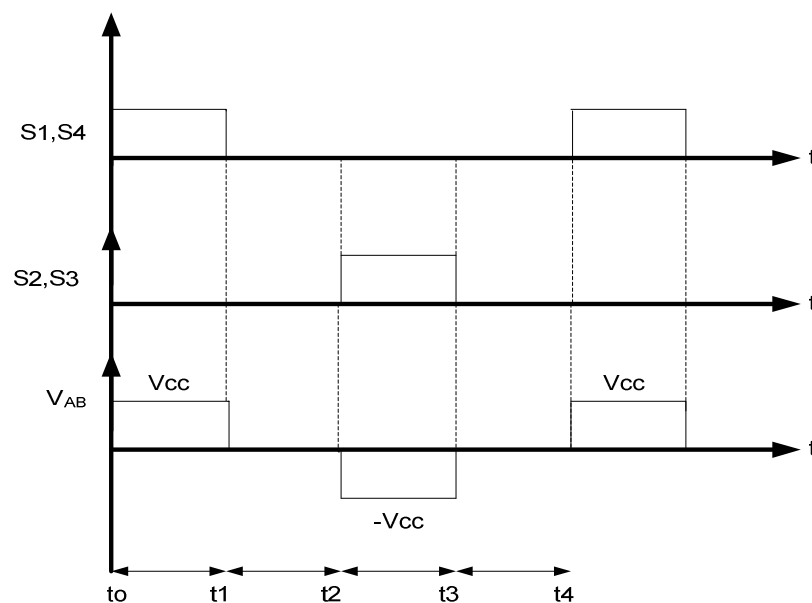


Fig 1.3 Forma de onda nos gatilhos dos interruptores e tensão de saída.

- **Primeira Etapa (t<sub>0</sub>,t<sub>1</sub>)**

Na primeira etapa de condução do inversor a três níveis, a fonte DC conectada ao inversor fornecerá uma corrente “I” para a carga passando pelas chaves S1 e S4, como pode ser visto na Fig.1.4.

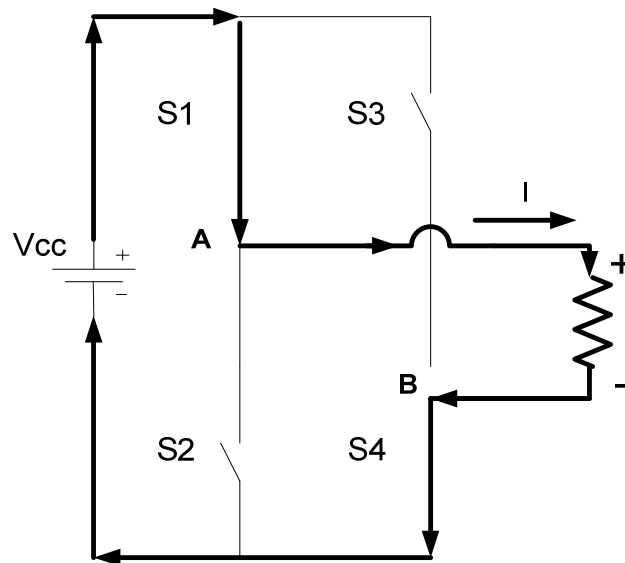


Fig 1.4 Primeira etapa de funcionamento do inversor três níveis.

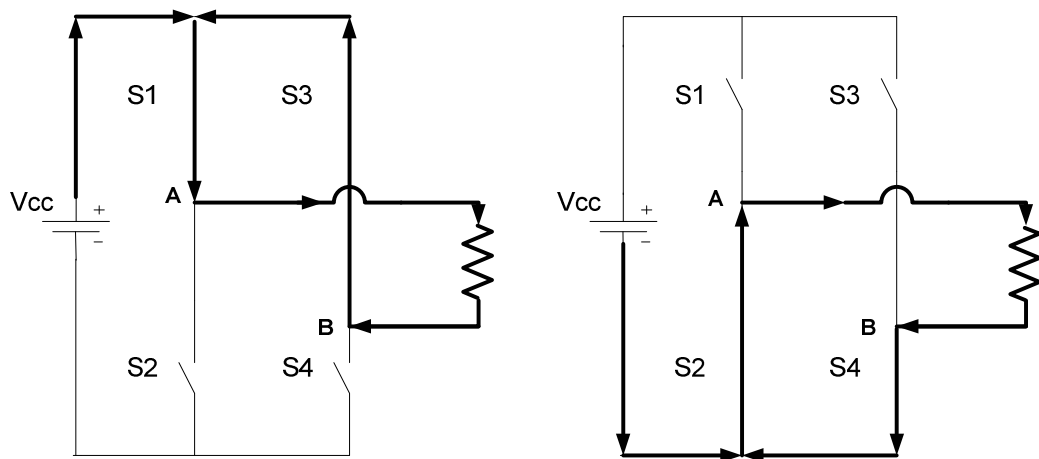
Como pode ser observada, a polaridade da tensão em cima da carga depende do sentido da corrente, que flui do positivo da fonte de alimentação, passa pela chave S1, entra na carga, passa por S4 e então retorna para a fonte, como pode ser visto pela indicação das setas.

- **Segunda Etapa (t1,t2 e t3,t4)**

A segunda etapa de funcionamento pode ser implementada de duas maneiras diferentes considerando-se a inexistência de diferença de potencial entre os terminais da carga.

Uma das formas de se obter tensão nula entre os terminais da carga é fechando as chaves S1 e S3 e mantendo S2 e S4 abertas, ou ainda, fechando as chaves S2 e S4 e mantendo abertas as chaves S1 e S3.

A Fig1.5 mostra as duas formas de se obter a tensão nula entre os terminais da carga.

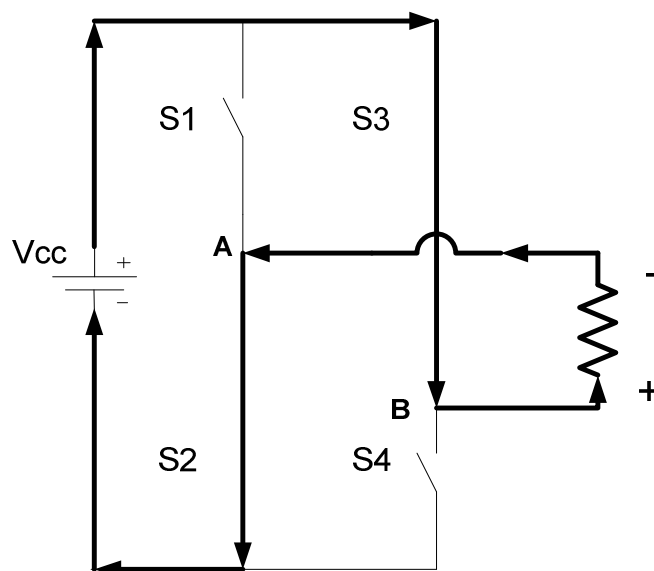


*Fig 1.5 Segunda etapa de funcionamento do inversor três níveis.*

Nota-se que não existe circulação de corrente na carga haja visto que não há diferença de potencial entre os terminais da carga.

- **Terceira Etapa (t<sub>2</sub>,t<sub>3</sub>)**

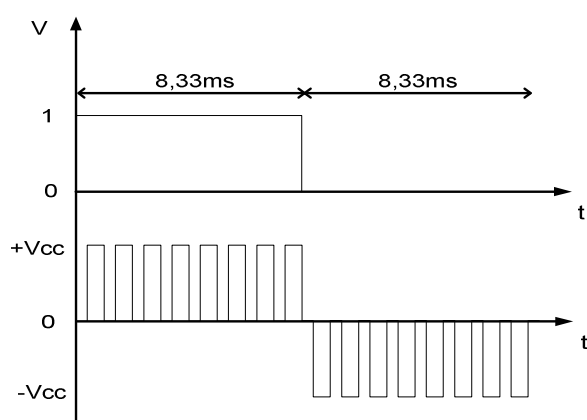
Na terceira etapa de funcionamento do inversor, a polaridade sobre a carga é invertida em relação a primeira etapa, uma vez que as chaves S2 e S3 encontram-se fechadas e S1 e S4 ficam abertas, como mostrado a seguir.



*Fig 1.6 Terceira etapa de funcionamento do inversor três níveis.*

Note que o sentido da corrente nesta etapa de funcionamento do inversor é contrário ao da primeira etapa.

Para um melhor entendimento da seqüência de chaveamento a ser implementada para esse tipo de inversor, será tomado como exemplo uma onda de 60 Hz, na qual cada semi-ciclo terá em sua estrutura duas etapas de funcionamento com o uso de uma carga resistiva. No entanto, é preciso que se tenha um sinal externo responsável por indicar o instante em que o semi-ciclo é positivo e quando é negativo. A Fig.1.7 mostra como deve ser o entendimento desse sinal.



*Fig 1.7 Sinal de sincronismo e tensão de saída do inversor.*

Note que enquanto o sinal de sincronismo encontra-se em nível lógico 1, as etapas de funcionamento do inversor são: a primeira, para se obter o +Vcc e a segunda para se ter o zero, compondo assim o semi-ciclo positivo (8,33ms). Para o semi-ciclo negativo teremos novamente a etapa dois compondo o zero e a etapa três, caracterizando o -Vcc.

É importante observar a importância do sinal de sincronismo para a obtenção da saída desejada, sendo ele o fator determinante da freqüência de saída do inversor, maiores detalhes acerca desse sinal serão mostrados nos capítulos seguintes.

### 1.3 HARMÔNICOS EM INVERSORES MULTINÍVEIS

É indispensável uma redução relevante do conteúdo harmônico da tensão de saída do inversor, para que se diminua o tamanho do filtro de saída, minimize os custos e tenha uma melhor resposta dinâmica do sistema.

É desejado que a tensão de saída dos inversores tenha uma distorção harmônica muito pequena, entretanto, a maioria das cargas inseridas no inversor são não lineares, resultando em introduções de grandes correntes harmônicas no sistema.

Pode-se calcular a taxa de distorção harmônica (THD) da tensão de saída a partir da seguinte fórmula [34]:

$$THD = \sqrt{\frac{\sum_{n \neq 1} E_n^2}{E_1^2}} = \sqrt{\frac{E_T^2 - E_1^2}{E_1^2}} \quad (1.1)$$

Na qual,  $E_1$  é o valor médio quadrático (RMS) da componente fundamental e  $E_T$  o valor RMS da forma de onda total. Em aplicações como fontes monofásicas de alimentação, para potências de até 3,4 KW, a norma CEI/IEC 61000-3-2 estabelece que a taxa de distorção harmônica total da tensão alternada na saída do inversor não deve exceder a 5%, e que o harmônico mais importante não deve ultrapassar 3% da amplitude da componente fundamental [24].

Quando se trabalha com a modulação por largura de pulso único, a forma de onda da tensão de saída do inversor é igual à mostrada na Fig.1.8.

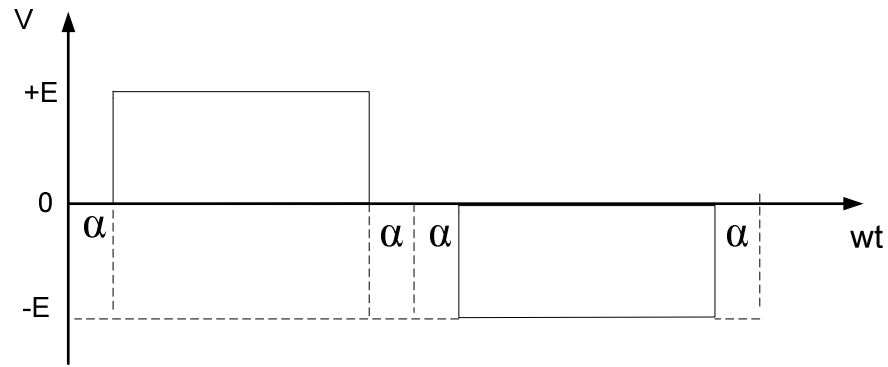


Fig 1.8 Tensão de saída do inversor com modulação por pulso único.

A amplitude da componente fundamental de tensão pode ser obtida a partir da equação a seguir:

$$a_1 = \frac{2}{T} \cdot \int_0^T f(t) \cdot \text{sen}(n \cdot wt) \, dwt \quad (1.2)$$

$$a_1 = \frac{1}{\pi} \cdot \left[ \int_{\alpha}^{\pi+\alpha} E \cdot \text{sen}(n \cdot wt) \, dwt + \int_{\pi+\alpha}^{2\pi-\alpha} -E \cdot \text{sen}(n \cdot wt) \, dwt + \right] \quad (1.3)$$

$$a_1 = \frac{1}{\pi} \cdot \left[ \frac{E}{n} \cdot (-\cos(n(\pi - \alpha)) + \cos(\alpha \cdot n)) - \frac{E}{n} \cdot (-\cos(2\pi - \alpha) + \cos(n \cdot (\pi + \alpha))) \right] \quad (1.4)$$

Então, a componente harmônica de ordem n pode ser representada pela equação (1.5).

$$a_1 = \frac{4 \cdot E}{\pi \cdot n} \cdot \cos(\alpha \cdot n) \quad (1.5)$$

Sendo  $E_1 = \frac{a_1}{\sqrt{2}}$  então:

$$E_1 = \frac{2 \cdot \sqrt{2} \cdot E}{\pi} \cdot \cos(\alpha) \quad (1.6)$$

O valor RMS total da forma de onda pode ser calculado por:

$$E_T^2 = \frac{1}{\pi} \cdot \int_0^{\pi} f(t)^2 \cdot dwt \quad (1.7)$$

$$E_T^2 = \frac{2 \cdot E^2}{\pi} \cdot \left[ \frac{\pi}{2} - \alpha \right] \quad (1.8)$$

A escolha de um ângulo  $\alpha$  adequado pode diminuir a componente harmônica através da equação (1.9) [3].

$$\alpha = \frac{a \cos(\pi.n.a1/4.E)}{n} \quad (1.9)$$

#### 1.4 MODULAÇÃO PWM SENOIDAL

O uso da modulação senoidal faz com que o conteúdo harmônico da tensão gerada pelo inversor seja significadamente reduzida. Este tipo de modulação é composto basicamente por dois parâmetros específicos, o índice de modulação e a razão entre freqüências.

O índice de modulação corresponde ao quociente entre a amplitude da onda moduladora (sinal senoidal) e a amplitude da onda portadora (sinal triangular).

$$Mi = \frac{Am}{Ap} \quad (1.10)$$

Na qual,  $Am$  é a amplitude da moduladora e  $Ap$  é a amplitude da portadora.

A razão entre as freqüências corresponde ao quociente entre a freqüência da onda portadora e a freqüência da onda moduladora.

$$Mf = \frac{fp}{fm} \quad (1.11)$$

A freqüência da onda fundamental que apresenta formato senoidal é 60 Hz. O sinal de comando para as chaves vem da comparação dessa forma de onda senoidal com uma portadora triangular, para que se tenha a geração dos pulsos PWMs.

A variação da amplitude da senoide propicia a variação na largura de pulsos PWM que acionam as chaves, e a mesma se reflete na variação de tensão na carga.



Pode-se dizer que quanto maior a quantidade de pulsos, menores serão os valores eficazes das componentes harmônicas, resultando em um menor volume do filtro de saída que será projetado.

Existem vários métodos de modulação PWM senoidal. Algumas dessas modulações serão descritas a seguir.

### 1.5 MODULAÇÃO PWM SENOIDAL UNIPOLAR COM DOIS SINAIS SENOIDAIS

Neste tipo de modulação, existem dois sinais senoidais, que advêm do sinal de erro (após a compensação), sendo um sinal para cada braço do inversor. A comparação dessas senoides com um sinal triangular, resulta nos pulsos de gatilho que irão para as chaves do inversor.

As duas senoides deverão estar defasadas em  $180^\circ$ , fazendo com que se duplique o número de pulsos na tensão antes do filtro LC. A Fig.1.9 mostra de forma detalhada esse tipo de modulação.

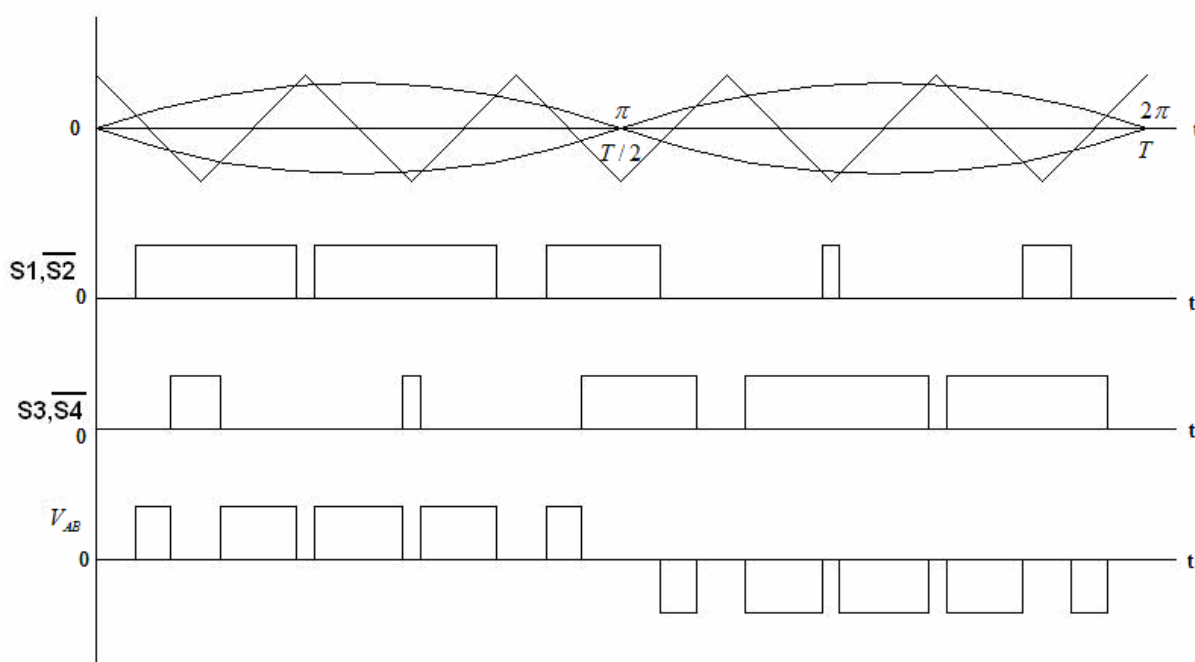


Fig. 1.9 Sinais de comparação, sinais nas chaves do inversor e sinal de saída.

## 1.6 MODULAÇÃO PWM SENOIDAL UNIPOLAR COM DOIS SINAIS TRIANGULARES

Diferentemente da técnica de modulação anterior, esta caracteriza-se pelo uso de dois sinais triangulares e somente um sinal senoidal. Os pulsos PWMs serão gerados pela comparação das duas ondas triangulares com o sinal senoidal. Igualmente a técnica anterior, esta modulação objetiva duplicar os pulsos entre os pontos A e B do inversor.

As duas ondas triangulares devem estar defasadas em  $180^\circ$ . Os pulsos gerados na comparação do sinal triangular superior com o semi ciclo positivo da senoide, correspondem aos comandos do primeiro braço do inversor, enquanto que a comparação entre o sinal da triangular inferior e o semi ciclo negativo da senoide corresponde aos comandos dos gatilhos das chaves do segundo braço do inversor.

A Fig.1.10. mostra de forma detalhada a forma das ondas triangulares, da senoide, dos gatilhos das chaves do inversor, bem como a forma de onda da saída do inversor.

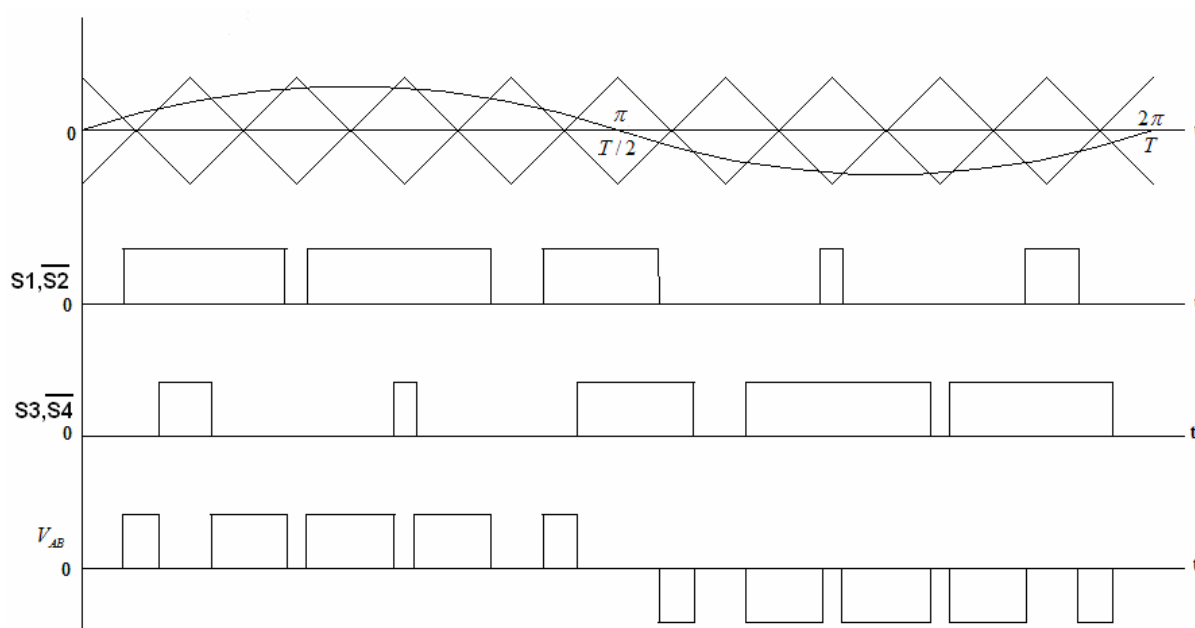


Fig 1.10 Sinais de comparação, sinais nas chaves do inverso e sinal de saída.

## 1.7 MODULAÇÃO PWM SENOIDAL COM SENOIDE RETIFICADA

Na modulação com o sinal senoidal retificado, tem-se o aumento na frequência da onda moduladora em duas vezes. Cada braço do inversor é modulado somente em um semi-ciclo da senoide.

Essa modulação foi escolhida para ser implementada de forma digital, pois não se pode ter tensões negativas em sistemas nos quais o tratamento de sinais serão realizados por microcontroladores ou microprocessadores.

O princípio dessa modulação é a comparação da portadora triangular com o sinal senoidal retificado, na qual cada semi-ciclo da onda moduladora corresponderá a uma seqüência de chaveamento.

Para o primeiro semi-ciclo, as chaves S1 e S4 deverão conduzir de acordo com o sinal PWM gerado na comparação descrita anteriormente, deixando as chaves S2 e S3 abertas. Ao término do primeiro semi-ciclo, a lógica deverá ser invertida, fazendo com que as chaves S1 e S4 fiquem abertas e S2 e S3 passem a conduzir, como mostra a Fig. 1.11.

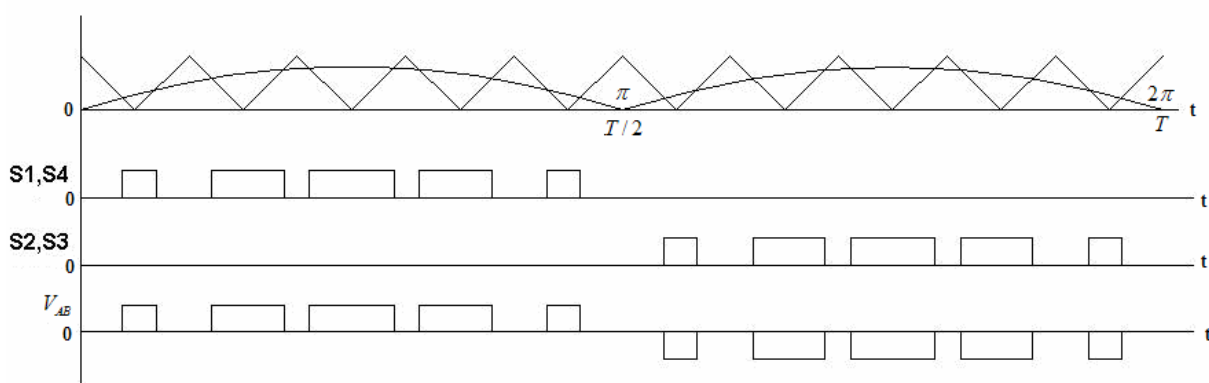


Fig 1.11 Sinais de comparação, sinais nas chaves do inversor e sinal de saída.

## 1.8 CONSIDERAÇÕES FINAIS

Foram apresentados neste capítulo, os princípios de funcionamento do inversor ponte completa com modulação a três níveis, bem como os esquemáticos correspondentes as três etapas de funcionamentos, com a descrição do modo de acionamento e modulação das chaves para o inversor.

Foi debatida também a questão dos harmônicos gerados em inversores multiníveis, com o correspondente equacionamento.

Posteriormente, foi dada uma explicação relativa à modulação PWM senoidal, bem como as diversas técnicas de se obter essa modulação para redução dos componentes harmônicos gerados no inversor, sendo elas a modulação unipolar com duas referências senoidais, modulação unipolar com duas referências triangulares e a modulação senoidal retificada que será base dos estudos posteriores.

## CAPÍTULO 2

### O MICROCONTROLADOR PIC18FXXX E O FPGA

#### 2.1 INTRODUÇÃO

Com o advento de novas tecnologias surgindo no mercado, o uso de dispositivos eletrônicos mais velozes e robustos está crescendo abruptamente. Desde meados da década de setenta o uso de microprocessadores e microcontroladores vem aumentando consideravelmente, pois estes, juntamente com outros dispositivos eletrônicos, vem conseguindo melhorar o rendimento e aumentar a performance dos equipamentos existentes no mercado.

O uso de microcontroladores em aplicações que envolvem eletrônica de potência ainda é algo novo, já que anteriormente, todo controle de tensão e corrente usado em conversores e inversores era baseado em componentes analógicos, o que resultava em um elevado número de elementos no circuito, dificultava a manutenção das placas e elevava os custos do equipamento. Com a chegada no mercado de processadores mais rápidos e robustos, o controle que antes era feito com componentes analógicos agora pôde ser implementado diminuindo consideravelmente o número de dispositivos, e possibilitando a implementação de uma maior gama de estratégias de controle, inclusive algoritmos mais modernos, com monitoramento e supervisão feitos em tempo real.

O presente capítulo tem por finalidade mostrar a estrutura interna e os diversos periféricos inseridos nos controladores digitais (microcontrolador PIC18F452 e um FPGA EPM7064SLC44-10). Estes dispositivos são os principais membros utilizados para fazer toda a estratégia de controle digital de um inversor de frequência monofásico em ponte completa.

A seguir serão descritos todos os periféricos usados para o desenvolvimento do protótipo montado em laboratório.

## **2.2 O MICROCONTROLADOR PIC18F452**

A arquitetura do microcontrolador PIC é baseada na estrutura *Harvard RISC* (*Reduced Instruction Set Computing*) modificada, o qual permite que sua velocidade de processamento seja superior aos processadores convencionais. O conceito da estrutura RISC, refere-se ao número reduzido de ciclos de clock que o processador leva para executar uma instrução. Os processadores comuns efetuam vários ciclos de clock para executar uma instrução, no entanto os processadores RISC podem selecionar e executar uma instrução em poucos ciclos de clock. Os microcontroladores da família PIC executam em média uma instrução a cada ciclo de máquina, entretanto, cada ciclo de máquina leva quatro ciclos de clock para serem executados.

A vasta família de microcontroladores da microchip é composta por dispositivos de diversos tamanhos que variam de integrados de seis pinos à oitenta pinos, memória de programas que vão desde 128k à 384k bytes e periféricos inseridos dentro de seu hardware tais como conversores A/D, comparadores, PWMs, protocolos seriais tipo RS232, I2C, SPI e outros.

A vantagem de se usar o microcontrolador PIC18F452, se deve ao fato desse dispositivo ser compatível pino a pino com outros PICs de séries inferiores, tais como o PIC16F877 e PIC16C7X e de fácil aquisição no mercado. Esse microcontrolador é bem mais rápido e possui uma memória de programa bem maior que os citados anteriormente.

O PIC18F452 é de uma nova família de microcontroladores da microchip, que chegou no mercado para aumentar a velocidade de processamentos que antes era de até 5 MIPS (milhões de instruções por segundo) para 10 MIPS, resultando em um aumento de velocidade duas vezes maior, sem falar no aumento de memória RAM que é de 1536 bytes [10].

### 2.3 VISÃO GERAL DO PIC18F452

Este microcontrolador de alta performance e baixo custo, tem como características principais uma vasta gama de periféricos de alta qualidade inseridos internamente em sua estrutura. A família 18FXX2 conta com as seguintes especificações:

- Corrente de ativação de dispositivos externos de até 25mA.
- Três interrupções externas.
- Quatro interrupções de timer,
  - *Timer 0* – temporizador/contador de 8 ou 16 bits
  - *Timer 1* – temporizador/contador de 16 bits
  - *Timer 2* – temporizador/contador de 8 bits, com período de 8 bits para o registrador (base de tempo para PWM)
  - *Timer 3* – temporizador/contador de 16 bits
- Opções de *clocks* secundários.
- Dois módulos de captura/comparador/PWM.
- PWMs com resoluções de 1 a 10 bits (máxima frequência em 8bits=156kHz; 10bits=39kHz ).
- Suporte para RS232, I2C (mestre e escravo) e SPI (todos os 4 modos).
- Conversor A/D de 8 ou 10 bits.

## 2.4 PINAGEM DO MICROCONTROLADOR PIC18F452

Na Fig.2.1 é mostrada toda a pinagem do microcontrolador PIC18F452, e logo a seguir serão descritos todas as funções referentes à pinagem [10].

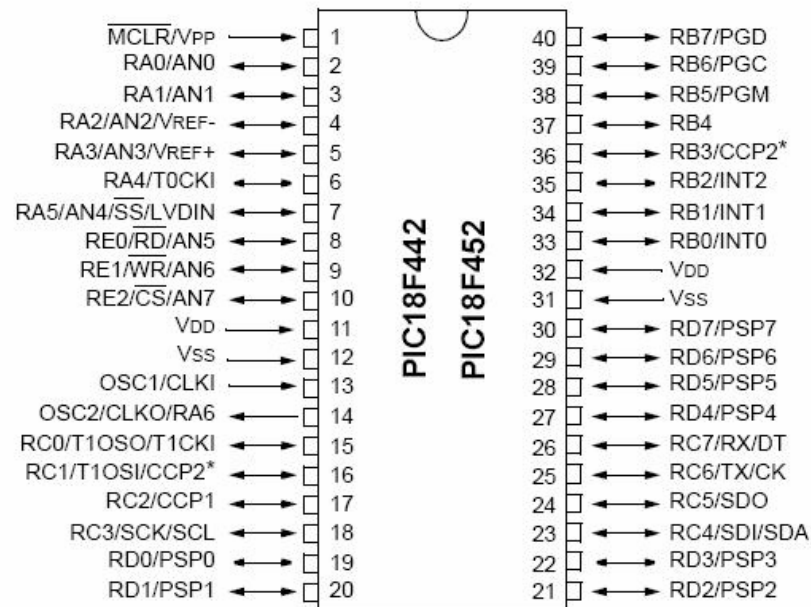


Fig.2.1 Pinagem do PIC18F452 em encapsulamento DIP 40 pinos.

- Pino 1 (MCLR/Vpp) – *Master Clear (reset)* pino de inicialização do dispositivo, sendo ativo em nível lógico baixo (zero).
- Pino 13 (OSC1/CLK1) – Entrada do cristal ou oscilador externo.
- Pino 14 (OSC2/CLK0/RA6) – Saída do cristal ou oscilador externo. Nos modos XT, HS ou H4 um cristal é conectado juntamente ao pino 13 para estabelecer a oscilação do integrado. No modo RC (oscilador interno), onde a frequência *default* é de 4MHz, a saída do *clock* é de  $\frac{1}{4}$  da frequência de oscilação, ou seja, o pino OSC2 terá uma frequência de 1 MHz, ou seja, cada instrução que utiliza um ciclo de máquina terá o tempo de 1us para ser executado.
- Pino 11 e Pino 32 (Vdd) – Pino de alimentação do microcontrolador (+5Vcc).



- Pino 12 e Pino 31 (GND) – Pino de terra do microcontrolador (0 Vcc).
- Pinos 2 a 7 (Porta A) – Todos esses pinos podem ser configurados como E/S dependendo da configuração do registrador TRISA, que controla a direção dos dados, entretanto, os pinos 2, 3, 4, 5 e 7 podem desempenhar também o papel de entradas analógicas (AN0, AN1, AN2, AN3 e AN4) respectivamente. Com exceção do pino 6 (RA4/T0CK) que possui entrada Schmitt Trigger e saída com dreno aberto e também pode ser considerada a entrada de relógio para o módulo do *timer 0* se configurada.
- Pinos 8 a 10 – Correspondem ao restante dos pinos que compõem as entradas analógicas (AN5, AN6 e AN7). Podem ser configuradas também como E/S digitais (compatível com padrão TTL). Correspondem também aos pinos de leitura, escrita e chip select da porta paralela em modo escravo.
- Pinos 15 a 18 – Compõem uma parte da porta C do microcontrolador, que pode ser configurada através do registrador TRISC como E/S digital. O pino 15 tanto é configurado como saída do oscilador do timer 0, como entrada de clock externo dos timers zero e três. O pino 16 corresponde a uma das saídas do canal PWM (CCP2) e o pino 17 pode ser configurado como a saída do sinal PWM (CCP1). O Pino 18 além de ser uma E/S, pode ser configurado também como entrada ou saída síncrona do modo SPI ou I2C.
- Pinos 19 a 22 – São E/S digitais ou uma parte da porta de dados paralela (Porta D).
- Pinos 27 a 30 – São E/S digitais ou o restante da porta de dados paralela (Porta D).

- Pinos 23 a 26 – Podem ser E/S digitais da porta C. O pino 23 pode ser também entrada de dados SPI ou E/S de dados para I2C. O pino 24 pode ter ainda a função de saída de dados SPI, o pino 25 corresponde ao TX da comunicação serial RS232 se configurado e o pino 26 como RX também da serial se configurado.
- Pinos 33 a 40 – Corresponde à porta B do microcontrolador. Todos os pinos podem ser configurados como E/S digitais de acordo com o registrador TRISB. O pino 33 é correspondente à interrupção externa 0, o pino 34 à interrupção externa 1 e o pino 35 à interrupção externa 2.

## 2.5 AUMENTANDO A VELOCIDADE DO PIC18F452

Uma das vantagens de se usar esse microcontrolador em projetos nos quais a velocidade de processamento deve ser maior é justificada pelo fato desse dispositivo possuir um PLL (*Phase Locked Loop*) interno, responsável por multiplicar em quatro vezes a frequência do cristal.

Para um *clock* de entrada com frequência de 10MHZ, ao se habilitar o PLL interno, irá resultar em uma frequência de trabalho de 40MHz, ou seja a velocidade de operação (capacidade de executar as instruções) terá um aumento considerável.

O uso deste artifício é uma das justificativas para se ter escolhido esse dispositivo no projeto do inversor, uma vez que o tempo para se calcular o controle do inversor é bastante crítico em aplicações cujo chaveamento é considerado elevado.

O PLL só pode ser habilitado quando os bits de configuração do modo HS forem configurados. Isso só ocorre no momento em que se está escrevendo o código do

programa, ao se habilitar o *fuse* correspondente (H4). A Fig.2.2 mostra o diagrama de blocos do PLL interno.

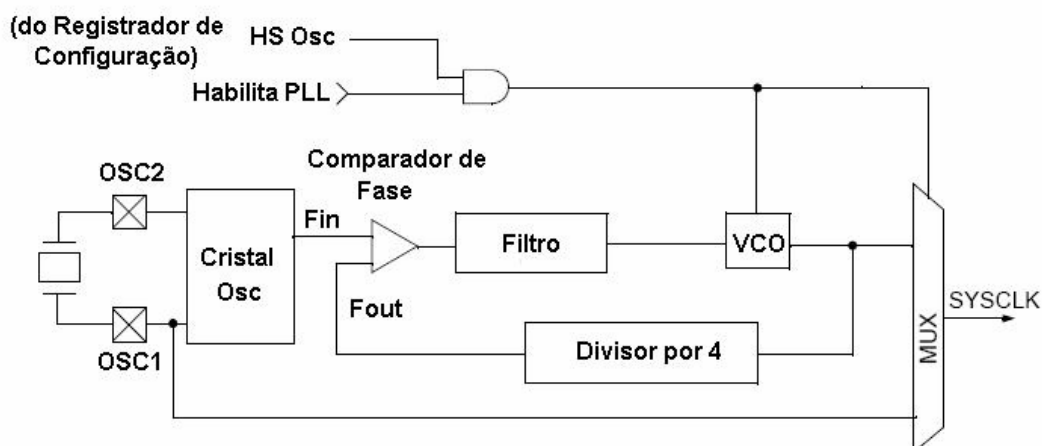


Fig.2.2 Diagrama de blocos do PLL interno do microcontrolador.

No projeto, o valor do cristal usado foi de 10MHz e PLL habilitado, resultando em uma frequência de trabalho de 40MHz, ou seja, a máxima capacidade que este dispositivo possui para a execução das instruções.

## 2.6 PERIFÉRICOS USADOS PARA O DESENVOLVIMENTO DO PROJETO

Dentre os diversos periféricos existentes na estrutura do PIC, somente alguns foram usados, tais como a interrupção do *timer2*, conversor A/D interno, *Watch Dog* e PWM. Este tópico irá descrever o modo de operação destes dispositivos, facilitando o entendimento do programa desenvolvido para o cálculo dos controladores implementados no projeto.

### 2.6.1 Configuração do Timer2

O módulo *timer2* é encontrado em todos os PICs da série 18. Trata-se de um temporizador/contador de 16 bits, que pode ser habilitado ou não via software, e também serve como base de tempo para o uso do canal PWM [2].

No caso do programa desenvolvido para o controle do inversor monofásico, este periférico foi utilizado para gerar a base de tempo de interrupção do programa, ou seja, o programa é executado em um período de tempo pré-determinado configurado via software.

A frequência mínima que se pode obter com esse *timer* pode ser calculada a partir da fórmula a seguir [2].

$$f_{\min} = \frac{\left( \frac{f_{osc}}{4} \right)}{Pr\ escaler} \quad (2.1)$$

Para um cristal de 4MHz e prescaler de 1, pode-se constatar que o menor valor de frequência que se pode obter com esse timer é de 1,9073Hz.

Durante o desenvolvimento do programa responsável pelo cálculo do controle do inversor, observou-se um gasto de cerca de 115us para ser executado (detalhes do programa serão discutidos nos capítulos posteriores), então o cálculo do valor a ser carregado no *timer2* foi do seguinte modo.

Tendo em vista que o cristal usado para o projeto foi de 10MHz e o PLL interno foi ativado, temos uma frequência de trabalho de 40MHz. Sabendo que o PIC possui um divisor interno por 4, isso resulta em um *clock* de 100ns. Dividindo 115us por 100ns, temos um valor de 1150. Subtraindo esse valor de 65536, chegaremos no valor de 64386, número que deve ser carregado no registrador do timer 2 para que a interrupção ocorra em exatos 115us.

```
Set_timer2(64386);
```

### 2.6.2 Configuração do *Watch Dog*

O *watchdog* é na prática um oscilador interno do PIC, completamente independente do resto do circuito, cuja finalidade é informar eventuais bloqueios da CPU do micro e reinicializar o PIC para poder retornar a execução normal do programa.

Trata-se de uma diretiva pequena mas de muita importância em aplicações nas quais a interferência eletromagnética pode ser bastante elevada. Durante o desenvolvimento do protótipo, observou-se uma melhora significativa ao se inserir o *watchdog* no programa.

Sua configuração é bastante simples, sendo habilitado via software através do fuse (WDT16). Este fuse faz com que caso o *watchdog* não seja reiniciado no programa antes de 16ms, o próprio microcontrolador o fará.

### 2.6.3 Configuração do A/D

O microcontrolador PIC18F452 possui em sua estrutura oito canais A/Ds que podem ser configurados como 8 ou 10 bits.

Os conversores A/D padrão dos PICs são implementados utilizando a técnica de aproximação sucessiva, com resolução máxima de 10 bit, *clock* selecionável pelo usuário e múltiplas entradas multiplexadas [2]. É importante salientar que a impedância máxima da fonte de sinal analógico é de 10Kohms.

O sistema de aquisição de dados usado nos PICs é baseado no circuito *sample and hold* (amostra e retém) multiplexado para todas as entradas. Esse circuito é composto por um capacitor de amostragem de 120pF ( $C_{hold}$ ), além de um resistor de entrada ( $R_{ic}$ ) menor que 1kohm e um resistor da chave de amostragem ( $R_{ss}$ ) de 7kohm @ 5 Vcc.

A fórmula descrita para o tempo de aquisição é mostrada na equação 2.2.

$$T_{aq} = T_{acomodação} + T_{carga\_cap\_amostragem} + Coeficiente\_de\_Temperatura \quad (2.2)$$

O tempo de carga do capacitor de amostragem pode ser calculado por:

$$T_{carga\_cap\_amostragem} = -C_{hold} \cdot (R_{ic} + R_{ss} + R_{entrada}) \cdot \ln(1/2047) \quad (2.3)$$

Entretanto, esse tempo de amostragem do conversor A/D varia entre 16us e 20us.

Em casos cuja impedância de entrada da fonte de sinal é maior que 10kohms, aconselha-se colocar um circuito *buffer* para realizar o casamento de impedâncias do sistema.

Para o desenvolvimento do programa de controle do inversor, foi utilizado o conversor A/D do próprio microcontrolador com uma resolução de 8 bits, devido a velocidade de conversão deste e visando diminuir os custos do projeto.

#### 2.6.4 Configuração do PWM

Os pinos do microcontrolador que realizam a função do PWM no PIC18F452 são os de número 16 (CCP2) e 17 (CCP1). Esse PWM pode ser configurado via software em modo de 8 ou 10 bits.

O cálculo do período do PWM pode ser visto na equação 2.4 que é apresentado em [10].

$$Per_{PWM} = [(PRE2)+1] \cdot 4 \cdot \left( \frac{TMR2}{F_{OSC}} \right) \quad (2.4)$$

Para uma freqüência de 33KHz, que é a freqüência de chaveamento do inversor proposto, um cristal de 10MHz, e TMR2 *prescaler* de 1, temos:

$$\frac{1}{33K} = [(PR2)+1] \cdot 4 \cdot \left( \frac{1}{10 \cdot 10^6} \right) \quad (2.5)$$

$$30.10^{-6} = [(PR2)+1].400.10^{-9} \quad (2.6)$$

$$PR2 = 75 - 1 \quad (2.7)$$

$$PR2 = 74 \quad (2.8)$$

A máxima resolução de bits que pode ser usada no PWM do microcontrolador é calculada a partir da equação (2.9).

$$Re s_{PWM} = \frac{\log\left(\frac{F_{OSC}}{F_{PWM}}\right)}{\log(2)} \quad (2.9)$$

$$Re s_{PWM} = \frac{\log\left(\frac{10.10^6}{33.10^3}\right)}{\log(2)} = 8,24$$

Uma vez que o valor calculado resultou em um número quebrado, arredonda-se esse valor para 8, ou seja, o número mais próximo abaixo do valor calculado. Tem-se então que a máxima razão cíclica que pode ser obtida na saída PWM do PIC para a frequência de 33KHz é de 8 bits.

Apesar de se ter feito todo um estudo a cerca do PWM do microcontrolador, optou-se na hora do projeto em fazer com que a resposta do controlador calculada no microcontrolador fosse inserida de forma paralela em uma de suas portas (Porta D) e não no PWM, uma vez que a referência triangular de comparação pode ser gerada facilmente no FPGA e podendo chegar a frequências bem mais altas que as que o microcontrolador pode fornecer. No entanto, não existe nada impedindo que o valor de controle calculado seja jogado diretamente no *duty cycle* do PWM do microcontrolador.

Apesar da frequência de chaveamento escolhida ser de 33KHz e esta poder ser adquirida no PWM do PIC, o hardware desenvolvido permite a aquisição de frequências bem mais elevadas sem precisar fazer nenhuma alteração na placa de

controle. Isso permite que para frequências muito elevadas, o *hardware* desenvolvido tenha a facilidade de ser incorporado no sistema sem que seja necessário o acréscimo de novos componentes.

## 2.7 FERRAMENTAS DE PROJETOS

A plataforma utilizada para o desenvolvimento dos programas do microcontrolador foi o compilador PCWH da CCS. Este possui um ambiente integrado (IDE) bastante amigável, sendo compatível com o sistema operacional *Windows* e abrange toda linha de microcontroladores da microchip (família 12, 14, 16 e 18) e futuramente os DsPICs.

Existe a possibilidade de se fazer uma integração com o ambiente MPLAB da própria microchip. Como vantagem do uso desse compilador podemos citar a grande eficiência do código gerado, compatibilidade com o padrão ANSI e ISO salvo algumas exceções e a sua grande diversidade de funções e bibliotecas desenvolvidas em linguagem C.

## 2.8 O QUE É UM FPGA

O FPGA (*Field Programmable Gate Array*) é um dispositivo eletrônico (desde 1985) que agrega dentro de sua estrutura toda a lógica dos circuitos digitais, como processadores, interfaces, controladores, decodificadores, *flips-flops* e portas lógicas [18].

Uma grande vantagem desses dispositivos é a capacidade de se programar toda a lógica digital via *software* além de admitir *clocks* acima de 50MHz e poderem ser gravados ilimitadamente. A estrutura interna do FPGA é basicamente composta de



um forte arranjo de blocos idênticos de pequenos circuitos, compostos por algumas portas lógicas e *flip-flops* [18].

Um FPGA consiste de um grande arranjo de células configuráveis (ou blocos lógicos) contidos em um único *chip*. Cada uma dessas células, contém uma capacidade computacional para implementar funções lógicas e/ou realizar roteamento para permitir a comunicação entre as células internas desses dispositivos nas quais todas essas operações podem acontecer simultaneamente no arranjo de células [19].

Existem basicamente três tecnologias no mercado para a confecção dos FPGAs, sendo elas a **RAM estática**, que implementa as conexões entre os blocos lógicos através de portas de transmissão ou multiplexadores controlados por células SRAM, **Transistores de passagem**, na qual uma grande quantidade de transistores são configurados em modo de corte (alta impedância entre dois nós internos) ou saturação (conexão entre nós) e **EPROM/EEPROM** permitem a reprogramação dos transistores internos.

O FPGA usado no projeto do inversor é o EPM7064SLC44-10 do fabricante ALTERA que possui 44 pinos entre configurações de E/S digitais. Seu uso se deve ao fato de ser um FPGA de baixo custo, de fácil obtenção e manuseio, além de possuir uma interface de programação bastante amigável, podendo ser programado por linhas de código em VHDL (*VHSIC Hardware Description Language*), diagrama de estados ou por meio de esquemáticos, como será descrito posteriormente.

## 2.9 ARQUITETURA DO FPGA

A arquitetura básica de um FPGA é composta de vários arranjos de blocos lógicos. A comunicação entre esses blocos é feita por recursos de interconexões. A borda externa do arranjo consiste de blocos capazes de realizar operações de E/S.

A Fig. 2.3. mostra a disposição da estrutura do FPGA.

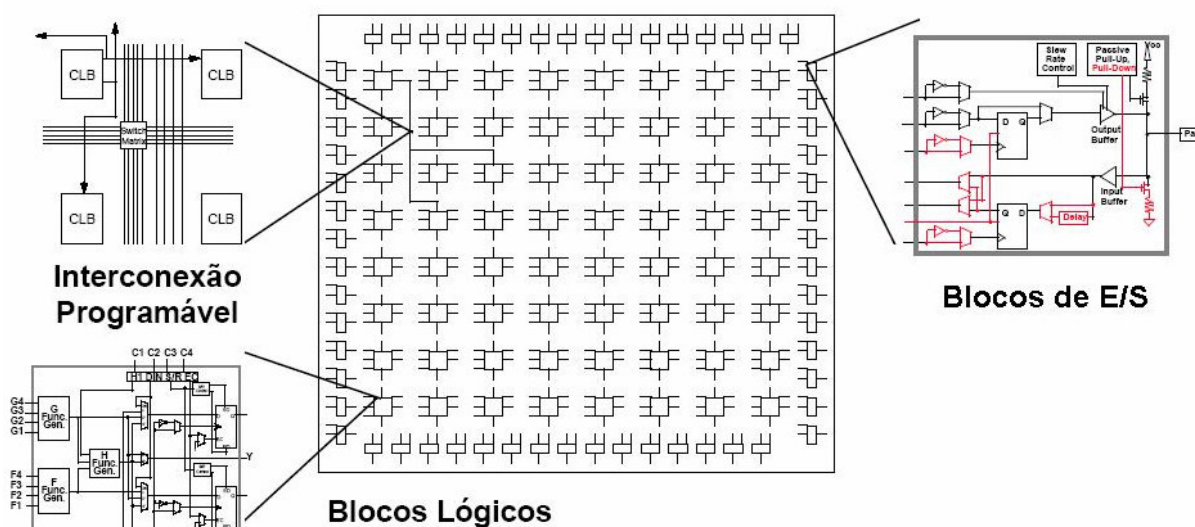


Fig.2.3 Estrutura do FPGA.

Pode-se dizer que os FPGAs possuem três conjuntos de elementos de configuração, são eles:

- **Primeiro grupo** – Compostos por vários circuitos idênticos, conhecidos por CLBs (*Configuration Logical Blocks*). Os CLBs são responsáveis pela construção da lógica pelo usuário. São compostos basicamente por *flip-flops* e portas lógicas.
- **Segundo grupo** – Compostos pelos chamados IOBs (*Input Output Blocks*) e são responsáveis pelo interfaceamento das saídas dos CLBs com o meio externo. Sua constituição é basicamente de *buffers* bidirecionais com alta impedância de saída. São responsáveis por definir a função do pino.

- **Terceiro grupo** – São as chamadas interconexões, com função de interligar os blocos de CLBs e IOBs de forma apropriada. O processo de escolha das interconexões é chamado de roteamento [18].

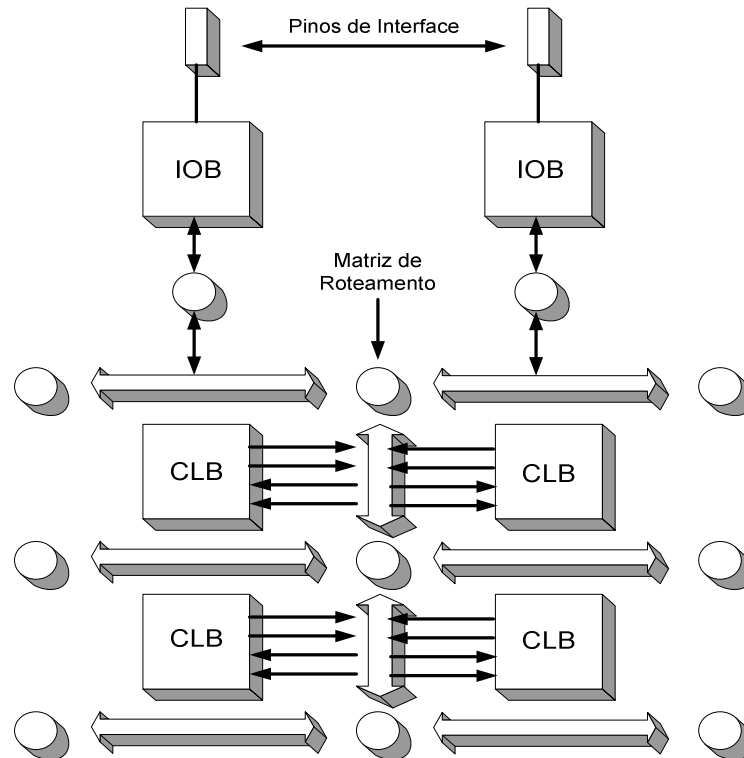


Fig.2.4 Arquitetura interna de um FPGA.

A figura 2.4 mostra como é a distribuição desses grupos em um FPGA.

## 2.10 COMO PROGRAMAR O FPGA

Existem diversas formas de se programar o FPGA, dentre elas pode-se citar a programação via linguagem descritiva de *hardware* (HDL), diagrama de estados ou editor de esquemático.

A escolha do FPGA da ALTERA para o projeto foi justificada pelo fato de se usar um programa desenvolvido pela própria ALTERA (Max Plus II), que permite a gravação de diversos dispositivos por meio de esquemático, o que facilitou bastante o desenvolvimento do projeto, por ser mais fácil e confiável.

A grande maioria dos editores esquemáticos possuem uma vasta gama de bibliotecas que facilitam o projeto de controle. Nessas bibliotecas, já vêm inseridos pacotes com diversos blocos funcionais, tais como somadores, contadores, decodificadores, memórias, portas lógicas e tantas outras.

Os editores de programas e compiladores geram uma saída com uma seqüência de *bits* que deve ser carregada no FPGA. O carregamento de dados de configuração do dispositivo possui duas formas [18]:

- Gera-se a partir da seqüência de bits, uma PROM e com auxílio de uma lógica carrega-se o FPGA após um pulso de inicialização.
- Alimenta-se o FPGA a partir de sinais gerados por um computador, por exemplo, por programação direta da porta paralela do PC.

Essa segunda alternativa foi a adotada para a gravação do FPGA, onde foi desenvolvido um circuito para descarregar o programa desenvolvido no Max Plus II via porta paralela.

## **2.11 COMUNICANDO O PC COM O FPGA**

Uma vez realizada a programação do FPGA através da ferramenta de desenvolvimento Max Plus II, é preciso fazer com que o programa projetado pelo operador seja descarregado para o FPGA. O circuito de interface entre o PC e o FPGA é composto de um cabo de comunicação chamado *Byte Blaster* e sua pinagem, bem como o circuito de conversão de dados são fornecidos no próprio *datasheet* do dispositivo.

Esse cabo de comunicação pode ser feito facilmente usando poucos componentes facilmente encontrados no mercado, além de ter as seguintes características:

- Compatível com FPGAs das famílias MAX9000, MAX9000A, **MAX7000S** e MAX7000A.
- Interface com a porta paralela do PC.
- Promove uma rápida transferência de dados, aliada a um baixo custo.
- Descarrega dados do programa Max Plus II para o dispositivo via porta paralela.

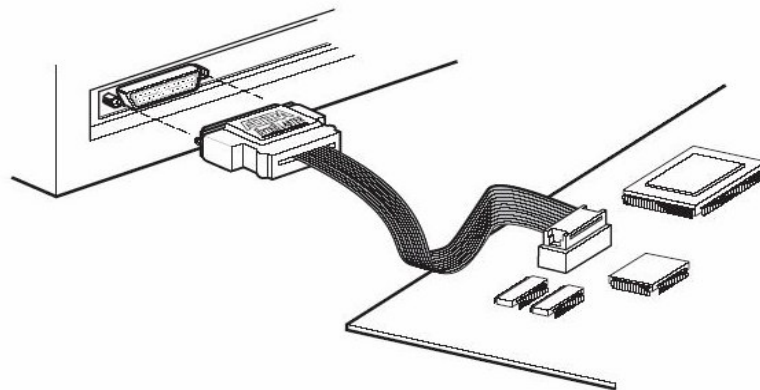


Fig.2.5 Estrutura do cabo ByteBlaster.

O modo de *download* escolhido para fazer a transferência de dados do PC para o FPGA foi o JTAG (*Joint Test Action Group*) que é compatível com os FPGAs das famílias MAX9000, MAX7000A e MAX7000S. A família de FPGA escolhida para o projeto foi a MAX7000S, por ser de fácil aquisição e baixo custo.

O conector macho de 25 pinos da porta paralela obedece a seguinte nomenclatura para o modo JTAG [20].

Tabela 1. Descrição dos pinos da porta paralela.

PINAGEM	MODO JTAG (NOMENCLATURA)
2	TCK
3	TMS
8	TDI
11	TD0
13	NC
15	GND
18 A 25	GND

O circuito esquemático montado para fazer a gravação do FPGA é fornecido pelo próprio fabricante ALTERA e pode ser visto em detalhes na figura 2.6.

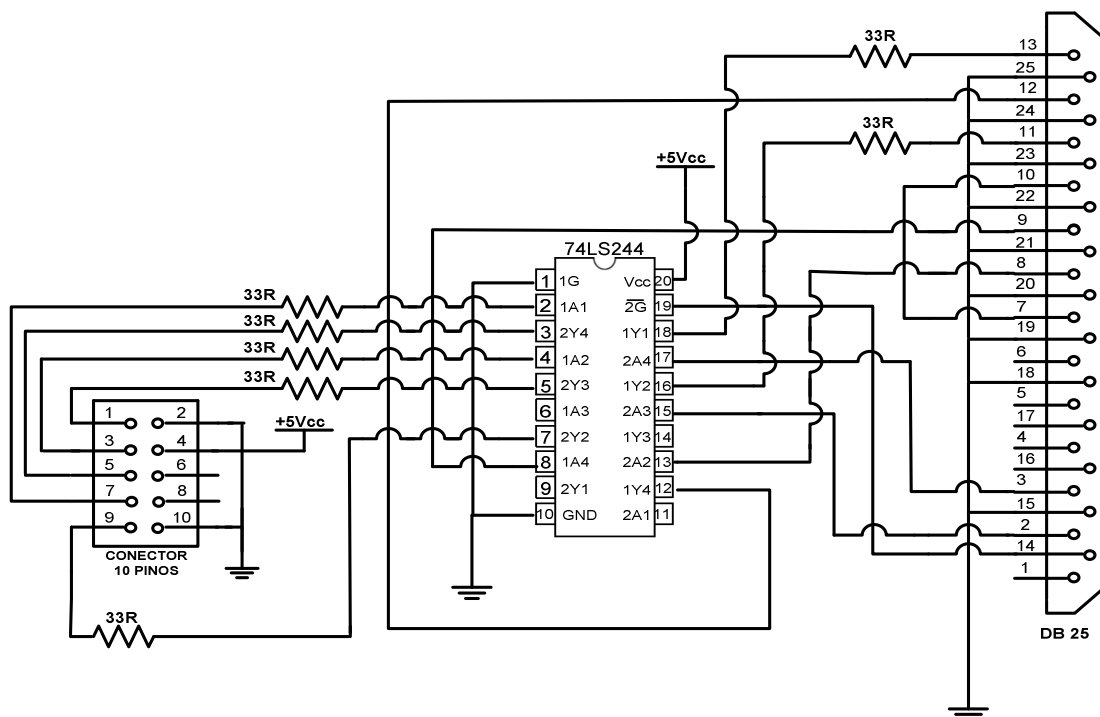


Fig.2.6 Esquemático do circuito de interface entre o PC e FPGA.

Tabela 2. Configuração dos cabo Byte Blaster .

Valores Críticos do cabo ByteBlaster					
Símbolo	Parâmetros	Condições	Min.	Max.	Unid.
Vcc	Tensão de Alimentação	Em relação ao terra	-0.5	+7.0	V
Vin	Entrada de Tensão CC	Em relação ao terra	-0.5	+7.0	V

Tabela 3. Configuração recomendada pelo fabricante.

Condições de Operação do cabo ByteBlaster					
Símbolo	Parâmetros	Condições	Min.	Max.	Unid.
Vcc	Tensão de Alimentação; 5 Vcc		4.5	5.5	V
	Tensão de Alimentação; 3.3 Vcc		3.0	3.6	V

## 2.12 A FAMÍLIA MAX7000S DA ALTERA

A família de FPGAs escolhida para o estudo e implementação do projeto foi a MAX7000S, que corresponde a uma linha de alta performance de dispositivos baseada na programação EEPROM, com tensões de trabalho de 3,3V a 5Vcc, ou seja, compatível com os níveis de tensões do microcontrolador. A frequência de trabalho destes dispositivos pode chegar até 151,5 MHz. O modelo escolhido para o projeto foi o EPM7064SLC44-10 da ALTERA que tem sua pinagem mostrada na figura 2.7.

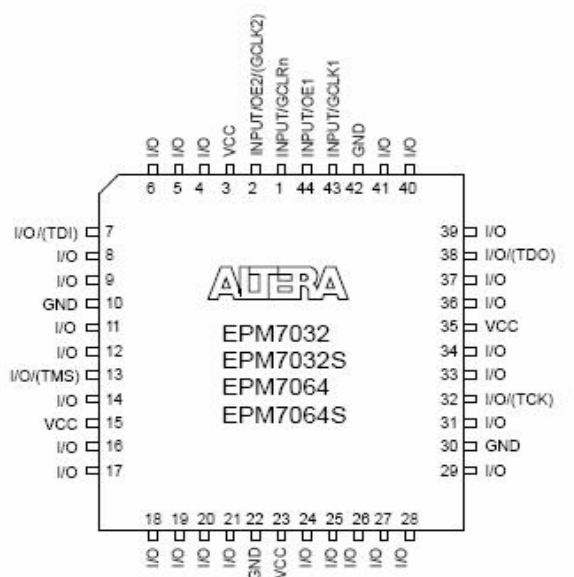


Fig.2.7 Pinagem do FPGA em modo PLCC 44.

Este dispositivo possui uma série de características que fazem dele ideal para o trabalho proposto. A Tabela 4 mostra algumas características do dispositivo [21].

Tabela 4. Características do FPGA EPM7064S.

Características	EPM7064S
Conexões internas usáveis	1.250
Macro células	64
Blocos Lógicos	4
Máxima quantidade de E/S	68

Outras características importantes a cerca desse dispositivo são:

- Saída opcional com dreno aberto.
- As macrocélulas podem ser programadas individualmente (*clear*, *preset*, *clock*).
- Operação em 3,3V ou 5V.
- Suporte para cabo paralelo ByteBlaster.

A família MAX7000 é baseada na segunda geração de arquitetura MAX. Fabricada com tecnologia CMOS e EEPROM, possui uma quantidade de conexões internas variando entre 600 à 5000, com *delays* entre pinos menores que 5ns e velocidade dos contadores acima de 175,4MHz [21].

Os dispositivos dessa família usam células CMOS EEPROM para implementar funções lógicas. Os dispositivos são programados de forma rápida e eficiente e podem ter um limite de gravação de mais de 100 vezes.

A quantidade de macrocélulas pode variar de 32 à 256 nos dispositivos da família MAX7000 separadas em grupos de 16 cada, sendo denominadas de LABs (*Logic Array Blocks*) [21]. Cada macrocélula é composta de portas “AND” e “OR”, além de registradores que podem ter suas funções (*clock*, *clock enable*, *clear* e *preset*) configurados individualmente.

### **2.13 DESCRIÇÃO GERAL**

A arquitetura da família MAX7000 possui quatro sinais de entradas que podem ser usadas em propósito geral, controle global de sinais (*clock*, *clear* e duas saídas de habilitação de sinais) para cada macrocélulas e pinos de E/S A figura 2.8 mostra a arquitetura dos dispositivos da família MAX7000S.



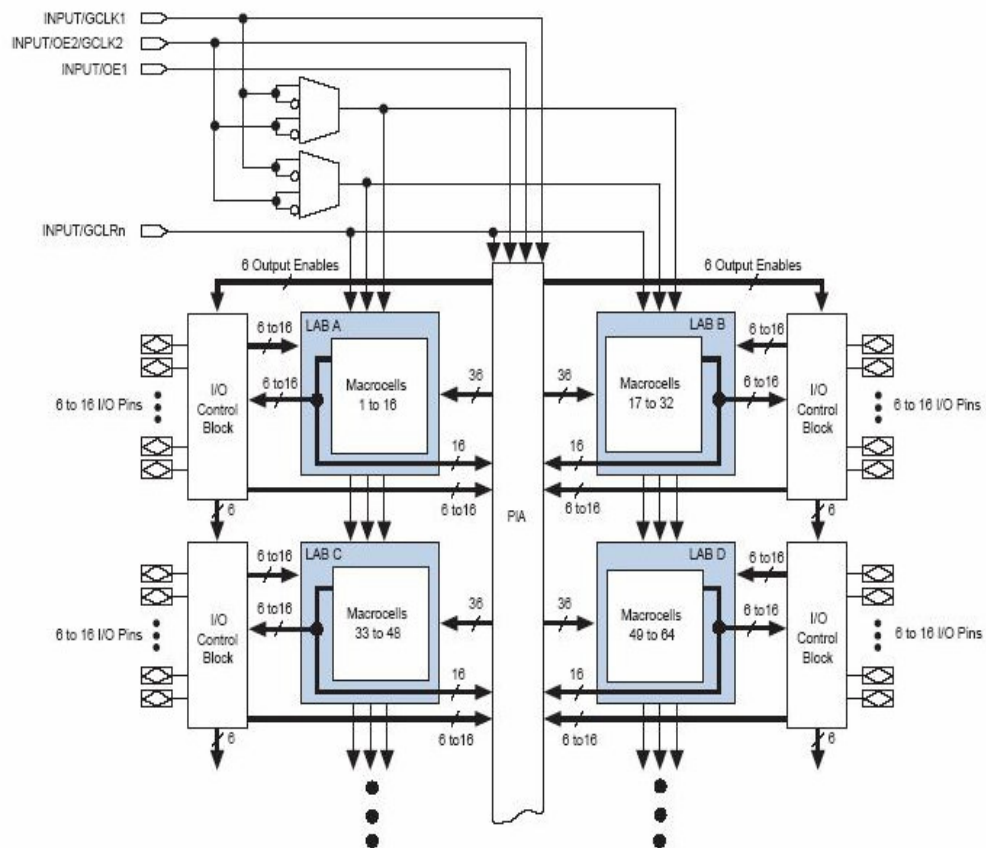


Fig.2.8 Diagrama de Blocos da família MAX7000S.

Como já foi citado anteriormente, a arquitetura dessa família é baseada na união de vários módulos chamados LABs. Os LABs consistem na união de 16 macrocélulas, como pode ser visto na figura acima. Vários LABs são unidos por um bloco chamado PIA (*Programmable Interconnect Array*), que nada mais é do que um barramento global que é alimentado por todas as entradas dedicadas, pinos de E/S e macrocélulas.

Cada LAB é alimentado pelos seguintes sinais:

- 36 sinais vindo da PIA que são usados como entradas lógicas genéricas.
- Controles globais, usados por funções secundárias dos registradores.
- Entradas diretas para a configuração dos *timers* dos registradores.

Todas as macrocélulas podem ser configuradas individualmente através de operações seqüenciais ou combinacionais lógicas. As macrocélulas possuem três

blocos funcionais: as matrizes lógicas, os registradores programáveis e a matriz de seleção de produto de termo.

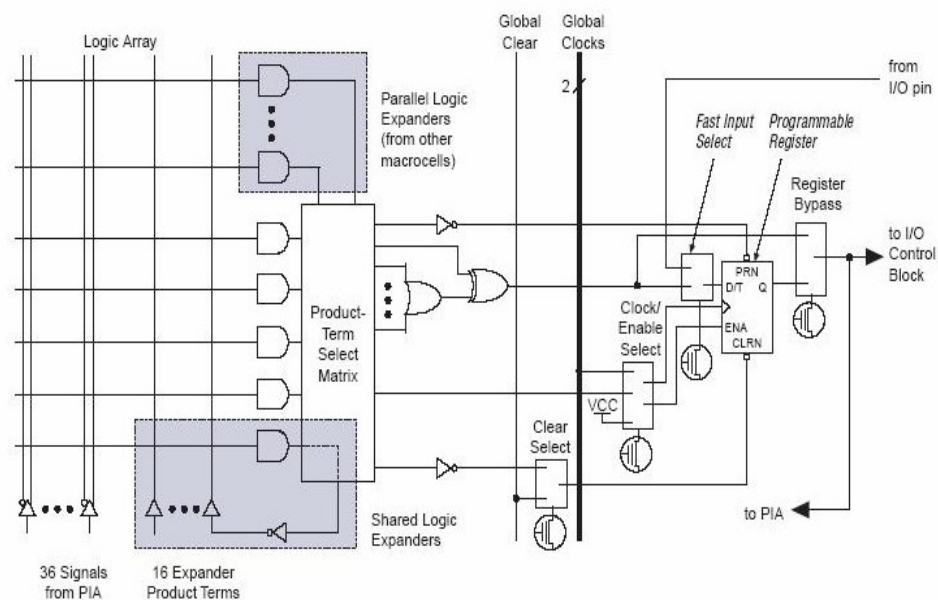


Fig.2.9 Diagrama de blocos de uma macrocélula da família MAX7000S.

A lógica combinacional é implementada na matriz lógica, que fornece cinco produtos de termos por macrocélulas. A matriz de seleção de produto de termo, aloca esses termos para serem usados como entradas lógicas para que as funções combinacionais sejam feitas ou para os dados de comando dos registradores secundários das macrocélulas (funções de *clear*, *preset*, *clock* e *clock enable*).

## 2.14 PROGRAMANDO O FPGA COM O MAX PLUS II

A plataforma de desenvolvimento de projetos escolhida para se desenvolver o programa do FPGA foi o Max Plus II fornecido pela própria fabricante ALTERA. Esse *software* tem a facilidade de programar todos os dispositivos das famílias MAX5000, MAX7000, MAX9000, FLEX6000, FLEX8000 e FLEX10k [22].

O modo de desenvolvimento usado para programar o FPGA foi o gráfico. Os demais modos (programação via VHDL e diagrama de estados) não serão abordados neste trabalho.

O modo gráfico tem a facilidade de permitir que todo o programa lógico seja projetado em forma de esquemático, facilitando a visualização de todos os componentes que estão sendo usados durante o projeto, além de permitir a configuração de certos periféricos de forma mais fácil e direta.

A figura 2.10 mostra a visão do ambiente de programação do FPGA usando o modo gráfico de desenvolvimento.

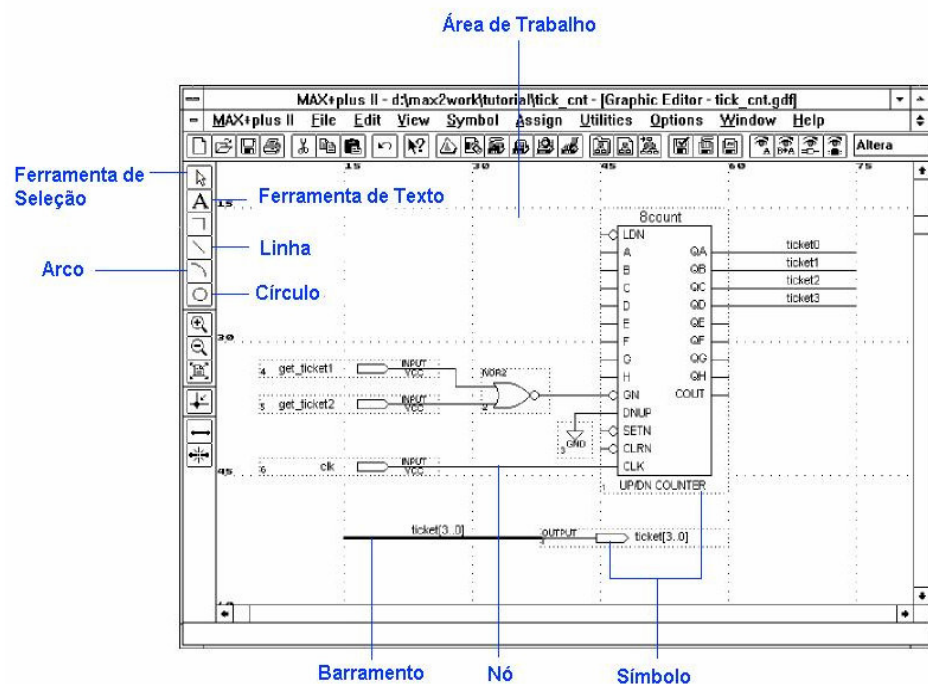


Fig.2.10 Tela de programação do FPGA em modo esquemático.

Como pode ser visto, a tela de projeto é bastante amigável, e de fácil entendimento. Nela podemos ver como exemplo um bloco que possui um contador crescente de 8 bits, uma porta lógica "NOR" com suas entradas ligadas a dois pinos do FPGA e um barramento de dados, muito comum em programas editores de esquemático para circuitos.

No capítulo referente ao controle implementado no inversor, será mostrado de forma detalhada todo o programa desenvolvido no FPGA para a geração da referência triangular, comparação desta com o sinal proveniente do PIC e o circuito lógico para chaveamento do inversor.

## **2.15 CONSIDERAÇÕES FINAIS**

Este capítulo teve como objetivo mostrar as funcionalidades dos dispositivos digitais usados para o desenvolvimento do projeto do inversor monofásico com controle digital.

Foram abordados tópicos que continham informações acerca do microcontrolador (PIC18F452) e suas funcionalidades, tais como a descrição dos diversos periféricos encontrados em seu *hardware*, principalmente das funções usadas no desenvolvimento do projeto e a descrição do FPGA (EPM7064SLC44-10), bem como uma explicação geral de seu funcionamento, além de se mostrar o circuito desenvolvido para gravação do dispositivo via porta paralela do PC.

## CAPÍTULO 3

### PROJETO DO INVERSOR MONOFÁSICO PONTE COMPLETA

#### 3.1 INTRODUÇÃO

A finalidade deste capítulo é apresentar o projeto do circuito de potência do inversor de tensão monofásico em ponte completa. Ao longo do capítulo será apresentado todo o dimensionamento dos componentes que compõem o inversor inclusive o circuito de *snubber*.

#### 3.2 DADOS DO PROJETO

A seguir serão mostrados as especificações do projeto para dimensionamento dos componentes.

- Potência ativa de saída –  $P_0 = 1000W$  .
- Potência aparente de saída –  $S_0 = 1000VA$  .
- Tensão de entrada do barramento CC -  $V_{IN} = 400V_{DC}$  .
- Fator de Potência -  $FP = 1$  .
- Tensão de saída -  $V_0 = 110V_{AC}$  .
- Freqüência da tensão de saída -  $f_R = 60Hz$  .
- Freqüência de chaveamento -  $f_S = 33KHz$  .
- Tensão máxima da referência triangular -  $V_{TRI} = 5V$  .
- Taxa de distorção harmônica total da tensão de saída -  $TDH_V < 5\%$  .

O índice de modulação corresponde à relação entre as amplitude da tensão de pico da senoide de saída do inversor com a tensão do barramento CC. Dessa forma pode-se calcular esse índice usando a seguinte fórmula:

$$m_a = \frac{V_0 \cdot \sqrt{2}}{V_{IN}} \quad (3.1)$$

$$m_a = 0,389$$

Em geral, sabe-se que a tensão do barramento CC que alimenta o inversor deve ser pelo menos 30% maior que a tensão de pico da rede para que o índice de modulação seja sempre menor que a unidade [5]. A equação usada para se determinar a amplitude máxima do sinal senoidal de referência deve ser comparado com a referência triangular pode ser vista na equação (3.2).

$$V_{\max_{SEN}} = m_a \cdot V_{TRI} = 1,945V \quad (3.2)$$

É importante se ter em mente que uma vez que o controle desenvolvido para o inversor é puramente digital, é preciso que alguns dados calculados anteriormente tenham que ser digitalizados, a fim de se fazer o tratamento de sinal de forma correta.

Um desses dados corresponde a tensão máxima do sinal triangular, uma vez que esta será implementada digitalmente, ou seja, através de um contador de 8 bits. Para tal, faz-se necessário converter o valor de 5V antes estipulado de forma analógica para a forma digital. A geração do sinal triangular que será comprado com a senoide de referência foi implementado por um contador configurado em 8 *bits*, tendo então sua contagem de zero a 255 (valor máximo alcançado para dispositivos de 8 *bits*).

Através de uma regra de três simples podemos determinar a máxima amplitude do sinal senoidal de referência. Como 5V corresponde a 255, então 1,945V corresponderá a 99, ou seja, a senoide digital gerada para referencia terá seu valor máximo em 99. Maiores detalhes desse procedimento serão mostrados mais claramente no capítulo referente ao projeto dos controladores.

### 3.3 DIMENSIONAMENTO DO FILTRO LC DE SAÍDA

“Durante o processo de inversão das chaves, a fonte de tensão CC de entrada tem sua polaridade alternada, produzindo nos terminais da carga uma tensão retangular de alta freqüência, na qual a largura dos pulsos varia de forma senoidal, gerando na saída uma componente fundamental de baixa freqüência. Ao se analisar as componentes harmônicas dessa forma de onda durante um certo período, tem-se um espectro harmônico de alta freqüência, cujo valor não é desprezível “[23].

A norma CEI/IEC 61000-3-2 diz que a taxa de distorção harmônica total da tensão de saída de inversores não deve exceder a 5%, e que o harmônico mais importante não deve ultrapassar a 3% da amplitude da componente fundamental de baixa freqüência.

Para o acionamento de motores AC, essa distorção harmônica pode ser danosa, pois aumenta as perdas no motor, gerando aquecimento.

Esses motivos fazem com que se insira na maioria dos inversores um filtro de saída, para reduzir os harmônicos da tensão. O filtro projetado para o desenvolvimento do projeto foi o passa baixa LC.

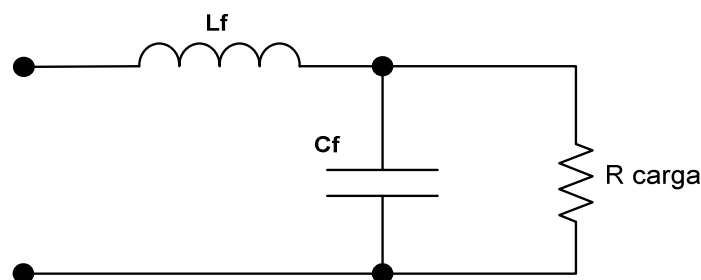


Fig.3.1 Filtro LC de saída do inversor.

Nesta topologia, a relação entrada/saída é dada pela equação (3.3) [23].

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{1 - \omega^2 \cdot L_f \cdot C_f + \frac{j \cdot \omega \cdot L_f}{Z_0}} \quad (3.3)$$

Considerando a condição de carga nula ( $Z_0 = \infty$ ) para se simplificar o projeto, tem-se que a frequência de corte do filtro é [23]:

$$f_0 = \frac{1}{2.\pi.\sqrt{L_f.C_f}} \quad (3.4)$$

As componentes harmônicas de frequência menor que  $f_0$  passam pelo filtro quase sem atenuação, enquanto que as de frequência acima de  $f_0$  são atenuadas. As componentes com frequências próximas a frequência de ressonância  $f_0$  serão amplificadas.

A modulação PWM senoidal objetiva reduzir a distorção harmônica da tensão de saída do inversor, deslocando o espectro harmônico para valores de ordem elevada. O uso do filtro LC de saída torna essa estratégia mais eficaz [23].

### 3.3.1 Cálculo da Indutância de Saída

O circuito equivalente da saída do inversor com o filtro LC e carga pode ser representado como mostra a figura 3.2.

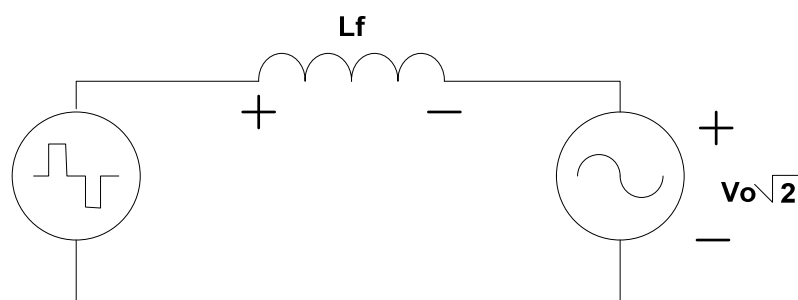


Fig.3.2 Circuito equivalente do filtro LC de saída.

Observando a figura 3.2, pode-se constatar que a tensão em cima do indutor do filtro de saída no instante do pico da tensão senoidal de saída é dado por:

$$V_L = V_{IN} - V_0.\sqrt{2} \quad (3.5)$$

$$V_L = 244,437V$$



Entretanto, sabe-se que a tensão em um indutor é dada pela seguinte fórmula:

$$V_L = L_f \cdot \frac{\Delta I}{\Delta t} \quad (3.6)$$

Para que se determine o valor da variável  $\Delta I$ , temos que primeiro fazer o estudo das correntes do inversor.

A corrente eficaz de saída do inversor é calculada pela equação abaixo.

$$I_{0\_RMS} = \frac{S_0}{V_0} \quad (3.7)$$

$$I_{0\_RMS} = 9,091A$$

A corrente de pico corresponde a corrente eficaz de saída multiplicada por  $\sqrt{2}$  é.

$$I_{0\_PICO} = I_{0\_RMS} \cdot \sqrt{2} \quad (3.8)$$

$$I_{0\_PICO} = 12,856A$$

Admitindo-se uma variação máxima de 15% na corrente de pico de saída do inversor ( $\% \Delta I$ ), temos:

$$\Delta I = 0,15 \cdot I_{0\_PICO} \quad (3.9)$$

$$\Delta I = 1,928A$$

A carga máxima projetada para o inversor pode ser calculada através da equação (3.10).

$$R_0 = \frac{V_0^2}{P_0} \quad (3.10)$$

$$R_0 = 12,1\Omega$$

A tensão pulsada de entrada do filtro apresenta o dobro da frequência de chaveamento. Isso resulta em um período duas vezes menor, ou seja,

$$T_s = \frac{1}{2 \cdot f_s} \quad (3.11)$$

A variação do tempo ( $\Delta t$ ) depende da razão cíclica ( $D$ ) bem como do período de chaveamento ( $T_s$ ), como mostrado abaixo.

$$\Delta t = D.T_s \quad (3.12)$$

Substituindo (3.5) e (3.12) em (3.6), temos:

$$(V_{IN} - V_0\sqrt{2}) = L_f \cdot \frac{\Delta I}{D \cdot \left(\frac{1}{2.f_s}\right)} \quad (3.13)$$

Isolando-se a variável ( $L_f$ ), chega-se a fórmula do cálculo do indutor de filtragem, onde  $D = m_a$ .

$$L_f = \frac{(V_{IN} - V_0\sqrt{2}) \cdot D}{2 \cdot \Delta I \cdot f_s} \quad (3.14)$$

$$L_f = 0,746mH$$

### 3.3.2 Cálculo do Capacitor de Saída.

Para se calcular o valor do capacitor de saída, deve-se considerar que a frequência de corte  $f_0$  deve ficar uma década abaixo do dobro da frequência de chaveamento [23].

Neste caso, tem-se:

$$f_0 \leq \frac{2 \cdot f_s}{10} \quad (3.15)$$

Substituindo (3.15) em (3.4), temos:

$$\frac{f_s}{10} \geq \frac{1}{2 \cdot \pi \cdot \sqrt{L_f \cdot C_f}} \quad (3.16)$$

Elevando-se os dois lados da equação ao quadrado e isolando o valor de  $C_f$  temos:

$$C_f \geq \frac{1}{L_f \cdot \left(\frac{2 \cdot \pi \cdot f_s}{10}\right)^2} \quad (3.17)$$

$$C_f \geq 3,3 \mu F$$

Por motivos de disponibilidade, colocou-se no projeto um capacitor de polipropileno metalizado  $C_f$  de 10 $\mu$ F/250Vac, que mostrou-se coerente com o projeto.

### 3.4 DIMENSIONAMENTO DO NÚCLEO DO INDUTOR.

Para que se dimensione o núcleo a ser utilizado no projeto, antes, deve-se estabelecer algumas constantes, tais como a máxima densidade de fluxo magnético ( $B = 0,3T$ ), a máxima densidade de corrente ( $J = 450A/cm^2$ ) e o fator de ocupação do enrolamento do indutor ( $K = 0,7$ ).

Tendo esses valores, parte-se para encontrar o valor do produto de áreas  $AeAw$  estipulado pela equação (3.18), em que  $Ae$  é a área efetiva da perna central do núcleo e  $Aw$  a área da janela do núcleo onde é situado o enrolamento.

$$AeAw = \frac{L_f \cdot (I_{0\_pico})^2 \cdot 10^4}{K \cdot B \cdot J} \quad (3.18)$$

$$AeAw = 13,064cm^4$$

Portanto foi escolhido o núcleo **NEE 55/28/21** da fabricante Thornton, que possui uma área efetiva da perna central ( $Ae = 3,54cm^2$ ).

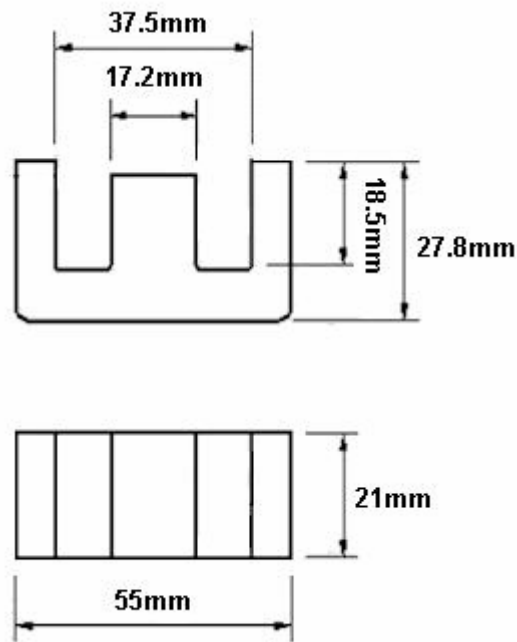


Fig.3.3 Dimensões do núcleo NEE 55/28/21.

O número de espiras para compor o indutor pode ser adquirido através da equação (3.19).

$$N = \left( \frac{L_f \cdot I_{0\_pico} \cdot 10^4}{B \cdot Ae} \right) \quad (3.19)$$

$$N \cong 90 \text{ espiras}$$

Para minimizar as perdas devido ao efeito pelicular ou efeito *skin*, o diâmetro do condutor a ser utilizado deve ser menor ou igual a duas vezes à profundidade de penetração ( $\delta$ ). A 100° C, a profundidade de penetração é dada por:

$$\delta = \frac{7,5}{\sqrt{f_{CH}}} \quad (3.20)$$

$$\delta = \frac{7,5}{\sqrt{33 \cdot 10^3}} = 0,0412 \text{ cm}$$

Então, o diâmetro máximo do condutor a ser utilizado é dado por:

$$D_{fio} \leq 2 \cdot \delta \quad (3.21)$$

$$D_{fio} \leq 0,0824 \text{ cm}$$

Conforme a tabela AWG de fios esmaltados, foi escolhido o fio **27AWG**. A área da seção de cobre necessária dos condutores é calculada por:

$$S_{CU} = \frac{I_{0\_RMS}}{J} \quad (3.22)$$

$$S_{CU} = 0,02cm^2$$

A quantidade de fios em paralelo a serem utilizadas é dada pela equação (3.23).

$$N_{CP} = \frac{S_{CU}}{S_{CE}} \quad (3.23)$$

$$N_{CP} \cong 15 \text{ fios}$$

A equação que define o tamanho do entreferro ( $g$ ) é mostrada em (3.24).

$$g = \left( \frac{N^2 \cdot \mu_0 \cdot Ae \cdot 10^{-2}}{L_f} \right) \quad (3.24)$$

Em que ( $\mu_0 = 4 \cdot \pi \cdot 10^{-7}$ ) corresponde à permeabilidade magnética do vácuo, resultando em.

$$g = 0,00537cm$$

O fator de ocupação ( $K_{ocup}$ ) determina se é possível que os condutores usados para enrolar o núcleo caberão dentro da janela, e para tal, adota-se que esse fator deve ser menor que 0,7 para que se tenha uma boa margem de segurança. A equação (3.25) mostra o cálculo deste fator.

$$K_{ocup} = \frac{N' \cdot N_{CP} \cdot S_{CE}}{Aw} \quad (3.25)$$

$$K_{ocup} = 0,48$$

Como o valor de  $K_{ocup}$  foi menor que 0,7, isso caracteriza um bom fator de ocupação, deixando os condutores com uma boa margem de segurança para serem enrolados no núcleo.

### 3.5 DETERMINAÇÃO DOS ESFORÇOS NOS SEMICONDUTORES

Como parâmetros para o dimensionamento do IGBT a ser usado, é preciso determinar a corrente média nos interruptores assim também como a corrente média nos diodos em anti-paralelos.

A fórmula que define a corrente média num período de comutação que passa pelo interruptor pode ser vista na equação (3.26).

$$I_{m_{ds}} = \frac{1}{T} \cdot \int_0^{D \cdot T} I_{0\_pico} \cdot \text{sen}(\theta) \cdot dt \quad (3.26)$$

No qual  $D = m_a \cdot \text{sen}(\theta)$ .

$$I_{m_{ds}} = \frac{1}{2\pi} \cdot \int_0^{\pi} I_{0\_pico} \cdot \text{sen}(\theta) \cdot (m_a \cdot \text{sen}(\theta)) \cdot dt$$

$$I_{m_{ds}} = 1,25A$$

Para o cálculo da corrente média no diodo em anti-paralelo tem-se que:

$$I_{ds} = \frac{1}{T} \cdot \int_0^{(1-D) \cdot T} I_{0\_pico} \cdot \text{sen}(\theta) \cdot dt \quad (3.27)$$

$$I_{ds} = \frac{1}{2\pi} \cdot \int_0^{\pi} I_{0\_pico} \cdot \text{sen}(\theta) \cdot (1 - m_a \cdot \text{sen}(\theta)) \cdot dt$$

$$I_{ds} = 2,84A$$

Sabendo que a tensão no interruptor é a mesma do barramento CC, tem se que:

$$V_s = 400V$$

Com base nos valores calculados para tensão no interruptor, corrente média no interruptor e corrente média no diodo em anti-paralelo, determinou-se para o projeto o IGBT **IRGP50B60PD1**.

### 3.6 DETERMINAÇÃO DE PERDAS NOS SEMICONDUTORES

Para a determinação das perdas no IGBT escolhido, obteve-se os seguintes dados nominais fornecidos pelo *datasheet* do dispositivo.

- $I_{CN} = 75A$  @  $T_j = 25^0 C$  : corrente de coletor nominal do IGBT.
- $V_{CEO} = 1V$  : tensão de limiar do IGBT.
- $V_{CEN} = 2V$  : tensão de saturação nominal do IGBT.
- $t_r = 10.10^{-9} s$  : tempo de subida nominal do IGBT.
- $t_f = 11.10^{-9} s$  : tempo de decida nominal do IGBT.
- $V_{FO} = 1,3V$  : tensão de limiar do diodo.
- $V_{FN} = 1,3V$  : queda de tensão nominal sobre o diodo.
- $I_{FN} = 40A$  @  $T_j = 125^0 C$  : corrente de condução nominal do diodo.
- $t_{rr} = 42.10^{-9} s$  : tempo de recuperação reversa do diodo.
- $Q_{ee} = 80.10^{-9} C$  : carga de recuperação reversa nominal do diodo.
- $I_{rr} = 4A$  : corrente de recuperação reversa nominal do diodo.

Outros parâmetros necessários para determinar as perdas nas chaves são a frequência de chaveamento ( $f_{CH}$ ) que é de 33KHz e o índice de modulação ( $m_a$ ) de 0,389.

Com esses dados pode-se determinar todas as perdas nos IGBTs, conforme serão mostradas a seguir.

### 3.6.1 Perda por Condução

A equação (3.28) mostra o cálculo das perdas por condução em cada IGBT [7].

$$P_{conIGBT} = \left( \frac{1}{8} + \frac{m_a}{3\pi} \right) \cdot \left( \frac{V_{CEN} - V_{CEO}}{I_{CN}} \right) \cdot I_{0\_PICO}^2 + \left( \frac{1}{2\pi} + \frac{m_a \cdot V_{FO}}{8} \right) \cdot V_{CEO} \cdot I_{0\_PICO} \quad (3.28)$$

$$P_{conIGBT} = 5,18W$$

### 3.6.2 Perda de Comutação

A perda de comutação durante a entrada em condução do IGBT ocorre pela presença simultânea da corrente de coletor e tensão coletor-emissor [7]. A seguir é mostrada a equação que define essa perda [7].

$$P_{onIGBT} = \left( \frac{V_{IN} \cdot t_r}{8} \right) \cdot \left( \frac{I_{0\_PICO}^2}{I_{CN}} \right) \cdot f_{CH} + \left( \frac{2 \cdot V_{IN}}{3} \right) \cdot \left[ \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{I_{0\_PICO}}{I_{CN}} + 0,015 \cdot \left( \frac{I_{0\_PICO}}{I_{CN}} \right)^2 \right) \cdot Q_{rr} + \left( \frac{0,8}{\pi} + \frac{0,015 \cdot I_{0\_PICO}}{I_{CN}} \right) \cdot I_{0\_PICO} \cdot t_{rr} \right] \cdot f_{CH} \quad (3.29)$$

$$P_{onIGBT} = 11,72W$$

### 3.6.3 Perda no Bloqueio

A equação (3.30) faz o cálculo do valor das perdas por bloqueio, segundo [7].

$$P_{offIGBT} = V_{IN} \cdot I_{0\_PICO} \cdot t_f \cdot f_{CH} \cdot \left( \frac{1}{3\pi} + \frac{1}{24} \cdot \frac{I_{0\_PICO}}{I_{CN}} \right) \quad (3.30)$$

$$P_{offIGBT} = 2,39W$$

A perda de potência média total em cada IGBT, pode ser descrita como sendo a soma das perdas por condução, com as perdas por comutação e bloqueio, como mostra a equação (3.31).



$$P_{totIGBT} = P_{onIGBT} + P_{offIGBT} + P_{conIGBT} \quad (3.31)$$

$$P_{totIGBT} = 19,30W$$

### 3.6.4 Perda de Condução no Diodo do IGBT

Os diodos inseridos nos IGBTs, também apresentam perda tanto por condução como por comutação. As perdas por condução podem ser calculadas pela equação (3.32) [7].

$$P_{conD} = \left( \frac{1}{8} + \frac{m_a}{3\pi} \right) \cdot \left( \frac{V_{FN} - V_{FO}}{I_{CN}} \right) \cdot I_{0\_PICO}^2 + \left( \frac{1}{2\pi} + \frac{m_a \cdot V_{FO}}{8} \right) \cdot V_{FO} \cdot I_{0\_PICO} \quad (3.32)$$

$$P_{conD} = 1,66W$$

### 3.6.5 Perda de Comutação no Diodo do IGBT

A perda por comutação ocorre durante o bloqueio devido à recuperação reversa, e pode ser calculado por (3.33) [7].

$$P_{comD} = \left( \frac{V_{IN}}{3} \right) \cdot \left[ \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{I_{0\_PICO}}{I_{FN}} + 0,015 \cdot \left( \frac{I_{0\_PICO}}{I_{FN}} \right)^2 \right) \cdot Q_{rr} + \left( \frac{0,8}{\pi} + \frac{0,015 \cdot I_{0\_PICO}}{I_{FN}} \right) \cdot I_{0\_PICO} \cdot t_{rr} \right] \cdot f_{CH} \quad (3.33)$$

$$P_{comD} = 5,86W$$

A perda de potência média total em cada diodo do IGBT é a soma da perda por condução com a perda por comutação.

$$P_{totD} = P_{conD} + P_{comD} \quad (3.34)$$

$$P_{totD} = 7,52W$$

### 3.7 DIMENSIONAMENTO DO *SNUBBER*

A função dos circuitos *snubbers* é reduzir os esforços elétricos nos interruptores durante o chaveamento. Estes circuitos fazem isso limitando tanto a sobretensão quanto a taxa de crescimento da tensão aplicada aos interruptores durante o transiente de desligamento bem como a corrente e a taxa de crescimento da corrente durante o transiente de ligamento [35].

Os dispositivos destes circuitos são dimensionados conforme a área de operação segura de polarização das chaves. Infelizmente estes circuitos causam perdas ao sistema, aumentam a quantidade de dispositivos e por sua vez sua complexidade [7].

O circuito *snubber* usado para o projeto foi o grampeador RCD de desacoplamento. Neste circuito, o capacitor não necessita ser descarregado completamente e o resistor evita oscilações. Sua característica é de pouca dissipação, sendo recomendado para inversores e conversores [7]. A figura 3.4 mostra a estrutura deste *snubber*.

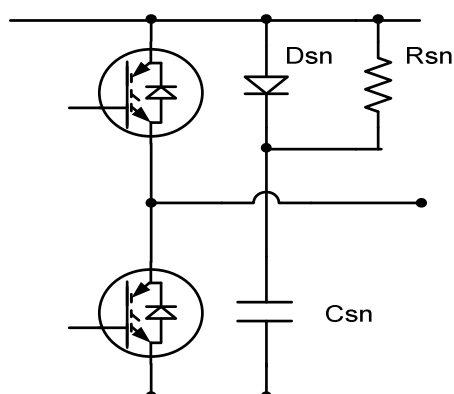


Fig.3.4 Circuito *snubber* grampeador RCD.

Para o dimensionamento deste circuito, foi adotado uma indutância de trilha ( $L_s = 0,000001H$ ), pois o cálculo dos demais componentes dependem desta variável [26].

Sabendo que  $I_{0\_PICO} = 12,85A$ , adotando que a tensão máxima no barramento CC ( $V_{PK}$ ) é de 450V e que a tensão de entrada do inversor ( $V_{IN}$ ) é de 400V, segundo [26], pode-se calcular o valor do capacitor do *snubber* através da equação (3.35).

$$C_{sn} = \left( \frac{L_s \cdot I_{0\_PICO}^2}{(V_{PK}^2 - V_{IN}^2)} \right) \quad (3.35)$$

$$C_{sn} = 2,9 \cdot 10^{-6} F$$

Entretanto, o valor usado para o projeto foi um capacitor de 3,3uF/630V de polipropileno de alta frequência, pois apresenta uma baixa resistência interna em relação a outros capacitores.

$$C_{sn} = 3,3 \cdot 10^{-6} F$$

O cálculo do resistor do snubber ( $R_{sn}$ ) pode ser obtido pela equação (3.36) [26].

$$R_{sn} = \frac{1}{6 \cdot C_{sn} \cdot f_{CH}} \quad (3.36)$$

$$R_{sn} = 1,74\Omega$$

Entretanto, o valor comercial usado para esse resistor foi de 1,8Ω/5W.

$$R_{sn} = 1,8\Omega$$

O diodo usado para o projeto foi o **MUR460**, por ser um diodo rápido, de fácil aquisição e suportar a corrente que circulará pelo circuito.

O *driver* utilizado para acionar as chaves do inversor foram dois **SKHI20opa** da SEMIKRON. Este *driver* possui gatilho para duas chaves de um braço do inversor, aliado a vantagem de se configurar o tempo morto por meio de alguns *jumper*s já existentes no *hardware* do dispositivo.

O esquemático do circuito de potência do inversor pode ser visto na figura 3.5 logo a seguir.

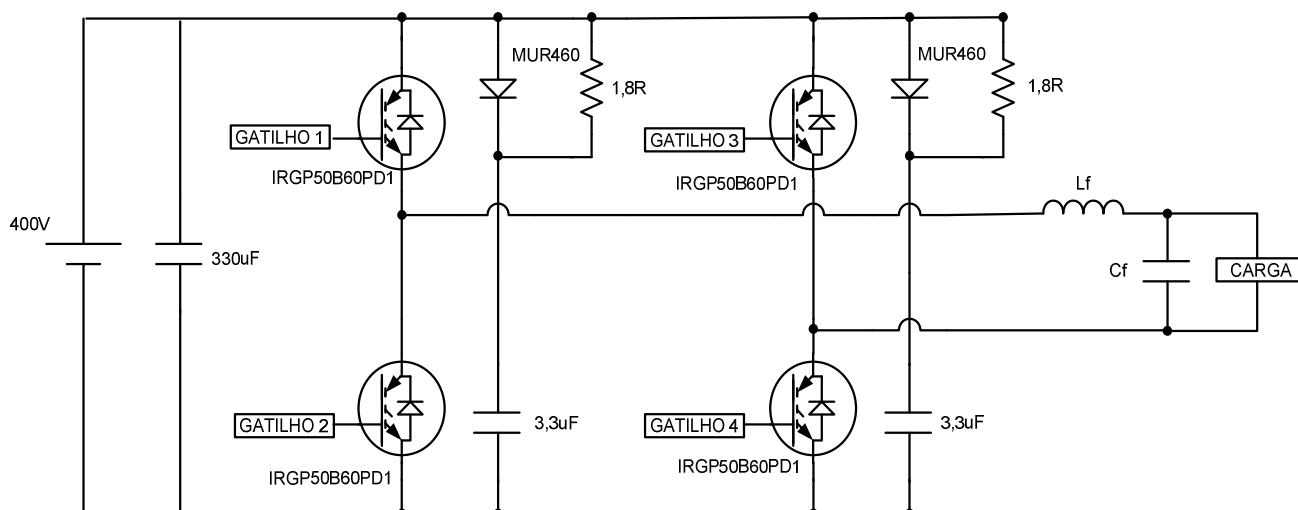


Fig.3.5 Circuito de potência do inversor.

### 3.8 CONSIDERAÇÕES FINAIS

Neste capítulo foi apresentada toda a metodologia de projeto para o desenvolvimento do circuito de potência do inversor monofásico em ponte completa. Todos os componentes foram dimensionados de acordo com as equações apresentadas neste capítulo, no qual algumas destas já encontram-se provadas em livros e outras referências, tornando o projeto mais simples e objetivo.

Foi realizado todo um estudo de perdas nos semicondutores, bem como o projeto do circuito *snubber* para diminuição das mesmas.

O projeto teve como parâmetros a potência de 1000W, frequência de chaveamento de 33KHz, tensão de entrada do barramento CC de 400V, tensão de saída CA de 110V<sub>RMS</sub> com frequência de 60 Hz.

A seguir será mostrado todo o projeto de desenvolvimento da parte digital do controle do inversor, bem como o *hardware* proposto.

## CAPÍTULO 4

### PROJETOS DE CONTROLE DIGITAL PARA INVERSOR

#### 4.1 INTRODUÇÃO

Buscando melhorar o desempenho de inversores de tensão é preciso que os circuitos de controle sejam bem projetados. Com o advento de novas tecnologias, dispositivos mais rápidos e robustos como microcontroladores, DSPs, FPGAs e outros vêm se consolidando no mercado, permitindo que técnicas de controles mais apuradas possam ser implementadas de forma precisa e viável.

Este capítulo tem por finalidade apresentar algumas técnicas de controle digital para um inversor monofásico em ponte completa com modulação PWM senoidal a três níveis. Toda a descrição do projeto de controladores PI e PID de forma digital, bem como a descrição do hardware desenvolvido usando um PIC18F452 e um FPGA EPM7064SLC44-10 serão mostradas detalhadamente neste capítulo.

#### 4.2 PRINCÍPIO DE FUNCIONAMENTO DO CIRCUITO DE CONTROLE

Como já foi citada nos capítulos anteriores, a modulação usada para o inversor foi a PWM senoidal a três níveis. Como se sabe, a saída do inversor de frequência é uma onda senoidal de frequência 60 Hz e tensão de saída de  $110V_{RMS}$ , entretanto, uma amostra desse sinal de tensão de saída deve ser levada para os dispositivos que irão realizar o controle do chaveamento, neste caso o microcontrolador PIC e o FPGA.

Como o microcontrolador escolhido possui um conversor A/D inserido em sua estrutura interna, este será responsável por ler a amostra de tensão proveniente da saída do inversor. Um fato que deve se ter cuidado é que o A/D do microcontrolador

não consegue ler tensões negativas, sendo preciso então adicionar um nível DC no sinal de amostra do inversor, o que é mais difícil por ter que se adicionar um *hardware* para somar esse nível CC ao sinal amostrado, ou então simplesmente retificar essa amostra de saída e programar um bit do microcontrolador para identificar a polaridade do sinal. De forma a diminuir a complexidade do *hardware* e minimizar custos escolheu-se a segunda alternativa, mesmo porque esta é mais fácil de ser implementada digitalmente.

Tendo-se em vista que o sinal que será amostrado para o microcontrolador é uma senóide retificada, a referência para o controle do inversor também deverá ser uma senóide retificada. Essa senóide será implementada de forma digital dentro do programa do microcontrolador em forma de uma tabela de números inteiros de 8 *bits*.

Operações com variáveis *floats* (32 bits) seriam ideais para o desenvolvimento dos controladores digitais, entretanto, o uso destas variáveis consome um enorme espaço de memória além de serem muito grandes, o que resulta em um tempo de processamento enorme.

O algoritmo para o cálculo dos controladores foi desenvolvido em linguagem de programação "C". Todos os procedimentos de operações para o cálculo dos controladores foi inserido dentro de uma das interrupções do microcontrolador, fazendo com que a atualização das respostas do controlador tenha uma periodicidade constante.

Após ser feito todo o cálculo da resposta de controle no microcontrolador, esta por sua vez é transferida imediatamente a uma das portas do PIC, em forma de uma palavra de 8 bits. O FPGA por sua vez lê o valor inserido na porta do microcontrolador de forma paralela e compara esse dado recebido com a referência

triangular implementada internamente nesse dispositivo, gerando assim os pulsos PWMs.

Após a comparação os pulsos gerados passam por um conjunto de portas lógicas cuja função é fazer o gatilho das chaves do inversor de forma a se ter uma modulação a três níveis.

### 4.3 GERANDO A TABELA DE REFERÊNCIA NO MICROCONTROLADOR

Como explicado anteriormente, devido ao tamanho da memória de programa e a velocidade de processamento, a tabela de referência que será comparada com o valor lido pelo A/D tem sua matriz composta de variáveis de 8 bits, mesmo porque o conversor A/D também é de 8 bits.

A correta geração do sinal de referência é de suma importância para o rendimento do controlador, uma vez que esses dados juntamente com os dados provenientes do A/D são responsáveis pela geração do erro do sistema, que serve de base para se estabelecer a resposta correta do controlador.

Após uma série de testes para otimizar o programa de cálculo da resposta dos controladores, chegou-se em um algoritmo de controle que demora 115us para a realização do mesmo. Esse tempo é muito importante para se determinar o tamanho da tabela, pois tendo-se em vista que estamos lidando com uma senóide retificada, o período desta é de 8,33 ms (metade do período de uma onda de 60 Hz). Dividindo-se esse período por 115us, temos então o número de pontos da tabela.

$$T_{sen\_ret} = 8,33ms$$

$$T_{interrupcao} = 115us$$

$$N_{term\_tabela} = \frac{T_{sen\_ret}}{T_{interrupcao}} \quad (4.1)$$

$$N_{term\_tabela} = 73 \text{ pontos}$$

Sabendo que o valor máximo das variáveis inseridas na matriz é 99, como já foi explicado no item 3.2 do capítulo 3, faz-se necessário montar a tabela usando então a equação (4.2) mostrada a seguir.

$$V_{tabela} = 99 \cdot \text{sen}(2 \cdot \pi \cdot 60 \cdot t) \quad (4.2)$$

Em que  $V_{tabela}$  corresponde ao valor da tabela no instante  $t$ , com este variando de zero a 8,33 ms. Tendo em vista que variáveis inteiras de 8 bits não têm números quebrados, faz-se um arredondamento dos valores achados.

Como resultado, teremos uma tabela com os seguintes valores:

$$\begin{aligned} Tabela = [ & 0,4,9,13,17,21,25,30,34,38,42,45,49,53,56,60,63 \\ & ,67,70,73,75,78,81,83,85,87,89,91,93,94,95,96,97 \\ & ,98,99,99,99,99,99,98,97,96,95,94,93,91,89,87,85 \\ & ,83,81,79,75,73,70,67,63,60,56,53,49,45,42,38,34 \\ & ,30,25,21,17,13,9,4,0] \end{aligned}$$

#### 4.4 O BIT DE SINCRONISMO

Como já explicado anteriormente, existe um bit gerado no microcontrolador, que tem a função de determinar a polaridade da onda de 60 Hz. Esse bit tem um período de 8,33 ms, exatamente metade do período de 60 Hz do sinal de saída e é de suma importância para o chaveamento do inversor.

Esse bit, chamado de bit de sincronismo, ocorre toda vez que o programa é executado setenta e três vezes, ou seja, toda vez que a tabela de referência é percorrida em sua totalidade, o estado desse bit é invertido.

O microcontrolador gera esse sinal por um de seus pinos, e este é conectado direto no FPGA que é o responsável por comandar os gatilhos das chaves.



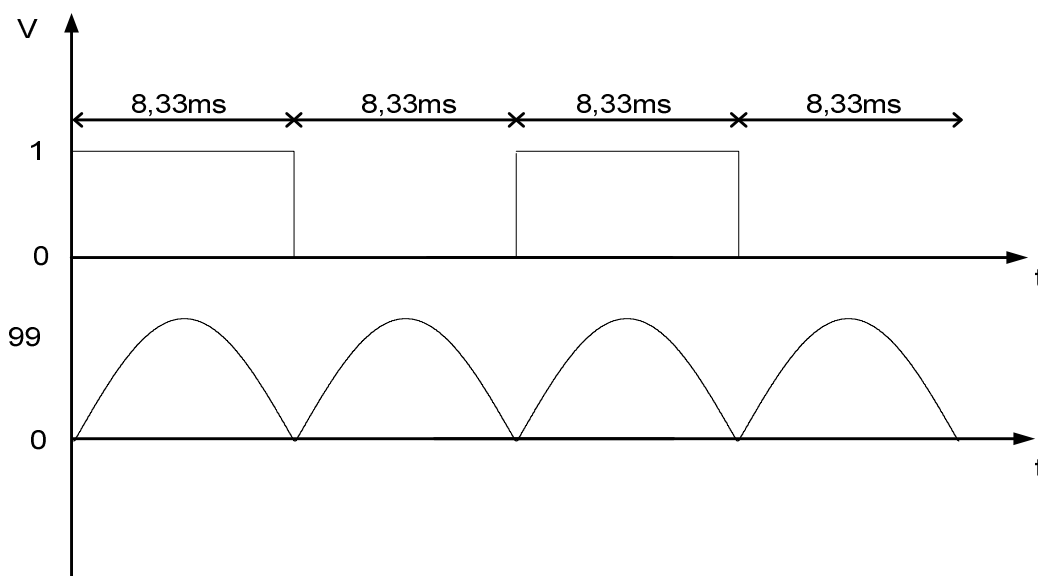


Fig.4.1 Bit de sincronismo e referência senoidal.

A figura 4.1 mostra detalhadamente como deve se comportar o bit de sincronismo em relação à referência senoidal.

#### 4.5 ESTRUTURA DO PROGRAMA DO MICROCONTROLADOR

O programa desenvolvido para fazer o cálculo da resposta dos controladores possui uma estrutura simples, entretanto, deve-se ter muita atenção no momento de definir e converter os valores das variáveis inseridas no programa.

Como a diferença entre o valor lido pelo conversor A/D e o valor da tabela geram o erro, este por sua vez pode ser de ordem positiva ou negativa. Dessa forma, é preciso que a variável “erro” seja definida como um inteiro longo sinalizado (*signed long int*). Essa conversão de unidades define o correto valor da resposta do controlador.

Logo após a geração do sinal de erro, tem-se início o cálculo da variável de controle que é definido pelo tipo de controlador que se pretende implementar. Cada controlador possui uma expressão diferente que será mostrada em detalhes nos tópicos posteriores. Findada a etapa de cálculo da resposta de controle, coloca-se o

valor calculado em uma porta do microcontrolador em forma de uma palavra de 8 bits de forma paralela. Logo a seguir é feita a atualização das variáveis de controle e finalmente volta para o início do *loop* de controle que é a releitura do canal A/D.

O fluxograma mostrado na figura 4.2 mostra como funciona a estrutura do programa.

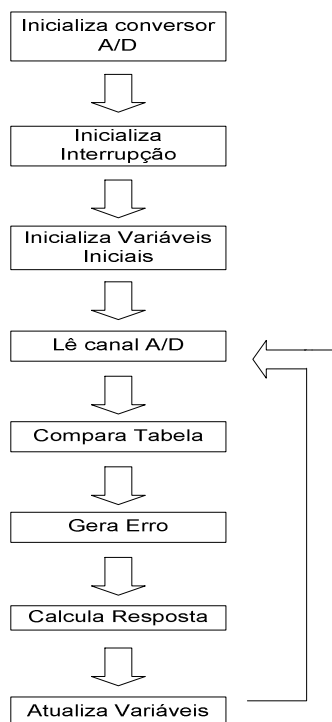


Fig.4.2 Diagrama de blocos do programa do PIC.

Como mostra a figura 4.2, a inicialização do conversor A/D e da interrupção é feita somente uma vez durante o programa, enquanto o restante do programa fica em um *looping* infinito de controle.

#### 4.6 ESTRUTURA DO PROGRAMA DO FPGA

Diferentemente da programação feita no microcontrolador que é escrita em linhas de código em “C”, a programação do FPGA como já explicado no capítulo 2 é feita por meio de um diagrama esquemático.

O programa desenvolvido para o FPGA tem como finalidade receber do microcontrolador uma série de dados (o valor da resposta da variável de controle e o sinal do bit de sincronismo) e um sinal de *clock* externo proveniente de um oscilador externo de 46,61512 MHz que é a base de tempo para a geração da referência triangular.

A geração da onda triangular tem por base um contador de 8 bits (0 a 255) com *reset* ajustável. O que foi implementado consiste de uma série de dispositivos programados dentro do FPGA para que cada pulso que irá para o contador tenha um período fixo. No entanto como o valor do *clock* externo é de frequência muito maior que os 30us de período para uma frequência de 33KHz, foi necessário implementar uma lógica que gerasse um divisor por cinco para assim atingir o período desejado.

A figura 4.3 mostra o diagrama de blocos das funções implementadas no FPGA.

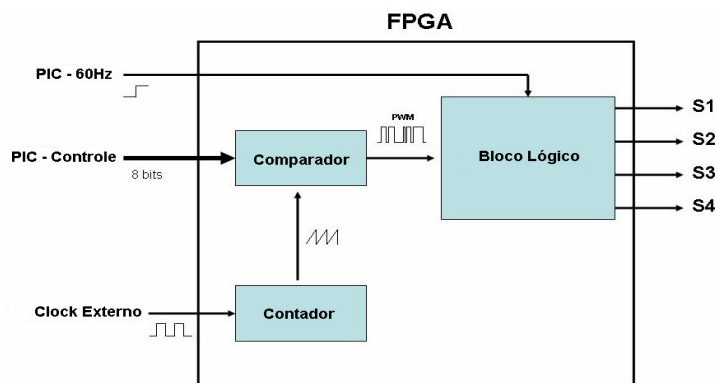


Fig.4.3 Diagrama de blocos do programa do FPGA.

Para um melhor entendimento do uso de um circuito divisor por cinco tem-se que:

$$f_{OSC\_EXT} = 46,61512MHz$$

Resultando em um período do oscilador externo de:

$$T_{OSC\_EXT} = 21,4522ns$$

Esse período multiplicado por cinco, resulta em um novo período ( $T'_{OSC\_EXT}$ ) que será a entrada do contador de 8 bits para gerar o sinal triangular.

$$T'_{OSC\_EXT} = 107,2610ns$$

Esse período ( $T'_{OSC\_EXT}$ ) contado de zero a 255 gera na saída do bloco contador uma onda triangular em forma de dente de serra, que é exatamente o sinal triangular que será comparada com o sinal de controle do PIC.

$$T_{CH} = T'_{OSC\_EXT} \cdot 255 \quad (4.3)$$

$$T_{CH} \cong 33KHz$$

A figura 4.4 mostra a parte do programa que tem a função de divisor por cinco, em que “CLK” é o pino de entrada do *clock* externo e “Saida\_Cont” corresponde ao barramento de saída do contador de 8 bits.

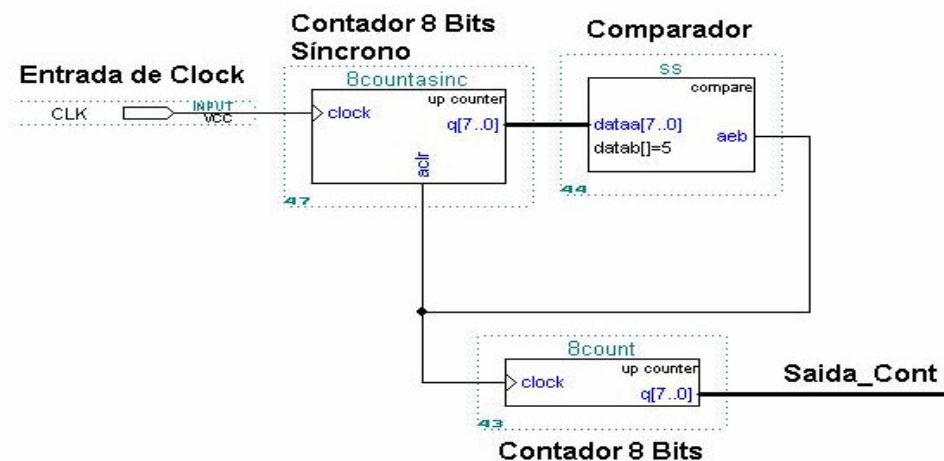


Fig.4.4 Circuito divisor por 5 do FPGA.

Note que no circuito da figura 4.4, a saída do comparador está ligada ao pino de *reset* do bloco do contador de 8 bits síncrono. Isso resulta no fato de que quando o contador síncrono for igual a cinco, o mesmo manda um pulso de comando que limpará o contador síncrono e ao mesmo tempo mandará um pulso para o contador

de 8 bits. O contador de 8 bits será automaticamente zerado quando a contagem chegar no valor 255, pois seu bloco de comando foi assim configurado.

A linha que sai do contador de 8 bits corresponde a um barramento de dados de 8 bits que entrará em um outro bloco de controle como mostra a figura 4.5.

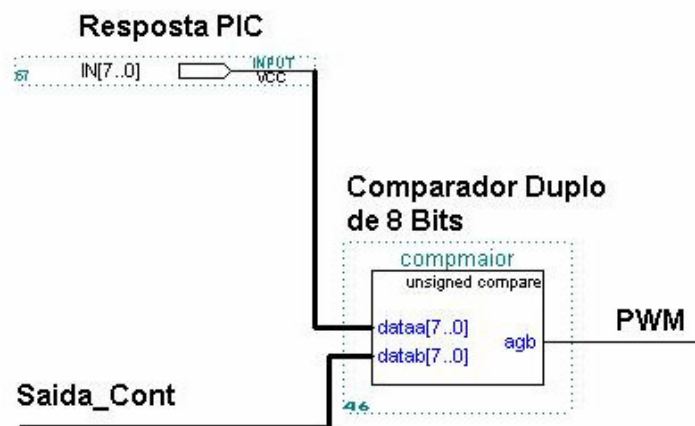


Fig.4.5 Circuito comparador da referência com o sinal de resposta do PIC.

A figura 4.5 mostra a parte do programa do FPGA que mostra o bloco de comparação entre o sinal triangular (*Saida\_Cont*) e o sinal de controle proveniente do PIC, resultando assim, no sinal PWM que será enviado para um bloco de circuitos lógicos que juntamente com o sinal de 60Hz gerado pelo bit de sincronismo do PIC determinarão a seqüência correta de chaveamento.

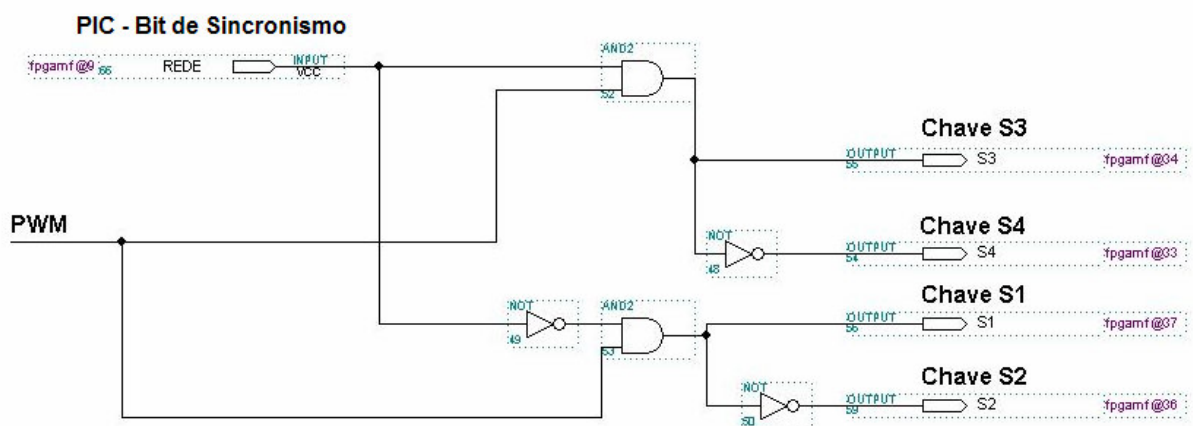


Fig.4.6 Circuito comparador da referência com o sinal de resposta do PIC.

O circuito mostrado na figura 4.6 é o responsável por determinar a seqüência de chaveamento para o inversor para uma modulação a três níveis. Note que o bit de sincronismo gerado pelo microcontrolador, juntamente com o sinal PWM gerado no FPGA são as entradas principais do bloco de controle das chaves. A tabela 4.1 mostra como deve se comportar o bloco lógico de controle das chaves.

Tabela.4. Estrutura de controle das chaves do inversor.

PWM	Bit de Sincronismo	S1	S2	S3	S4	Saída do Inversor
0	0	0	1	0	1	0
0	1	0	1	0	1	0
1	0	1	0	0	1	+Vcc
1	1	0	1	1	0	-Vcc

Os quatro sinais de comando das chaves provenientes do FPGA (S1, S2, S3 e S4) passam por um circuito *buffer* que elevará a tensão de 5V do FPGA para 15V por intermédio de um circuito integrado (74LS07) que é a tensão de trabalho das placas que realizarão o chaveamento dos IGBTs. Essas placas de chaveamento possuem toda a estrutura necessária ao gatilhamento dos interruptores, sendo isoladas e de fácil manuseio. A placa utilizada para o projeto foi a **SKHI20opa** da SEMIKRON.

#### 4.7 CIRCUITO *BUFFER* PARA GATILHO DOS IGBTs

Como já foi mencionado anteriormente a tensão de saída do FPGA é de 5V, o que não é suficiente para gatilhar os IGBTs. Para tal, foi desenvolvido um circuito de *buffer* responsável por receber o sinal de gatilho do FPGA e elevar essa tensão para 15V. Esta tensão se faz necessária por se tratar da tensão de trabalho para a placa SEMIKRON, responsável por gatilhar os IGBTs.

A figura 4.7 mostra o circuito de *buffer* implementado no projeto.

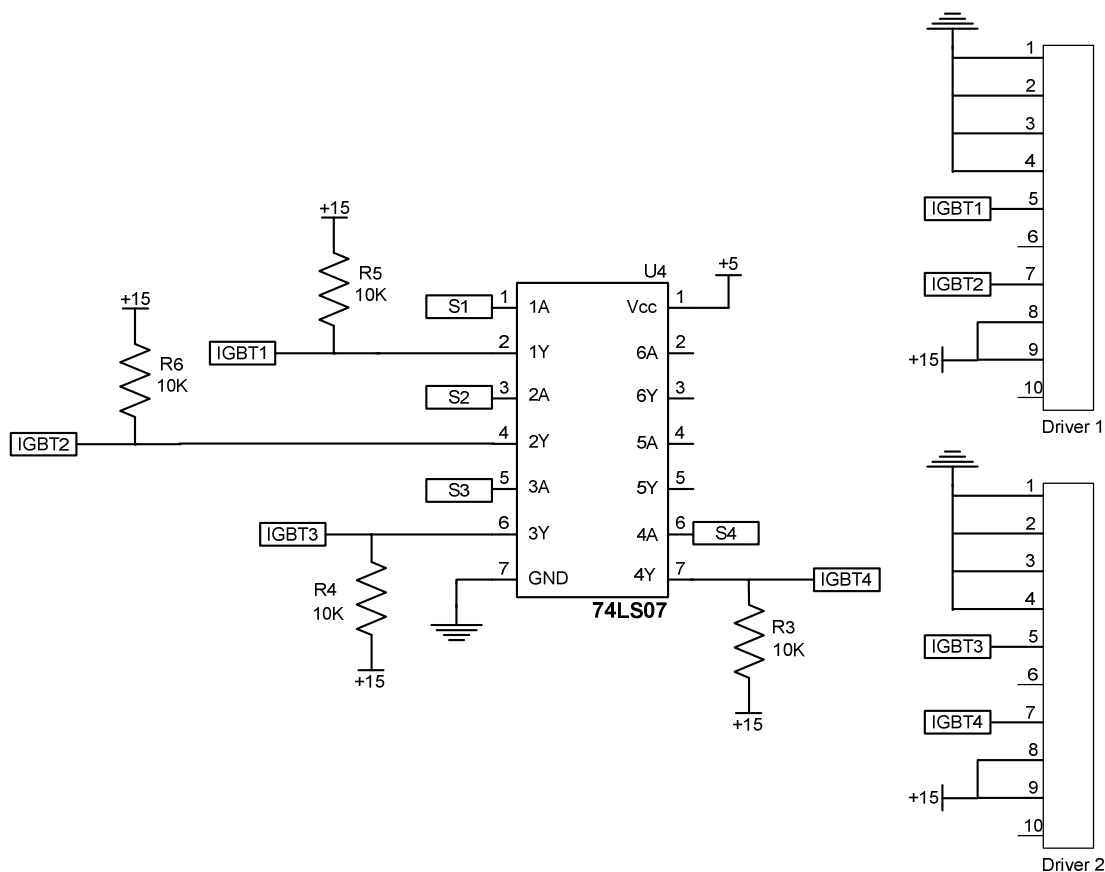


Fig.4.7 Circuito de buffer para gatilho dos IGBTs.

O circuito *buffer* mostrado na figura 4.7, é composto por um integrado 74LS07 e alguns resistores de *pull-up*. Os sinais de comando provenientes do FPGA entram nos pinos representados por S1, S2, S3 e S4 e vão para dois conectores que serão conectados à placa de chaveamento da SEMIKRON.

#### 4.8 CIRCUITO DO PIC/FPGA DA PLACA DE CONTROLE

No capítulo 3 foi descrito e mostrado o circuito de potência do inversor monofásico. Neste tópico será mostrado o circuito de controle e gatilho implementado no projeto.

A figura 4.8 mostra o circuito de controle baseados no PIC, no FPGA e nos demais componentes do projeto.

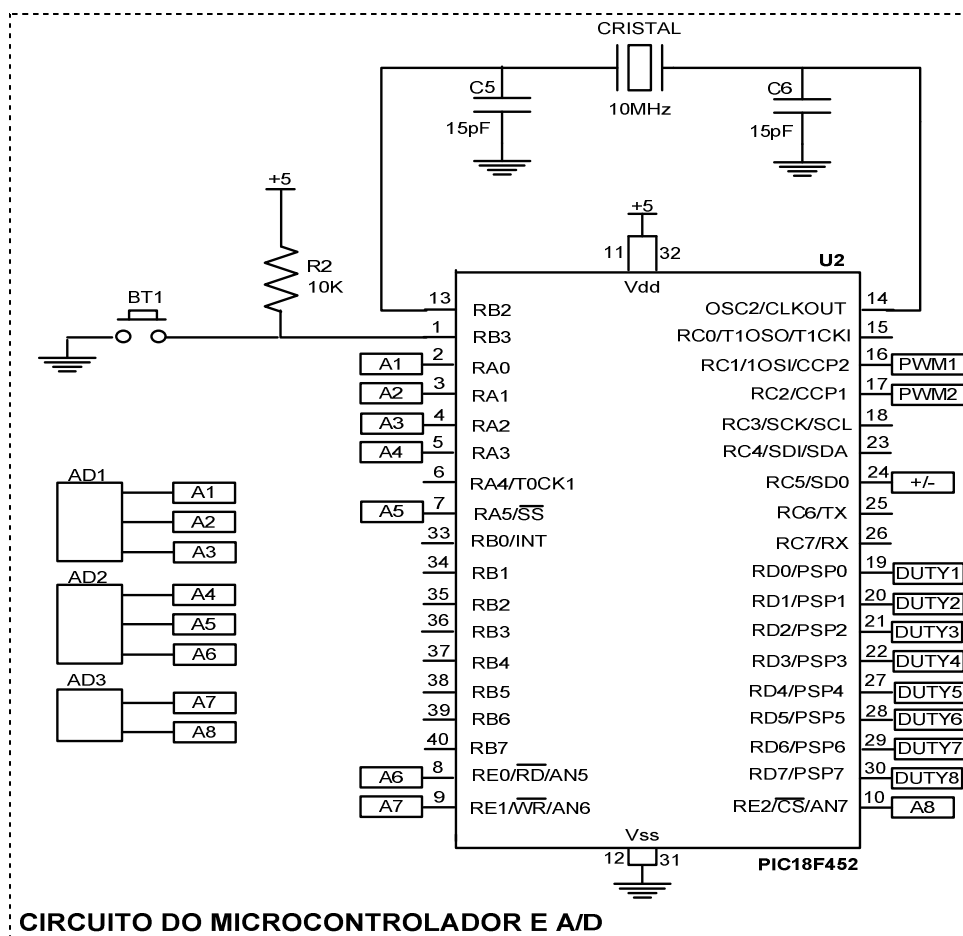
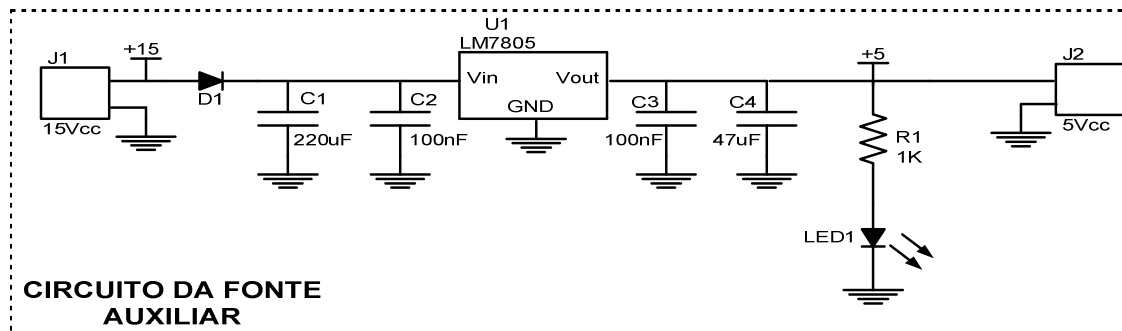


Fig.4.8a. Circuito da placa de controle digital.



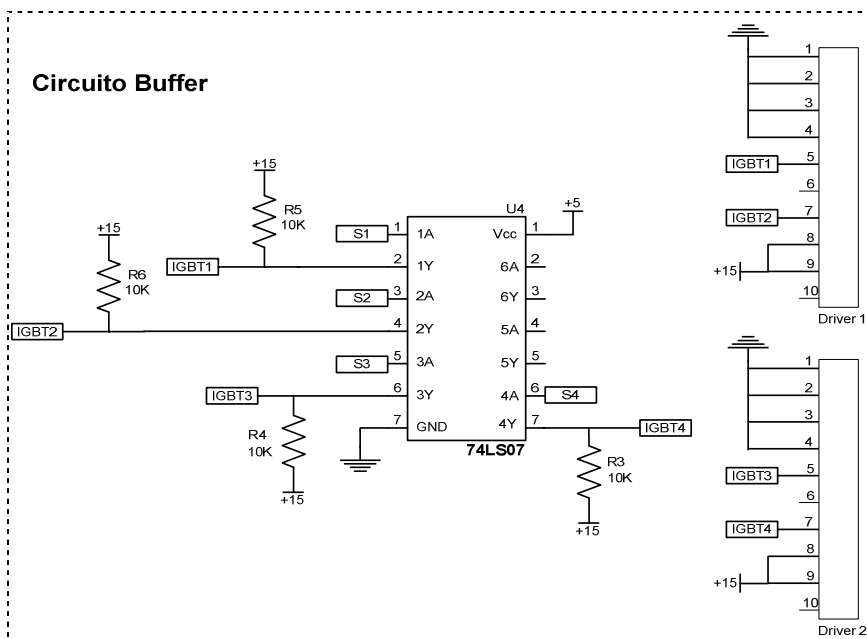
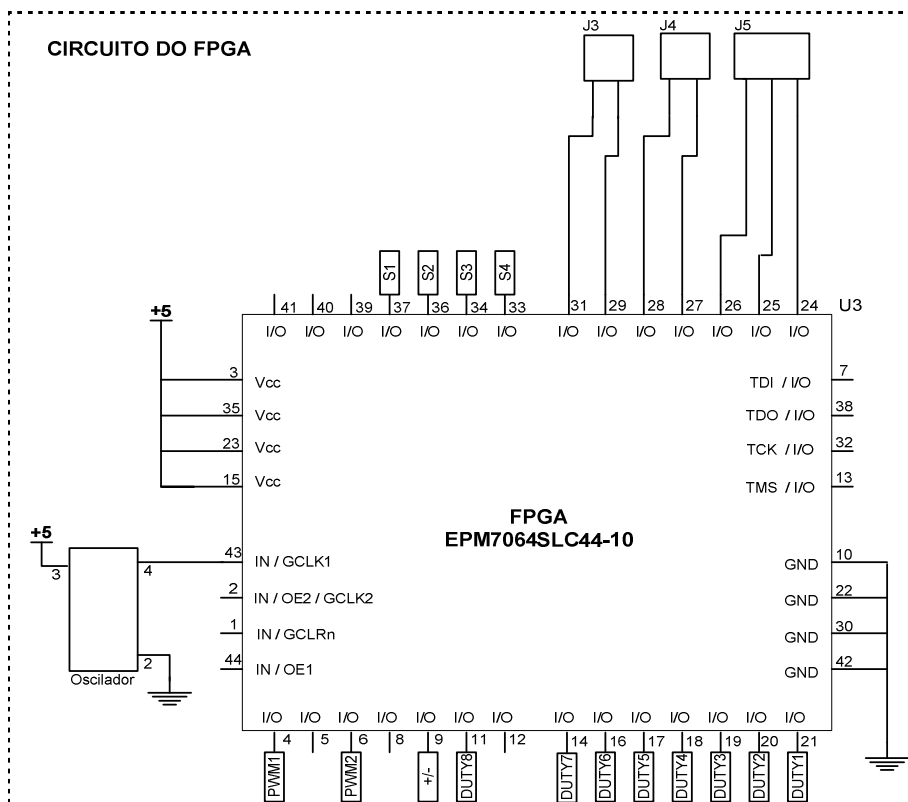


Fig.4.8b. Circuito da placa de controle digital.

Como mostrado na figura 4.8, o circuito de controle é formado por uma série de blocos, compostos por: uma fonte auxiliar que trabalha com os valores de tensão de 5V e 15V para polarizar os integrados; os circuitos *drivers*; o circuito do PIC, no qual podem ser vistas as entradas dos conversores A/Ds (A1 à A8), onde

somente o canal A1 está sendo usado para a leitura da amostra da tensão de saída do inversor; o circuito do FPGA que comporta as entradas dos 8 bits de controle provenientes do PIC (Duty1 à Duty8); o sinal do bit de sincronismo (+/-); a entrada do *clock* do oscilador externo (IN/GCLK1); as saídas de comando das chaves (S1 à S4).e o circuito *buffer* que serve para gerar a tensão de gatilho para a placa de chaveamento da SEMIKRON.

#### 4.9 CIRCUITO DE REALIMENTAÇÃO – LEM DE TENSÃO

O circuito de realimentação consiste basicamente de um sensor LEM de tensão, que necessita de um sistema de fontes simétricas auxiliares de +15Vcc e -15Vcc. É preciso que se tenha bastante cuidado quando for fazer a distribuição dos componentes do circuito, de forma que os capacitores e indutores de filtro estejam próximos aos terminais do LEM, já que este dispositivo é bastante susceptível a interferência eletromagnética (EMI).

A figura 4.9 mostra esquemático do circuito montado no protótipo de laboratório.

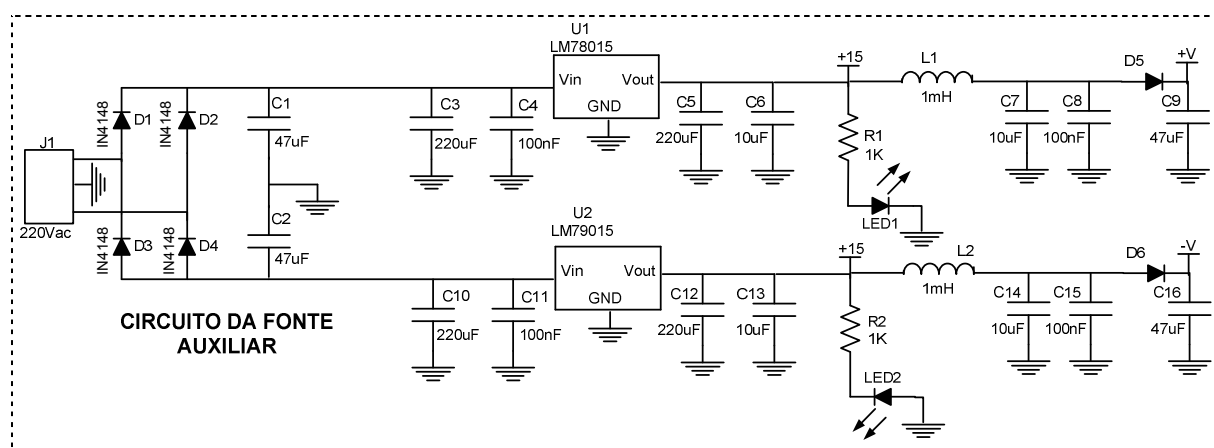


Fig.4.9a Circuito da placa do sensor de realimentação de tensão – LEM.

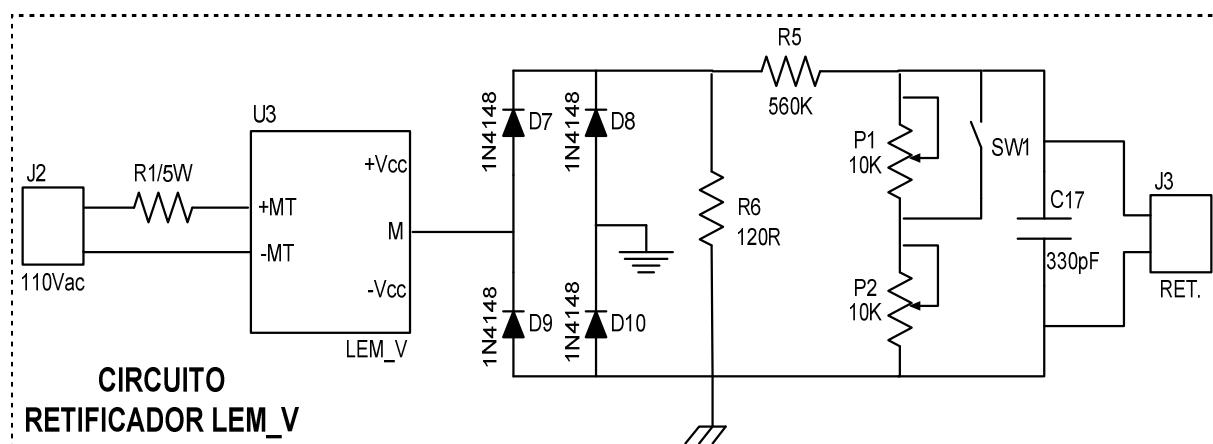


Fig.4.9b Circuito da placa do sensor de realimentação de tensão – LEM.

Como pode ser observado no circuito de realimentação, o elemento sensor responsável por isolar e converter o valor da tensão de saída do inversor de 110V para 1,9V correspondente ao índice de modulação calculado anteriormente, é um transdutor de tensão LV 20-P. Este dispositivo tem como características principais possuir uma corrente RMS máxima no terminal primário de 10mA e suportar tensões de entrada de até 500V [29].

O valor da resistência de entrada do LEM ( $R1$ ) a ser usada para adquirir uma corrente de 10mA no primário do LEM é calculada pela equação (4.4) [29].

$$R1 = \frac{V_{entrada}}{10 \cdot 10^{-3}} \quad (4.4)$$

$$R1 = \frac{156}{10 \cdot 10^{-3}}$$

$$R1 = 15,6K\Omega$$

Entretanto, no protótipo montado foram colocadas duas resistências de  $33K\Omega/5W$  em paralelo.

O valor de  $R6$  é colocado de acordo com o *datasheet* do componente que vai de  $100\Omega$  à  $350\Omega$  [29]. O valor colocado foi  $R6 = 120\Omega$ .

O resistor  $R_5$  e os potenciômetros P1 e P2 compõem o divisor resistivo para ajustar o sinal de amostra a ser lido. Note que o potenciômetro P1 pode ser jameado por meio de uma chave, sendo colocado no circuito somente por ter uma faixa de ajuste maior.

Admitindo uma resistência  $R_5 = 560K\Omega$ , partimos para o cálculo do valor da resistência do potenciômetro P2. Sabendo que o índice de modulação calculado diz que a tensão máxima no divisor resistivo deve ser de 1,9V, usando a fórmula do divisor resistivo temos:

$$V_{P_2} = \frac{(V_0 \cdot \sqrt{2}) \cdot R_x}{R_5 + R_x} \quad (4.5)$$

Em que  $V_{P_2}$  é a tensão sobre ambos os potenciômetros do divisor resistivo,  $R_5$  é um valor já estipulado e  $R_x$  é o valor da resistência que se deseja encontrar para ajustar os potenciômetros. Neste caso faz-se:

$$1,9 = \frac{156 \cdot R_x}{560K + R_x}$$

$$R_x = 6,9K\Omega$$

Por fim colocou-se um capacitor de baixo valor na saída do circuito de realimentação com o objetivo de filtrar pequenos ruídos provenientes do sistema, o que mostrou-se bastante satisfatório, uma vez que se eliminou grande parte do ruído no sinal de saída.

#### 4.10 DETERMINAÇÃO DA FUNÇÃO DE TRANSFERÊNCIA DO INVERSOR

Para que seja feita toda a estratégia de controle do inversor monofásico, é preciso que a função de transferência da planta ( $G_p$ ) seja determinada. Para tal,

temos como base a forma de onda da tensão de saída do inversor a três níveis antes do filtro LC mostrada na figura 4.10.

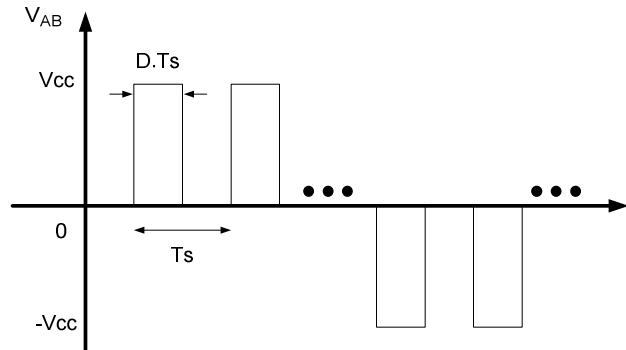


Fig.4.10 Forma de onda da tensão de saída do inversor antes do filtro LC.

Calculando-se o valor médio da tensão entrada do filtro LC em um período de comutação através da equação (4.6), temos:

$$V_{MD} = \frac{1}{T_s} \cdot \int_0^{D \cdot T_s} V_{IN} \cdot dt \quad (4.6)$$

$$V_{MD} = V_{IN} \cdot D$$

Em que  $V_{IN}$  é a tensão de entrada do inversor e  $D$  a razão cíclica.

Durante o período de comutação, o inversor tem sua estrutura baseada no modelo da figura 4.11.

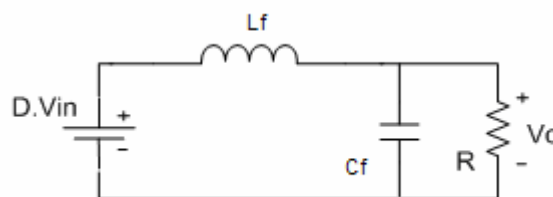


Fig.4.11 Circuito do inversor durante um período de comutação.

Perturbando a tensão média de entrada do filtro LC ( $V_{MD}$ ) e a razão cíclica ( $D$ ) chegamos na seguinte equação:

$$V_{MD} + \Delta V_{MD} = (D + \Delta D) \cdot V_{IN} \quad (4.7)$$

$$\partial \Delta V_{MD} = V_{IN} \cdot \partial \Delta D$$

$$\hat{v}_{MD} = V_{IN} \cdot \hat{d}$$

Inserindo a perturbação no circuito do inversor temos a seguinte representação.

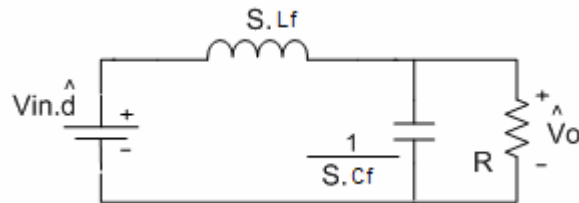


Fig.4.12 Circuito do inversor com razão cíclica e tensão de saída perturbadas.

Uma vez que se pretende projetar um controle por malha de tensão, a função de transferência da planta é a razão entre a tensão de saída do inversor perturbada ( $\hat{V}_0$ ) e a razão cíclica também perturbada ( $\hat{d}$ ), ou seja:

$$G_p = \frac{\hat{V}_0}{\hat{d}} \quad (4.8)$$

Do paralelo entre a impedância do capacitor e a carga, temos uma impedância equivalente ( $Z$ ) de:

$$Z = \left( \frac{\left( \frac{1}{s.C_s} \right) \cdot R}{R + \left( \frac{1}{s.C_s} \right)} \right) = \left( \frac{\frac{R}{s.C_s}}{\frac{R.C_s \cdot s + 1}{s.C_s}} \right) \quad (4.9)$$

$$Z = \frac{R}{1 + R.C_s \cdot s}$$

Simplificando o circuito chega-se a seguinte representação:

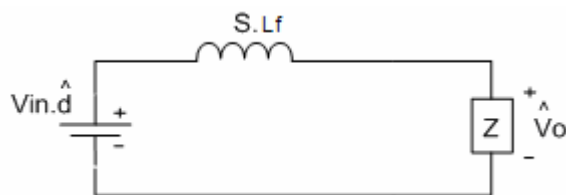


Fig.4.12 Circuito simplificado do modelo de pequenos sinais.

Aplicando divisor de tensão no circuito da Fig.4.12, é encontrada a equação (4.10).

$$\hat{V}_0 = V_{IN} \cdot \hat{d} \cdot \left( \frac{Z}{Z + s \cdot L_f} \right) = V_{IN} \cdot \hat{d} \cdot \left( \frac{1}{1 + \frac{s \cdot L_f}{R} + s^2 \cdot L_f \cdot C_f} \right) \quad (4.10)$$

Em que concluímos:

$$G_p(s) = \frac{\hat{V}_0}{\hat{d}} = \frac{V_{IN}}{L_f \cdot C_f \cdot s^2 + \frac{L_f \cdot s}{R} + 1} \quad (4.11)$$

O diagrama de blocos do sistema é mostrado na figura 4.13.

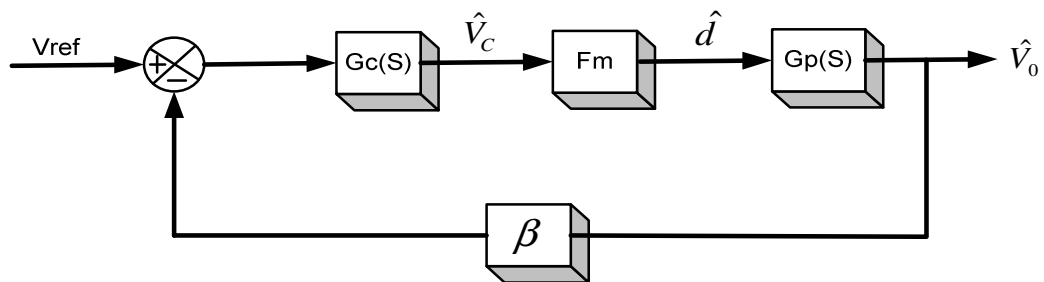


Fig.4.13 Diagrama de blocos do sistema.

$G_c(s)$  é a função de transferência do controlador que será mostrado nos tópicos seguintes,  $F_m$  é o ganho do modulador,  $G_p(s)$  é a função de transferência da planta e  $\beta$  o ganho de amostragem da tensão de saída.

O ganho do modulador ( $F_m$ ) é calculado através da equação (4.12).

$$F_m = \frac{1}{V_{TRI}} \quad (4.12)$$

$$F_m = 0,2$$

O ganho de amostragem ( $\beta$ ) é dado pela equação (4.13):

$$\beta = \frac{V_{REF}}{V_0 \cdot \sqrt{2}} \quad (4.13)$$

$$\beta = 0,013$$

O diagrama de blocos mostrado na figura 4.14 representa a malha do sistema para a determinação da função de transferência de malha fechada ( $F(s)$ ) e a função de transferência de laço aberto ( $FTLA$ ) que são essenciais para o projeto dos controladores.

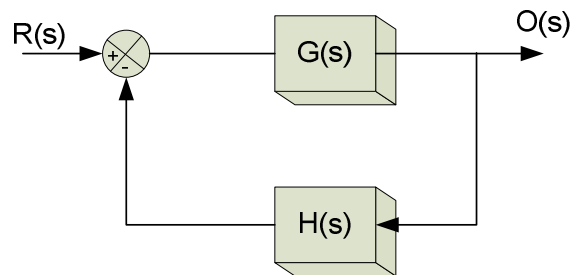


Fig.4.14 Diagrama de blocos para determinação de  $F(s)$  e  $FTLA$ .

No qual  $G(s)$  é a função de transferência de malha aberta e  $H(s)$  é a função de transferência do elemento de medida.

Tendo que [33]:

$$\frac{O(s)}{R(s)} = F(s) = \frac{G(s)}{1 + G(s).H(s)}$$

Para a análise de estabilidade, tem-se que:

$$1 + G(s).H(s) = 0$$

Chamada de equação característica.

Para a determinação da  $FTLA$  sem o controlador segundo [33], tem-se que:

$$FTLA = G(s).H(s)$$

Resultando em:

$$FTLA = Fm.G_p(s).\beta = \frac{V_{IN}.\beta.Fm}{L_S.C_S.s^2 + \frac{L_S.s}{R} + 1} \quad (4.14)$$

Substituindo os valores do inversor projetado na função de transferência da equação (4.14) tem-se:



$$FTLA = \frac{1,04}{7,5 \cdot 10^{-9} \cdot s^2 + 61,7 \cdot 10^{-6} s + 1} \quad (4.15)$$

O diagrama de bode da função de transferência FTLA é mostrado na figura 4.14.

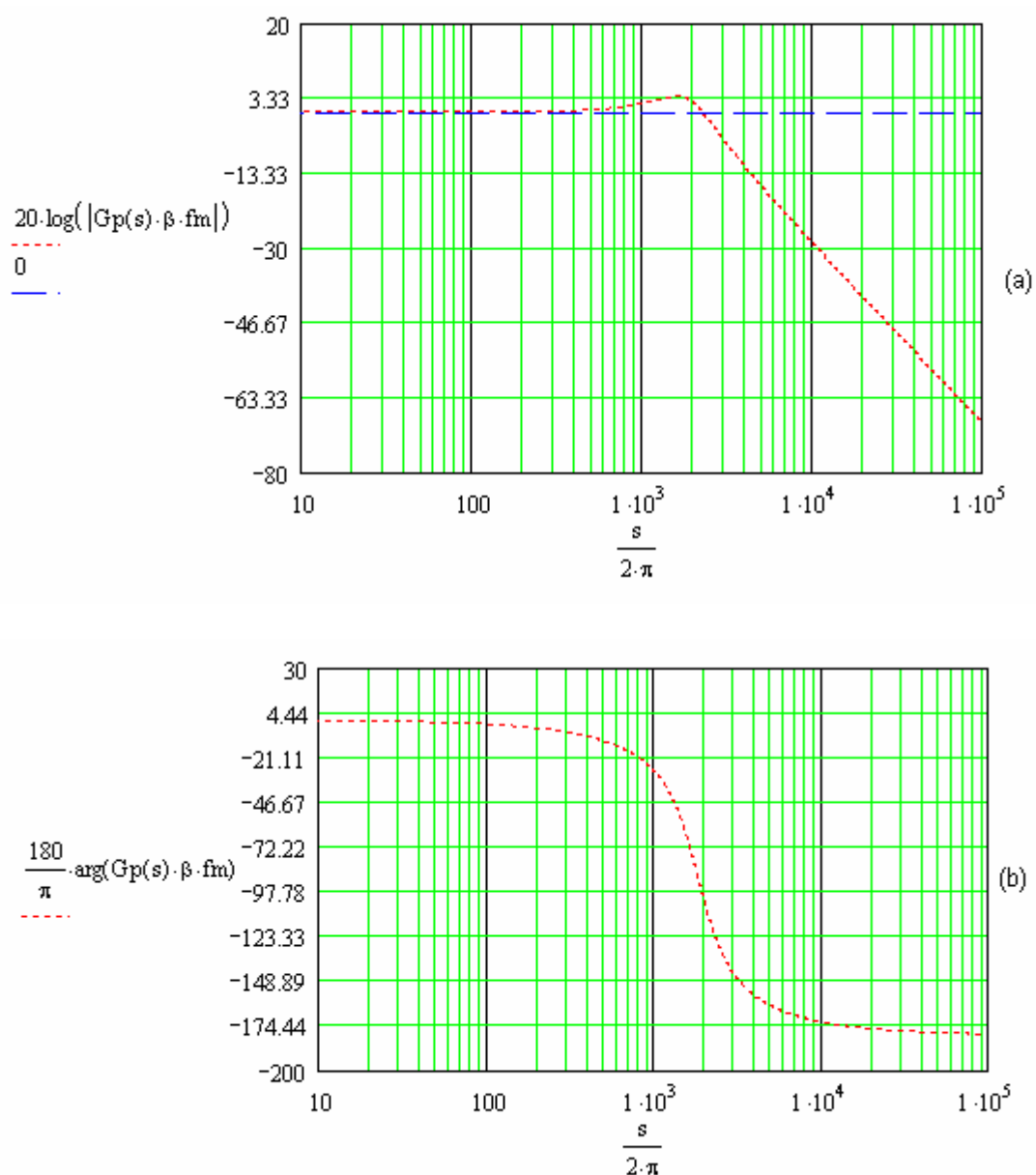


Fig.4.15 Diagrama de Bode de FTLA : (a) ganho, (b) fase.

A função de transferência definida na equação (4.15) será a base do projeto de todos os controladores descritos a seguir.

## 4.11 PROJETO DOS CONTROLADORES DIGITAIS

Neste tópico serão apresentados seis tipos de controladores digitais usando duas técnicas de projetos diferentes. A primeira técnica mostrará o projeto de dois controladores (Proporcional Integral – PI e um Proporcional Integral Derivativo - PID) usando o método de Ziegler Nichols Modificado e os outros quatro controladores são um proporcional integral (PI), proporcional integral derivativo (PID), proporcional integral modificado (PI) e um proporcional integral derivativo modificado (PID) usando o critério de alocação de pólos.

### 4.11.1 Método de Ziegler-Nichols Modificado

Este método de determinação de parâmetros de controladores foi proposto por Ziegler e Nichols e tem como característica a determinação das constantes dos controladores P, PI e PID.

O método de Ziegler-Nichols modificado tem como característica a determinação dos parâmetros dos controladores através da interpretação do diagrama de Nyquist da função de transferência de malha aberta da planta a ser controlada.

Segundo a teoria proposta por [14] para o uso do método, faz-se necessário gerar o diagrama de Nyquist da função de transferência de malha aberta do sistema. Em seguida escolhe-se um ponto qualquer do diagrama de Nyquist gerado. A determinação dos parâmetros do controlador é feita movendo o ponto escolhido para um outro ponto dentro do diagrama de Nyquist.

A figura 4.16 mostra como se comporta o diagrama de Nyquist do controlador e a respectiva resposta ao degrau para o sistema em malha fechada.

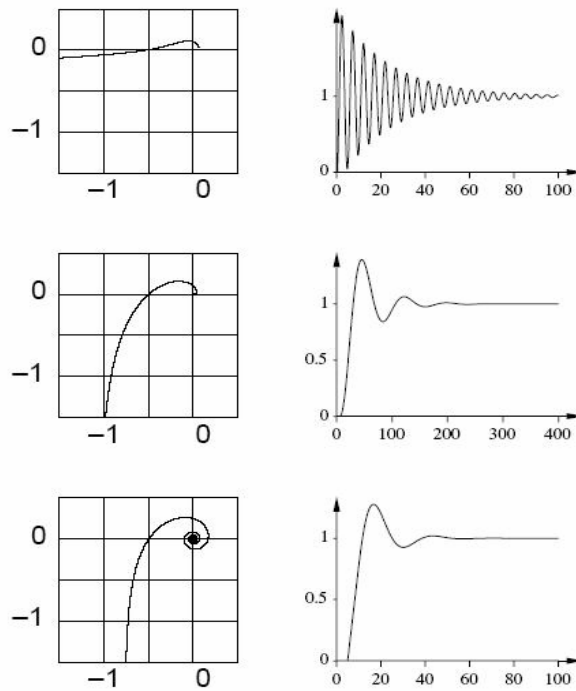


Fig.4.16 Diagrama Nyquist e resposta ao degrau em malha fechada.

Observe que conforme se altera o diagrama do controlador deslocando-se o ponto para próximos do eixo, tem-se uma alteração na resposta do sistema, tornando este mais oscilatório ou não.

A figura 4.17 mostra como se comporta o sistema dependendo de onde se deseja alocar o ponto.

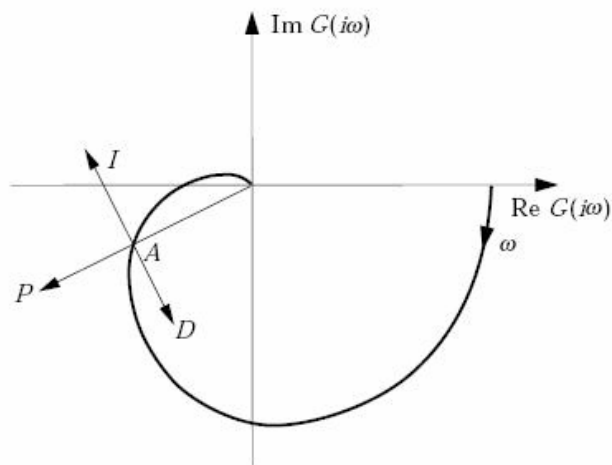


Fig.4.17 Comportamento do diagrama Nyquist no sistema.

Como pode ser observado, pode-se alterar as parcelas proporcional (P), integral (I) e derivativa (D) de acordo com o que mostra a figura 4.17.

O método propõe que se escolha um ponto A no diagrama de Nyquist obedecendo o seguinte formato:

$$A = r_a \cdot e^{i(\pi + \Phi_a)} \quad (4.16)$$

No qual  $r_a$  é a parte real do ponto escolhido, e  $\Phi_a$  é o ângulo formado entre o eixo real ( $R_e G(i\omega)$ ) e o ponto A.

O controlador é determinado deslocando o ponto A para um ponto B.

$$B = r_b \cdot e^{i(\pi + \Phi_b)} \quad (4.17)$$

A resposta em frequência do controlador é obtida por:

$$r_c = \frac{r_b}{r_a} \quad (4.18)$$

$$\Phi_c = \Phi_b - \Phi_a \quad (4.19)$$

Ou seja :

$$G_c(i\omega_0) = r_c \cdot e^{i\Phi_c} \quad (4.20)$$

$G_c(i\omega_0)$  é a resposta em frequência do controlador.

Para um controlador PI ,segundo [14], tem-se que:

$$K_p = \frac{r_b \cdot \cos(\Phi_b - \Phi_a)}{r_a} \quad (4.21)$$

$$T_i = \frac{1}{\omega \cdot \tan(\Phi_a - \Phi_b)} \quad (4.22)$$

Com  $\Phi_a > \Phi_b$  para que  $T_i$  seja positivo.

Para um controlador PID, o termo proporcional  $K_p$  se mantém o mesmo da equação (4.21), entretanto o termo integrador ( $T_i$ ) sofre uma modificação em sua equação e o termo derivativo ( $T_d$ ) é acrescentado.

$$w.T_d - \frac{1}{w.T_i} = \tan(\Phi_b - \Phi_a)$$

Ou seja:

$$T_d = \alpha.T_i \quad (4.23)$$

$\alpha$  é uma constante, e segundo as regras de Ziegler-Nichols é definida com  $\alpha = 0,25$ . Então, segundo [14] para um controlador PID, as constantes do sistema podem ser calculadas por:

$$K_p = \frac{r_b \cdot \cos(\Phi_b - \Phi_a)}{r_a} \quad (4.24)$$

$$T_d = 0,25.T_i \quad (4.25)$$

$$T_i = \frac{1}{2.\alpha.w} \cdot \left( \tan(\Phi_b - \Phi_a) + \sqrt{4.\alpha + \tan^2(\Phi_b - \Phi_a)} \right) \quad (4.26)$$

#### 4.11.1.1 Projeto do Controlador PI

Para o projeto do controlador PI usando o método de Ziegler-Nichols modificado, faz-se necessário primeiro gerar o diagrama de Nyquist da planta, como mostra a figura 4.18.

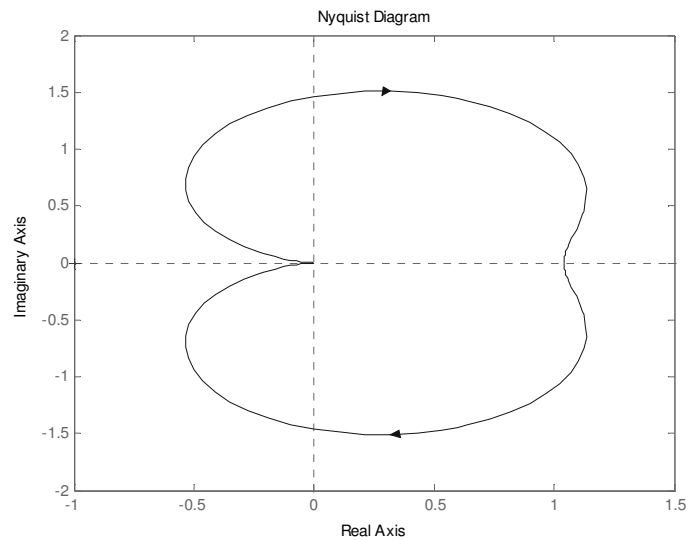


Fig.4.18 Diagrama de Nyquist da planta em malha aberta  $G_p(s)$ .

Em seguida, escolhemos um ponto no terceiro quadrante do diagrama para a escolha do ponto “A”. A figura 4.19 mostra um *zoom* no diagrama de Nyquist para o terceiro quadrante.

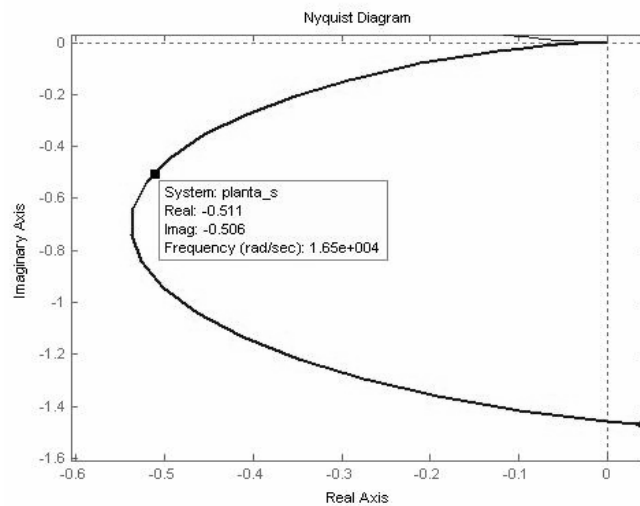


Fig.4.19 Zoom do diagrama de Nyquist da planta no terceiro quadrante.

O ponto “A” escolhido no diagrama de Nyquist para ser tomado como base para o projeto do controlador foi o ponto do pólo dominante do sistema. O pólo dominante é aquele que possui maior importância para a resposta transitória de um sistema. Segundo a teoria de controle, para que o sistema seja estável, é

preciso que os pólos dominantes estejam na parte negativa do eixo imaginário [32].

A figura 4.19 mostra as coordenadas do pólo dominante do sistema. Dessa forma temos a representação do ponto “A” como:

$$\text{Real}_a = -0,511$$

$$\text{Imag}_a = -0,506$$

$$w = 1,65 \cdot 10^4 \text{ rad / s}$$

Dessa forma temos que:

$$r_a = \sqrt{(\text{Real}_a)^2 + (\text{Imag}_a)^2} \quad (4.27)$$

$$r_a = 0,7191$$

Enquanto que o ângulo  $\Phi_a$  é calculado por:

$$\Phi_a = \arctang\left(\frac{\text{Imag}_a}{\text{Real}_a}\right) \quad (4.28)$$

$$\Phi_a = 0,7805$$

Então o ponto “A” tem o seguinte formato:

$$A = 0,7191 \cdot e^{i(\pi+0.7805)}$$

O ponto “B” escolhido para o controlador foi:

$$B = 0,5 \cdot e^{i(\pi+1.1345)}$$

Através do uso de ferramentas computacionais dedicadas ao estudo de controle e realimentação, foi possível simular a resposta ao degrau do sistema mudando as coordenadas do ponto “B” e observando qual é o melhor ponto para uma boa resposta.

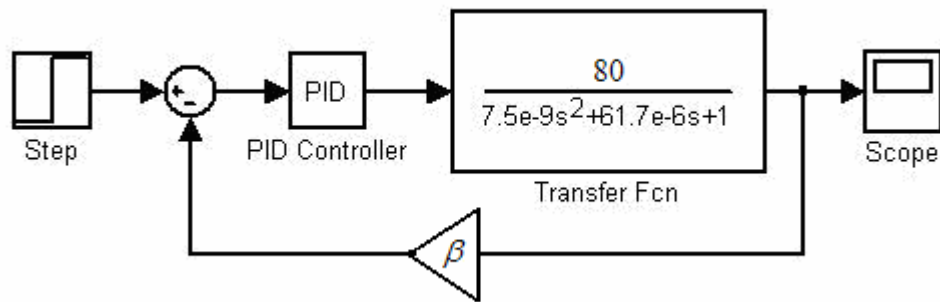


Fig.4.20 Diagrama de blocos do sistema.

A figura 4.20 mostra o diagrama de blocos do sistema para a resposta ao degrau usando o programa *Simulink*. Como pode ser observado, um degrau unitário é inserido no sistema e passa pelo bloco PID do controlador e em seguida passa pela função de transferência da planta. A resposta do sistema pode ser vista através do uso do *Scope*.

O controlador PID no domínio do tempo tem a seguinte equação [16]:

$$u(t) = K_p \cdot \left[ e(t) + \frac{1}{T_i} \int_0^t e(t) dt + T_s \cdot \frac{de(t)}{dt} \right] \quad (4.29)$$

Sendo,

$K_p$  = ganho proporcional.

$T_i$  = tempo integral.

$T_d$  = tempo derivativo.

$T_s$  = tempo de amostragem.

Para um tempo de amostragem pequeno, a equação (4.29) pode ser discretizada para a obtenção da equação à diferença correspondente. Para uma aproximação retangular obtém-se [16],

$$u(k) = K_p \left\{ e(k) + \frac{T_s}{T_i} \sum_{i=1}^k e(i-1) + \frac{T_d}{T_s} [e(k) - e(k-1)] \right\} \quad (4.30)$$

A equação (4.30) determina o algoritmo de controle digital tipo PID não recursivo, pois para determinar  $u(k)$  todos os valores passados de  $e(k)$  tem que ser



armazenados. Para a programação em processadores digitais, a forma recursiva é a mais adequada. Isto implica que o cálculo do controle num instante  $u(k)$  depende do valor anterior  $u(k-1)$  e outros termos corretores. Para obter essa forma faz-se [16]:

$$u(k-1) = K_p \left\{ e(k-1) + \frac{T_s}{T_i} \sum_{i=1}^{k-1} e(i-1) + \frac{T_d}{T_s} [e(k-1) - e(k-2)] \right\} \quad (4.31)$$

Subtraindo (4.30) de (4.31) obtém-se :

$$u(k) - u(k-1) = \left( K_p + K_p \cdot \frac{T_d}{T_s} \right) e(k) + \left( K_p \cdot \frac{T_s}{T_i} - 2K_p \frac{T_d}{T_s} - K_p \right) e(k-1) + K_p \cdot \frac{T_d}{T_s} e(k-2) \quad (4.32)$$

Ou seja:

$$u(k) = u(k-1) + q_0 \cdot e(k) + q_1 \cdot e(k-1) + q_2 \cdot e(k-2) \quad (4.33)$$

Em que os parâmetros  $q_0, q_1$  e  $q_2$  são constantes dadas por:

$$q_0 = K_p \cdot \left( 1 + \frac{T_d}{T_s} \right) \quad (4.34)$$

$$q_1 = -K_p \cdot \left( 1 + 2 \cdot \frac{T_d}{T_s} - \frac{T_s}{T_i} \right) \quad (4.35)$$

$$q_2 = K_p \cdot \frac{T_d}{T_s} \quad (4.36)$$

Para o projeto do controlador PI proposto, tendo em vista que os pontos “A” e “B” já foram selecionados, basta para tal calcular os valores das variáveis  $K_p$  e  $T_i$  conforme as equações (4.21) e (4.22). Dessa forma obtemos:

$$K_p = 0,6522$$

$$T_i = 1,64 \cdot 10^{-4}$$

Para um controlador PI o termo derivativo é zerado, de forma que ao se considerar a forma discretizada da equação do controlador mostrado na equação

(4.33) o termo  $q_2$  passa a ser inexistente e o cálculo de  $q_0$  e  $q_1$  tem o termo  $T_d = 0$  nas equações (4.34) e (4.35), resultando em:

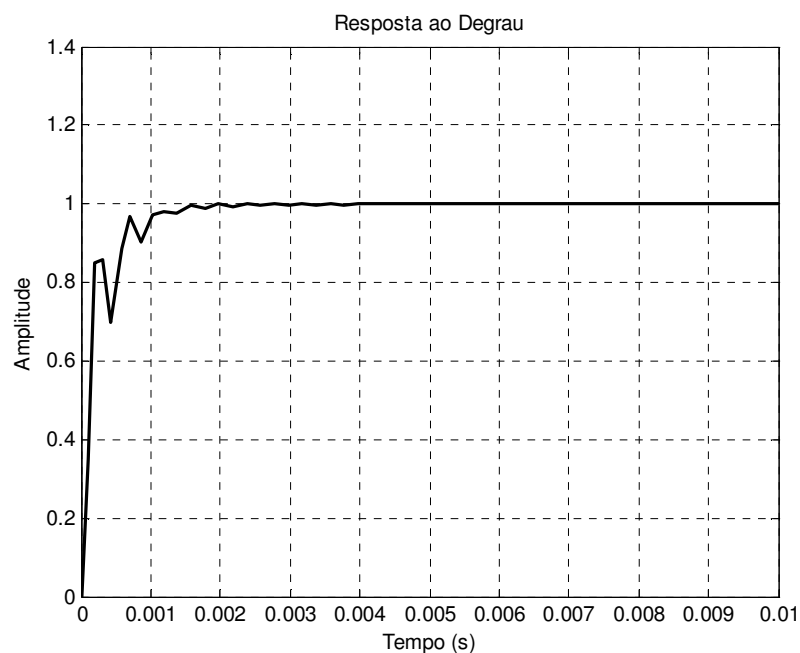
$$q_0 = 0,6522$$

$$q_1 = -0,1949$$

Dessa forma a equação do controlador PI projetada usando a técnica de Ziegler-Nichols modificado é:

$$u(k) = u(k-1) + 0,6522e(k) - 0,1949e(k-1) \quad (4.37)$$

A resposta ao degrau do controlador PI descrito acima pode ser vista na figura 4.20.



*Fig.4.21 Resposta ao degrau para o controlador PI.*

Como pode ser observado na figura 4.20, a resposta do controlador PI projetado chega na referência unitária de forma amortecida, e de acordo com resultados obtidos experimentalmente, constatou-se que sistemas mais amortecidos apresentam uma melhor resposta.

#### 4.11.1.2 Projeto do Controlador PID

O projeto do controlador PID usando o método de Ziegler-Nichols modificado é semelhante ao do controlador PI, entretanto, há um aumento do número de termos da resposta, uma vez que agora a parcela derivativa será diferente de zero ( $T_d \neq 0$ ).

Os pontos escolhidos para o projeto do controlador PID também permanecem os mesmos do controlador PI, uma vez que o pólo dominante do sistema continua o mesmo.

De posse das equações (4.24), (4.25) e (4.26) calculamos os três termos característicos de controladores PID ( $K_p$ ,  $T_i$  e  $T_d$ ).

$$K_p = 0,6674$$

$$T_d = 4,042 \cdot 10^{-5}$$

$$T_i = 1,6168 \cdot 10^{-4}$$

Substituindo esses valores em (4.34), (4.35) e (4.36), temos:

$$q_0 = 0,902$$

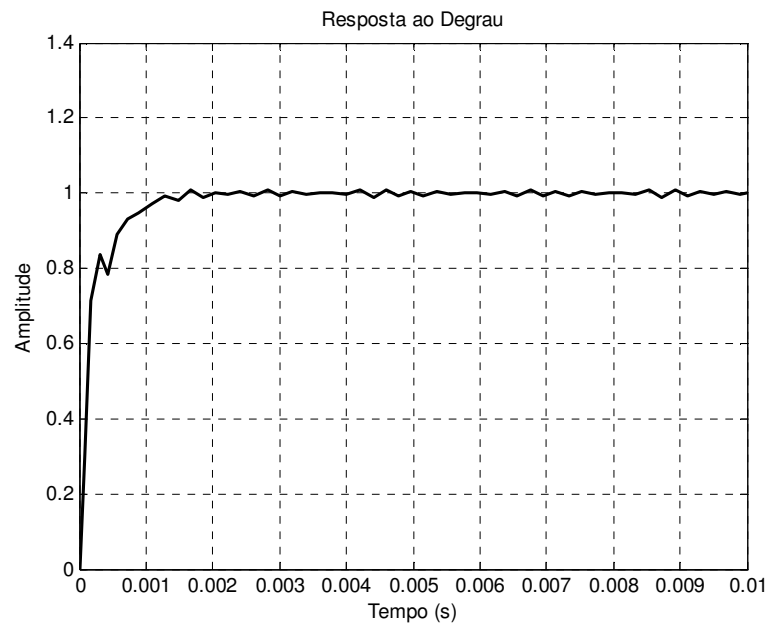
$$q_1 = -0,6618$$

$$q_2 = 0,2346$$

Dessa forma substituindo as constantes calculadas acima em (4.33) obtemos a seguinte equação para o controlador PID:

$$u(k) = u(k-1) + 0,902e(k) - 0,6618e(k-1) + 0,2346e(k-2) \quad (4.38)$$

A figura 4.21 mostra a resposta do sistema a um degrau unitário para um controlador PID.



*Fig.4.22 Resposta ao degrau para o controlador PID.*

Pode-se constatar que o sistema atinge a estabilidade de forma amortecida para a resposta ao degrau. Será mostrado no capítulo posterior que os dois controladores projetados respondem de forma rápida e precisa à referência, mostrando que essa técnica de projeto de controladores é bastante simples e fácil de ser implementada.

#### **4.11.2 Método de Alocação de Pólos**

O método de alocação de pólos é similar ao método do lugar das raízes no qual alocamos os pólos dominantes do sistema em posições desejadas. Neste projeto alocamos todos os pólos em locais estratégicos.

O projeto de controladores usando o método de alocação de pólos objetiva utilizar uma lógica de controle que estabilize um sistema, a princípio instável. Assim é possível deslocar os pólos da matriz de transferência da parte positiva do eixo real para a parte negativa, estabilizando assim o sistema [33].

O primeiro passo para se projetar o controlador de algum sistema deve ser a escolha da localização dos pólos desejados. O uso da técnica do lugar das raízes é

comumente usada para a determinação desses pólos. A técnica consiste em alocar um par de pólos dominantes e escolher os outros pólos de modo que eles fiquem bem distantes, à esquerda dos pólos dominantes de malha fechada [33].

O projeto de controladores digitais consiste em se encontrar os coeficientes da equação a diferença que representa o compensador digital. A forma mais utilizada para se projetar controladores digitais é a discretizada, sendo que para isso deve-se converter a planta do plano  $s$  para o plano discreto  $z$ .

O projeto pelo lugar das raízes no domínio  $z$  deve ser realizado com a planta e o controlador também no domínio  $z$ . O uso de ferramentas computacionais tipo MATLAB dão uma grande comodidade e facilidade durante o desenvolvimento dos projetos.

Para se fazer o projeto pelo lugar das raízes pode-se seguir o seguinte procedimento:

- 1- Determinar a função de transferência da planta em  $s$ .
- 2- Obter a transformada  $z$  da função de transferência do inversor.
- 3- Determinar o tipo de compensador a ser usado (P, PI, PID).
- 4- Obter a transformada  $z$  da função de transferência do compensador utilizando o comando RLTOOL do MATLAB, que permite que os pólos e zeros do compensador sejam posicionados diretamente no domínio  $z$ .
- 5- Estabelecer os critérios de posicionamento dos pólos e zeros do compensador, determinar a frequência de cruzamento e a margem de fase da função de transferência de laço aberto (FTLA).
- 6- Observar a resposta ao degrau do sistema.
- 7- Converter a função do compensador projetada no plano  $z$  para a forma de equações de estado.

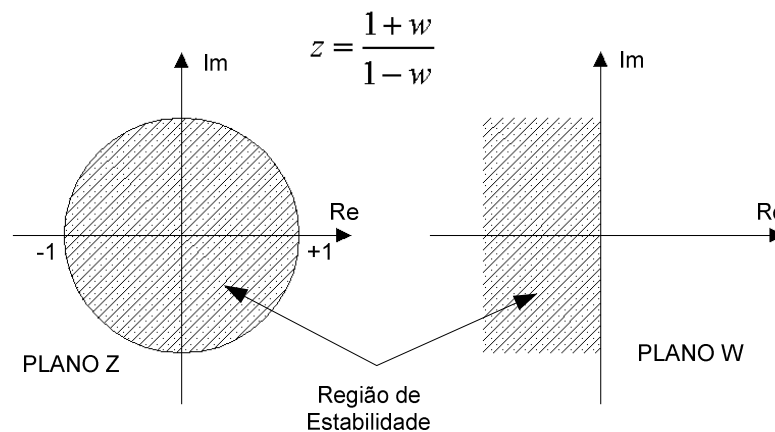
O método da resposta em frequência onde o ganho e a fase do sistema são determinados em função da frequência facilita o projeto de controladores digitais. O projeto de Bode desenvolvido no plano  $z$  é bastante complicado uma vez que as funções em  $Z$  são não racionais [6].

A transformação do plano  $z$  para um plano  $w$  faz com que o projeto discreto possa ser realizado usando o diagrama de Bode que são usados geralmente no plano  $S$  em sistemas contínuos.

A transformação do plano  $z$  para o plano  $w$  muda através da transformada bilinear, como mostra a equação a seguir.

$$z = \frac{1+w}{1-w} \text{ e } w = \frac{z-1}{z+1} \quad (4.39)$$

Através do uso desse artifício, transforma-se o círculo de raio unitário do plano  $Z$  em um semi-plano esquerdo do plano  $W$ .



*Fig.4.23 Transformação do plano Z no plano W.*

Conforme é visto na figura 4.23, a região dentro do círculo unitário do plano  $z$  corresponde à região em que o sistema é estável, este plano é então transformado no semi-plano esquerdo do plano  $w$ , onde o sistema também é estável. O plano  $w$  é bastante similar ao plano  $s$ , com exceção de que o plano  $w$  é descrito para

sistemas discretos. É importante frisar que a transformação de planos distorce em parte a resposta em frequência [6].

#### 4.11.2.1 Projeto do Controlador PI Convencional

Para o projeto do controlador PI convencional, foi usada a ferramenta “RLTOOL” do programa MATLAB, que oferece uma maior facilidade no projeto dos controladores.

O primeiro passo para o projeto desse controlador foi gerar a função de transferência da planta no MATLAB. O passo seguinte foi usar o comando RLTOOL para abrir a tela de trabalho da ferramenta, iniciando assim o desenvolvimento do projeto do controlador a partir do lugar das raízes fornecidos por esse comando. A figura 4.24 mostra o lugar das raízes da planta fornecida pela ferramenta em malha fechada.

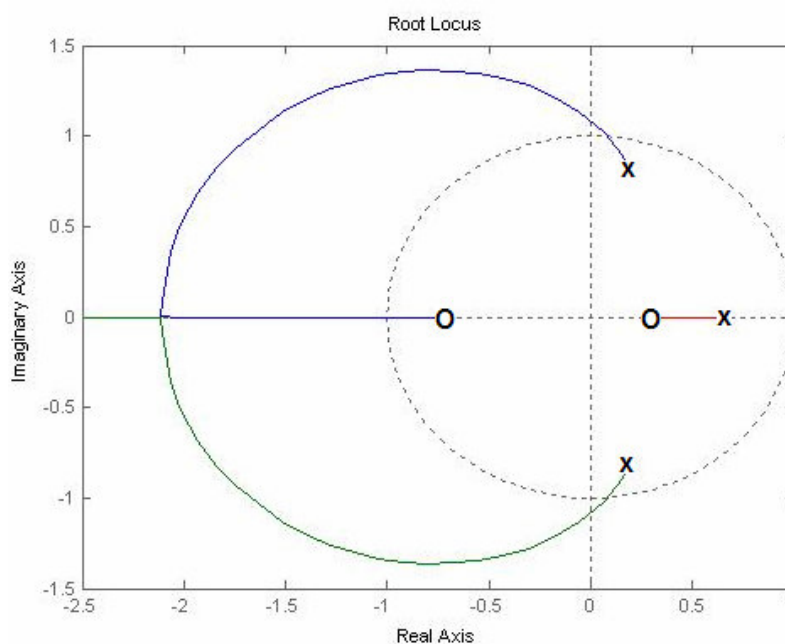
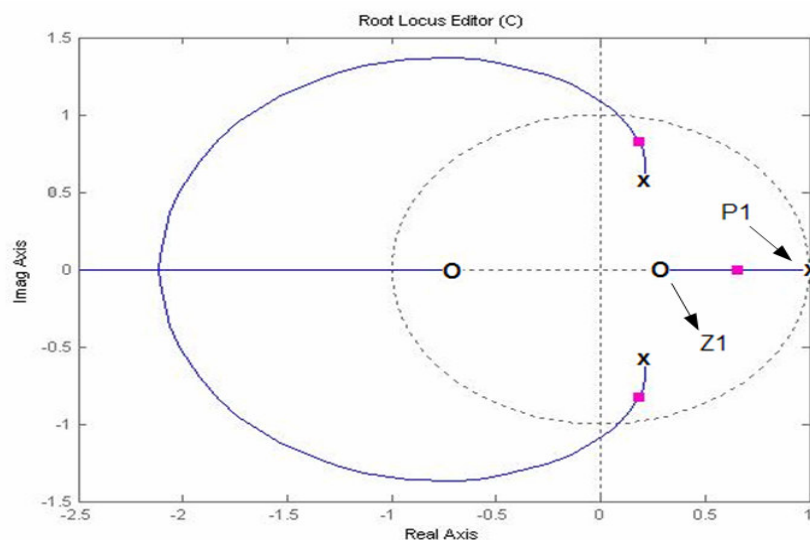


Fig.4.24 Lugar das raízes da planta.

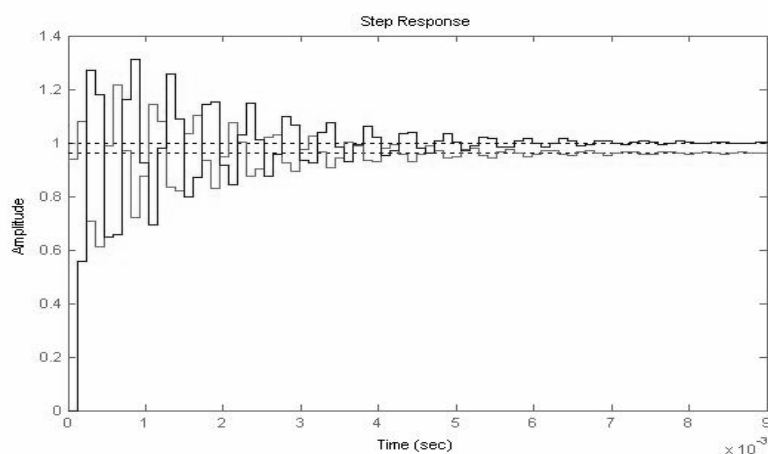
Através do uso desta ferramenta, pode-se observar o lugar dos pólos e zeros da planta, resultando em um zero no ponto  $-0,717$  e o par de pólos conjugados nos pontos  $0,202 \pm 0,589i$ .

Para o controlador PI, foi alocado um pólo real (P1) na origem do sistema (ponto 1 do eixo real) e um zero (Z1) em cima da parte real dos pólos da planta (ponto 0,202). A figura 4.25 ,mostra o detalhe da alocação destes pontos no sistema.



*Fig.4.25 Lugar das raízes com controlador PI.*

A resposta ao degrau do sistema varia de acordo com o deslocamento do ganho dentro do círculo de raio unitário. A medida que o ganho é movido para perto da fronteira do círculo unitário, a resposta ao degrau fica mais oscilatória como mostra a figura 4.26.



*Fig.4.26 Resposta ao degrau para um ponto próximo à fronteira do círculo unitário.*



Entretanto na prática, para uma melhor resposta do sistema, observou-se que uma resposta mais lenta e menos oscilatória resultava em uma performance melhor do inversor. Desta forma, alterando-se o ganho do sistema e ajustando a resposta ao degrau de forma mais lenta, chegou-se em uma função de transferência do controlador PI com a seguinte resposta ao degrau unitário.

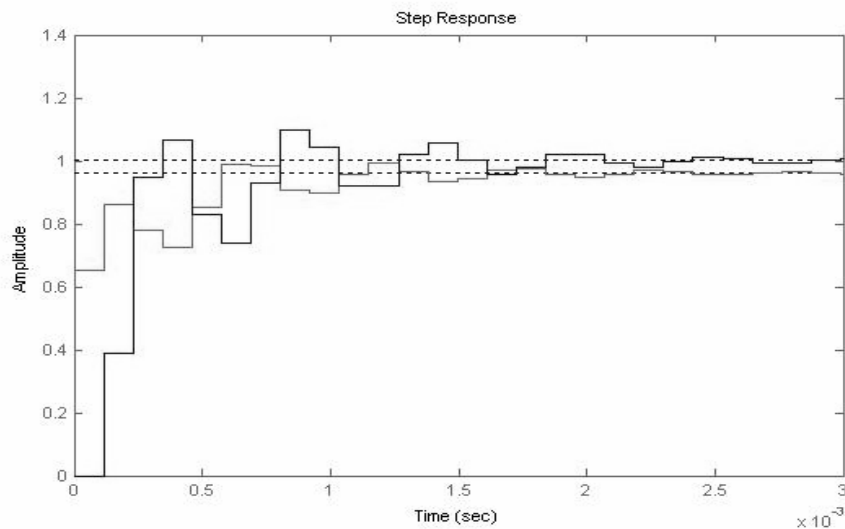


Fig.4.27 Resposta ao degrau do controlador PI.

Tendo a resposta ao degrau do processo, é possível ver a função de transferência do controlador PI projetada no próprio MATLAB, resultando em uma função em Z dada pela equação (4.40).

$$G_c(z) = \frac{U(z)}{e(z)} = \frac{0,65z - 0,19}{z - 1} \quad (4.40)$$

Onde  $G_c(z)$  é a função de transferência do controlador em Z,  $U(z)$  é a saída do controlador em Z e  $e(z)$  é o erro do sistema em Z.

Transformando a função de transferência do controlador na forma de equações de estado, chegamos à equação (4.41).

$$U(k) = U(k-1) + 0,65e(k) - 0,19e(k-1) \quad (4.41)$$

O resultado da implementação desta equação para o controle do inversor será mostrado no capítulo 5 junto com os resultados experimentais.

#### 4.11.2.2 Projeto do Controlador PI Modificado

Para o projeto do controlador PI modificado, segue-se basicamente os mesmos passos do projeto anterior, com exceção do fato de se adicionar mais um pólo no sistema. A adição desse pólo na função do controlador PI faz com que esse tenha uma maior estabilidade.

O critério de alocação dos pontos segue os mesmos passos do projeto anterior, sendo um pólo (P1) alocado na origem do sistema (ponto 1 do eixo real), um zero (Z1) na parte real próximo ao par de pólos da planta (ponto 0,255) e outro pólo (P2) alocado em duas vezes a frequência de corte do filtro de saída do inversor (ponto 0,13). A figura 4.28 mostra o diagrama de alocação destes pontos no sistema.

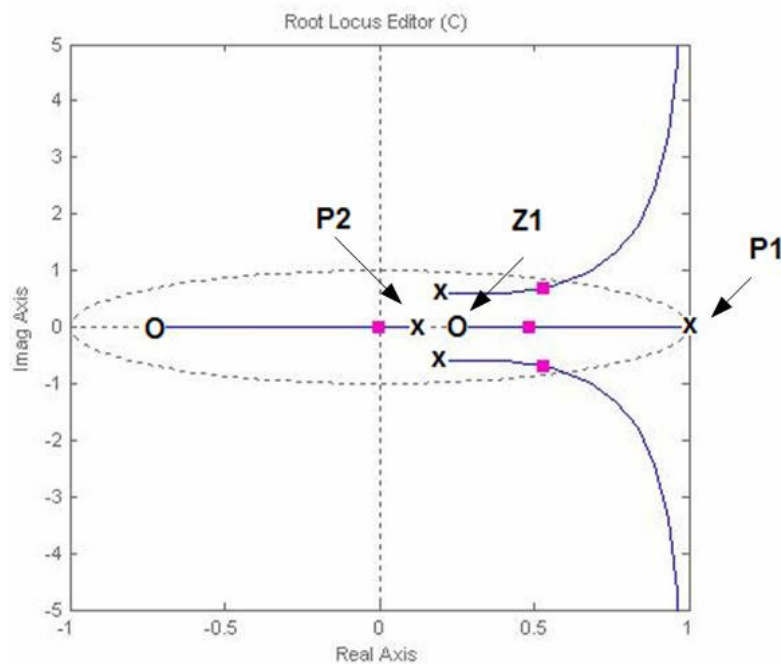


Fig.4.28 Lugar das raízes com controlador PI modificado.

Com os zeros e pólos alocados para o controlador proposto, o ajuste de ganho do sistema foi projetado de forma a se obter uma resposta mais lenta, pois observando os resultados experimentais que serão apresentados no próximo capítulo, chegou-se a conclusão de que respostas mais lentas e menos oscilatórias mostram uma melhor performance do inversor.

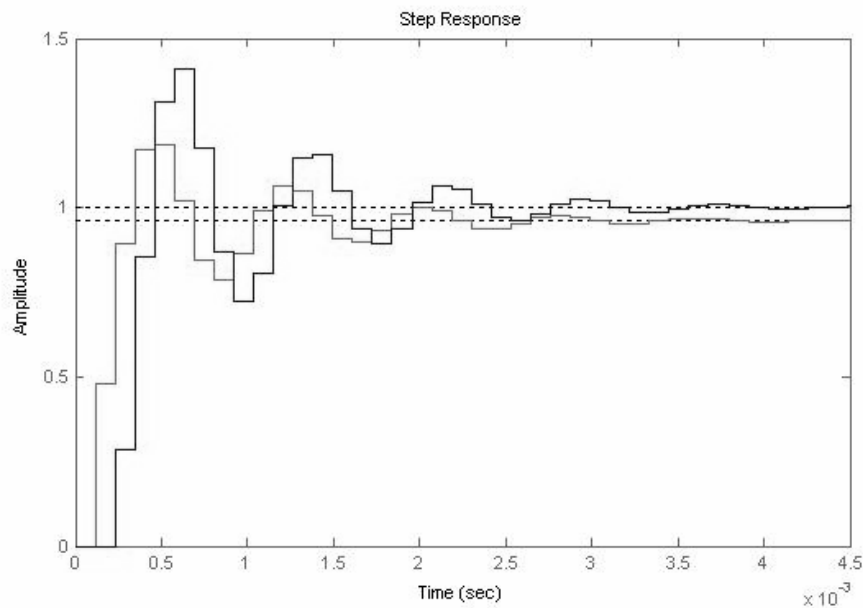


Fig.4.29 Resposta ao degrau do controlador PI modificado.

A função de transferência do controlador em Z é dada pela equação (4.42).

$$G_C(z) = \frac{0,47z - 0,12}{z^2 - 1,13z + 0,13} \quad (4.42)$$

Como pode ser observada na equação (4.42), adicionou-se mais um pólo no sistema para a implementação do controlador PI modificado. A conversão da equação (4.42) na forma de equação de estado tem como resultado a equação (4.43)

$$U(k) = 1,13U(k-1) - 0,13U(k-2) + 0,47e(k) - 0,12e(k-1) \quad (4.43)$$

Como pode ser visto, a adição de mais um pólo do sistema faz com que a resposta do controlador  $U(k)$  dependa agora também da entrada do sistema no instante duas vezes anterior.

#### 4.11.2.3 Projeto do Controlador PID Convencional

Neste tipo de controlador, a ação proporcional tende a seguir a referência, o modo integral é usado para eliminar o erro estacionário causados por grandes variações de cargas e o modo derivativo, com seu efeito estabilizador, permite um

aumento do ganho e reduz a tendência para as oscilações, o que conduz a uma velocidade de resposta superior quando comparados com P e PI.

Controladores PID são utilizados para sistemas de segunda ordem, cujas constantes de tempo são bastante distintas. Tendo em vista que a função de transferência do inversor proposto é de segunda ordem, este tipo de controlador se adequa perfeitamente a essa aplicação.

A função RLTOOL do MATLAB fornece um ambiente interativo de projeto de um controlador baseado no lugar das raízes, onde pode-se escolher a posição dos pólos de malha fechada e observar a simulação do sistema simultaneamente.

O controlador PID tem em sua estrutura básica um pólo e dois zeros. Para o desenvolvimento deste projeto foi alocado um pólo (P1) na origem (ponto 1 do eixo real), um zero (Z1) bem próximo a frequência de corte do filtro (ponto 0,3515) e outro zero (Z2) alocado na metade da frequência de corte do filtro de saída. A figura 4.30 mostra o lugar das raízes do sistema com os pólos e zeros alocados conforme descritos acima.

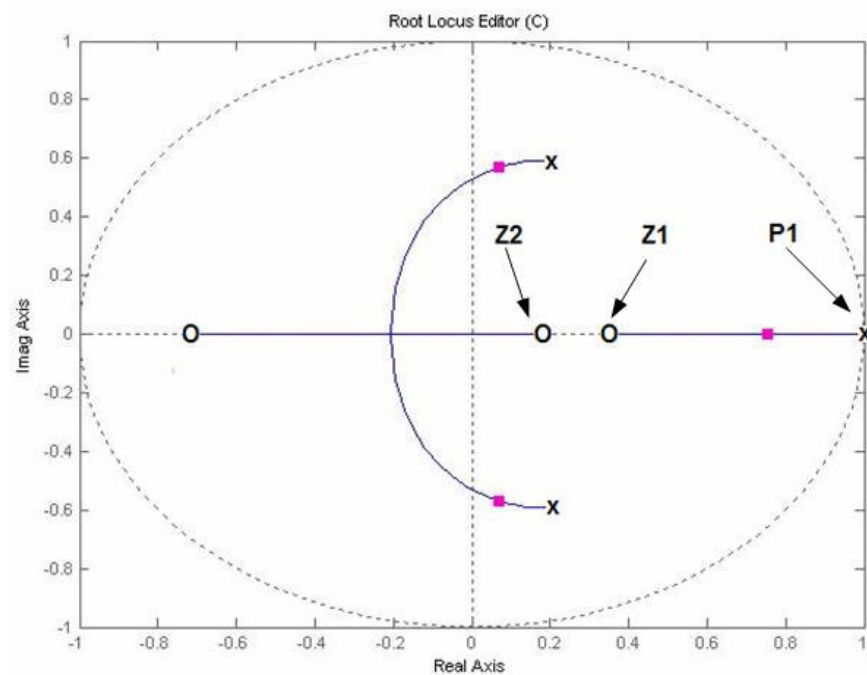


Fig.4.30 Lugar das raízes com controlador PID convencional.

A resposta ao degrau unitário pode ser vista na figura 4.31, onde pode ser notado que neste controlador a resposta foi mais amortecida que os outros dois casos mostrados anteriormente, entretanto o tempo de estabilização mostrou-se mais rápido e praticamente sem oscilações.

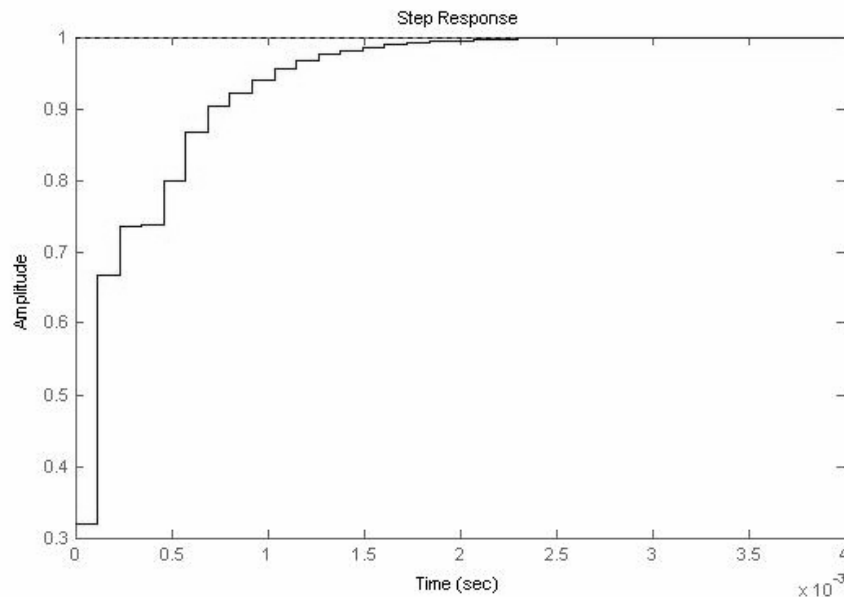


Fig.4.31 Resposta ao degrau do controlador PID convencional.

Pode ser constatado que para um controlador PID a oscilação observada nos controladores anteriormente descritos desaparece devido a parcela derivativa, que atua como um previsor de eventos, evitando assim outras oscilações.

A função de transferência do controlador PID convencional com os parâmetros descritos acima e com o uso da ferramenta computacional pode ser vista na equação (4.44).

$$G_c(z) = \frac{0,79z^2 - 0,42z + 0,05}{z - 1} \quad (4.44)$$

Convertendo a equação (4.44) no formato de equações de estado, tem-se:

$$U(k) = U(k-1) + 0,79e(k) - 0,42e(k-1) + 0,05e(k-2) \quad (4.45)$$

Como pode ser observado, há o acréscimo de mais um termo na resposta do controlador em comparação com os métodos propostos anteriormente. Isso se deve

pelo fato de se ter acrescentado o termo derivativo, ou seja, mais um zero no sistema, fazendo com que a resposta do controlador dependa agora também do erro no instante duas vezes anterior ( $e(k-2)$ ).

#### 4.11.2.4 Projeto do Controlador PID Modificado

O projeto do controlador PID modificado é bastante parecido com o projeto do PID convencional, entretanto, deve-se acrescentar mais um pólo ao sistema.

O acréscimo deste pólo resulta em um aumento no tamanho da resposta do controlador, entretanto, esse pólo faz com que a resposta do sistema se torne mais estável em altas frequências.

Para o projeto do PID modificado, alocou-se um pólo (P1) na origem do sistema (ponto 1 do eixo real) para se minimizar o erro em regime permanente, um zero (Z1) próximo a frequência de corte do filtro (ponto 0,27 do eixo real), outro zero (Z2) uma década abaixo da frequência de corte do filtro (ponto 0,12 do eixo real) e outro pólo (P2) próximo à frequência de corte do filtro de saída (ponto 0,2 do eixo real).

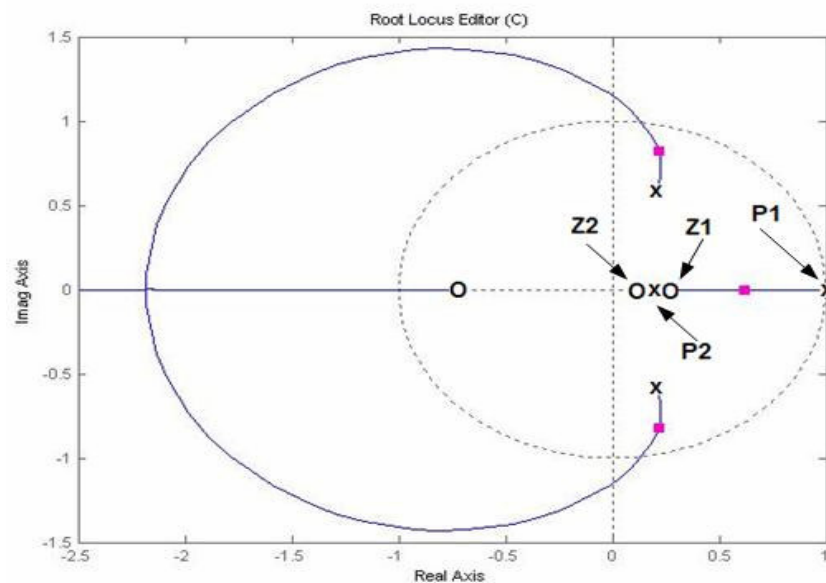
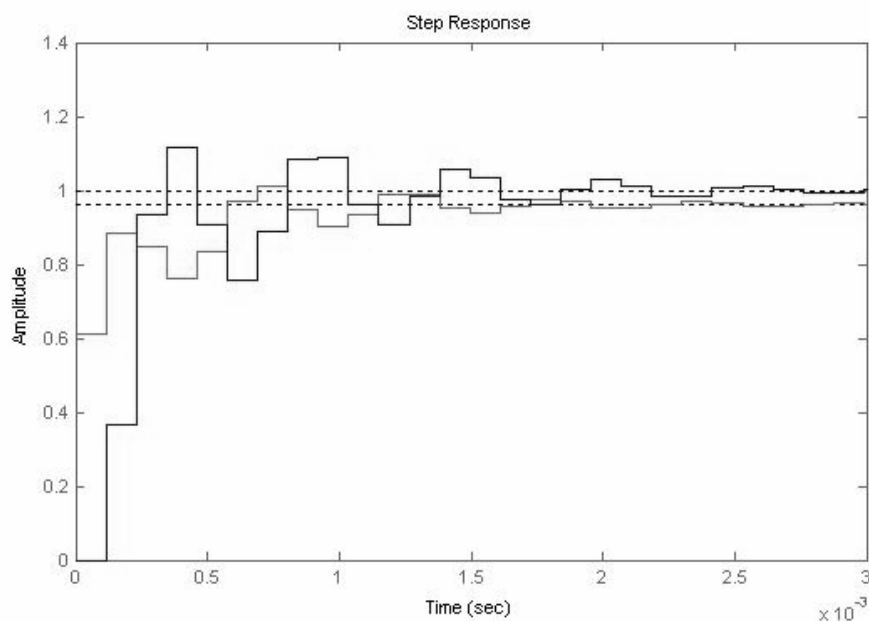


Fig.4.32 Lugar das raízes do PID modificado.

A resposta ao degrau deste controlador pode ser vista na figura 4.33.



*Fig.4.33 Resposta ao degrau do controlador PID modificado.*

A função de transferência do controlador PID modificado proposto teve como formato a seguinte estrutura:

$$G_C(z) = \frac{0,61z^2 - 0,24z + 0,02}{z^2 - 1,2z + 0,2} \quad (4.46)$$

Convertendo a equação (4.46) em equações de estado, chega-se a equação (4.47).

$$U(k) = 1,2U(k-1) - 0,2U(k-2) + 0,61e(k) - 0,24e(k-1) + 0,02e(k-2) \quad (4.47)$$

Nota-se que há um acréscimo no número de termos da resposta do controlador pelo fato de se ter acrescentado mais um pólo no sistema. Entretanto, o acréscimo deste pólo resultou em uma melhor estabilidade do sistema para altas freqüências.

#### 4.12 CONSIDERAÇÕES FINAIS

Neste capítulo foi mostrado o desenvolvimento do projeto digital para controle do inversor de tensão monofásico. Foi descrito e explicado todo o *hardware* desenvolvido, bem como toda a estratégia de controle do microcontrolador e FPGA. O projeto dos controladores PI e PID usando as técnicas de Ziegler-Nichols modificado e alocação de pólos foram mostrados neste capítulo, bem como todo o equacionamento para o cálculo dos parâmetros de controle com as respectivas funções de transferências. A conversão das funções de transferências do plano Z para a forma de equações de estado se deve pela facilidade de se implementar esse tipo de equacionamento em linguagem de programação do microcontrolador. A seguir serão mostrados os resultados experimentais do protótipo desenvolvido em laboratório para todos os controladores descritos neste capítulo.



## **CAPÍTULO 5**

### **RESULTADOS EXPERIMENTAIS**

#### **5.1 INTRODUÇÃO**

O presente capítulo tem como objetivo apresentar os resultados experimentais de um inversor de tensão monofásico com modulação a três níveis obtidos através de controle digital.

Os resultados experimentais coletados contemplam o funcionamento completo do inversor com diversos tipos de controladores digitais. Durante o decorrer dos resultados experimentais serão apresentados as formas de ondas da tensão de saída, corrente de saída, taxa de distorção harmônica (THD) e degrau de carga no inversor.

Finalizando o capítulo é apresentado uma tabela com o comparativo dos diversos controladores projetados com base na norma CEI/IEC 61000-3-2 que estabelece que a taxa de distorção harmônica da tensão de saída não deve ultrapassar 5 % da amplitude da componente fundamental de baixa frequência [23].

#### **5.2 RESULTADOS EXPERIMENTAIS DOS CONTROLADORES**

A seguir serão apresentados os resultados experimentais dos diversos controladores (PI, PID, PI modificado e PID modificado) usando as funções que foram discretizadas no capítulo anterior.

### 5.2.1 PI Convencional Usando Ziegler-Nichols Modificado

Os resultados obtidos neste ítem tem como características a implementação da equação (4.37) dentro do programa do microcontrolador descrito no anexo C para a implementação do controlador PI.

A figura 5.1 mostra as formas de onda da tensão e corrente na saída do inversor. Pode-se observar na figura 5.1 que a corrente drenada segue a forma de onda da tensão de saída senoidal.

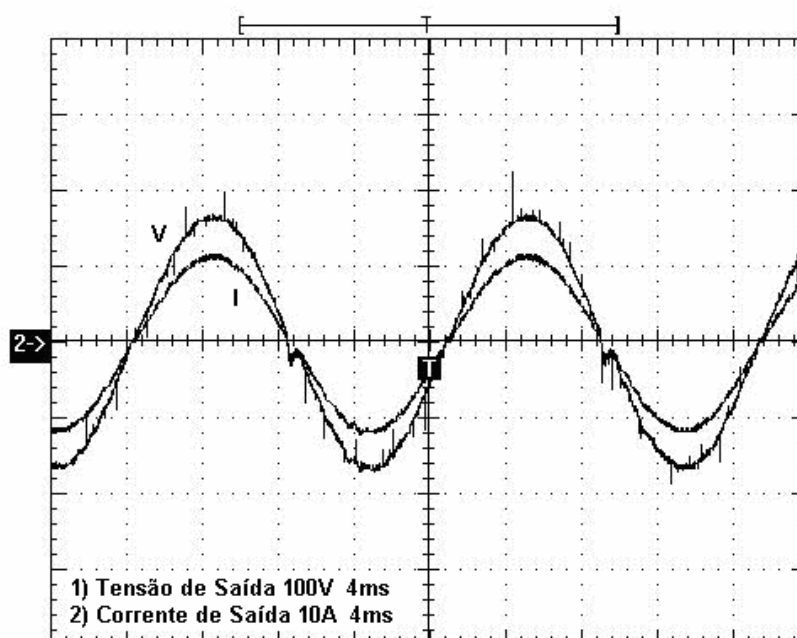


Fig.5.1 Tensão e corrente de Saída: V) 100V/div; I) 10A/div; 4ms/div.

Para verificar o tempo de resposta do controlador, foi aplicado um degrau de carga ao sistema. A figura 5.2 mostra o momento que foi aplicado o degrau de carga partindo de uma potência de 600W para 1000W (carga máxima projetada).

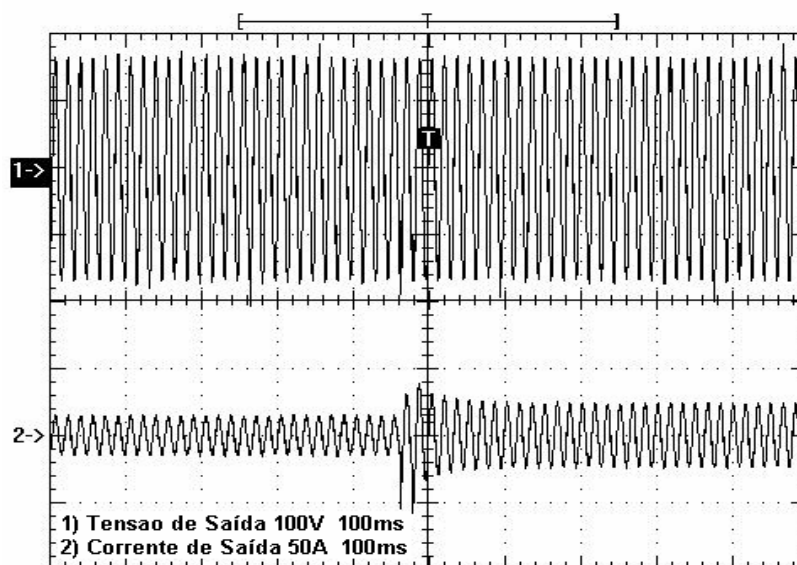


Fig.5.2 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.

Pode-se observar que no momento em que o degrau de carga é aplicado, é imperceptível a variação na tensão de saída do inversor, mostrando que a malha de tensão projetada se comporta bem no sistema.

A figura 5.3 mostra um degrau de carga com uma variação de 40% da carga, partindo da potencia máxima (1000W) para 600W.

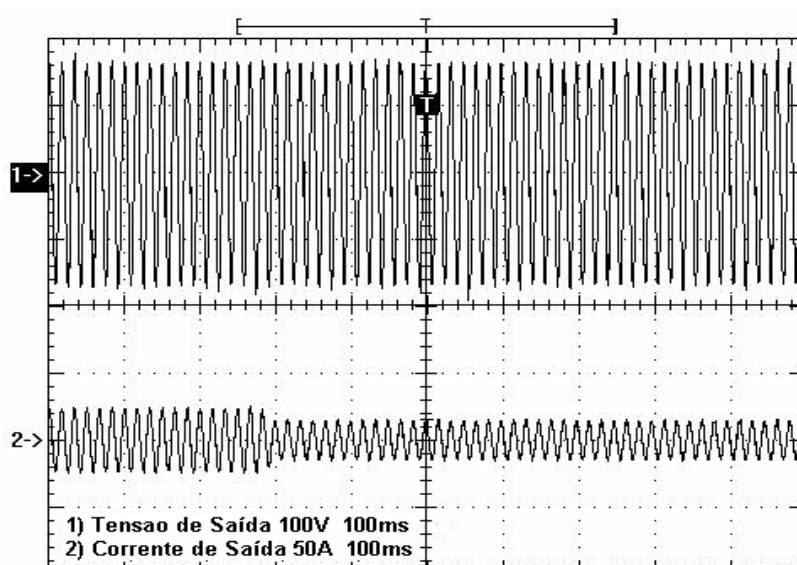


Fig.5.3 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.

Em aplicações como fontes monofásicas de alimentação, para potências de até 3,4 KW, a norma CEI/IEC 61000-3-2 estabelece que a taxa de distorção harmônica total da tensão alternada na saída do inversor não deve exceder a 5% da amplitude da componente fundamental de baixa frequência, e que o harmônico mais importante não deve ultrapassar a 3% [24].

Através do uso do programa *WaveStar*, foi possível se determinar a taxa de distorção harmônica (THD) do inversor usando o controlador PI. A figura 5.4 mostra o gráfico da THD até a quinquagésima harmônica.

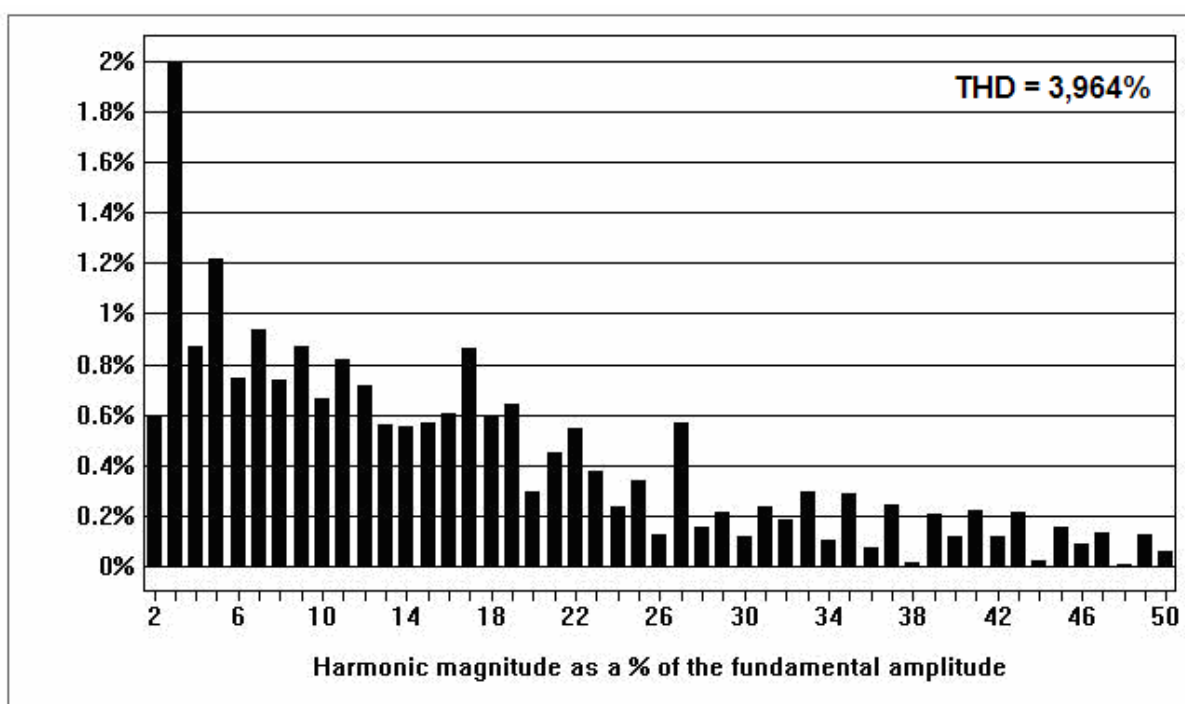


Fig.5.4 Amplitude das harmônicas em % em relação a fundamental.

Como pode ser visto na figura 5.4, o gráfico mostra que a terceira harmônica possui a maior amplitude (2%) em relação com a harmônica fundamental.

### 5.2.2 PID Convencional Usando Ziegler-Nichols Modificado

A seguir são mostrados os resultados experimentais de um controlador PID baseados na equação (4.38) mostrada no capítulo anterior.

Pode-se constatar que a forma de onda da tensão e corrente de saída do inversor encontram-se em fase e mantêm sua forma senoidal.

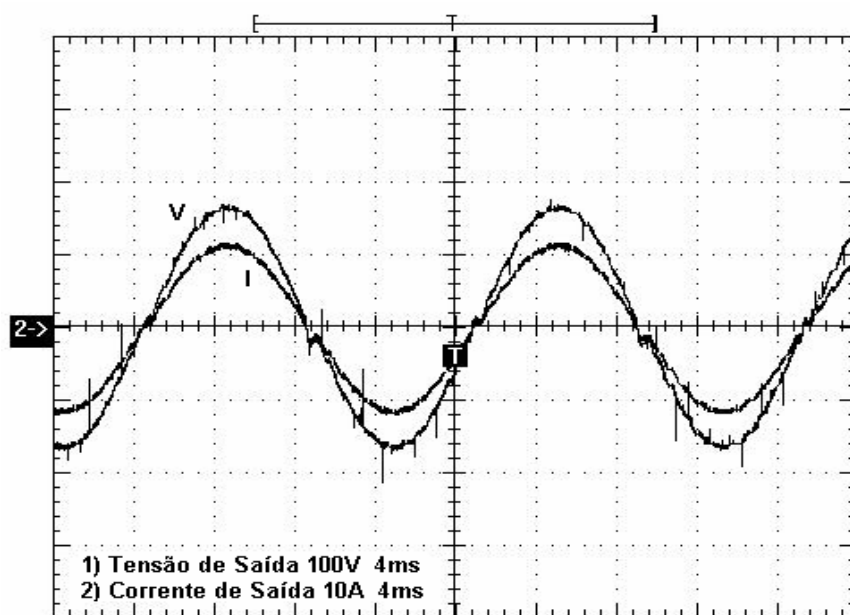


Fig.5.5 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.

A figura 5.5 mostra a forma de onda da tensão e corrente de saída do inversor para uma potência de 1000W. A seguir na figura 5.6 é observado o gráfico que representa o momento em que se aplicou um degrau de carga de 40% (de 600W para 1000W) no inversor.

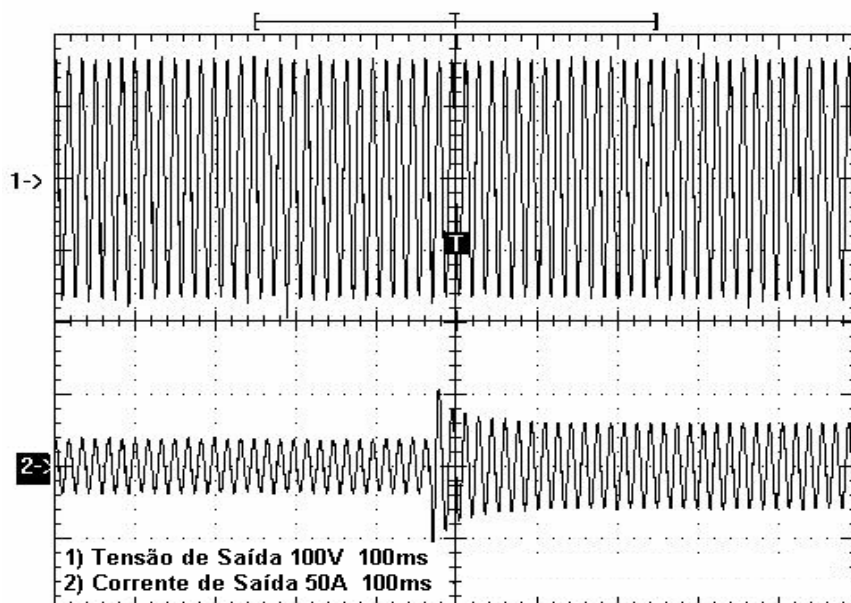


Fig.5.6 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.

Na figura 5.7 é mostrado o momento de aplicação de um degrau de carga de 40%, tendo em vista que nesse instante o inversor se encontra com potência máxima (1000W) e logo em seguida baixa para 600W.

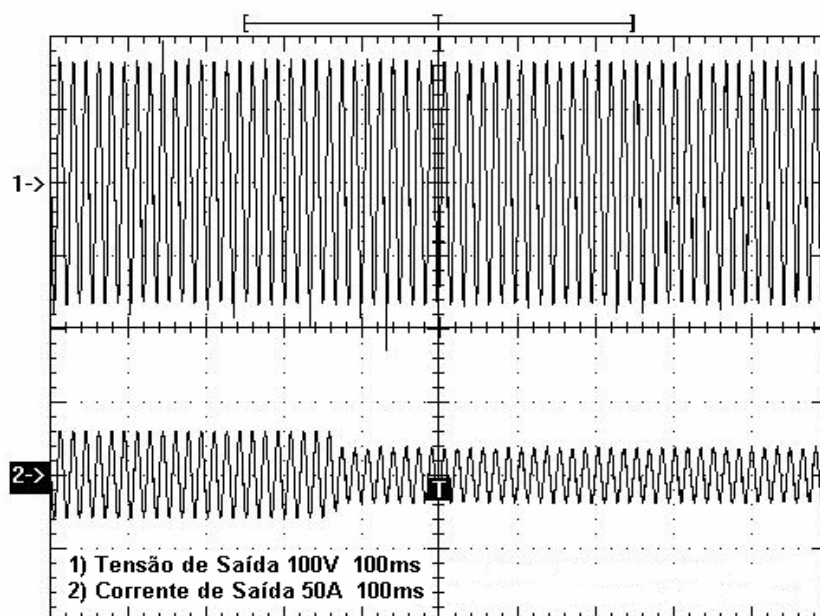


Fig.5.7 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.

Pode ser constatado pelas figuras 5.6 e 5.7 que o controle da malha de tensão projetada para um PID usando a técnica de Ziegler-Nichols modificado teve resposta

satisfatória, tendo em vista que é imperceptível a variação na tensão de saída do inversor no momento de aplicação dos degraus de carga.

A figura 5.8 mostra o gráfico com a THD da tensão de saída do inversor até a quinquagésima harmônica.

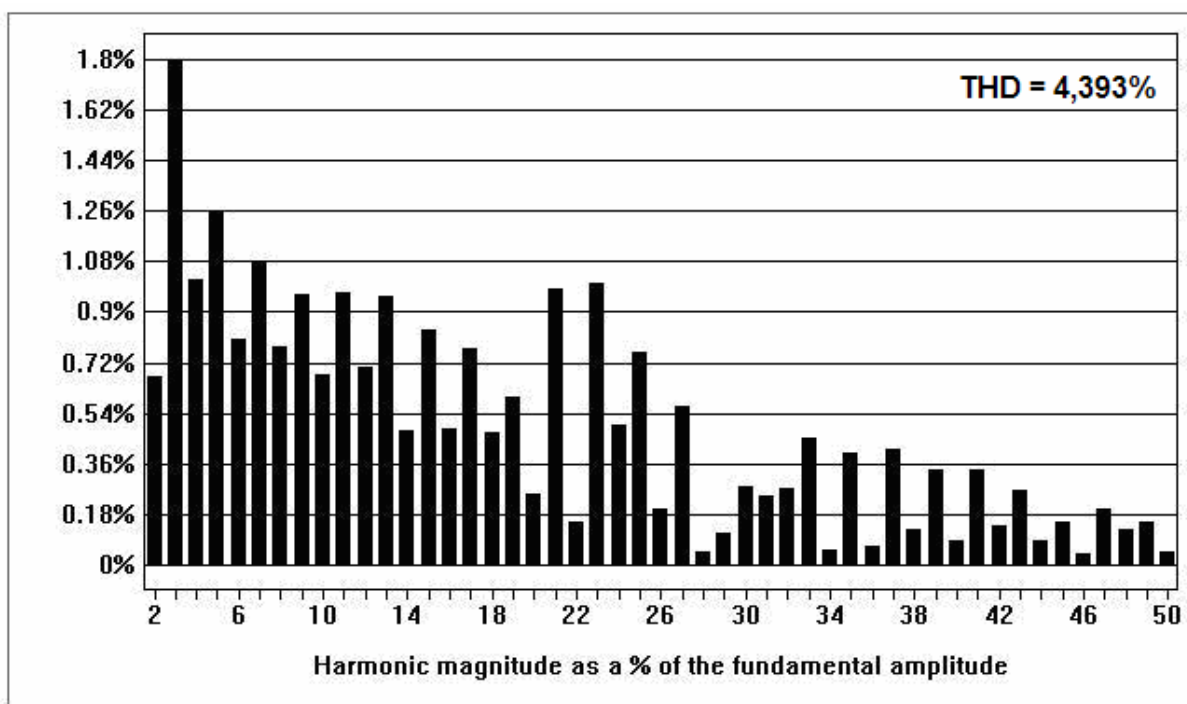


Fig.5.8 Amplitude das harmônicas em % em relação a fundamental.

A taxa de distorção obtida para esse controlador tem uma percentagem bastante baixa (menor que 5% que manda a norma), sendo a terceira harmônica com amplitude maior, e mesmo assim com menos de 2% de distorção.

### 5.2.3 PI Convencional Usando Alocação de Pólos

Os resultados mostrados nesta sessão tem como base a implementação da equação (4.41) mostrada no capítulo anterior.

A seguir é mostrada a forma de onda da tensão e corrente de saída do inversor para uma carga de 1000W.

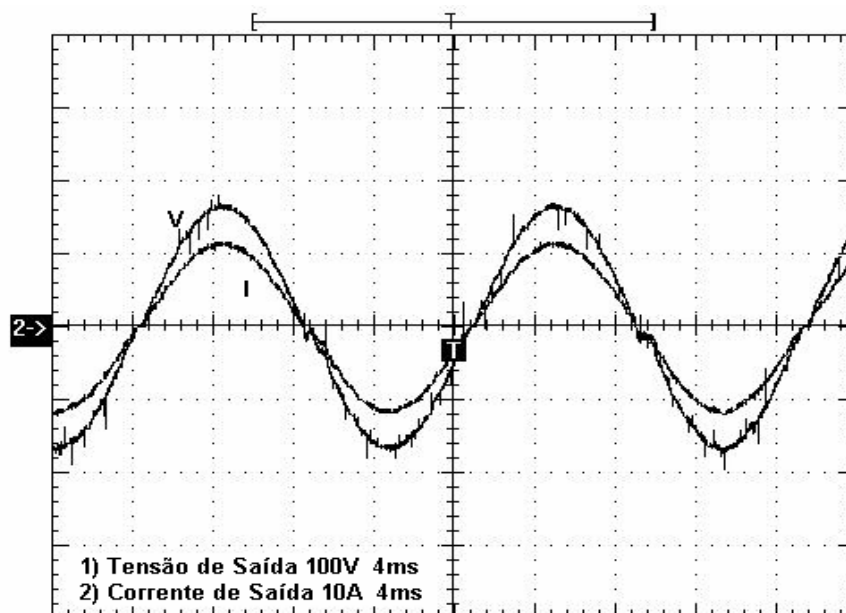


Fig.5.9 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.

Aplicou-se um degrau de carga de 40% (600W para 1000W) para verificar o comportamento da tensão de saída do inversor, obtendo a forma de onda mostrada na figura 5.10.

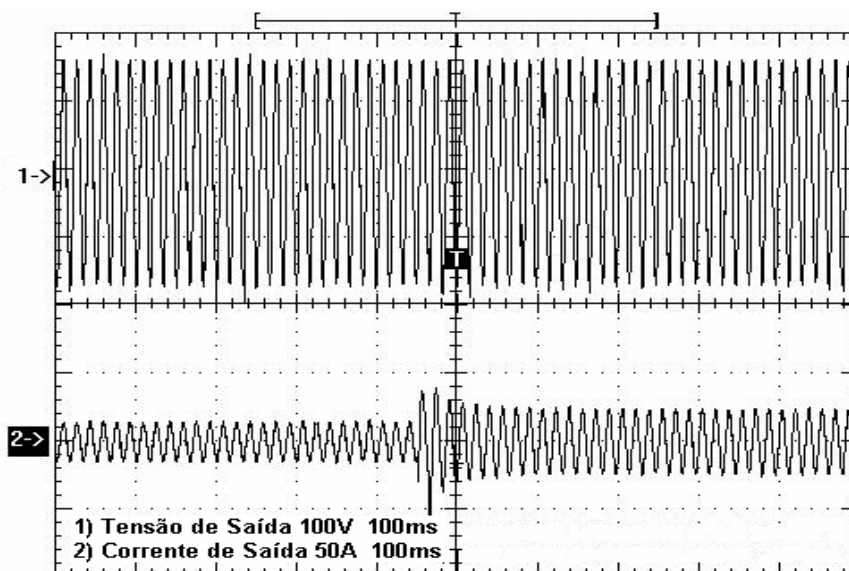


Fig.5.10 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.

Foi aplicado também outro degrau de 40%, entretanto, partindo agora da potência máxima projetada (1000W) para 600W, como mostra a figura 5.11.



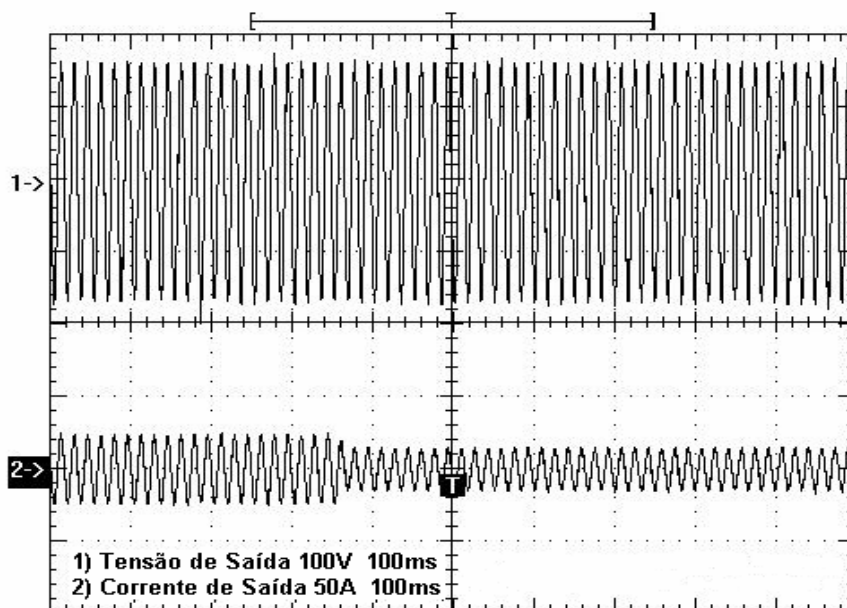


Fig.5.11 Degrau de carga de 40%: 1) 100V/div; 2) 50A/div; 100ms/div.

Percebe-se que em ambos os momentos em que o degrau é aplicado, a variação da tensão de saída do inversor é imperceptível.

A THD do inversor para o controlador PI em questão pode ser vista na figura 5.12.

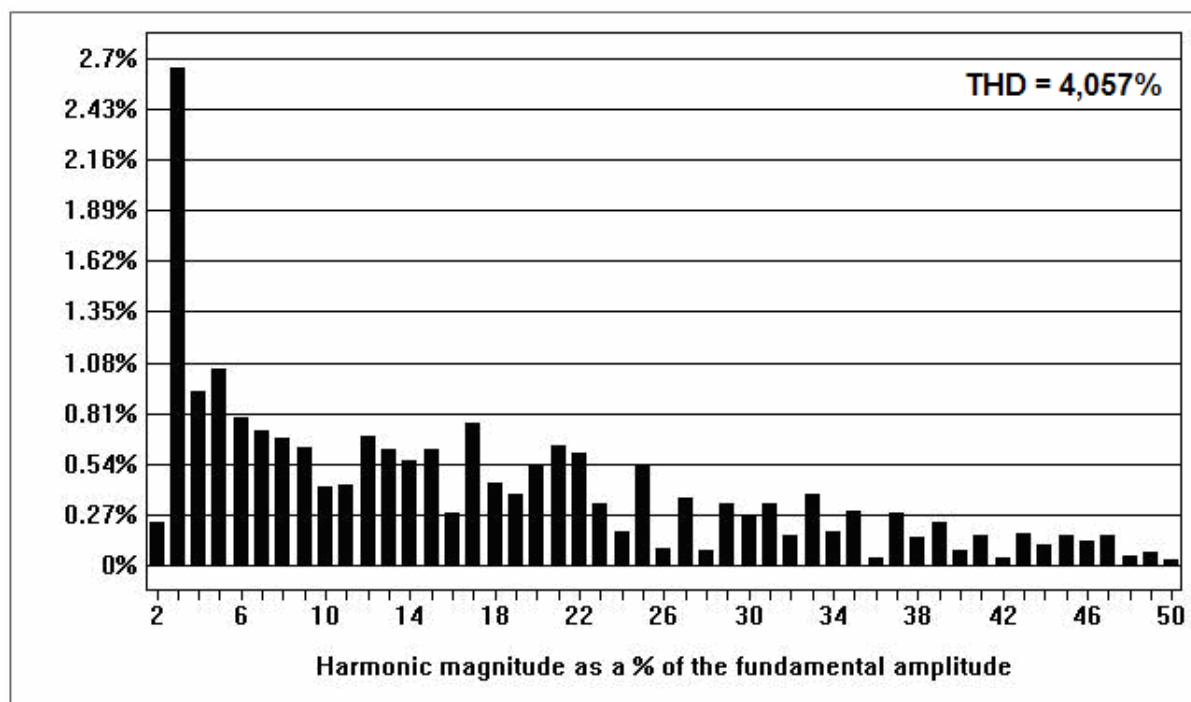


Fig.5.12 Amplitude das harmônicas em % em relação a fundamental.

Pode-se notar que as componentes harmônicas mostradas na figura 5.12 tem uma taxa de distorção pequena, ou seja, menor que 5%, o que resulta em um sinal de saída dentro da norma.

#### 5.2.4 PI Modificado Usando Alocação de Pólos

Os resultados experimentais mostrados a seguir tem como características a implementação da equação (4.43) mostrada no capítulo anterior.

A figura 5.13 mostra a tensão e corrente de saída do inversor para carga máxima (1000W).

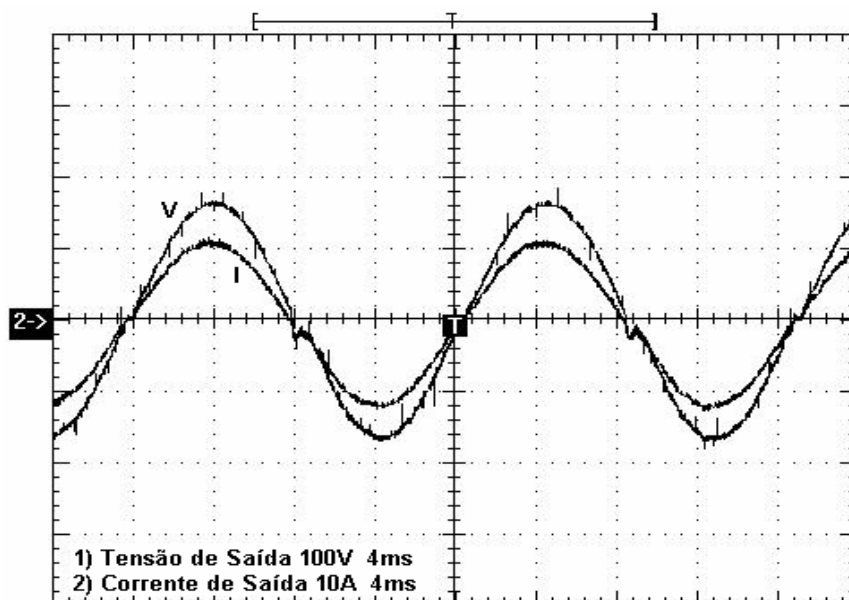


Fig.5.13 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.

As figuras 5.14 e 5.15 mostram o momento de aplicação do degrau de carga de 40%, tendo em vista que no primeiro caso o degrau se deve a partir da potência de 600W para uma potência de 1000W enquanto que no segundo caso ocorre o contrario.

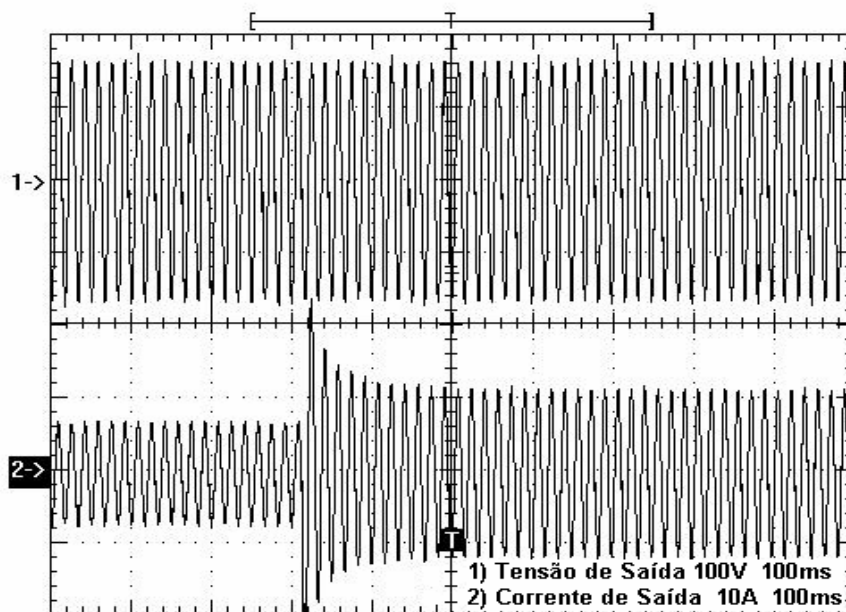


Fig.5.14 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.

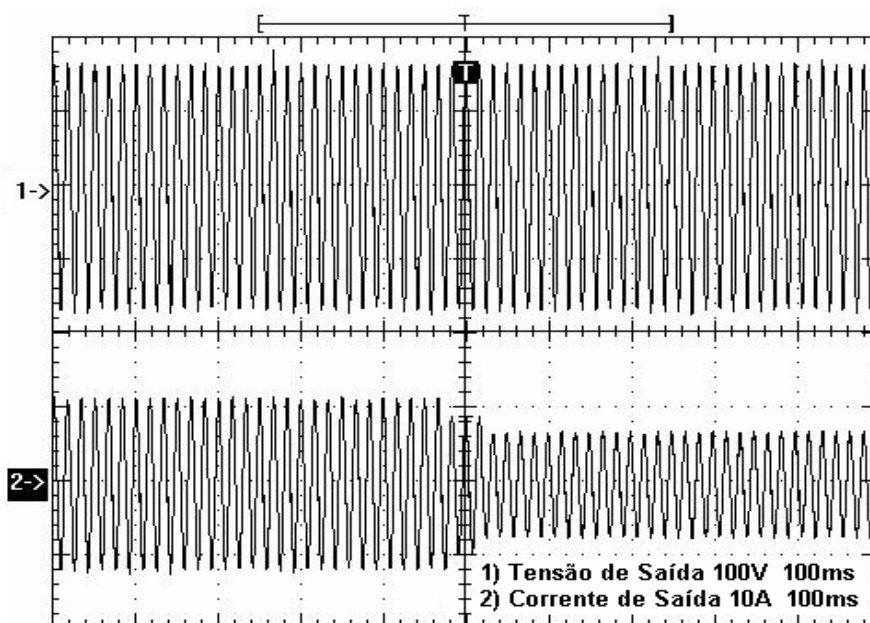


Fig.5.15 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.

A THD da tensão de saída adquirida através do programa *WaveStar* é mostrada na figura 5.16 logo abaixo.

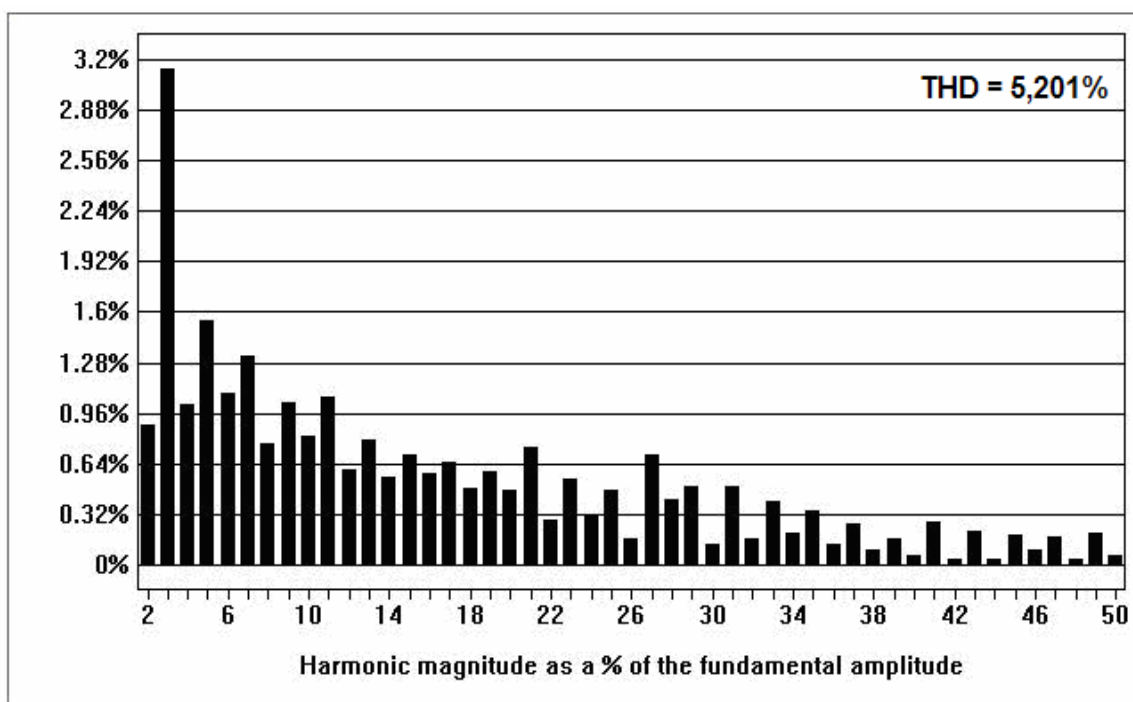


Fig.5.16 Amplitude das Harmônicas em % em relação a Fundamental.

Como pode ser observado, a THD desse controlador teve um valor que excede os 5% da norma, entretanto, ajustes no ganho deste controlador podem melhorar essa distorção, fazendo com que este controlador atenda as especificações do projeto.

### 5.2.5 PID Convencional Usando Alocação de Pólos

Todos os resultados experimentais mostrados a seguir tem como base a implementação da equação (4.45) no microcontrolador.

A seguir é mostrado a tensão e corrente de saída do inversor para carga máxima.

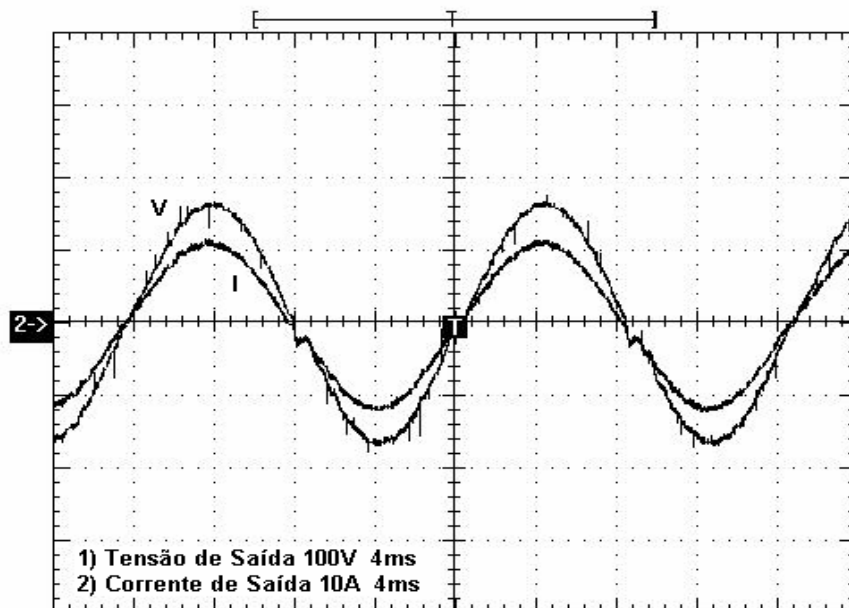


Fig.5.17 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.

As figuras 5.18 e 5.19 mostram o momento de aplicação de um degrau de carga de 40%, tendo o objetivo de se observar o tempo de resposta da malha de tensão.

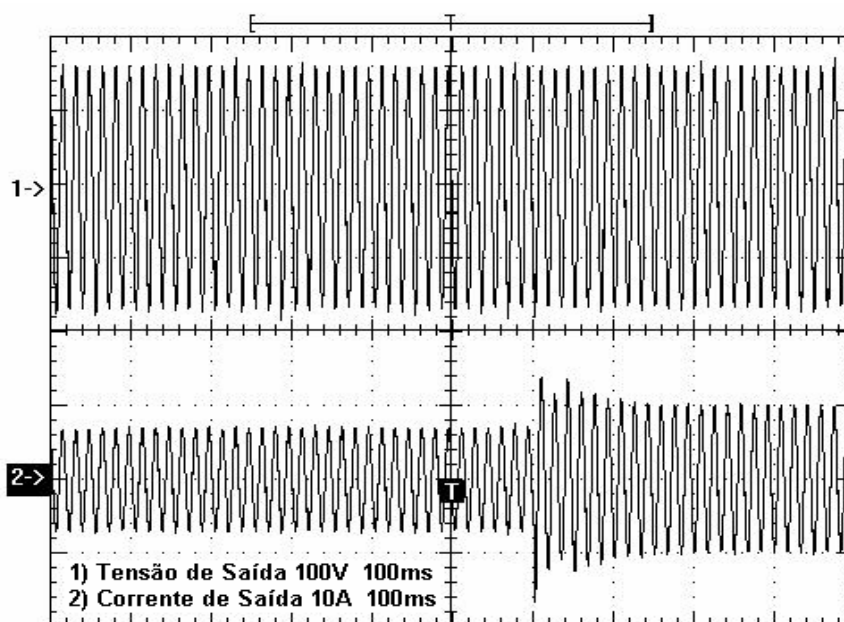


Fig.5.18 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.

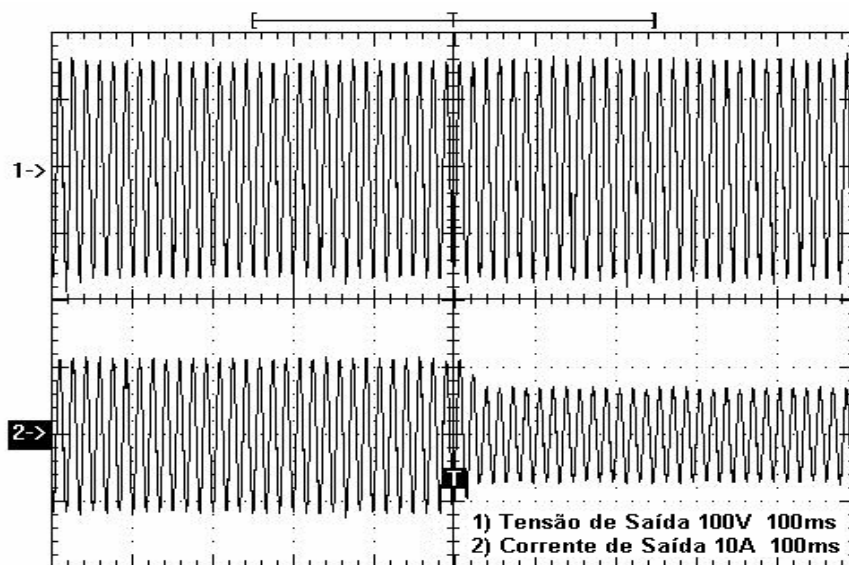


Fig.5.19 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.

Seguindo o mesmo padrão dos controladores mostrados anteriormente, pode-se constatar que para esse PID a malha de tensão funcionou conforme o esperado, uma vez que é imperceptível a variação da tensão de saída do inversor no momento em que o degrau de carga é aplicado.

A figura 5.20 mostra o quadro das componentes harmônicas do inversor para esse controlador.

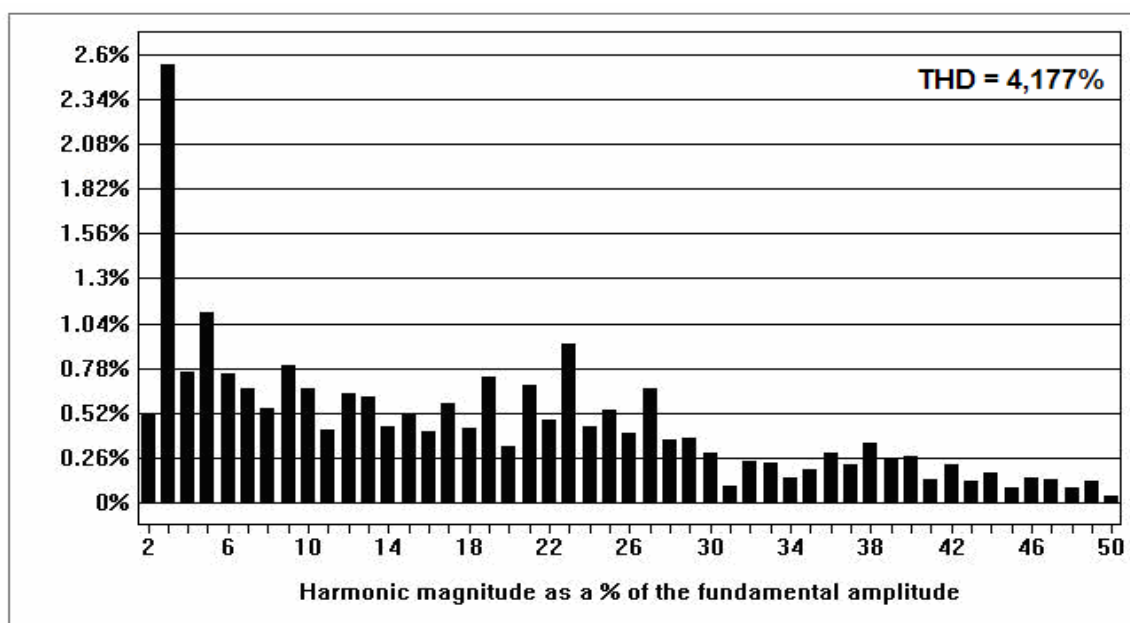


Fig.5.20 Amplitude das harmônicas em % em relação a fundamental.

A figura 5.20 mostra claramente a baixa taxa de distorção harmônica da tensão de saída do inversor (menor que 5%), comprovando a eficiência do controlador projetado.

### 5.2.6 PID Modificado Usando Alocação de Pólos

Os resultados experimentais deste controlador serão mostrados a seguir, e tem como princípio a implementação da equação (4.47) no programa do microcontrolador.

A seguir é mostrada a forma de onda da tensão e corrente de saída do inversor para uma potência de 1000W.

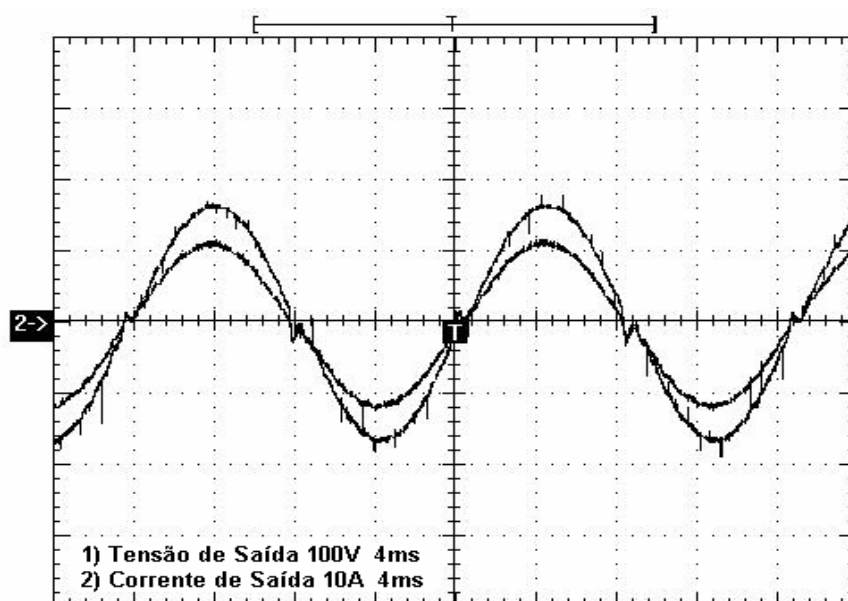


Fig.5.21 Tensão e corrente de saída: V) 100V/div; I) 10A/div; 4ms/div.

Ao se aplicar um degrau de carga de 40%, teve-se como resposta as formas de onda mostradas das figuras 5.22 e 5.23.

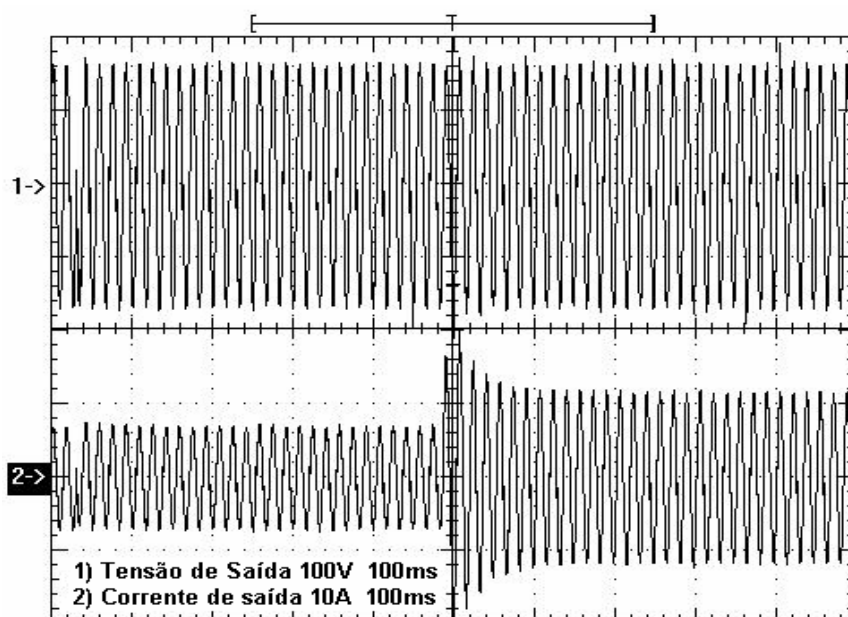


Fig.5.22 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.

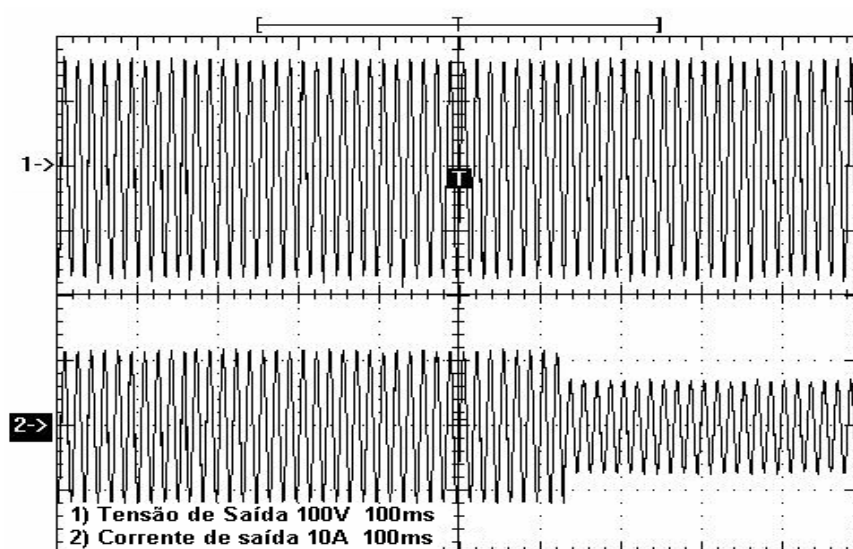


Fig.5.23 Degrau de carga de 40%: 1) 100V/div; 2) 10A/div; 100ms/div.

Observando as formas de onda do degrau de carga aplicado ao inversor para o controlador PID modificado, pode-se concluir que neste caso também a variação da tensão de saída no momento de aplicação do degrau de carga mostrou-se imperceptível

O gráfico com a THD da tensão de saída do inversor para o controlador PID modificado é mostrada na figura 5.24.



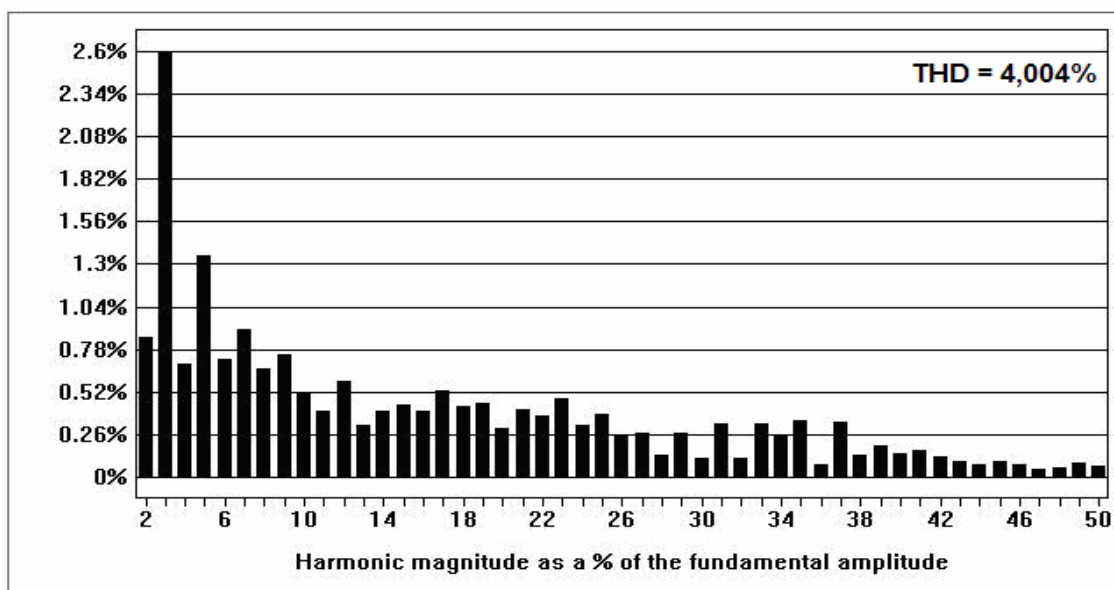


Fig.5.24 Amplitude das harmônicas em % em relação a fundamental.

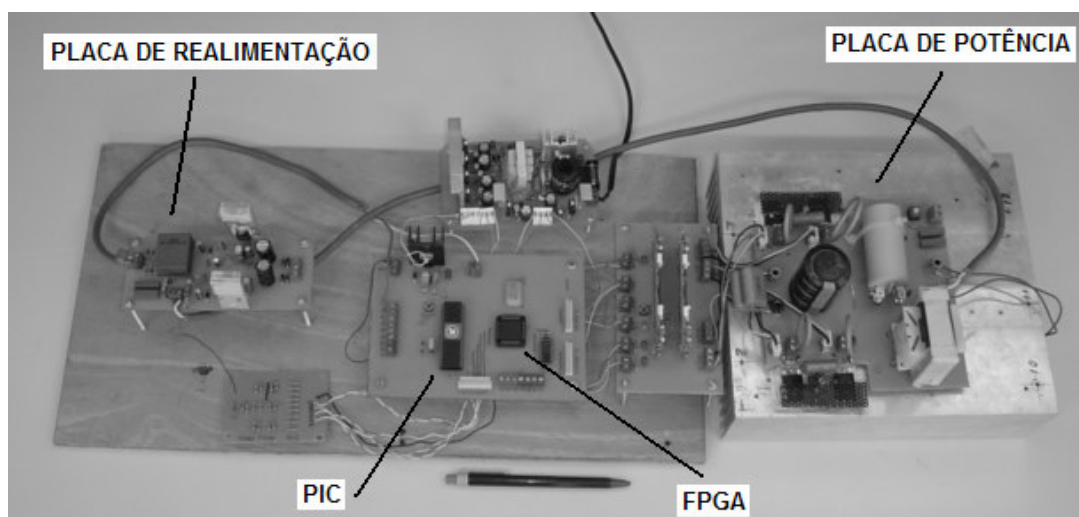
Como pode ser observado na figura 5.24, este último controlador também apresentou uma baixa taxa de distorção da tensão de saída (menor que 5% previsto pela norma). Podemos concluir então que todos os controladores apresentados mostraram-se coerentes com os resultados esperados, onde a taxa de distorção harmônica da tensão de saída deve ser menor que 5% segundo a norma **CEI/IEC 61000-3-2** [24].

Tabela 5. Comparação entre os controladores projetados.

Controlador	THD da Tensão de Saída	THD Norma CEI/IEC 61000-3-2	Atendeu à norma
PI por Ziegler Nichols	3,964%	5%	Sim
PID por Ziegler Nichols	4,393%	5%	sim
PI Convencional por Alocação de Pólos	4,057%	5%	Sim
PI Modificado por Alocação de Pólos	5,201%	5%	Não
PID Convencional por Alocação de Pólos	4,177%	5%	Sim
PID Modificado por Alocação de Pólos	4,004%	5%	Sim

### 5.3 PROTÓTIPO DESENVOLVIDO

Neste tópico serão mostrados as fotos do protótipo desenvolvido em laboratório, contemplando a montagem do inversor monofásico juntamente com as placas de controle desenvolvidas no laboratório de eletrônica de potência do departamento de Engenharia Elétrica da Universidade Federal do Ceará.



*Fig.5.25 Protótipo desenvolvido em laboratório.*

A figura 5.25 mostra toda a estrutura montada do protótipo desenvolvido, onde estão presentes a placa de potência, a placa de controle com o microcontrolador e o FPGA, a placa de realimentação e drivers de acionamento.

A seguir são mostrados as fotos separadas de todas as placas do protótipo.

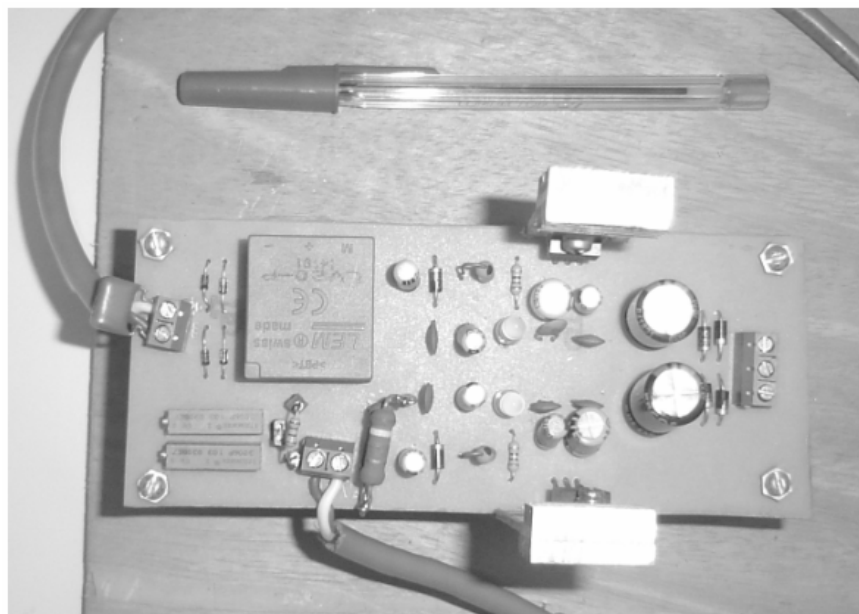


Fig.5.26 Placa do sensor de LEM de realimentação.

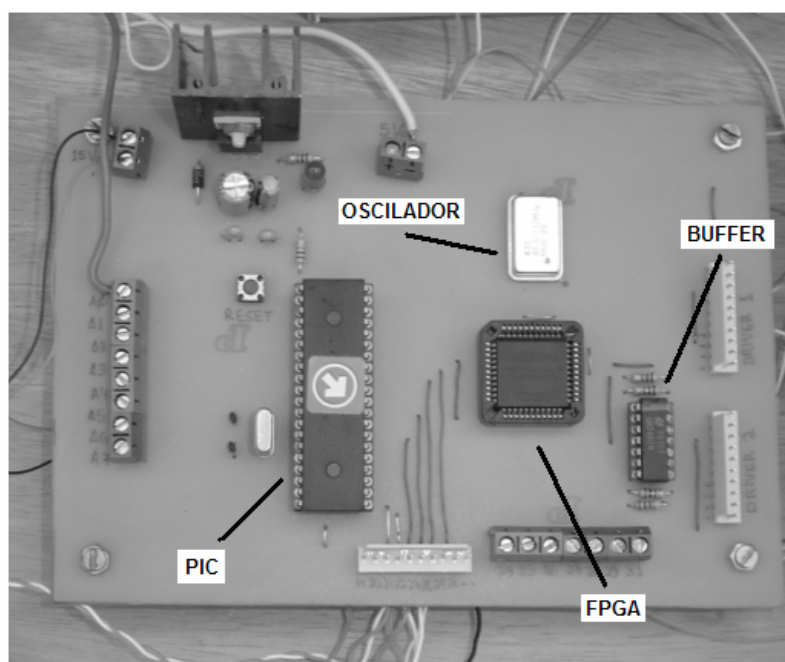
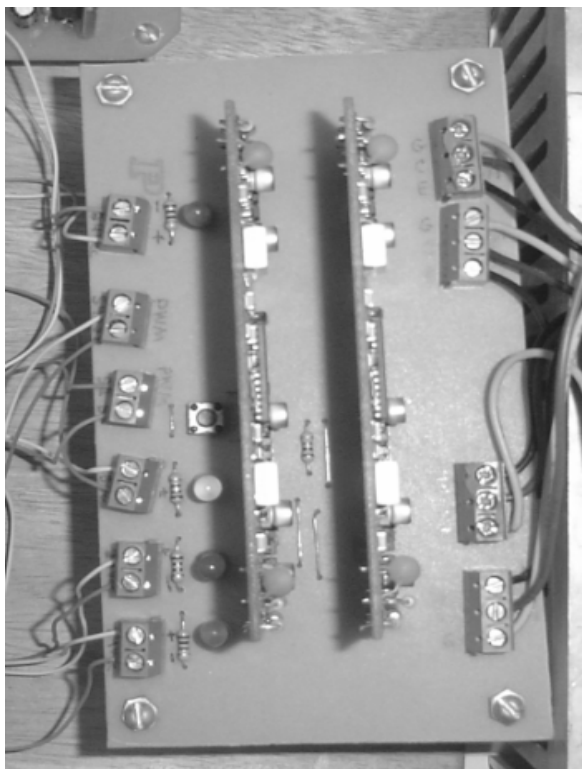
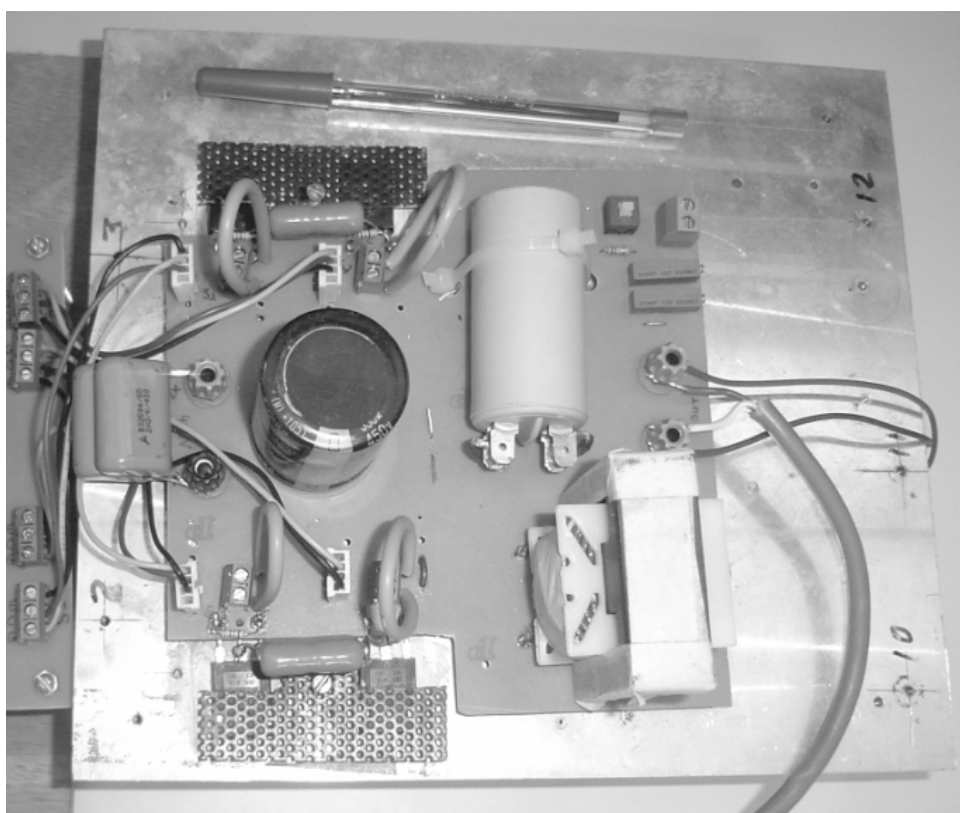


Fig.5.27 Placa de controle PIC/FPGA.



*Fig.5.28 Placa dos drivers de acionamento dos IGBTs.*



*Fig.5.29 Placa de potência do inversor.*

## 5.4 CONSIDERAÇÕES FINAIS

Neste capítulo foram apresentados os resultados experimentais do inversor de tensão monofásico a três níveis com os seis controladores projetados. Observou-se uma certa homogeneidade entre todas as respostas adquiridas do sistema, onde todos os controladores apresentaram uma baixa taxa de distorção harmônica (menor que 5% segundo a norma **CEI/IEC 61000-3-2**), com exceção do controlador PI modificado por alocação de pólos (5,201%). Entretanto, essa taxa de distorção pode ser facilmente minimizada alterando os ganhos do sistema.

Conforme esperado, o protótipo montado atendeu as expectativas do projeto, mostrando que a variedade de controladores implementados sem que a estrutura do hardware fosse alterada teve respostas bastante satisfatórias, mostrando assim que todo o projeto descrito ao longo desse trabalho tem uma relevância importante para futuras implementações em sistemas comerciais.

## CONCLUSÃO GERAL

Neste trabalho foi apresentado o estudo teórico e prático de um inversor de tensão monofásico a três níveis com controle digital usando um microcontrolador PIC e um FPGA.

Todo o estudo de dimensionamento, acionamento e projeto de controladores digitais foi devidamente abordado durante os capítulos que sucederam. O trabalho desenvolvido teve como objetivo mostrar a diversidade de possibilidade de projeto para controladores digitais com baixo custo, bom desempenho e fácil manutenção.

Os resultados experimentais obtidos foram condizentes com o esperado, resultando em um inversor com uma baixa taxa de distorção harmônica na tensão de saída, tensão de 110V, frequência de 60Hz e potência de 1KW.

Foram projetados seis controladores diferentes para o controle PWM do inversor com malha de tensão. O embasamento teórico para o projeto desses controladores foi abordado e devidamente explicitado neste trabalho.

As duas técnicas usadas para projeto dos controladores foram Ziegler Nichols Modificado e Alocação de Pólos. Ambas as técnicas tiveram resultados semelhantes, comprovando a diversidade de técnicas que podem ser implementadas usando a topologia abordada neste trabalho sem que se altere nada no *hardware* proposto.

O uso da técnica de Ziegler Nichols Modificado mostrou ser mais fácil de se aplicar, uma vez que sua simplicidade e facilidade de escolha do ponto de trabalho para o projeto do controlador poder ter seus parâmetros facilmente ajustados com o uso de ferramentas computacionais como o programa MATLAB. Entretanto, a técnica de

alocação de pólos também mostrou-se bastante coerente, tendo a sua eficiência comprovada nos resultados experimentais.

Apesar de todos os controladores descritos terem respostas bastante semelhantes, observou-se que apenas um destes controladores (PI Modificado por alocação de pólos) não atingiu a norma CEI/IEC 61000-3-2 com 5% de taxa de distorção harmônica, entretanto, estudos realizados posteriormente mostraram que ajustes de ganho resultam em um melhor desempenho deste controlados.

Dentre os controladores implementados o que mostrou melhor resultado com a menor taxa de distorção harmônica foi o PI por Ziegler Nichols Modificado (3,964%), contudo, todos os outros controladores tiveram respostas bastante próximas.

A eficácia e diversidade do uso de técnicas de projeto de controladores digitais para um inversor de tensão monofásico de baixo custo foi comprovada, como é contemplado nos resultados experimentais mostrados no trabalho.

Para futuras implementações podem ser utilizados microcontroladores mais rápidos, que permitem algoritmos de controle mais robustos e com monitoramento *on-line* do sistema.

**BIBLIOGRAFIA**

- [1] Hamid A. Toliyat; Steven G. Campbell. **DSP-Based Electromechanical Motion Control**. 1ª Edição. Texas. Editora: CRC Press, 2004.
- [2] Pereira Fabio. **Microcontroladores PIC Programação em C**. 1ª Edição. São Paulo. Editora: Erica , 2003.
- [3] Yales R.N. **Estudo de um Snubber para o Inversor de Três Níveis com Neutro Grampeado**. Florianópolis, 2000. Dissertação (Mestrado em Engenharia. Elétrica) – Universidade Federal de Santa Catarina, Florianópolis.
- [4] Manuel R. R. Romero. **Relatório de Atividades Realizadas Entre Dezembro de 1996 e Agosto de 1997**. Florianópolis, 1997.
- [5] Dirk L. **Projeto de um Filtro Ativo Paralelo de 1KVA Usando Técnicas de Controle Analógico e Digital**. Florianópolis, 2003. Dissertação (Mestrado em Engenharia. Elétrica) – Universidade Federal de Santa Catarina, Florianópolis.
- [6] Czeslau L. Barczak. **Controle Digital de Sistemas Dinâmicos**. 1ª Edição. São Paulo. Editora: Edgard Blucher, 1995.
- [7] René P.T. Bascopé; A. J. Perin. **O Transistor IGBT Aplicado em Eletrônica de Potência**. 1ª Edição. Florianópolis. Editora: Sagra, 2000.
- [8] Marcelo G. S. **Proposta de Um Controle Digital, Utilizando Um Microcontrolador PIC, Aplicado a Um Pré-Regulador Boost Não Dissipativo**. Uberlândia, 2001. Dissertação (Mestrado em Engenharia. Elétrica) – Universidade Federal de Uberlândia.
- [9] Marty B. **Practical Switching Power Supply Design**. 1ª Edição. Califórnia. Editora: Academic Press, 1990.
- [10] MICROCHIP. **High Performance, Enhanced FLASH Microcontrollers with 10-Bit A/D, Data Sheet PIC18F452**. <http://www.microchip.com>, DS39564B,2002.
- [11] Jerzy M.;Zbigniew O. **Advanced Control with Matlam & Simulink**. 1ª Edição. Londres. Editora: Ellis Horwood, 1995.
- [12] Jhon C; Ruan L. **Software PID Control of an Inverted Pendulum Using the PIC16F684**. <http://www.microchip.com>, AN964,2004.
- [13] Chris V. **Implementing a PID Controller Using a PIC18 MCU**. <http://www.microchip.com>, AN937,2004.



- [14] K. Astrom; T. Hagglund. **PID Controllers: Theory, Design, and Tuning.** 2ª Edição. USA. 1995.
- [15] William A. Wolovich. **Automatic Control Systems.** 1ª Edição. USA. Editora: Oxford University Press, 1994.
- [16] Cleonilson P. de Sousa; José Tarcísio C.F. **Controle por Computador: Desenvolvendo Sistema de Aquisição de Dados para PC.** 1ª Edição. São Luiz. Editora: EDUFMA, 2001.
- [17] Luiz H.S.C. Barreto. **Análise, Projeto e Desenvolvimento de Conversores Para a Concepção de Uma Unidade UPS “On-Line” Não Isolada.** Minas Gerais, 2003. Tese (Doutorado em Engenharia. Elétrica) – Universidade Federal de Uberlândia, Uberlândia.
- [18] Zelenovsky R.;Mendonça A. **PC: Um Guia Prático de Hardware e Interfaceamento.** 3ª Edição. Rio de Janeiro. Editora: MZ, 2002.
- [19] Antonio C. O S. Aragão. **Uma Arquitetura Sistólica para Solução de Sistemas Lineares Implementada com Circuitos FPGAs.** São Paulo, 1998. Dissertação (Mestrado em Ciências da Computação) – Universidade Estadual de São Paulo, São Carlos.
- [20] ALTERA. **ByteBlaster Parallel Port Download Cable, Data Sheet.** <http://www.altera.com>, A-DS-BYTE-02.01,1998.
- [21] ALTERA. **MAX7000 Programmable Logic Device Family, Data Sheet.** <http://www.altera.com>, DS-MAX7000-6.7,2005.
- [22] ALTERA. **MAX+Plus II - A Perspective.** <http://www.altera.com,2005>.
- [23] .Barbi, I; Martins, D. C. **Introdução ao Estudo dos Conversores CC-CA.** Florianópolis. Edição dos Autores, 2005.
- [24] CEI/IEC 61000-3-2,**Internatinal Standard**, 2ª Edição,2000.
- [25] Barbi, I; Martins, D. C. **Eletrônica de Potência: Conversores CC-CC Básicos Não Isolados.** Florianópolis. Edição dos Autores, 2000.
- [26] Yi Zhang, Saed Sobhani, Rahul Chokhawala; **Snubber Considerations for IGBT Applications.** IPEMC,1994. pp.261-269.
- [27] Saed Sobhani, Rahul Chokhawala; **Switching Voltage Transient Protection Schemes for High Current IGBT Modules.** IEEE Transactions on, Vol 33, N°6, 1997. pp.1601-1610.

- [28] Lima, F.K.A.; Cruz, C.M.T.; Antunes, F.L.M.; **Study of Passive Snubbers Applied to a Single-phase High Power Factor Rectifier**. Latin America Transactions, IEEE (Revista IEEE America Latina), Vol 2, N°2, 2004. pp.1-1.
- [29] LEM. **Voltage Transduce LV 20-P, Data Sheet LV 20-P**. <http://www.lem.com>.
- [30] Bengt J. **Improved Models for DC-DC Converters**. Swiden, 2003. Licenciante Thesis – Lund University.
- [31] Otacílio, M. A. **Métodos Frequenciais para Ajuste de Controladores PID**. São Paulo, 1990. Dissertação (Mestrado em Engenharia. Elétrica) – Universidade Estadual de Campinas, Campinas.
- [32] julio, E. N. R. **Controle Clássico**. Santa Catarina, Apostila de Controle – Universidade Federal de Santa Catarina, Florianópolis.
- [33] Ogata, K. **Engenharia de Controle Moderno**. 4<sup>a</sup> Edição. São Paulo. Editora Prentice Hall, 2003.
- [34] Rashid, Muhammad H. **Eletrônica de Potência: Circuitos, Dispositivos e Aplicações**. Primeira Edição. São Paulo. Editora Makron Books, 1999.
- [35] Mohan, Ned; Undeland, Tore M.; Robbins, William P. **Power Electronics: Converters, Applications, and Design**. 2<sup>a</sup> Edição. USA. Editora Wiley, 1998.

## **APÊNDICE A**

**(PROGRAMA DE CÁLCULO DO CONTROLADOR PI  
USANDO ZIEGLE NICHOLS MODIFICADO)**

```
%%%%%%%%%% PROGRAMA DO PI DIGITAL INVERSOR MONOFASICO 3
%%%%%%%%%% NIVEIS
```

```
clc;
clear all
Ts=115e-6;
```

```
%%%%%%%%%% FUNÇÃO DE TRANSFERENCIA DA PLANTA EM "S"
```

```
planta_s=tf(1.04,[7.5e-9 61.7e-6 1]);
nyquist(planta_s)
```

```
%%%%%%%%%% a partir de nysquist obtém-se o ponto mais próximo de "-1" (pólo dominante)
```

```
real_a = -0.511;
imag_a = -0.506;
freq = 1.65e+004;
```

```
ra = sqrt(real_a^2+imag_a^2);
fia = atan(-0.506/-0.511);
```

```
%%%%%%%%%% ponto de projeto
```

```
rb = 0.5;
fib = ((65*pi)/180);
```

```
%%%%%%%%%% controlador
```

```
Kp = (rb*cos(fib - fia))/ra;
Ti = abs(inv(freq*tan(fia - fib)));
Td = 0;
```

```
q0 = Kp
q1 = -Kp*(1 - Ts/Ti)
```

## **APÊNDICE B**

**(PROGRAMA DE CÁLCULO DO CONTROLADOR  
PID USANDO ZIEGLE NICHOLS MODIFICADO)**

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% PROGRAMA DO PID DIGITAL INVERSOR MONOFASICO 3
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% NIVEIS

```

```

clc;
clear all
Ts=115e-6;

```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% FUNÇÃO DE TRANSFERENCIA DA PLANTA EM "S"

```

```

planta_s=tf(1.04,[7.5e-9 61.7e-6 1]);
nyquist(planta_s)

```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% a partir de nysquist obtém-se o ponto mais próximo de "-1" (pólo dominante)

```

```

real_a = -0.511;
imag_a = -0.506;
freq = 1.65e+004;

```

```

ra = sqrt(real_a^2+imag_a^2);
fia = atan(-0.506/-0.511);

```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% ponto de projeto

```

```

rb = 0.5;
fib = ((61*pi)/180);

```

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%% controlador

```

```

Kp = (rb*cos(fib - fia))/ra;
Ti = (tan(fib - fia) + sqrt(4*0.25 + (tan(fib - fia))^2))/(2*0.25*freq);
Td = 0.25*Ti;

```

```

q0 = Kp*(1 + Td/Ts)
q1 = -Kp*(1 + 2*Td/Ts - Ts/Ti)
q2 = Kp*Td/Ts

```

## **APÊNDICE C**

**(PROGRAMA DO MICROCONTROLADOR)**

```
#include <18f452.h>
// Configura o compilador para conversor A/D de 8 bits
#device adc=8 // 8 bits
#use delay(clock=1000000)
#fuses H4,PUT,WDT16
#BYTE PORTC=0xF82
#bit rc5=portc.5
```

```
//////////////////////////////////// DECLARAÇÃO DE VARIÁVEIS GLOBAIS //////////////////////////////////////
```

```
signed long int V,U,U_1,U_2,erro,erro_1,erro_2,testemax;
signed long int a,b,c,d,e;
int x_lido;
int x_ref;
int tempo,conta,flag;
```

```
//////////////////////////////////// TABELA DE 115us (73 pontos) //////////////////////////////////////
```

```
int const senoide[]={0,4,9,13,17,21,25,30,34,38,42,45,49,53,56,60,63
,67,70,73,75,78,81,83,85,87,89,91,93,94,95,96,97
,98,99,99,99,99,99,98,97,96,95,94,93,91,89,87,85
,83,81,79,75,73,70,67,63,60,56,53,49,45,42,38,34
,30,25,21,17,13,9,4,0};
```

```
//////////////////////////////////// INTERRUPÇÃO DO TIMER2 //////////////////////////////////////
```

```
#INT_TIMER2
void seno ()
{
    set_timer2(64836-get_timer2());

    conta=x_ref;
    if (conta==4)
    {
        if (flag==2) flag=0;
        if (flag==0) rc5=!rc5;
        flag++;
    }
}
```



```

if (tempo==72){
    tempo=0;
    restart_wdt();
}

output_d(V);
tempo++;
x_lido=read_adc();
x_ref=senoide[tempo];
erro=(signed long int)x_ref-(signed long int)x_lido;

/////////////////////////////////////////////////////////////////
/////////////////////////////////////////////////////////////////  Funções para calculo dos controladores  ///////////////////////////////////////////////////////////////////
/////////////////////////////////////////////////////////////////  OBS: escolha o controlador descomentando  ///////////////////////////////////////////////////////////////////
/////////////////////////////////////////////////////////////////      a função desejada (tirar o // )      ///////////////////////////////////////////////////////////////////
/////////////////////////////////////////////////////////////////

/////////////////////////////////////////////////////////////////  PID Modificado por Alocação de Pólos  ///////////////////////////////////////////////////////////////////

//V=((120*U_1)-(20*U_2)+(61*erro)-(24*erro_1)+(2*erro_2))/100

/////////////////////////////////////////////////////////////////  PID Convencional por Alocação de Pólos  ///////////////////////////////////////////////////////////////////

//V=((100*U_1)+(79*erro)-(42*erro_1)+(5*erro_2))/100

/////////////////////////////////////////////////////////////////  PI Convencional por Alocação de Pólos  ///////////////////////////////////////////////////////////////////

//V=((100*U_1)+(65*erro)-(17*erro_1))/100;

/////////////////////////////////////////////////////////////////  PI Modificado por Alocação de Pólos  ///////////////////////////////////////////////////////////////////

//V=((113*U_1)-(13*U_2)+(47*erro)-(12*erro_1))/100;

/////////////////////////////////////////////////////////////////  PID Convencional por Ziegler Nichols Modificado  ///////////////////////////////////////////////////////////////////

//V= U_1+(((90*erro)-(66*erro_1)+(23*erro_2))/100);

/////////////////////////////////////////////////////////////////  PI Convencional por Ziegler Nichols Modificado  ///////////////////////////////////////////////////////////////////

//V= U_1+(((65*erro)-(19*erro_1))/100);

```

```
//////////////////////////////////// Atualização das Variáveis //////////////////////////////////////
```

```

    if (V>testemax) V=255;    // teste de extrapolação de valores
    if (V<0) V=0;
    erro_2=erro_1;
    erro_1=erro;             // armazena valores anteriores
    U_2=U_1;
    U_1=V;
}

```

```
//////////////////////////////////// Rotina Principal //////////////////////////////////////
```

```
void main()
{
```

```
//////////////////////////////////// CONFIGURAÇÃO DO AD //////////////////////////////////////
```

```

    setup_ADC_ports (RA0_analog);
    setup_adc(ADC_CLOCK_INTERNAL );
    enable_interrupts(GLOBAL);
    set_adc_channel(0);

```

```
//////////////////////////////////// CONFIGURAÇÃO INICIAL DO PID //////////////////////////////////////
```

```

    setup_wdt(WDT_ON);    //inicia WDT

    erro_1=0;
    erro_2=0;
    U_1=0;
    U_2=0;
    tempo=0;
    testemax=255;

```

```
//////////////////////////////////// CONFIGURAÇÃO DA INTERRUPÇÃO DO TIMER1 //////////////////////////////////////
```

```
//////////////////////////////////// Configuração do timer2 para interrupção em 115us
```

```

    setup_timer_0(RTCC_INTERNAL);
    setup_timer_1(T1_DISABLED);
    setup_timer_2(T2_DIV_BY_1,18,16);
    enable_interrupts(INT_TIMER2);

```

```
SET_TRIS_C(0x0);
```

```

    while (true)
    {

}
}

```